



Title	確率的A/D変換とデジタル支援技術を用いた生体信号センシング・システムに関する研究
Author(s)	平井, 雄作
Citation	大阪大学, 2024, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/101463
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

確率的 A/D 変換とデジタル支援技術を用いた
生体信号センシング・システムに関する研究

提出先 大阪大学大学院情報科学研究科
提出年月 2024 年 9 月

平井 雄作

研究業績目録

I. 学術論文

1. Y. Hirai, T. Matsuoka, S. Tani, T. Kamata, and T. Onoye, “A Multi-Channel Biomedical Sensor System With System-Level Chopping and Stochastic A/D Conversion,” *IEICE Trans. Fundamentals*, Vol. E107-A, No. 8, pp. 1127-1138, Aug. 2024.
2. Y. Hirai, T. Matsuoka, S. Tani, S. Isami, K. Tatsumi, M. Ueda, and T. Kamata, “A Biomedical Sensor System With Stochastic A/D Conversion and Error Correction by Machine Learning,” *IEEE Access*, Vol. 7, pp. 21990-22001, Feb. 2019.
3. S. Tani, T. Matsuoka, Y. Hirai, T. Kurata, K. Tatsumi, T. Asano, M. Ueda, and T. Kamata, “Behavior-level Analysis of a Successive Stochastic Approximation Analog-to-Digital Conversion System for Multi-channel Biomedical Data Acquisition,” *IEICE Trans. Fundamentals*, Vol. E100-A, No. 10, pp. 2073-2085, Oct. 2017.
4. T. Asano, Y. Hirai, S. Tani, S. Yano, I. Jo, and T. Matsuoka, “An offset distribution modification technique of stochastic flash ADC,” *IEICE Electronics Express*, Vol. 13, No. 6, pp. 1-10, Mar. 2016.
5. 倉田宗史, 巽啓司, 谷野哲三, 平井雄作, 松岡俊匡, 谷貞宏, “ベイズ線形回帰を用いた高精度逐次比較型 A/D 変換器の誤差補正のための追加学習法,” システム制御情報学会論文誌, Vol. 29, No. 2, pp. 76-85, Feb. 2016.
6. Y. Hirai, S. Yano, and T. Matsuoka, “Delta-Sigma ADC with Stochastic Quantization,” *IPSSJ Transactions on System LSI Design Methodology*, Vol. 8, pp. 123-130, Aug. 2015.
7. J. Cui, S. Tani, K. Ohara, Y. Hirai, and T. Matsuoka, “A Dynamic Latched Comparator with Built-in Offset Calibration,” *Far East J. Electronics and Communications*, Vol. 14, No. 2, pp. 105-115, June 2015.

II. 国際会議

1. T. Kamata, M. Ueda, Y. Hirai, S. Tani, T. Asano, S. Isami, T. Kurata, K. Tatsumi, and T. Matsuoka, “An Analog Front-End Employing 87 dB SNDR Stochastic SAR-ADC for a Biomedical Sensor,” *IEEE International New Circuits and Systems Conference (NEWCAS)*, Strasbourg, France, pp. 301-304, June 25-28, 2017.
2. Y. Hirai, K. Ohara, and T. Matsuoka, “Extra loop delay compensation for hybrid delta-sigma modulators,” *IEEE International Symposium on Circuits and Systems (ISCAS)*, Melbourne, Australia, pp. 2353-2356, June 1-5, 2014.

III. 国内研究会・全国大会

1. 松岡俊匡, 鎌田隆嗣, 植田昌行, 平井雄作, 谷貞宏, 浅野智大, 勇正大, 倉田宗史, 巽啓司, “確率的 A/D 変換と誤差補正用機械学習による逐次比較 A/D 変換器の高精度化,” 電子情報通信学会技術研究報告, Vol. 117, No. 167, pp. 95-100, Jul. 2017.
2. 浅野智大, 平井雄作, 谷貞宏, 矢野新也, 趙益均, 松岡俊匡, “並列型確率的 A/D 変換器の線形性向上手法に関する研究,” 電気関係学会関西連合大会, Nov. 2015.
3. 平井雄作, 浅野智大, 谷貞宏, 倉田宗史, 巽啓司, 鎌田隆嗣, 松岡俊匡, “逐次比較 A/D 変換器への確率的 A/D 変換の適用,” 電子情報通信学会技術研究報告, Vol. 114, No. 346, pp. 73-78, Nov. 2014.
4. 倉田宗史, 巽啓司, 谷野哲三, 平井雄作, 松岡俊匡, 谷貞宏, “高精度 A/D 変換器に対する機械学習手法を用いた補正アルゴリズム,” 自動制御連合講演会講演論文集, Vol. 57, pp. 1394-1397, Nov. 2014.
5. 平井雄作, 矢野新也, 松岡俊匡, “マルチビット $\Delta\Sigma$ 変調器における確率的量子化器による DAC 誤差補正,” 電気学会電子回路研究会資料, Vol. ECT-13 No. 79-98, pp. 57-62, Nov. 2013.
6. 平井雄作, 矢野新也, 松岡俊匡, “確率的 A/D 変換の $\Delta-\Sigma$ A/D 変換器への適用,” LSI とシステムのワークショップ 2013, May 2013.

内容梗概

近年、医療費の増加は多くの国々において大きな問題となっており、その主要な要因となっている循環器系疾患の早期発見のために、心電図検査の需要が高まっている。また、脳から得られた信号により外部の機械やコンピュータを制御する技術としてブレイン・マシン・インターフェースが盛んに研究されており、脳波計測の需要が高まっている。心電計や脳波計をはじめとする生体信号センサは、体表に貼り付け、または体内に埋め込み長時間動作させるため、小型で低消費電力であることが求められる。また、数 μV から数 mV の微小な信号を検出するため、高精度であることが求められる。

生体信号センサの小型化や低消費電力化を実現する上で、デジタル回路を中心とするシステムでは半導体製造プロセスの微細化が有効である。しかし、生体信号センサはアナログ的な物理量を扱うため、フロントエンドの増幅器などのアナログ回路や A/D 変換器、D/A 変換器などのミックスドシグナル回路を含む。これらの回路では、プロセス微細化に伴う電源電圧の低下や素子特性ミスマッチの増加により、ダイナミックレンジの確保が困難となる。従来はこれらの課題に対して、内部ノイズを低減する手法や誤差補正といった、誤差要因を抑制する技術が主流であった。しかし、更なる微細化・低電圧化に対応するためには、ノイズや素子特性ミスマッチに制限されない方式やデジタル回路を中心とした方式が望ましい。

そこで、本論文ではノイズや素子特性ミスマッチを積極的に利用した確率的 A/D 変換を用いて微細化・低電圧化に適した生体信号センシング・システムを実現する。確率的 A/D 変換は一定の条件下でノイズにより信号が増幅される確率共鳴現象を利用した方式であり、ノイズや素子特性ミスマッチに埋もれた信号を検出できることが特徴である。しかし、確率的 A/D 変換ではコンパレータのオフセット電圧やノイズを参照電圧として用いるため、他の A/D 変換方式と組み合わせる場合、特有の課題が存在する。本論文では提案方式の特徴に合わせた誤差補正技術として機械学習を用いた最適化手法を提案する。

また、デジタル回路中心のアーキテクチャを実現するため、デジタル支援技術を適用した方式を提案する。

本論文は全 7 章で構成される。第 1 章にて、序論を述べ、第 2 章では関連研究に基づいて確率的 A/D 変換とデジタル支援技術について説明する。

第 3 章では確率的 A/D 変換を応用した $\Delta\Sigma$ 型 A/D 変換器を提案する。提案方式は並列型確率的 A/D 変換器を $\Delta\Sigma$ 型 A/D 変換器の量子化器として利用し、その閾値をデジタル的に制御することで内部フィードバック D/A 変換器の誤差を補正する。また、補正回路のパラメータ最適化の手法として遺伝的アルゴリズムを用いた手法について検討する。システムレベル・シミュレーションにより提案手法の有効性を示す。

第 4 章では高分解能 A/D 変換方式として、並列型確率的 A/D 変換器を用いた逐次比較型 A/D 変換器を提案する。提案方式では、コンパレータのオフセット電圧の統計性を利用し、動的に閾値を制御することで、内部 D/A 変換器の誤差を補正する。また、提案方式特有の誤差要因をモデル化し、誤差補正関数を定義する。さらに誤差補正関数のパラメータの最適化のためにベイズ線形回帰を用いた誤差補正技術を提案する。試作チップの評価により、提案方式の有効性を示す。

第 5 章ではノイズの統計性を利用した確率的 A/D 変換技術を逐次比較型 A/D 変換器に適用した方式を提案する。提案方式では低消費電力化のために一つのコンパレータを用いて最下位ビットの残差を繰り返し比較することで、ノイズレベル以下の信号の検出を可能とする。また、自動キャリブレーション技術を提案し、試作チップを用いた評価により、その有効性を示す。

第 6 章ではデジタル支援技術として、システムレベル・チョッピング技術を用いた多チャンネルのアナログ・フロントエンド回路を提案する。提案方式では、従来アナログ回路だけで構成されていたチョッピング回路を A/D 変換器を含むシステム全体に拡張し、アナログフィルタの削減を可能にする。また、提案方式では多チャンネルのアナログ・フロントエンド回路で問題となるチャンネル間クロストークを抑制する。さらに、試作チップを用いた評価により、その有効性を評価する。

第 7 章では、本研究で得られた成果をまとめ、今後の展望について述べる。

謝辞

本研究を遂行するにあたり，長期にわたり懇切なる御指導，御支援を賜りました大阪大学大学院情報科学研究科情報システム工学専攻 尾上 孝雄 教授に深く感謝申し上げます。

本研究の全過程を通じて，研究の方針や内容について懇切なる御指導，御検討，御支援を賜りました大阪大学大学院工学研究科電気電子情報通信工学専攻 松岡 俊匡 准教授に深く感謝申し上げます。

本論文をまとめるにあたり貴重なお時間を割いて頂き，懇切なる御指導と有益な御助言を賜りました大阪大学大学院情報科学研究科情報システム工学専攻 三浦 典之 教授，谷口 一徹 准教授に心より感謝申し上げます。

様々な面で御指導，御支援を頂いた大阪大学大学院情報科学研究科情報システム工学専攻 河原 吉伸 教授，土屋 達弘 教授，浦西 友樹 教授，櫻井 保志 教授に厚く感謝申し上げます。

研究方針に関して御助言，御討論を頂き，研究室運営を通じて御支援を頂いた Zhao Dafang 特任助教，西川 広記 助教，青山学院大学 伊藤 雄一 教授，福知山公立大学 畠中 理英 准教授に心より感謝申し上げます。

博士後期課程進学のお機会を与えて頂き，研究および業務において多大なる御支援を頂いた合同会社 SPChange 鎌田 隆嗣 博士に厚く御礼申し上げます。

研究の過程において多大なる協力をいただいた合同会社 SPChange 谷 貞宏 博士，植田 昌行 氏，岡田 隆志 氏に厚く感謝いたします。

共同研究者として有益な御討論をいただき，ご支援を頂いた大阪大学大学院工学研究科電気電子情報通信工学専攻 巽 啓司 准教授，ヤマハ株式会社 倉田 宗史 氏に心より感謝申し上げます。

事務的な面でご支援を頂いた尾上研究室秘書 吉田 友紀 氏，舟本 早紀 氏に厚く御礼申

し上げます。

最後に，研究生活を送る上で，暖かい御支援と多大なる御理解を頂いた，両親と妻 しおりを始めとする家族に心から感謝と御礼を申し上げます。

目次

第 1 章 序論	1
1.1 研究背景	1
1.1.1 微細化の恩恵と課題	5
1.1.2 確率的 A/D 変換	7
1.1.3 デジタル支援技術	7
1.2 本論文の構成	8
第 2 章 関連研究	11
2.1 $\Delta\Sigma$ ADC	11
2.1.1 マルチビット $\Delta\Sigma$ 変調器	12
2.2 逐次比較型 A/D 変換器	13
2.3 確率的 A/D 変換	15
2.3.1 ノイズおよび素子特性ミスマッチの統計性	15
2.3.2 確率共鳴現象	16
2.3.3 並列型確率的 A/D 変換器	16
2.4 デジタル支援技術	21
2.4.1 デジタル誤差補正	21
2.4.2 システムレベル・チョッピング技術	22
2.5 研究方針	25
2.6 まとめ	25
第 3 章 確率的 A/D 変換の $\Delta\Sigma$ ADC への適用	27
3.1 はじめに	27
3.2 提案手法	27

3.2.1	提案方式の構成	28
3.2.2	デジタル制御コンパレータ	28
3.2.3	プログラマブル量子化器	29
3.2.4	プログラマブル・エンコーダ	31
3.3	遺伝的アルゴリズムによる量子化特性最適化	32
3.3.1	DAC 誤差補正回路の最適化	32
3.3.2	組み合わせ最適化問題	33
3.3.3	遺伝的アルゴリズムの概要	34
3.3.4	遺伝的アルゴリズムの動作	34
3.3.5	適応度と目的関数	35
3.3.6	制約条件	36
3.4	シミュレーション検証	37
3.5	まとめ	42
第 4 章	確率的 A/D 変換と機械学習を用いた生体信号センシング・システム	47
4.1	はじめに	47
4.2	提案する生体信号センシング・システム	48
4.3	Successive Stochastic Approximation ADC の構成	49
4.4	デジタル制御閾値可変コンパレータによる DAC 誤差補正	51
4.4.1	デジタル制御閾値可変コンパレータ	51
4.4.2	DAC 誤差	52
4.4.3	DAC 誤差補正	53
4.5	機械学習による誤差補正	54
4.5.1	並列型確率的 A/D 変換器出力のエンコード	55
4.5.2	誤差最小化問題の定義	56
4.5.3	ベイズ線形回帰による最適化	57
4.6	回路設計	59
4.6.1	容量 DAC	59
4.6.2	コンパレータ	59
4.6.3	低ノイズ増幅器	61
4.7	実験結果	62

4.8	まとめ	69
第 5 章	ノイズ統計を用いた確率的 A/D 変換	71
5.1	はじめに	71
5.2	提案方式	72
5.2.1	Stochastic ADC による誤差推定	73
5.3	自動キャリブレーション	75
5.4	回路設計	76
5.4.1	コンパレータ	76
5.4.2	制御回路	76
5.4.3	容量 DAC	77
5.5	実験結果	79
5.6	まとめ	84
第 6 章	システムレベル・チョッピング技術を用いた多チャンネル AFE	87
6.1	はじめに	87
6.2	提案方式	88
6.2.1	周波数領域での動作	90
6.2.2	クロストークの低減	92
6.3	回路設計	93
6.3.1	増幅器	94
6.3.2	マルチプレクサ	96
6.4	実験結果	96
6.5	まとめ	100
第 7 章	結論	103
7.1	本研究のまとめ	103
7.2	今後の展望	105
	参考文献	107

表目次

3.1	ゲインパラメータの値	37
3.2	シミュレーション条件	39
3.3	最適化後の量子化器閾値データ	40
3.4	最適化後のエンコーダ・マッピングテーブル	40
3.5	最適化後の量子化器閾値データ (OSR=8)	42
3.6	最適化後のエンコーダ・マッピングテーブル (OSR=8)	45
4.1	試作 AFE 特性のまとめ	67
4.2	高分解能 (> 12 ビット) 生体信号センサとの性能比較	68
5.1	Stochastic SAR-ADC の性能比較	84
6.1	性能のまとめと比較	100

目次

1.1	典型的な生体信号センシング・システムの構成	2
1.2	生体信号センシング・システムの階層モデル	3
1.3	AFE の構成例	4
1.4	本論文の構成	9
1.5	本論文で対象とする用途	9
2.1	マルチビット $\Delta\Sigma$ 変調器	12
2.2	SAR-ADC	14
2.3	確率共鳴現象の概要	17
2.4	並列型 A/D 変換器	17
2.5	並列型確率的 A/D 変換器	18
2.6	Wallace Tree Ones Adder	19
2.7	SF-ADC の入出力特性	20
2.8	ADC のデジタル誤差補正	21
2.9	チョッパ増幅器の構成と周波数特性	23
3.1	確率的 A/D 変換と DAC 誤差補正を用いたマルチビット $\Delta\Sigma$ ADC	28
3.2	デジタル制御コンパレータ	29
3.3	プログラマブル量子化器	30
3.4	出力コード補正の概要	31
3.5	4 次フィードフォワード型 $\Delta\Sigma$ 変調器	37
3.6	フィードバック DAC のモデル	37
3.7	遺伝的アルゴリズムによる最適化の過程	39
3.8	DAC 誤差補正を行わない場合の出力スペクトル	41
3.9	提案方式を用いた場合の出力スペクトル	42

3.10 入力振幅対 SNDR	43
3.11 入力振幅対 SNDR (DWA と比較, OSR=32)	44
3.12 入力振幅対 SNDR (DWA と比較, OSR=8)	45
4.1 提案する生体信号センシング・システム	48
4.2 SSA-ADC のブロック図	49
4.3 SSA-ADC のビット構成	49
4.4 DCVTC のブロック図	51
4.5 N_U ビット電荷再配分型容量 DAC	52
4.6 SF-ADC モード出力のエンコード	55
4.7 Dynamic Latched コンパレータの回路図	60
4.8 AFE で使用する低スイング (0.5 V) クロック駆動チョッパ増幅器	61
4.9 チップ写真およびレイアウト	62
4.10 各ブロックの消費電力の内訳	63
4.11 DCVTC の最適化前の上位 12 ビット出力 D_U の DNL および INL	63
4.12 DCVTC の最適化後の上位 12 ビット出力 D_U の DNL および INL	64
4.13 機械学習の有無による 18 ビット ADC 出力コード誤差の比較	65
4.14 SSA-ADC の正弦波応答スペクトル	66
4.15 AFE のゲイン周波数特性	66
4.16 AFE 入力換算ノイズのスペクトル密度 (LNA ゲイン: 28.5 dB)	67
4.17 提案システムで取得した心電波形	68
5.1 Stochastic SAR-ADC のブロック図	72
5.2 Stochastic SAR-ADC の自動キャリブレーション回路	74
5.3 Stochastic SAR-ADC のビット構成	74
5.4 Dynamic Latched コンパレータの回路図	77
5.5 Stochastic SAR-ADC で用いる非同期制御回路の回路図およびタイミング ダイアグラム	78
5.6 電荷再配分型容量 DAC	79
5.7 チップ写真	80
5.8 評価ボード写真	80

5.9 DNL および INL	81
5.10 Stochastic ADC の有無による ADC コード分布	82
5.11 30 チップの Stochastic ADC の有無による ADC ノイズ	82
5.12 Stochastic ADC の有無による ADC スペクトラム	83
5.13 Stochastic SAR-ADC の各フルスケール・レンジでの I/O 特性	83
6.1 システムレベル・チョッピング技術を用いた多チャンネル AFE 回路	88
6.2 制御パルスのタイミングダイアグラム	89
6.3 周波数領域での動作原理 (青色破線はデジタルフィルタのゲイン特性)	89
6.4 MUX および駆動回路	92
6.5 提案方式を用いた AFE IC のブロック図	94
6.6 増幅器の回路図	95
6.7 4 チャンネルマルチプレクサの回路図	96
6.8 チップ写真	97
6.9 評価ボード写真	97
6.10 提案する AFE IC で取得した 4 チャンネル ECG 波形	98
6.11 システムレベルおよびアナログチョッピング構成による AFE チャンネル 間クロストークとサンプリング周波数の関係	99
6.12 アナログチョッピングおよびシステムレベル・チョッピング構成でのゲイ ン-周波数特性の測定結果	100
6.13 システムレベル・チョッピング構成での入力換算ノイズの PSD 測定結果	101
6.14 アナログおよびシステムレベル・チョッピング構成での入力換算ノイズの PSD 測定結果	101

第 1 章

序論

1.1 研究背景

近年、人口の増加と高齢化により多くの国々で医療費の増加が問題となっている [1]. 日本国内における医科診療医療費は年間約 32 兆 4,000 億円となっており、そのうち心疾患をはじめとする循環器系疾患では年間 6 兆円を超えて傷病分類別で最多となっている [2]. また、高齢化に伴い健康寿命の延伸も重要な課題となっている. 国内における平均寿命と健康寿命の差は 2001 年から縮小傾向にあるものの、男性で約 9 年、女性で約 12 年となっており依然 10 年前後の乖離がある [3]. 健康寿命を制限する要因として、寝たきりが挙げられるが、その原因としては認知症に次いで脳卒中が約 15% を占めており、男性に限定した場合は約 25% で最多となっている [4]. 脳卒中の約 6 割が脳梗塞であり、心臓にできた血栓が脳や頸部の動脈に詰まることによって起こる心原性脳塞栓症は脳梗塞の 2 割から 3 割を占めている. 心原性脳塞栓症は死亡率が 2 割と高く、歩行に介助を要したり、寝たきりなどの重い後遺症が残る場合も 4 割と多い [5]. 心原性脳塞栓症の原因の 3/4 は心房細動で、発症予防のために早期発見が極めて重要である. 心房細動をはじめとする不整脈の診断にはホルター心電図検査に代表される心電図 (Electrocardiogram, ECG) の長時間モニタリングが有効である.

また、近年、人間や動物の神経系と外部の機械の信号ラインとを直接接続することにより様々な応用の実現を目指す技術として、ブレイン・マシン・インターフェース (Brain Machine Interface, BMI) が盛んに研究されている. BMI は脳卒中後のリハビリに有効であるほか、筋萎縮性側索硬化症 (Amyotrophic Lateral Sclerosis, ALS), 脊髄損傷・麻痺患者の

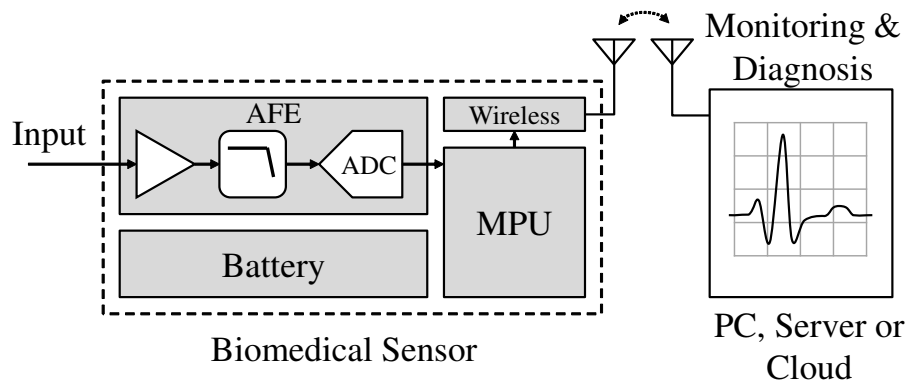


図 1.1: 典型的な生体信号センシング・システムの構成

意思疎通の手助けに活用できることから、医療への応用も盛んに研究されている [6]。BMI では脳波 (Electroencephalogram, EEG) や皮質脳波 (Electrocorticogram, ECoG) から、脳の状態を観測・解析し、外部機器の制御に用いる。

高齢化による神経筋疾患の増加や、スポーツ科学・リハビリテーションでの活用のため筋電図 (Electromyogram, EMG) の需要が高まっている。EMG は義肢やロボティクスの制御に利用されており、ウェアラブル技術の発展により利用が広がっている。脳卒中後のリハビリテーションや神経障害の治療においても重要な役割を果たしており、リハビリテーションの効果を評価するために利用される。

以上のように心電計・脳波計・筋電計などの生体信号センシング・システムの需要が高まっている。これらの生体信号センサは、人体に直接取り付けて動作させるため、小型・軽量であることが求められる。また、バッテリーにより長時間動作させるため低消費電力であることも必要となる [7]。生体信号の周波数は DC から 10 kHz 程度と比較的低いが、振幅は $1\ \mu\text{V}$ から 10 mV 程度と微弱であるため、高精度であることが求められる。さらに一般に広く利用されるようにするためには低コストであることが必要である。しかし、これらはトレードオフの関係にあり、実現することは容易ではない。

小型・軽量化のためにはバッテリー容量を削減することが効果的だが、連続動作可能な時間を保ったままバッテリー容量を削減するためには低消費電力化が必要となる。例えば、一般的なコイン電池である CR2025 の公称容量は 165 mAh であり、一週間連続動作させるためには、消費電流を 1 mA 以下に抑える必要がある。しかし、アナログ回路の性能は一般に消費電力とトレードオフの関係にあり、低消費電力化によりノイズの増加や線形性の低下により精度が劣化する。

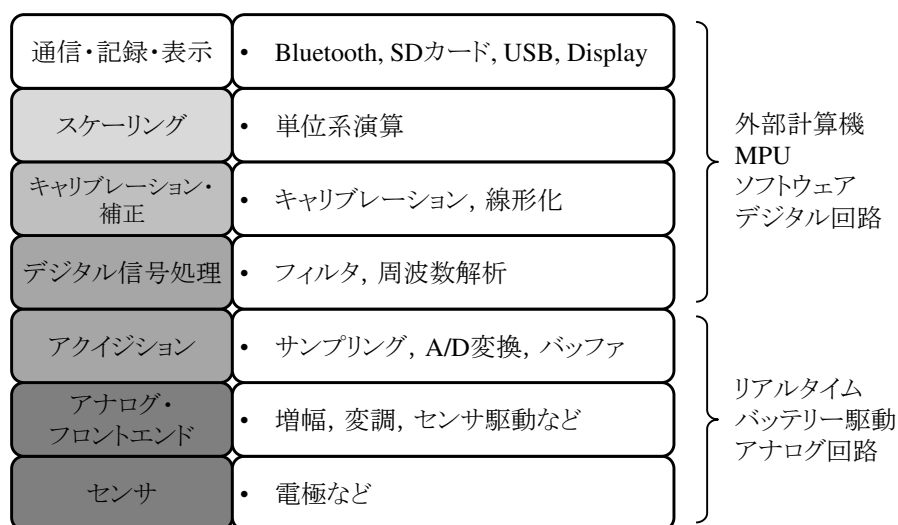
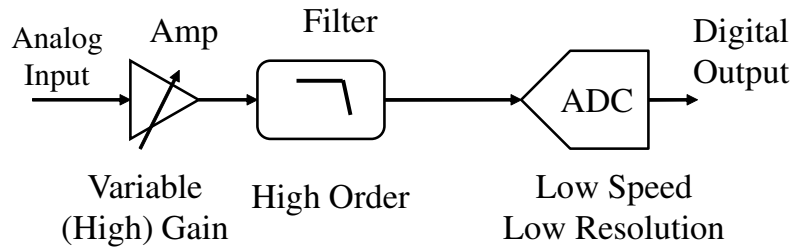


図 1.2: 生体信号センシング・システムの階層モデル

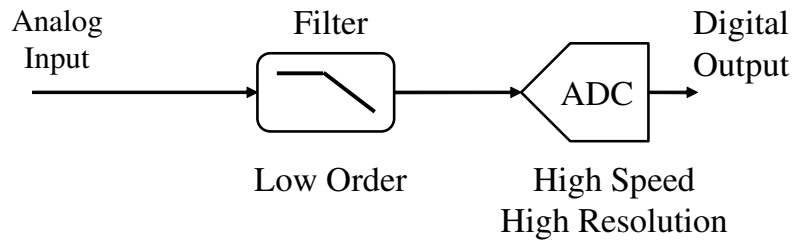
典型的な生体信号センシング・システムの構成を図 1.1 に示す。生体信号センサはアナログ・フロントエンド (Analog Front End, AFE) やマイクロプロセッサ (Micro Processing Unit, MPU), 無線通信回路などから構成される。AFE は信号の増幅, 変調, A/D 変換などを行う。MPU では A/D 変換後のデータに対するフィルタリング, 信号処理, 周辺回路の制御などを行う。無線通信回路により外部の端末やサーバーにデータを送信し, 信号処理やフォーマットの変換, 波形の表示などを行う。

これらの生体信号センシング・システムの機能を整理すると, 図 1.2 のような階層化されたモデルとして表すことができる [8]。高性能な生体信号センシング・システムの実現のためには, システム全体を考慮して最適化を行うことが重要となる。

多くのアプリケーションでは生体信号を連続して計測する必要があるため, A/D 変換まではセンサ側でリアルタイムに行う必要がある。そのため, AFE は常時動作する必要がある, システム全体に占める消費電力の割合は大きくなる。また, 増幅器などで信号帯域内に重畳されたノイズは, 後段のフィルタなどで抑制することが困難であるため, システム全体の精度は AFE の精度に大きく影響される。一方, 生体信号に対するサンプリングレートはデジタル回路の動作周波数に対して数桁低いため, MPU や無線通信回路の稼働率は低く, 1% 以下になる場合が多い。そのため, MPU や無線通信回路では, 間欠動作によりシステム全体に占める消費電力の割合を下げる可以降低。間欠動作による低消費電力化は, 通常動作が必要な期間 (アクティブ時) 以外の期間において, 回路をスタンバイ状態として電源供給やクロックを遮断することにより実現できる。A/D 変換後のデータを



(a) 現実の AFE



(b) 理想形

図 1.3: AFE の構成例

一時的にメモリに格納しておき、無線通信により間欠的に転送する場合、データ転送時間 T_{TX} は以下のように表せる [9].

$$T_{TX} [\text{sec}] = \frac{(\text{Memory Size}) [\text{bit}]}{(\text{Transmission Data Rate}) [\text{bps}]} \quad (1.1)$$

例えば、ADC の分解能を 10 ビット、サンプリングレートを 250 Sps とすると、一秒あたりのデータ量は 2500 ビットとなる。無線通信回路のデータレートを 1 Mbps とし、1 秒ごとに転送する場合、データ転送時間は 2.5 msec であり、稼働率は 0.25% となる。アクティブ時 (送信時) の電流を 10 mA、スタンバイ時の電流を 10 μA とし、起動時間を考慮しない場合、平均電流は約 35 μA となり、コイン電池でも十分供給可能な消費電流となる。また、リアルタイム性が要求されない場合、メモリにデータを格納しておき、計測完了後に Universal Serial Bus (USB) や Secure Digital (SD) カードなどを介してデータを読み出すことで、無線通信回路を省略することができる。また、デジタル信号処理や補正・キャリブレーションなどの処理は、データ転送後にサーバーなどの外部計算機を用いて行うことができる。

以上のように、生体信号センシング・システムの性能には AFE の性能が大きく影響す

る。図 1.3 に AFE の構成例を示す。AFE は通常、図 1.3(a) のように、増幅器およびフィルタ、A/D 変換器 (Analog-to-Digital Converter, ADC) から構成される。低速・低分解能の ADC を用いた場合、増幅器は用途に応じて可変とする必要があり、高いゲインが必要となる。また、フィルタについても折り返しを抑制するために、高次のフィルタが必要となる。AFE における増幅器やフィルタは、A/D 変換を正常に行うための下準備を行う回路と考えることができる [10]。そのため、高速・高分解能で低消費電力な ADC が実現できれば、図 1.3(b) のように低次のフィルタと ADC のみの構成とすることができる。したがって、AFE の構成を決める場合、ADC の性能を中心に検討する必要がある。

ADC の主な方式として、フラッシュ型、パイプライン型、逐次比較型、 $\Delta\Sigma$ 型が挙げられる。生体信号センサ用の ADC としては、中速・中分解能で低消費電力化に適した逐次比較型 A/D 変換器 (Successive Approximation Register ADC, SAR-ADC) や、低速・高分解能に適した $\Delta\Sigma$ 型 A/D 変換器 ($\Delta\Sigma$ ADC) が用いられることが多い。

近年、SAR-ADC については 0.7 V 程度の低電圧動作を実現した例が報告されている [11, 12]。 $\Delta\Sigma$ ADC についても同様に、ボディ駆動技術やインバーター型オペアンプを用いることで、0.5 – 0.8 V 程度の低電圧動作を実現した例が報告されている [13, 14]。しかし、現状ではこのような低電圧動作の ADC の分解能は 8 – 12 ビット程度であり、30 – 60 dB 程度の増幅器と組み合わせた図 1.3(a) のような構成とする必要がある。例えば、0.5 V 動作で 18 ビット分解能の ADC を実現した場合、最下位ビットの電圧は $2\text{ }\mu\text{V}$ 以下となり、図 1.3(b) の構成に近づけることができる。

1.1.1 微細化の恩恵と課題

生体信号センサは小型化・低コスト化などの要求から、相補型金属酸化膜半導体 (Complementary Metal Oxide Semiconductor, CMOS) プロセスを用いた集積回路 (Integrated Circuit, IC) により実現される場合が多い。CMOS デジタル集積回路では定電界スケールング則により、プロセスの微細化によって面積、消費電力、動作周波数の向上が期待できる。微細化に伴いデジタル回路の電源電圧は低下する傾向にあるが、これに合わせてアナログ回路を低電圧化することで、電源回路の簡素化により小型化やコストの低減が可能になる。また、低電圧化により、バッテリー電圧が低下した場合でも動作できるため、長時間動作が可能となる。しかし、増幅器やフィルタなどのアナログ回路および ADC などのミックスドシグナル回路では、微細化に伴う電源電圧の低下や、固有利得の減少、素子特

性ミスマッチの増加により，設計がより困難となっている．

アナログ回路において，入力可能な電圧の上限は電源電圧により制限され，下限は回路の特性ばらつきやノイズにより制限される．低電圧化と高分解能化を両立するためには，特性ばらつきおよびノイズの影響を低減する必要がある．

素子特性ばらつきは製造プロセス上の不均一性に起因するウエハ間・ウエハ内ばらつき (グローバルばらつき) と，近傍に配置された素子間のばらつき (ローカルばらつき) に大別される．本論文ではランダムなローカルばらつきを素子特性ミスマッチと呼ぶ．素子特性ミスマッチは回路の相対精度に影響し，アナログ・ミックスドシグナル回路の非線形誤差に繋がる．例えば，増幅器やコンパレータにおいて，入力トランジスタの閾値電圧のミスマッチはオフセット電圧の主要因となり，精度劣化に繋がる．トランジスタの閾値電圧 V_{TH} のミスマッチ $\sigma_{V_{TH}}$ と素子寸法 (ゲート長 L ，ゲート幅 W) の関係は以下のように表せる [15]．

$$\sigma_{V_{TH}} = \frac{A_{VT}}{\sqrt{LW}} \quad (1.2)$$

ここで， A_{VT} はプロセスによって決まる定数である．式 (1.2) より，素子寸法が小さくなると閾値電圧のばらつきが大きくなることが分かる．容量および抵抗のミスマッチについても，同様に面積の平方根に反比例するため，素子寸法の縮小により増加する [16]．

CMOS プロセスにおいて，トランジスタから発生するノイズとして，熱ノイズと $1/f$ ノイズが挙げられる．熱ノイズは周波数に依存せず，広い周波数に分布する．生体信号センシング・システムでは対象とする周波数範囲が数百 Hz から数 kHz 程度と低いため，熱ノイズに加えて $1/f$ ノイズが重要である．周波数 f ，帯域幅 df でのゲート電圧に換算した $1/f$ ノイズ v_n は以下のように表せる．

$$v_n = \sqrt{\frac{K_f}{C_{ox}LW} \frac{df}{f}} \quad (1.3)$$

ここで， L はゲート長， W はゲート幅， C_{ox} は単位面積あたりのゲート絶縁膜容量である．また， K_f はプロセスにより決まる定数である．式 (1.3) より， $1/f$ ノイズは素子寸法の縮小により増加するため，微細化により増加する傾向にあることが分かる．

ADC では素子特性ミスマッチの増加により，コンパレータのオフセット電圧が増加し，内部 D/A 変換器 (Digital-to-Analog Converter, DAC) の非線形誤差が増加する．また，電源電圧の低下により相対的にノイズの影響が大きくなる．そのため，低コスト・低消費電力化と高精度化の両立が困難となっており，微細化・低電圧化に適した回路技術・方式が

求められている。

1.1.2 確率的 A/D 変換

ノイズや素子特性ミスマッチの影響を低減する従来の手法では、将来、微細化・低電圧化によりダイナミックレンジの確保が困難になると予想される。これに対し、ノイズや素子特性ミスマッチの統計性を積極的に利用した確率的 A/D 変換と呼ばれる手法が提案されている [17, 18]。これらは確率共鳴 (Stochastic Resonance) と呼ばれる非線形現象を応用したもので、ノイズや素子特性ミスマッチに埋もれた微弱な信号に対して分解能を得られることが特徴である。確率共鳴とは一定のノイズレベルの下で信号が増幅される現象であり、Benzi らによって提案された [19]。さらに多数の閾値応答素子を並列に接続し、加算回路網 (Summing Network) に接続することで、広い周波数範囲で入力信号を検出できることが知られている [20]。

確率共鳴を A/D 変換器へ応用した方式として、並列型確率的 A/D 変換器 (Stochastic Flash ADC, SF-ADC) が提案されている [17, 18, 21]。SF-ADC は多数のコンパレータを並列に接続し、コンパレータのオフセット電圧の統計性を利用することで、オフセット以下の入力信号に対して分解能を確保することができる。従来のフラッシュ ADC (Flash ADC) ではコンパレータのオフセット電圧が分解能を制限するのに対して、SF-ADC ではオフセット電圧を参照電圧として利用し、大きなオフセット電圧が許容できるため、素子サイズの縮小や低電圧化が可能となる。

SF-ADC はオフセット電圧の統計性を利用する方式であるが、確率的 A/D 変換を他の A/D 変換方式に応用した例として、SAR-ADC と組み合わせた方式が提案されている [12, 22]。これらは SAR-ADC の下位ビットの変換にノイズの統計性を用いた確率的 A/D 変換を応用したものであり、従来ノイズに埋もれていた信号に対して分解能を確保できる点が特徴である。

1.1.3 デジタル支援技術

微細化・低電圧化の恩恵を受けやすいデジタル回路を用いてアナログ回路の特性向上を図る技術として、デジタル支援技術 (Digitally-Assisted Technology) が注目されている [23]。デジタル支援技術を ADC に適用した例としては、デジタル誤差補正技術が挙げ

られる [24, 25]. ADC のデジタル誤差補正技術では、何らかの方法で変換誤差を評価し、フィードバックすることで変換誤差を低減する。

図 1.2 に示されるように、ADC の誤差補正は必ずしもセンサ側で行う必要はなく、外部計算機や MPU にデータを転送した後で行うことも可能である。近年、Internet of Things (IoT) デバイスおよびクラウドコンピューティングの普及により、センサ側で取得したデータをサーバー側で処理する例が増えている。そのため、デジタル支援技術の適用範囲をチップ単体やセンサデバイスに限定せず、システム全体を俯瞰することで、サーバー側の計算機資源を利用した、より高度なデジタル支援技術を実現することが可能となっている。

また、デジタル支援技術の一つとして、アナログ回路の機能をデジタル回路で置き換え、デジタル回路を中心としたシステムを実現する手法が知られている。このような手法の代表的なものとして全デジタル位相同期回路 (All Digital Phase-locked Loop, ADPLL) が挙げられるが、従来のアナログ位相同期回路に対して低電圧動作に有利であるほか、ループフィルタの制御により収束性と安定性のトレードオフを解消できる、製造プロセスの移行が容易であるなど様々な利点がある。また、論理合成や自動配置配線などの自動設計により、設計工数を削減できるという利点もある。アナログ回路はプロセスに依存したパラメータを基に設計するのに対して、デジタル回路はプロセスに依存しないハードウェア記述言語 (Hardware Description Language, HDL) を用いた設計が主流となっているため、それぞれ分割して設計する場合が多い。しかし、生体信号センシングと信号処理はシステム全体で行われるものであり、アナログ回路およびデジタル回路の機能を統合して設計することで、システム全体の性能向上や低コスト化を実現できる可能性がある。

1.2 本論文の構成

本論文の構成を図 1.4 に示す。また、本論文で提案する技術と、対象とする生体信号および消費電力性能 (バッテリー寿命) との関係を図 1.5 に示す。本論文では生体信号センシング・システムの精度と消費電力に大きく影響する AFE、特に ADC の高性能化を目的とする。そのために、前述の確率的 A/D 変換とデジタル支援技術を用いて、システム全体で性能を向上する技術を提案する。

本論文は 7 章から構成され、その内容は以下のとおりである。第 2 章では確率的 A/D

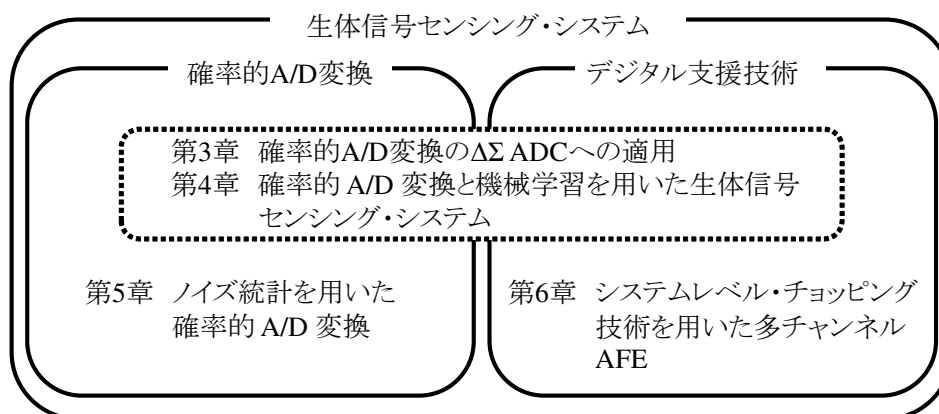


図 1.4: 本論文の構成

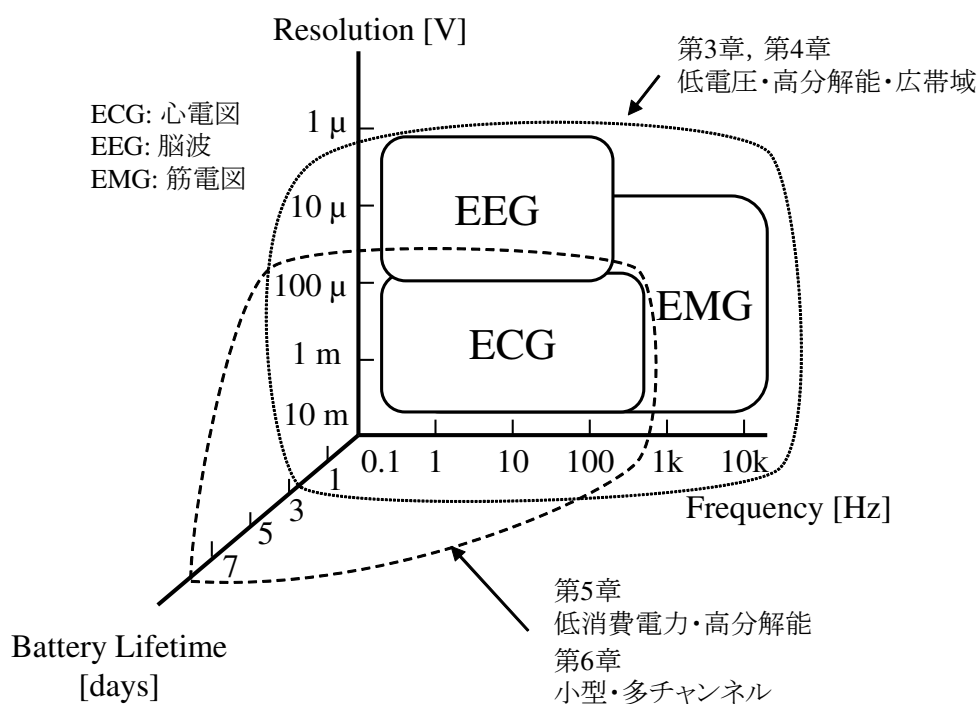


図 1.5: 本論文で対象とする用途

変換技術について、その概要、技術動向および、生体信号センサへの適用に関する議論を行う。また、デジタル支援技術の概要と近年の技術動向について述べる。また、デジタル支援技術として、システムレベル・チョッピング技術について紹介し、生体信号センサへの応用について述べる。

第3章ではDCを含めた高ダイナミックレンジが要求される用途を対象とし、低電圧・高分解能・広帯域のAFEの実現を目的とする。そこで、高分解能A/D変換方式である

$\Delta\Sigma$ ADC に確率的 A/D 変換を適用した方式を提案する．提案方式では $\Delta\Sigma$ ADC の量子化器として SF-ADC を使用し，これを利用したフィードバック DAC の誤差補正を行う．また，遺伝的アルゴリズムを用いた誤差補正パラメータの最適化手法を提案し，シミュレーションによりその有効性を示す．

第 4 章では，幅広い生体信号とチャンネル数に対応するため，低電圧・高分解能・広帯域化を目的とする．SAR-ADC に SF-ADC を適用することで，低電圧動作においても高分解能を実現する方式を提案する．提案方式では SF-ADC を用いたデジタル制御閾値可変コンパレータを用いて内部 DAC の誤差補正を行う．また，提案方式について誤差をモデル化し，機械学習アルゴリズムを用いた誤差補正関数のパラメータ最適化手法を提案する．また，試作 IC の評価結果を示し，提案方式の有効性を示す．

第 5 章では比較的狭帯域な用途に限定し，低消費電力と高分解能化を目的とする．ノイズの統計性を利用した確率的 A/D 変換技術を SAR-ADC に適用した方式を提案する．また，自動キャリブレーション技術を提案し，試作 IC を用いた評価により，その有効性を示す．

第 6 章では多チャンネルが要求されるシステムの小型化・低消費電力化を目的とする．デジタル支援技術を用いた生体信号センシング・システムとして，システムレベル・チョッピング技術を用いた多チャンネル AFE 回路を提案する．提案方式では従来のチョッパ増幅器の機能を一部デジタル回路で実現することで，前段の増幅器と ADC の間の低域通過フィルタを削減またはその要件を緩和し，専有面積や消費電力の削減を可能とする．また，マルチプレクサ切替時のセトリング時間への要求を緩和し，チャンネル切り替え時に発生するチャンネル間クロストークを抑制する．試作 IC を用いた評価によりその有効性を示す．

第 7 章では研究内容の総括と今後の展望について述べる．なお，それぞれ，第 3 章は文献 [26]，第 4 章は文献 [27]，第 5 章および第 6 章は文献 [28] で公表した内容に基づき論述する．

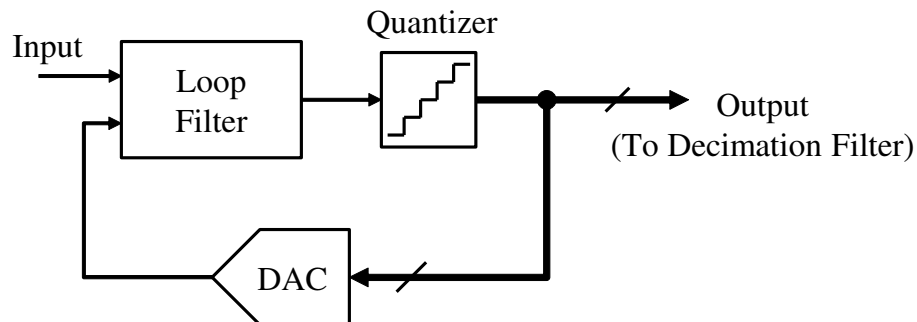
第 2 章

関連研究

本章では、関連研究について説明を行う。まず、生体信号センサに用いられることが多い $\Delta\Sigma$ 型 A/D 変換器 ($\Delta\Sigma$ Analog-to-Digital Converter, $\Delta\Sigma$ ADC) および逐次比較型 A/D 変換器 (Successive Approximation Register ADC, SAR-ADC) について、従来手法と課題について説明する。次に、ノイズおよび素子特性ミスマッチの統計性を利用した確率的 A/D 変換の原理について説明する。続いて、デジタル支援技術に関連して、ADC のデジタル誤差補正技術について説明する。さらに、デジタル支援技術に関連して、低ノイズ増幅器の従来方式であるチョッパ増幅技術について説明する。チョッパ増幅器の機能をデジタル回路で置き換える手法であるシステムレベル・チョッピング技術について述べ、多チャンネル生体信号センシング・システムに適用するための検討を行う。また、従来手法の課題に対する本研究の方針を述べる。

2.1 $\Delta\Sigma$ ADC

$\Delta\Sigma$ ADC はオーバーサンプリングとノイズシェーピングにより、高分解能を実現する A/D 変換方式である [29]。 $\Delta\Sigma$ ADC は中低速用途において高分解能が得られるため、生体信号センサの ADC として用いられる [30–38]。高分解能の $\Delta\Sigma$ ADC を用いることで、前段の増幅器のゲインが低く押さえられるほか、オーバーサンプリングによりアンチエイリアス・フィルタへの要求を緩和できるため、ハードウェアの削減が可能である [34]。

図 2.1: マルチビット $\Delta\Sigma$ 変調器

2.1.1 マルチビット $\Delta\Sigma$ 変調器

$\Delta\Sigma$ ADC を構成する $\Delta\Sigma$ 変調器の量子化器は 1 ビットでも構成可能であるが、多ビット化 (マルチビット化) することで安定性の改善や高分解能化が可能となる [29]. 図 2.1 に示すマルチビット量子化器を用いた $\Delta\Sigma$ 変調器を特にマルチビット $\Delta\Sigma$ 変調器と呼ぶ. マルチビット $\Delta\Sigma$ 変調器は 1 ビットの $\Delta\Sigma$ 変調器と比較して以下のような利点がある [29].

1. フルスケールを一定とした場合、量子化器の分解能が 1 ビット増加する毎にダイナミックレンジが 6 dB 向上する. また、これにより帯域外の成分を除去するフィルタに対する要求を緩和することもできる.
2. 量子化器において、入力信号振幅に対する実効利得の変化が小さくなり、フィードバックループの線形性を向上させることができ、安定性の向上が可能となる.
3. ループフィルタにおける DAC の入力信号のサンプル間変化が小さくなるため、ループフィルタに使用するオペアンプのスルーレートに対する要求が緩和される.
4. 変調器の入力信号とフィードバック DAC の出力信号との差が小さくなり、ループフィルタ (積分器) 前段での線形性に対する要求を緩和することができる.

以上のように $\Delta\Sigma$ 変調器ではマルチビット化により様々な利点が得られる. しかし、マルチビット $\Delta\Sigma$ ADC ではフィードバック DAC の誤差という大きな問題が存在する. $\Delta\Sigma$ 変調器をマルチビット化すると、それに応じてフィードバック DAC もマルチビット化しなければならない. 1 ビット DAC の場合、出力は 2 値となるため、原理的に非線形性が発生しない. 一方、DAC をマルチビット化すると抵抗や容量、電流源を用いて構成する必要が生じるため、デバイスのミスマッチの影響により DAC の特性に誤差が生じる. この

DAC の誤差に対してはノイズシェーピングの効果が小さく、分解能の低下につながる。

$\Delta\Sigma$ ADC において、 N ビットの分解能を得ようとする場合、変調器の DAC には N ビット以上の精度が必要となる。このため高分解能を得ようとする場合、DAC への要求が非常に厳しくなり実現が困難となる。この問題を解決するためには、DAC の誤差を補正するなどの工夫が必要となる。

$\Delta\Sigma$ ADC のフィードバック DAC 誤差補正にはダイナミック・エレメント・マッチング (Dynamic Element Matching, DEM) と呼ばれる手法が用いられることが多い。これは動的に素子選択を行うことで、アナログ素子のミスマッチを平均化するというものである。

DEM としては無作為動的素子選択 (Dynamic Element Randomization) やデータ重み付け平均化 (Data Weighted Averaging, DWA) が代表的であり、これらを発展させたさまざまな手法が検討されている [39–41]。

DEM はオーバーサンプリングに依存して、DAC 誤差を平均化またはフィルタリングする手法であるため、広帯域の変調器に要求される低オーバーサンプリング比 (Oversampling Ratio, OSR) ではその効果が低い [29]。変化の少ない信号 (低周波、小振幅) の入力信号に対しても同じ素子が選択される確率が高くなるため効果が得られにくいという課題がある。また、周期的に素子が選択されることによって、スプリアスが発生するという問題もある。

従来、 $\Delta\Sigma$ ADC はループフィルタにオペアンプを使用するため低電圧動作には向かないとされていたが、近年、0.8 V 以下の低電圧動作を実現した例 [13, 14, 32] が報告されている。これらはいずれも 1 ビット $\Delta\Sigma$ 変調器を用いているが、マルチビット化する場合、量子化器の低電圧化が課題となる。

2.2 逐次比較型 A/D 変換器

図 2.2 に一般的な SAR-ADC の構成を示す。SAR-ADC はスイッチ、容量、コンパレータなどから構成され、二分探索アルゴリズムに基づいて最上位ビット D_{n-1} から順に判定を行う。SAR-ADC では増幅器を使用しないため、近年の低消費電力化の流れに合致しており特に注目を集めている方式である [42]。SAR-ADC はその中速、中分解能、低消費電力という特徴から、 $\Delta\Sigma$ ADC と並んで生体信号センサ用の ADC として用いられることが多い。

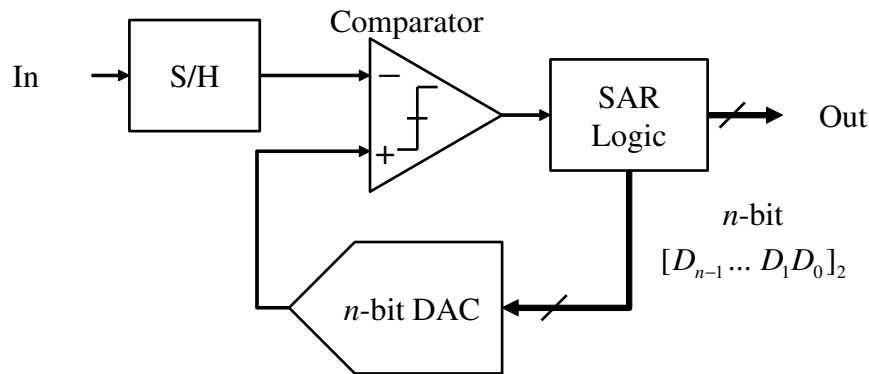


図 2.2: SAR-ADC

生体信号センサ用途としては 10 ビット以上の分解能が求められる場合が多いが、高分解能化により電力効率は低下する傾向にある。10 ビット未満の SAR-ADC では容量 DAC のミスマッチが分解能を制限する要因として支配的であるのに対して、10 ビット以上の SAR-ADC ではコンパレータのノイズが支配的となる [12]。コンパレータのノイズを低減するために従来のアナログスケールリングを用いた場合、分解能を 1 ビット改善するために理論上 4 倍の電力を必要とするため電力効率の低下につながる [11]。

コンパレータの消費電力を抑えながらノイズの影響を低減する技術として、二つのコンパレータを用いる方式 [43] や Majority Voting による手法 [11, 44] などが提案されている。これらはコンパレータのノイズと消費電力のトレードオフによる電力効率の低下を抑制する技術であり、ノイズを積極的に利用した方式ではない。

コンパレータのノイズを積極的に利用した方式として、SAR-ADC の最下位ビット (Least Significant Bit, LSB) の比較を繰り返し、その出力を累積加算した結果を用いることで分解能を向上する手法が提案されている [12, 22, 45–49]。これらの方式では繰り返し比較結果を累積加算した結果から、SAR-ADC の残差を推定し、SAR-ADC の出力から差し引くことで分解能を向上させる。これらはコンパレータのノイズの統計性を利用した確率的 A/D 変換を応用したものであり、従来コンパレータのノイズに埋もれていた微小な信号を検出することができる。

LSB 繰り返し比較の累積加算結果はコンパレータが High を出力した総数に対応する。この値から、SAR-ADC の残差を推定するため、統計的処理 (逆誤差関数) を必要とする。Verbruggen らは最尤推定 (Maximum Likelihood Estimation, MLE) による残差推定を提案している [22]。また、Chen らはベイズ推定 (Bayes Estimation, BE) による残差推定を提

案している [12]. いずれの推定方法の場合も, パラメータとしてノイズの標準偏差を見積もる必要があり, それぞれフォアグラウンド・キャリブレーションおよび設計時のシミュレーションにより見積もっている. また, いずれも統計処理は事前に定義されたルックアップテーブル (Look-up Table, LUT) を用いている. しかし, ノイズの標準偏差はプロセスや温度, 電圧 (Process Temperature Voltage, PVT) により変動する. また, 繰り返し比較回数は有限であるため統計処理には誤差を生じる.

これらの方式では, 繰り返し比較回数 (判定回数) を増やすことで分解能を向上できるが, 繰り返し比較回数と変換速度はトレードオフの関係にある. 変換速度を優先する場合, 複数のコンパレータを用いてノイズの集合平均を利用することで, 変換速度を維持しながら合計の判定回数を増やすことができる.

2.3 確率的 A/D 変換

2.3.1 ノイズおよび素子特性ミスマッチの統計性

ノイズおよび素子特性ミスマッチはランダムな過程であり, これらを扱う際にはガウス分布が重要である. その理由は中心極限定理 (Central Limit Theorem) が存在するためである [50]. 中心極限定理とは母集団がどのような分布であっても, 無作為抽出した標本平均と真の平均の誤差はサンプルのサイズを大きくしたとき近似的にガウス分布に従うというものである.

標準偏差を σ , 平均値を μ とした場合, ガウス分布の確率密度関数 (Probability Density Function) $p(x)$ は

$$p(x) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left(-\frac{(x-\mu)^2}{2\sigma^2}\right) \quad (2.1)$$

と表せる. また累積分布関数 (Cumulative Distribution Function) $P(x)$ は

$$P(x) = \int_{-\infty}^x p(y)dy = \frac{1}{2} + \frac{1}{2}\operatorname{erf}\left(\frac{x-\mu}{\sqrt{2}\sigma}\right) = 1 - \frac{1}{2}\operatorname{erfc}\left(\frac{x-\mu}{\sqrt{2}\sigma}\right) \quad (2.2)$$

と表せる. ここで $\operatorname{erf}(x)$, $\operatorname{erfc}(x)$ はそれぞれ誤差関数 (Error Function) および誤差補関数 (Complementary Error Function) であり, 次のように定義される.

$$\operatorname{erf}(x) = \frac{2}{\sqrt{\pi}} \int_0^x e^{-t^2} dt \quad (2.3)$$

$$\operatorname{erfc}(x) = 1 - \operatorname{erf}(x) = \frac{2}{\sqrt{\pi}} \int_x^{\infty} e^{-t^2} dt \quad (2.4)$$

2.3.2 確率共鳴現象

確率共鳴 (Stochastic Resonance) とは、最適なノイズ強度で周期信号が増幅される現象であり、1980 年代に Benzi らにより提案された [19]。一般的に信号にノイズが付加されれば、信号の検出は困難になるが、非線形なシステムではノイズによって応答が強化される場合が存在する。なお、素子特性ミスマッチについても DC 的なノイズとして取り扱うため、確率共鳴の理論を適用することができる。

図 2.3 にコンパレータのような閾値応答素子を用いた非線形システムにおける確率共鳴の概要を示す。このような非線形システムでは、通常、閾値 (Threshold) 以上の大きさの信号だけが検出できる。そのため図 2.3 の実線のように信号が微弱であり閾値を超えない場合、信号を検出することができない。しかし、この信号にノイズが付加されると、図 2.3 の破線のように微弱な信号が押し上げられて、閾値を超える部分がパルス的に生じる。このパルス応答は一見ランダムであるが長時間計測すると信号振幅がピーク付近にあるときに、確率的に起こりやすいたことが分かる。これより閾値以下の微弱信号の周期を観測することができる。ただし、付加されるノイズの強度が小さすぎると信号はほとんど増幅されない。逆にノイズの強度が大きすぎると信号のピーク以外の部分でもパルス応答が観測され、出力されるパルスはランダムになってしまう。これよりノイズが微弱信号を増幅する場合には、最適なノイズ強度が存在することが分かる。

一つの閾値応答素子を用いた場合、信号の周期しか検出できず、また長時間の計測が必要である。また、次節で述べる並列型確率的 A/D 変換器ではコンパレータの DC オフセットを DC ノイズとして扱うが、このような場合、ノイズの時間変化がないため、一つの閾値応答素子で長時間測定しても信号を検出することができない。そこで閾値応答素子を多数並列化することにより信号波形そのものを検出する手法が提案されている [20]。

2.3.3 並列型確率的 A/D 変換器

ここでは、前述の確率共鳴現象を活用した A/D 変換方式として、近年提案されている並列型確率的 A/D 変換器 (Stochastic Flash ADC, SF-ADC) について述べる。従来から広く使用されている並列型 A/D 変換器 (フラッシュ ADC) では、高速 A/D 変換が可能であるが、プロセス微細化による素子特性ミスマッチの増大と低電圧化により、変換精度の維

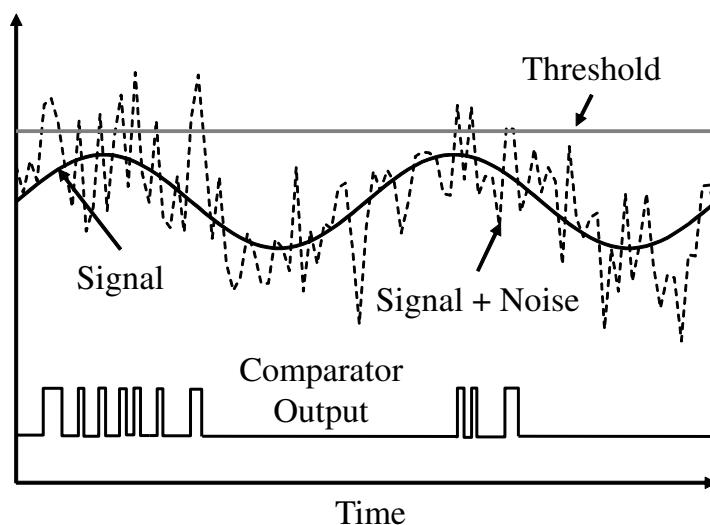


図 2.3: 確率共鳴現象の概要

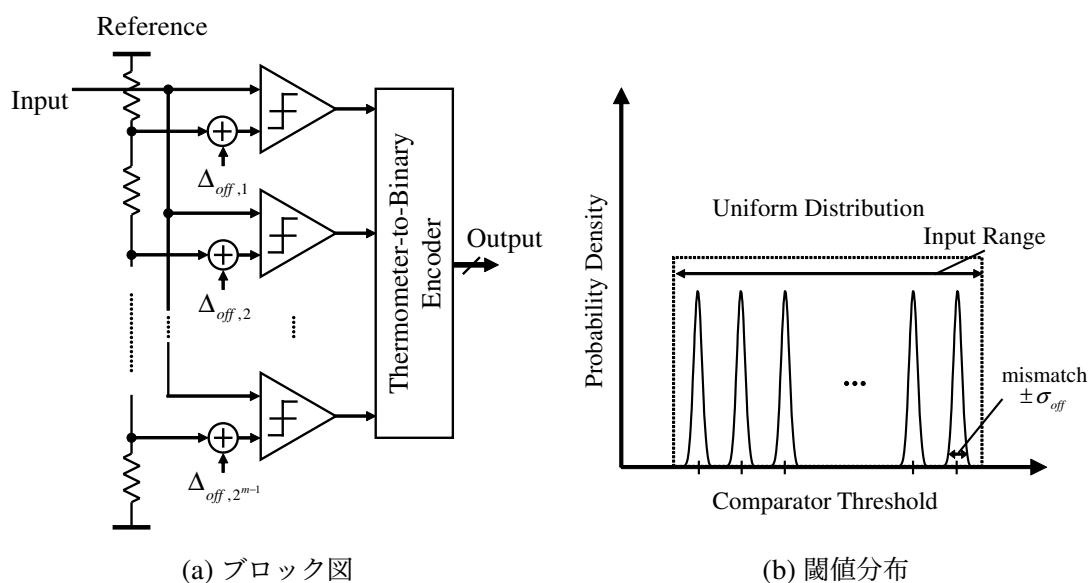


図 2.4: 並列型 A/D 変換器

持が困難になってきている [51]. 従来は素子特性ミスマッチの発生を抑制する技術や、その影響を緩和させる技術が主流であったが、SF-ADC では素子特性ミスマッチを積極的に活用するため、素子特性ミスマッチの大きい微細プロセスにおいてもダイナミックレンジを確保することができる [52].

従来方式のフラッシュ ADC の構造を図 2.4 に示す。フラッシュ ADC では並列に接続

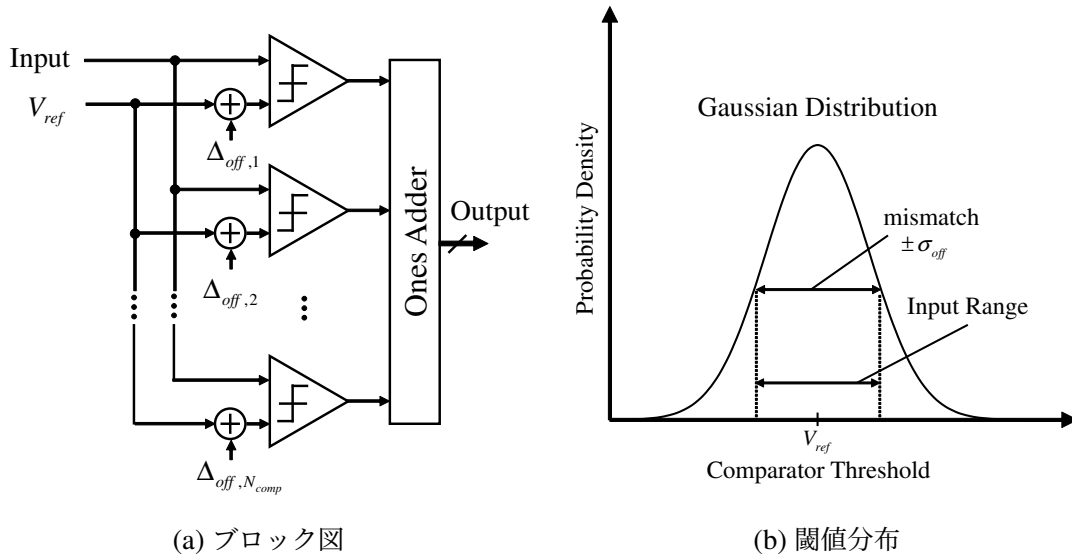


図 2.5: 並列型確率的 A/D 変換器

された $2^m - 1$ 個 (m はビット数) のコンパレータによって、入力信号と $2^m - 1$ の参照電圧とを同時に比較するため高速動作が可能であり、通信用の高速 ADC として用いられるほか、 $\Delta\Sigma$ ADC の量子化器など、他方式の内部 ADC として用いられる。フラッシュ ADC は通常、抵抗ラダーにより発生された一様で等間隔に分布する閾値を持っている。しかし、素子特性ミスマッチによって参照電圧生成器には誤差が生じ、コンパレータの閾値には DC オフセット $\Delta_{off,i}$ ($i = 1, 2, \dots, 2^m - 1$) が発生する。これらの誤差は非線形性に繋がるため、フラッシュ ADC は高分解能化が困難であり、素子特性ミスマッチの大きい微細プロセスでは、低電圧化と相まってダイナミックレンジの確保が困難になりつつある。

フラッシュ ADC における誤差の補正技術として、従来は Bubble Error Correction [53] や抵抗平均化 [54] といったオフセットの回路性能への影響を緩和する技術、Input Offset Storage [16,55] やデジタルキャリブレーション [56–59] といったオフセットをキャンセルする技術が盛んに研究されてきた。しかし、従来技術の延長では微細化・低電圧化に伴って設計がより困難になることが予想される。

一方、図 2.5 に示す SF-ADC ではオフセットを積極的に利用する。SF-ADC では従来のフラッシュ ADC のように、 $2^m - 1$ レベルの参照電圧を生成する回路は不要であり、各コンパレータの入力換算オフセットを閾値として利用する。このため、閾値分布はフラッシュ ADC のような一様分布ではなく、図 2.5(b) のようなガウス分布に従う。また、共通

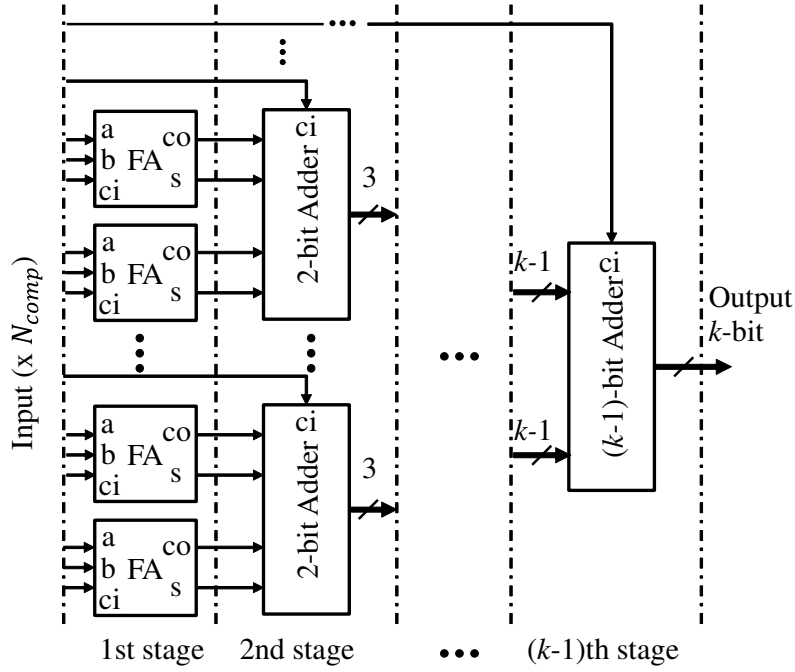


図 2.6: Wallace Tree Ones Adder

の参照電圧 V_{ref} を与えることでオフセット分布の中心電圧 (平均値) を任意の値に設定することが可能である。従来のフラッシュ ADC ではコンパレータオフセットにより分解能が制限されるのに対し、SF-ADC ではオフセット以下の微弱な信号に対しても分解能を得ることができる。

以下に SF-ADC の変換機構について述べる。前述のように SF-ADC はガウス分布に従うランダムな閾値をもっている。そのためコンパレータ群の出力はフラッシュ ADC のような温度計コード (Thermometer Code) ではなく 0 (Low) または 1 (High) のランダムな出力である。そこで SF-ADC ではエンコーダとして図 2.6 に示す Ones Adder と呼ばれる回路を用いる。Ones Adder は High を出力したコンパレータ数の総和をバイナリコードで出力する機能を持つ。なお、図 2.6 に示す構成は特に Wallace Tree Ones Adder と呼ばれ、加算器のツリーによって構成される点が特徴である。オフセットがガウス分布に従うため、この Ones Adder の機能 (High を出力したコンパレータ数の総和をとること) により、SF-ADC の出力はガウス分布の累積分布に従うことになる。コンパレータの総数を N_{comp} とすると、Ones Adder の出力ビット数 k は、以下の不等式を満たすように決定される。

$$k \geq \log_2(N_{comp} + 1) \quad (2.5)$$

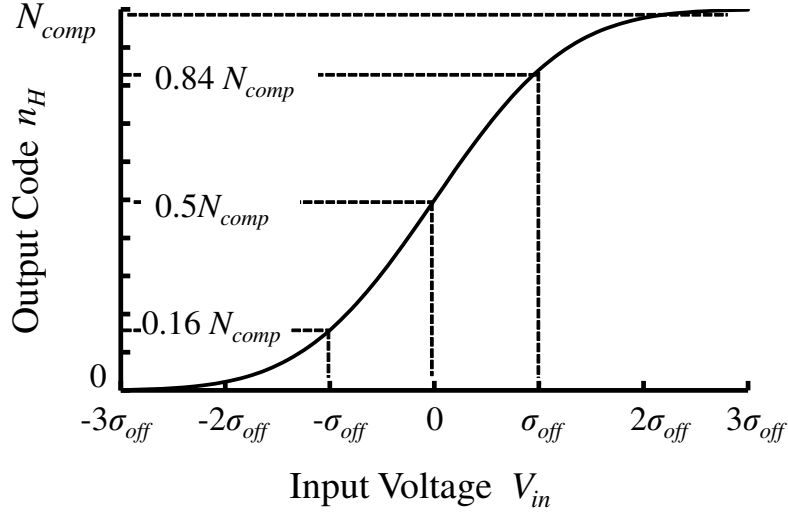


図 2.7: SF-ADC の入出力特性

SF-ADC において、入力電圧を V_{in} 、コンパレータのオフセット電圧の標準偏差を σ_{off} とすると、コンパレータが High を出力する確率 $P(V_{in})$ は以下の式で与えられる [60].

$$P(V_{in}) = \frac{1}{2} + \frac{1}{2} \operatorname{erf} \left(\frac{V_{in} - V_{ref}}{\sqrt{2} \sigma_{off}} \right) \approx \frac{n_H}{N_{comp}} \quad (2.6)$$

ただし、オフセット電圧の平均値は 0 と仮定している．オフセット電圧の平均値が 0 でない場合は、参照電圧 V_{ref} に含めることで同様の取り扱いが可能となる．また、 n_H は High を出力するコンパレータの数であり、Ones Adder の出力に対応する．

式 (2.6) は図 2.7 に示す SF-ADC の入出力特性に対応しており、 V_{in} と n_H の関係は非線形となる．そこで、 n_H に対して以下のような逆演算を行うことで、入力信号を復元することができる．

$$V_{in} \approx V_{ref} + \sqrt{2} \sigma_{off} \operatorname{erf}^{-1} \left\{ 2 \left(\frac{n_H}{N_{comp}} - \frac{1}{2} \right) \right\} \quad (2.7)$$

ここで、 $\operatorname{erf}^{-1}(\cdot)$ は逆誤差関数 (Inverse Error Function) である．逆誤差関数の演算をハードウェアで実装するのは困難であり、区分線形化 (Piecewise Linearization) により近似する手法が提案されている [21]．また、複数の参照電圧によりオフセット分布を操作し、入出力特性を線形化する手法も提案されている [18, 52, 61]．

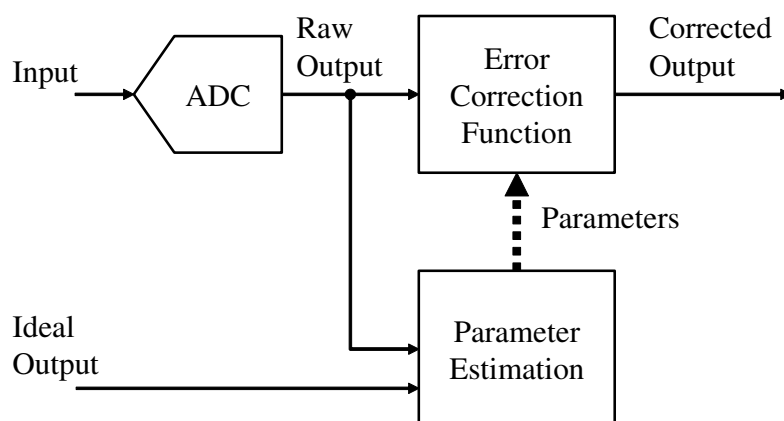


図 2.8: ADC のデジタル誤差補正

2.4 デジタル支援技術

2.4.1 デジタル誤差補正

デジタル誤差補正を用いた ADC の構成例を図 2.8 に示す。ADC 本体と誤差を補正する補正関数 (Error Correction Function)、パラメータ推定回路 (Parameter Estimation) から構成される。図 2.8 の構成では、ADC 本体に基準となる信号を入力し、補正前の出力 (Raw Output) を取得する。次に理想的な A/D 変換出力 (Ideal Output) との差を誤差とし、これを最小化する最適な補正関数のパラメータを推定する。そして、最適化されたパラメータを誤差補正関数に適用し、任意の入力信号に対する変換誤差を低減する。

このような構成では推定された誤差要因のパラメータをセンサ・システム上のどこに記憶し、どこで活用するかを考える必要がある [10]。現状では IC 内部で完結する自己校正 (Self-calibration) が一般的である [24]。自己校正はフォアグラウンド・キャリブレーションとバックグラウンド・キャリブレーションに分類される [23]。

フォアグラウンド・キャリブレーションは通常動作とは別にキャリブレーションを実行するものであり、キャリブレーション時間を必要とする。フォアグラウンド・キャリブレーションでは出荷テスト時にアナログ回路の非理想性を測定し、補正用データをフラッシュメモリなどの不揮発性メモリに格納しておく。または、電源投入時やアイドル状態においてキャリブレーションを実行する。

一方、バックグラウンド・キャリブレーションでは通常動作時にキャリブレーションが

実行され、追加のキャリブレーション時間を必要としない。バックグラウンド・キャリブレーションでは入力信号の性質によらず収束時間や追従時間が一定であることが望ましいが、実際には信号強度分布が一様でない場合や特定の周波数が含まれるときに収束性に問題が発生する可能性がある [42]。

SAR-ADC のデジタル誤差補正技術として、キャリブレーション用 DAC を用いて SAR-ADC の誤差を測定し、デジタル値として記憶しておき、実際の変換時に読み出して補正用アナログ値を発生させる手法が報告されている [25]。SAR-ADC にバックグラウンド・キャリブレーションを用いた例としては、非 2 進重み付け容量を用いた例が報告されている [62]。これらの手法はいずれも IC 内部で完結しており、最適化のアルゴリズムとしては計算量が少なく、適応信号処理に用いられる Least Mean Square (LMS) アルゴリズムを用いている。

一方、システム全体で考えた場合、外部計算機資源を活用することで、ハードウェア実装が容易な計算量の少ないアルゴリズムに限定せず、最適化アルゴリズムや機械学習アルゴリズムを用いたより高度な誤差補正を行うことができる。

非線形システムを含めた大域的最適化手法として、遺伝的アルゴリズム (Genetic Algorithm, GA) をはじめとする進化的アルゴリズム (Evolutionary Algorithm) がある。進化的アルゴリズムを ADC 設計に適用した例として、パイプライン ADC の性能と歩留まり最適化を行う例が報告されている [63]。また、設計時に $\Delta\Sigma$ 変調器のループフィルタのゲインを最適化するアルゴリズムとして遺伝的アルゴリズムを使用した例が報告されている [64]。製造後のキャリブレーションに用いる例としては、イメージ除去ミキサの最適化のために遺伝的アルゴリズムを使用した例 [65] や無線通信システムの間周波数フィルタの最適化に用いた例 [66] が報告されている。このように遺伝的アルゴリズムは工学での設計パラメータやシステムの設定パラメータ最適化に有用である。

2.4.2 システムレベル・チョッピング技術

生体信号センサのフロントエンドの増幅器には、高い同相除去比 (Common Mode Rejection Ratio, CMRR) や高入力インピーダンス、低入力換算ノイズ、低消費電力が求められる [67]。生体信号センサでは数 kHz までの低周波の信号を扱うため、 $1/f$ ノイズなどの低周波ノイズが支配的となる。また、増幅器出力の飽和を防ぐため DC オフセットを十分抑制する必要がある。増幅回路のオフセットおよび低周波ノイズを抑制する技術とし

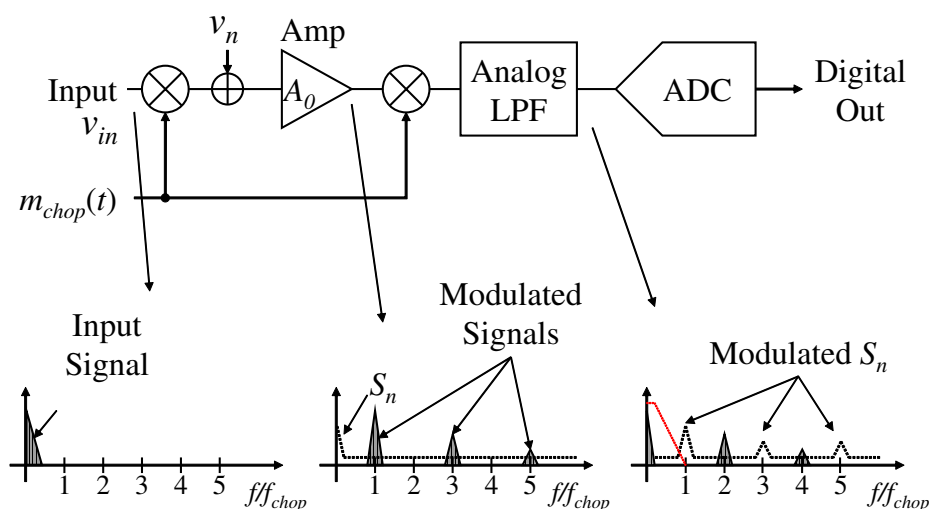


図 2.9: チョッパ増幅器の構成と周波数特性

ては、Auto-Zeroing や相関二重サンプリング (Correlated Double Sampling, CDS), チョッパ安定化 (Chopper Stabilization) などが用いられてきた [68–70]. チョッパ安定化を用いた増幅器 (チョッパ増幅器) は $1/f$ ノイズを抑制しながら信号を増幅できるため、生体信号センサのフロントエンドの増幅器としてしばしば用いられる [71–74].

従来のチョッパ増幅器の構成および周波数特性を図 2.9 に示す. チョッパ増幅器では入力信号に対して、チョッパ回路と呼ばれる変調器 (Modulator) により周波数変換を行う. チョッパ回路はスイッチで構成されており、チョッパークロックと呼ばれるクロック信号 $m_{chop}(t)$ によりこれらを制御することで、増幅器の差動入力 of 正相と負相を入れ替える. これにより、入力信号はチョッパ周波数 f_{chop} とその奇数次高調波の近傍に変調され、オフセットおよび $1/f$ ノイズと分離して増幅することができる. 増幅後の信号を増幅器後段のチョッピング回路 (Demodulator) にて復調することで、入力信号は DC および f_{chop} の偶数次高調波の近傍に復調される. このとき、オフセットおよび $1/f$ ノイズ成分は f_{chop} とその奇数次高調波の近傍に変調される. 復調後の信号をアナログ低域通過フィルタ (Low-Pass Filter, LPF) によりフィルタリングすることで、高域に変調された不要なオフセットおよび $1/f$ ノイズ成分を抑制することができる.

チョッパ増幅器はアナログ回路のみで完結するため、多チャンネルの生体信号センシング・システムに用いることが可能である [75–79]. しかし、アナログ LPF を含むチョッパ増幅器がチャンネル数分だけ必要となるため、チャンネル数に比例して専有面積と消

費電力が増加する.

多チャンネルのアナログ・フロントエンド (Analog Front End, AFE) では, 増幅器をチャンネル数分実装し, マルチプレクサ (Multiplexer, MUX) により, ADC 入力を切り替えることで, ADC を共有することができる. これは, 時間的に ADC の入力を切り替えるものであり, 時分割多重 (Time Division Multiplexing, TDM) と呼ばれる. また, 増幅器を複数段用いる構成では初段の増幅器と 2 段目の増幅器の間に MUX を挿入することで, 2 段目以降の増幅器を共有する方式も報告されている [76, 80]. しかし, いずれの場合も初段の増幅器はチャンネル数分だけ用いる場合が多く, 初段の増幅器の消費電力と専有面積の削減は重要な課題である. チョッパ増幅器の LPF を削減する技術として, ミラー容量を利用する技術 [81] や, 復調器を 2 段オペアンプの入力段と出力段の間に配置し, 出力の負荷容量を利用する技術 [82] が提案されている. しかし, これらは消費電力の削減を目的としており, 大きな位相補償容量または負荷容量を必要とするため, 専有面積の削減は期待できない. チョッパ周波数を高くすることで, LPF のカットオフ周波数またはローloffへの要求を緩和できるため, LPF の面積を削減することができる. しかし, チョッパ回路と増幅器の入力容量がスイッチト・キャパシタ回路を構成するため, 等価的なインピーダンスが低下する. 生体信号センサでは数 $M\Omega$ 以上の高入力インピーダンスを求められるため, 入力インピーダンスとのトレードオフが発生する [83].

従来のチョッパ増幅器に対して, 復調とフィルタリングをデジタル領域で行う方式として, システムレベル・チョッピング技術が提案されている. システムレベルのチョッピング技術は, DC オフセット・ドリフトを低減するために $\Delta\Sigma$ 変調器を備えたトランスデューサ ADC に対して提案され [84], 温度センサなど, $\Delta\Sigma$ ADC を用いた研究で報告されている [85–88]. しかし, $\Delta\Sigma$ ADC は, 出力コードがアナログ入力の 1 点に対応しないため, ADC を共有する時分割多重方式の多チャンネル AFE には適していない.

Mikawa らは周波数分割多重 (Frequency Division Multiplexing, FDM) を用いてシステムレベル・チョッピング技術を多チャンネルの AFE に応用している [88]. しかし, FDM ではチャンネル数の増加に伴って, 増幅器の広帯域化が必要になるため, 消費電力の増加につながる.

2.5 研究方針

本論文では微細化・低電圧化に適した生体信号センシング・システムの実現を目的としている。以下に、前節までで述べた従来手法の課題に対する本研究の方針を述べる。

マルチビット $\Delta\Sigma$ 変調器を用いた $\Delta\Sigma$ ADC では、分解能の向上などの利点があるが、フィードバック DAC の誤差と量子化器の低電圧化が課題となる。本研究では低電圧動作に適したマルチビット $\Delta\Sigma$ 変調器を実現するために、第 3 章において、量子化器に SF-ADC を用いた方式を提案する。また、SF-ADC とデジタルコンパレータを組み合わせ量子化レベルを調整することでフィードバック DAC の誤差を補正する手法を提案する。さらに、遺伝的アルゴリズムを用いた量子化特性の最適化手法を検討する。

SAR-ADC は低電圧・低消費電力に適した方式であるが、DAC の誤差とコンパレータのノイズにより分解能が制限される問題がある。本研究では第 4 章において、SF-ADC を SAR-ADC に適用した方式を提案する。提案方式では主にオフセットの集合平均を利用することで、低電圧動作と高分解能を実現する。また、機械学習アルゴリズムを用いた誤差補正技術として、ベイズ線形回帰を用いた誤差補正技術を提案する。

また、第 5 章において、ノイズ統計を用いた確率的 A/D 変換を SAR-ADC に適用した方式を提案する。提案方式ではノイズの時間平均を利用することで、低消費電力と分解能向上を両立する。また、従来方式の課題であるノイズ統計の PVT 変動に対応するため、統計処理の特性をチップごとに自動的に決定するキャリブレーション手法を提案する。

従来のチョッパ増幅器はオフセットおよび $1/f$ ノイズを抑制することができるが、チャンネル数の増加に比例してアナログ LPF の面積と消費電力が増加する。本研究では第 6 章において、時分割多重方式の多チャンネル AFE に対して、システムレベル・チョッピング技術を用いることで、オンチップのアナログ LPF を削減する方式を提案する。

2.6 まとめ

本章では、生体信号センサに用いられる $\Delta\Sigma$ ADC および SAR-ADC について、従来方式を関連研究に基づいて説明し、その課題を示した。 $\Delta\Sigma$ ADC について、マルチビット化および低電圧化による利点と課題を述べた。SAR-ADC について、関連研究の例を示し、従来手法の課題を示した。また、確率的 A/D 変換の原理とそれを応用した SF-ADC の原

理について説明した。デジタル支援技術に関連して ADC のデジタル誤差補正技術の従来手法を紹介し、適用範囲をシステム全体に拡張することで、より高度な補正アルゴリズムを実現できる可能性を示した。フロントエンド増幅器の従来手法であるチョッパ増幅器について、その原理を説明し、多チャンネル AFE に用いる場合の課題について述べた。また、デジタル支援技術としてシステムレベル・チョッピング技術について説明した。さらに、それぞれの課題に対する本研究の方針を説明した。

第 3 章

確率的 A/D 変換の $\Delta\Sigma$ ADC への適用

3.1 はじめに

本章では確率的 A/D 変換を高分解能 A/D 変換方式である $\Delta\Sigma$ 型 A/D 変換器 ($\Delta\Sigma$ Analog-to-Digital Converter, $\Delta\Sigma$ ADC) に適用する方法を検討する。マルチビット量子化器を用いた $\Delta\Sigma$ 変調器はさまざまな利点を有しているが、内部 D/A 変換器 (Digital-to-Analog Converter, DAC) の誤差により分解能が劣化する問題がある。本研究では、並列型確率的 A/D 変換器 (Stochastic Flash ADC, SF-ADC) を $\Delta\Sigma$ ADC の内部量子化器として用い、さらにプログラマブルな量子化器によって、内部 DAC の誤差を補正する技術を提案する。

3.2 提案手法

確率共鳴を利用した量子化器を $\Delta\Sigma$ ADC に適用した例は [89] において提案されているが、フィードバック DAC の誤差の問題やコンパレータ数の増加に伴う Ones Adder の遅延の増大については検討されていない。第 2 章で述べた通り、マルチビット $\Delta\Sigma$ ADC は、高分解能化や安定性向上などの様々な利点がある。しかし、フィードバック DAC の非線形誤差による性能劣化の問題があるため、DAC 誤差を補正する技術が必要となる。そこで本研究では SF-ADC を利用したプログラマブルな量子化器を用いフィードバック DAC の誤差を補正する方式を提案する。

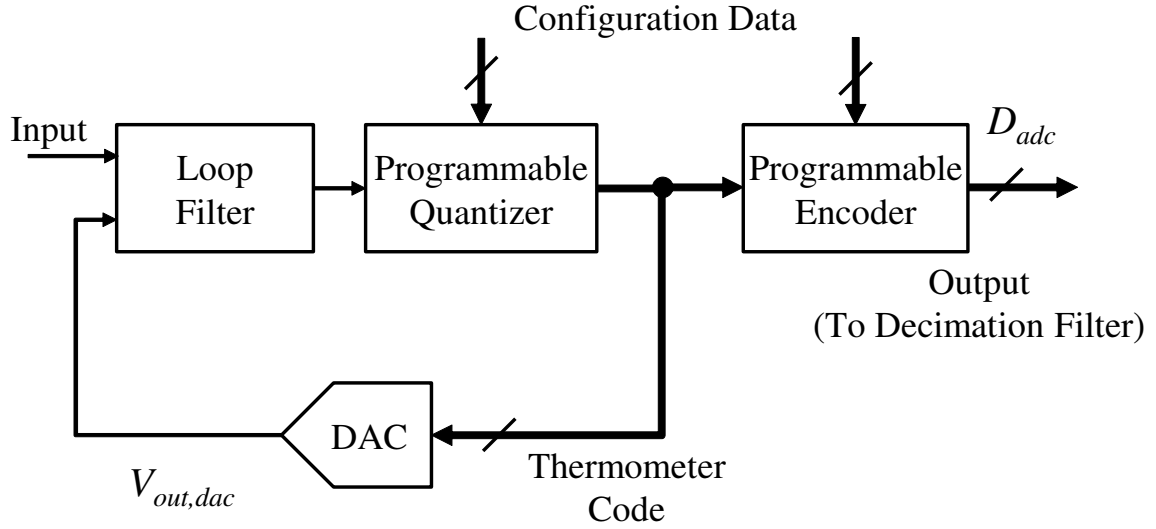


図 3.1: 確率的 A/D 変換と DAC 誤差補正を用いたマルチビット $\Delta\Sigma$ ADC

3.2.1 提案方式の構成

図 3.1 に本研究で提案する DAC 誤差補正を用いた $\Delta\Sigma$ ADC の構成を示す。ただし、デシメーションフィルタおよび低域通過フィルタは省略されている。提案する DAC 誤差補正回路はプログラマブル量子化器 (Programmable Quantizer) とプログラマブル・エンコーダ (Programmable Encoder) から構成される。提案方式ではプログラマブル量子化器によって量子化特性を調整することで、ノイズシェーピング・ループ内での DAC 誤差をキャンセルする。ただし、これにより量子化器の入出力特性は非線形となるため、これを $\Delta\Sigma$ 変調器の出力側で補正するために、エンコーダによって下位ビットを付加して、出力が線形なコードとなるように変換する。以上により $\Delta\Sigma$ 変調器全体での DAC の誤差の影響を低減する。

3.2.2 デジタル制御コンパレータ

$\Delta\Sigma$ ADC の DAC 誤差を補正するために、まず SF-ADC を用いてデジタル的に閾値を制御可能なコンパレータを実現する方法を紹介する。図 3.2 に提案するデジタル制御コンパレータのブロック図を示す。デジタル制御コンパレータは SF-ADC とその出力 (デジタル値) を 1 ビットに量子化するデジタルコンパレータ (Digital Comparator) からなる。

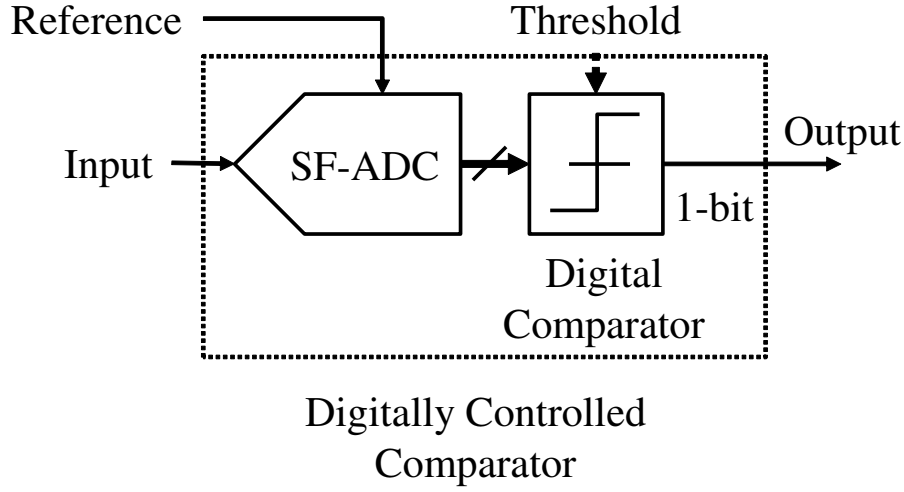


図 3.2: デジタル制御コンパレータ

SF-ADC の出力，すなわち Ones Adder の出力は 1 を出力したコンパレータ数を表している．SF-ADC の出力を 1 ビットに量子化することで，図 3.2 に示す回路のアナログ入力端に換算した実効的な閾値を制御することが可能となる．

デジタルコンパレータの閾値を n_{th} とすると，式 (2.7) より，アナログ入力端に換算した，デジタル制御コンパレータの実効的な閾値 $V_{comp,eff}$ は次の式のように表せる．

$$V_{comp,eff} \approx \sqrt{2} \sigma_{off} \operatorname{erf}^{-1} \left\{ 2 \left(\frac{n_{th}}{N_{comp}} - \frac{1}{2} \right) \right\} + V_{ref} \quad (3.1)$$

この式からも，図 3.2 によって閾値をデジタル制御可能なコンパレータを実現できることがわかる．

3.2.3 プログラマブル量子化器

SF-ADC を用いることでプログラマブル量子化器を実現することが可能である．本研究で提案する SF-ADC によるプログラマブル量子化器の構成を図 3.3 に示す．この回路は図 3.2 に示すデジタル制御コンパレータによって構成される．ここで「プログラマブル」とは，その特性をデジタルデータによって調整可能であることを意味する．参照電圧を発生する抵抗ラダーは粗く量子化レベルを決定し，デジタル制御コンパレータはより細かく量子化レベルを決定する．これにより各デジタル制御コンパレータの閾値データによって，量子化特性を細かく調整することが可能となる．

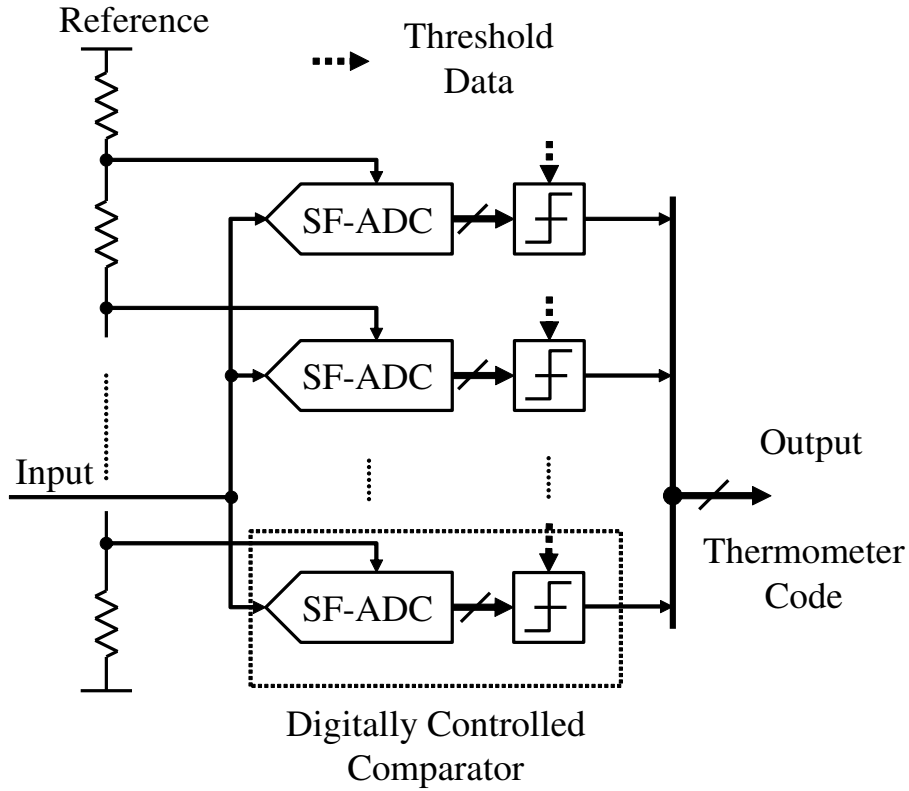


図 3.3: プログラマブル量子化器

量子化器の分解能を B_q とすると、量子化特性は式 (3.1) より、

$$V_{quan,i} \approx \sqrt{2} \sigma_{off} \operatorname{erf}^{-1} \left\{ 2 \left(\frac{n_{th,i}}{N_{comp}} - \frac{1}{2} \right) \right\} + \frac{i}{2^{B_q}} V_{ref} \quad (i = 0, 1, \dots, 2^{B_q} - 2) \quad (3.2)$$

と表せる。ただし、 $V_{quan,i}$ および $n_{th,i}$ はそれぞれ i 番目の量子化レベルに対応する閾値および閾値データである。

プログラマブルな量子化器は 3.2.2 節で提案した一つの SF-ADC とプログラマブルなデジタル量子化器による構成でも実現可能である。しかし、この場合、SF-ADC の総コンパレータ数 N_{comp} が増加し、Ones Adder の規模が増大する。Ones Adder の規模が増大するとゲート遅延の増加によってスループットが低下する。パイプライン化された Ones Adder (Pipelined Wallace Tree Ones Adder) [18] を用いることによってスループットを向上させることが可能であるが、レイテンシが増加する。提案方式のように $\Delta\Sigma$ ADC の量子化器として使用する場合、レイテンシがループ遅延となり、ループフィルタの安定性に影響を与える [90]。

一方、図 3.3 の構成の場合、各デジタル制御コンパレータにおける SF-ADC の出力は 1

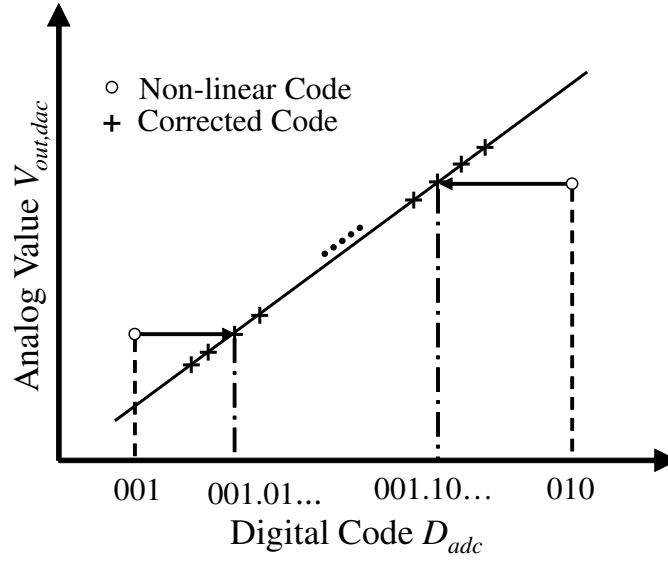


図 3.4: 出力コード補正の概要

ビットに量子化されるため、各 SF-ADC のコンパレータ数を削減することができる。これにより、Ones Adder での遅延が削減され、パイプライン化せずに高速化することができる。このレイテンシの小さい量子化器の使用は、ループフィルタの伝達関数にわずかにしか影響を与えない。

3.2.4 プログラマブル・エンコーダ

本研究で提案する DAC 誤差補正では量子化器の特性を調整することで、 $\Delta\Sigma$ 変調器内部での DAC 誤差の影響を低減する。しかし、量子化器の特性を DAC の非線形な特性に合わせて調整するため、調整後の量子化特性は非線形となる。このため、量子化器出力のデジタルコードには非線形なアナログ値が対応することとなり、量子化器の出力は依然 DAC の非線形誤差を含んでいることになる。そこで、この非線形なコードを線形なコードに変換するために、図 3.1 のように出力側にエンコーダを挿入する。このエンコーダはプログラマブルであり、図 3.4 に示すように、量子化器の出力に小数部ビットを付加することで、デジタルコード D_{adc} とアナログ値 $V_{out,dac}$ の対応関係が線形となるようにコード変換を行う。

理想的には A/D 変換器出力コード D_{adc} とアナログ値 $V_{out,dac}$ との対応関係は、理想 D/A 変換器の入出力特性と同一となる。すなわち B_q ビットの理想 A/D 変換器出力

$D_{adc} = (b_{B_q-1}, b_{B_q-2}, \dots, b_0)$ と対応するアナログ値 $V_{out,dac}$ の関係は以下のようになる.

$$V_{out,dac} = V_{ref} \left(\frac{b_{B_q-1}}{2^1} + \frac{b_{B_q-2}}{2^2} + \dots + \frac{b_0}{2^{B_q}} \right) \quad (3.3)$$

しかし, 提案方式について量子化器の特性は式 (3.2) に従って非線形となる. エンコーダによって小数部 B_{enc} ビットを付加すると, $(B_q + B_{enc})$ ビットのエンコーダ出力 $D_{adc} = (b_{B_q-1}, b_{B_q-2}, \dots, b_0, b_{-1}, \dots, b_{-B_{enc}})$ の理想的な対応関係は

$$V_{out,dac} = V_{ref} \left(\frac{b_{B_q-1}}{2^1} + \frac{b_{B_q-2}}{2^2} + \dots + \frac{b_0}{2^{B_q}} + \frac{b_{-1}}{2^{B_q+1}} \dots + \frac{b_{-B_{enc}}}{2^{B_q+B_{enc}}} \right) \quad (3.4)$$

となる. この式から, 出力コードを B_q ビットから $B_q + B_{enc}$ に変換することで $2^{-(B_q+B_{enc})}$ の精度でデジタルコードとアナログ値の対応関係を調整できることが分かる.

このプログラマブル・エンコーダは単純なルックアップテーブル (Look-up Table, LUT) によって実現することができる. 具体的には量子化器の出力をアドレス入力として, 読み出された LUT の値を変換後の出力とする. これにより, LUT の値を書き換えるだけで量子化器の出力を DAC 誤差補正に適したコードに変換することが可能となる.

3.3 遺伝的アルゴリズムによる量子化特性最適化

3.2 節で提案した $\Delta\Sigma$ ADC について, 量子化器およびエンコーダの特性を最適化する手法を検討する. ここではメタヒューリスティック (Metaheuristic) な最適化手法として遺伝的アルゴリズム (Genetic Algorithm, GA) を用いた量子化器およびエンコーダ特性の最適化について検討する.

3.3.1 DAC 誤差補正回路の最適化

DAC の誤差や SF-ADC のオフセットはランダムな素子特性ミスマッチに起因するため, 素子特性の統計的性質は予測することができるが, これらの具体的な値を個別に設計段階で予測することはできない. そのため, プログラマブル量子化器およびプログラマブル・エンコーダの制御データは, 製造後にテストを行ってチップ毎に決定する必要がある. また, 製造後にこれらの制御データを参照するには, 不揮発性メモリに記録しておく必要がある. 生体信号センシング・システムではファームウェアの格納のために不揮発性メモリを搭載する場合が多いため, これを利用することで部品を追加することなく補正データ

の格納が可能である。そして、起動時にチップ内部のレジスタに読み込み、各補正回路 (プログラマブル量子化器, プログラマブル・エンコーダ) によって参照することができる。

$\Delta\Sigma$ 変調器は量子化を行っているため非線形なシステムであり、また記憶素子 (積分器) を内蔵しているため、出力が過去の入力に依存する動的システムである [29]。このため、DAC 誤差補正回路の制御データと $\Delta\Sigma$ ADC の性能 (ここでは分解能) との関係を定式化するのは困難である。そこで最適化手法としてメタヒューリスティクス (Metaheuristics) を採用するのが妥当である。本研究ではメタヒューリスティックな最適化手法として遺伝的アルゴリズムを採用し、DAC 誤差補正回路の制御データを決定する。

3.3.2 組み合わせ最適化問題

DAC 誤差補正回路の制御データの最適化は、量子化器の閾値とエンコーダのマッピングテーブルの組み合わせ最適化問題として定義できる。組み合わせ最適化問題は組合せ的な制約条件下で目的関数 (Objective Function) を最小化 (または最大化) する数理計画問題であり、一般に次のように記述される [91]。

$$\min : f(\mathbf{x}) \quad (3.5)$$

$$\text{subject to } \mathbf{x} \in \mathbf{F} \quad (3.6)$$

$$\mathbf{F} \subseteq \mathbf{X} \quad (3.7)$$

ここで、基本空間 \mathbf{X} およびその部分集合の解空間 \mathbf{F} は離散的である。

組み合わせ最適化問題では解空間が離散的な集合となるため、実数集合に適用される連続性や微分を用いた最適化手法を適用することが出来ない。そのため組み合わせ最適化問題の解法は、一般に解を数え上げるという列挙法的なアプローチとならざるを得ない [92]。そして、その組み合わせの総数は一般に膨大になることが多く、すべて列挙するのは現実的に不可能な場合が多い。

そのため、組み合わせ最適化問題では解の探索領域を制限して計算時間を短縮することが重要になるが、計算時間と得られる解の質とはトレードオフの関係となる。そこで、これらの要求をバランスさせ、より少ない計算時間 (より小さい探索領域) でより質の高い解を得るためのアルゴリズムとして次に述べる遺伝的アルゴリズムが有効となる。

3.3.3 遺伝的アルゴリズムの概要

遺伝的アルゴリズムは、適用範囲の非常に広い、生物の進化を模倣した最適化アルゴリズムである [93]. 遺伝的アルゴリズムでは解の候補の集合に対し、各候補の評価値の計算と評価値に基づく次の集合の生成を繰り返すことによって大域的最適解 (Globally Optimal Solution) を得る. 遺伝的アルゴリズムでは個々の候補を個体 (Individual)、個体の集合を個体群 (Population) と呼び、各個体は、それぞれ複数の遺伝子から構成される染色体 (Chromosome) によって特徴づけられると考える. また、各個体に対する評価値を適応度 (Fitness) と呼ぶ.

遺伝的アルゴリズムは、ある個体群によって形成される世代 (Generation) の各個体に対して適応度の評価を行い、適応度の高い個体が高確率で残るように次の世代 (Generation) を生成する. これを繰り返すことで、最適解に近い解が得られるであろう、というのが遺伝的アルゴリズムの基本的な考え方である. ここで遺伝的アルゴリズムによって得られる解は、必ずしも最適解である保証はなく、準最適解 (Suboptimal Solution) であることに注意しなければならない.

3.3.4 遺伝的アルゴリズムの動作

遺伝的アルゴリズムは一般的に以下のような手順からなる.

- Step1: ランダムな染色体をもつ初期の世代を生成し、世代 g を 1 とする.
- Step2: 各個体の適応度を評価し、遺伝的操作を行うことで、次の世代を生成する.
- Step3: 終了条件を満たした場合は、その世代における最良の個体を準最適解として出力する. 終了条件を満たしていない場合は世代 g を $g + 1$ とし、Step2 に戻る.

なお、終了判定条件としては、一般に以下のような評価基準が用いられる [93].

- 個体群の中の最良の適応度が設定された閾値を超えた.
- 個体群全体の平均の適応度が設定された閾値を超えた.
- 世代数 g があらかじめ設定した数を超えた.

また、次の世代を生成するための遺伝的操作としては次のようなものが用いられる [92].

- 選択 (Selection) : 世代 g の個体群の各個体について、その適応度に応じて、次世代に残す子の数を増減させる。
- 交叉 (Crossover) : 個体群内の個体をランダムにペアリングし、ある確率 (交叉率, Crossover Rate) で、その二つの個体の遺伝子配列を部分的に入れ替える。
- 突然変異 (Mutation) : 各個体について、ある確率 (突然変異率, Mutation Rate) で、各遺伝子を他の対立遺伝子に入れ換える。

選択は生物界における自然淘汰に基づいており、適応度の高い個体はその数を増やし、逆に適応度の低い個体はその数を減らす。これにより、世代が進むにつれて適応度の高い個体の割合が大きくなっていく。

しかし、選択だけでは初期の個体群の中で適応度の高い個体だけがその数を増すことになり、進化を進めることが出来ない。そこで、生物の生殖を参考にした交叉を行うことで、染色体の一部を組み換えて新しい個体を発生させる。適応度の高い個体から生成された子は高い適応度を持つと考えることができ、これによって進化を進めることができる。

しかし、交叉のみでは十分に進化が進まないことが多い。なぜならば、交叉によって生成される個体は初期の個体群に含まれる個体に依存するからである。そこで、突然変異によって新しい遺伝子を個体群の中に補充することで、個体の多様性を確保する。最適化手法の側面から見た場合、これは局所解に陥ってしまう危険を回避することにつながる。

遺伝的アルゴリズムでは以上のような遺伝的操作を行うことで、生物の進化の過程を再現している。

3.3.5 適応度と目的関数

まず、この最適化問題における評価値すなわち適応度について検討する。ここでは量子化器およびエンコーダの制御データの最適化によって $\Delta\Sigma$ ADC の分解能を向上させるのが目的である。したがって評価値としては、歪みを含めた分解能の指標である Signal-to-Noise and Distortion Ratio (SNDR) を挙げることができる。しかし、SNDR は入力信号の振幅に依存するため、SNDR を適応度として選択すると、複数の入力レベルを考慮した最適化が行えない。そこで、ここでは適応度として次の式で表される、入力振幅を考慮した有効ビット数 (Effective Number of Bits, ENOB) を採用する。

$$\text{ENOB} = \frac{\text{SNDR} [\text{dB}] - 1.76 \text{ dB} + (\text{Level of Signal Below Full Scale})}{6.02 \text{ dB}} \quad (3.8)$$

なお, SNDR は正弦波入力に対する $\Delta\Sigma$ ADC の出力に対してスペクトル解析を行うことによって求めることができる.

ENOB は実効的な分解能を表し, その値が大きいほど高分解能であると言える. 目的関数として, ENOB を最大化することが考えられるが, ある一つの入力振幅で最適化を行った場合, 別の入力振幅では分解能が低下する可能性がある. そこで複数の入力振幅に対して ENOB を求めその最小値を最大化することで, 局所的な入力振幅で最適化される危険を回避する. 以上より目的関数は

$$\max : \min(\text{ENOB}) \quad (3.9)$$

となる.

3.3.6 制約条件

ここでは最適化される制御データの表現形式と制約条件について検討する. ここで, 最適化される制御データは量子化器の各レベルの閾値 (デジタルコンパレータの閾値データ) およびエンコーダのマッピングテーブルの値である.

まず, 量子化器のビット数を n_q , デジタル制御コンパレータ 1 個あたりの SF-ADC の出力ビット数を k とすると, 量子化器の $2^{n_q} - 1$ レベルの閾値データ $D_{th,i} (i = 0, 1, \dots, 2^{n_q} - 2)$ に対して以下の制約条件を設定することができる.

$$0 \leq D_{th,i} \leq 2^k - 1, (i = 0, 1, \dots, 2^{n_q} - 2) \quad (3.10)$$

また, エンコーダのマッピングテーブルの値 $D_{enc,j} (j = 0, 1, \dots, n_q - 1)$ のビット数を n_{enc} とした場合, 出力の単調性から以下の制約条件を設定することができる.

$$0 \leq D_{enc,j} \leq 2^{n_{enc}} - 1 \quad (3.11)$$

$$D_{enc,j} < D_{enc,j+1} \quad (3.12)$$

最適化の結果, 量子化器の特性は DAC 誤差に合わせて調整され, エンコーダの特性は量子化器の入出力特性に合わせて調整される. そのため, これらのパラメータの集合の間には相関があることが予想される. 量子化器の特性とエンコーダの特性を順次に最適化することも可能であるが, ここでは, 最適化のアルゴリズムを単純化し, また, 局所的最適解 (Local Optimal Solution) に陥ることを回避するためにこれらのパラメータを同時に最適化する.

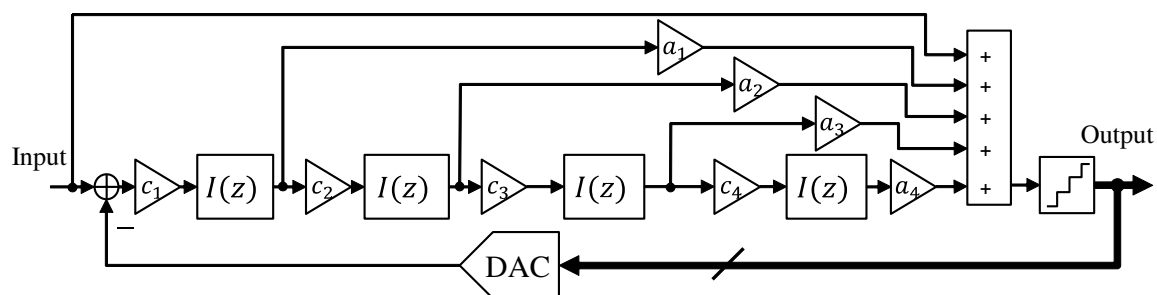
図 3.5: 4 次フィードフォワード型 $\Delta\Sigma$ 変調器

表 3.1: ゲインパラメータの値

a_1	a_2	a_3	a_4	c_1	c_2	c_3	c_4
2	1.6	1	0.3	0.4	0.4	0.3	0.2

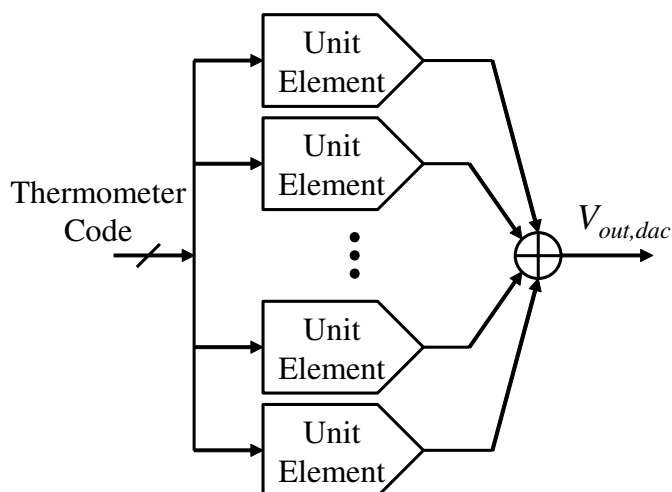


図 3.6: フィードバック DAC のモデル

3.4 シミュレーション検証

3.2 節で提案した SF-ADC を用いたマルチビット $\Delta\Sigma$ ADC の DAC 誤差補正回路に、遺伝的アルゴリズムによる最適化を適用した場合について、システムレベル・シミュレーションにより検証を行った。ここで、 $\Delta\Sigma$ 変調器は図 3.5 に示す 4 次フィードフォワード型とし、量子化器は 3 ビット (8 レベル) とした。なお、図 3.5 中の $I(z)$ は次の式で表さ

れる離散時間遅延積分器を表している.

$$I(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (3.13)$$

ここで, z^{-1} はサンプリングクロックの 1 サイクル分の遅延に対応する. また, 各ゲインパラメータの値を表 3.1 に示す.

シミュレーションに用いるフィードバック DAC のモデルを図 3.6 に示す. 従来方式のデータ重み付け平均化 (Data Weighted Averaging, DWA) との比較のため, フィードバック DAC のモデルとして単位素子 (Unit Element) を温度計コードで選択する構成を用いた. フィードフォワード型の $\Delta\Sigma$ 変調器は内部 DAC が一つだけであるので, 本研究で提案する DAC 誤差補正技術が適用しやすい. また, フィードフォワード型の $\Delta\Sigma$ 変調器では積分器への線形性の要求が緩和されるため, 低電圧動作に適している [13]. なお, 複数の内部 DAC を持つフィードバック型の $\Delta\Sigma$ 変調器の場合でも, DAC の誤差が最も支配的となる初段へのフィードバック経路に対して誤差補正を行うことで, 提案方式は有効であると考えられる.

まず, 遺伝的アルゴリズムを用いて量子化器およびエンコーダの制御データの最適化を行った. 入力振幅は -34 dBFS から -4.4 dBFS までの対数的に等間隔な 10 通りとし, これらの入力振幅に対して ENOB を求め, 式 (3.9) を目的関数として最適化を行った. SF-ADC 一つのあたりのコンパレータ数は 31 とし, プログラマブル量子化器全体でのコンパレータ数は 217 とした. アナログ素子のミスマッチは参照電圧生成器および DAC ともに標準偏差で 1% とした. また, エンコーダの出力は入力の 3 ビットに小数部 12 ビットを付加し, 15 ビットとした. その他のシミュレーション条件は表 3.2 に示す通りである. なお, OSR は以下のように定義される.

$$OSR = \frac{f_s}{2f_B} \quad (3.14)$$

ここで, f_s はサンプリング周波数, f_B は信号帯域幅である.

図 3.7 に遺伝的アルゴリズムによる最適化の過程を示す, 横軸は世代 g であり, 世代を経るにしたがって適応度が最大値, 平均値ともに改善されていくことが確認できる. なお, 事前の試行により, 適応度の改善量と反復回数を見極め, 各世代における個体数を 30, 世代数を 50 と決定した. 最終的な適応度 ENOB は 12.3 ビットとなり, この最適化によって得られた量子化器およびエンコーダの制御データはそれぞれ表 3.3 および表 3.4 の

表 3.2: シミュレーション条件

Parameter	Value
Sampling Frequency [MHz]	100
OSR	32
Input Frequency [kHz]	342
Input Range [mV _{pp}]	800
N_{comp}	31
Encoder Output [bits]	15
DAC Mismatch [%]	1
Reference Ladder Mismatch [%]	1

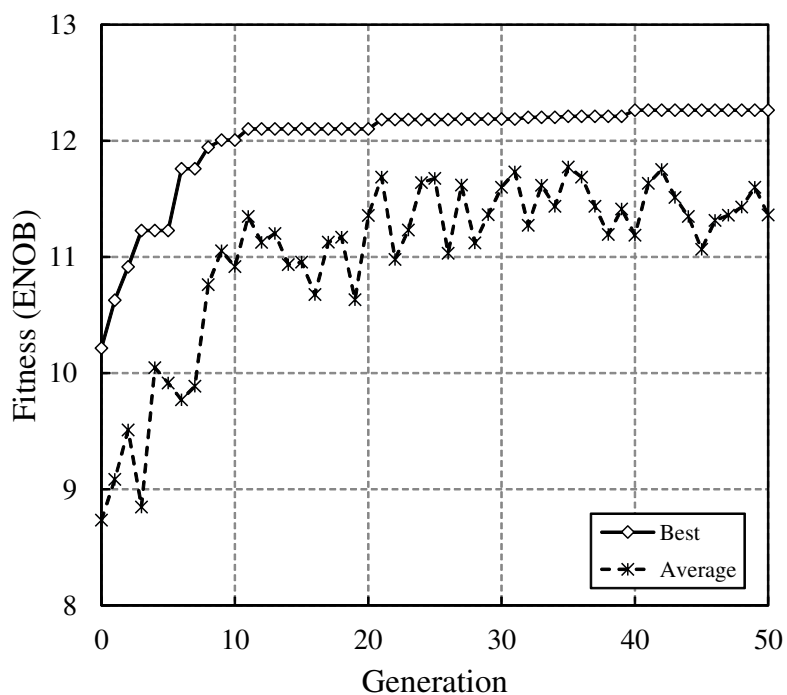


図 3.7: 遺伝的アルゴリズムによる最適化の過程

ようになった。なお、量子化器の出力は温度計コードであり、プログラマブル・エンコーダにおいて2の補数表現のバイナリコードに変換した上で、小数部を付加している。

次に提案方式の有効性を確認するためにDACの誤差を補正しない場合と、提案方式を用いて量子化特性を最適化した場合の性能を比較した。図3.8はDAC誤差補正を行わな

表 3.3: 最適化後の量子化器閾値データ

Level	Threshold Data
1	15
2	22
3	6
4	20
5	16
6	26
7	21

表 3.4: 最適化後のエンコーダ・マッピングテーブル

DSM Output	Encoder Output
0000000	000000000100100
0000001	001000000010100
0000011	010000000011111
0000111	011000000000011
0001111	100000000010000
0011111	101000000101101
0111111	110000000101010
1111111	111000000000011

い場合の $\Delta\Sigma$ ADC の出力スペクトルである。なお、量子化器は理想的なフラッシュ ADC としている。図 3.9 は提案方式の DAC 誤差補正技術を適用し、表 3.3 および表 3.4 に示す遺伝的アルゴリズムによって最適化された制御データを用いた時の出力スペクトルである。なお、入力振幅はいずれも -4.4 dBFS とした。図 3.8 および図 3.9 の結果より、本研究で提案する DAC 誤差補正によって、2 次高調波が 17.3 dB、3 次高調波が 27.4 dB 低減されており、提案方式がマルチビット $\Delta\Sigma$ ADC の DAC 誤差補正技術として有効であることが確認できる。

また、図 3.10 に入力振幅対 SNDR の関係を示す。提案方式を用いることで、補正を行

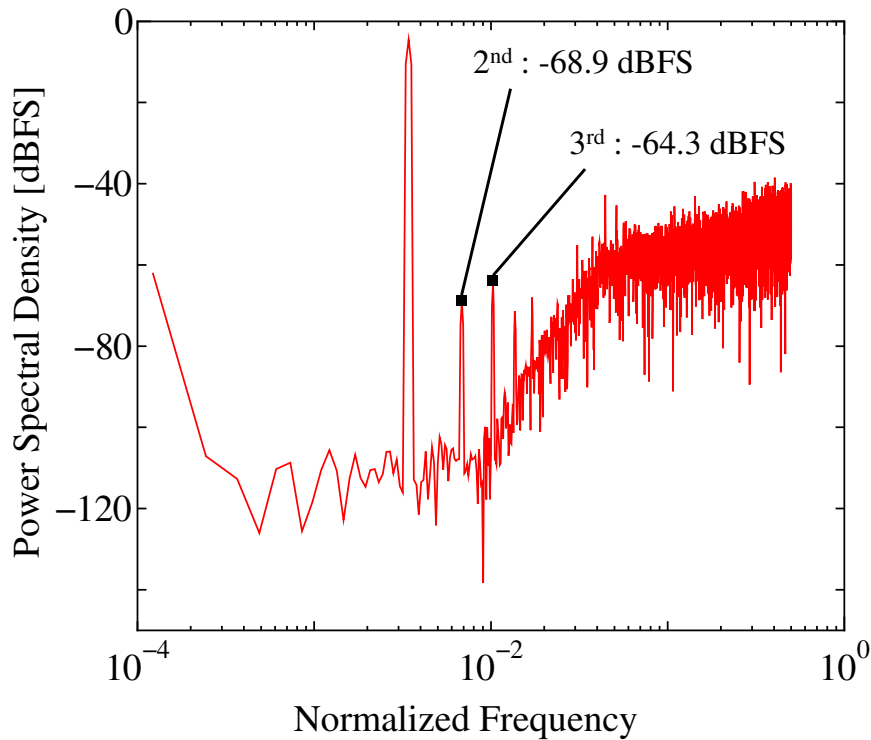


図 3.8: DAC 誤差補正を行わない場合の出力スペクトル

わない場合に比べて SNDR が最大 15 dB 向上している．この結果からも提案方式がマルチビット $\Delta\Sigma$ ADC の DAC 誤差補正技術として有効であることが確認できる．大振幅入力に対して SNDR が向上しており，提案方式を生体信号センサに適用した場合，システムのダイナミックレンジの拡大が可能となる．

次に DWA と比較を行った結果を図 3.11 に示す．DWA と提案方式で入力振幅対 SNDR の特性は同等の結果となった．

低 OSR の $\Delta\Sigma$ 変調器において，低振幅の信号が入力された際の提案方式の効果を確認するため， $OSR = 8$ として，入力振幅が -34 dBFS から -20 dBFS の小さい範囲で遺伝的アルゴリズムによる最適化を行い，同様に DWA と SNDR を比較した．この時の最適化によって得られた量子化器およびエンコーダの制御データをそれぞれ表 3.5 および表 3.6 に示す．これらのデータを用いて入力振幅対 SNDR を比較した結果を図 3.12 に示す．なお，この時の入力周波数は 1.37 MHz であり，入力周波数と OSR 以外の条件は表 3.2 と同様である．この結果より，OSR が比較的低く，入力振幅が小さい場合，すなわち DAC 素子選択の時間変化が小さい場合には，提案方式は DWA より有効であるといえる．

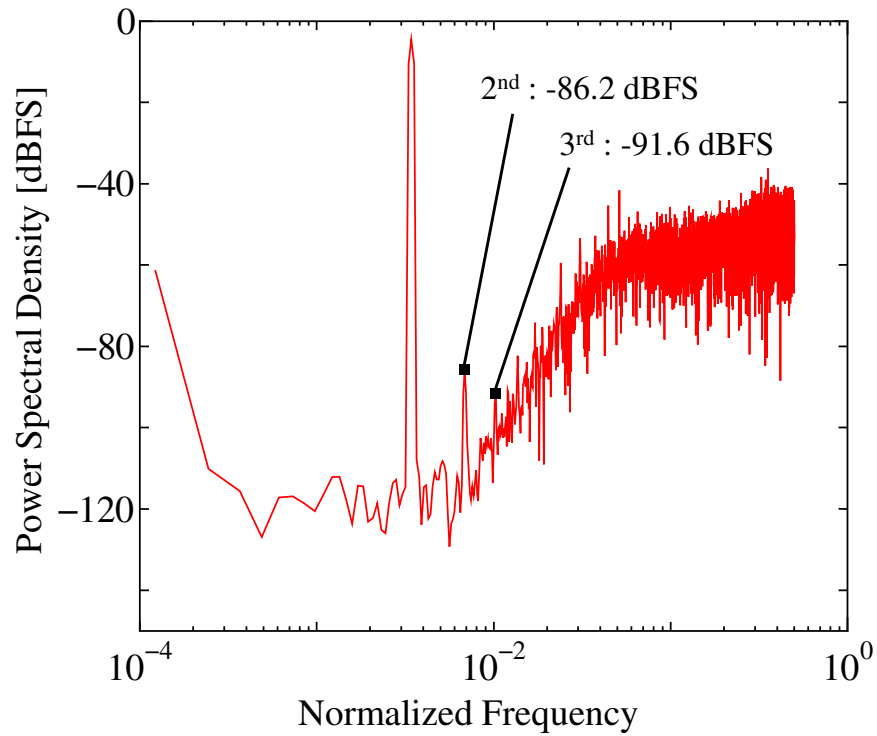


図 3.9: 提案方式を用いた場合の出力スペクトル

表 3.5: 最適化後の量子化器閾値データ (OSR=8)

Level	Threshold Data
1	11
2	9
3	9
4	28
5	0
6	7
7	26

3.5 まとめ

本研究では $\Delta\Sigma$ ADC の量子化器向けとして, SF-ADC を利用した新たな DAC 誤差補正技術を提案した. 提案方式では SF-ADC によるプログラマブル量子化器によって DAC 非

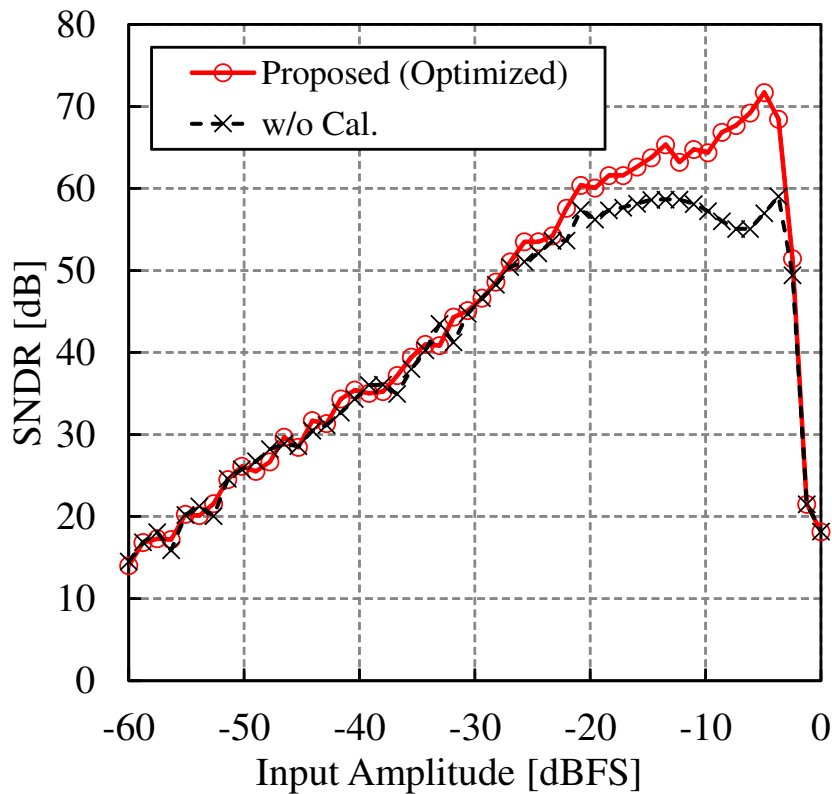


図 3.10: 入力振幅対 SNDR

線形誤差の影響を緩和する．量子化器の出力コードとアナログ値の関係が非線形となるため，出力側においてプログラマブル・エンコーダを用いて線形なコードへの変換を行う．これらの補正によってフィードバック DAC 誤差の影響が低減され， $\Delta\Sigma$ ADC の線形性が向上できる．

さらに，DAC 誤差補正回路の量子化器特性およびエンコーダ特性を遺伝的アルゴリズムによって最適化する方法について検討を行った．また，提案方式を 8 レベル 4 次フィードフォワード型 $\Delta\Sigma$ ADC に適用した場合について，システムレベルでのシミュレーションを行い，提案方式および遺伝的アルゴリズムによる最適化の有効性を確認した．提案方式によって，DAC 誤差補正を行わない場合に比べて SNDR が最大 15 dB 向上することを確認した．また，既存の DAC 誤差補正技術である DWA と比較を行い，低 OSR の変調器において低振幅の信号が入力された場合，提案方式が DWA に比べてより有効であることを確認した．

以上より，本研究で提案する SF-ADC を利用した DAC 誤差補正技術により，マルチ

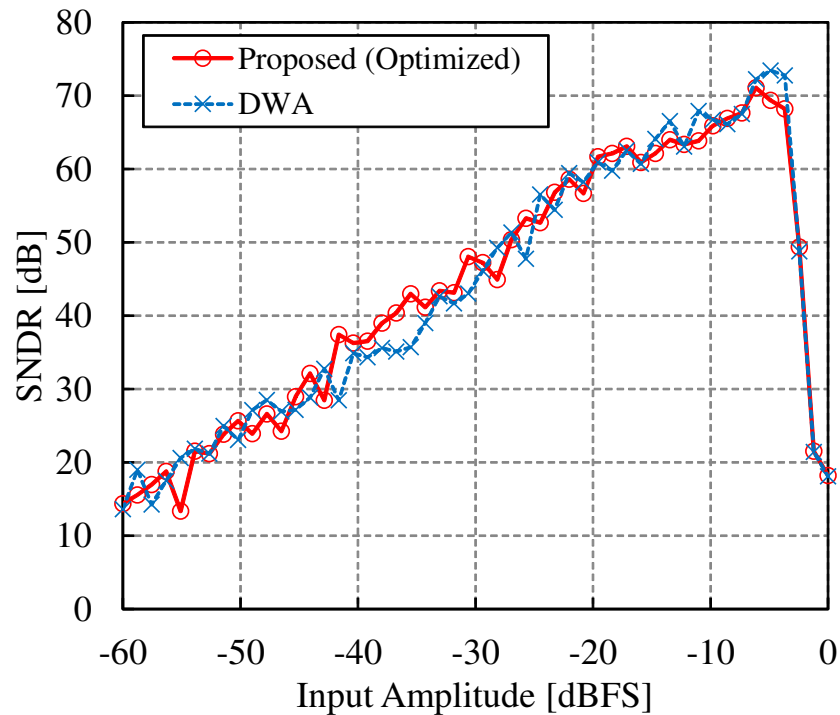


図 3.11: 入力振幅対 SNDR (DWA と比較, OSR=32)

ビット $\Delta\Sigma$ ADC の低電圧化と分解能向上が可能となる。提案方式の $\Delta\Sigma$ ADC を生体信号センサに用いることで、低消費電力化が可能となる。また、低 OSR でも DAC 誤差補正が有効であるため、広帯域化により筋電図等の比較的高い周波数を扱うアプリケーションへの適用が可能となる。

表 3.6: 最適化後のエンコーダ・マッピングテーブル (OSR=8)

DSM Output	Encoder Output
0000000	000000000101010
0000001	000111111100010
0000011	010000000011000
0000111	011000000111110
0001111	100000000011010
0011111	1001111111001101
0111111	101111111111001
1111111	111000000010010

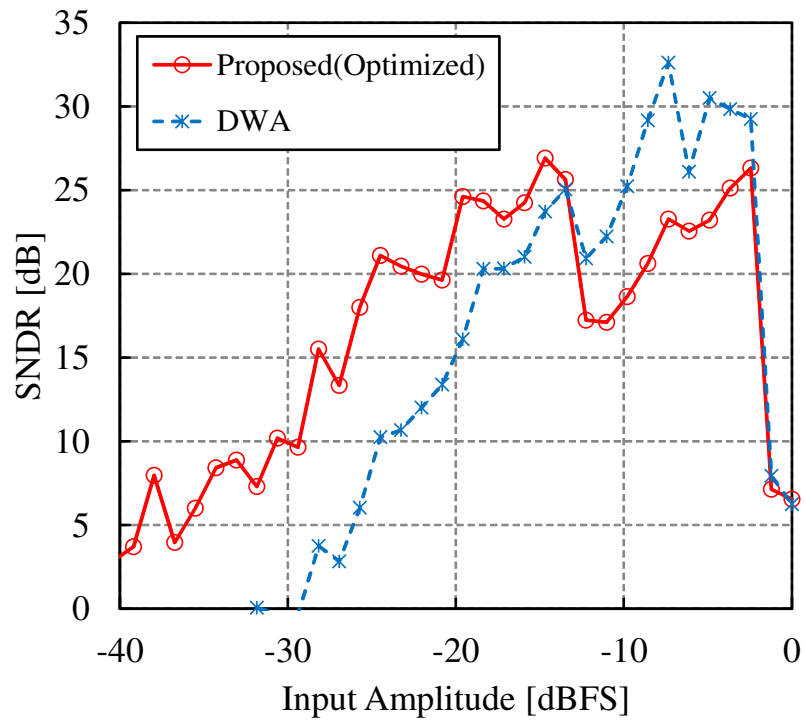


図 3.12: 入力振幅対 SNDR (DWA と比較, OSR=8)

第 4 章

確率的 A/D 変換と機械学習を用いた生体信号センシング・システム

4.1 はじめに

A/D 変換器 (Analog-to-Digital Converter, ADC) はミックスドシグナル回路であるため、デジタル回路に合わせてアナログ回路の電源電圧を下げられれば、電源回路の簡素化により小型化や低コスト化が可能となる。しかし、低電圧化により入力レンジが制限され、相対的にノイズや素子特性ミスマッチの影響が大きくなり分解能が低下する。また、広帯域化により多チャンネルのシステムにおいて ADC を共通化できるため、小型化が可能となる。しかし、一般に ADC の広帯域化は消費電力の増加か分解能の低下に繋がる。そこで、本章では低電圧・高分解能で広帯域の ADC を実現するために、確率的 A/D 変換と機械学習を用いた生体信号センシング・システムを提案する。提案するシステムでは、並列型確率的 A/D 変換器 (Stochastic Flash ADC, SF-ADC) を逐次比較型 A/D 変換器 (Successive Approximation Register ADC, SAR-ADC) に組み込んだ方式である、Successive Stochastic Approximation ADC (SSA-ADC) を使用する。SSA-ADC では SF-ADC とデジタルコンパレータを組み合わせたデジタル制御閾値可変コンパレータにより内部 D/A 変換器 (Digital-to-Analog Converter, DAC) の非線形性を補正する。また、SSA-ADC の誤差を機械学習アルゴリズムを用いて補正する手法を提案する。提案する誤差補正技術では SSA-ADC の誤差をモデル化し、誤差補正関数を定義する。さらに、ベイズ線形回帰を用いた教師あり学習により誤差補正関数のパラメータを最適化する。

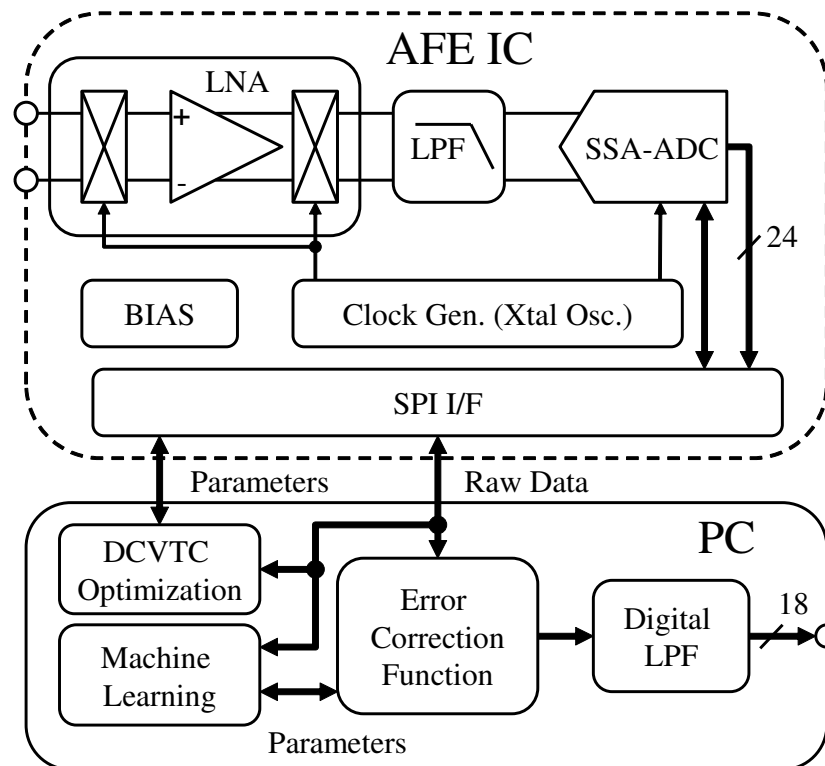


図 4.1: 提案する生体信号センシング・システム

4.2 提案する生体信号センシング・システム

図 4.1 に本研究で提案する生体信号センシング・システムのブロック図を示す。提案方式はアナログ・フロントエンド (Analog Front End, AFE) IC と外部計算機上のデジタル処理から構成される。AFE IC のシグナルチェーンは低ノイズ増幅器 (Low Noise Amplifier, LNA) および低域通過フィルタ (Low-Pass Filter, LPF)、4.3 節で提案する SSA-ADC から構成される。また、周辺回路として水晶発振回路 (Crystal Oscillator, XO)、バイアス回路 (Bias)、Serial Peripheral Interface (SPI) を含む。提案方式では ADC の分解能を向上させるために、外部計算機上で誤差補正とフィルタリングを行う。誤差補正は 4.5 節で述べる機械学習アルゴリズムに基づいており、補正パラメータはフォアグラウンドテストにより決定される。AFE IC の出力データ (Raw Data) は 24 ビットであり、誤差補正関数 (Error Correction Function) を適用することで 18 ビット出力が得られる。また、後述のデジタル制御閾値可変コンパレータの最適化も外部計算機上で行い、最適化後のパラメータは SPI を介して AFE IC に適用される。または、最適化のみ外部計算機上で行い、補正関数の適

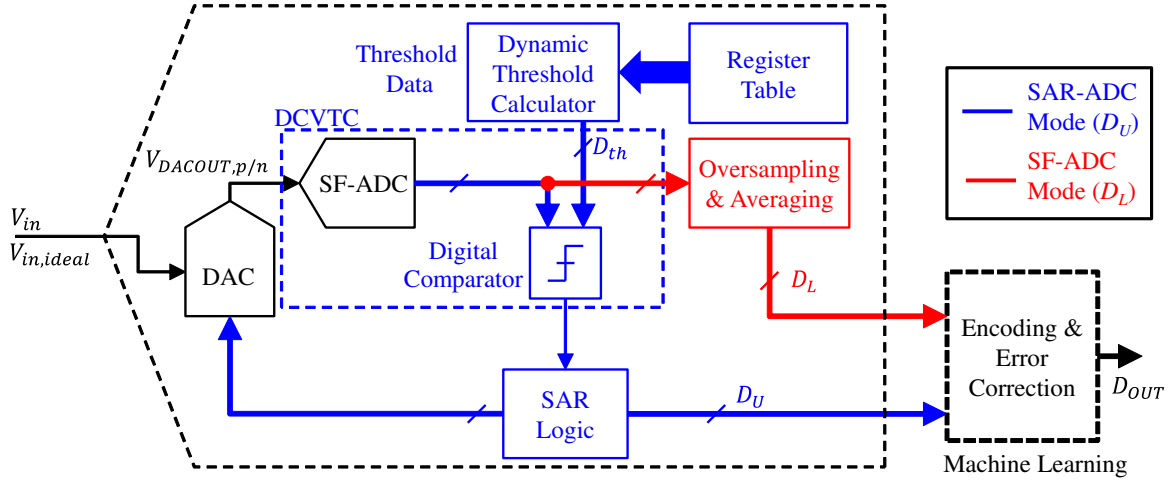


図 4.2: SSA-ADC のブロック図

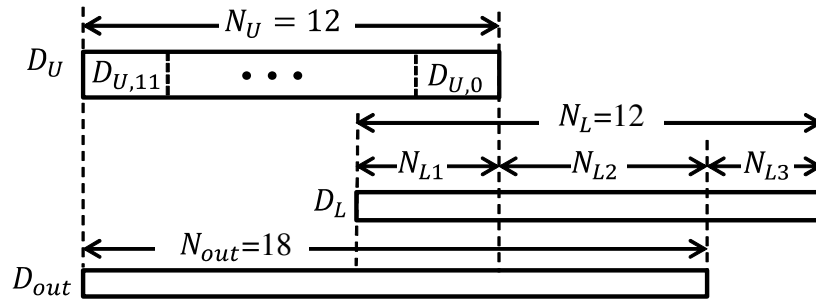


図 4.3: SSA-ADC のビット構成

用はセンサ側のマイクロプロセッサなどで行うことも可能である。この場合、補正パラメータを不揮発性メモリに格納しておく必要があるが、ファームウェアの格納のために不揮発性メモリを搭載する場合が多く、これを利用することで部品を追加することなく、補正パラメータを格納することができる。

4.3 Successive Stochastic Approximation ADC の構成

図 4.2 に本研究で提案する SSA-ADC のブロック図を示す。SSA-ADC は従来の SAR-ADC を構成する回路に加えて、SF-ADC とデジタルコンパレータ、動的閾値計算回路 (Dynamic Threshold Calculator)、レジスタテーブル (Register Table) と平均化 (Averaging) 回路から構成される。

SSA-ADC では、通常の SAR-ADC と同様に逐次比較により上位ビットを決定する

(SAR-ADC モード). また, 下位ビットは DAC の残差を SF-ADC により A/D 変換することによって決定する (SF-ADC モード).

SAR-ADC モードでは通常のコンパレータの代わりに, SF-ADC とデジタルコンパレータから構成されるデジタル制御閾値可変コンパレータ (Digitally Controlled Variable Threshold Comparator, DCVTC) を使用する. DCVTC は動的に閾値を制御することで DAC の誤差をキャンセルする. ここで閾値の制御データであるデジタル閾値 D_{th} はレジスタテーブルに格納されたデータから動的閾値計算回路により生成される.

SF-ADC モードでは SF-ADC を用いて SAR-ADC モードでの残差を量子化する. DAC やバッファから発生する共通ノイズの影響を低減するため, SF-ADC モードでは N_s 回量子化を行いその平均値を出力する.

図 4.3 に SSA-ADC のビット構成を示す. SAR-ADC モードの出力 (上位ビット) D_U および SF-ADC モードの出力 (下位ビット) D_L のビット数はそれぞれ N_U および N_L である. D_U および D_L からエンコーディング (Encoding) と誤差補正 (Error Correction) を行うことで, 最終的な N_{out} ビットの出力 D_{out} を得る. また, D_L の N_L ビットの内, D_U とオーバーラップするビット数を N_{L1} , D_{out} の下位ビットに対応するビット数を N_{L2} , エンコーディングおよび誤差補正で使用する小数部を N_{L3} とする.

SSA-ADC の変換期間はサンプリング期間と SAR-ADC モード, SF-ADC モードに分けられ, 一つのサンプリング点に対する変換サイクル数は $N_U + N_s + 1$ である. 本研究では一回の変換期間を 32 ステップに分割し, SAR-ADC モードと SF-ADC モードでそれぞれ 13 ステップおよび 4 ステップを使用する. 残りの 15 ステップはサンプリング期間に割り当てる.

コンパレータの総数 N_{comp} はオフセットおよびノイズの分布と要求される分解能により決定する. 本研究では面積と変換速度の制約下で 18 ビット分解能を得るため $N_{comp} = 511$ とする. また, SF-ADC の平均化回数は, 前述の 4 ステップにおいてクロックの両エッジを用いることで, $N_s = 8$ とする. SF-ADC のコンパレータの総数を N_{comp} とすると, SF-ADC モードにおいて N_s 回平均化を行った場合, 出力のビット数 N_L は以下のように表せる.

$$N_L = \lceil \log_2((N_{comp} + 1)N_s) \rceil \quad (4.1)$$

本研究では $N_{comp} = 511$, $N_s = 8$ より $N_L = 12$ となる. さらに $N_U = 12$, $N_{L2} = 6$, $N_{out} = 18$ とする. また, N_{L1} は上位ビットの LSB 電圧と, SF-ADC に用いるコンパレー

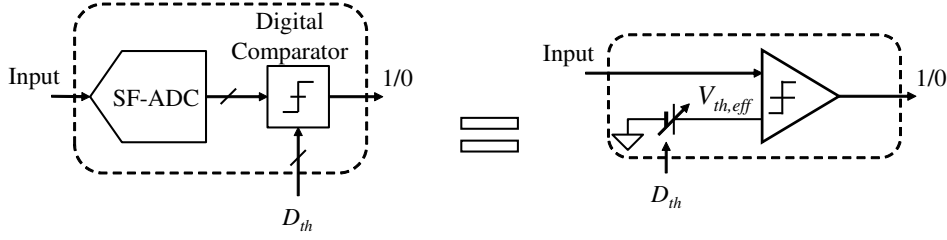


図 4.4: DCVTC のブロック図

タのオフセット分布の標準偏差との比から決定することができ、本研究では $N_{L1} = 4$ とする。SF-ADC の非線形性補正のため、 $N_{L3} = 2$ ビットを D_L の小数部として割り当てる。

4.4 デジタル制御閾値可変コンパレータによる DAC 誤差補正

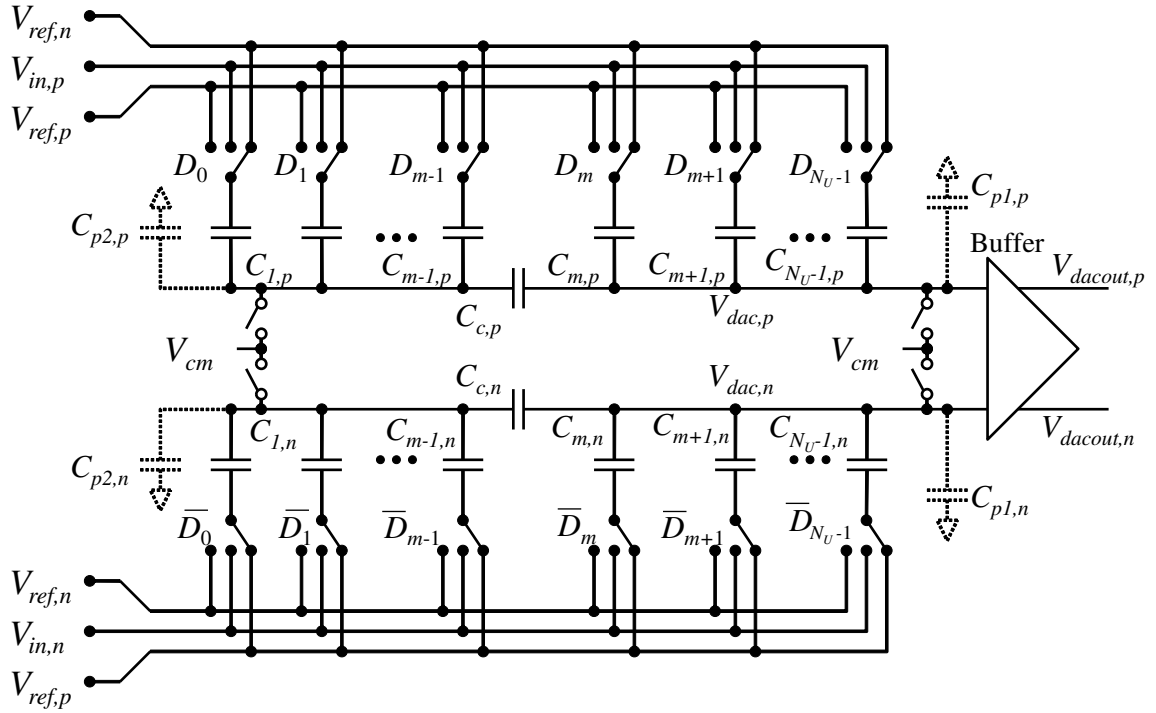
SAR-ADC では通常、内部 DAC として容量とスイッチからなる容量 DAC (Capacitor DAC, CDAC) を使用する。CDAC では容量ミスマッチや寄生容量により変換誤差が発生する。本研究では SF-ADC とデジタルコンパレータを用いた DCVTC により DAC 誤差を補正する。DCVTC は各ビット判定時の閾値を動的に制御することで CDAC の誤差をキャンセルする。

4.4.1 デジタル制御閾値可変コンパレータ

本研究で使用する DCVTC のブロック図を図 4.4 に示す。DCVTC は SF-ADC とデジタルコンパレータから構成され、参照電圧入力がない点を除いて第 3 章で提案したデジタル制御コンパレータと同様である。デジタルコンパレータは SF-ADC の出力とデジタル閾値 D_{th} を比較し、その結果を 1 ビットで出力する。式 (3.1) と同様に、デジタル閾値 D_{th} に対する実効的な閾値 $V_{th,eff}(D_{th})$ は以下のように表せる。

$$V_{th,eff}(D_{th}) \approx \sqrt{2} \sigma_{tot} \operatorname{erf}^{-1} \left\{ 2 \left(\frac{D_{th}}{N_{comp}} - \frac{1}{2} \right) \right\} \quad (4.2)$$

ここで、 σ_{tot} はオフセットおよびノイズを考慮したコンパレータの閾値の標準偏差である。

図 4.5: N_U ビット電荷再配分型容量 DAC

4.4.2 DAC 誤差

SSA-ADC で用いる CDAC の回路図を図 4.5 に示す．CDAC はスイッチと 2 のべき乗で重み付けされた容量アレイで構成される．直列に接続された容量 $C_{c,p(n)}$ は専有面積を削減するために、容量値をスケールリングするスプリット容量 (Split Capacitor) である．また、図 4.5 の構成はトラック& ホールド (Track and Hold, T/H) 回路の機能を内蔵しており、入力電圧をデジタル入力に応じた参照電圧と比較しその差を出力する．

CDAC の容量値は通常、2 のべき乗で重み付けされているが、容量のミスマッチや寄生容量による誤差を含む．誤差を含む i 番目 ($i = 0, \dots, N_U - 1$) の正側 (負側) 容量 $C_{i,p(n)}$ は次式のように表される [94, 95]．

$$C_{i,p(n)} = \begin{cases} 2^i C_u \left(1 + \varepsilon_i + s_{p(n)} \frac{\Delta \varepsilon_i}{2} \right), & i \leq m - 1 \\ 2^{i-m} C_u \left(1 + \varepsilon_i + s_{p(n)} \frac{\Delta \varepsilon_i}{2} \right), & i > m - 1 \end{cases} \quad (4.3)$$

ここで、 $s_p = 1, s_n = -1$ であり、 C_u は単位容量、 ε_i は $(C_{i,p} + C_{i,n})/2$ の理想値からの相対誤差である．また、 $\Delta \varepsilon_i$ は、正側容量 $C_{i,p}$ と負側容量 $C_{i,n}$ の相対誤差である． ε_i および $\Delta \varepsilon_i$ はいずれも製造ばらつきによる容量のミスマッチに起因している．なお、式 (4.3)

の m はスプリット容量を挿入するビットを表している.

式 (4.3) より, $C_{i,p(n)}$ が理想的な 2 のべき乗の値からずれることで CDAC の出力には誤差が生じる. CDAC の差動出力電圧を $V_{dac} = V_{dac,p} - V_{dac,n}$, 理想的な DAC の差動出力電圧を $V_{dac,ideal}$ とすると DAC の誤差 ΔV_{dac} は以下のように定義できる.

$$\Delta V_{dac} = V_{dac} - V_{dac,ideal} \quad (4.4)$$

単位容量の非線形性やバッファの入力容量, Metal Oxide Semiconductor (MOS) スイッチの寄生容量を考慮すると, DAC 誤差 ΔV_{dac} は入力コード D_{in} に対して依存性を持つ. したがって, ΔV_{dac} は D_{in} の関数として表すことができ, 以下のように入力コードに依存しない成分 E_{off} と入力コード D_i に依存する成分 $E_i (i = 0, \dots, N_U - 1)$ に分けられる.

$$\Delta V_{dac}(D_{in}) = E_{off} + \sum_{i=0}^{N_U-1} E_i(D_i) \quad (4.5)$$

ただし $D_{in} = [D_{N_U-1} \dots D_1 D_0]_2$ である.

4.4.3 DAC 誤差補正

式 (4.5) より, CDAC の誤差は DCVTC を用いて $V_{th,eff}(D_{th}) = \Delta V_{dac}(D_{in})$ となるように制御することでキャンセルできる. したがって, 最適なデジタル閾値 $D_{th,opt}$ は DAC 入力コード D_{in} の関数となる. そのため全ての D_{in} のパターンに対する $D_{th,opt}$ の数は 2^{N_U-1} となる. 例えば $N_U = 12$ の場合, $D_{th,opt}$ の数は 2048 となる. SF-ADC の出力ビット数を 9 ビットとした場合, 2.25 kB の記憶領域が必要となり, デジタル回路のオーバーヘッドが大きい. そのため, 本研究では D_{in} から動的に $D_{th,opt}$ を生成する.

$D_{th,opt}$ を効率的に生成するために, 基準となるデータ $D_{th,std}$ と D_{in} に依存する差分データを用いる. 基準となるデータは全ての入力コードが 0 の場合の最適閾値, すなわち $D_{th,std} = D_{th,opt}(0)$ であり, 実効的な閾値電圧は以下のように表せる.

$$V_{th,eff}(D_{th,std}) = E_{off} + \sum_{i=0}^{N_U-1} E_i(0) \quad (4.6)$$

差分データとして一つのビットのみが 1 となる入力 $D_i = \delta_{ij}$ に対応する閾値データ $D_{th,j} (j = 0, \dots, N_U - 1)$ を利用する. ここで, δ_{ij} はクロネッカーのデルタ (Kronecker's Delta) である. 基準データ $D_{th,std}$ に差分データ $D_{th,j}$ を加算した場合の実効的な閾値

$V_{th,eff}(D_{th,std} + D_{th,j})$ は以下のように表せる.

$$V_{th,eff}(D_{th,std} + D_{th,j}) = E_{off} + \sum_{i=0}^{N_U-1} E_i(0) + E_j(1) - E_j(0) \quad (4.7)$$

提案方式では $D_{th,opt}$ を以下のように生成する. まず, $D_{th} = D_{th,std}$ とし, j 番目のビット D_j が 1 の場合に $D_{th,j}$ を加算する. これを $j = 0, 1, \dots, N_U - 1$ について繰り返すことで, 任意の D_{in} に対する最適閾値データは以下のように求められる.

$$D_{th,opt}(D_{in}) = D_{th,std} + \sum_{j=0}^{N_U-1} D_j D_{th,j} \quad (4.8)$$

式 (4.7), (4.8) より, 提案方式を用いることで, 一つの基準データ $D_{th,std}$ と N_U 個の差分データ $D_{th,j}$ から 2^{N_U-1} 通りの最適閾値データを生成することができる.

本研究では $N_U = 12$ であり, $D_{th,opt}$ は 13 個のデータから生成できる. これらのデータはレジスタテーブルに格納される. そして, SAR-ADC モードにおいてレジスタテーブルから読み出され, 動的閾値生成回路において $D_{th,opt}$ が生成される.

本研究では以下の手順に従い $D_{th,std}$ および $D_{th,j}$ を最適化する. まず, $D_{th,std}$ を $(N_{comp} + 1)/2 = 256$ 付近で掃引し, 正弦波のテスト信号入力に対して, Signal-to-Noise and Distortion Ratio (SNDR) が最大となる値をレジスタに格納する. 次に, D_{th,N_U-1} を 0 を中心に掃引し, 同様に SNDR が最大となる値をレジスタに格納する. 続いて同様の操作を D_{th,N_U-2} から $D_{th,0}$ まで繰り返し, 順次 DAC 誤差の影響を小さくしていく.

4.5 機械学習による誤差補正

SAR-ADC および SF-ADC はそれぞれ異なる参照電圧を用いているため, その出力 D_U および D_L を単純に繋ぎ合わせるだけでは不整合が生じ, 分解能の低下につながる. したがって, D_U および D_L から D_{out} を得るためにエンコーディングを行って誤差を補正する必要がある. この誤差補正 (エンコーディング) の特性は SAR-ADC および SF-ADC の入出力特性に依存するため, 製造後にテストを行って D_{out} の誤差を最小化するよう最適化することが望ましい. そこで, SSA-ADC の誤差のモデル化を行い, 機械学習アルゴリズムを用いて誤差補正を行う手法について検討する.

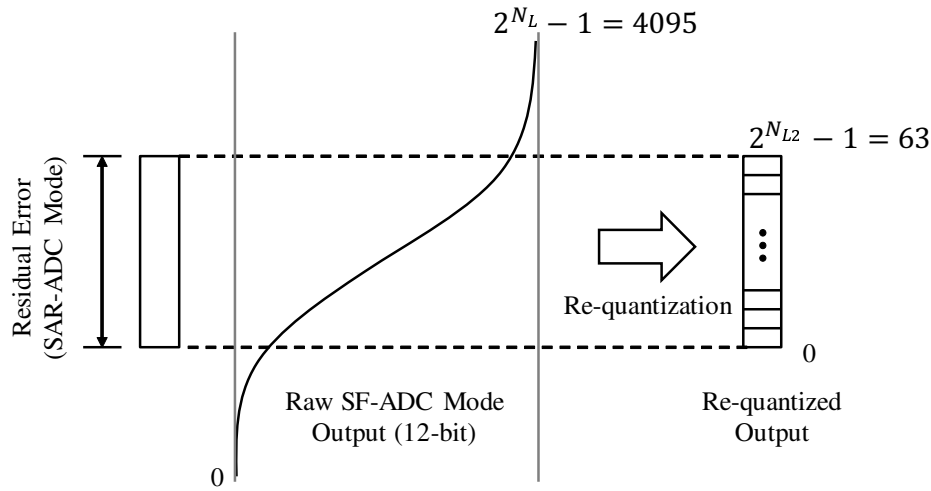


図 4.6: SF-ADC モード出力のエンコード

4.5.1 並列型確率的 A/D 変換器出力のエンコード

SF-ADC モードにおいて、下位ビットの出力 D_L は SAR-ADC モードの残差の確率に対応している。しかし、図 4.6 に示すように、SF-ADC モードのフルスケール・レンジは SAR-ADC モードの LSB には対応していない。これは、SAR-ADC では内部 DAC の参照電圧によりフルスケール・レンジが決定されるのに対して、SF-ADC ではコンパレータのオフセット電圧の標準偏差によりフルスケール・レンジが決定されることに起因している。そのため SSA-ADC の出力 D_{out} を得るには D_U のスケールに一致するよう D_L をエンコーディングする必要がある。

また、SF-ADC の出力は SAR-ADC モードの残差の情報を含むため、エンコーディングの最適化により SAR-ADC モードの変換誤差を補正することができる。SAR-ADC モードの誤差は 4.4 節で述べた DCVTC により補正できるが、DCVTC を用いた誤差補正は主に容量ミスマッチおよび寄生容量に起因する誤差の低減を目的としている。一方、エンコーディングの最適化による誤差補正は DCVTC の最適化後に残った変換誤差の低減を目的としている。

4.5.2 誤差最小化問題の定義

本研究ではテスト用の信号 $V_{in,ideal}$ を ADC に入力し、訓練データを取得する。訓練データの集合 D_T は SSA-ADC の上位ビット出力 D_U と下位ビット出力の D_L と理想的な出力コード $D_{out,ideal}$ を含む。すなわち k 番目の訓練データ $D^{(k)}$ は、 $D^{(k)} = (D_{out,ideal}^{(k)}, D_U^{(k)}, D_L^{(k)})$, $k \in T$ と表せる。ここで、 k は訓練データの添字 (インデックス) であり、 T は訓練データの添字集合を表す。また、訓練データ $D^{(k)}$ の各要素は以下のようなビット構成となる。

$$\begin{aligned} D_U^{(k)} &= (D_{U,N_U-1}^{(k)}, \dots, D_{U,0}^{(k)}), \\ D_L^{(k)} &= (D_{L,N_L-1}^{(k)}, \dots, D_{L,0}^{(k)}), \\ D_{out,ideal}^{(k)} &= (D_{out,ideal,N_{out}-1}^{(k)}, \dots, D_{out,ideal,0}^{(k)}) \end{aligned} \quad (4.9)$$

ここで、誤差補正関数として $h_{\mathbf{w}}(D_U^{(k)}, D_L^{(k)})$ を導入する。誤差補正関数は補正パラメータ・ベクトル \mathbf{w} を用いて、上位ビット出力 $D_U^{(k)}$ および $D_L^{(k)}$ から理想的な出力コード $D_{out,ideal}^{(k)}$ を推定する。本研究では $h_{\mathbf{w}}(D_U^{(k)}, D_L^{(k)})$ を以下のように定義する [95]。

$$\begin{aligned} h_{\mathbf{w}}(D_U^{(k)}, D_L^{(k)}) &= \sum_{i=0}^{N_U-1} 2^{i+N_{L2}} D_{U,i}^{(k)} \\ &+ \sum_{i=0}^{N_U-1} 2^{i+N_{L2}} e_i D_{U,i}^{(k)} \\ &+ \sum_{i=0}^{N_U-1} 2^{i+N_{L2}} D_{U,i}^{(k)} \sum_{j=i+1}^{N_U-1} f_{i,j} D_{U,j}^{(k)} \\ &+ \sum_{i=1}^{2^{N_{L1}+N_{L2}}-1} h_i p_i^{(k)} \\ &+ \sum_{i=0}^{N_{L3}-1} 2^{i-N_{L3}} D_{L,i}^{(k)} (g_i + 1) \\ &+ \delta \end{aligned} \quad (4.10)$$

ここで、 $D_{U,i}^{(k)}$ は $D_U^{(k)}$ の i 番目のビットであり、 $p_i^{(k)}$ は $D_L^{(k)}$ に対応する $(2^{N_L-N_{L3}} - 1)$ ビットの温度計コードの i 番目のビットである。また、 e_i および $f_{i,j}$, h_i , g_i , δ は補正パラメータである。式 (4.10) の右辺第 2 項と第 3 項はそれぞれ SAR-ADC モードにおける CDAC 容量の 2 のべき乗からの誤差とスイッチの選択に依存した誤差の補正に対応する。

また、第 4 項は SF-ADC モード出力のエンコーディングおよび非線形性の補正に対応する。第 5 項は SF-ADC モード出力の小数部 N_{L3} ビットの補正に対応する。

式 (4.10) 中のパラメータからなるベクトル \mathbf{e} および $\mathbf{f}, \mathbf{h}, \mathbf{g}$ を以下のように定義する。

$$\mathbf{e} = (e_0, \dots, e_{N_U-1})^\top, \quad (4.11)$$

$$\mathbf{f} = (f_{0,1}, \dots, f_{0,N_U-1}, f_{1,2}, \dots, f_{1,N_U-1}, \dots, f_{N_U-3,N_U-2}, \dots, f_{N_U-2,N_U-1})^\top, \quad (4.12)$$

$$\mathbf{h} = (h_1, \dots, h_{2^{N_{L1}+N_{L2}-1}})^\top, \quad (4.13)$$

$$\mathbf{g} = (g_0, \dots, g_{N_{L3}-1})^\top \quad (4.14)$$

ここで上付き文字の \top は行列の転置を表す。また、誤差補正関数のパラメータ・ベクトル \mathbf{w} を以下のように定義する。

$$\mathbf{w} = (\mathbf{e}^\top, \mathbf{f}^\top, \mathbf{h}^\top, \mathbf{g}^\top, \delta)^\top \quad (4.15)$$

誤差補正関数のパラメータ・ベクトル \mathbf{w} を決定することで、補正後の出力 $D_{out} = (D_{out,N_{out}-1}, \dots, D_{out,0})$ を求めることができる。 D_{out} の誤差 $E_{\mathbf{w}}(D^{(k)})$ は、誤差補正関数の出力と理想的な出力 $D_{out,ideal,D}^{(k)}$ との差として定義され、以下のように表せる。

$$E_{\mathbf{w}}(D^{(k)}) = \left| h_{\mathbf{w}}(D_U^{(k)}, D_L^{(k)}) - D_{out,ideal,D}^{(k)} \right| \quad (4.16)$$

$$D_{out,ideal,D}^{(k)} = \sum_{i=0}^{N_{out}-1} 2^i D_{out,ideal,i}^{(k)} \quad (4.17)$$

最適な補正パラメータ・ベクトル \mathbf{w} は $E_{\mathbf{w}}(D^{(k)})$ を最小化する。したがって、補正パラメータの最適化は誤差最小化問題として以下のように定義できる。

$$\min_{\mathbf{w}} \sum_{k \in T} E_{\mathbf{w}}(D^{(k)})^2 + c_{r1} \|\mathbf{e}\|_2^2 + c_{r1} \|\mathbf{f}\|_2^2 + c_{r2} \|\mathbf{g}\|_2^2 + c_{r3} \|\mathbf{h}\|_2^2, \quad (4.18)$$

ここで $\|\cdot\|_2$ はユークリッド・ノルムを表す。また、第 2 項から第 5 項は e_i および $f_{i,j}$, g_i , h_i が極端に大きな値になるのを防ぐために使用される正則化項であり、 c_{r1}, c_{r2}, c_{r3} は正則化定数である [96, 97]。

4.5.3 バイズ線形回帰による最適化

本研究では、機械学習アルゴリズムを用いて式 (4.18) で定義した誤差最小化問題を解くことを検討する。まず、誤差補正関数 $h_{\mathbf{w}}$ の基底関数として、以下のベクトル $\boldsymbol{\phi}(D_U, D_L)$

を定義する.

$$\begin{aligned} \phi(D_U, D_L) = & (2^{N_{L2}} D_{U,0}, \dots, 2^{N_{out}-1} D_{U,N_U-1}, \\ & 2^{N_{L2}} D_{U,0} D_{U,1}, \dots, 2^{N_{L2}} D_{U,0} D_{U,N_U-1}, \\ & 2^{N_{L2}+1} D_{U,1} D_{U,2}, \dots, 2^{N_{out}-1} D_{U,N_U-2} D_{U,N_U-1}, \\ & p, 2^{N_{L3}-1} D_{L,N_{L3}-1}, \dots, 2^0 D_{L,0}, 1)^\top \end{aligned} \quad (4.19)$$

ここで, p は $(2^{N_L-N_{L3}} - 1)$ ビットの温度計コードである. 上記より, 誤差補正関数 $h_{\mathbf{w}}$ は以下のように表せる.

$$h_{\mathbf{w}}(D_U, D_L) = \mathbf{w}^\top \phi(D_U, D_L) \quad (4.20)$$

第3章で提案した $\Delta\Sigma$ 型 A/D 変換器では, 補正パラメータと性能指標との関係を定式化することが困難であるため, メタヒューリスティックな最適化手法として遺伝的アルゴリズムを使用した. 一方, SSA-ADC では誤差と補正パラメータの関係を式 (4.16) のように定式化できるため, 式 (4.18) の誤差最小化問題は線形回帰により解析的に解くことができる. しかし, 実際の訓練データは熱ノイズやテスト信号源の精度に起因する誤差を含んでいる. このような条件下では, ベイズ推定を用いた線形回帰であるベイズ線形回帰 (Bayesian Linear Regression) が適している [95,96,98]. ベイズ推定は, 得られたデータセットからモデルのパラメータの事前分布の下で事後分布を推定する方法である [99].

まず, 訓練データは熱ノイズを含むため正規分布 $\mathcal{N}(D_{out,ideal,D} | h_{\mathbf{w}}(D_U, D_L), \beta_{out}^{-1})$ に従うと仮定する. ここで, β_{out} は補正後の出力の分散に関連した定数である. さらに, \mathbf{w} の事前分布についても正規分布 $\mathcal{N}(\mathbf{w} | \mathbf{0}, \Sigma_c)$ に従うものとする. ここで

$$\Sigma_c^{-1} = \text{diag}\{c_{r1}, \dots, c_{r1}, c_{r3}, \dots, c_{r3}, c_{r2}, \dots, c_{r2}, 0\} \in \mathcal{R}^{\frac{1}{2}N_U(N_U+1)+N_{L3}+2^{N_L-N_{L3}}} \quad (4.21)$$

である. また, δ については一様分布に従うと仮定する.

訓練データ D_T が与えられた場合の事後分布は $p(\mathbf{w}|D_T)$ と表せる. ここで, $p(\mathbf{w}|D_T)$ を \mathbf{w} について最大化することで, 以下の関係を得る [96].

$$p(\mathbf{w} | D_T) = \mathcal{N}(\mathbf{w} | \boldsymbol{\mu}_T, \mathbf{S}_T), \quad (4.22)$$

$$\boldsymbol{\mu}_T = \beta_{out} \mathbf{S}_T \boldsymbol{\Phi}_T^\top \mathbf{d}_T, \quad (4.23)$$

$$\mathbf{S}_T^{-1} = \Sigma_c^{-1} + \beta_{out} \boldsymbol{\Phi}_T^\top \boldsymbol{\Phi}_T, \quad (4.24)$$

ここで, $\boldsymbol{\Phi}_T$ はその行が $\phi(D_U^{(k)}, D_L^{(k)})^\top, k \in T$ からなる行列である. また, \mathbf{d}_T はその要素が $D_{out,ideal,D}^{(k)} - D_{U,D}^{(k)}, k \in T$ である列ベクトルである. $\boldsymbol{\mu}_T$ は訓練データ D_T により得られた最適な \mathbf{w} である.

訓練データのパターンは $2^{N_{out}}$ 通りであり、出力が 18 ビット ($N_{out} = 18$) の場合、262,144 通りとなる。製造時のコストを考慮すると全てのパターンについて測定値を得ることは現実的ではない。そのため、限られた訓練データ数で効率的な学習を可能とするため、先行研究 [95, 98] において検討されている追加学習 (Incremental Learning) の手法を適用する。ベイズ線形回帰は、限られた訓練データ数で効果的な学習を実現できる追加学習に適している [95]。

4.6 回路設計

提案方式の有効性を確認するため、SSA-ADC を含む AFE IC の設計を行った。AFE IC の構成は図 4.1 に示す通りである。原理検証のためコンパレータの電源電圧および CDAC の参照電圧を 0.5 V で設計し、その他のアナログ回路の電源電圧は 1.2 V または 1.0 V とした。また、デジタル回路の電源電圧はスタンダードセルに合わせて 1.2 V とした。

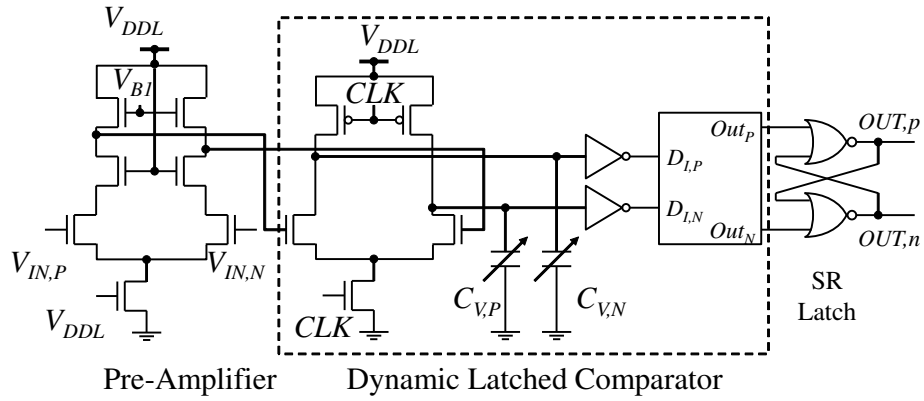
4.6.1 容量 DAC

SAR-ADC の内蔵 DAC は図 4.5 に示す差動構成の CDAC を使用した。CDAC は Metal-Insulator-Metal (MIM) 容量と MOS スイッチで構成し、スプリット容量を挿入するビットを $m = 6$ とした。多数のコンパレータの入力容量を駆動するため、出力にはバッファを挿入した。バッファはセトリング要求を満たしながら消費電力を低減するため、AB 級増幅回路で構成した。また、オーバーサンプリングによる処理利得を考慮した場合に kT/C ノイズが 18 ビットの LSB 以下となるよう、単位容量 $C_u = 1.2$ pF とした。また、MOS スイッチのサイズはセトリング要件を満たすように決定した。

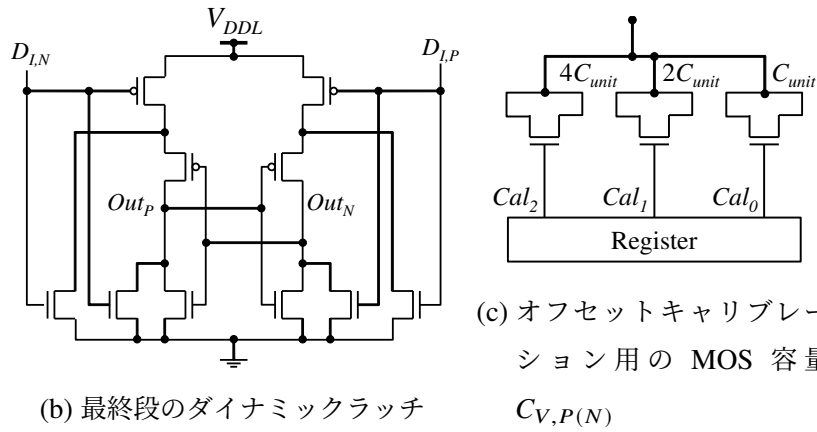
4.6.2 コンパレータ

コンパレータは SF-ADC の主要な構成要素であり、その性能を決める重要なブロックである。本研究では 0.5 V の低電圧で動作させるため、Dynamic Latched コンパレータ [14] を使用した。Dynamic Latched コンパレータは定常電流を消費しないため、低消費電力化に適している [100]。

図 4.7 にコンパレータの回路図を示す。SF-ADC ではコンパレータを多数並列に接続するため、キックバックノイズやクロック・フィードスルーが大きな問題となる。キック



(a) Dynamic Latched コンパレータ



(b) 最終段のダイナミックラッチ

(c) オフセットキャリブレーション用の MOS 容量 $C_{V,P(N)}$

図 4.7: Dynamic Latched コンパレータの回路図

バックノイズやクロック・フィードスルーはダイナミックアンプと入力ノードの容量結合により引き起こされる。本研究ではキックバックノイズおよびクロック・フィードスルーを低減するため、低ゲインのプリアンプを入力バッファとして接続する。

SF-ADC の入力レンジおよび分解能はノイズとオフセットを含めた入力換算ノイズ σ_{tot} で決まる。オフセット電圧は制御容量 $C_{V,P}$ および $C_{V,N}$ の選択により調整可能とした [101]。 $C_{V,P}$ および $C_{V,N}$ は 3 ビットの MOS 容量アレイで構成し、ゲート電圧による空乏層容量の変化を利用する方式とした。

図 4.7 の回路に対し、モンテカルロ・シミュレーションによりトランジスタの特性をばらつかせた結果、オフセットキャリブレーション後のオフセット電圧 σ_{off} は 3 mV となった。3 mV のオフセット電圧は SAR-ADC モードの 12 ビット分解能を確保するために十分小さな値である。また、回路シミュレーションにより求めた入力換算ノイズ σ_n は

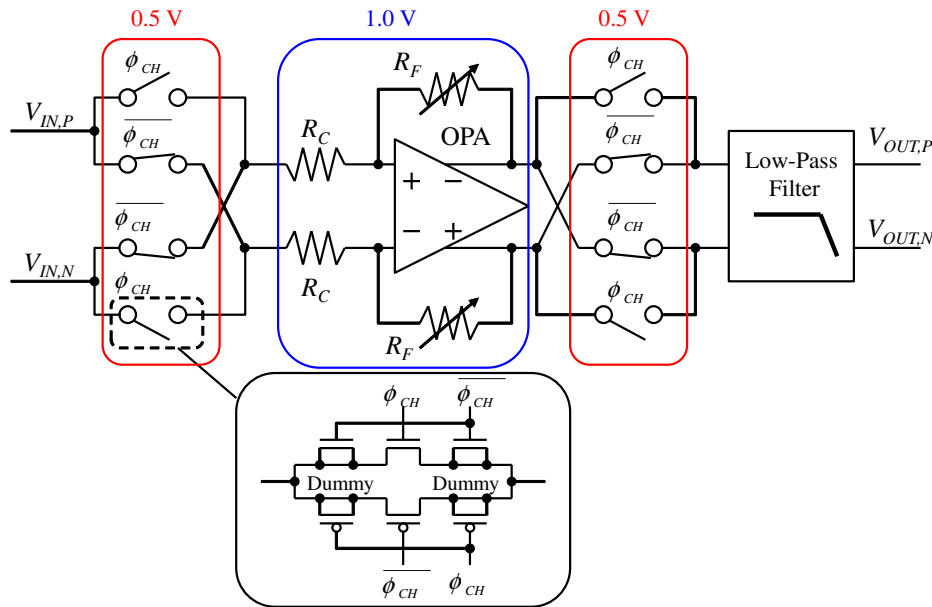


図 4.8: AFE で使用する低スイング (0.5 V) クロック駆動チョッパ増幅器

875 μV となった. 従来の 18 ビット分解能 SAR-ADC では, このような入力換算ノイズは大きすぎる値であるが, 提案方式では SF-ADC を用いることで, ノイズレベル以下の微小な信号に対しても分解能を確保することができる. また, シミュレーションにより求めた消費電力は電源電圧 0.5 V, サンプル周波数 250 kHz において約 1.4 μW であった.

4.6.3 低ノイズ増幅器

本研究では LNA として図 4.8 に示すチョッパ増幅器を使用する. チョッパ増幅器は $1/f$ ノイズの影響が大きい生体信号センサで効果的である [72]. 本研究では抵抗帰還型の構成とし, アプリケーションに応じて 2 通りのゲインを選択できるように, 帰還抵抗 R_F をスイッチで切り替える構成とした. 選択可能なゲインは 16.0 dB および 28.5 dB とした.

変復調を行うチョッピング回路は図 4.8 に示すように CMOS スイッチで構成し, チャージインジェクションの影響を低減するためダミースイッチを設けた. また, クロック・フィードスルーを低減するため, 0.5 V 振幅のクロックにより駆動する構成とした. チョッパクロックの周波数は 31.25 kHz と 62.5 kHz から選択可能とした.

LNA 後段のフィルタは消費電力低減と歪み低減のため受動 RC フィルタで構成した. また, 様々な生体信号に対応できるようカットオフ周波数は約 5 kHz とした.

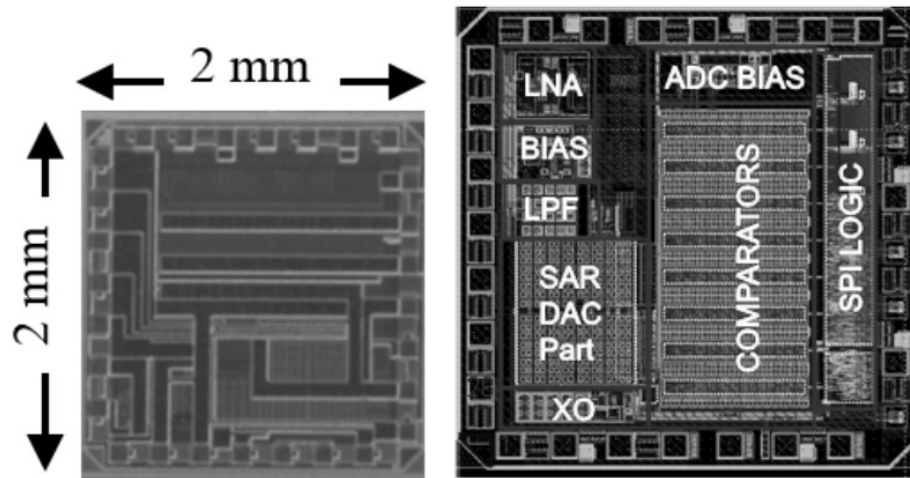


図 4.9: チップ写真およびレイアウト

4.7 実験結果

130 nm CMOS プロセスを用いて提案方式の AFE IC の試作を行い、特性の評価を行った。図 4.9 に試作 IC のチップ写真を示す。試作 IC のチップ面積は $2.0 \times 2.0 \text{ mm}^2$ であり、24 ピン Quad Flat No Leaded (QFN) パッケージで組み立てを行った。

各ブロックの消費電力の内訳を図 4.10 に示す。全体の消費電力は 5.48 mW となった。チョッパ増幅器を含むアナログ回路の電源電圧は内蔵のレギュレータにより、1.2 V 電源から生成した。また、コンパレータの電源電圧 V_{DDL} およびチョッパ増幅器のクロックは内蔵のレギュレータから生成し、0.53 V となった。CDAC の参照電圧 $V_{ref,p}$ および $V_{ref,n}$ はそれぞれ 0.40 V および 0.14 V となった。なお、SSA-ADC のデジタル回路 (Ones Adder および SAR ロジック等) の消費電力はロジック部 (Logic) の消費電力に含まれている。LNA の消費電力は高分解能の SSA-ADC を用いることで低く抑えられている。図 4.5 内のバッファおよび 511 個のコンパレータアレイの消費電力はそれぞれ 1.83 mW および 1.77 mW となった。バッファの消費電力が大きい結果となっているが、これはコンパレータアレイの入力容量を駆動するためである。より微細なプロセスを用いることで、コンパレータアレイの入力容量を削減でき、消費電力を削減することが可能と考えられる。

図 4.11 に DCVTC の最適化前の 12 ビット微分非直線性 (Differential Non-linearity, DNL) および積分非直線性 (Integral Non-linearity, INL) を示す。DNL および INL は

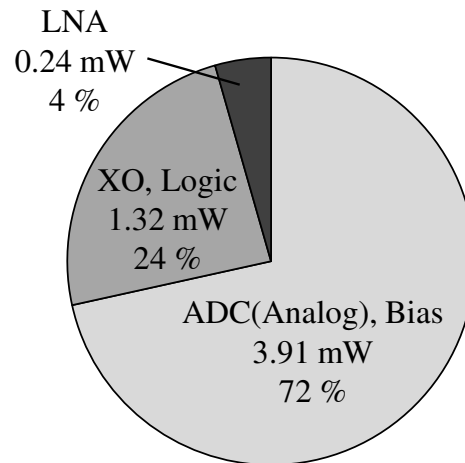
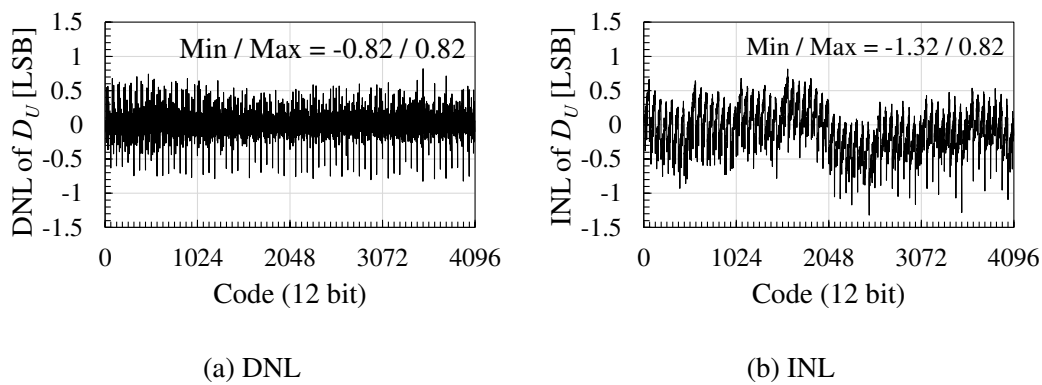


図 4.10: 各ブロックの消費電力の内訳

図 4.11: DCVTC の最適化前の上位 12 ビット出力 D_U の DNL および INL

20.5 Hz のフルスケール正弦波を入力とした 2^{19} 点のヒストグラムテストにより測定した。ピーク DNL および INL はそれぞれ $-0.82/+0.82$ LSB および $-1.32/+0.82$ LSB となった。

図 4.12 に DCVTC 最適化後の 12 ビット DNL および INL を示す。ピーク DNL および INL はそれぞれ $-0.54/+0.76$ LSB および $-0.77/+0.94$ LSB となり、提案方式により SAR-ADC モードの非線形性を低減できることが確認できる。

図 4.13 に提案方式の機械学習による誤差補正の有無による 18 ビット出力の誤差の比較結果を示す。ここで、出力の誤差は理想的な出力コードと実際の出力コードの差である。誤差補正前の出力コードは、図 4.3 のビット構成に従って、上位ビット D_U と下位ビット D_L を加算し、その後下位ビット $N_{L3} = 2$ を切り捨てて 18 ビットにしたものである。また、訓練データは高精度のオーディオアナライザ (Autdio Precision SYS-2722) から正弦波

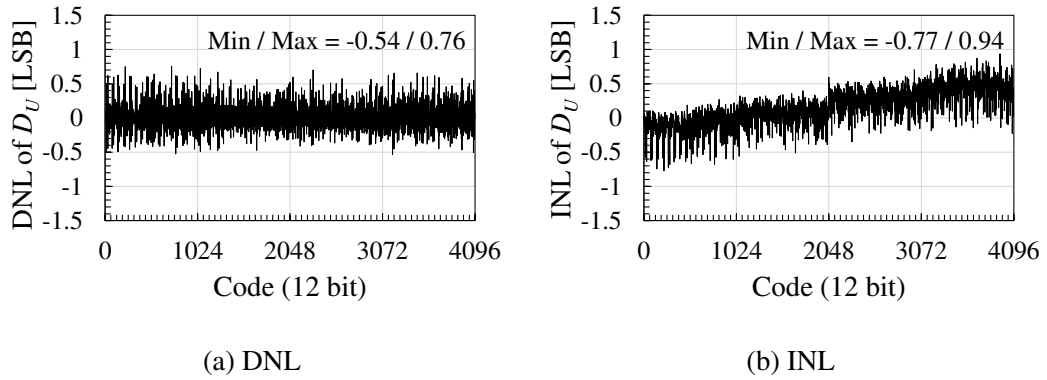


図 4.12: DCVTC の最適化後の上位 12 ビット出力 D_U の DNL および INL

信号を入力して取得した. 図 4.13 に示すように, 機械学習による補正前の誤差の標準偏差は 45.0 LSB であった. 一方, 図 4.13 に示すように機械学習による補正後の誤差の標準偏差は 26.7 LSB となり, 提案方式により SSA-ADC の出力誤差が低減可能であることが確認できる. ここで, 学習に用いたデータ点数は初期学習で 200 点, 追加学習では 1 回あたり 100 点とし, 追加学習は 5 回行った. 合計の訓練データ点数は 700 点であり, 18 ビットコードの全パターン 2^{18} 点に対して 0.27% である. 提案方式では全コードパターンの 1% 未満の訓練データから出力誤差を削減できることが分かる. 補正後の誤差が 18 ビット分解能に対して依然大きい結果となっているが, これは CDAC やバッファで発生する共通ノイズの影響が学習時と補正時とで異なるためと考えられる. これらの共通ノイズに起因する誤差はデジタルフィルタにより帯域制限を行うことで低減することが可能である.

図 4.14 に DCVTC の最適化と機械学習による誤差補正を行った場合の, フルスケール正弦波入力に対する 18 ビット ADC の出力スペクトルを示す. 入力周波数 F_{in} は 20.5 Hz, サンプル周波数 F_{samp} は 250 kHz とし, Fast Fourier Transform (FFT) 点数は 2^{19} 点である. また, ADC 出力はソフトウェア上の 6 次のデジタル LPF によりフィルタリングを行った. カットオフ周波数は心電計の帯域に相当する 70 Hz とした. SNDR は 88.2 dB となり, 有効ビット (Effective Number of Bits, ENOB) は 14.4 ビットとなった. 全高調波歪み (Total Harmonic Distortion, THD) およびスプリアスフリー・ダイナミックレンジ (Spurious Free Dynamic Range, SFDR) はそれぞれ -93.7 dB および 94.4 dB となった. ENOB は 18 ビットの ADC としては低い値となっているが, これは図 4.5 に示すバッファにおいて発生するノイズが共通ノイズであり, SF-ADC およびフィルタリングにより

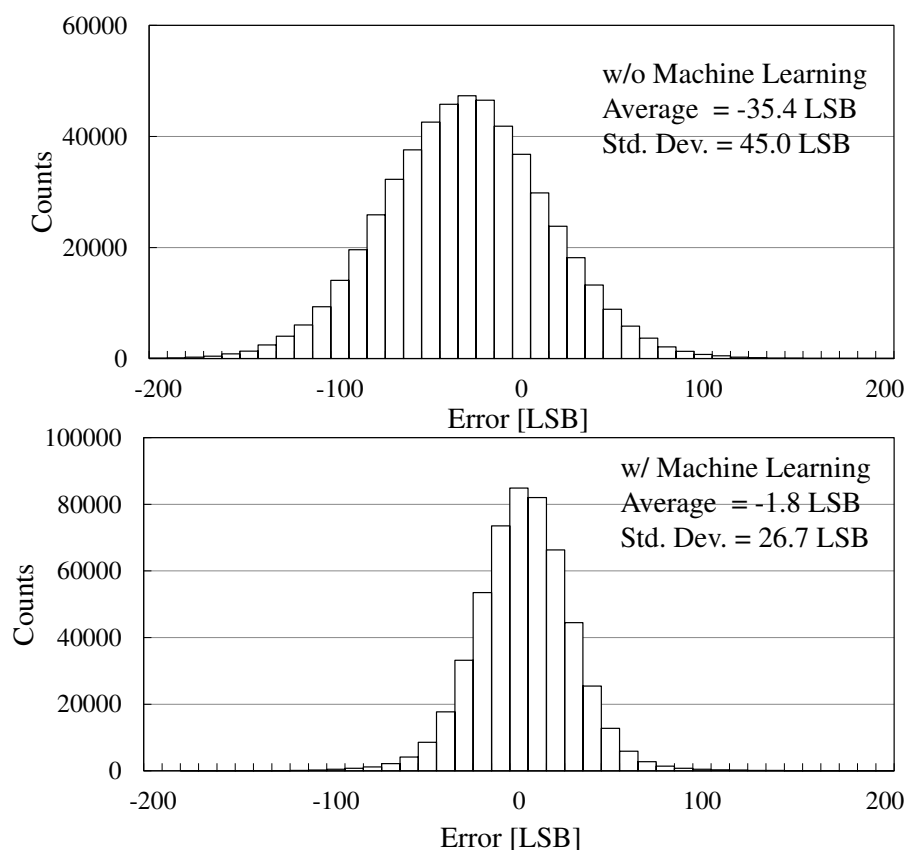


図 4.13: 機械学習の有無による 18 ビット ADC 出力コード誤差の比較

十分抑制できていないためと考えられる。本研究ではキックバックノイズの影響の緩和および SF-ADC の入力容量の駆動のため、CDAC と SF-ADC の間にバッファを挿入した。プロセスの微細化および低電圧化により、入力容量は削減でき、コンパレータ出力の振幅が小さくなるため、キックバックノイズを低減可能である。その場合、バッファを省略することで共通ノイズによる分解能の低下は回避することができる。また、バッファを共通の信号経路上ではなく、各コンパレータ内に実装することで、コンパレータのノイズと同様に扱うことができ、SF-ADC の動作に積極的に利用することができる。

図 4.15 に、2 つのゲイン設定に対する AFE のゲイン周波数応答を示す。入力振幅は $71 \text{ dB}\mu\text{V}$ で、AFE 出力はデジタル LPF でフィルタリングされていない。カットオフ周波数はいずれも 5.3 kHz である。

図 4.16 に AFE の入力換算ノイズのスペクトル密度を示す。LNA 利得は 28.5 dB 、チョッピング周波数は 62.5 kHz である。1 – 70 Hz の帯域幅でのノイズは $2.52 \mu\text{V}_{\text{rms}}$ となった。

試作した AFE の性能概要を表 4.1 に示す。

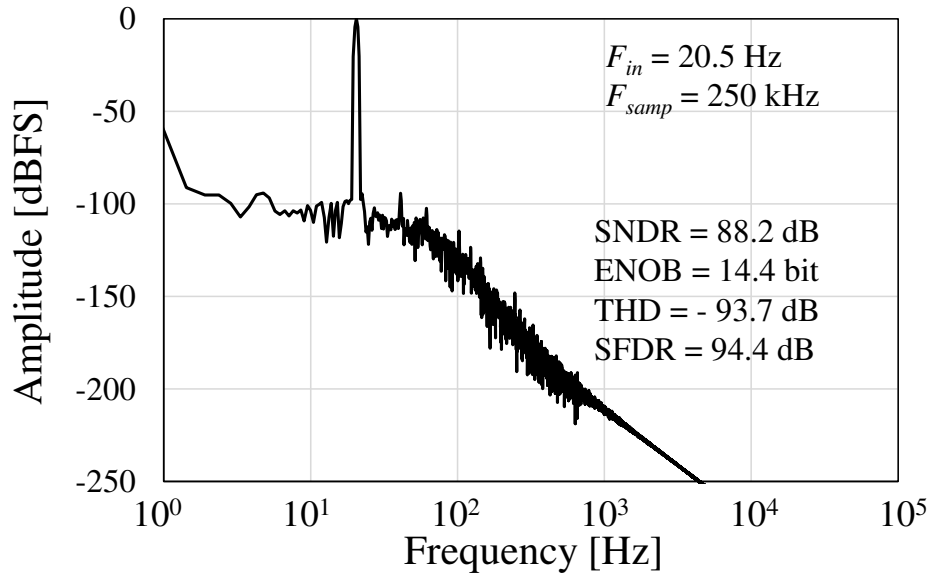


図 4.14: SSA-ADC の正弦波応答スペクトル

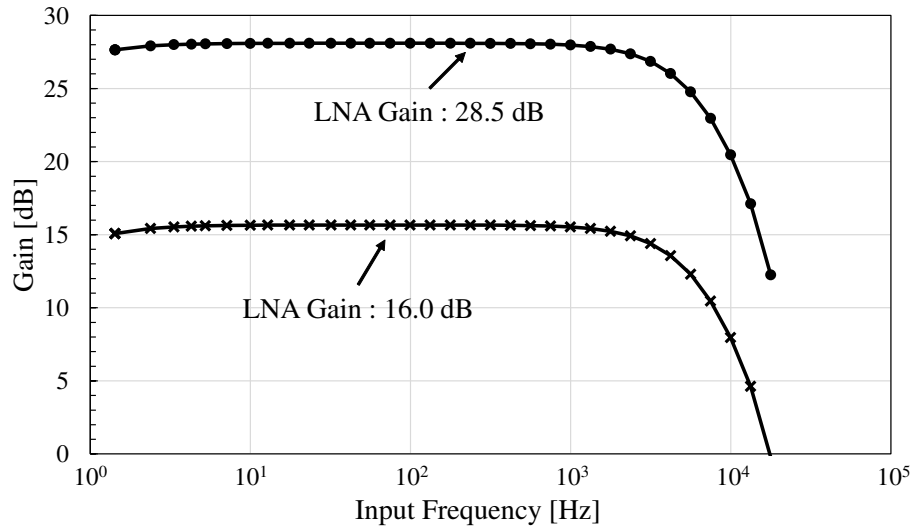


図 4.15: AFE のゲイン周波数特性

実際の生体信号センシング・システムとしての動作を確認するため、心電図チェッカー (NIHON KOHDEN AX-301D) を用いて 60 拍/分 (bpm) の心電図信号を生成し、試作した AFE IC でその波形を取得した。測定した心電図波形を図 4.17 に示す。なお、この結果は 18 ビット出力であり、カットオフ周波数 70 Hz の 6 次 LPF でフィルタリングしている。

表 4.2 に、高分解能 (> 12 bit) の ADC を持つ先行研究および量産品との性能比較を示す。提案方式は量産品 [102] と比較して低消費電力であり、より低い電源電圧とより小さ

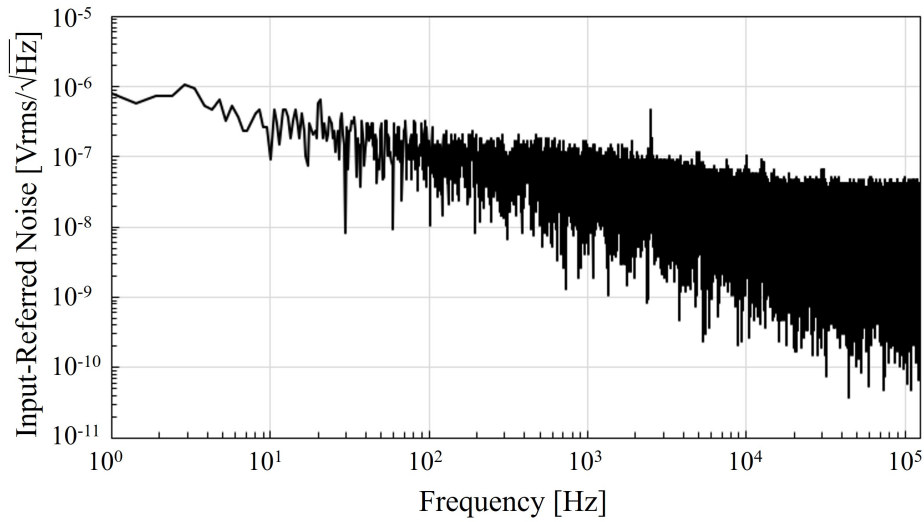


図 4.16: AFE 入力換算ノイズのスペクトル密度 (LNA ゲイン: 28.5 dB)

表 4.1: 試作 AFE 特性のまとめ

Parameters	Values
Technology	130 nm CMOS
Supply Voltage [V]	1.2
Power (Analog) [mW]	4.2
Power (Digital) [mW]	1.3
LNA Gain [dB]	28.5, 16.0
Chopping Clock Frequency [kHz]	31.25, 62.5
Input-Referred Noise [μV_{rms}]	2.52 (1 – 70 Hz)
Sampling Frequency [kHz]	62.5, 125, 250
ADC ENOB [Bits]	14.4
ADC THD [dB]	-93.7
ADC SFDR [dB]	94.4

いフルスケール・レンジの下でも，先行研究 [103] と同等の分解能を実現している．従来の高分解能 ADC [102, 103] では，ダイナミックレンジを確保するため，フルスケール電圧は 1.6 V 以上となっている．そのため，アナログ回路の電源電圧は標準的なデジタル回路の電源電圧より高い 3.3 V となっている．一方，提案方式では SF-ADC と機械学習によ

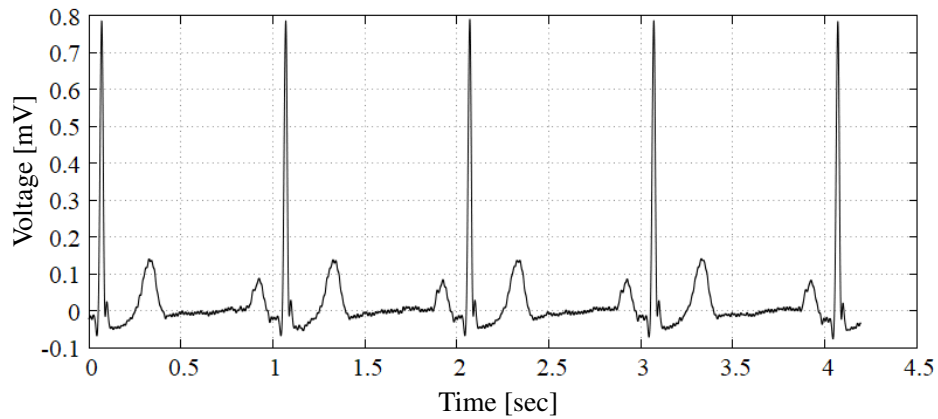


図 4.17: 提案システムで取得した心電波形

表 4.2: 高分解能 (> 12 ビット) 生体信号センサとの性能比較

	[103]	[102]	This work
Technology [nm]	130	-	130
Supply [V]	3.3	3.3	1.2
Electrode channels	8	5	1
Power/channel [mW]	2.1	11	5.5
Bandwidth [Hz]	100	150	70
Full-scale range [V]	1.6	1.8	0.53
Resolution [bits]	13.5	19	14.4
LNA gain [dB]	-	12.5	28.5
Input-referred noise [μV_{rms}]	0.89	1.13	2.52

る誤差補正により、フルスケール電圧を 0.53 V と低く設定できる。そのため、アナログ回路の電源電圧をデジタル回路と同等の電圧まで下げることができ、低消費電力化と電源回路の簡略化が可能となる。また、より微細なプロセスを用いることで、さらに低電圧化することが可能となる。

4.8 まとめ

本章では、確率的 A/D 変換と機械学習による誤差補正を用いた高分解能生体信号センシング・システムを提案した。提案方式は従来の SAR-ADC に SF-ADC を統合した SSA-ADC を含む。SSA-ADC はデジタル回路中心のアーキテクチャであるため、微細化・低電圧化に適した方式である。SSA-ADC では、上位ビットの変換において、SF-ADC とデジタルコンパレータを組み合わせてデジタル的に閾値を制御可能な DCVTC として使用する。DCVTC は動的に閾値を制御することで、CDAC の容量ミスマッチおよび寄生容量に起因する誤差を補正する。また、SF-ADC は下位ビットの変換にも使用され、オフセットおよびノイズレベル以下の信号に対して分解能を確保することができる。SSA-ADC 出力のエンコーディングと誤差補正を最小化問題として定義し、誤差補正関数のパラメータをベイズ線形回帰によって最適化する手法を提案した。提案方式の AFE IC を 130 nm CMOS プロセスを用いて設計・試作し、その特性の評価を行った。DCVTC を用いた誤差補正により、12 ビット出力における DNL と INL が改善できることを確認した。また、機械学習による誤差補正の前後での SSA-ADC の変換誤差を比較し、誤差の標準偏差が 45.0 LSB から 26.7 LSB に低減されることを確認した。

第 5 章

ノイズ統計を用いた確率的 A/D 変換

5.1 はじめに

生体信号センサに使用される逐次比較型 A/D 変換器 (Successive Approximation Register ADC, SAR-ADC) の分解能は、内部 D/A 変換器 (Digital-to-Analog Converter, DAC) 出力の不完全整定、ミスマッチ、熱ノイズなどのさまざまな要因によって制限される。特に、容量ミスマッチとコンパレータの熱ノイズは、生体信号センサで使用される低速・中分解能の SAR-ADC で支配的な誤差要因となる [12, 48]。容量ミスマッチについては、様々な補正技術が提案されており [25, 45, 104]、本論文では第 4 章においてデジタル制御閾値可変コンパレータを用いた補正技術を提案した。熱ノイズは、オーバーサンプリングや電力の増加 (アナログスケールリング) によって抑制することができるが、分解能を 1 ビット向上させるために理論上 4 倍の電力を必要とする [11, 42]。低電圧化により、電源回路の簡素化や低消費電力化などが可能であるが、ノイズの影響が相対的に大きくなる。そこで、本章では SAR-ADC の低消費電力化のために、ノイズの統計性を利用した Stochastic SAR-ADC を提案する。提案手法では、繰り返し比較と統計処理を用いて DAC 出力残差を A/D 変換することで分解能を向上させる。

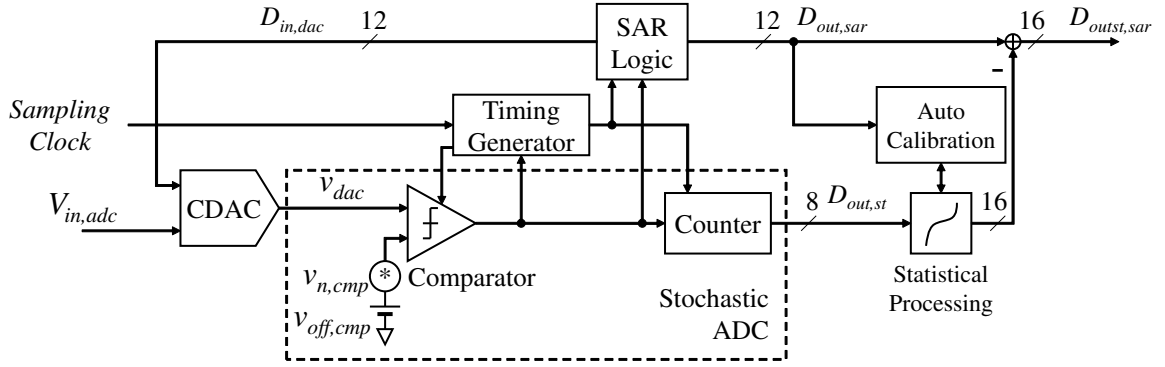


図 5.1: Stochastic SAR-ADC のブロック図

5.2 提案方式

本研究で提案する Stochastic SAR-ADC の構成を図 5.1 に示す. Stochastic SAR-ADC は, 従来の容量 DAC (Capacitor DAC, CDAC), コンパレータなどに加えて, カウンタ (Counter) および統計処理ブロック (Statistical Processing) と加算器から構成される. Stochastic SAR-ADC は, CDAC の最上位ビット (Least Significant Bit, LSB) 出力に対して繰り返し比較と残差推定を行うことで SAR-ADC の分解能を向上させる方式であり, 確率的 A/D 変換を利用した Stochastic ADC を内蔵している. 本研究で使用する Stochastic ADC は, 図 5.1 の点線内に示すように, 1 つのコンパレータとカウンタ (アキュムレータ) で構成される. コンパレータは変換期間中, ノイズやオフセットとの比較を繰り返し, カウンタはコンパレータの High 出力を累積加算する. 出力 $D_{out,st}$ はカウンタ出力であり, 変換期間中にコンパレータが出力した High の数に相当する.

Stochastic ADC ではコンパレータの内部で発生するノイズによる確率共鳴を利用する. 以下に Stochastic ADC による A/D 変換の原理を述べる. まず, コンパレータのノイズ $v_{n,cmp}$ はホワイトノイズでありガウス分布に従うと仮定する. コンパレータの入力を $v_{in,cmp}$, $v_{n,cmp}$ の標準偏差を σ_n とした場合, コンパレータが High を出力する確率 $P(v_{in,cmp})$ は以下のように表せる.

$$P(v_{in,cmp}) = \frac{1}{2} + \frac{1}{2} \operatorname{erf} \left(\frac{v_{in,cmp}}{\sqrt{2} \sigma_n} \right) \approx \frac{D_{out,st}}{n_{rep}} \quad (5.1)$$

ここで $\operatorname{erf}(\cdot)$ は誤差関数である. また, $v_{n,cmp}$ の平均およびオフセット電圧 $v_{off,cmp}$ は

0であると仮定している．式(5.1)を $v_{in,cmp}$ について解くと以下のように表せる．

$$v_{in,cmp} \approx \sqrt{2} \sigma_n \operatorname{erf}^{-1} \left(2 \left(\frac{D_{out,st}}{n_{rep}} - \frac{1}{2} \right) \right) \quad (5.2)$$

ここで $\operatorname{erf}^{-1}(\cdot)$ は逆誤差関数である．式(5.2)より，入力 $v_{in,cmp}$ はノイズの標準偏差 σ_n およびStochastic ADCの出力 $D_{out,st}$ ，総比較回数 n_{rep} から推定できることが分かる．

従来のSAR-ADCではコンパレータノイズにより分解能が制限され，その大きさ(標準偏差) σ_n はSAR-ADCの1LSBの電圧値より十分小さくなるよう設計する必要がある．一方，Stochastic ADCの分解能は繰り返し比較の回数 n_{rep} により決定され，コンパレータのノイズの大きさ(標準偏差) σ_n は入力レンジを決定する．そのため，Stochastic SAR-ADCではコンパレータノイズ以下のレベルに対して分解能を確保することができる．

5.2.1 Stochastic ADC による誤差推定

SAR-ADCの誤差は，SAR-ADC出力とSAR-ADC入力 $V_{in,adc}$ の差として定義できる．SAR-ADC誤差はサンプリング誤差 ΔV_{smp} と変換残差 ΔV_{dac} から構成され，次式で表せる．

$$D_{out,sar} V_{lsb,sar} - V_{in,adc} = \Delta V_{smp} + \Delta V_{dac} \quad (5.3)$$

ここで， $D_{out,sar}$ はSAR-ADCの出力コードであり， $V_{lsb,sar}$ はSAR-ADCのLSB電圧である．通常，SAR-ADCのサンプリング誤差はCDACの不完全整定および kT/C ノイズに起因する．不完全整定についてはサンプリングスイッチのオン抵抗および容量の値を適切に設計することで抑制できる．また， kT/C ノイズについては要求される分解能に対して適切にサンプリング容量値を設計することで抑制可能である．そのため，ここではSAR-ADCの変換残差 ΔV_{dac} の低減を目標とする．

ΔV_{dac} が得られた場合，ADCの変換誤差は $D_{out,sar} V_{lsb,sar}$ から ΔV_{dac} を引くことで低減することができる．Stochastic SAR-ADCは，SAR-ADC動作後のCDAC残差をコンパレータにより繰り返し比較することで， ΔV_{dac} を推定する．式(5.2)に ΔV_{dac} を代入すると， ΔV_{dac} は以下のように推定できる．

$$\Delta V_{dac} \approx \sqrt{2} \sigma_n \operatorname{erf}^{-1} \left(2 \left(\frac{D_{out,st}}{n_{rep}} - \frac{1}{2} \right) \right) \quad (5.4)$$

式(5.4)から ΔV_{dac} は，Stochastic ADC出力 $D_{out,st}$ ，総比較回数 n_{rep} ，コンパレータノイズの標準偏差 σ_n から推定できる． σ_n はプロセスや電源電圧，温度により変化するた

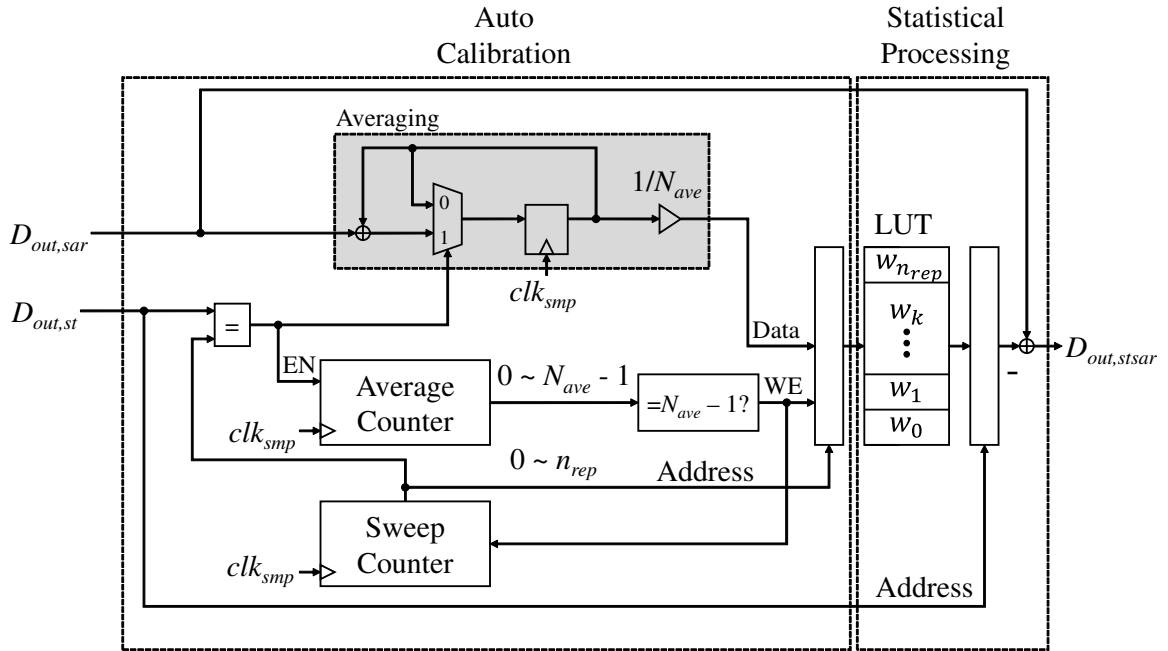


図 5.2: Stochastic SAR-ADC の自動キャリブレーション回路

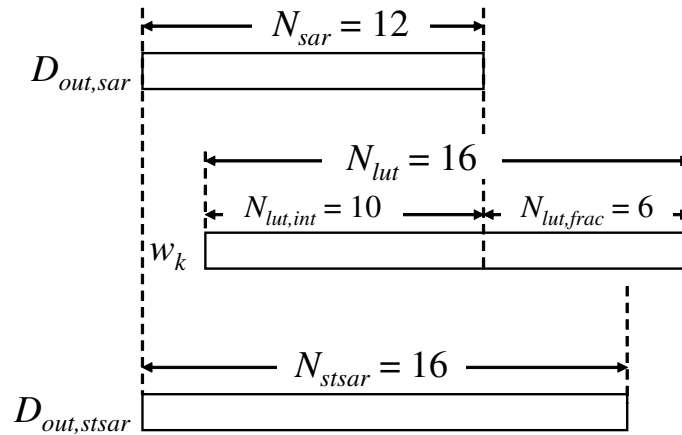


図 5.3: Stochastic SAR-ADC のビット構成

め、ロバスト性を確保するためには、製造後に自動的に σ_n を決定することが望ましい。また、逆誤差関数 $\text{erf}^{-1}(\cdot)$ の演算は実際には系統的なばらつきおよび有限の比較回数により誤差を含む。そこで、本研究では次節で述べる通り、 σ_n および逆誤差関数の処理を自動的に決定する手法を使用する。

5.3 自動キャリブレーション

本研究では、逆誤差関数の処理のための統計処理ブロックをルックアップテーブル (Look-up Table, LUT) として実現し、その内容をフォアグラウンド・キャリブレーションにより決定する。 $D_{out,st} = k (k = 0, 1, \dots, n_{rep})$ に対する LUT の出力 w_k は以下の手順により決定される。まず、ADC の入力を 0 に設定し、補正前の SAR-ADC の出力 $D_{out,sar}$ と Stochastic ADC の出力 $D_{out,st}$ を得る。そして、特定の $D_{out,st}$ に対応する $D_{out,sar}$ の平均値を計算する。この平均値は w_k として LUT に格納され、以下のように表せる。

$$w_k = \frac{1}{N_{ave}} \sum_{i=0}^{N_{ave}-1} D_{out,sar,i}^{(k)} \quad (5.5)$$

ここで、 $D_{out,sar,i}^{(k)}$ は i 番目の SAR-ADC 出力であり、 $D_{out,st} = k$ の場合に対応する。また、 N_{ave} は平均回数である。同様の処理を $k = 0, 1, \dots, n_{rep}$ (全ての $D_{out,st}$ のコードパターン) について行う。

キャリブレーション完了後、 $D_{out,st}$ はアドレスとして LUT に入力される。LUT の出力 $w_{D_{out,st}}$ は $D_{out,sar}$ から減算される。補正後の Stochastic SAR-ADC の出力 $D_{out,stsar}$ は以下のように表される。

$$D_{out,stsar} = D_{out,sar} - w_k \quad (k = D_{out,st}) \quad (5.6)$$

以上の処理を行う自動キャリブレーション回路を図 5.2 に示す。自動キャリブレーション回路は平均化回路 (Averaging) および平均回数カウンタ (Average Counter)、スイープカウンタ (Sweep Counter)、LUT からなる。 $D_{out,st}$ がスイープカウンタの出力 k と一致した場合、平均化回路および平均回数カウンタに対してイネーブル (EN) 信号がアサートされる。EN 信号が有効になると、特定の $D_{out,st}$ について平均回数カウンタがカウントアップされる。平均化カウンタの出力が $N_{ave} - 1$ に達すると、LUT の書き込み有効 (WE) フラグがアサートされる。LUT は $D_{out,st}$ を書き込みアドレスとして、平均された $D_{out,sar}$ の値を w_k として格納する。ここで、WE 信号はスイープカウンタのイネーブル信号としても使用される。スイープカウンタは k を 0 から n_{rep} までカウントする。

Stochastic SAR-ADC のビット構成を図 5.3 に示す。本研究では、 w_k を 16 ビットの固定小数点数とし、整数部のワード長 $N_{lut,int} = 10$ 、小数部のワード長 $N_{lut,frac} = 6$ とし

た. $N_{lut,int}$ のワード長は $D_{out,sar}$ のオフセットによりオーバーフローしないように決定する. また, $N_{lut,frac}$ は平均回数 N_{ave} により決定する.

5.4 回路設計

提案方式の有効性を確認するため, Stochastic SAR-ADC を含む AFE IC の設計を行った. 原理検証のため, CDAC の参照電圧を最小 0.5 V で設計し, その他のアナログ回路の電源電圧は 1.2 V または 1.0 V とした. また, デジタル回路の電源電圧はスタンダードセルに合わせて 1.2 V とした.

5.4.1 コンパレータ

SAR-ADC のコンパレータとして図 5.4 に示す Dynamic Latched コンパレータを用いる. Dynamic Latched コンパレータは, リーク電流を除き定常電流を消費しないため低消費電力動作に適している. コンパレータは, ダイナミックプリアンプおよびダイナミックラッチ, SR ラッチから構成される. SR ラッチは, リセット期間中 (clk_{cmp} が Low の期間中) にコンパレータ出力を保持するために使用される. SR ラッチの状態に依存した入力容量の変化によるヒステリシスを回避するためにダイナミックラッチと SR ラッチの間にバッファを挿入している. 本研究で設計した Stochastic SAR-ADC では, コンパレータが 1 つのみであり, キックバックノイズが支配的でない. そのため, 低消費電力化のために静的プリアンプは使用しない.

シミュレーションにより求めた入力換算ノイズ σ_n は 0.29 mV_{rms} であった. また, 消費電流は 100 MHz クロックで, 1 サイクル毎に出力が反転する条件において 10 μ A であった.

5.4.2 制御回路

図 5.5 に Stochastic SAR-ADC の制御回路の回路図とタイミングダイアグラムを示す. 本研究では非同期セルフタイミング技術 [105] を使用して, 高速の内部クロックなしで SAR-ADC 動作と CDAC 残差の繰り返し比較を実現する. clk_{cmp} および clk_{self} はそれぞれコンパレータおよび CDAC の制御クロックであり, コンパレータおよび遅延回路 (Delay) からなる発振回路により生成される. サンプルクロック clk_{smp} が High

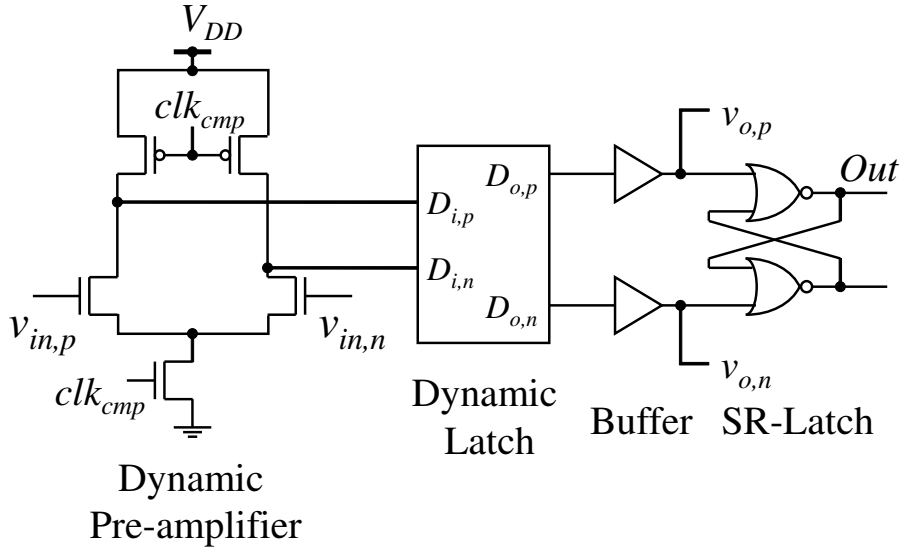
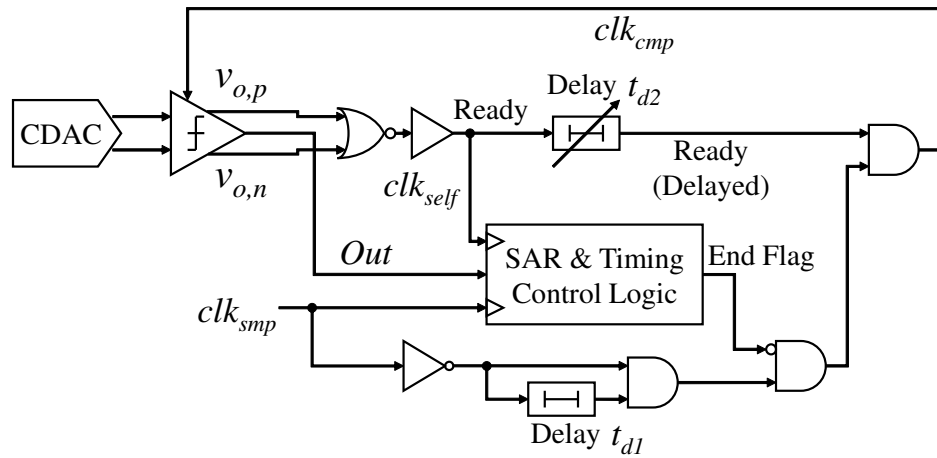


図 5.4: Dynamic Latched コンパレータの回路図

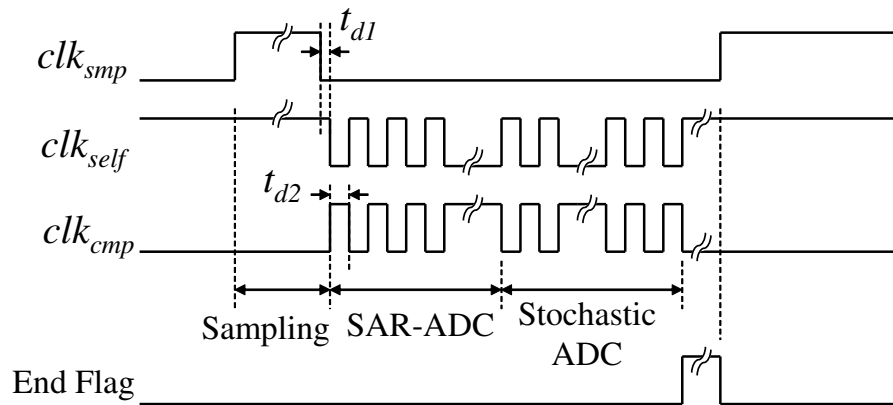
の期間中，SAR-ADC は入力電圧をサンプリングする．サンプリング期間中， clk_{cmp} は Low であり，コンパレータのダイナミックラッチ出力 $v_{o,p}, v_{o,n}$ はいずれも Low である． clk_{cmp} が立ち下がると，ADC は変換フェーズに入る．ここで，遅延 t_{d1} は最上位ビット (Most Significant Bit, MSB) 比較のセトリング時間を緩和するために挿入される． t_{d2} の遅延を含む clk_{cmp} のループでは終了フラグ (End Flag) が High になるまで発振が継続する． clk_{self} の最初の 12 サイクルは SAR-ADC の通常動作に使用され，0～255 サイクルは Stochastic ADC の動作に使用される．また，図 5.2 に示す統計処理部および自動キャリブレーション回路は， $n_{rep} = 31$ ， $N_{ave} = 64$ として，オフチップの Field Programmable Gate Array (FPGA) を用いて実装した．

5.4.3 容量 DAC

本研究で用いた CDAC の回路図を図 5.6 に示す．CDAC は，二進重み付け容量アレイとスイッチで構成される．容量アレイは占有面積削減のため，MSB アレイと LSB アレイに分割される構成とした．LSB アレイはスプリット容量 C_c でスケールされる．単位容量 C_u は kT/C ノイズが支配的とならないよう， $C_u = 70$ fF とした．サンプリング容量は 4.48 pF ($64 C_u$) であり， kT/C ノイズは $30.4 \mu\text{V}_{\text{rms}}$ である．スプリット容量 C_c は，LSB 側アレイのトッププレートの寄生容量に起因する非線形性を補償するために $1.25 C_u$ とし



(a) 回路図



(b) タイミングダイアグラム

図 5.5: Stochastic SAR-ADC で用いる非同期制御回路の回路図およびタイミングダイアグラム

た．また，LSB 容量アレイの重み付けを調整するためにキャリブレーション用容量アレイ (Cal. Array) を追加した．キャリブレーション用容量アレイは Serial Peripheral Interface (SPI) を介して手動で調整可能とし，デフォルト設定はポストレイアウト・シミュレーションによって決定した．

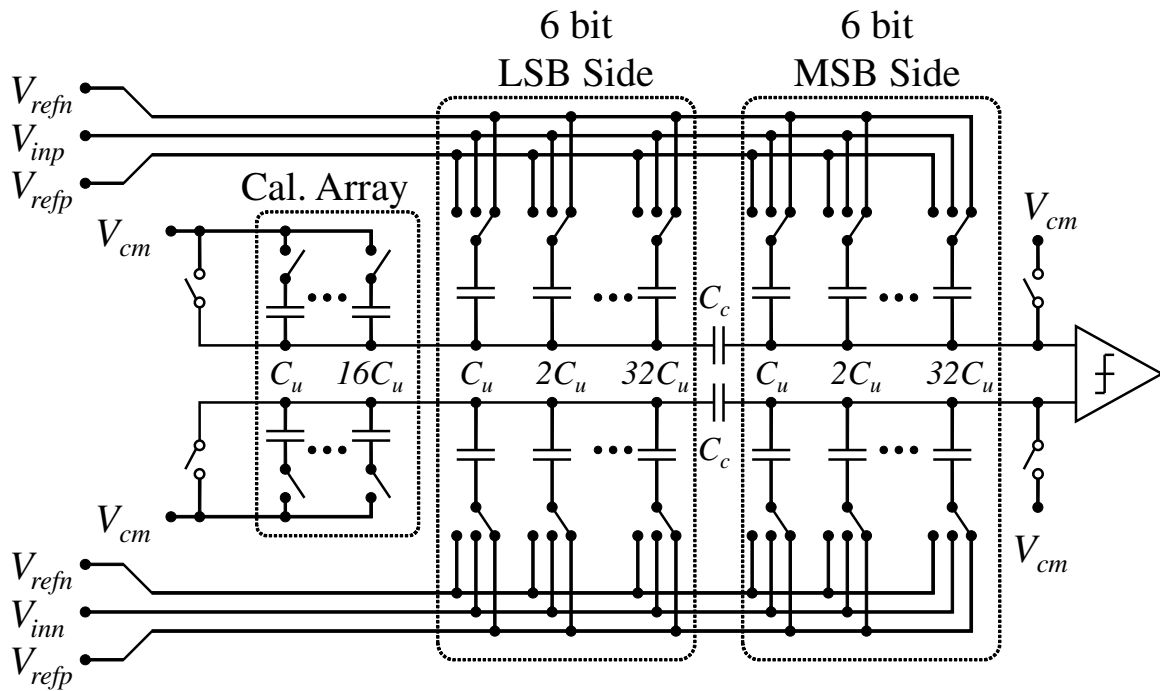


図 5.6: 電荷再配分型容量 DAC

5.5 実験結果

本研究で提案する Stochastic SAR-ADC について, 130 nm CMOS プロセスを用いて試作を行い, 特性の評価を行った. 試作チップの写真を図 5.7 に示す. チップサイズは $2.0\text{ mm} \times 2.0\text{ mm}$ であり, 24 ピン Quad Flat No Leaded (QFN) パッケージで組立後, 図 5.8 に示す評価ボードを用いて測定を行った.

図 5.9 に微分非直線性 (Differential Non-linearity, DNL) と積分非直線性 (Integral Non-linearity, INL) の評価結果を示す. DNL と INL の最小値と最大値は, それぞれ $0.90/1.64\text{ LSB}$ と $-2.77/2.14\text{ LSB}$ であった.

図 5.10 に入力電圧 $V_{in} = 0$ とした場合の, Stochastic ADC の有無による ADC のノイズ分布を示す. ここで, フルスケール (Full Scale, FS) ・レンジは 1.0 V , ポイント数は 2^{15} である. ヒストグラムカウントは 12 ビットの LSB で計算しており, Stochastic ADC ありの場合の 16 ビット出力に対しては下位 4 ビットを切り捨てて計算している. また, マーカーは測定されたコードヒストグラムを示し, 線はフィッティングされた正規分布を示す. Stochastic ADC なし (SAR-ADC の出力 $D_{out,sar}$) の場合, 出力コードの平均と標準

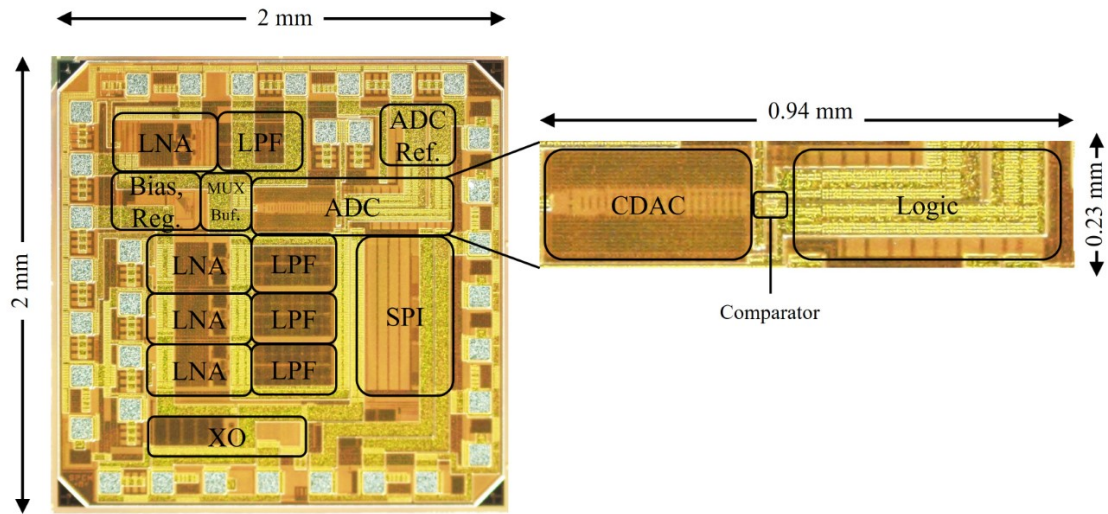


図 5.7: チップ写真

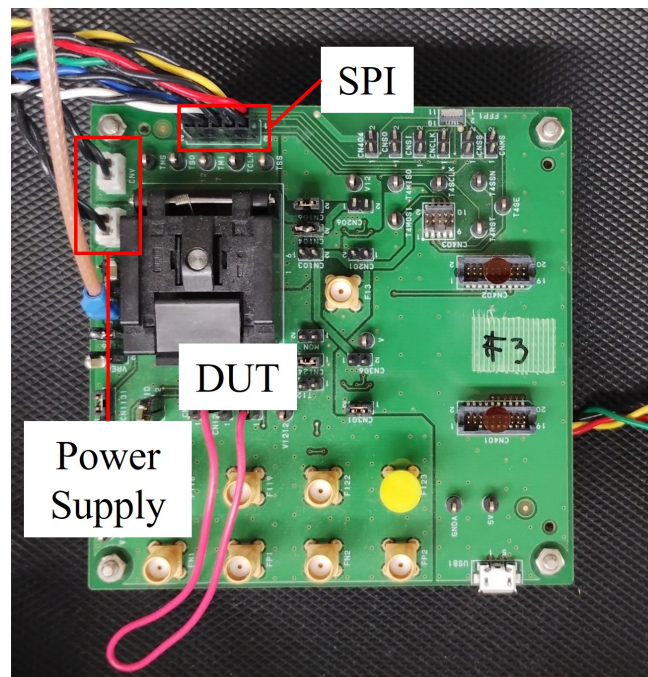


図 5.8: 評価ボード写真

偏差はそれぞれ -15.85 LSB および 1.35 LSB となった。一方, Stochastic ADC あり (自動キャリブレーション後の $D_{out,stsar}$) の場合, 出力コードの平均と標準偏差はそれぞれ -0.32 LSB と 0.58 LSB に低減されている。本研究で提案する Stochastic SAR-ADC および自動キャリブレーション回路により, ADC のオフセットはキャンセルされ, ノイズは 7.3 dB 減少する結果となった。

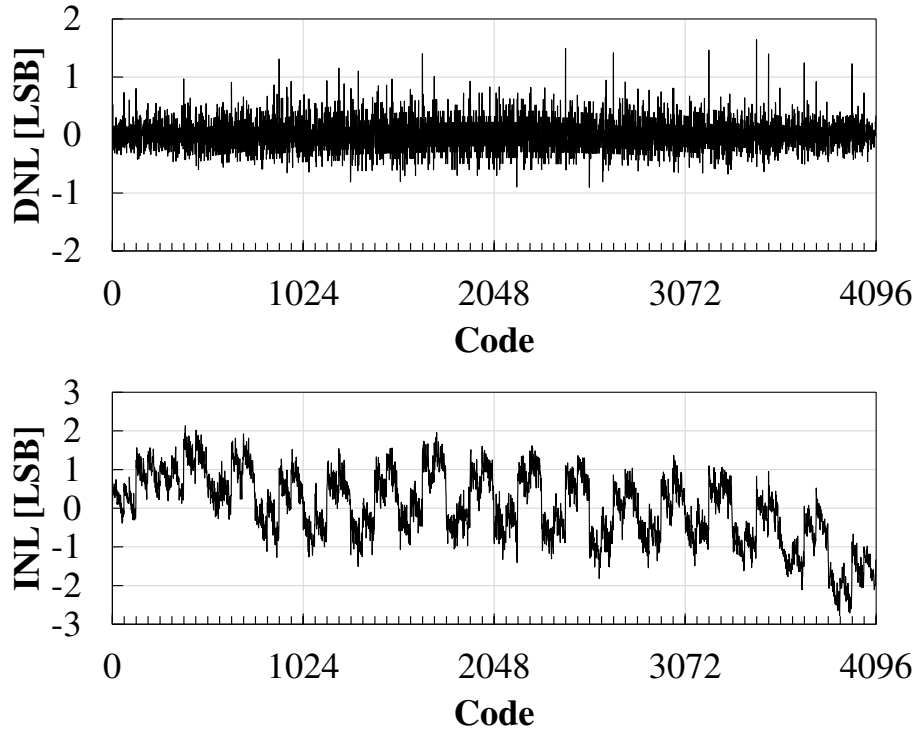


図 5.9: DNL および INL

図 5.11 に Stochastic ADC の有無による 30 チップの ADC のノイズを示す．ノイズはすべてのチップで 6 dB 以上減少しており，出力コードの標準偏差は Stochastic ADC なしの場合で 1.36 LSB，Stochastic ADC ありの場合で 0.57 LSB となった．

正弦波入力に対する ADC の出力スペクトルを図 5.12 に示す．ここで，入力周波数 f_{in} は 10.49 Hz，入力振幅は -1 dBFS，サンプリングレートは 31.25 kSps である．また，フルスケール・レンジは 1.0 V，FFT 点数は 2^{15} である．Stochastic ADC なしの場合，Signal-to-Noise and Distortion Ratio (SNDR) は 58.4 dB，Stochastic ADC ありの場合，SNDR は 62.9 dB となり，Stochastic ADC により SNDR が 4.5 dB 改善される結果となった．

図 5.13 に異なるフルスケール・レンジ (0.5 V, 1.0 V, 1.5 V) に対する ADC の入出力特性を示す．ここで，入力周波数 f_{in} は 10.49 Hz，サンプリングレートは 31.25 kSps である．本研究で提案する Stochastic SAR-ADC は自動キャリブレーション回路によって LUT が最適化されるため，フルスケール・レンジを変更しても SNDR が改善されることが確認できる．

表 5.1 に提案する Stochastic SAR-ADC と先行研究の性能比較を示す．なお， FoM_w は

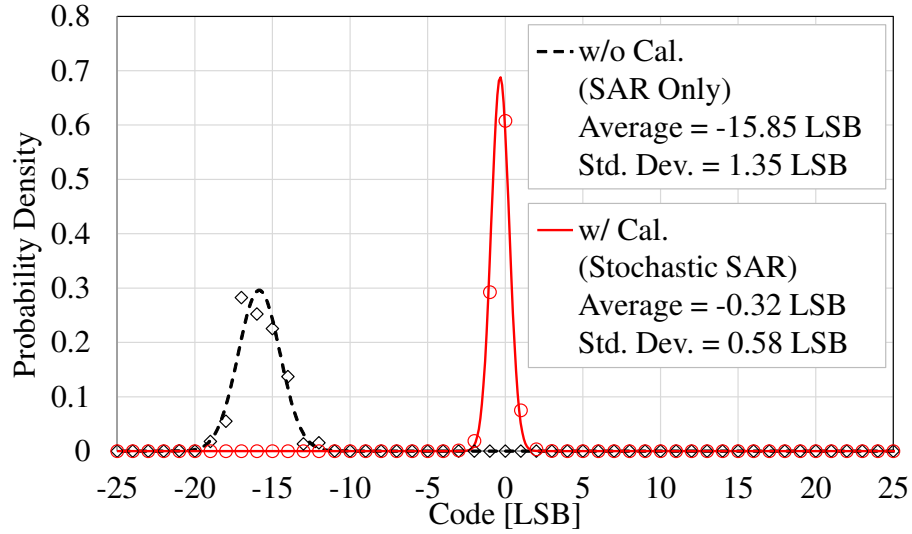


図 5.10: Stochastic ADC の有無による ADC コード分布

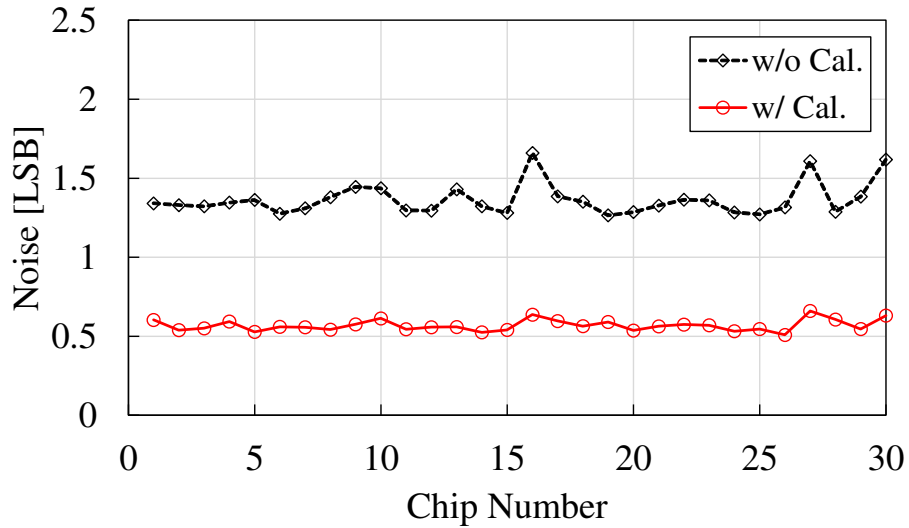


図 5.11: 30 チップの Stochastic ADC の有無による ADC ノイズ

次のように定義される Walden の Figure-of-Merit である.

$$\text{FoM}_w = \frac{(\text{Power})}{2^{ENOB} \times (\text{Sampling Frequency})} \quad (5.7)$$

提案方式は 1 つのコンパレータを用いた先行研究 [12, 49, 106] と比べて、より高い分解能を達成している。また、同じ 12 ビット分解能の先行研究 [22] と比べて、より小さいフルスケール電圧で動作するため、前段の増幅器の線形性の要求を緩和することができる。フルスケール・レンジと分解能を考慮すると、ノイズ性能は先行研究よりも優れた結果となっ

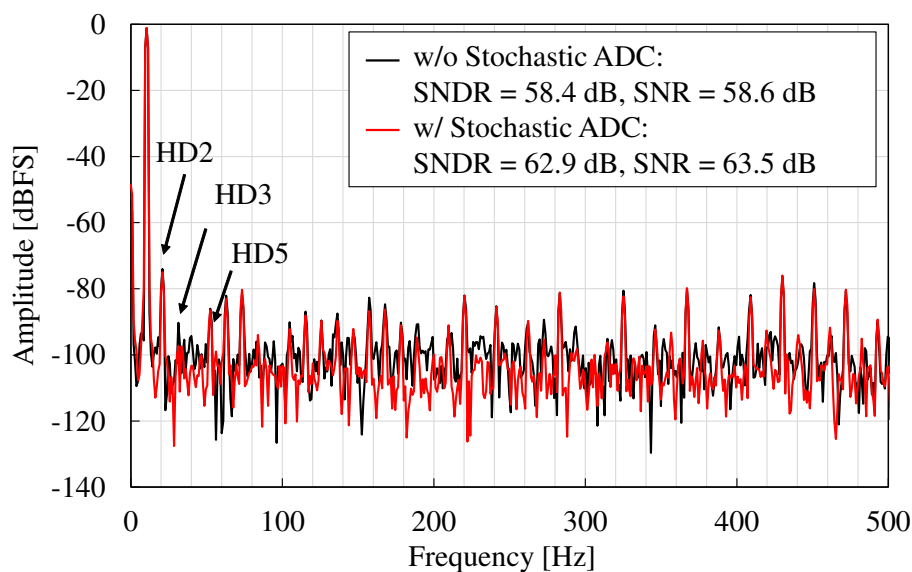


図 5.12: Stochastic ADC の有無による ADC スペクトラム

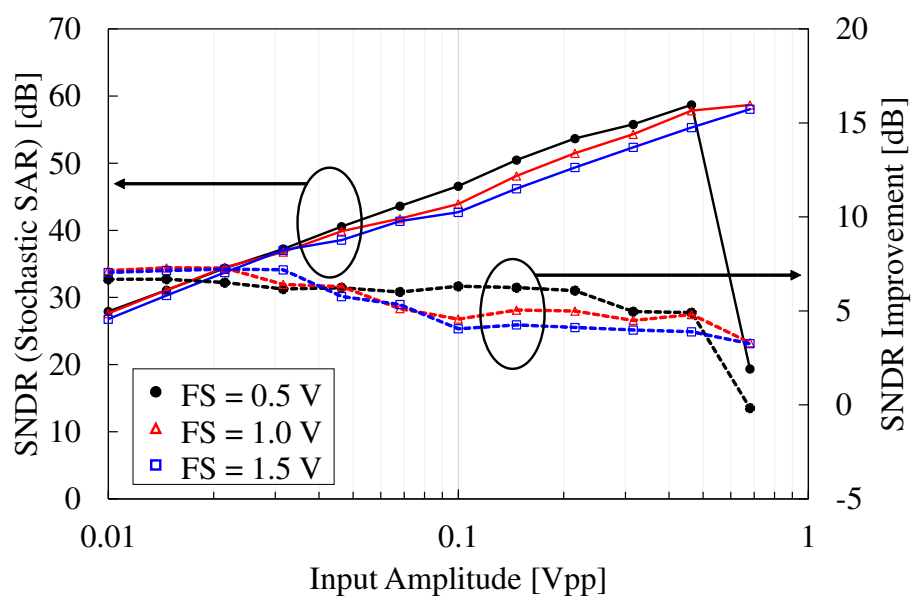


図 5.13: Stochastic SAR-ADC の各フルスケール・レンジでの I/O 特性

ている。第 4 章で提案した Successive Stochastic Approximation ADC (SSA-ADC) [27] は 511 個のコンパレータを用いるため高速で高分解能であるが消費電力が大きい。一方, Stochastic SAR-ADC は 1 つのコンパレータを用いるため, 低速であるが低消費電力である。そのため, 提案方式の Stochastic SAR-ADC は低速で低消費電力化が求められる用途に適している。

表 5.1: Stochastic SAR-ADC の性能比較

Parameter	[22]	[27]	[12]	[106]	[49]	This Work
Technology [nm]	40	130	65	65	180	130
Supply Voltage [V]	1.1	1.2	0.7	1.0	1.8	1.2
Full Scale Range [V_{ppd}]	1.6	0.53	-	2.0	-	1.0
Resolution [bit]	12	18	11	10	10	12
Area [mm^2]	0.056	-	0.03	0.12	0.1	0.2068
Sampling Rate [MSps]	35	0.25	0.1	1.28	0.32	0.03125
No. of Comparators	16	511	1	1	1	1
No. of LSB Comparisons	4	16	16	18	16	31
Power [μW]	420	5230	0.6	9	47.9	9.6
Noise [LSB]	-	26.7	0.33	0.21	-	0.58
SNDR [dB]	>60	88.2	64.5	63.5	60.2	62.9
FoM _w [fJ/conv. step]	<15	967.7	4.5	5.6	180	268

5.6 まとめ

本章では低消費電力化のアプローチとして Stochastic SAR-ADC による分解能向上技術を提案した。Stochastic SAR-ADC は、コンパレータを用いた繰り返し比較により、SAR-ADC 変換誤差を推定する。提案方式ではコンパレータのノイズレベル以下の信号に対して分解能を得られるため、ノイズの大きい低消費電力のコンパレータを使用することができる。また、平均化回路と LUT を用いた自動キャリブレーション回路を提案した。自動キャリブレーション回路は Stochastic ADC の出力コード毎に対応する SAR-ADC 出力コードの平均値を計算し、LUT に格納する。変換時には Stochastic ADC の出力を LUT のアドレスとして用い、キャリブレーション時に格納した値を読み出して SAR-ADC 出力から減算する。

提案する Stochastic SAR-ADC を 130 nm の CMOS プロセスを用いて試作し、その性能を評価した。試作した Stochastic SAR-ADC は、10.49 Hz、 -1.0 dBFS の正弦波入力に対して、31.25 kSps のサンプリング周波数で 62.9 dB の SNDR を達成した。提案する

Stochastic SAR-ADC と自動キャリブレーション回路により, SAR-ADC 単体の出力と比較して SNDR が 4.5 dB 改善されることを確認した.

第 4 章で提案した SSA-ADC では多数のコンパレータのオフセットの集合平均を利用するのに対して, Stochastic SAR-ADC では一つのコンパレータのノイズの時間平均を利用する. そのため, Stochastic SAR-ADC は低速で低消費電力化が求められる用途に適している. また, 複数のコンパレータを用いて集合平均と時間平均を利用することで, 変換速度を向上し, より広帯域が求められる用途に適用することも可能である.

第 6 章

システムレベル・チョッピング技術を用いた多チャンネル AFE

6.1 はじめに

生体信号センサでは微小な生体信号を扱うため、フロントエンドの増幅器には低ノイズであることが求められる。生体信号センサのフロントエンドの増幅器には、オフセットおよび $1/f$ ノイズを抑制するために、チョッパ安定化を利用したチョッパ増幅器が用いられることが多い [72]。しかし、チョッパ増幅器では変調されたオフセットおよび $1/f$ ノイズを抑制するために、アナログ低域通過フィルタ (Low-Pass Filter, LPF) が必要となり、専有面積と消費電力が増大する [81]。特に多チャンネルのシステムで使用する場合、チャンネルごとにアナログ LPF が必要となり、チャンネル数に比例して面積と消費電力が増加する。また、多チャンネルのシステムにおいて時分割多重により A/D 変換器 (Analog-to-Digital Converter, ADC) を共有する構成の場合、マルチプレクサ (Multiplexer, MUX) 切替時の不完全整定に起因するチャンネル間クロストークを抑制するためにバッファの追加が必要となる。

一方、 $\Delta\Sigma$ 型 A/D 変換器を用いたシステムにおいて、A/D 変換後に復調を行い、デジタルフィルタにより変調された $1/f$ ノイズを抑制する方式としてシステムレベル・チョッピング技術が提案されている [84–87]。システムレベル・チョッピング技術は主に温度センサなどの DC 計測システムにおいて、オフセットドリフトを低減するために使用されるが、生体信号センサおよび多チャンネルのシステムに適用した構成については十分に検討

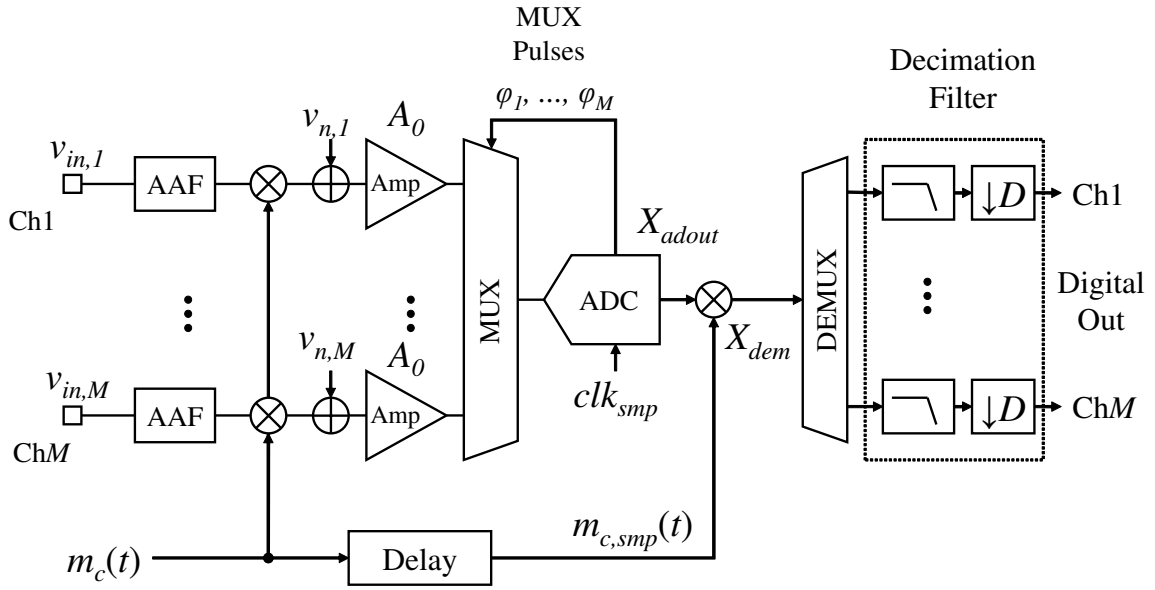


図 6.1: システムレベル・チョッピング技術を用いた多チャンネル AFE 回路

されていない。

そこで、本章ではシステムレベル・チョッピング技術を多チャンネルの生体信号センシング・システムに適用した方式を提案する。提案方式ではアナログ LPF の代わりに A/D 変換後にデジタル LPF で $1/f$ ノイズをフィルタすることで、従来では各チャンネルに必要なアナログ LPF を省略することができる。また、セトリング誤差の改善により、チャンネル間クロストークを低減することが可能となる。

6.2 提案方式

図 6.1 に、システムレベル・チョッピング技術を用いた多チャンネルのアナログ・フロントエンド (Analog Front End, AFE) 回路のブロック図を示す。また、図 6.2 および図 6.3 に、それぞれ制御パルスのタイミングダイアグラムと周波数領域での動作原理を示す。提案方式はアナログ変調器、増幅器、MUX、ADC、デマルチプレクサ (Demultiplexer, DEMUX)、デジタル復調器、デジタル LPF (デシメーションフィルタ) から構成される。アナログ変調器とデジタル復調器の間には遅延制御回路を挿入し、ADC のレイテンシによるチョッパークロックの位相のずれを調整する。

提案方式において、ADC は変調された信号を直接 A/D 変換し、デジタル復調器は A/D 変換後のデータをデジタル領域で復調する。デジタル LPF は、低周波ノイズ (主に $1/f$ ノ

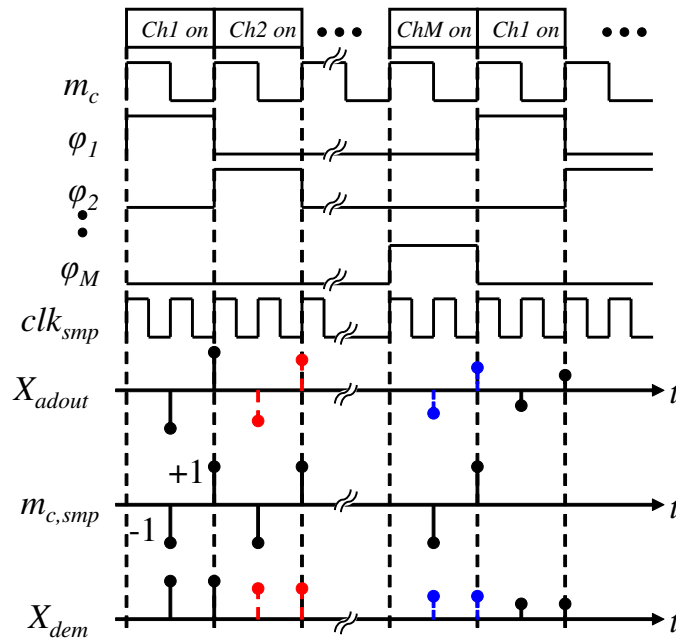


図 6.2: 制御パルスのタイミングダイアグラム

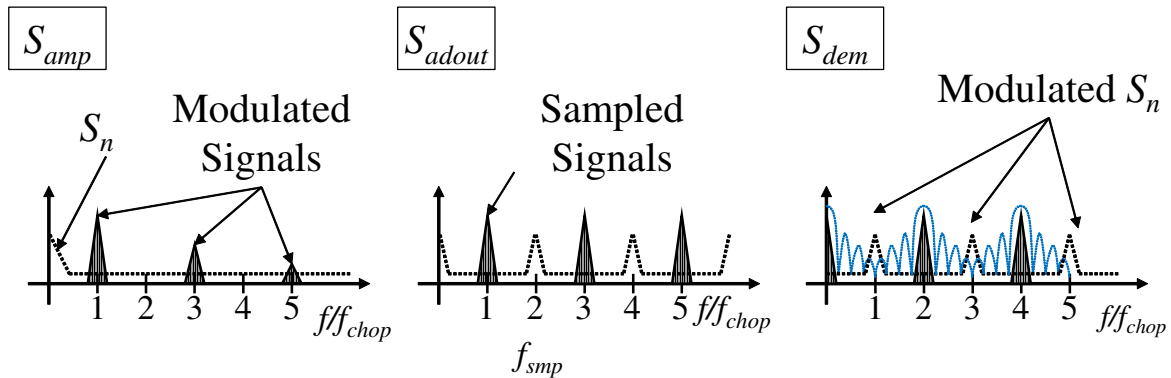


図 6.3: 周波数領域での動作原理 (青色破線はデジタルフィルタのゲイン特性)

イズ) に由来する変調されたノイズを減衰させる。

ここではアナログ復調器とアナログ LPF を用いた従来方式 (構成) をアナログチョッピング技術 (構成) と呼ぶ。アナログチョッピング技術では、チョッパ周波数 f_{chop} の周辺に変調された $1/f$ ノイズを減衰させるためアナログ LPF への要求が複雑化する。一方、システムレベル・チョッピング技術では、デジタル LPF により変調された $1/f$ ノイズを減衰させるため、アナログ LPF への要求が緩和できる。

6.2.1 周波数領域での動作

システムレベル・チョッピング構成では各増幅器出力のパワースペクトル $S_{amp}(f)$ は次式で与えられる.

$$S_{amp}(f) = \left(\frac{2A_0}{\pi}\right)^2 \sum_{\substack{k=-\infty \\ k \text{ odd}}}^{\infty} \frac{1}{k^2} S_{in}(f - kf_{chop}) + A_0^2 S_n(f) \quad (6.1)$$

ここで, $S_{in}(f)$ および $S_n(f)$ はそれぞれ各チャンネルの入力 v_{in} および増幅器の入力換算 (Input Referred, IR) ノイズ v_n のパワースペクトルである. また, A_0 は増幅器のゲインである. 単一チャンネル入力に対する ADC 出力 $X_{adout}(t)$ のパワースペクトル $S_{adout}(f)$ は以下のように表せる.

$$S_{adout}(f) = \sum_{n=-\infty}^{\infty} S_{adin}(f - nf_{smp}) \quad (6.2)$$

ここで f_{smp} は ADC のサンプリング周波数である. 簡単のために, デジタル復調信号 $m_{c,smp}(t)$ を, チョッパクロックの $1/2$ 周期毎に符号が反転するパルス列として次のように表す.

$$\begin{aligned} m_{c,smp}(t) &= \frac{T_c}{2} \sum_{m=-\infty}^{\infty} (-1)^m \delta\left(t - \frac{mT_c}{2}\right) \\ &= \sum_{\substack{m=-\infty \\ m \text{ odd}}}^{\infty} e^{j2\pi m f_{chop} t} \end{aligned} \quad (6.3)$$

ここで $T_c = 1/f_{chop} = 2/f_{smp}$ であり, $\delta(\cdot)$ はディラックのデルタ (Dirac's Delta) を表す. 復調回路の出力は $m_{c,smp}(t)$ と ADC 出力 $X_{adout}(t)$ をかけたものであり, そのスペクトル $S_{dem}(f)$ は以下のように表せる.

$$S_{dem}(f) = \sum_{\substack{m=-\infty \\ m \text{ odd}}}^{\infty} S_{adout}(f - mf_{chop}) \quad (6.4)$$

最終的にノイズのスペクトルは復調回路の出力において mf_{chop} だけシフトし, 以下のよう

$$A_0^2 \sum_{\substack{m=-\infty \\ m \text{ odd}}}^{\infty} \sum_{n=-\infty}^{\infty} S_n(f - mf_{chop} - nf_{smp}) \quad (6.5)$$

同様に信号成分は以下のように表せる.

$$\left(\frac{2A_0}{\pi}\right)^2 \sum_{\substack{m=-\infty \\ m \text{ odd}}}^{\infty} \sum_{n=-\infty}^{\infty} \sum_{\substack{k=-\infty \\ k \text{ odd}}}^{\infty} \frac{1}{k^2} S_{in}(f_{k,m,n}) \quad (6.6)$$

ここで, $f_{k,m,n} = f - (k+m)f_{chop} - nf_{smp}$ である.

$f_{chop} = f_{smp}$ の時, ノイズスペクトルは DC 付近に折り返される. したがって, 変調された入力信号とノイズがエイリアシングにより区別できなくなならないよう, サンプルング周波数はチョッパ周波数の少なくとも 2 倍 ($f_{smp} \geq 2f_{chop}$) とする必要がある. 提案方式では, アンチエイリアス・フィルタ (Anti-Aliasing Filter, AAF) はチョッパ増幅器の前段のオフチップ・フィルタとして実装される. そのため増幅器の広帯域ノイズ (熱ノイズ) はサンプルングによって折り返される. 提案方式では, サンプルングは信号帯域幅より高い周波数で行われ, デジタルフィルタにより熱ノイズの影響を低減する. また, 生体信号センサでは $1/f$ ノイズが支配的であるため, 増幅器の熱ノイズの折り返しは許容できる場合が多い. 熱ノイズの折り返しが許容できない場合, 増幅器後段にアンチエイリアス・フィルタを配置することも可能である. この場合, アンチエイリアス・フィルタは変調された $1/f$ ノイズを減衰させる必要がないため, フィルタへの要求は従来のアナログチョッピング構成より緩和され, アプリケーションの仕様に応じて最適化することができる.

上記のように, 提案方式では, LPF の削減と引き換えに従来方式と比べて ADC のサンプルングレートを高く設定する必要がある. しかし, 変換方式の工夫やプロセスの微細化により, ADC のサンプルング速度と変換効率は向上する傾向にあり [42], システムレベル・チョッピング技術によりシステム全体のコストと電力は低減することができる.

提案方式では, システムレベル・チョッピング技術を多チャンネル AFE に適用する. DEMUX は多重化されたデータから 2 点を選択し, M チャンネルに分配する. デマルチプレクスされたデータはデシメーション比 D でフィルタリングされる. デシメーションフィルタの z 領域での伝達関数 $H(z)$ は次式で表される.

$$H(z) = \frac{1}{2} (1 + z^{-1}) \cdot \frac{2}{D} \sum_{i=0}^{\frac{D}{2}-1} z^{-2Mi} \quad (6.7)$$

ここで, z^{-1} はサンプルング周期 $1/f_{smp}$ での 1 サイクル分の遅延に対応する. 各チャンネルの出力データレート $f_{DR,ch}$ は $f_{smp}/(M \cdot D)$ となる. なお, 図 6.2 に示すように各チャンネルのサンプルング点は不等間隔になるが, 時分割多重方式では MUX の切り替え

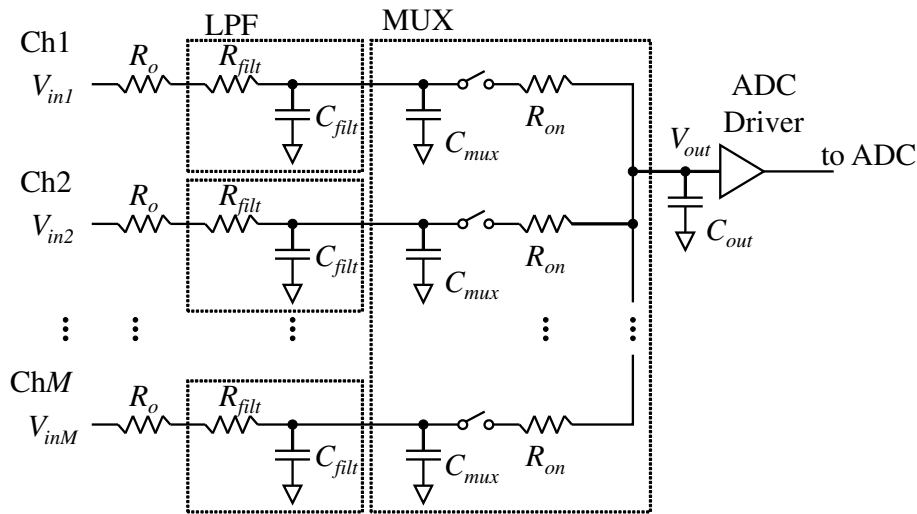


図 6.4: MUX および駆動回路

速度に対して，入力信号周波数が十分低いことが前提となるため，平均化により対象区間を代表する出力が得られる．

6.2.2 クロストークの低減

システムレベル・チョッピング技術を用いることで，多チャンネル AFE のチャンネル間クロストークを抑制することが可能である．チャンネル間クロストークの主な原因として，配線間の容量結合や参照電圧・電源電圧からの回り込み，MUX の不完全整定が挙げられる．容量結合や参照電圧・電源電圧からの回り込みは，配線のシールドや電源ラインのデカップリング，共通インピーダンスの低減などの物理的なレイアウトによって抑制できる．MUX の不完全整定は，MUX の入力から見た出力インピーダンスと MUX の出力側の負荷容量で決まる時定数を適切に設計することで低減できる．

従来のチョッパ増幅器を用いた構成では，増幅器後段の LPF が MUX を介して出力の負荷を駆動する．出力インピーダンスを下げるためにアクティブフィルタを用いるか MUX の直前にバッファを挿入する必要があるが，消費電力および面積，非線形性の増加につながる．そこで本研究ではシステムレベル・チョッピング技術を用いてアナログ LPF を削減することで，チャンネル間クロストークを抑制する．

図 6.4 に MUX と駆動回路を示す． R_o は前段の増幅器の出力抵抗， R_{filt} は LPF の抵抗， R_{on} は MUX のオン抵抗， C_{mux} は MUX の入力容量， C_{out} は ADC ドライバの入力

容量を含む MUX の出力容量, C_{filt} は LPF の容量である. また, 簡単のため LPF の次数は 1 次としている. 以下, ADC 入力をチャンネル 1 (Ch1) からチャンネル 2 (Ch2) に切り替えた場合の MUX 出力電圧 V_{out} の変化について考える. まず, $R_{on} \ll R_{filt}$ の場合, V_{out} は C_{filt} と C_{out} の電荷共有によって瞬時に変化する [107]. この電荷共有による MUX 出力の電圧変化 $\Delta V_{in2} = V_{out} - V_{in2}$ は次式で表される.

$$\Delta V_{in2} = \frac{C_{out}}{C_{filt} + C_{mux} + C_{out}} (V_{in2} - V_{in1}) \quad (6.8)$$

ここで, V_{in1} および V_{in2} はそれぞれ Ch1 および Ch2 の入力である. その後, R_o , R_{filt} , R_{on} を介して増幅器から残りの電荷が供給される. アクイジション時間 t 経過後のセトリング電圧誤差 $V_{err,2}$ は一次近似により次のように表せる.

$$V_{err,2}(t) \approx \Delta V_{in2} \exp\left(-\frac{t}{\tau}\right) \quad (6.9)$$

ここで, τ はセトリング時間の時定数であり, 以下のように表せる.

$$\tau = (R_o + R_{filt} + R_{on})C_{out} + (R_o + R_{filt})(C_{mux} + C_{filt}) \quad (6.10)$$

式 (6.10) より, セトリング電圧誤差 $V_{err,2}$ は時定数 τ と直前の選択チャンネルの電圧 V_{in1} に依存することが分かる. チャンネル数が増加し, より高速な切り替えが必要な場合, 各チャンネルの LPF と MUX の間にバッファを挿入する必要がある. しかし, これは消費電力, 面積, 非線形性の増加につながる.

システムレベル・チョッピング構成において, R_{filt} はバイパスされ, C_{filt} は切断される. そのため, τ は次式で表される.

$$\tau = (R_o + R_{on})C_{out} + R_o C_{mux} \quad (6.11)$$

例として, $R_o = 100 \Omega$, $R_{filt} = 1.25 \text{ M}\Omega$, $R_{on} = 1 \text{ k}\Omega$, $C_{filt} = 120 \text{ pF}$, $C_{mux} = 100 \text{ fF}$, $C_{out} = 1 \text{ pF}$ の場合, $\tau = 151 \mu\text{s}$ となる. 一方, LPF がバイパスされた場合, $\tau = 1.11 \text{ ns}$ となる. 以上より, システムレベル・チョッピング技術を用いて, LPF をバイパスすることで, MUX の切り替えの不完全整定に起因するチャンネル間クロストークを低減することができる.

6.3 回路設計

本研究で提案するシステムレベル・チョッピング技術を含む多チャンネル AFE IC を 130 nm CMOS プロセスを用いて設計した. AFE IC のブロック図を図 6.5 に示す. 設計

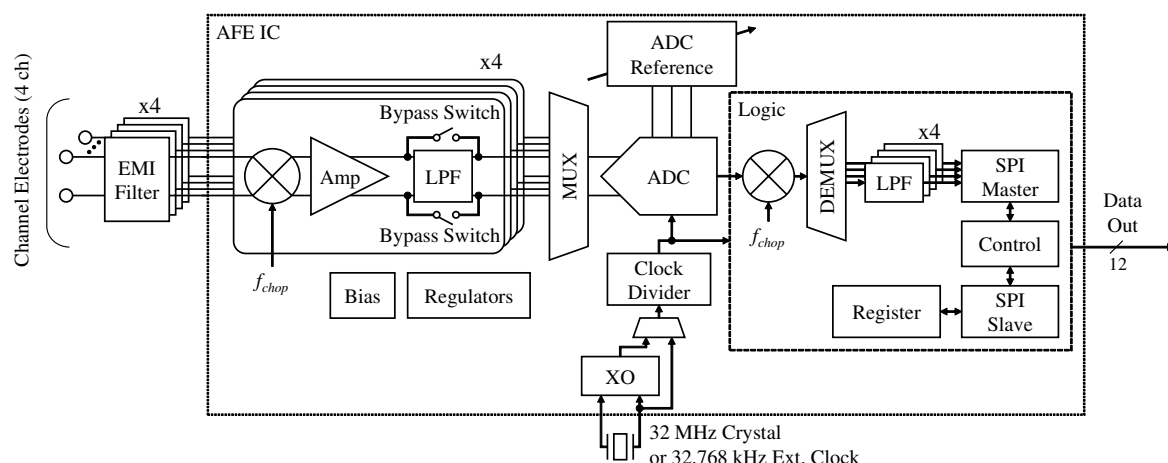


図 6.5: 提案方式を用いた AFE IC のブロック図

した AFE IC は 4 チャンネルの時分割多重方式であり、4 チャンネルの増幅器と MUX, ADC, DEMUX, デジタルフィルタなどから構成される。また、周辺回路として Serial Peripheral Interface (SPI) および参照電圧源、レギュレータ、クロック生成回路を搭載している。従来方式との比較用にアナログチョッピングおよびシステムレベル・チョッピングの両構成を実装し、SPI を介したレジスタ設定により切り替えられるようにした。動作チャンネル数による周波数特性の変化を確認するため、MUX の選択を固定し 1 チャンネルのみ動作させる 1ch 固定動作と、4 チャンネルを時分割多重により切り替えて動作させる 4ch MUX 動作を切り替えられるようにした。チョッパークロックおよび ADC のサンプリングクロックは、外部入力 of 32.768 kHz または内部の水晶発振回路 (Crystal Oscillator, XO) からの 32 MHz クロックを分周して生成する構成とした。なお、ADC には第 5 章で提案した Stochastic SAR-ADC を用いており、SAR-ADC モードの出力 12 ビットを利用した。

6.3.1 増幅器

チョッパ回路を含む増幅器の回路図を図 6.6 に示す。増幅器は、全差動オペアンプとバッファ、アナログ変調器・復調器などから構成される。アナログ復調器は、アナログとシステムレベル・チョッピング構成の性能比較のために実装し、レジスタ設定により無効化することができる。第 4 章では抵抗比により利得を決定しているが、ここでは高入力インピーダンスを実現するため、AC 結合容量 C_{IN} と帰還容量 C_F の比によって 33 dB

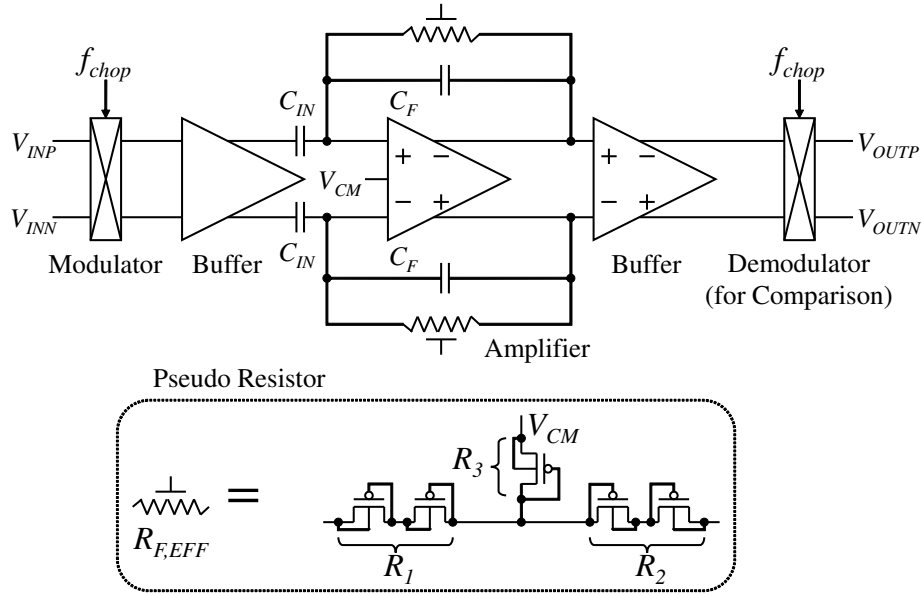


図 6.6: 増幅器の回路図

の利得を実現している．また，直流帰還抵抗として，ダイオード接続の p-ch Field Effect Transistor (FET) による疑似抵抗 (Pseudo Resistor) を使用している．中点はダイオード接続 p-ch FET を介して増幅器の出力コモンモード電圧 V_{CM} に接続される．疑似抵抗 R_1 , R_2 , R_3 は T-フィードバック・ネットワークを形成しており， $\Delta-Y$ 変換を用いると，等価帰還抵抗 $R_{F,EFF}$ は次のように表せる．

$$R_{F,EFF} = R_1 + R_2 + \frac{R_1 R_2}{R_3} \quad (6.12)$$

これにより高抵抗の $R_{F,EFF}$ を比較的小さい抵抗値 R_1 および R_2 , R_3 により実現することができる．そのため，従来の疑似抵抗の構成 [108] と比べて，寄生ダイオードのリーク電流による DC オフセットを抑制することができる．

増幅器の電源電圧は 1.0 V であり，内蔵の電圧レギュレータによって 1.2 V 電源から生成される．コモンモード電圧 V_{CM} は 0.5 V で，同じく内蔵レギュレータによって生成される．また，クロック・フィードスルーやチャージインジェクションの影響を低減するため，チョッパークロックの振幅は 0.5 V とした．チョッパークロック周波数 f_{chop} は，ADC のサンプリング周波数との関係が $f_{smp} = 2f_{chop}$ となるように制御され，外部 32.768 kHz クロック使用時には 4.096 kHz – 32.768 kHz，内部 32 MHz クロック使用時には 3.90625 kHz – 31.25 kHz の範囲で選択可能とした．アナログチョッピング構成で変調された $1/f$ ノイズを十分に減衰させるため，後段のアナログ LPF は 6 次の受動 RC フィ

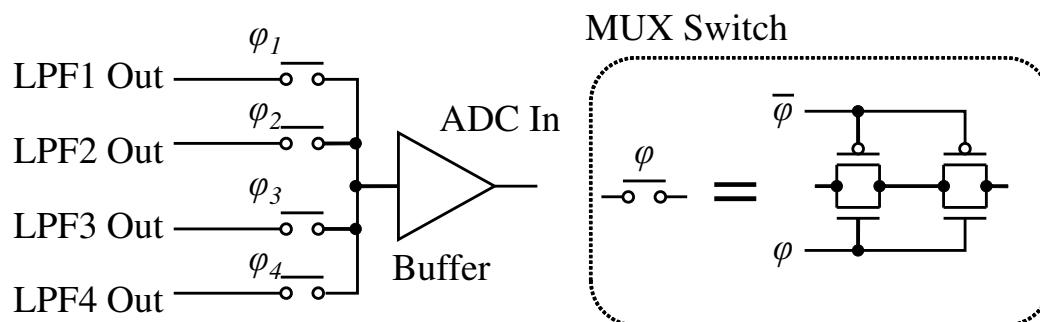


図 6.7: 4 チャンネルマルチプレクサの回路図

ルタで構成した。

6.3.2 マルチプレクサ

図 6.7 に MUX の回路図を示す。MUX は 4 つのスイッチと出力バッファで構成される。各スイッチは CMOS スイッチで構成され、チャンネル間の容量結合を低減するために直列に接続されている。出力のバッファは ADC の入力容量を駆動し、セトリング速度を向上させるために挿入している。MUX は、同時スイッチングによるチャンネル間クロストークを回避するため、4 相のノンオーバーラッピング・パルスによってスイッチングされる。

6.4 実験結果

本研究で提案するシステムレベル・チョッピング技術を含む多チャンネル AFE IC を、130 nm CMOS プロセスを用いて試作し、その特性の評価を行った。チップのサイズは 2.0 mm × 2.0 mm であり、チップ写真を図 6.8 に示す。チップは 32 ピン Ball Grid Array (BGA) パッケージで組立後、図 6.9 に示す評価ボードを用いて測定した。外部クロック 32.768 kHz で全チャンネルを $f_{chop} = 16.384$ kHz で駆動し、出力データレートを 1 チャンネル辺り 256 Sps とした場合、1.2 V 電源の消費電力は約 757 μ W であった。この条件において、試作 IC を用いて取得した 4 チャンネル ECG 信号 (60 beats per minute (BPM)) を図 6.10 に示す。

チャンネル間クロストークの測定結果を図 6.11 に示す。チャンネル間クロストークは Ch1 に 9.0 mV_{pp}, 50.5 Hz の正弦波入力を印加したときの Ch2 と Ch1 の出力振幅の比

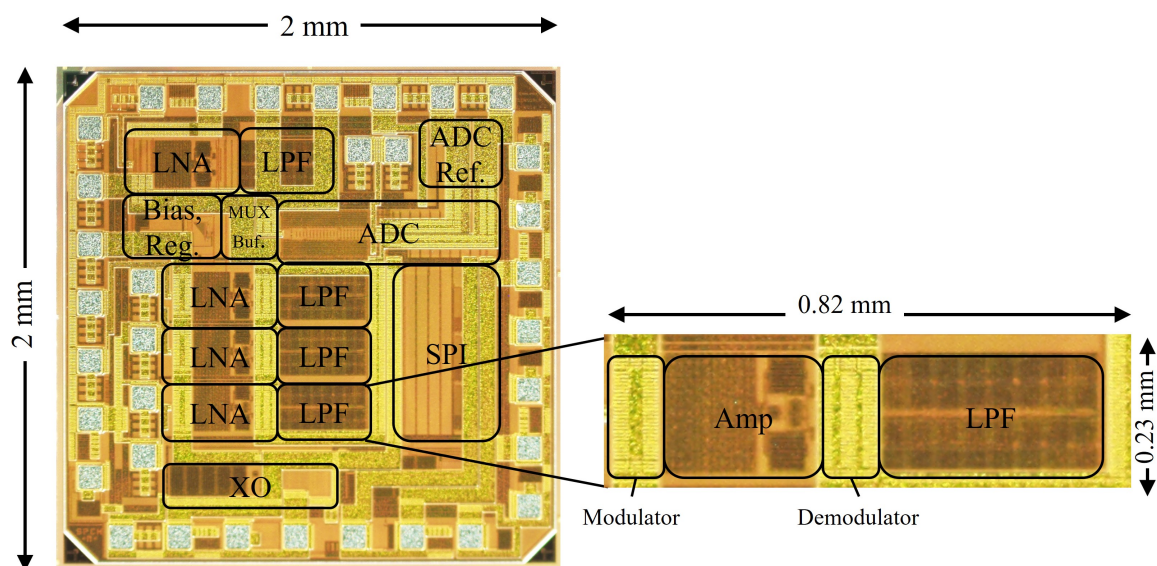


図 6.8: チップ写真

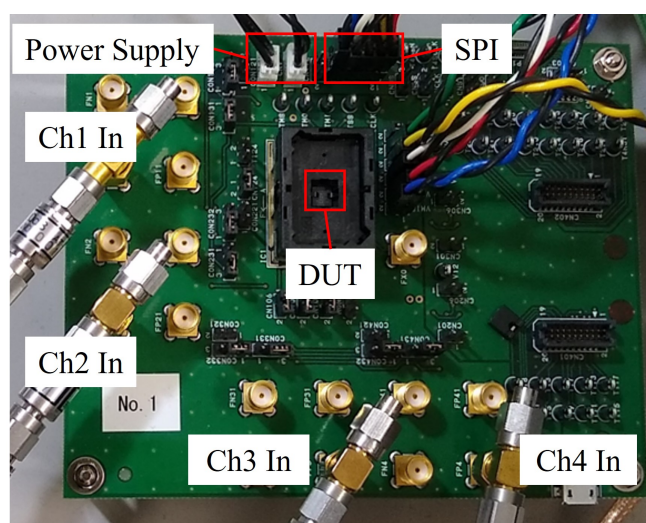


図 6.9: 評価ボード写真

として測定した。ADC 入力は 2 クロックサイクルごとに切り替わるように、すなわち $f_{chop} = f_{smp}/2$ となるようにチョッパークロックとサンプリングクロックの周波数を設定した。システムレベル・チョッピング構成では、アナログチョッピング構成と比較して、32.768 kSps のサンプリングレートでクロストークを約 40 dB 抑制できている。提案するシステムレベル・チョッピング技術では、クロストークを -80 dB 以下に抑えることができる。

図 6.12 に Ch1 について、アナログチョッピングとシステムレベル・チョッピング構成

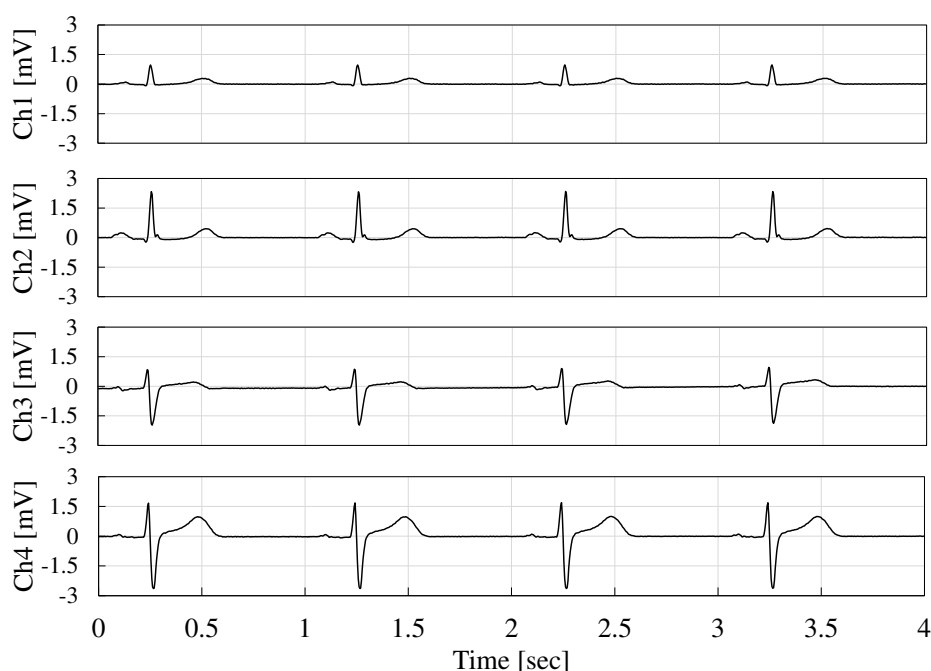


図 6.10: 提案する AFE IC で取得した 4 チャンネル ECG 波形

でのゲイン-周波数特性を測定した結果を示す．実線は 4ch MUX 動作，破線は 1ch 固定動作の周波数特性を示す．ここで，周波数特性のノッチはデジタルデシメーションフィルタによるものである．AFE ゲインはシステムレベル・チョッピング構成で 31.7 dB となった．XO とレギュレータを除く AFE の消費電力は 540 μ W であった．アナログチョッピング構成のカットオフ周波数は 370 Hz であるが，システムレベル・チョッピング構成のカットオフ周波数は，4ch MUX 動作で 870 Hz，1ch 固定動作で 3.38 kHz となっている．アナログチョッピング構成では f_{chop} を中心に変調されたノイズを十分減衰させるためにアナログ LPF のカットオフ周波数を低くする必要があり帯域幅が制限される．それに対してシステムレベル・チョッピング構成では，帯域幅がデシメーション比とチャンネル数によって決定される．そのため，アプリケーションに応じてチャンネル数と帯域幅を柔軟に設定することができる．

図 6.13 は，システムレベル・チョッピング構成による 4 チャンネルの入力換算ノイズのパワースペクトル密度 (Power Spectral Density, PSD) を示している．ここで， $f_{chop} = 31.25$ kHz であり，Fast Fourier Transform (FFT) 点数は 2^{16} である．各チャンネルのノイズは 4ch MUX 動作にて同時に測定した結果である．PSD が周波数に対して平坦となっており，提案方式により各チャンネルの $1/f$ ノイズが抑制されていることが確認できる．

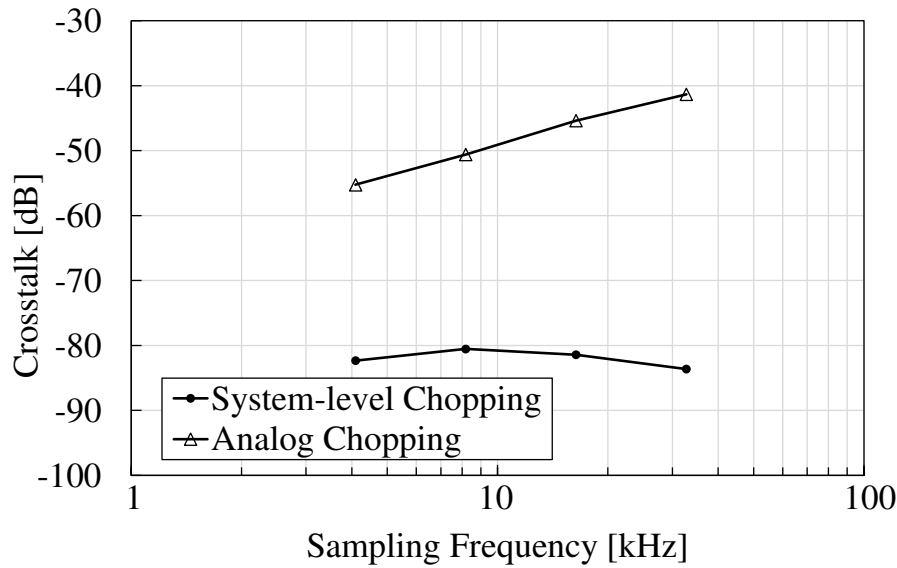


図 6.11: システムレベルおよびアナログチョッピング構成による AFE チャンネル間クロストークとサンプリング周波数の関係

4 チャンネルの平均入力換算ノイズは、信号帯域幅 0.5 – 100 Hz において $1.89 \mu\text{V}_{\text{rms}}$ となった。図 6.14 にアナログおよびシステムレベル・チョッピング構成による入力換算ノイズの PSD を示す。ここで、 $f_{\text{chop}} = 31.25 \text{ kHz}$ であり、FFT 点数は 2^{16} である。また、ノイズは 4ch MUX 動作で同時に測定し、各構成の 4 チャンネルで平均化を行った結果である。1.0 Hz 以上のノイズフロアは、アナログチョッピング構成に比べてわずかに増加している。これは増幅器の広帯域ノイズのエイリアシングによるものと考えられる。一方、1.0 Hz 以下のノイズフロアは、アナログチョッピング構成と比べて低くなっている。これはデジタル・デシメーションフィルタの急峻な減衰特性により、 $1/f$ ノイズが抑制されているためと考えられる。

表 6.1 は、提案する AFE の性能を、多チャンネル AFE の先行研究および量産品と比較してまとめたものである。提案した AFE は、システムレベル・チョッピング技術により先行研究 [76, 109–111] より優れたクロストーク性能を達成でき、量産品 [102] よりも低消費電力である。従来方式では、チャンネル数の増加に伴って ADC のサンプリングレートが増加すると、クロストークの抑制のため 1 チャンネルあたりの消費電力が増加する可能性がある。一方、提案方式ではアナログ LPF を省略できるため、1 チャンネルあたりの消費電力を保ったまま、チャンネル数を増加させることができる。

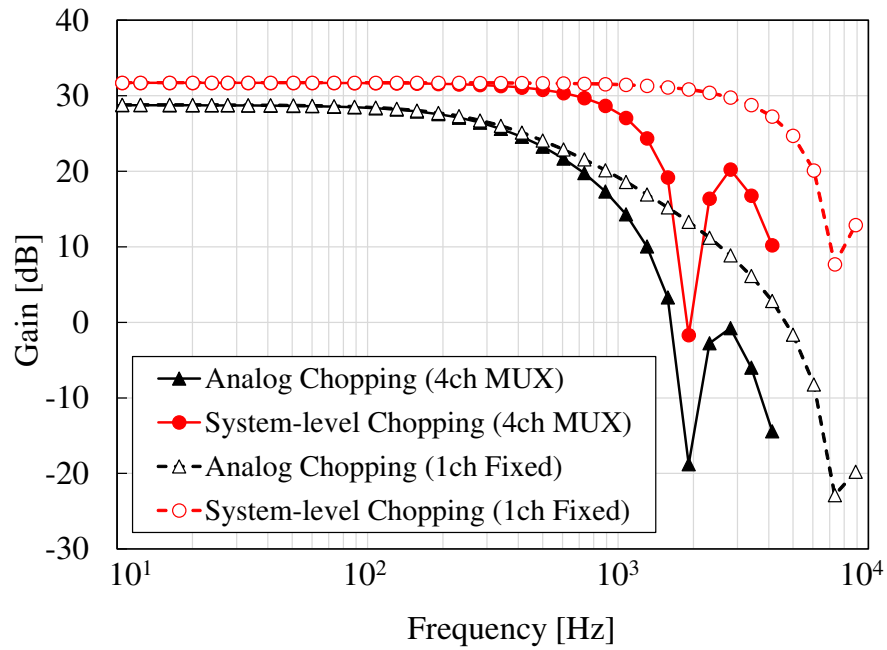


図 6.12: アナログチョッピングおよびシステムレベル・チョッピング構成でのゲイン-周波数特性の測定結果

表 6.1: 性能のまとめと比較

Parameter	[109]	[110]	[111]	[76]	[102]	This Work
Technology [nm]	180	180	180	65	-	130
No. of Channels	16	16	15	4	5	4
Supply [V]	1.8	1	1.2	1.2	3.3	1.2
Power [μ W]	25.92	24	29.55	3.456	27000	540
Gain [dB]	40	54/60	40 - 56	40.5 - 56	12.5	31.7
IR Noise [μ V]	0.9	0.63	3.43	2.68	1.13	1.89
Crosstalk [dB]	-56	-74.5	-51.5	-63.3	-80	-81

6.5 まとめ

本研究では、システムレベル・チョッピング技術を用いた多チャンネル AFE を提案した。システムレベル・チョッピング技術では、従来方式に対して復調とフィルタリングを

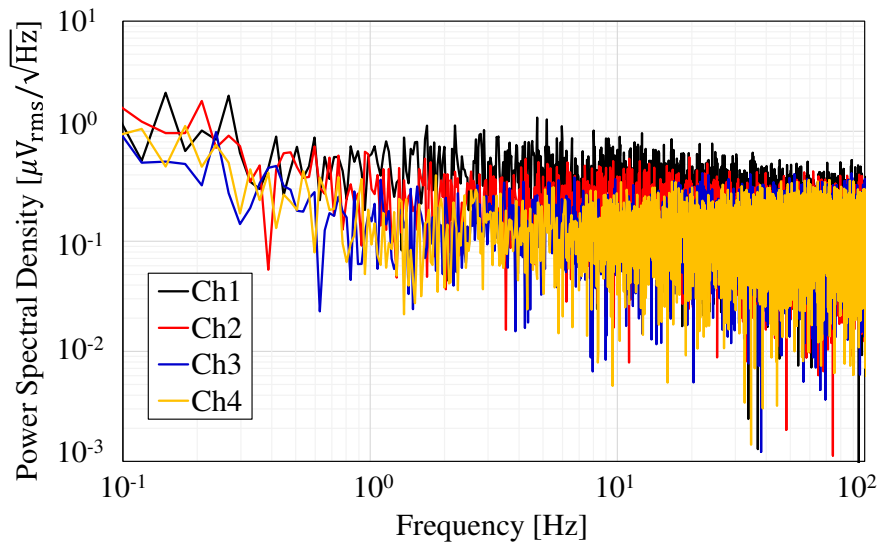


図 6.13: システムレベル・チョッピング構成での入力換算ノイズの PSD 測定結果

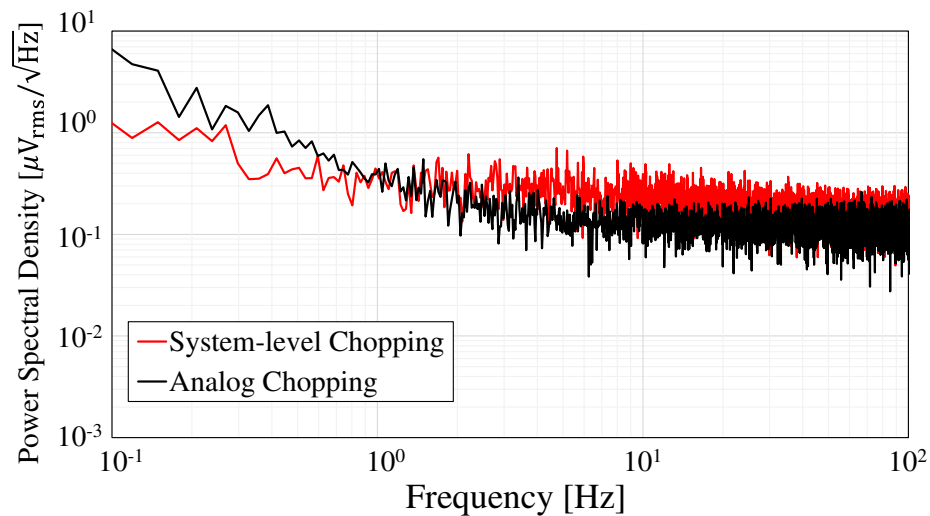


図 6.14: アナログおよびシステムレベル・チョッピング構成での入力換算ノイズの PSD 測定結果

デジタル領域で行うことで、アナログ LPF を省略またはその要件を緩和することができる。これにより占有面積と消費電力、チップコストの削減が可能となる。さらにアナログ LPF の帯域によりシステムの帯域が制限されないため、アプリケーションに応じて帯域幅を柔軟に設定することができる。また、従来方式と比較して、MUX の不完全整定に起因するチャンネル間クロストークを低減することができる。提案する AFE IC を 130 nm

CMOS プロセスを用いて設計・試作を行い特性の評価を行った。提案方式では、多チャンネル動作時においても、 $1/f$ ノイズの低減効果が得られることを確認した。また、アナログチョッピング構成と比較して、チャンネル間クロストークが約 40 dB 改善されることを確認した。アナログチョッピング構成と同等のノイズ性能において、AFE の帯域幅を 370 Hz から 3.38 kHz に拡大できることを確認した。

第 7 章

結論

7.1 本研究のまとめ

本論文では確率的 A/D 変換とデジタル支援技術を応用した生体信号センシング・システムに関する研究成果を述べた。CMOS プロセスの微細化に伴う低電圧化・素子特性ミスマッチの増大はアナログ・ミックスドシグナル回路のダイナミックレンジの低下に繋がり、生体信号センサの設計はより困難となっている。これに対し、本研究では素子特性ミスマッチやノイズの統計性を積極的に利用した確率的 A/D 変換を生体信号センサ用の A/D 変換方式に適用するための検討を行った。しかし、確率的 A/D 変換を他の A/D 変換方式に応用する場合、フルスケール・レンジの不整合や非線形性の課題がある。そこで、本研究ではこれらの A/D 変換方式に対する機械学習アルゴリズムを用いた非線形性低減技術を提案した。また、デジタル支援技術として、システムレベル・チョッピング技術を用いた多チャンネルのアナログ・フロントエンド (Analog Front End, AFE) 回路を提案した。

第 2 章では、関連研究に基づいて確率的 A/D 変換とデジタル支援技術、チョッパ増幅回路技術の従来手法について説明した。まず、確率的 A/D 変換の原理とそれを用いた並列型確率的 A/D 変換器 (Stochastic Flash ADC, SF-ADC) について説明した。

第 3 章では、生体信号センサに用いられる $\Delta\Sigma$ 型 A/D 変換器 ($\Delta\Sigma$ ADC) について、確率的 A/D 変換を応用した方式を提案した。提案方式では量子化器として SF-ADC を用い、デジタル量子化器と組み合わせることで、閾値をデジタル的に制御可能な量子化器を実現する。SF-ADC の量子化器を用いてマルチビット $\Delta\Sigma$ ADC の分解能を制限する要因であ

る，フィードバック D/A 変換器 (Digital-to-Analog Converter, DAC) の非線形性を補正する技術を提案した．続いて，遺伝的アルゴリズムを用いた誤差補正パラメータの最適化について検討を行った．次に，システムレベルのシミュレーションにより提案方式の有効性を確認した．提案方式を用いることで，フィードバック DAC の誤差補正を行わない場合に比べて，Signal-to-Noise and Distortion Ratio (SNDR) が最大 15 dB 向上することを確認した．また，従来の誤差補正技術であるデータ重み付け平均化 (Data Weighted Averaging, DWA) との比較を行い，オーバーサンプリング比が低く，入力振幅が小さい場合に，提案方式が DWA より有効であることを確認した．

第4章では，逐次比較型 A/D 変換器 (Successive Approximation Register ADC, SAR-ADC) に SF-ADC を適用した方式として Successive Stochastic Approximation ADC (SSA-ADC) を提案した．まず，SAR-ADC のコンパレータとして SF-ADC とデジタル量子化器を組み合わせたデジタル制御閾値可変コンパレータ (Digitally Controlled Variable Threshold Comparator, DCVTC) を使用し，動的に閾値を制御することで容量 DAC (Capacitor DAC, CDAC) の非線形性を補正する手法について説明した．続いて，SSA-ADC の誤差要因をモデル化し，ベイズ線形回帰を用いた機械学習により誤差を最小化する手法を提案した．次に，130 nm CMOS プロセスを用いて提案方式を含む AFE IC の設計・試作を行い，実験によりその有効性を確認した．提案方式では DCVTC による動的閾値制御により，CDAC の非線形性が補正され，微分非直線性および積分非直線性が改善されることを確認した．また，ベイズ線形回帰を用いた最適化により，ADC の出力誤差が 45.0 LSB から 26.7 LSB に低減されることを確認した．

第5章では，コンパレータノイズの統計性を利用した低消費電力化のアプローチとして Stochastic SAR-ADC を提案した．まず，最下位ビット (Least Significant Bit, LSB) 繰り返し比較とノイズの統計性を利用して分解能を向上させる手法について説明した．続いて，平均化回路とルックアップテーブル (Look-up Table, LUT) を用いた自動キャリブレーション回路を提案した．次に，130 nm CMOS プロセスを用いて提案方式を含む AFE IC の設計・試作を行い，実験によりその有効性を示した．提案方式では，SAR-ADC 単体の場合と比較して SNDR が 4.5 dB 向上することを確認した．また，自動キャリブレーション回路により，フルスケール・レンジが変化した場合やサンプル間のばらつきを含めた場合においても分解能を向上できることを確認した．

第6章では，デジタル支援技術として，システムレベル・チョッピング技術を多チャン

ネル AFE 回路に適用した方式を提案した。まず、提案方式の構成を示し、周波数領域での解析を基に動作原理を説明した。続いて、マルチプレクサの不完全整定によるチャンネル間クロストークの問題について説明し、提案方式によりクロストークを低減するための検討を行った。次に、130 nm CMOS プロセスを用いて提案方式を含む AFE IC の設計・試作を行い、実験により提案方式の有効性を確認した。提案方式では、多チャンネル動作時においても、 $1/f$ ノイズの低減効果が得られることを確認した。また、比較用に実装した従来方式と比べクロストークが最大約 40 dB 改善した。

7.2 今後の展望

以上の研究を通じて、微細化・低電圧化に適した生体信号センシング・システムを実現してきた。第 3 章で提案した SF-ADC を用いた $\Delta\Sigma$ ADC では、SF-ADC により量子化器の低電圧化が可能であるほか、フィードバック DAC の誤差を補正できる。そのため、マルチビット $\Delta\Sigma$ 変調器によりループフィルタの次数を抑え、アナログ回路の規模を削減することで、より低コストで高分解能の生体信号センサを実現できる可能性がある。本研究ではシステムレベル・シミュレーションによる検証のみのため、集積回路として実装するにはコンパレータのキックバックノイズや消費電力に関する検討を行う必要がある。

第 4 章で提案した SSA-ADC では SF-ADC と従来の CDAC を除き、大半をデジタル回路により構成できるため、微細化により性能の向上が期待できる。また、設計者のスキルや製造プロセスへの依存度を下げられるため、製造プロセスの変更が容易となり、市場の変化に合わせた迅速な製品開発に対応できると考えられる。本研究では機械学習アルゴリズムを用いた誤差補正の最適化および補正関数の適用は外部計算機を用いて行った。しかし、外部計算機へ 24 ビットのデータを転送する必要があるため、通信や記録の負荷を考慮すると、誤差補正関数の適用はセンサ側で行うことが望ましい。そのため、補正関数のパラメータ数の削減や計算負荷の少ない誤差モデル・補正関数の検討などが課題として挙げられる。近年、機械学習の処理に特化したアクセラレータが盛んに研究されており、今後、機械学習を用いた誤差補正技術の適用範囲は外部計算機の使用を前提としたシステムだけではなく、センサ側での処理を前提としたシステムにも拡大すると考えられる。

第 5 章で提案した Stochastic SAR-ADC では LSB 繰り返し比較により分解能を向上できるため、生体信号センサの低消費電力化が期待できる。また、自動キャリブレーション

回路によりフルスケール・レンジの変化に追従できるため、用途や入力振幅に応じて入力レンジを切り替えるようなシステムにおいてもダイナミックレンジを維持することができる。繰り返し比較回数を増やすことで分解能の向上が可能であるが、比較回数に比例して LUT の回路規模が増大し、キャリブレーション時間が増加する。そのため、LUT に入力される Stochastic ADC 出力の下位ビットを切り捨て、LUT のワード数を削減することが考えられるが、この場合の分解能への影響を検討する必要がある。

第6章で提案したシステムレベル・チョッピング技術では、時分割多重による多チャンネル生体信号センサにおいて、オンチップのアナログフィルタの削減による低コスト化が可能である。また、使用するチャンネル数が少ない場合には広帯域化が可能であるため、動的に周波数帯域を切り替えて心電図や脳波、筋電図などの複数の信号に対応する生体信号センサを構成できる。提案方式では増幅器の熱ノイズの折り返しが許容できる場合を想定しているが、広帯域が要求されるシステムにおいてはノイズの折り返しを設計段階で定量的に見積もる必要がある。そのため、各段のノイズの大きさとノイズ帯域幅から、帯域内に折り返されるノイズの大きさを定式化することが今後の研究課題として挙げられる。

本研究で提案した技術により、微細化・低電圧化に適したデジタル回路中心の AFE を実現でき、生体信号センシング・システムの小型化、低消費電力化、低コスト化が可能となる。高性能 ADC を中心としたデジタル回路中心のシステムを実現することで、用途に応じてソフトウェア的に再構成可能なデバイスおよびシステムを実現できる。また、用途を限定した場合、小型化・低コスト化により、従来は大規模な病院内に限定されていた心電図・脳波検査などを小規模な診療所や家庭で気軽に行えるようになると考えられる。

今後の課題として、無線通信回路や位相同期回路など、生体信号センシング・システムのその他の構成要素に対して、確率的 A/D 変換とデジタル支援技術を応用することが考えられる。例えば、無線通信回路の ADC として SF-ADC を用い、機械学習により非線形性を低減することで、受信感度の向上や低消費電力化が可能となる。プロセスの微細化・低電圧化に伴い、確率的 A/D 変換とデジタル支援技術を用いた生体信号センシング・システムの性能はさらに向上すると考えられる。これにより、疾患の早期発見やブレイン・マシン・インターフェース技術の発展など、医療技術の進歩やサービスの普及への貢献が期待できる。

参考文献

- [1] E. Ortiz-Ospina and M. Roser, “Healthcare Spending,” <https://ourworldindata.org/financing-healthcare>, 2017.
- [2] 厚生労働省, “令和 3(2021) 年度 国民医療費の概況”, <https://www.mhlw.go.jp/toukei/saikin/hw/k-iryohi/21/dl/data.pdf>, 2023.
- [3] 厚生労働省, “健康寿命の令和元年値について”, <https://www.mhlw.go.jp/content/10904750/000872952.pdf>, 2021.
- [4] 内閣府, “令和 3 年版高齢社会白書（全体版）”, 2021.
- [5] “心房細動週間ウェブサイト”, <http://www.shinbousaidou-week.org/risk.html>, 最終アクセス日: 2024 年 6 月 8 日.
- [6] H. Ando, K. Takizawa, T. Yoshida, K. Matsushita, M. Hirata, and T. Suzuki, “Wireless Multichannel Neural Recording With a 128-Mbps UWB Transmitter for an Implantable Brain-Machine Interfaces,” *IEEE Transactions on Biomedical Circuits and Systems*, vol. 10, pp. 1068–1078, Dec. 2016.
- [7] A. Pantelopoulos and N. G. Bourbakis, “A survey on wearable sensor-based systems for health monitoring and prognosis,” *IEEE Transactions on Systems, Man and Cybernetics Part C: Applications and Reviews*, vol. 40, no. 1, pp. 1–12, 2010.
- [8] 加藤 大, “プログラマブルデバイスによるセンサフロントエンド構築の視点”, 第 32 回「センサ・マイクロマシンと応用システム」シンポジウム, no. 29pm1-C-1, Oct. 2015.
- [9] S. Isami, T. Kamata, J. Bae, S. Tani, J. Wang, K. Ohara, and T. Matsuoka, “A study on performance improvement of RF transmitter IC using genetic algorithm,” *Microwave and Optical Technology Letters*, vol. 58, no. 12, pp. 2905–2912, Dec. 2016.
- [10] 松岡 俊匡, “高精度 A/D 変換器の設計容易化のための機械学習の応用”, システム

- ／制御／情報, vol. 64, no. 9, pp. 355–360, 2020.
- [11] P. Harpe, E. Cantatore, and A. van Roermund, “A 2.2/2.7fJ/conversion-step 10/12b 40kS/s SAR ADC with Data-Driven Noise Reduction,” in *IEEE International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers*, Feb. 2013, pp. 270–271.
- [12] L. Chen, X. Tang, A. Sanyal, Y. Yoon, J. Cong, and N. Sun, “A 0.7-V 0.6- μ W 100-kS/s Low-Power SAR ADC With Statistical Estimation-Based Noise Reduction,” *IEEE Journal of Solid-State Circuits*, vol. 52, no. 5, pp. 1388–1398, May 2017.
- [13] T. Matsuoka, J. Wang, T. Kihara, H. Ham, and K. Taniguchi, “Low-Voltage Wireless Analog CMOS Circuits toward 0.5 V Operation,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E93-A, no. 2, pp. 356–366, 2010.
- [14] H.-J. Jeon and Y.-B. Kim, “A CMOS low-power low-offset and high-speed fully dynamic latched comparator,” in *Proceedings of the IEEE International SOC Conference*, Sep. 2010, pp. 285–288.
- [15] M. Pelgrom, A. Duinmaijer, and A. Welbers, “Matching Properties of MOS Transistors,” *IEEE Journal of Solid-State Circuits*, vol. 24, no. 5, pp. 1433–1439, Oct. 1989.
- [16] B. Razavi, *Principles of data conversion system design*. IEEE Press, 1995.
- [17] H. Ham, T. Matsuoka, and K. Taniguchi, “Application of Noise-Enhanced Detection of Subthreshold Signals for Communication Systems,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E92-A, no. 4, pp. 1012–1018, Apr. 2009.
- [18] S. Weaver, B. Hershberg, P. Kurahashi, D. Knierim, and U.-K. Moon, “Stochastic Flash Analog-to-Digital Conversion,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 11, pp. 2825–2833, Nov. 2010.
- [19] R. Benzi, A. Sutera, and A. Vulpiani, “The mechanism of stochastic resonance,” *Journal of Physics A: Mathematical and General*, vol. 14, no. 11, pp. L453–L457, Nov. 1981.
- [20] J. J. Collins, C. C. Chow, and T. T. Imhoff, “Stochastic resonance without tuning,” *Nature*, vol. 376, no. 6537, pp. 236–238, July 1995.
- [21] S. Weaver, B. Hershberg, and U.-K. Moon, “Digitally Synthesized Stochastic Flash

-
- ADC Using Only Standard Digital Cells,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 61, no. 1, pp. 84–91, Jan. 2014.
- [22] B. Verbruggen, J. Tsouhlarakis, T. Yamamoto, M. Iriguchi, E. Martens, and J. Craninckx, “A 60 dB SNDR 35 MS/s SAR ADC With Comparator-Noise-Based Stochastic Residue Estimation,” *IEEE Journal of Solid-State Circuits*, vol. 50, no. 9, pp. 2002–2011, Sep. 2015.
- [23] H. Kobayashi, H. Aoki, K. Katoh, and C. Li, “Analog/mixed-signal circuit design in nano CMOS era,” *IEICE Electronics Express*, vol. 11, no. 3, pp. 1–15, Feb. 2014.
- [24] B. Murmann and B. E. Boser, “Digital Domain Measurement and Cancellation of Residue Amplifier Nonlinearity in Pipelined ADCs,” *IEEE Transactions on Instrumentation and Measurement*, vol. 56, no. 6, pp. 2504–2514, Dec. 2007.
- [25] H.-S. Lee, D. Hodges, and P. Gray, “A Self-Calibrating 15 Bit CMOS A/D Converter,” *IEEE Journal of Solid-State Circuits*, vol. 19, no. 6, pp. 813–819, Dec. 1984.
- [26] Y. Hirai, S. Yano, and T. Matsuoka, “A Delta-Sigma ADC with Stochastic Quantization,” *IPSI Transactions on System LSI Design Methodology*, vol. 8, pp. 123–130, 2015.
- [27] Y. Hirai, T. Matsuoka, S. Tani, S. Isami, K. Tatsumi, M. Ueda, and T. Kamata, “A Biomedical Sensor System With Stochastic A/D Conversion and Error Correction by Machine Learning,” *IEEE Access*, vol. 7, pp. 21 990–22 001, Feb. 2019.
- [28] Y. Hirai, T. Matsuoka, T. Kamata, S. Tani, and T. Onoye, “A Multi-Channel Biomedical Sensor System With System-Level Chopping and Stochastic A/D Conversion,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E107-A, no. 8, pp. 1127–1138, Aug. 2024.
- [29] R. Schreier and G. C. Temes, *Understanding delta-sigma data converters; 1st ed.* New York, NY: Wiley, 2005.
- [30] J. Goes, N. Paulino, H. Pinto, R. Monteiro, B. Vaz, and A. Garcao, “Low-Power Low-Voltage CMOS A/D Sigma-Delta Modulator for Bio-Potential Signals Driven by a Single-Phase Scheme,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 52, no. 12, pp. 2595–2604, Dec. 2005.
- [31] E. Lopez-Morillo, R. G. Carvajal, F. Munoz, H. E. Gmili, A. Lopez-Martin, J. Ramirez-

- Angulo, and E. Rodriguez-Villegas, "A 1.2-V 140-nW 10-bit Sigma – Delta Modulator for Electroencephalogram Applications," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 2, no. 3, pp. 223–230, Sep. 2008.
- [32] Y. Yoon, H. Roh, H. Lee, and J. Roh, "A 0.6-V 540-nW delta-sigma modulator for biomedical sensors," *Analog Integrated Circuits and Signal Processing*, vol. 75, no. 2, pp. 323–327, May 2013.
- [33] J. L. A. de Melo, F. Querido, N. Paulino, and J. Goes, "A 0.4-V 410-nW Opamp-Less Continuous-Time $\Sigma\Delta$ Modulator for Biomedical Applications," in *Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS)*, June 2014, pp. 1340–1343.
- [34] S. Tao and A. Rusu, "A Power-Efficient Continuous-Time Incremental Sigma-Delta ADC for Neural Recording Systems," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 6, pp. 1489–1498, June 2015.
- [35] Y. Yoon, Q. Duan, J. Yeo, J. Roh, J. Kim, and D. Kim, "A Delta – Sigma Modulator for Low-Power Analog Front Ends in Biomedical Instrumentation," *IEEE Transactions on Instrumentation and Measurement*, vol. 65, no. 7, pp. 1530–1539, July 2016.
- [36] A. Nikas, S. Jambunathan, L. Klein, M. Voelker, and M. Ortmanns, "A Continuous-Time Delta-Sigma Modulator Using a Modified Instrumentation Amplifier and Current Reuse DAC for Neural Recording," *IEEE Journal of Solid-State Circuits*, vol. 54, no. 10, pp. 2879–2891, Oct. 2019.
- [37] Y. Chen, Y. Chen, and Y. Guo, "A 0.4-V 6.6- μ W 75-dB SNDR delta-sigma modulator employing gate-body-driven amplifier with local CMFB loop and robust clock generator for implantable biomedical devices," *IEICE Electronics Express*, vol. 17, no. 11, pp. 1–6, June 2020.
- [38] J. Kim, Q. Duan, J. Choi, C. Song, and J. Roh, "A 2.16- μ W Low-Power Continuous-Time Delta – Sigma Modulator With Improved-Linearity G_m for Wearable ECG Application," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 69, no. 11, pp. 4223–4227, Nov. 2022.
- [39] Y.-I. Park, S. Karthikeyan, W. M. Koe, Z. Jiang, and T.-C. Tan, "A 16-Bit, 5MHz Multi-Bit Sigma-Delta ADC Using Adaptively Randomized DWA," in *Proceedings of the*

-
- IEEE Custom Integrated Circuits Conference (CICC)*, Sep. 2003, pp. 115–118.
- [40] I. Fujimori, L. Longo, A. Hairapetian, K. Seiyama, S. Kosic, J. Cao, and S.-I. Chan, “A 90dB SNR, 2.5MHz Output Rate ADC using Cascaded Multibit $\Delta\Sigma$ Modulation at 8x Oversampling Ratio,” in *IEEE International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers*, Feb. 2000, pp. 338–339.
- [41] R. Radke, A. Eshraghi, and T. Fiez, “A Spurious-Free Delta-Sigma DAC Using Rotated Data Weighted Averaging,” in *Proceedings of the IEEE Custom Integrated Circuits Conference (CICC)*, May 1999, pp. 125–128.
- [42] 和保 孝夫, アナログ/デジタル変換入門: 原理と回路実装 コロナ社, 2019.
- [43] V. Giannini, P. Nuzzo, V. Chironi, A. Baschiroto, G. Van der Plas, and J. Craninckx, “An 820 μ W 9b 40MS/s Noise-Tolerant Dynamic-SAR ADC in 90nm Digital CMOS,” in *IEEE International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers*, Feb. 2008, pp. 238–610.
- [44] M. Ahmadi and W. Namgoong, “A 3.3fJ/conversion-step 250kS/s 10b SAR ADC Using Optimized Vote Allocation,” in *Proceedings of the IEEE Custom Integrated Circuits Conference (CICC)*, Sep. 2013, pp. 1–4.
- [45] T. Miki, T. Morie, K. Matsukawa, Y. Bando, T. Okumoto, K. Obata, S. Sakiyama, and S. Dosho, “A 4.2 mW 50 MS/s 13 bit CMOS SAR ADC With SNR and SFDR Enhancement Techniques,” *IEEE Journal of Solid-State Circuits*, vol. 50, no. 6, pp. 1372–1381, June 2015.
- [46] I. Banerjee and A. Sanyal, “Statistical estimator for simultaneous noise and mismatch suppression in SAR ADC,” *Electronics Letters*, vol. 53, no. 12, pp. 773–775, June 2017.
- [47] J. Shen, A. Shikata, L. D. Fernando, N. Guthrie, B. Chen, M. Maddox, N. Mascarenhas, R. Kapusta, and M. C. W. Coln, “A 16-bit 16-MS/s SAR ADC With On-Chip Calibration in 55-nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 53, no. 4, pp. 1149–1160, Apr. 2018.
- [48] M. Bagheri, F. Schembari, N. Pourmousavian, H. Zare-Hoseini, D. Hasko, and R. B. Staszewski, “A Mismatch Calibration Technique for SAR ADCs Based on Deterministic Self-Calibration and Stochastic Quantization,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, no. 9, pp. 2883–2896, Sep. 2020.

- [49] Z. Lei and Z. Xiaolin, “Mismatch suppression and noise reduction for SAR-ADC with Bayes estimation method,” *Analog Integrated Circuits and Signal Processing*, vol. 102, no. 2, pp. 379–388, Feb. 2020.
- [50] R. V. Hogg, J. W. McKean, and A. T. A. T. Craig, *Introduction to Mathematical Statistics*, 8th ed. Pearson, 2018.
- [51] K. Uyttenhove and M. S. Steyaert, “Speed-Power-Accuracy Tradeoff in High-Speed CMOS ADCs,” *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 49, no. 4, pp. 280–287, Apr. 2002.
- [52] ハム ヒョンジュ, 松岡 俊匡, 王 軍, 谷口 研二, “素子特性ミスマッチを用いた高速サンプリング並列型確率的 A-D コンバータの設計”, 電気学会論文誌C (電子・情報・システム部門誌), vol. 131, no. 11, pp. 1848–1857, Nov. 2011.
- [53] S. Tsukamoto, W. Schofield, and T. Endo, “A CMOS 6-b, 400-MSample/s ADC with Error Correction,” *IEEE Journal of Solid-State Circuits*, vol. 33, no. 12, pp. 1939–1947, Dec. 1998.
- [54] M. Choi and A. A. Abidi, “A 6b 1.3GSample/s A/D Converter in 0.35 μm CMOS,” in *IEEE International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers*, Feb. 2001, pp. 126–127,.
- [55] J. Cui, S. Tani, K. Ohara, Y. Hirai, and T. Matsuoka, “A dynamic latched comparator with built-in offset calibration,” *Far East Journal of Electronics and Communications*, vol. 14, no. 2, pp. 105–115, June 2015.
- [56] D. G. Chen and A. Bermak, “A Low-power Dynamic Comparator with Digital Calibration for Reduced Offset Mismatch,” in *Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2012, pp. 1283–1286.
- [57] M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, “A low-noise self-calibrating dynamic comparator for high-speed ADCs,” in *Proceedings of the IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Nov. 2008, pp. 269–272.
- [58] M. Yoshioka, K. Ishikawa, T. Takayama, and S. Tsukamoto, “A 10-b 50-MS/s 820- μW SAR ADC With On-Chip Digital Calibration,” *IEEE Transactions on Biomedical Circuits and Systems*, vol. 4, no. 6, pp. 410–416, Dec. 2010.
- [59] T. Okazawa and I. Akita, “A Dynamic Latched Comparator Using Area-Efficient

-
- Stochastic Offset Voltage Detection Technique,” *IEICE Transactions on Electronics*, vol. E101C, no. 5, pp. 396–403, May 2018.
- [60] H. Ham, T. Matsuoka, J. Wang, and K. Taniguchi, “Design of a 500-MS/s stochastic signal detection circuit using a non-linearity reduction technique in a 65-nm CMOS process,” *IEICE Electronics Express*, vol. 8, no. 6, pp. 353–359, Mar. 2011.
- [61] T. Asano, Y. Hirai, S. Tani, S. Yano, I. Jo, and T. Matsuoka, “An offset distribution modification technique of stochastic flash ADC,” *IEICE Electronics Express*, vol. 13, no. 6, pp. 1–10, Mar. 2016.
- [62] W. Liu, P. Huang, and Y. Chiu, “A 12-bit, 45-MS/s, 3-mW Redundant Successive-Approximation-Register Analog-to-Digital Converter With Digital Calibration,” *IEEE Journal of Solid-State Circuits*, vol. 46, no. 11, pp. 2661–2672, 2011.
- [63] N. Mirzaie, H. Shamsi, and G. S. Byun, “Yield-aware sizing of pipeline ADC using a multiple-objective evolutionary algorithm,” *International Journal of Circuit Theory and Applications*, vol. 45, no. 6, pp. 744–763, June 2017.
- [64] S. Kaedi and E. Farshidii, “A New Optimization of Noise Transfer Function of Sigma-delta-modulator with Supposition Loop Filter Stability,” *International Journal of Circuit Theory and Applications*, vol. 2, no. 11, pp. 1–15, Nov. 2012.
- [65] Y. Kasai, K. Miyashita, H. Sakanashi, E. Takahashi, M. Iwata, M. Murakawa, W. Kiyoshi, U. Yukihiro, T. Kaoru, and H. Tetsuya, “An Image Rejection Mixer with AI-Based Improved Performance for WCDMA Applications,” *IEICE Transactions on Electronics*, vol. E89-C, no. 6, pp. 717–724, June 2006.
- [66] M. Murakawa, T. Adachi, Y. Niino, Y. Kasai, E. Takahashi, K. Takasuka, and T. Higuchi, “An AI-Calibrated IF Filter: a Yield Enhancement Method With Area and Power Dissipation Reductions,” *IEEE Journal of Solid-State Circuits*, vol. 38, no. 3, pp. 495–502, Mar. 2003.
- [67] N. V. Helleputte, M. Konijnenburg, J. Pettine, D.-W. Jee, H. Kim, A. Morgado, R. V. Wegberg, T. Torfs, R. Mohan, A. Breeschoten, H. de Groot, C. V. Hoof, and R. F. Yazicioglu, “A 345 μ W Multi-Sensor Biomedical SoC With Bio-Impedance, 3-Channel ECG, Motion Artifact Reduction, and Integrated DSP,” *IEEE Journal of Solid-State Circuits*, vol. 50, no. 1, pp. 230–244, Jan. 2015.

- [68] C. C. Enz and G. C. Temes, "Circuit Techniques for Reducing the Effects of Op-amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization," *Proceedings of the IEEE*, vol. 84, no. 11, pp. 1584–1614, Nov. 1996.
- [69] K.-C. Hsieh, P. Gray, D. Senderowicz, and D. Messerschmitt, "A Low-Noise Chopper-Stabilized Differential Switched-Capacitor Filtering Technique," *IEEE Journal of Solid-State Circuits*, vol. 16, no. 6, pp. 708–715, Dec. 1981.
- [70] T. Yoshida, Y. Masui, T. Mashimo, M. Sasaki, and A. Iwata, "A 1V Supply 50nV/ $\sqrt{\text{Hz}}$ Noise PSD CMOS Amplifier Using Noise Reduction Technique of Autozeroing and Chopper Stabilization," in *Symposium on VLSI Circuits Digest of Technical Papers*, June 2005, pp. 118–121.
- [71] R. R. Harrison and C. Charles, "A Low-Power Low-Noise CMOS Amplifier for Neural Recording Applications," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 6, pp. 958–965, June 2003.
- [72] T. Denison, K. Consoer, A. Kelly, A. Hachenburg, and W. Santa, "A 2.2 μW 94nV/ $\sqrt{\text{Hz}}$, Chopper-Stabilized Instrumentation Amplifier for EEG Detection in Chronic Implants," in *IEEE International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers*, Feb. 2007, pp. 162–594.
- [73] D. Luo, M. Zhang, and Z. Wang, "Design of a 3.24 μW , 39nV/ $\sqrt{\text{Hz}}$ Chopper Amplifier With 5.5Hz Noise Corner Frequency for Invasive Neural Signal Acquisition," in *Proceedings of the IEEE Custom Integrated Circuits Conference (CICC)*, Apr. 2018, pp. 1–4.
- [74] J. Zheng, W.-H. Ki, L. Hu, and C.-Y. Tsui, "Chopper Capacitively Coupled Instrumentation Amplifier Capable of Handling Large Electrode Offset for Biopotential Recordings," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 64, no. 12, pp. 1392–1396, Dec. 2017.
- [75] D. Luo, M. Zhang, and Z. Wang, "A Low-Noise Chopper Amplifier Designed for Multi-Channel Neural Signal Acquisition," *IEEE Journal of Solid-State Circuits*, vol. 54, no. 8, pp. 2255–2265, Aug. 2019.
- [76] Y. Tian, Z. Qin, Y. Yu, D. Gao, X. Liao, and L. Liu, "A Low-Noise and Low-Power Multi-Channel ECG AFE Based on Orthogonal Current-Reuse Amplifier," *IEEE*

-
- Transactions on Circuits and Systems I: Regular Papers*, vol. 70, no. 8, pp. 3167–3177, Aug. 2023.
- [77] J. Xu, S. Mitra, A. Matsumoto, S. Patki, C. V. Hoof, K. A. A. Makinwa, and R. F. Yazicioglu, “A Wearable 8-Channel Active-Electrode EEG/ETI Acquisition System for Body Area Networks,” *IEEE Journal of Solid-State Circuits*, vol. 49, no. 9, pp. 2005–2016, Sep. 2014.
- [78] R. Muller, H. P. Le, W. Li, P. Ledochowitsch, S. Gambini, T. Bjorninen, A. Koralek, J. M. Carmena, M. M. Maharbiz, E. Alon, and J. M. Rabaey, “A Minimally Invasive 64-Channel Wireless μ ECoG Implant,” *IEEE Journal of Solid-State Circuits*, vol. 50, no. 1, pp. 344–359, Jan. 2015.
- [79] P. Schönle, F. Schulthess, S. Fateh, R. Ulrich, F. Huang, T. Burger, and Q. Huang, “A DC-Connectable Multi-Channel Biomedical Data Acquisition ASIC with Mains Frequency Cancellation,” in *Proceedings of the IEEE European Solid-State Circuits Conference (ESSCIRC)*, Sep. 2013, pp. 149–152.
- [80] S.-C. Lee, Y.-S. Lin, Y.-J. Chen, and H. Chiueh, “A Wireless Multi-Channel Physiological Signal Acquisition System-on-Chip for Wearable Devices,” in *Proceedings of IEEE Sensors*, Oct. 2016, pp. 1–3.
- [81] X. Yang, Y. Zhang, W.-W. Huang, and C.-D. Ling, “Low Power Chopper Amplifier without LPF,” in *Proceedings of the IEEE Asia-Pacific Conference on Circuits and Systems*, Dec. 2010, pp. 17–19.
- [82] Y. Masui, T. Yoshida, and A. Iwata, “Low power and low voltage chopper amplifier without LPF,” *IEICE Electronics Express*, vol. 5, no. 22, pp. 967–972, Nov. 2008.
- [83] T. Yoshida, M. Akagi, T. Mashimo, A. Iwata, M. Yoshida, and K. Uematsu, “Design of a Wireless Neural-Sensing LSI,” *IEICE Transaction on Electronics*, vol. E87-C, no. 6, pp. 996–1002, June 2004.
- [84] D. McCartney, A. Sherry, J. O’Dowd, and P. Hickey, “A low-noise low-drift transducer ADC,” *IEEE Journal of Solid-State Circuits*, vol. 32, no. 7, pp. 959–967, July 1997.
- [85] J. L. Ceballos and C. Reindl, “A Low-Power, Ultra Low-Offset, 16.5-bit, $\Sigma\Delta$ ADC for Coulomb Counting and Fuel Gauge Applications,” in *Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2013, pp. 817–820.

- [86] R. Wu, J. H. Huijsing, and K. A. A. Makinwa, “A 21-bit Read-Out IC Employing Dynamic Element Matching with 0.037% Gain Error,” in *Proceedings of the IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Nov. 2011, pp. 241–244.
- [87] L. Xu, B. Gönen, Q. Fan, J. H. Huijsing, and K. A. A. Makinwa, “A 110dB SNR ADC with $\pm 30\text{V}$ Input Common-Mode Range and $8\mu\text{V}$ Offset for Current Sensing Applications,” in *IEEE International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers*, Feb. 2015, pp. 90–92.
- [88] M. Mikawa, S. Kawazoe, R. Fukuoka, and N. Nakano, “A Delta-Sigma Modulator With Frequency Division Multiplexing for Multi-Channel EEG Acquisition Front-end,” in *Proceedings of the IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, Nov. 2019, pp. 97–100.
- [89] O. Oliaei, “Stochastic resonance in sigma-delta modulators,” *Electronics Letters*, vol. 39, no. 2, p. 173, 2003.
- [90] Y. Hirai, K. Ohara, and T. Matsuoka, “Extra Loop Delay Compensation for Hybrid Delta-Sigma Modulators,” in *Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS)*, June 2014, pp. 2353–2356.
- [91] 茨木 俊秀, 甘利 俊一, 離散最適化法とアルゴリズム 岩波書店, 1998.
- [92] 電気学会 GA 等組合せ最適化手法応用調査専門委員会, 遺伝アルゴリズムとニューラルネット: スケジューリングと組合せ最適化 コロナ社, 1998.
- [93] 坂和 正敏, 田中 雅博, 遺伝的アルゴリズム 朝倉書店, 1995.
- [94] J.-Y. Um, Y.-J. Kim, E.-W. Song, J.-Y. Sim, and H.-J. Park, “A Digital-Domain Calibration of Split-Capacitor DAC for a Differential SAR ADC Without Additional Analog Circuits,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 11, pp. 2845–2856, Nov. 2013.
- [95] S. Tani, T. Matsuoka, Y. Hirai, T. Kurata, K. Tatsumi, T. Asano, M. Ueda, and T. Kamata, “Behavior-Level Analysis of a Successive Stochastic Approximation Analog-to-Digital Conversion System for Multi-Channel Biomedical Data Acquisition,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E100.A, no. 10, pp. 2073–2085, Oct. 2017.
- [96] K. Tatsumi and T. Matsuoka, “A Software Level Calibration Based on Bayesian Regres-

-
- sion for a Successive Stochastic Approximation Analog-to-Digital Converter System,” *IEEE Transactions on Cybernetics*, vol. 49, no. 4, pp. 1200–1211, Apr. 2019.
- [97] K. Pelckmans, J. Suykens, and B. D. Moor, “Regularization Constants in LS-SVMs: a Fast Estimate via Convex Optimization,” in *Proceedings of the IEEE International Joint Conference on Neural Networks*, July 2004, pp. 699–704.
- [98] 倉田 宗史, 巽 啓司, 谷野 哲三, 平井 雄作, 松岡 俊匡, 谷 貞宏, “ベイズ線形回帰を用いた高精度逐次比較型 A/D 変換器の誤差補正のための追加学習法”, システム制御情報学会論文誌, vol. 29, no. 2, pp. 76–85, Feb. 2016.
- [99] C. M. Bishop, *Pattern Recognition and Machine Learning*. Springer, 2006.
- [100] Y. Lin, K. Doris, H. Hegt, and A. van Roermund, “A Dynamic Latched Comparator for Low Supply Voltages Down to 0.45 V in 65-nm CMOS,” in *Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2012, pp. 2737–2740.
- [101] H. Jeon, Y.-B. Kim, and M. Choi, “Offset Voltage Analysis of Dynamic Latched Comparator,” in *Proceedings of the IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*, Aug. 2011, pp. 1–4.
- [102] Analog Devices, Inc., *Low Power, Five Electrode Electrocardiogram (ECG) Analog Front End, ADAS1000 Data Sheet*, Analog Devices, Inc., Nov. 2018, rev.C.
- [103] S. Fateh, P. Schonle, L. Bettini, G. Rovere, L. Benini, and Q. Huang, “A Reconfigurable 5-to-14 bit SAR ADC for Battery-Powered Medical Instrumentation,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 11, pp. 2685–2694, Nov. 2015.
- [104] Y. Kuramochi, A. Matsuzawa, and M. Kawabata, “A 0.05-mm² 110- μ W 10-b Self-Calibrating Successive Approximation ADC Core in 0.18- μ m CMOS,” in *Proceedings of the IEEE Asian Solid-State Circuit Conference (A-SSCC)*, Nov. 2007, pp. 224–227.
- [105] M. Zhang and X. Fan, “An energy-efficient SAR ADC using a single-phase clocked dynamic comparator with energy and speed enhanced technique,” *IEICE Electronics Express*, vol. 14, no. 8, pp. 1–9, Apr. 2017.
- [106] A. Jayaraj, S. Tannirkulam Chandrasekaran, A. Ganesh, I. Banerjee, and A. Sanyal, “Maximum Likelihood Estimation-Based SAR ADC,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 66, no. 8, pp. 1311–1315, Aug. 2019.

- [107] D. Cottier, “Methods for Mitigating ADC Memory Cross-Talk,” *Texas Instruments Application Note*, no. SPRACW9A, 2021.
- [108] T. Yoshida, Y. Masui, R. Eki, A. Iwata, M. Yoshida, and K. Uematsu, “A Neural Recording Amplifier with Low-Frequency Noise Suppression,” *IEICE Transactions on Electronics*, vol. E93-C, no. 6, pp. 849–854, June 2010.
- [109] M. A. Bin Altaf, C. Zhang, and J. Yoo, “A 16-Channel Patient-Specific Seizure Onset and Termination Detection SoC With Impedance-Adaptive Transcranial Electrical Stimulator,” *IEEE Journal of Solid-State Circuits*, vol. 50, no. 11, pp. 2728–2740, Nov. 2015.
- [110] T. Tang, W. L. Goh, L. Yao, and Y. Gao, “A TDM-Based 16-Channel AFE ASIC With Enhanced System-Level CMRR for Wearable EEG Recording With Dry Electrodes,” *IEEE Transactions on Biomedical Circuits and Systems*, vol. 14, no. 3, pp. 516–524, June 2020.
- [111] J. H. Park, T. Tang, L. Zhang, K. A. Ng, G. G. L. Gammad, S.-C. Yen, and J. Yoo, “A 15-Channel Orthogonal Code Chopping Instrumentation Amplifier for Area-Efficient, Low-Mismatch Bio-Signal Acquisition,” *IEEE Journal of Solid-State Circuits*, vol. 55, no. 10, pp. 2771–2780, Oct. 2020.