



Title	センサデバイスのための低消費電力アナログ集積回路技術に関する研究
Author(s)	三井, 健司
Citation	大阪大学, 2025, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/101671
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

論文内容の要旨

氏 名 (三 井 健 司)

論文題名	センサデバイスのための低消費電力アナログ集積回路技術に関する研究
------	----------------------------------

論文内容の要旨

本論文は、センサデバイスの小型軽量化に向けて、低消費電力アナログ集積回路技術に関する研究内容をまとめたものである。全編は以下の5章で構成した。

第1章では、センサデバイスをバッテリー駆動させるために適した集積回路のシステムアーキテクチャと技術課題について検討した。センサデバイスにはウェアラブルな使用も想定されることから小型軽量であることが求められ、消費電力を低減することによる長期間動作、バッテリーの小型化が必要となることを述べた。そこでセンサデバイスには、バッテリー電圧の降圧を実現しつつ低消費電力性能を有したLow Drop Out (LDO)、ランダムアンダーサンプリング型圧縮センシングを用いたシステムアーキテクチャとシステム特徴を加味した低ノイズかつ低消費電力の低雑音アンプ (LNA) が適していることを議論した。また、このようなアーキテクチャを実現するためには、LDOの低消費電力と負荷過渡応答性能の両立、低消費電力LDOのPower Supply Rejection Ratio (PSRR)特性の改善、そしてLNAの低消費電力と低ノイズの最適化が技術課題であることを議論した。

第2章では、低消費電力LDOの負荷過渡応答性能向上を検討した。従来のLDOは低消費電力化に伴い、負荷電流の変化に対して出力電圧が大きく変動し、負荷回路の動作に悪影響を与える問題があった。提案するLDOは、出力電圧の交流成分のみを検出するFVF-based load transient enhanced circuit (FBLC) と誤差増幅器の定電流源を切り替える回路を一般的なLDOに追加することで、負荷電流の変化に対して出力電圧のアンダーシュート量抑制を可能にした。負荷電流のスルーレートを掃引するシミュレーションにおいても、スルーレートに対するアンダーシュート量の変化は一般的な傾向と同じであり、ロバストな応答特性を実現した。提案回路のチップ試作を行い、性能評価を行った。提案回路は、無負荷時の自己消費電流は204nAと低消費電力でありながら、負荷電流が1 μ Aから10mAに1 μ sで遷移する負荷過渡において100mVのアンダーシュート量を実現した。提案手法の有効性を回路シミュレーションならびに実測により確認した。

第3章では、低消費電力LDOのPSRR特性改善を検討した。従来のLDOは低消費電力化に伴い、閉ループにおけるドミナントポールが低周波になることでPSRRが低周波から低下し、前段のスイッチングコンバータの出力電圧に重畳されるリップル電圧を抑制することが困難となる問題があった。提案するLDOは、低消費電力ながら出力電圧の交流成分のみに対して帰還を行うFVF-based PSRR enhanced circuit (FBPEC) を補助増幅器として一般的なLDOに追加することで、特定周波数帯域のPSRR特性改善を可能にした。提案回路のチップ試作を行い、性能評価を行った。提案回路は、無負荷時の自己消費電流は648nAと低消費電力でありながら、負荷電流が1mAの状態でのPSRRは15kHzにおいて27.5dBを実現した。実測結果と軽負荷時のスイッチングコンバータのリップル電圧周波数を想定したPSRRを元にF_{oM}を算出し、先行研究との性能比較を行うことで提案手法の有効性を確認した。

第4章では、ランダムアンダーサンプリング型圧縮センシング用の低消費電力LNA検討した。想定する圧縮センシングシステムにおいて、通常のナイキスト周波数に基づくサンプリングとは異なり、LNAのフリッカノイズの低減が重要になる。しかし、LNAの低ノイズ性能を過剰に求めると消費電力が増加する問題があった。設計したLNAは、CCIAアーキテクチャを採用しており低フリッカノイズと低消費電力であり、圧縮センシングシステムを用いた脳波測定において脳波信号の圧縮と復元が可能であることを証明した。設計した回路の有効性を確認するためにチップ試作を行い、特性評価と実測を元にしたシミュレーションによって性能評価を行った。設計した回路は0.36 μ W/chと非常に低消費電力であり、ゲイン特性とCommon Mode Rejection Ratio特性は脳波計に採用可能な結果を得た。実測した入力換算ノイズをシミュレーションに使用することで、圧縮センシングシステムにおいてLNA起因のノイズが脳波信号の復元精度に与える影響を確認した。正規化平均二乗誤差を用いて評価を行い、圧縮率=4までは脳波信号の復元精度劣化が抑えられることを確認した。また、類似用途の先行研究と性能比較を行うことで消費電力性能を基準として設計回路の有効性を確認した。

第5章では、本研究で得られた研究成果について総括した。

論文審査の結果の要旨及び担当者

氏 名 (三 井 健 司)			
	(職)	氏 名	
論文審査担当者	主 査	准教授	兼本 大輔
	副 査	教授	森 勇介
	副 査	教授	丸山 美帆子
	副 査	教授	片山 竜二
	副 査	教授	廣瀬 哲也
	副 査	招へい教授	光井 將一

論文審査の結果の要旨

本論文は、ウェアラブルや IoT(Internet of Things)アプリケーションを想定したセンサデバイスの小型軽量化に向けて、低消費電力アナログ CMOS(Complementary Metal Oxide Semiconductor)集積回路技術として、電源回路の一種である LDO(Low Drop Out)の高速応答や低雑音化、圧縮センシング型無線脳波計への活用を想定した低消費電力 LNA(low-noise Amplifier)に関する研究内容をまとめたものである。論文は、序論となる第 1 章から結論を述べた第 5 章で構成されている。

第 1 章では、センサデバイスをバッテリー駆動させるために適した CMOS 集積回路のシステムアーキテクチャと技術課題について検討している。センサデバイスにはウェアラブルな使用も想定されることから小型軽量であることが求められ、消費電力を低減することによる長期間動作、バッテリーの小型化が必要となることを述べている。そこでセンサデバイスには、バッテリー電圧の降圧を実現しつつ低消費電流性能を有した LDO レギュレータ、ランダムアンダーサンプリング型圧縮センシングを用いたシステムアーキテクチャとシステム特徴を加味した低ノイズかつ低消費電力の LNA が適していることを議論している。また、このようなアーキテクチャを実現するためには、LDO の低消費電流と負荷過渡応答性能の両立、低消費電流 LDO の PSRR(Power Supply Rejection Ratio)特性の改善、そして LNA の低消費電力と低ノイズの最適化が技術課題であることを議論している。

第 2 章では、低消費電流 LDO の負荷過渡応答性能向上を検討している。従来の LDO は低消費電流化に伴い、負荷電流の変化に対して出力電圧が大きく変動し、負荷回路の動作に悪影響を与える問題があった。提案する LDO は、出力電圧の交流成分のみを検出する FBLC(FVF-based load transient enhanced circuit)と誤差増幅器の定電流源を切り替える回路を一般的な LDO に追加することで、負荷電流の変化に対して出力電圧のアンダーシュート量抑制を可能にしている。負荷電流のスルーレートを掃引するシミュレーションにおいても、スルーレートに対するアンダーシュート量の変化は一般的な傾向と同じであり、ロバストな応答特性を実現している。提案回路のチップ試作を行い、性能評価を行っている。提案回路は、無負荷時の自己消費電流は 204nA と低消費電流でありながら、負荷電流が $1\mu\text{A}$ から 10mA に $1\mu\text{s}$ で遷移する負荷過渡において 100mV のアンダーシュート量を実現している。提案手法の有効性を回路シミュレーションならびに実測により確認している。

第 3 章では、低消費電流 LDO の PSRR 特性改善を検討している。従来の LDO は低消費電流化に伴い、閉ループにおけるドミナントポールが低周波になることで PSRR が低周波から低下し、前段のスイッチングコンバータの出力電圧に重畳されるリップル電圧を抑制することが困難となる問題があった。提案する LDO は、低消費電流ながら出力電圧の交流成分のみに対して帰還を行う FBPEC(FVF-based PSRR enhanced circuit)を補助増幅器として一般的な LDO に追加することで、特定周波数帯域の PSRR 特性改善を可能にしている。提案回路のチップ試作を行い、性能評価を行っている。

提案回路は、無負荷時の自己消費電流は 648nA と低消費電流でありながら、負荷電流が 1mA の状態での PSRR は 15kHz において 27.5dB を実現している。実測結果と軽負荷時のスイッチングコンバータのリプル電圧周波数を想定した PSRR を元に FoM 値を算出し、先行研究との性能比較を行うことで提案手法の有効性を確認している。

第 4 章では、ランダムアンダーサンプリング型圧縮センシング用の低消費電力 LNA 検討している。想定する圧縮センシングシステムにおいて、通常のナイキスト周波数に基づくサンプリングとは異なり、LNA のフリッカノイズの低減が重要になる。しかし、LNA の低ノイズ性能を過剰に求めると消費電力が増加する問題があった。設計した LNA は、CCIA アーキテクチャを採用しており低フリッカノイズと低消費電力であり、圧縮センシングシステムを用いた脳波測定において脳波信号の圧縮と復元が可能であることを証明している。設計した回路の有効性を確認するためにチップ試作を行い、特性評価と実測を元にしたシミュレーションによって性能評価を行っている。設計した回路は $0.36 \mu\text{W}/\text{ch}$ と非常に低消費電力であり、ゲイン特性と Common Mode Rejection Ratio 特性は脳波計に採用可能な結果を得ている。実測した入力換算ノイズをシミュレーションに使用することで、圧縮センシングシステムにおいて LNA 起因のノイズが脳波信号の復元精度に与える影響を確認している。正規化平均二乗誤差を用いて評価を行い、圧縮比が 4 までは脳波信号の復元精度劣化が抑えられることを確認している。また、類似用途の先行研究と性能比較を行うことで消費電力性能を基準として設計回路の有効性を確認している。

第 5 章では、本研究で得られた研究成果について総括している。

以上のように、本論文はセンサデバイスのための低消費電力アナログ集積回路技術の確立を目的として行ったものであり、センサデバイスにおける低消費電力化を実現する技術課題を明らかにし、これらの課題を解決する手法を提案している。シミュレーション評価ならびに試作チップによる測定評価から、低い消費電力で動作可能な CMOS 集積回路技術を実現しており、学术界・産業界における今後の発展に大きく寄与する研究成果を挙げている。よって本論文は博士論文として価値あるものと認める。