



Title	センサデバイスのための低消費電力アナログ集積回路技術に関する研究
Author(s)	三井, 健司
Citation	大阪大学, 2025, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/101671
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

博士学位論文

センサデバイスのための
低消費電力アナログ集積回路技術に関する研究

三井 健司

2025 年 1 月

大阪大学大学院工学研究科

内容梗概

本論文は、センサデバイスの長時間動作および小型軽量化に向けて、低消費電力アナログ集積回路技術に関する研究内容をまとめたものである。

第1章では、研究の背景と目的を明らかにする。次世代のスマート社会では、センサ等によってフィジカル空間から得た情報を人工知能 (AI) が解析し、これまでになかった新たなソリューションをフィジカル空間に提供する。フィジカル空間から得る情報の一例として生体信号が挙げられ、生体信号取得のためには人間がセンサデバイスを装着する必要があるため、バッテリーの小型軽量化が課題となる。しかしながら連続動作時間の確保も必要であり、バッテリーの体積とトレードオフの関係にある。解決策の1つは、消費電力比率の大きい主要な集積回路 (IC) の低消費電力化を実現することである。さらにもう1つの解決策として、圧縮センシングシステムの採用によりサンプリングを間引き、通信に伴うデータ量を低下させることでシステムとして低消費電力化を進めることである。そこで本論文では、センサデバイスにおけるシステムの低消費電力化と小型軽量化の実現を目的とし低消費電力アナログ集積回路技術の開拓研究を行う。

第2章では、高速な負荷過渡応答が可能な低消費電流 Low Drop Out (LDO)を検討する。LDO は Power Management IC (PMIC) に搭載される電源回路の一種であり、入力電圧を降圧することで負荷回路に適切な電圧を供給する役割を担う。ディスクリット LDO は IC とオフチップキャパシタのみで電力変換機能を実現する汎用的かつ簡易な電源降圧の手段として知られている。従来、LDO の応答性能と消費電流にはトレードオフの関係があり、大きなオーバーシュートやアンダーシュートが発生すると、マイクロプロセッサのエネルギー効率低下や性能劣化、SRAM メモリおよび Flip Flop 回路の誤動作を引き起こす課題がある。提案する LDO は、出力電圧の交流成分のみに反応して高速に負荷過渡検知信号を生成する低消費電流検知回路を搭載する。また、誤差増幅器のテール電流源切り替え制御と組み合わせるにより、電流のスルーレートに対してロバストかつ高速な応答を実現する。チップ試作を行い、性能評価を行うことで、提案回路は小型軽量センサデバイス向けに有用であることを示す。

第3章では、特定周波数の Power Supply Rejection Ratio (PSRR)を向上させた低消費電流 LDOを検討する。LDO に期待される特性の1つに PSRR が挙げられる。PSRR は LDO の前段に用いられるスイッチングコンバータの出力電圧に重畳するリップルの影響を低減する役割を担う。しかし、LDO の消費電流と PSRR 帯域にはトレードオフがあり、低消費電流 LDO では前述の役割を果たせず、PSRR の低下によって Analog Digital Converter の性能が劣化する課題がある。提案する LDO は、出力電圧の交流成分のみに反応する低消費電流補助アンプを通常の制御系と並列に搭載する。特定の周波数のみ補助アンプが制御を担うことで特定周波数における PSRR 向上を実現する。チップ試作を行い、性能評価を行うことで、提案回路は小型軽量センサデバイス向けに有用であることを示す。

第4章では、ランダムアンダーサンプリング型圧縮センシング用の低フリッカノイズかつ低消費電力な低雑音アンプ（LNA）を検討する。LNAは生体信号センシングにおいて電極から得た電気信号を低い入力換算ノイズをもって増幅するICであり、センサデバイスにおいて非常に重要な役割を担う。LNAのノイズ性能は消費電力とトレードオフの関係がありつつ、LNAの総消費電力は電極の数に比例して増加するため課題である。提案するランダムアンダーサンプリング型圧縮センシングシステムでは、周波数ベースの基底を使用する場合、フリッカノイズのような周波数依存性が高いノイズは復元精度に大きな影響を与える。一方で、熱ノイズのような広帯域にわたる低いノイズは復元精度に与える影響が小さいことが知られている。LNAには抵抗を使用した計装アンプが用いられる場合もあるが、回路構成から消費電力を低減することが難しい。本研究では低消費電力かつ低フリッカノイズと相性の良い容量結合計装アンプ型アーキテクチャを使用し低消費電力に特化したLNAを実現する。チップ試作、性能評価に加えて、測定結果を使用したランダムアンダーサンプリング型圧縮センシングシステムのシミュレーションにより、試作したLNAのノイズが信号復元精度に与える影響を明らかにすることで試作した回路は小型軽量センサデバイス向けに有用であることを示す。

第5章では、本研究の成果について総括を行う。第1章で述べた技術課題と、第2章から第4章で述べた解決策および評価結果を整理し、センサデバイスに向けた低消費電力アナログ集積回路技術を実現できることを述べる。

目次

内容梗概	i
第 1 章 序論	1
1.1 研究の背景	1
1.1.1 センサデバイスが生活に溶け込む超スマート社会	1
1.1.2 センサデバイスへの活用技術	2
1.1.3 システムアーキテクチャと技術課題	8
1.2 研究の目的	9
1.3 本論文の構成	10
第 2 章 高速な負荷過渡応答が可能な低消費電流 LDO	17
2.1 はじめに	17
2.2 従来回路の動作原理と技術課題	18
2.3 提案する高速な負荷過渡応答が可能な低消費電流 LDO	21
2.3.1 回路構成	21
2.3.2 FVF フィルタ	23
2.3.3 低消費電流な負荷過渡検知回路 FBLC の回路動作	29
2.4 提案する LDO のシミュレーション評価	32
2.5 提案する LDO の測定評価	38
2.6 まとめ	39
第 3 章 特定周波数の PSRR を向上させた低消費電流 LDO	45
3.1 はじめに	45
3.2 従来回路の動作原理と技術課題	45
3.3 提案する特定周波数の PSRR を向上させた低消費電流 LDO	50
3.4 提案する LDO の測定評価	55
3.5 まとめ	59
第 4 章 ランダムアンダーサンプリング型圧縮センシング用の低フリッカノイズ かつ低消費電力な LNA	63
4.1 はじめに	63
4.2 圧縮センシングを用いない従来システムの技術課題	63
4.3 提案する圧縮センシングフレームワークと設計する LNA の役割	66
4.3.1 EEG 計測における圧縮センシングの概要	66
4.3.2 信号の圧縮と復元に使用する技術	67
4.3.3 先行研究での検証と本研究の目的	68
4.3.4 提案する EEG 計測システムと設計する LNA の役割	68
4.4 設計した LNA の回路構成	69

4.5	設計した LNA のシミュレーション評価	7 2
4.6	設計した LNA の測定評価	7 4
4.7	圧縮センシングフレームワークにおける設計した LNA の特性評価.....	7 8
4.8	まとめ.....	8 3
第 5 章	結論	8 9
付録 A	社会実装に向けた新規事業検討	9 1
謝辞	1 0 2
研究業績	1 0 3

第 1 章 序論

1.1 研究の背景

1.1.1 センサデバイスが生活に溶け込む超スマート社会

近年、テクノロジーの急速な発展に伴い、近未来の社会像は従来の想定から大きく変化している。内閣府によれば人間社会は、古代の狩猟社会に該当する **Society1.0** から始まり、農耕社会の **Society2.0**、産業革命後の工業社会 **Society3.0**、そして 2024 年の現在に相当するインターネットでつながった情報社会を **Society4.0** と定義している。今後これに続く新たな社会のことを **Society5.0** という概念として提示している[1]。 **Society5.0** のコンセプトは、超スマート社会を実現するために、先端技術を活用して経済発展と社会課題の解決を両立することを目指すことである。今後、 **Society5.0** を始めとして世界が目指していくと思われる未来社会のイメージを図 1.1 に示す。既に蓄積されたクラウドの情報を人が入手し分析を行う **Society4.0** に対し、 **Society5.0** では図 1.1 に示すようにセンサ等によってフィジカル空間から得た情報を人工知能 (AI) が解析し、これまでになかった新たなソリューションをフィジカル空間に提供する。内閣府は「研究開発と **Society5.0** との橋渡しプログラム (**BRIDGE**) 」[2]を推進しており、その中では「生体認証を用いたアクセス制御機能利用製品の耐偽造能力評価・検証技術に係る研究開発」や「脳情報を活かしたサイバー空間の感性評価技術の社会実装」のようにセンサデバイスを生体信号や画像認証と共に活用する新たな価値創造が推進されている[3, 4]。

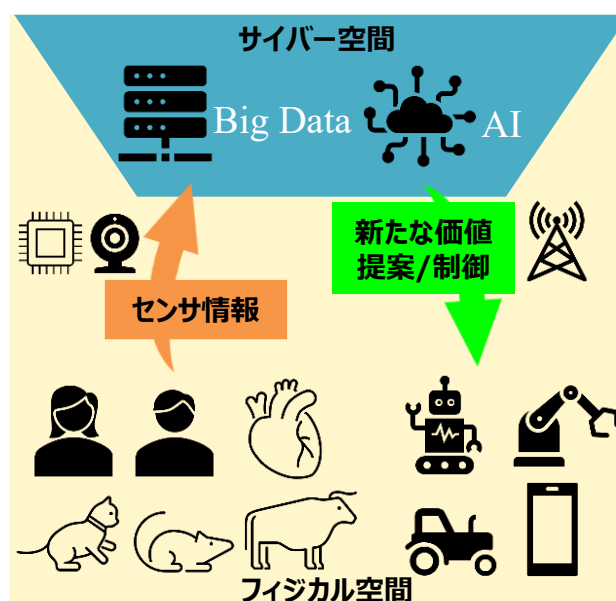


図 1.1: 未来社会のイメージ.

上記以外にもセンサデバイスを活用して Society5.0 の実現に相当する取り組みは多岐に渡り，下記にその一部を示す．

- 地震や大雨などの災害発生時に関連情報の伝達や収集を行う[5]
- 高齢者の見守りや都市街区の犯罪や事故の低減を実現する [5]
- AI, ビックデータ, ドローン等のメカトロニクス技術を活用するスマート農業の実現[6]
- 人間の健康状態をモニタリングし早期診断や予防医療を実現する[7]
- 交通流を監視し，渋滞の緩和等の交通効率向上を実現する[8]

上記のような取り組みの上で，諸外国の中でも先進国では人口における高齢化が進むことからセンサデバイスによる課題解決策が考察されている[9]．[9]を参考にして図 1.2 に高齢化社会に対するセンサデバイスの活用イメージを示す．センサデバイスを介して生体情報を活動中のみならず睡眠時もセンシングし，ビックデータを元にした遠隔診断や行動傾向から健康管理に対する推奨行動提示等を使用者に示すことが可能になる．

1.1.2 センサデバイスへの活用技術

図 1.2 の役割を果たすセンサデバイスを実現するにあたり，人間が装着することを鑑みるとバッテリーの体積と長時間動作のトレードオフが課題となる．図 1.3 にウェアラブルデバイスの代表例であるイヤホンデバイスの筐体と使用されるバッテリーの体積を示す．ここから分かるようにバッテリーが筐体体積の過半数を占めている．図 1.3 の製品に限らず，先行研究においてもセンサデバイスの筐体体積に対しバッテリーの体積の割合が高い例が確認されている[10, 11]．センサデバイスに複数のセンサや生体信号取得のために複数の電極を搭載しようとするシステム消費電力の増加を伴うため，動作時間の延長とバッテリーのサイズ低減の実現が非常に重要である．以降では図 1.2 のセンサデバイスを実現するにあたって，トレードオフである長時間動作と小型軽量化を両立させるために活用すべき技術について述べる．

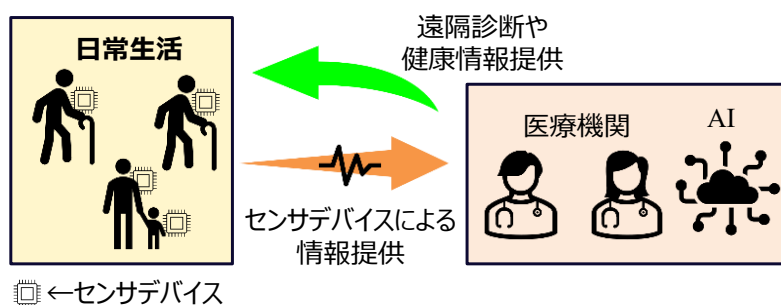


図 1.2: 高齢化社会に対するセンサデバイスの活用イメージ．

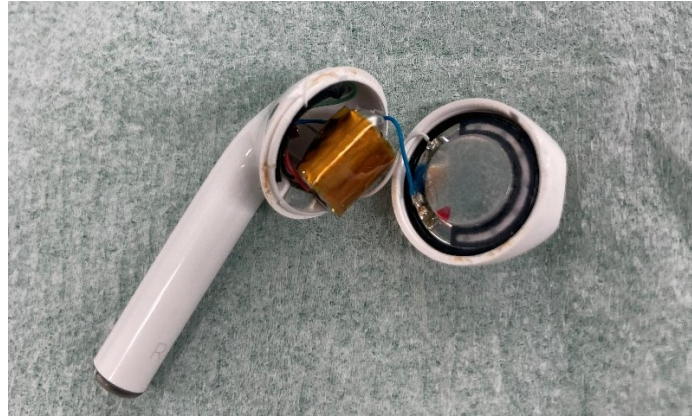


図 1.3: イヤホンデバイスの筐体と使用されるバッテリーの体積.

1 つ目の活用すべき技術は, Metal-Oxide-Semiconductor Field-Effect Transistor (MOSFET) を用いて製造される集積回路 (IC) の一種である, 定電圧を出力する Power Management IC (PMIC) と生体信号を増幅する低雑音アンプ (LNA) の消費電力削減技術である. センサデバイスにおいて通信時以外では PMIC と LNA の消費電力の影響が大きく, それら IC の消費電力を低減することでセンサデバイスの長時間動作とバッテリー小型化に貢献できる. 以下では PMIC と LNA の低消費電力要求, 回路特徴と役割について述べる.

まず, PMIC について述べる. 先行研究ではセンサデバイスの一種である脳波計においてスタンバイ状態における PMIC の消費電力は全体の約 77%を占めている[11]. これより, 長時間動作のためには低消費電力な PMIC が求められることが分かる. 図 1.4 にセンサデバイスにおける電源供給手段と PMIC の役割を示す. 電源リソースは市販のワイヤレスイヤホン等に使用されている二次電池のリチウムイオンバッテリーを想定する. PMIC の入力となるリチウムイオンバッテリーの出力電圧は比較的高い (例: 3.7 V[12]) が PMIC の後段に接続される Analog Digital Converter (ADC) や Radio Frequency System On Chip (RFSoc) 等のデータ処理・通信機能等を持つ IC をバッテリーの出力電圧に対して低電圧 (例: 1.8 V or 1.2 V) で動作させる必要がある. 図 1.4 から分かるように, PMIC に代表される電源回路の電源電圧は放電を伴うバッテリーのように経時で変動するため, 消費電力でなく自己消費電流によって低消費性能を定義する. 図 1.4 の場合, PMIC としては電源電圧を低電圧に変換する降圧回路方式が採用される. PMIC とは多数のチャンネルを搭載する多機能なシステム電源 IC に用いられる呼称である. より詳細な回路特徴を説明するために, 以降では PMIC に搭載される電源回路の種類について述べる. 降圧回路方式の PMIC を使用した一般的な電源回路構成を図 1.5 に示す. スイッチングコンバータは電力変換効率では優れているが, MOSFET が ON と OFF を繰り返すトポロジであるため出力電圧にはリップルが発生し後段の回路特性に影響を及ぼす. オフチップ部品の定数変更により大きなインダクタやキャパシタを使用するか, スイッチング周波数を高周波にすることでリップルの抑制は可能であるが部品サイズや効率とのトレードオフが存在する.

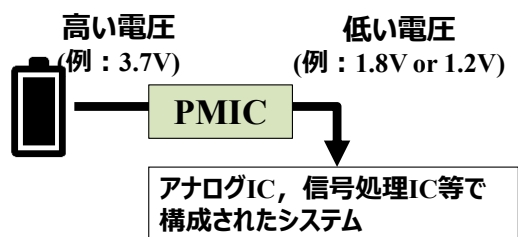


図 1.4: センサデバイスにおける電源供給手段と PMIC の役割.

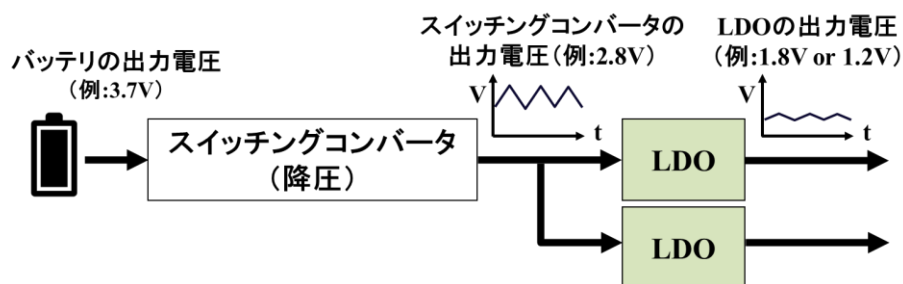


図 1.5: 降圧回路方式の PMIC を使用した電源回路構成.

そこで後段回路に対する複数の電圧生成とスイッチングコンバータの出力電圧リップル低減を目的に、スイッチングコンバータの後段に Low Drop Out (LDO) を接続する構成が採用される[13]. 電源に重畳されるノイズは ADC 等のミックスドシグナル回路において特性劣化を引き起こす[14]. 表 1.1 にスイッチングコンバータと LDO の特徴比較を示す. スイッチングコンバータは高効率な電力変換が可能であるが、出力電圧にノイズが発生する. 一方 LDO は、入出力電位差が大きくなる程に電力変換効率が悪化するが、低ノイズの出力電圧を生成可能である. 上記より、図 1.5 の回路構成ではスイッチングコンバータで高効率に降圧した電圧を LDO に入力することで LDO の電力変換効率悪化を抑制しつつ、LDO の低ノイズな電圧を電源回路から出力することが可能である. 前述した構成は、高い電力変換効率と低出力ノイズを実現できることから、幅広いアプリケーションに適していると言える.

次に、LNA について述べる. センサデバイスに搭載される無線通信手段として Bluetooth Low Energy (BLE) を想定すると消費電流は通信時に一時的に増加し[15], システムの消費電力において RFIC が支配的になる[16, 17]. 通信時を除けば消費電力の大半はセンシングに寄与する回路で決定する. 特にセンシング状態で常時動作している LNA の消費電力はシステムの総消費電力に大きな影響を与える回路の一つである. 先行研究において、LNA の消費電力は Analog Front End (AFE) を含むシステム全体の消費電力に占める割合が大きい [18 - 20].

表 1.1: スイッチングコンバータと LDO の特徴比較.

特徴	スイッチングコンバータ	LDO
電力変換効率	Good	Bad
出力電圧ノイズ	Bad	Good
使用するオフチップ 部品の種類	Capacitor & Inductor	Capacitor only

LNA の消費電力を低減することがバッテリーの小型化につながることから低消費電力の AFE IC や RF 回路を搭載した AFE IC が開発されているが、それら IC においても依然として LNA の消費電力が全体に占める割合が高い [21, 22]. センサデバイスに搭載する LNA のチャンネル数は電極の数によって決定するが、研究によってその数は様々である. 一例として脳波計では 10 ~ 20 の電極を搭載する場合もある[23]. LNA が 20 チャンネルと多い場合でもその総消費電力を前述した AFE IC 以下とすることを目的に、LNA 1 チャンネルの消費電力を $0.5 \mu\text{W}$ 以下とする必要がある[22]. 上記に加え、LNA から発生するノイズに関しても考慮する必要がある. 図 1.6 に生体信号と LNA の入力換算ノイズ (IRN) の周波数分布イメージを示す. 一般的にシリコン半導体においては約 100Hz を境目としてフリッカノイズと熱ノイズが存在する. LNA の入力換算ノイズにもフリッカノイズと熱ノイズの特性が現れ、フリッカノイズは低周波になる程ノイズパワーが上昇する一方で、熱ノイズは周波数に対する相関がなく一定に近くなる[24]. センサデバイスにおいて、LNA は電極を介し数十 μV 以上の微小な生体信号を増幅し ADC に入力することで情報をデジタル情報に変換する役割を担う. 図 1.6 に示すように筋電位 (EMG), 眼電位 (EOG), 脳波 (EEG), 心電図 (ECG) のような生体信号は種類を問わず非常に微弱であり、LNA のフリッカノイズと周波数帯域が重複している[25]. そのため LNA の IRN が大きいと、信号増幅の過程で Signal to Noise Ratio (SN 比) が劣化し生体信号の測定が困難になる. 更に、後述するランダムアンダーサンプリング型圧縮センシングにおいて、周波数領域ベースの基底を用いる場合[26]は広帯域に一定のパワーを持つ熱ノイズよりも周波数に相関のあるフリッカノイズが再構成精度に影響を与えるため[27], 想定するシステムには低フリッカノイズかつ低消費電力の LNA が適している.

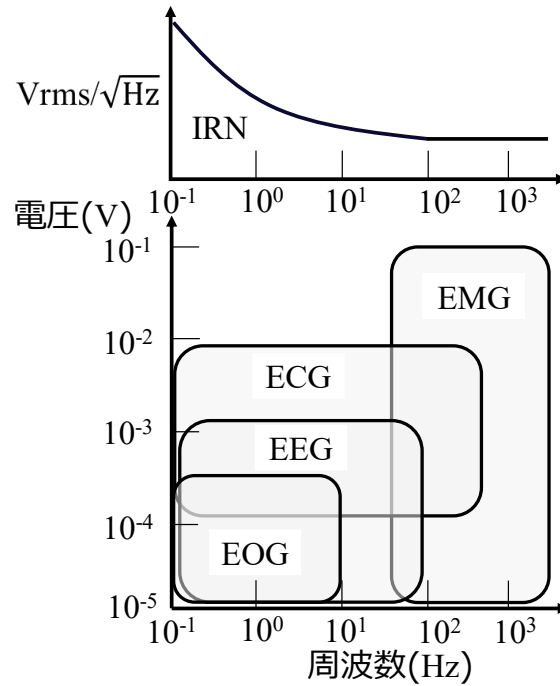


図 1.6: 生体信号と LNA の IRN の周波数分布イメージ.

2 つ目の活用すべき技術は圧縮センシングである[28]. 圧縮センシングでは測定対象情報のほとんどがゼロであり特定の要素のみであるベクトル, すなわち「スパース」であることを利用する. 測定対象の情報をスパースであると仮定し, 少ないサンプリングを元に測定対象の情報を復元する. この特徴から圧縮センシングの応用例として測定対象情報がスパースかつ測定情報のデータ量を少なくしたいアプリケーションとの相性が良く, 画像処理の分野で多くの活用事例が報告されている. 例えば医用画像である **Magnetic Resonance Imaging (MRI)** 撮像の解像度向上への活用についてはデータ収集の繰り返し回数を減少させ, 撮像時間の削減および患者の負荷を軽減する[29]. また, 天文学における解像度向上への活用においては, 測定データ量の削減が望遠鏡の設置コスト削減に貢献している[30]. 図 1.2 で扱うセンサデバイスにおいて, 測定対象となる生体信号は図 1.6 から特定の帯域のみに分布することが知られており, 分布帯域以外の成分はほぼ存在しない. この特性は周波数領域で表現するとスパースであり圧縮センシングの適用が可能である. センサデバイスにおいては, 圧縮センシングの活用により無線通信の低消費電力化が可能である.

図 1.7 に圧縮センシングの活用による無線通信の低消費電力化のイメージを示す. 本研究では圧縮センシングにより無線通信時に図 1.7 のようなデータ圧縮を実現する. 例えば脳波計の先行研究においては無線通信を伴う動作中のセンサデバイスの消費電力内訳において, 無線通信の際に発生する消費電力割合が過半分であることが明らかになっており[11], 動作時間に大きな影響を及ぼすことが知られている.

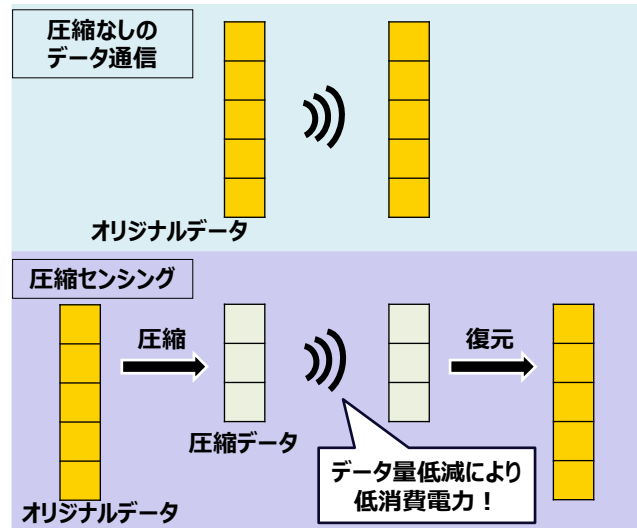


図 1.7: 圧縮センシングの活用による無線通信の低消費電力化のイメージ.

圧縮センシングを活用することで通信に使用するデータ量を圧縮し、一度の通信におけるデータ量の低減, または通信頻度の低減により無線通信の低消費電力化が可能である. 以上の理由より圧縮センシングはセンサデバイスのシステムを低消費電力化し, バッテリとデバイス筐体の小型化を実現するにあたり有効な手段である.

図 1.8 に本研究で提案するランダムアンダーサンプリング型圧縮センシングフレームワークの概要を示す. 圧縮センシング手法について詳細な原理は第 4 章で示すが, ランダムアンダーサンプリング系列を元に生体信号のサンプリングをタイミングコントローラで制御することによりデータ圧縮を行う[31, 32]. 送信されたデータは受信側で復元アルゴリズムによって復元される. 先行研究では EEG に対して圧縮センシングの復元精度の改善[33]や圧縮センシングによるシステムの低消費電力化によって Thermoelectric Generator (TEG) による微弱電力を電源リソースとした脳波計システムの実証実験が報告されており生体信号を扱うセンサデバイスに対する圧縮センシングの適用がより現実的なものになっている[34].

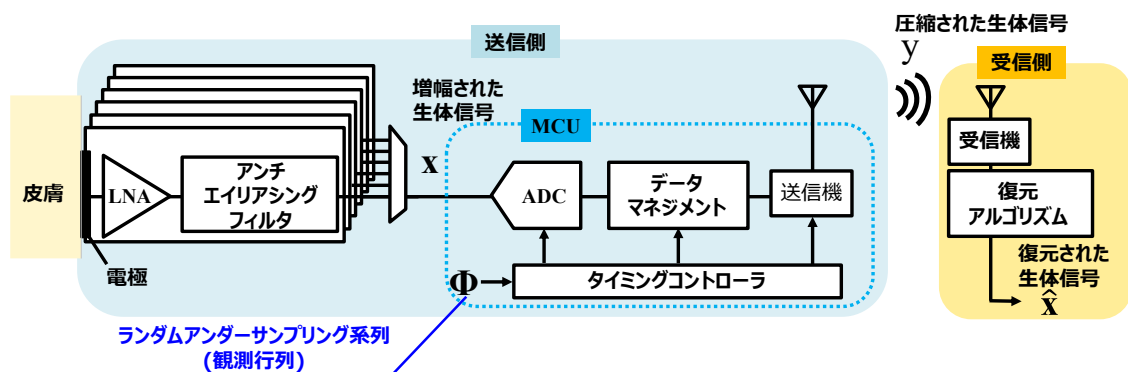


図 1.8: 本研究で提案する圧縮センシングフレームワークの概要.

1.1.3 システムアーキテクチャと技術課題

図 1.9 に前節で述べた各技術を活用して提案するセンサデバイスのシステムアーキテクチャを示す. PMIC を用いてバッテリーの出力電圧を降圧し, 後段回路の電源電圧を生成する. 電源回路の構成は, 前節で述べたスイッチングコンバータと LDO の組み合わせを使用する. 電極から得られた生体信号は LNA によって増幅され, ランダムアンダーサンプリング系列を元にサンプリングタイミングを制御された ADC を使用することで生体信号の圧縮とデジタル信号への変換を行う. デジタル信号は無線通信によって受信側に送信され, 復元アルゴリズムによって生体信号が復元される. 図 1.9 のアーキテクチャを実現するために, 解決すべき技術課題が 3 点ある. 表 1.2 に, 前節で述べた活用技術と各技術課題の対応を示す.

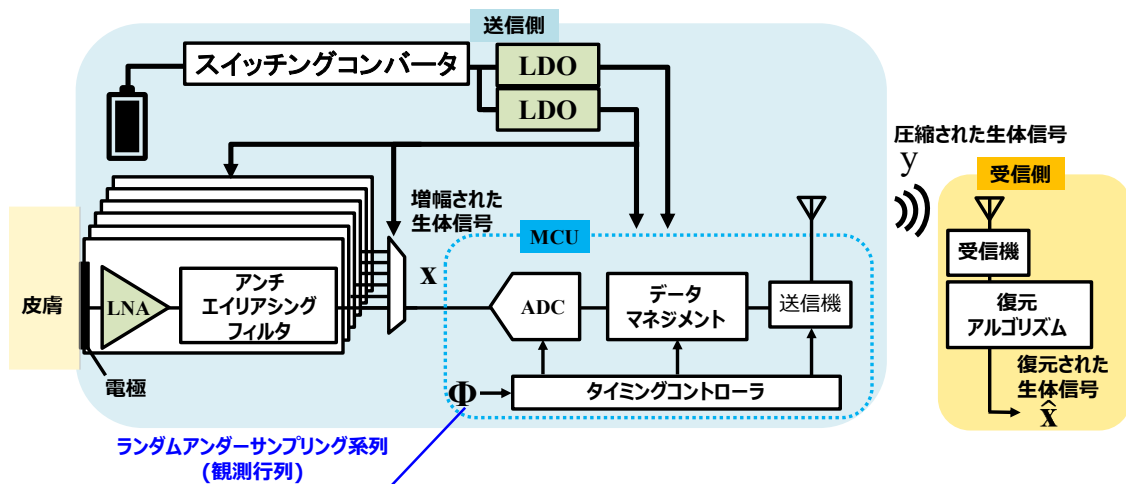


図 1.9: 提案するセンサデバイスのシステムアーキテクチャ.

表 1.2: 活用技術と各技術課題.

目的	活用技術	技術課題
センサデバイスの 長時動作	<ul style="list-style-type: none"> ・ LDO ・ 低消費電流かつ高速な 負荷過渡検知回路 	LDO の低消費電流化と 負荷過渡応答性の両立
	<ul style="list-style-type: none"> ・ LDO ・ 低消費電流かつ特定周波数の PSRR を向上させる補助アンプ 	LDO の低消費電流化と PSRR 特性の両立
使用電極数増加および センサデバイスの 長時動作	<ul style="list-style-type: none"> ・ CCIA アーキテクチャ ・ ランダムアンダーサンプリング 型圧縮センシング 	LNA の低消費電力化と フリッカノイズ低減

第一の課題は、LDO の低消費電流化と負荷過渡応答性能の両立である。LDO の回路内電流が減少するため、MOSFET のゲートに対する駆動能力低下が発生することで、電圧の遷移が遅くなり、負荷過渡に対する応答性能が劣化する。負荷過渡応答性能の劣化によって LDO の出力電圧が後段回路の要求電圧範囲を逸脱した場合、図 1.9 のデータマネージメント回路が誤動作することでシステムが異常状態に陥る課題がある。そこで低消費電流ながら負荷過渡応答を改善した LDO を考案する必要がある[35, 36].

第二の課題は、LDO の低消費電流化と Power Supply Rejection Ratio (PSRR) 特性の両立である。PSRR とは電源電圧変動除去比のことを指し、LDO の電源電圧の変動と出力電圧の変動比率を比較した際に、出力電圧の変動をどの程度抑制できるかを示す指標である。第一の技術課題でも述べたように、LDO の回路内電流が減少すると過渡的な応答特性の劣化を引き起こすが、同様の原理で PSRR の帯域に対しても影響を及ぼす。1.1.2 項で述べたように LDO の前段にはスイッチングコンバータが接続され、LDO の電源にはリップルが重畳する。一般的に、低消費電流の LDO は PSRR が低下する帯域が低く、抑制可能な電源ノイズの周波数が低下するため、スイッチングコンバータからのリップル電圧を十分抑制できず、LDO の出力電圧に電圧ノイズが発生する。例えば ADC は電源ノイズによって性能が劣化することが知られており、センサデバイスがセンシング状態の際に生体信号の SN 比が劣化する課題がある[14]。そこで低消費電流ながらスイッチングコンバータのスイッチング周波数における PSRR を改善した LDO を考案する必要がある。

第三の課題は、低フリッカノイズかつ低消費電力な LNA の実現である。前節で述べたように生体信号を取得するための電極数が増加した場合、LNA1 チャンネルあたりの消費電力を低減させないと、センサデバイスがセンシング状態の際、システムに占める LNA の消費電力比率が高くなる課題がある。また、無線通信時の消費電力低減のためにランダムアンダーサンプリング型圧縮センシングシステムの採用を想定しているが、前記システムにおいてフリッカノイズは生体信号の復元精度劣化に繋がる課題がある。そのため、低フリッカノイズかつ低消費電力に特化した LNA を実現する必要がある。

1.2 研究の目的

本研究の目的は、センサデバイスの小型軽量化に向けた低消費電力アナログ集積回路技術を構築することにある。低消費電流 LDO について、負荷過渡応答性能の向上を実現することで、センサデバイスの長時間動作に貢献しつつ LDO の出力電圧変動起因のシステム異常を回避する。低消費電流 LDO でスイッチングコンバータのスイッチング周波数における PSRR 向上を実現することで、センサデバイスの長時間動作に貢献しつつ LDO から電源電圧を供給される IC の性能劣化、例えば ADC の性能劣化を抑制し生体信号の測定精度向上を可能にする。LNA について、フリッカノイズ低減および低消費電力化の実現により、ランダムアンダーサンプリング型圧縮センシングを活用し無線通信頻度を低下させ

る．LNA の低消費電力化と無線通信頻度の低下によってシステムの総消費電力を低減し，センサデバイスの長時間動作の実現に貢献する．以上の技術を構築することでセンサデバイスの長時間動作およびバッテリー小型化による軽量化を実現する．

1.3 本論文の構成

図 1.10 に本論文の構成を示す．本論文は以下の章から構成される．

第 2 章：高速な負荷過渡応答が可能な低消費電流 LDO

本章では，低消費電流 LDO の負荷過渡応答性能向上を検討した．一般的な LDO の回路構成では消費電流を低下させると小信号解析の観点では負帰還制御の過程で発生する極が低周波になり，大信号解析の観点では MOSFET のゲートキャパシタを駆動する電流が小さくなることで，負荷変動時の電圧遷移が遅くなる．これにより LDO の負荷変動が発生した際，動作点の収束までに LDO の出力電圧にアンダーシュートないしオーバーシュートが発生するため MCU 等の演算回路の性能劣化や動作異常を発生させ，システム異常に繋がる課題があった[35, 36]．提案する LDO は Flipped Voltage Follower (FVF) を応用した低消費電流かつ高速な負荷過渡検知回路を用いることによって低消費電流ながらも優れた負荷過渡応答性能を実現した．

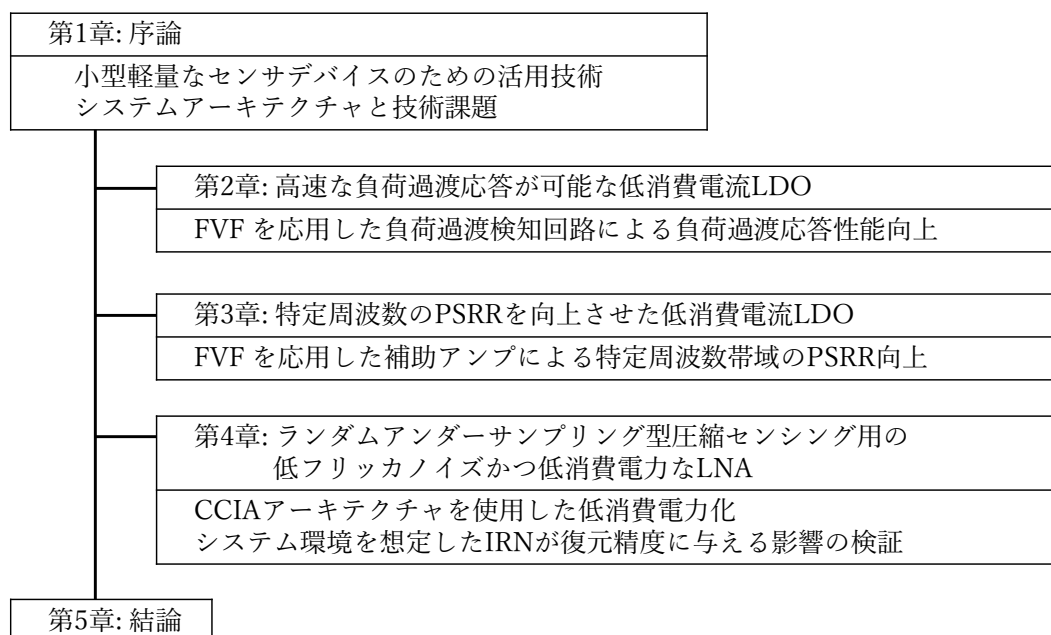


図 1.10: 本論文の構成．

提案回路のチップ試作を行い、性能評価を行った。提案回路は電源電圧が 2.2V、出力電圧が 1.2V、負荷キャパシタ 1 μ F において Slew Rate (SR) が 1 μ s の 1 μ A から 10mA の負荷急増に対しアンダーシュート電圧は測定値で 100mV であった。一般的な回路構成の LDO とシミュレーションによる比較を行い、提案回路は約 89%のアンダーシュート電圧改善を実現した。

第 3 章：特定周波数の PSRR を向上させた低消費電流 LDO

本章では、低消費電流 LDO の PSRR 性能向上を検討した。第 2 章に関する説明でも述べたように一般的な LDO の回路構成では消費電流を低下させると小信号解析の観点から負帰還制御で発生する極が低周波になる。これによって PSRR のカットオフ周波数が低周波になるため PSRR が低周波から低下する。図 1.5 で示したように LDO は PSRR によってスイッチングコンバータの出力電圧に重畳するリップルの影響を低減する役割を担う。しかし、PSRR が低周波から低下すると前記の役割を果たせず、 $\Delta \Sigma$ ADC においてはダイナミックレンジを低下させ測定時 SN 比が劣化する課題があった[21]。提案する LDO は FVF を応用した低消費電流かつ特定周波数の信号のみを増幅する補助アンプを用いることによってスイッチングコンバータの出力電圧リップルを想定した周波数帯域の PSRR 改善を実現した。提案回路のチップ試作を行い、性能評価を行った。提案回路は電源電圧が 2.0V、出力電圧が 0.938V、0.1 μ F および 10nF のオフチップキャパシタを用い、負荷電流 1mA の条件下で 15kHz における PSRR は 27.5dB であり一般的な回路構成の LDO と比較して電圧比率にして約 8 倍の性能を実現した。

第 4 章：ランダムアンダーサンプリング型圧縮センシング用の

低フリッカノイズかつ低消費電力な LNA

本章では、低フリッカノイズかつ低消費電力で LNA を設計し、設計した回路の IRN がランダムアンダーサンプリング型圧縮センシングシステムにおける信号の復元精度に与える影響を検討した。LNA のフリッカノイズ低減は圧縮センシングシステムへの採用を可能にするが、ノイズの低減とトレードオフの関係にある低消費電力化が課題であった。これに対し低フリッカノイズかつ低消費電力化と親和性の高い **Capacitively-coupled Chopper Instrumentation Amplifier (CCIA)** アーキテクチャを元にして LNA を設計した。設計した回路のチップ試作を行い、性能評価を行った。試作した LNA は過去の類似用途向けに設計された LNA と比較して最も低消費電力であった。測定した IRN をシミュレーションに利用することで設計した LNA の IRN がランダムアンダーサンプリング型圧縮センシングシステムの信号復元精度に与える影響を検証した。測定した IRN を用いたシミュレーション結果と

MOSFET 起因のノイズがない理想状態のシミュレーション結果を比較した．比較評価には正規化平均二乗誤差を用い，生体信号の 1 つである EEG100 フレームに対して評価を行った場合，圧縮比 4 倍の条件下において非圧縮との差分は 0.008 であった．この結果は IRN を加味した場合でも圧縮有無で復元精度の劣化が抑制されていることを意味する．よって設計した LNA をランダムアンダーサンプリング型圧縮センシングシステムに使用した場合でも信号の圧縮と復元が可能であり，センサデバイスの通信時消費電力低減をのみでなく LNA の消費電力低減が可能であることを示した．

第 5 章：結論

本章では，本研究の成果について総括を行った．

本研究で得られた研究成果を社会実装に繋げるためには，その応用先や事業展開構想をあらかじめ十分に検討しておく必要がある．新規事業展開について検討した内容を付録にてまとめる．

参考文献

- [1] 内閣府, “第 5 期科学技術基本計画,” Accessed: May 20, 2024. [Online]. Available: <https://www8.cao.go.jp/cstp/kihonkeikaku/5honbun.pdf>.
- [2] 内閣府, “研究開発と Society5.0 との橋渡しプログラム (BRIDGE) ,” Accessed: May 20, 2024. [Online]. Available: <https://www8.cao.go.jp/cstp/bridge/index.html>.
- [3] 総務省, “生体認証を用いたアクセス制御機能利用製品の耐偽造能力評価・検証技術に係る研究開発,” Accessed: May 20, 2024. [Online]. Available: https://www8.cao.go.jp/cstp/bridge/keikaku/r5-34_bridge_r5.pdf.
- [4] 総務省, “脳情報を活かしたサイバー空間の 感性評価技術の社会実装,” Accessed: May 20, 2024. [Online]. Available: https://www8.cao.go.jp/cstp/bridge/keikaku/02_bridge.pdf.
- [5] 日本学術会議, “Society 5.0 社会を支えるゼロエネルギーIoT ネットワーク研究拠点盤,” Accessed: May 20, 2024. [Online]. Available: <https://www.scj.go.jp/ja/info/kohyo/pdf/kohyo-24-t286-3-2-103.pdf>.
- [6] O. Friha, M. A. Ferrag, L. Shu, L. Maglaras and X. Wang, "Internet of Things for the Future of Smart Agriculture: A Comprehensive Survey of Emerging Technologies," in *IEEE/CAA Journal of Automatica Sinica*, vol. 8, no. 4, pp. 718-752, Apr. 2021.
- [7] P. Jayant, E. Vincent, Mohana, M. Moharir and A. K. A R, "Smart Health Monitoring and Anomaly Detection Using Internet of Things (IoT) and Artificial Intelligence (AI)," *2024 Second International Conference on Intelligent Cyber Physical Systems and Internet of Things (ICoICI)*, Aug. 2024, pp. 479-485.
- [8] R. K. Kaushal, B. A. Kumar, K. A. Chauhan, M. Munagala, P. P. Singh and B. Hazela, "Development Of an Intelligent Traffic Navigation System by Wireless Sensor Network System," *2023 International Conference on New Frontiers in Communication, Automation, Management and Security (ICCAMS)*, Oct. 2023, pp. 1-4.
- [9] Cook D, editor. Sensors in Support of Aging-in-Place: The Good, the Bad, and the Opportunities. In: National Academies of Sciences, Engineering, and Medicine; Division of Behavioral and Social Sciences and Education; Board on Behavioral, Cognitive, and Sensory Sciences. Mobile Technology for Adaptive Aging: Proceedings of a Workshop. Washington (DC): National Academies Press (US); 2020 Sep 25. 6. Available from: <https://www.ncbi.nlm.nih.gov/books/NBK563117/>

- [10] N. -D. Mai, H. -T. Nguyen and W. -Y. Chung, "Real-Time On-Chip Machine-Learning-Based Wearable Behind-The-Ear Electroencephalogram Device for Emotion Recognition," in *IEEE Access*, vol. 11, pp. 47258-47271, May 2023.
- [11] J. Lee, K. -R. Lee, U. Ha, J. -H. Kim, K. Lee and H. -J. Yoo, "A 0.8V 82.9 μ W In-Ear BCI Controller System with 8.8 PEF EEG Instrumentational Amplifier and Wireless BAN Transceiver," *2018 IEEE Symposium on VLSI Circuits*, Jun. 2018, pp. 123-124.
- [12] VARTA AG, CP 1254 A3 coin power battery, Accessed: May 20, 2024. [Online]. Available: https://www.weisbauer.de/fileadmin/news/varta/180301/cp1254a3_ds.pdf.
- [13] M. El-Nozahi, A. Amer, J. Torres, K. Entesari and E. Sanchez-Sinencio, "High PSR Low Drop-Out Regulator With Feed-Forward Ripple Cancellation Technique," in *IEEE Journal of Solid-State Circuits*, vol. 45, no. 3, pp. 565-577, Mar. 2010.
- [14] Bryan L, "Fundamentals of Precision ADC Noise Analysis," Texas Instruments.
- [15] A. H. Sodhro, S. Pirbhulal, G. H. Sodhro, A. Gurtov, M. Muzammal and Z. Luo, "A Joint Transmission Power Control and Duty-Cycle Approach for Smart Healthcare System," in *IEEE Sensors Journal*, vol. 19, no. 19, pp. 8479-8486, Oct. 2019.
- [16] Y. Zhang *et al.*, "A Batteryless 19 μ W MICS/ISM-Band Energy Harvesting Body Sensor Node SoC for ExG Applications," in *IEEE Journal of Solid-State Circuits*, vol. 48, no. 1, pp. 199-213, Jan. 2013.
- [17] K. -Y. Yeh, Y. -J. Huang, T. -C. Chen, L. -G. Chen and S. -S. Lu, "A 473 μ W wireless 16-channel neural recording SoC with RF energy harvester," *2018 International Symposium on VLSI Design, Automation and Test (VLSI-DAT)*, Apr. 2018, pp. 1-4.
- [18] N. Verma, A. Shoeb, J. Bohorquez, J. Dawson, J. Guttag and A. P. Chandrakasan, "A Micro-Power EEG Acquisition SoC With Integrated Feature Extraction Processor for a Chronic Seizure Detection System," in *IEEE Journal of Solid-State Circuits*, vol. 45, no. 4, pp. 804-816, Apr. 2010.
- [19] H. Bhamra, J. Lynch, M. Ward and P. Irazoqui, "A Noise-Power-Area Optimized Biosensing Front End for Wireless Body Sensor Nodes and Medical Implantable Devices," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 25, no. 10, pp. 2917-2928, Oct. 2017.

- [20] M. Tohidi, J. Kargaard Madsen and F. Moradi, "Low-Power High-Input-Impedance EEG Signal Acquisition SoC With Fully Integrated IA and Signal-Specific ADC for Wearable Applications," in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 13, no. 6, pp. 1437-1450, Dec. 2019.
- [21] C. J. Deepu, X. Zhang, W. -S. Liew, D. L. T. Wong and Y. Lian, "An ECG-on-Chip With 535 nW/Channel Integrated Lossless Data Compressor for Wireless Sensors," in *IEEE Journal of Solid-State Circuits*, vol. 49, no. 11, pp. 2435-2448, Nov. 2014.
- [22] D. Yeager, F. Zhang, A. Zarrasvand and B. P. Otis, "A 9.2 μ A gen 2 compatible UHF RFID sensing tag with -12dBm Sensitivity and 1.25 μ Vrms input-referred noise floor," *2010 IEEE International Solid-State Circuits Conference - (ISSCC)*, Feb. 2010, pp. 52-53.
- [23] P. T. Dao, A. Griffin and X. J. Li, "Compressed Sensing of EEG with Gabor Dictionary: Effect of Time and Frequency Resolution," *2018 40th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)*, Jul. 2018, pp. 3108-3111.
- [24] Baker, R.J., CMOS: Circuit Design, Layout, and Simulation," 2nd Ed., Wiley Inter science, 2005, pp. 247.
- [25] X. Zou, X. Xu, L. Yao and Y. Lian, "A 1-V 450-nW Fully Integrated Programmable Biomedical Sensor Interface Chip," in *IEEE Journal of Solid-State Circuits*, vol. 44, no. 4, pp. 1067-1077, Apr. 2009.
- [26] Z. Zhang, T. -P. Jung, S. Makeig and B. D. Rao, "Compressed Sensing of EEG for Wireless Telemonitoring With Low Energy Consumption and Inexpensive Hardware," in *IEEE Transactions on Biomedical Engineering*, vol. 60, no. 1, pp. 221-224, Jan. 2013.
- [27] D. Gangopadhyay, E. G. Allstot, A. M. R. Dixon, K. Natarajan, S. Gupta and D. J. Allstot, "Compressed Sensing Analog Front-End for Bio-Sensor Applications," in *IEEE Journal of Solid-State Circuits*, vol. 49, no. 2, pp. 426-438, Feb. 2014.
- [28] D. L. Donoho, "Compressed sensing," in *IEEE Transactions on Information Theory*, vol. 52, no. 4, pp. 1289-1306, Apr. 2006.
- [29] T. M. Quan, T. Nguyen-Duc and W. -K. Jeong, "Compressed Sensing MRI Reconstruction Using a Generative Adversarial Network With a Cyclic Loss," in *IEEE Transactions on Medical Imaging*, vol. 37, no. 6, pp. 1488-1497, Jun. 2018.
- [30] J. Bobin, J. -L. Starck and R. Ottensamer, "Compressed Sensing in Astronomy," in *IEEE Journal of Selected Topics in Signal Processing*, vol. 2, no. 5, pp. 718-726, Oct. 2008.

- [31] J. Laska *et al.*, "Random Sampling for Analog-to-Information Conversion of Wideband Signals," *2006 IEEE Dallas/CAS Workshop on Design, Applications, Integration and Software*, Oct. 2006, pp. 119-122.
- [32] M. Trakimas, T. Hancock and S. Sonkusale, "A Compressed sensing analog-to-information converter with edge-triggered SAR ADC Core," *2012 IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2012, pp. 3162-3165.
- [33] D. Kanemoto, S. Katsumata, M. Aihara, and M. Ohki, "Compressed sensing framework applying independent component analysis after undersampling for reconstructing electroencephalogram signals," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E103-A, no. 12, pp. 1647-1654, Dec. 2020.
- [34] T. Miyata, D. Kanemoto and T. Hirose, "Random Undersampling Wireless EEG Measurement Device using a Small TEG," *2023 IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2023, pp. 1-5.
- [35] Y. Miura and T. Yamamoto, "Simulation-based analysis of FF behavior in presence of power supply noise," *2017 IEEE 23rd International Symposium on On-Line Testing and Robust System Design (IOLTS)*, Jul. 2017, pp. 151-156.
- [36] K. A. Bowman, C. Tokunaga, T. Karnik, V. K. De and J. W. Tschanz, "A 22 nm All-Digital Dynamically Adaptive Clock Distribution for Supply Voltage Droop Tolerance," in *IEEE Journal of Solid-State Circuits*, vol. 48, no. 4, pp. 907-916, Apr. 2013.

2.2 従来回路の動作原理と技術課題

図 2.2 に LDO の基本回路構成を示す．基準電圧源 V_{ref} ，誤差増幅器，帰還抵抗，そしてパストランジスタ M_{pass} で構成する． C_{out} は安定化用のオフチップキャパシタであり，ディスクリートの LDO では位相補償の役割も兼ねて使用される．誤差増幅器は LDO の出力電圧 V_{out} を帰還抵抗で分圧し， V_{ref} と一致するように負帰還制御を行う．帰還抵抗に対してヒューズトリミングや One Time Programmable メモリを使用することで LDO の出力電圧を変更することが可能であり，任意の出力電圧を生成する[5, 6]．

図 2.3 に先行研究において過渡応答向上を目的として取られたアプローチを示す．図 2.3 (a) のようにハイパスフィルタ (HPF) を介した検知回路によって，負荷過渡時に LDO の出力電圧に発生する AC 信号成分のみを増幅し，誤差増幅器の電流源を増加させる等の方法で制御に反映する回路構成が報告されている[7-12]．しかし，検知回路の応答性能を向上させるために高速な電圧増幅回路または電流変換回路を必要とするため，消費電流の増加を伴う．また，HPF のカットオフ周波数を高周波にするためには抵抗値または容量値を大きくする必要があるためチップ面積の増加に繋がる．図 2.3 (b) のように LDO の誤差増幅器の出力に独自のバッファ回路を追加する構成や誤差増幅器の回路構成を変更することで負帰還制御のカットオフ周波数を高くすることで応答性を向上させる回路構成が報告されている[13-16]．しかし，これらも応答帯域の拡張を担保するためには消費電流の増加が必要であり，低消費電流 LDO の実現には適さない．図 2.3 (c) のようにパストランジスタのゲートに直接負帰還をかける回路を加えることで LDO の出力ノードのインピーダンスを低下させることで負帰還制御の帯域を拡張する構成も知られている[17-19]．しかし，これらは入力電圧が変化した際に動作点の回路設計を見直す必要があるため汎用性が低下する．

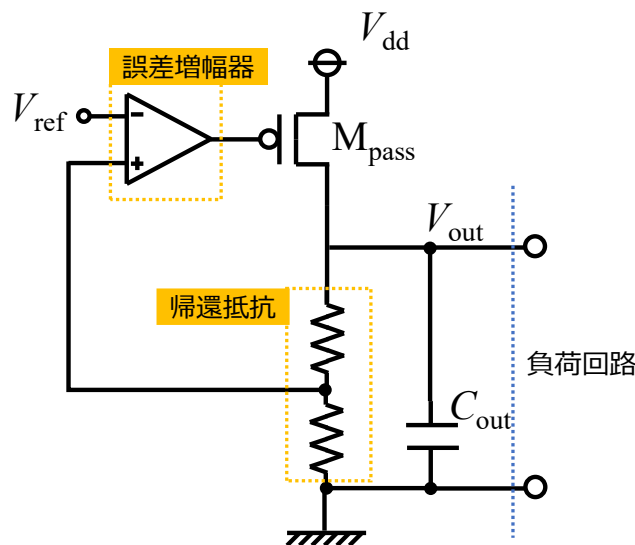
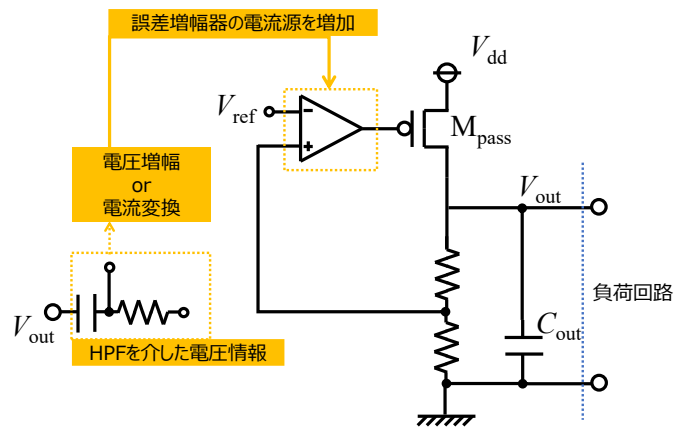
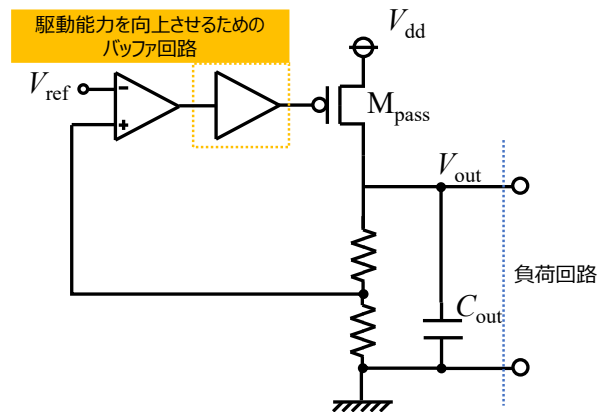


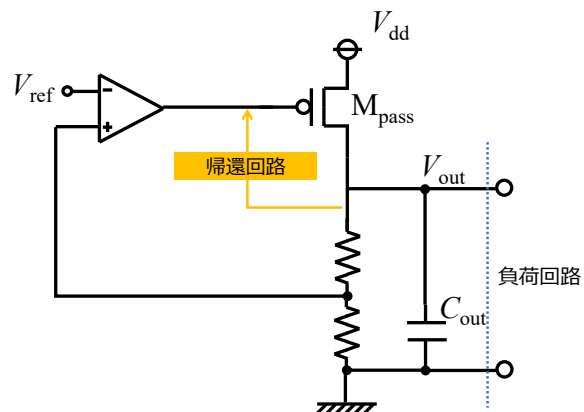
図 2.2: 一般的な LDO の回路図．



(a)



(b)



(c)

図 2.3: 過去研究において過渡応答向上を目的として取られたアプローチ.

(a) HPF を介した検知回路を使用した回路構成.

(b) 誤差増幅器の出力に独自のバッファ回路を追加する構成.

(c) パストランジスタのゲートに直接負帰還をかける回路を加える構成.

従来技術においては図 2.3 (b) や図 2.3 (c) のように負帰還制御の帯域を拡張するアプローチが確認されるが、負荷過渡応答性能の改善は小信号解析でなく大信号解析の観点も考慮する必要がある。

図 2.4 に負荷過渡応答時に考慮すべき大信号の応答波形の例を示す。LDO に搭載している MOSFET の動作領域が変化しない程小さな動的変動であれば小信号解析で議論することができる。しかし、図 2.1 に示したようなインパルス状かつ電流差分が大きな負荷変動の場合は図 2.4 に示すようにパストランジスタ M_{pass} や誤差増幅器に使用する MOSFET で動作領域の変化が発生するため、大信号解析の観点が必要になる[20]。大信号解析の観点から、過渡応答性能向上のためには LDO の誤差増幅器に使用する定電流源の電流増加が必要である。

図 2.5 にパストランジスタと誤差増幅器の出力に使用される定電流源の関係を示す。

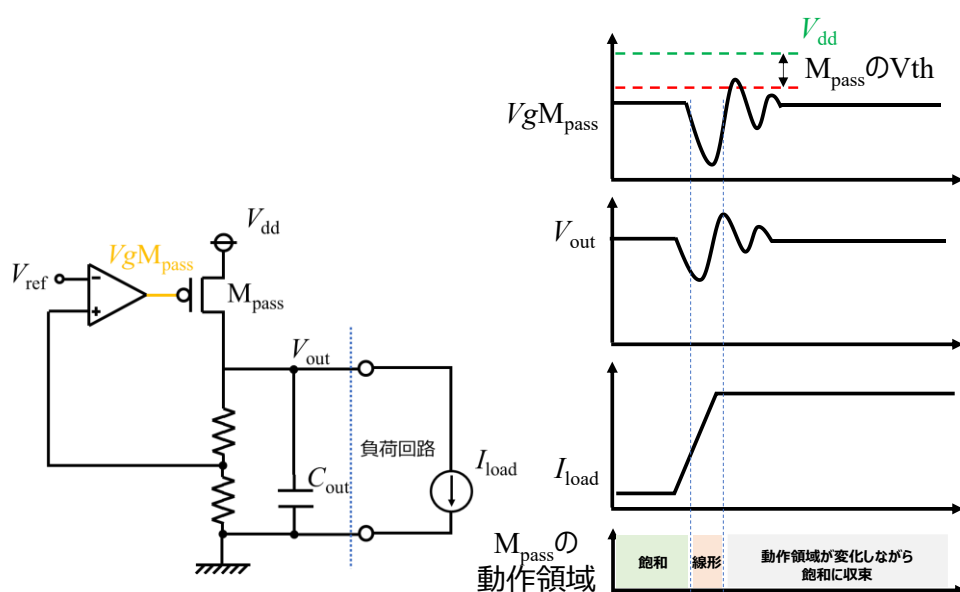


図 2.4: 負荷過渡応答時に考慮すべき大信号の応答波形の例。

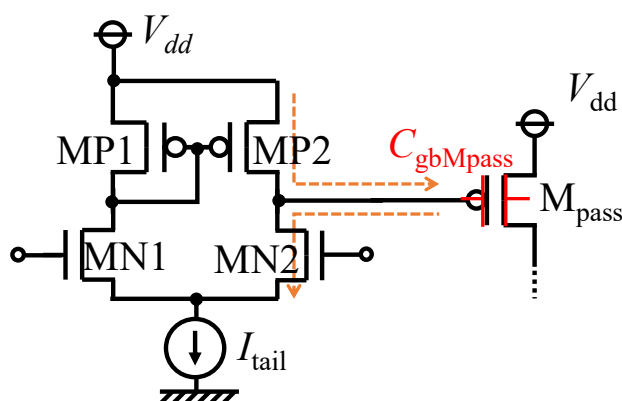


図 2.5: パストランジスタ M_{pass} と誤差増幅器の出力に使用される定電流源の関係。

誤差増幅器の構成として MP1 と MP2 は負荷トランジスタ，MN1 と MN2 は差動対，テール電流源 I_{tail} とする．パストランジスタ M_{pass} は LDO の入力電圧 V_{dd} が変動しても出力電流能力を担保するための MOSFET であり，LDO に使用される MOSFET では最もサイズが大きい場合が多い．よって M_{pass} のゲートとバックゲートに形成される寄生キャパシタ $C_{gbMpass}$ が大きくなり， M_{pass} のゲートを駆動する誤差増幅器の出力に使用される電流のシンクおよびソース能力，図 2.5 の場合はテール電流源 I_{tail} の電流値によって過渡的な電圧変動量が変化する．

図 2.5 において負荷急増を想定し，MN1 が遮断して I_{tail} によって $C_{gbMpass}$ の電荷をディスチャージする場合の遷移時間を式(2.1)に示す． t は遷移時間， V_t は M_{pass} のゲート電位の変化量である．

$$t = \frac{(C_{gbMpass} \times V_t)}{I_{tail}} \quad (2.1)$$

この関係式から誤差増幅器の出力電流にもなる I_{tail} を増加させることで M_{pass} のゲート電位遷移時間 t は短くなり LDO の負荷過渡応答性能が向上する．実際にこの観点から，誤差増幅器の出力電圧から負荷過渡の検知信号を生成し，検知信号を元に誤差増幅器の定電流源を増加させる回路構成が報告されている[21]．しかし消費電流 1 μA 以下を目指すような低消費電流 LDO においては図 2.5 における I_{tail} が小さいため誤差増幅器の出力電圧の遷移が遅いことで検知信号の生成が遅れるため，特許[21]は有効な回路構成とは言えない．センサデバイスへの LDO 実装を想定すると図 2.1 で示すようなインパルス状かつ電流差分が大きな負荷変動に対応しつつ，かつ低消費電流な LDO の実現が課題である[1]．次節に示す提案する LDO は，FVF を応用した低消費電流かつ高帯域の応答性能を持つ負荷過渡検知回路と既知技術である誤差増幅器のテール電流源を増加させる制御を組み合わせることで低消費電流ながら負荷過渡応答性能を向上させている[21, 22]．

2.3 提案する高速な負荷過渡応答が可能な低消費電流 LDO

2.3.1 回路構成

前節で述べた技術課題を踏まえ，消費電流を 1 μA 未満に設計しても高速な負荷過渡応答を実現する LDO を提案する．図 2.6 に提案する LDO の回路図を示す．提案回路はパストランジスタ M_{pass} ，基準電圧源 V_{ref} ，位相補償素子 C_c および R_c ，帰還抵抗 R_{f1} および R_{f2} ，負荷過渡検知回路である FVF-based load transient enhanced circuit (FBLC)，インバータ，そして負荷過渡検知信号を元にテール電流源を切り替える機能を持つ誤差増幅器で構成する．

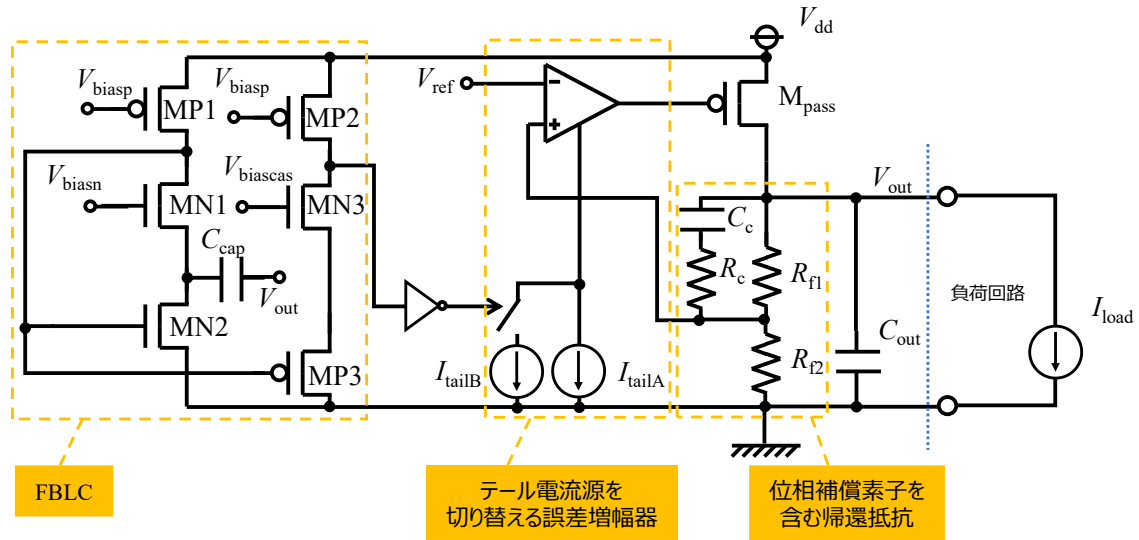
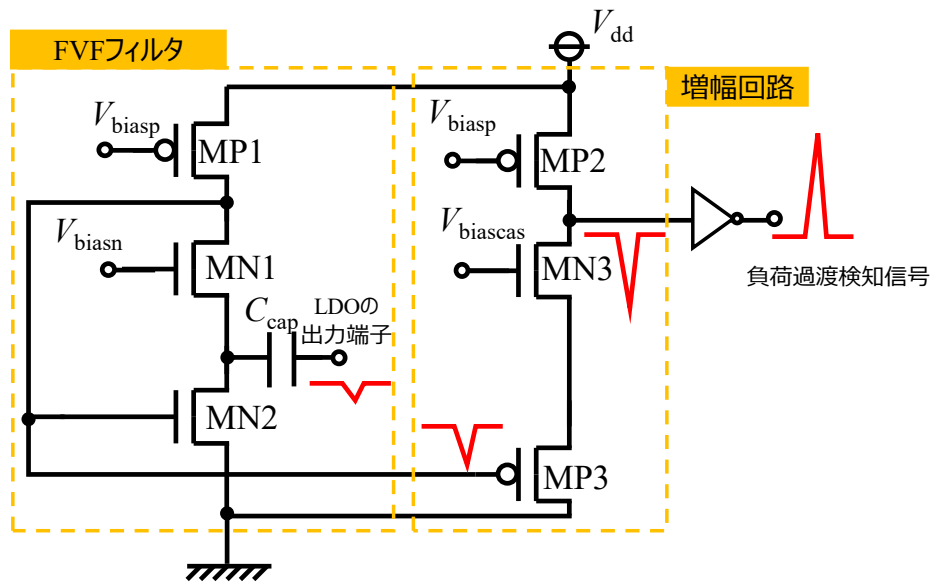


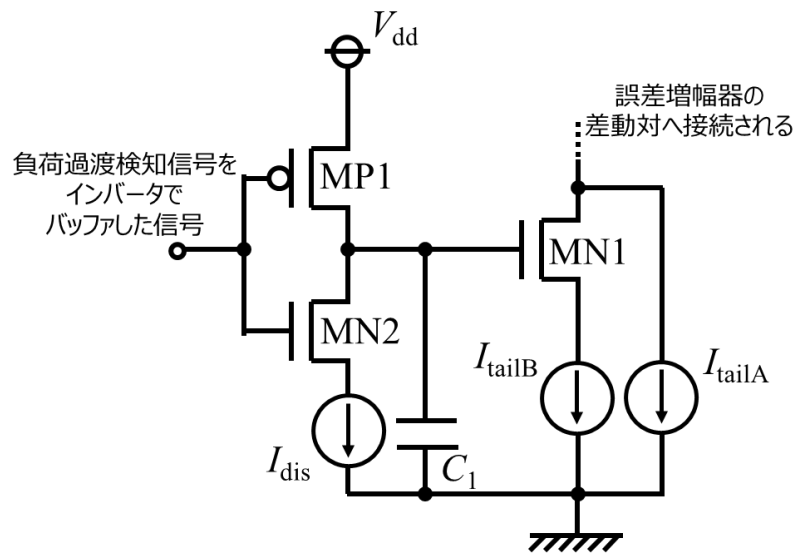
図 2.6: 提案する LDO の回路図.

誤差増幅器は図 2.4 に示す 5 つのトランジスタで構成する回路構成を元にしており差動対には N チャンネル MOSFET を使用し、テール電流源を I_{tailA} と I_{tailB} で構成する．テール電流源 I_{tailA} は電流値が小さく定常的に接続されている．テール電流源 I_{tailB} は電流値が I_{tailA} に対して大きく負荷過渡検知信号が発生した際のみ接続される．前節の低消費電流 LDO において誤差増幅器の出力電圧の遷移時間が長くなるという技術課題に対し、図 2.7 に解決策を示す．

図 2.7 (a) に FBLC による低消費電流かつ応答帯域の高い負荷過渡検知回路の実現を示す．詳細は次項で説明するが、10 nA 以下の消費電流でありながら 10 kHz 以上の周波数帯域にゲインを有する FVF フィルタと増幅回路によってインバータの反転閾値を跨ぐ電圧変動を発生させる．これによって LDO の出力電圧に発生する電圧変動の交流成分のみを高速で増幅し負荷過渡検知信号を生成する．図 2.7 (b) にパストランジスタのゲート電位遷移高速化を目的とした誤差増幅器のテール電流源切替回路を示す．前節で述べたように LDO の負荷過渡性能を向上させるにはパストランジスタを駆動する誤差増幅器のテール電流源の増加が有効である．図 2.7 (a) で生成された負荷過渡検知信号を元に誤差増幅器のテール電流源 I_{tailB} を有効にすることでパストランジスタのゲート電位遷移を高速に行う．負荷過渡において FBLC の出力電圧にチャタリングが発生し、誤差増幅器のテール電流源切り替えが安定しない懸念があるため、図 2.7 (b) にキャパシタ C_1 と定電流源 I_{dis} によって MN1 が OFF する際のドレイン電流変化を緩やかにしている．FBLC の検知信号がなくなり MN1 が OFF する場合において、MN1 に流れるドレイン電流を緩やかに減少させることで誤差増幅器の MOSFET の動作点が急峻に変化して LDO の出力電圧に大きな歪みが発生するのを抑制している．



(a)



(b)

図 2.7: 技術課題に対する解決策.

(a) FBLC による低消費電流かつ応答帯域の高い負荷過渡検知回路の実現.

(b) 誤差増幅器のテール電流源切替回路.

2.3.2 FVF フィルタ

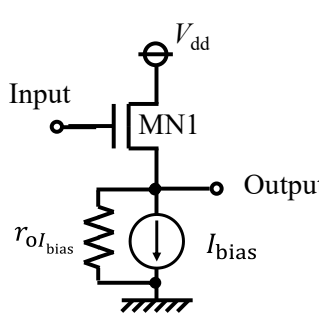
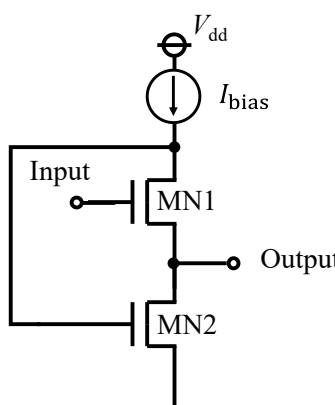
前項で提案した LDO に搭載する FBLC の回路構成を図 2.7 (a) に示した. FBLC は FVF フィルタと増幅回路で構成する. FVF フィルタは, 一般的にミックスドシグナル回路の分野で使用される FVF を元にして構成する. FVF は出力ノードのインピーダンスが低い, 低

消費電流，低電圧動作の特徴を有する[23]．FVF とボルテージフォロアの回路図および出力インピーダンスを表 2.1，式 (2.2) と式 (2.3) に示す．式 (2.2) から算出されるボルテージフォロアの Output 端子の出力インピーダンスに対し，式(2.3)から算出される FVF の Output 端子の出力インピーダンスは非常に小さい． gm_{MN1} ， gm_{MN2} はそれぞれの MOSFET のトランスコンダクタンス， $r_{oI_{bias}}$ は定電流源の出力抵抗，そして r_{oMN1} は MN1 の出力抵抗を意味する．FVF は出力ノードからの負帰還によって出力インピーダンスの低下を実現する．具体的な値を用いて FVF とボルテージフォロアの出力インピーダンスの差分を計算する．式(2.2) および式(2.3)について MOSFET の Simulation Program with Integrated Circuit Emphasis (SPICE) 情報を入力して計算を行う[23]．計算を簡略化するため gm は全て $150\mu A/V$ を使用し， r_o は全て $5M\Omega$ を使用して計算した．式 (2.2) を元にした計算結果を式 (2.4)，式 (2.3) を元にした計算結果を式 (2.5) に示す．

$$r_o = \frac{1}{gm_{MN1}} || r_{oI_{bias}} = 6657 \Omega \quad (2.4)$$

$$r_o = \frac{1}{gm_{MN1}gm_{MN2}r_{oMN1}} = 8.889 \Omega \quad (2.5)$$

表 2.1: ボルテージフォロアと FVF の回路図および出力インピーダンス．

回路構成	回路図	出力インピーダンス
ボルテージフォロア		$r_o = \frac{1}{gm_{MN1}} r_{oI_{bias}} \quad (2.2)$
FVF		$r_o = \frac{1}{gm_{MN1}gm_{MN2}r_{oMN1}} \quad (2.3)$

式 (2.4) はボルテージフォロア出力インピーダンス、式 (2.5) FVF の出力インピーダンスの計算結果である。計算結果から FVF はボルテージフォロアと比較して約 750 倍程度低出力インピーダンスを実現可能だと分かる。FVF フィルタでは FVF の特徴の 1 つであるこの低出力インピーダンスを活用する。

図 2.8 に FVF フィルタの回路図を示す。表 2.1 においては低インピーダンスであった出力ノードに対しカップリングキャパシタ C_{cap} を接続し、交流信号を入力する入力端子として使用している。図 2.8 では低インピーダンスである FVF で言うところの出力ノードの電位が変動することで、その変動を抑制するように MN1 を介して負帰還制御が行われる。FVF フィルタの特徴は前記負帰還制御の際に発生する電圧を出力電圧として使用している点である。負帰還制御は MP1 の出力抵抗を負荷抵抗とした MN2 のゲート電圧を制御することで実現するため、FVF フィルタの出力ノードには増幅された信号が発生する。 C_{load} は FVF フィルタに接続される後段回路の入力容量を意図して図示している。

以降はシミュレーションと小信号等価回路解析によって FVF フィルタの特性を説明する。設計には $0.6\ \mu\text{m}$ CMOS プロセスを用いた。表 2.2 に FVF フィルタのシミュレーション条件と DC シミュレーション結果、図 2.9 に AC シミュレーションによる FVF フィルタの入力端子の電圧変動に対する出力端子の電圧変動の特性を示す。図 2.9 (a) に表 2.2 の条件下での AC シミュレーション結果を示す。図 2.9 (a) から分かるように FVF フィルタはバンドパスフィルタ (BPF) と増幅器の特性を併せ持ち、特定周波数帯域の信号を増幅する特性を有する。FVF フィルタが信号増幅をする周波数帯域は C_{cap} の値によって変化する。図 2.9 (b) に図 2.9 (a) の条件から C_{cap} の値を掃引した場合の AC シミュレーション結果を示す。図 2.9 (b) から分かるように C_{cap} の値を大きくすることで信号増幅が可能な周波数帯域が低域側に拡張している。

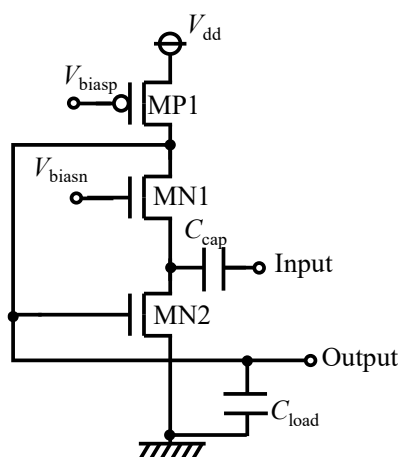
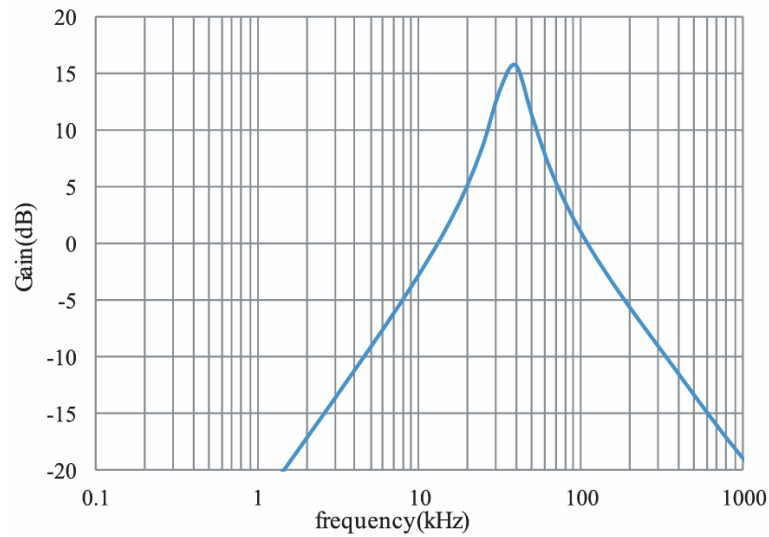


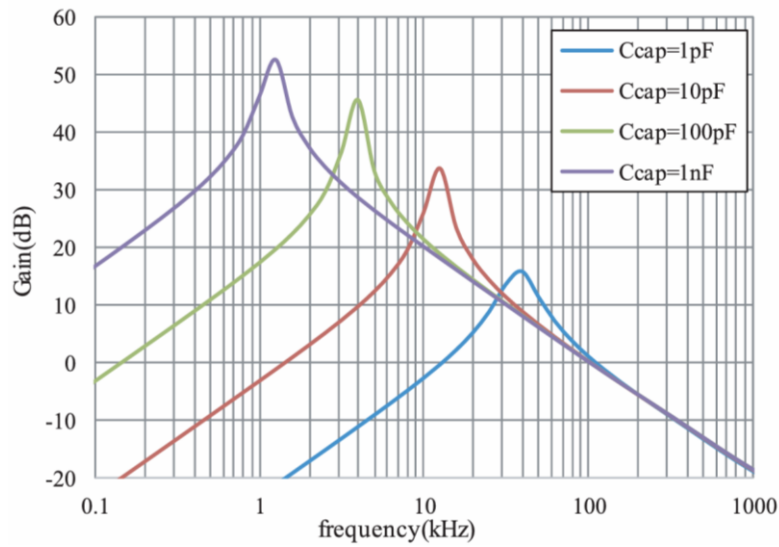
図 2.8: FVF フィルタの回路図.

表 2.2: FVF フィルタのシミュレーション条件と DC シミュレーション結果.

印可条件, 測定項目	定数, DC シミュレーション結果
V_{dd}	2.2 V
C_{cap}	1 pF
C_{load}	5 pF
消費電流	5 nA



(a)Copyright©2020 IEICE



(b)Copyright©2020 IEICE

図 2.9: FVF フィルタに対する AC シミュレーション条件とシミュレーション結果.

(a) 表 2.2 の条件下での AC シミュレーション結果.

(b) C_{cap} の値を掃引した場合の AC シミュレーション結果

図 2.10 に図 2.8 を元にした FVF フィルタの小信号等価回路を示す. gm_{MN1} と gm_{MN2} はそれぞれ MN1 および MN2 のトランスコンダクタンスである. r_{oMN1} , r_{oMN2} , r_{oMP1} はそれぞれ MN1, MN2 および MP1 の出力抵抗である. 説明のため C_{cap} の両端ノードをそれぞれノード A, ノード B, FVF フィルタの出力端子ノードをノード C とする. ゲインのピーク周波数 f_g は式 (2.6) で表すことができる[22].

$$f_g = \frac{1}{2\pi Z_Y C_{cap}} \quad (2.6)$$

式 (2.6) に使用される Z_Y は図 2.10 内ノード B のインピーダンスである. 式 (2.6) より FVF フィルタのカットオフ周波数は HPF のカットオフ周波数と同様に計算できることが分かる. 式 (2.6) の Z_Y は式 (2.7) で表すことができ[22], これは図 2.10 内ノード B, FVF で言うところの出力インピーダンスと C_{cap} の合成インピーダンスで決まることが分かる.

$$Z_Y = \frac{1}{gm_{MN1} gm_{MN2} r_{oMN1}} \parallel \frac{1}{\omega C_{load}} \quad (2.7)$$

図 2.10 のノード B を入力, ノード C を出力とした場合の出力インピーダンス Z_O は式 (2.8) で表すことができる[22].

$$Z_O = \frac{1}{r_{oMP1} \parallel gm_{MN1} r_{oMN1} \frac{1}{gm_{MN2}}} \quad (2.8)$$

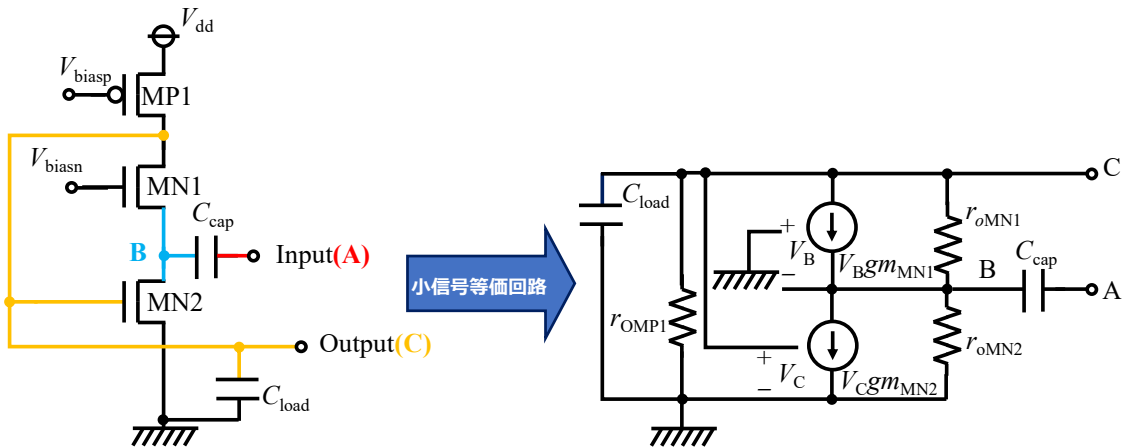


図 2.10: FVF フィルタの小信号等価回路.

図 2.10 でノード B を入力， ノード C を出力とした場合の DC ゲイン G_{DC} は式(2.9)で表すことができる[22].

$$G_{DC} = g_{m_{MN1}} \left(r_{o_{MP1}} \parallel g_{m_{MP1}} r_{o_{MN1}} \frac{1}{g_{m_{MN2}}} \right) \quad (2.9)$$

G_{DC} からのカットオフ周波数 f_p は Z_O を用いて式(2.10)で表すことができる[22].

$$f_p = \frac{1}{2\pi Z_O C_{load}} \quad (2.10)$$

図 2.11 に FVF フィルタの特徴を理解する上で有効な式 (2.6)， (2.9)， (2.10) の関係性を図示したボード線図を示す. 図 2.11 より図 2.9 (b) で示された C_{cap} の値が大きい場合は FVF フィルタのゲインを持つ周波数帯域を拡張できることが理解できる. また，ゲインの上限は G_{DC} で決まっており， C_{cap} の値を大きくしてもゲインのピーク値が頭打ちになることが分かる. 次項では本項で説明した FVF フィルタを使用した FBLC の回路動作について述べる.

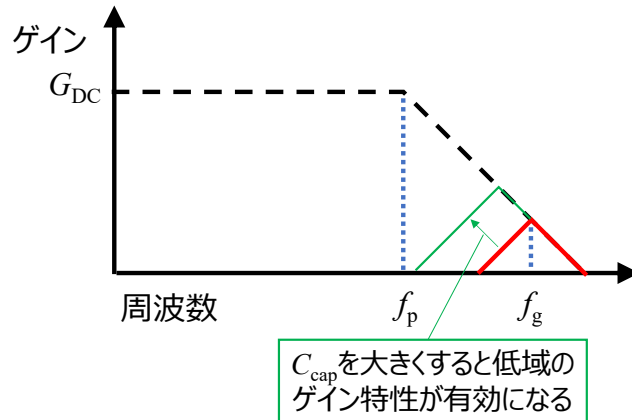


図 2.11: 式 (2.6)， (2.9)， (2.10) の関係性.

2.3.3 低消費電流な負荷過渡検知回路 FBLC の回路動作

FBLC は図 2.7 で示したように FVF フィルタに増幅回路を接続した回路である．図 2.12 に FBLC に使用する増幅回路の回路図と定常時の動作点設計方法を示す．増幅回路の入力電圧は P チャネル MOSFET である MP3 のゲートに接続されている．動作点の設計は MP3 のゲート電圧 (Input 端子電圧) を起点にして、 V_{th} (しきい値電圧)である V_{thMP3} と N チャネル MOSFET である MN3 のゲート電圧である $V_{biascas}$ および MN3 の V_{th} (しきい値電圧)である V_{thMN3} を用いて式 (2.11) を満たすように設計する必要がある．

$$V_{gMP3} + |V_{thMP3}| > V_{biascas} - |V_{thMN3}| \quad (2.11)$$

以降は LDO の負荷過渡時における増幅回路の動作を説明する．LDO の負荷が急増し、LDO の出力電圧にアンダーシュートが発生する場合、図 2.7 (a) に示すように FVF フィルタにはアンダーシュートの交流成分が入力され、FVF フィルタの出力にも過渡的にアンダーシュートが発生する．上記における増幅回路の動作点遷移を図 2.13 に示す．FVF フィルタの出力は増幅回路の MP3 のゲート電圧を低下させることで式 (2.11) の不等号の関係が逆転し、MP3 および MN3 に流れる電流が増加する．式 (2.12) に反転信号の生成条件を示す．

$$I_{sink} > I_{source} \quad (2.12)$$

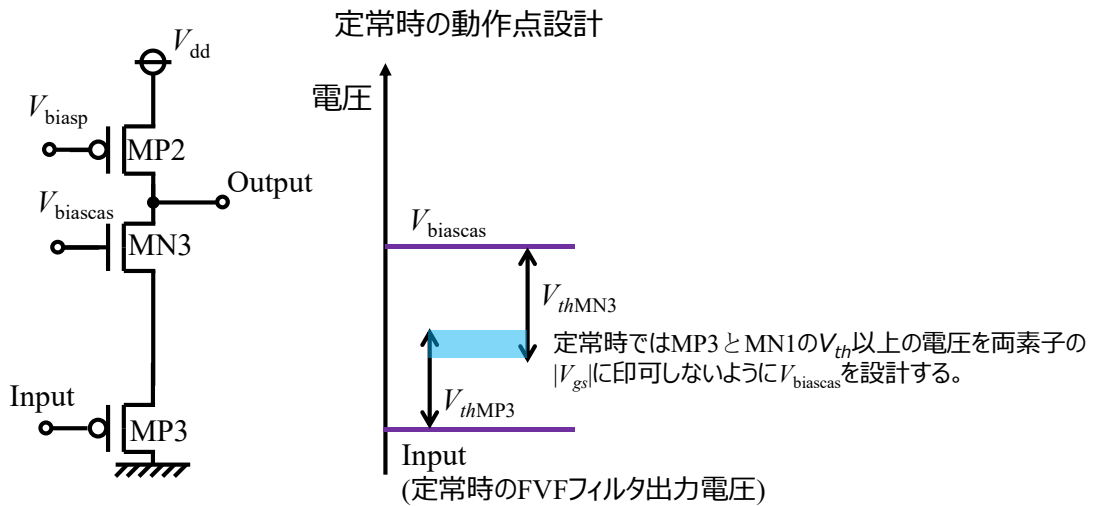


図 2.12: FBLC に使用する増幅回路の回路図と定常時の動作点設計方法.

負荷過渡発生時の動作点遷移

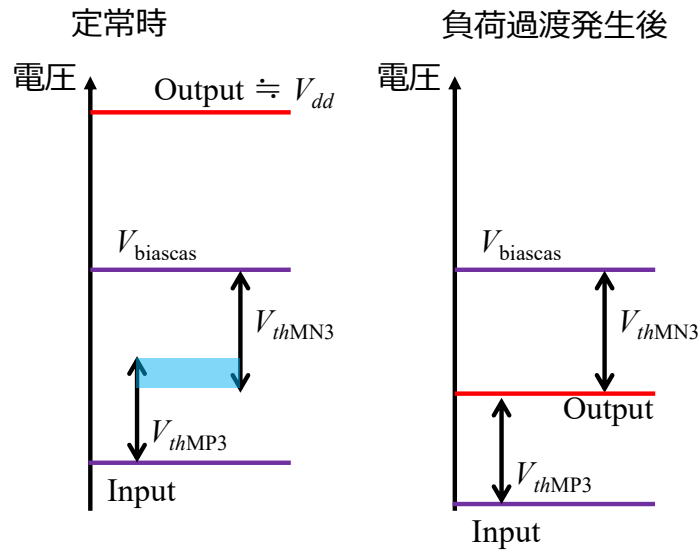


図 2.13: LDO の出力にアンダーシュートが発生した際の増幅回路の動作点遷移.

式 (2.12) では MP3 および MN3 のドレイン電流が I_{sink} , MP2 から生成される低電流が I_{source} である. 式 (2.12) が成り立つと増幅回路の出力電圧が低下し反転信号が生成される. FBLC の出力はインバータを介してバッファリングされ増幅回路のテール電流源を切り替える.

以降は FVF フィルタと増幅回路を組み合わせた FBLC の AC シミュレーションを行い, その特性について述べる. シミュレーションに使用するバイアス生成回路込みの FBLC の回路図を図 2.14 に示す.

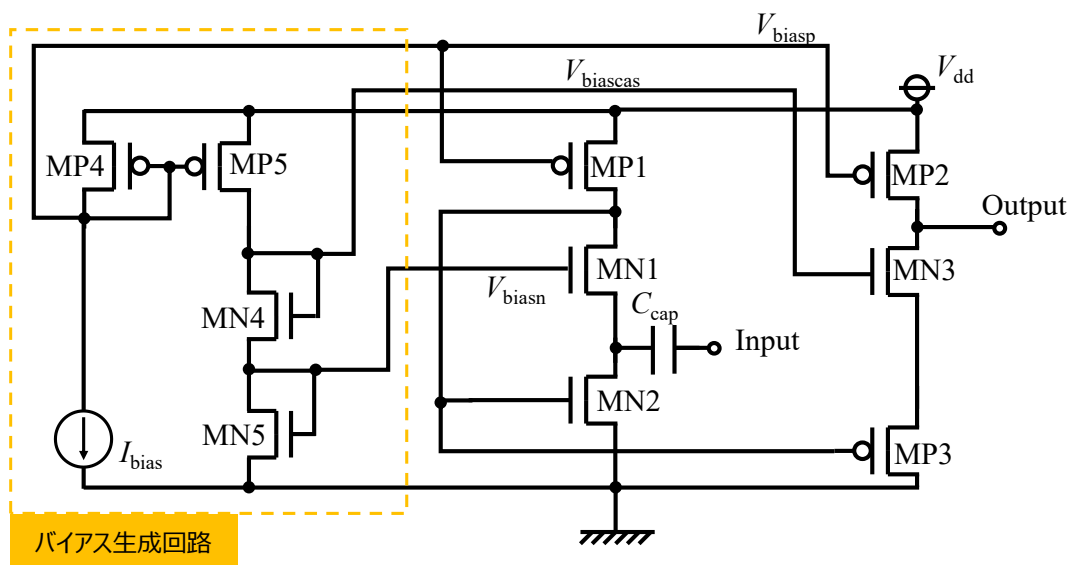


図 2.14: バイアス生成回路込みの FBLC.

印可条件と DC シミュレーションの結果を表 2.3 に示す．バイアス生成回路込みのブロックでも消費電流を 50 nA に抑えられている．図 2.15 に AC シミュレーションで FBLC の入力端子の電圧変動に対する出力端子の電圧変動の特性を確認した結果を示す．増幅回路は定常時に MOSFET が遮断領域となるように設計されているため，図 2.9 (a) の結果に対しゲインを減衰させた特性となっている．

図 2.7 (a) から分かるように，提案回路は LDO の出力電圧アンダーシュートを検知する回路である．図 2.16 のように回路を変更すれば，LDO の出力電圧オーバーシュートを検知することが可能である．また，負荷急減に伴うオーバーシュートに対しては既存技術を採用することで有効な対策が可能である．例えば適応バイアス技術 (Adaptive bias technique) [24] は LDO の負荷電流に対して誤差増幅器のテール電流含む定電流源の電流値を増加させ，負荷電流が減少すれば誤差増幅器の消費電流を減少させる．負荷急減は負荷電流が大きい状態から小さくなる状態への遷移であることを考慮すると，適応バイアス技術を搭載した LDO は負荷急減の際に誤差増幅器のテール電流が増加した状態から応答し始めるため応答速度が速く，容易にオーバーシュートを抑制することが可能である．

表 2.3:FBLC の AC シミュレーション条件と DC シミュレーション結果.

印可条件, 測定項目	定数, DC シミュレーション結果
V_{dd}	2.2 V
C_{cap}	1 pF
消費電流	50 nA

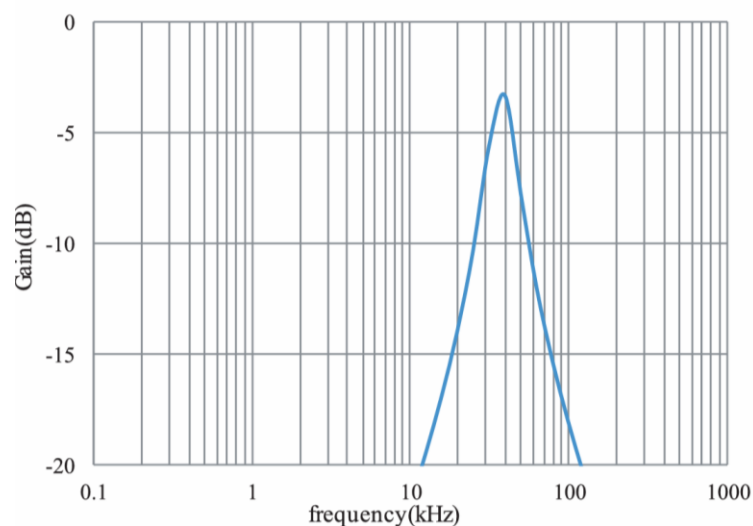


図 2.15: FBLC の AC シミュレーション結果. Copyright©2020 IEICE

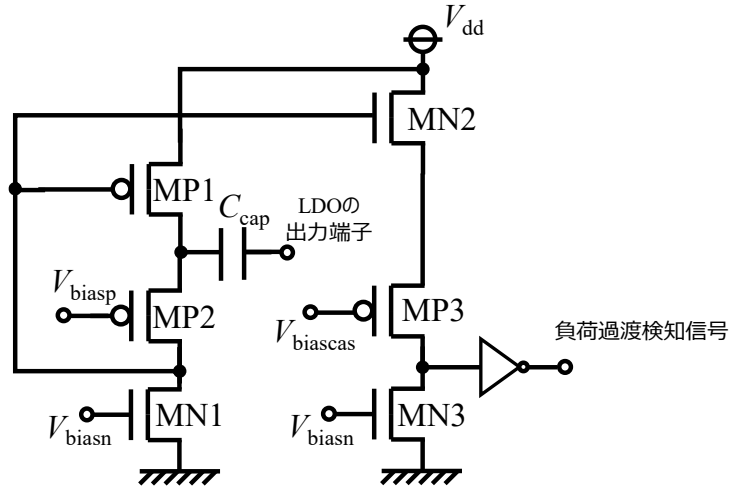


図 2.16: LDO の出力にオーバーシュートを検知するよう回路変更した FBLC.

2.4 提案する LDO のシミュレーション評価

0.6 μm CMOS プロセスを用いて提案する LDO を設計し，シミュレーションによる性能評価を行った．最大 I_{load} は 100 mA を想定したパストランジスタを使用した．提案回路の優位性を示すにあたり，類似の電気的特性を持つディスクリート LDO の先行研究を調査したが，負荷過渡の印可条件や受動部品の定数が大きく乖離しているため，性能比較が困難であった．そこで，提案する LDO との特性比較を行うため，図 2.2 で示す一般的な回路構成を参照 LDO として用いた．提案 LDO と参照 LDO の I_{tail} 設計値を表 2.4 に示す．図 2.1 における誤差増幅器のテール電流である I_{tail} を変更した LDO A から LDO D の 4 つを比較に用いた．LDO A から LDO D は提案 LDO に対して，誤差増幅器，パストランジスタ，帰還抵抗および位相補償素子の定数変更は行っていない．小信号の観点でユニティゲイン周波数の差分を確認するために AC シミュレーションを実施する．AC シミュレーションに使用する定数および印可条件を表 2.5 に示す．図 2.17 に LDO の AC シミュレーションを行う際の回路接続を示す．

表 2.4: 提案 LDO と参照 LDO の I_{tail} 設計値.

LDO の名前	I_{tail} (nA)
提案 LDO (I_{tailA})	6×10^1
提案 LDO (I_{tailB})	2.8×10^4
LDO A	6×10^1
LDO B	6×10^2
LDO C	6×10^3
LDO D	6×10^4

表 2.5: AC シミュレーションに使用する定数および印可条件.

定数	定数
V_{dd}	2.2 V
V_{OUT}	1.2 V
C_{cap}	1 pF
C_{OUT}	1 μ F
I_{load}	10 mA

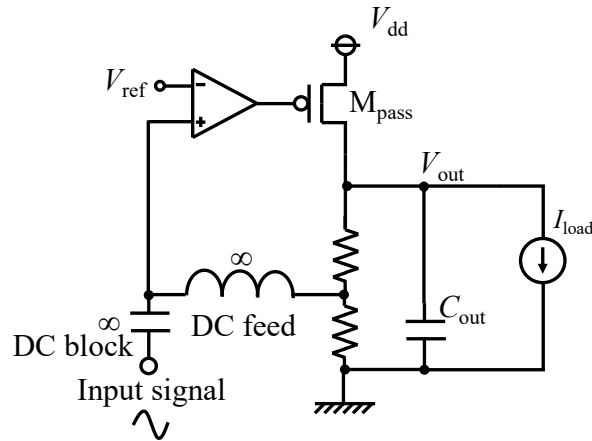


図 2.17: LDO の AC シミュレーションを行う際の回路接続.

帰還抵抗と誤差増幅器間を AC 的に切断し, 入力する小信号と帰還後の信号からゲイン波形と位相波形を算出する. 図 2.18 に図 2.17 のシミュレーション結果と図 2.15 のシミュレーション結果を合わせた図を示す. 提案 LDO において, FBLC は過渡的な大信号が発生しないと動作しないため, AC シミュレーションでは I_{tailB} が無効になっており I_{tailA} のみが接続されている状態である. よって LDO A と同じ波形になっていることが分かる. 提案 LDO の内部電位を固定することで I_{tailB} が有効になった場合の特性も示している. 誤差増幅器のテール電流が増加している状態であるため, ユニティゲイン周波数がテール電流源の設計値に近い LDOD に概ね近くなっていることが分かる. また, LDO B から LDOD は I_{tail} 増加に伴いユニティゲイン周波数が徐々に高くなっていることが分かる. 前節で示した AC シミュレーション結果である図 2.18 内の FBLC のゲイン波形に着目すると, FBLC のゲインは 40 kHz 付近にピークがあり, $I_{tail}=600$ nA の LDO B よりも高い周波数帯域の信号に対して応答できることが分かる. 表 2.3 で示した結果であるが, バイアス生成回路込みの FBLC の消費電流は 50 nA であるにも関わらず, その応答周波数は消費電流が 600 nA 以上の LDO B よりも高周波であるため, 提案 LDO は低消費電流かつ高速な応答が実現可能になる.

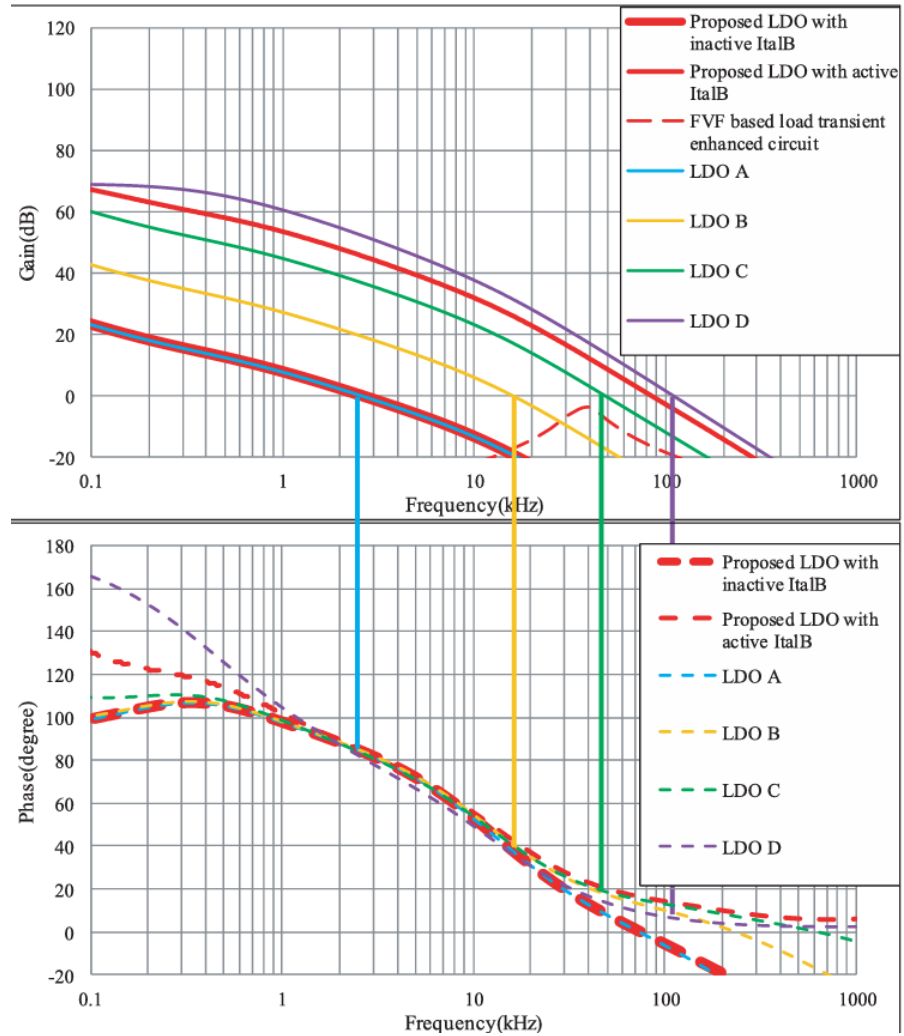


図 2.18: 図 2.17 のシミュレーション結果と図 2.15 のシミュレーション結果.

Copyright©2020 IEICE

表 2.6 に図 2.18 で示した波形のユニティゲイン周波数と位相余裕を示す. 前述したように LDO A から LDO D では I_{tail} 増加に伴いユニティゲイン周波数が徐々に高くなる. 各 LDO において位相補償素子の変更を行っていないため, 位相余裕は I_{tail} の増加によって低下していることが分かる. しかし, 明確に不安定な LDO はないことが分かる.

図 2.19 に提案 LDO および LDO A から LDO D における負荷急増の過渡シミュレーション結果を示す. 使用した各定数は I_{load} を除いて表 2.5 と同じである. I_{load} は $1\ \mu\text{A}$ から $10\ \text{mA}$, SR は $1\ \mu\text{s}$ で遷移させた. 提案回路の負荷過渡に対するパフォーマンスが非常に優れており, アンダーシュートが大幅に低減していることが分かる.

表 2.6: 図 2.18 で示した波形のユニティゲイン周波数と位相余裕.

LDO の名前	ユニティゲイン周波数 (kHz)	位相余裕 (degree)
提案 LDO (I_{tailB} 無効)	2.6	84
提案 LDO (I_{tailB} 有効)	83	16
LDO A	2.6	84
LDO B	16	37
LDO C	49	19
LDO D	110	13

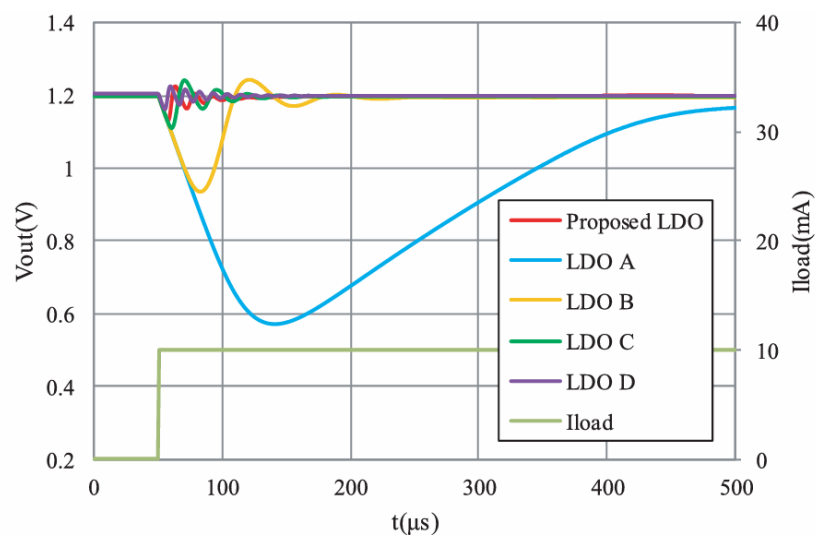


図 2.19: 負荷急増の過渡シミュレーション結果. Copyright©2020 IEICE

図 2.20 (改変)[22]に図 2.19 における各 LDO のアンダーシュート電圧値と定常状態における誤差増幅器のテール電流の関係を示す. 図 2.20 に図 2.19 から提案 LDO は定常時において誤差増幅器のテール電流は小さく, かつ負荷急増時のアンダーシュート量は 70 mV であり, LDO A から LDO C に対して優れていることが分かる. 図 2.20 (改変)[22]より提案 LDO と LDO A は定常時において誤差増幅器のテール電流は同じであるがアンダーシュート電圧は約 89 %改善している. 表 2.7 に図 2.19 のアンダーシュート電圧と収束時間を示す. 収束時間は負荷急増発生時から出力電圧が定常時の $\pm 3\%$ に収まる時間を測定した. 表 2.7 からアンダーシュート電圧が小さい LDO であれば収束時間も短くなっていることが分かる. 提案する LDO の収束時間は 25 μs であり, これは定常時において誤差増幅器のテール電流は同じである LDO A に対して約 94 %改善している.

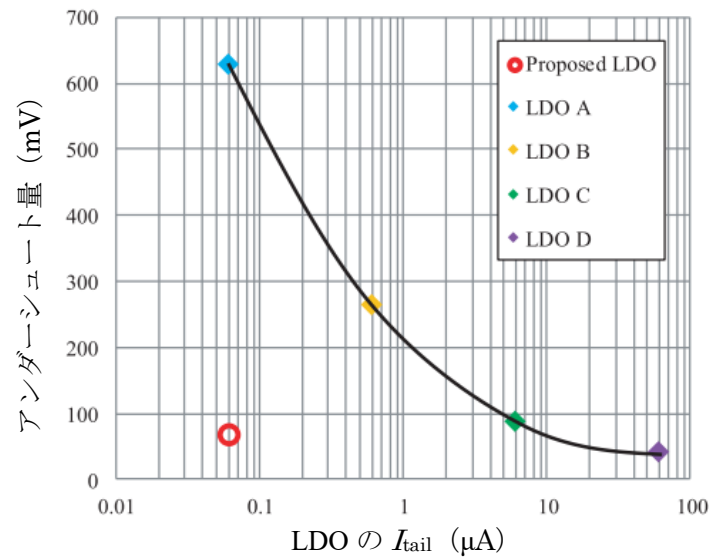


図 2.20: 図 2.19 における各 LDO のアンダーシュート電圧と定常状態における誤差増幅器のテール電流の関係．（改変）[22]

表 2.7: 図 2.19 のアンダーシュート電圧と収束時間．

LDO の名前	アンダーシュート電圧(mV)	収束時間(μs)
提案 LDO	70	25
LDO A	630	430
LDO B	260	80
LDO C	90	35
LDO D	45	5

図 2.21 に負荷急増時の FBLC の内部ノード波形を示す．負荷過渡発生時に FBLC の出力電圧が変動することでテール電流値が増加していることが分かる．FBLC が負荷過渡を検知することでアンダーシュートを改善するが，LDO の出力電圧の変動が収束すると FBLC の出力電圧が定常時の状態に戻り，誤差増幅器のテール電流が減少することで LDO は低消費電流の状態に戻る．表 2.6 から提案回路において FBLC が動作し， I_{tailB} が有効になった場合は位相余裕が減少するものの，ミュレーション結果の波形からも発振なく安定していることが分かる．

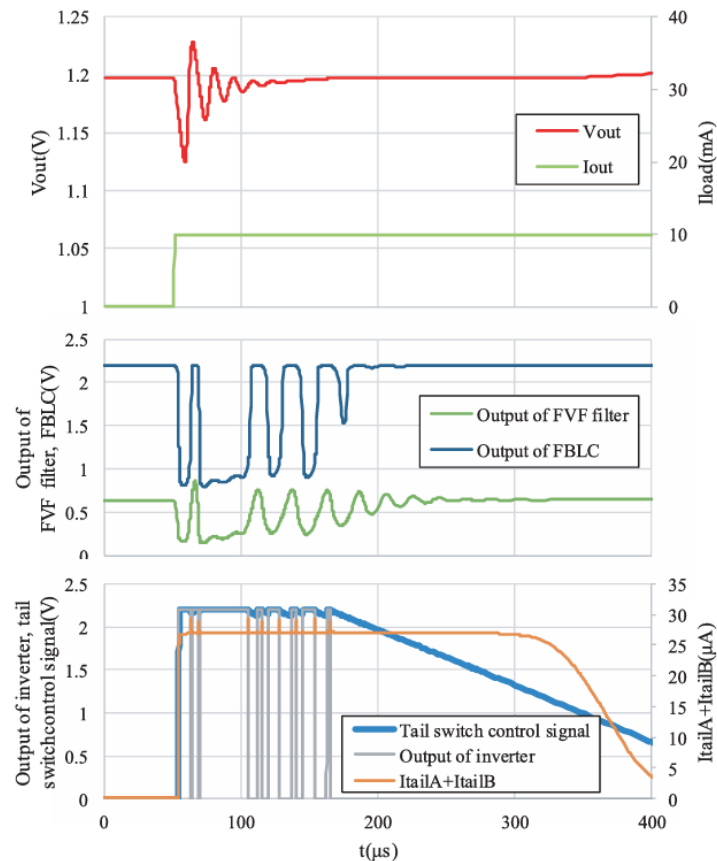


図 2.21: 負荷急増時の FBLC の内部ノード波形. Copyright©2020 IEICE

センサデバイスで想定するデューティサイクル形状の通信においてスリープ状態はアクティブ状態に対してはるかに長く、図 2.21 で見られる一時的な LDO の消費電流の増加はバッテリーの寿命に影響を与えない。図 2.22 に提案 LDO に対し負荷急増時の SR 条件を掃引した過渡シミュレーション結果を示す。 SR の条件は 1, 10, 100 μs , と掃引しており, その他のシミュレーションに使用した定数と印可条件は図 2.19 のシミュレーションを実施した際と同じである。通常, 負荷電流の SR が急峻である程, C_{OUT} からのディスチャージ電流の寄与が大きいため, アンダーシュート電圧が大きくなる傾向になる。図 2.22 から, 最も急峻な $SR = 1 \mu s$ の条件下でアンダーシュート電圧が最も大きく, SR が緩やかになるとアンダーシュート電圧が小さくなっており一般的な傾向と同傾向であることが分かる。図 2.22 の結果から SR とアンダーシュートの相関が逆転することはない, ロバストな応答性能を実現できていることが分かる。

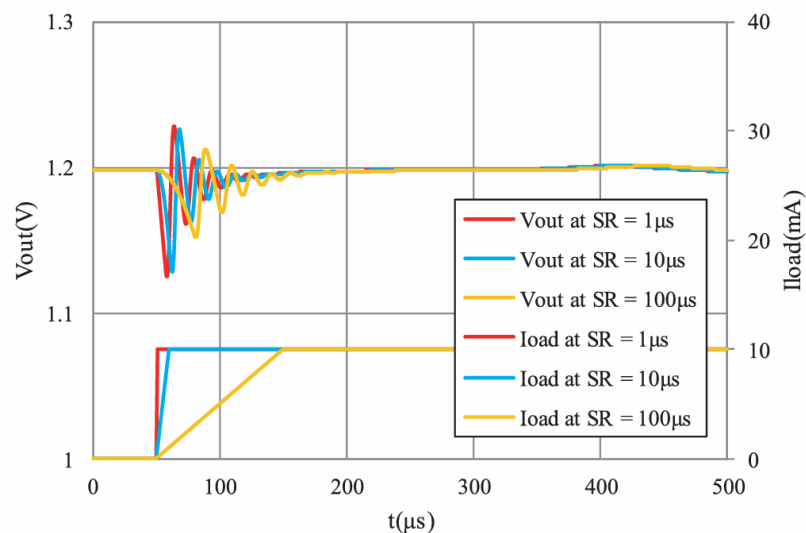


図 2.22: 負荷急増時の SR 条件を変更した過渡シミュレーション結果.

Copyright©2020 IEICE

2.5 提案する LDO の測定評価

0.6 μm CMOS プロセスを用いて提案回路のチップ試作を行った. 図 2.23 に試作チップの顕微鏡写真を示す. 回路面積は 0.583 mm^2 であった. 測定に使用する定数, 使用部品および試作チップの静特性を表 2.8 に示す. 試作チップの測定によって, 提案回路の性能を評価した. 無負荷時の試作チップの消費電流は 204 nA であり, 非常に低消費電流かつ目標として設定した消費電流 $1\text{ }\mu\text{A}$ 未満を達成した.

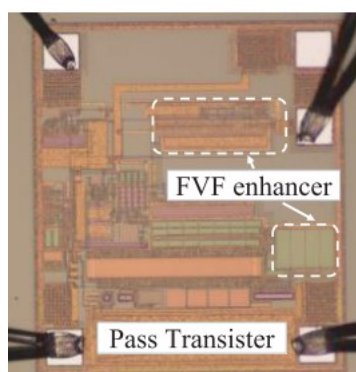


図 2.23: 試作チップの顕微鏡写真. Copyright©2020 IEICE

表 2.8: 測定に使用する定数, 使用部品および試作チップの静特性.

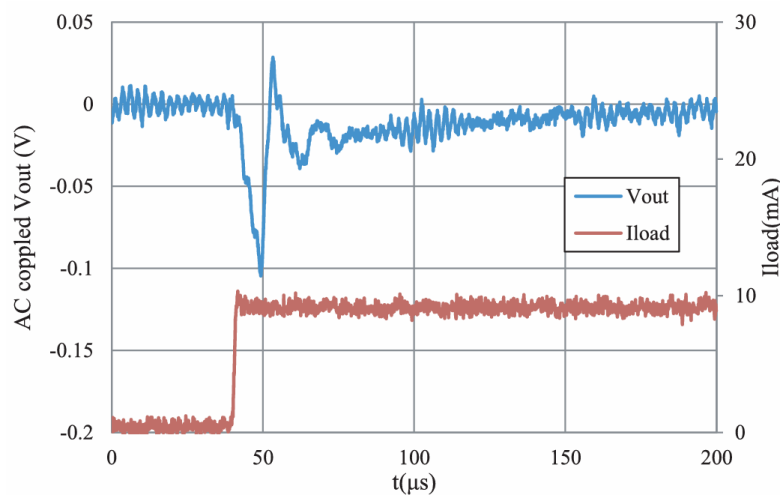
端子条件, 部品および 試作チップの静特性	定数, 部品名, 測定結果
V_{dd}	2.2 V
V_{OUT}	1.2 V
C_{OUT}	GRM155R61A105KE15 (1 μ F)
無負荷時の消費電流	204 nA

図 2.24 に負荷急増時の測定結果を示す. 図 2.24 (a) に $SR = 1 \mu s$, $I_{load} = 1 \mu A$ から 10 mA の測定結果を示す. 試作チップのアンダーシュート電圧は 100 mV であり, 収束時間は 28 μs である. 収束時間はシミュレーション評価と同様に負荷変動開始から LDO の出力電圧が定常状態の $\pm 3\%$ 以内に収束するまでの時間を測定した. アンダーシュート電圧の許容範囲は電源を供給する製品やシステムの要件によるが, 一例として $\pm 20\%$ という記載が存在する [26]. 100 mV のアンダーシュート電圧は出力電圧に対して約 8.3%の変動であり, 前述した水準に対して十分な実力であることが分かる. 図 2.24 (b) に $SR = 1 \mu s$, $I_{load} = 100 \mu A$ から 10 mA の測定結果を示す. 試作チップのアンダーシュート電圧は 75 mV であり, 収束時間は 26 μs である. 図 2.24 (a) と図 2.24 (b) の結果を比較することで, 負荷電流の遷移幅が小さな方が LDO のアンダーシュートは小さくなる傾向にある. これは図 2.4 で示した LDO のパストランジスタのゲート電圧の遷移幅が小さいと応答時間が短くなるためである. 図 2.24 (a) と図 2.19 は同条件の負荷過渡評価であるが測定評価のアンダーシュート量が 30 mV, 収束時間が 3 μs 劣化した. この差分の原因はシリコンチップ状の基板とメタル配線間に発生する寄生容量であった. また, 図 2.24 における LDO の出力電圧の小さなノイズは測定環境に起因するものであり, LDO から発生したものではない.

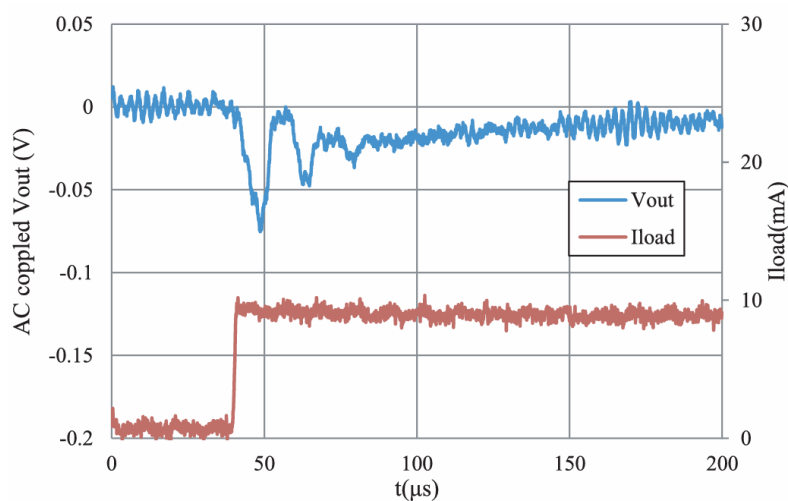
2.6 まとめ

本章では, 高速な負荷過渡応答が可能な低消費電流 LDO を提案した. 提案回路は一般的な回路構成の LDO に FBLC および誤差増幅器のテール電流源切り替え技術を組み合わせて実現した. FBLC は FVF を応用した負荷過渡検知回路であり, BPF と増幅器の特徴を併せ持つ FVF フィルタと増幅回路で構成した. シミュレーションによって FBLC は消費電流 50 nA でありながらもゲインがピークとなる周波数は 40 kHz 程度であることが明らかになった. FBLC で LDO の出力電圧ノードの電圧変動検知信号を生成し, 検知信号を元に誤差増幅器のテール電流源切り替え制御を行うことにより, シミュレーション評価において一般的な回路構成の LDO に対し, アンダーシュート電圧を約 89%の改善を実現した. 0.6 μm CMOS プロセスを用いて提案 LDO のチップ試作を行い, 測定評価を行った. 測定評価より試作チップの無負荷時の消費電流は 204 nA であり, 目標として設定した消費電流 1 μA 未満

を達成した．試作チップは非常に低消費電流ながらも $SR = 1\ \mu s$, $I_{load} = 1\ \mu A$ から $10\ mA$ の負荷急増においてアンダーシュート電圧は $100\ mV$, 収束時間は $28\ \mu s$ であり参考文献[26]の基準である $\pm 20\ \%$ に対して十分なマージンがある．以上の結果より，提案する LDO はセンサデバイスの長時間動作とバッテリー小型化のトレードオフに対して貢献できることを示した．



(a) Copyright©2020 IEICE



(b) Copyright©2020 IEICE

図 2.24: 負荷急増評価の測定波形.

(a) $I_{load} = 10\ \mu A$ から $10\ mA$.

(b) $I_{load} = 100\ \mu A$ から $10\ mA$.

参考文献

- [1] A. H. Sodhro, S. Pirbhulal, G. H. Sodhro, A. Gurtov, M. Muzammal and Z. Luo, "A Joint Transmission Power Control and Duty-Cycle Approach for Smart Healthcare System," in *IEEE Sensors Journal*, vol. 19, no. 19, pp. 8479-8486, Oct. 2019.
- [2] K. A. Bowman, C. Tokunaga, T. Karnik, V. K. De and J. W. Tschanz, "A 22 nm All-Digital Dynamically Adaptive Clock Distribution for Supply Voltage Droop Tolerance," in *IEEE Journal of Solid-State Circuits*, vol. 48, no. 4, pp. 907-916, Apr. 2013.
- [3] Y. Miura and T. Yamamoto, "Simulation-based analysis of FF behavior in presence of power supply noise," *2017 IEEE 23rd International Symposium on On-Line Testing and Robust System Design (IOLTS)*, Jul. 2017, pp. 151-156.
- [4] Analog Devices, Inc., ADuCM4050 ARM Cortex-M4F MCU, Accessed: May 20, 2024. [Online]. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/ADuCM4050.pdf>.
- [5] J. Guo and K. N. Leung, "A CMOS voltage regulator for passive RFID tag ICs," in *International Journal of Circuit Theory and Applications*, vol. 40, no. 4, pp. 329–340, Oct. 2012.
- [6] O. Gasparri, B. Aleksandar, P. del Croce and A. Baschiroto, "High-Voltage Double-Domain Low-Dropout regulator for rapidly changing output loads," *2021 28th IEEE International Conference on Electronics, Circuits, and Systems (ICECS)*, Nov. 2021, pp. 1-4.
- [7] J. Pérez-Bailón, A. Márquez, B. Calvo and N. Medrano, "Transient-enhanced output-capacitorless CMOS LDO regulator for battery-operated systems," *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2017, pp. 1-4.
- [8] Y. -J. Jang, S. -E. Cho, B. Kim, J. -Y. Sim and H. -J. Park, "A low-power LDO circuit with a fast load regulation," *2016 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*, Oct. 2016, pp. 47-49.
- [9] Y. S. Jiang, D. Wang and P. K. Chan, "A sub-1V low dropout regulator with improved transient performance for low power digital systems," *2016 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*, Oct. 2016, pp. 29-32.

- [10] M. M. Elkhatab, "A capacitor-less LDO with improved transient response using neuromorphic spiking technique," *2016 28th International Conference on Microelectronics (ICM)*, Dec. 2016, pp. 133-136.
- [11] C. -B. Park, C. -K. Jung and S. -I. Lim, "A transient enhanced external capacitor-less LDO with a CMOS only sub-bandgap voltage reference," *2016 International SoC Design Conference (ISOCC)*, Oct. 2016, pp. 251-252.
- [12] P. Y. Or and K. N. Leung, "An Output-Capacitorless Low-Dropout Regulator With Direct Voltage-Spike Detection," in *IEEE Journal of Solid-State Circuits*, vol. 45, no. 2, pp. 458-466, Feb. 2010.
- [13] Sau Siong Chong, Hendra Kwantono, Pak Kwong Chan, "A 4.7 μ A Quiescent Current, 450mA CMOS Low-Dropout Regulator with Fast Transient Response", in *IEICE Transactions on Electronics*, Volume E94.C, Issue 8, pp. 1271-1281, Aug. 2011.
- [14] K. N. Leung and Y. S. Ng, "A CMOS Low-Dropout Regulator With a Momentarily Current-Boosting Voltage Buffer," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 9, pp. 2312-2319, Sep. 2010.
- [15] S. Zhen, J. Wang, D. Yang, C. Cao and P. Luo, "A load-transient-enhanced output-capacitor-free low-dropout regulator based on an ultra-fast push-pull amplifier," *2015 IEEE 11th International Conference on ASIC (ASICON)*, Nov. 2015, pp. 1-4.
- [16] C. Răducan and M. Neag, "Capacitorless LDO with fast transient response based on a high slew-rate error amplifier," *2015 International Semiconductor Conference (CAS)*, Oct. 2015, pp. 285-288.
- [17] V. Shirmohammadli, A. Saberkari, H. Martínez-García and E. Alarcón-Cot, "An output-capacitorless FVF-based low-dropout regulator for power management applications," *2016 IEEE 14th International Conference on Industrial Informatics (INDIN)*, Jul. 2016, pp. 258-263.
- [18] L. Wang, W. Mao, C. Wu, A. Chang and Y. Lian, "A fast transient LDO based on dual loop FVF with high PSRR," *2016 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*, Oct. 2016, pp. 99-102.
- [19] P. R. Surkanti, A. Garimella and P. M. Furth, "Flipped Voltage Follower Based Low Dropout (LDO) Voltage Regulators: A Tutorial Overview," *2018 31st International Conference on VLSI Design and 2018 17th International Conference on Embedded Systems (VLSID)*, Jan. 2018, pp. 232-237.

- [20] 小倉 暁生, “電源装置,” 特許 6740169, 2020.
- [21] 野田 一平, “電源装置,” 特許 493786, 2012.
- [22] K. Mii, A. Nagahama, and H. Watanabe, “Ultra-low quiescent current LDO with FVF-based load transient enhanced circuit,” *IEICE Transactions on Electronics*, vol. E103C, no. 10, pp. 466-471, Oct. 2020.
- [23] J. Ramirez-Angulo, R. G. Carvajal, A. Torralba, J. Galan, A. P. Vega-Leal and J. Tombs, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design," *2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353)*, May 2002, pp. III-III
- [24] Baker, R.J., CMOS: Circuit Design, Layout, and Simulation,” 2nd Ed., Wiley Inter science, 2005, pp. 283,289.
- [25] Y. Mizuno, H. Sebe, D. Kanemoto, and T. Hirose, “Ultra-low power low-dropout linear regulator with a load current tracking bias current generator for IoT devices,” in *Japanese Journal of Applied Physics*, vol. 63, no. 2, Feb. 2024.
- [26] C. Răducan, A. -T. Grăjdeanu, C. -S. Plesa, M. Neag, A. Negoită and M. D. Țopa, "LDO With Improved Common Gate Class-AB OTA Handles any Load Capacitors and Provides Fast Response to Load Transients," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, no. 11, pp. 3740-3752, Nov. 2020

第 3 章 特定周波数の PSRR を向上させた 低消費電流 LDO

3.1 はじめに

センサデバイスのような軽量化が求められるデバイスにおいては筐体が小型であることから発熱を伴うような電力は扱わない。この背景からウェアラブルデバイスでは熱源の分散ではなく設計簡易性を重視する観点から、ディスクリート半導体の中でも単一の半導体基板に電子回路を形成した集積回路であるモノリシックな IC が使用される。モノリシック IC 構造である電源回路として、前章で紹介した LDO の他にもスイッチングコンバータやスイッチトキャパシタ型コンバータが知られている。しかしながらこれらの IC は LDO に対して電力変換効率は優れているものの、MOSFET をスイッチとして使用し周期的にスイッチングを行って電力変換を行うため、出力電圧にリップルやインパルス状のノイズが発生する。その半面、LDO はアナログ回路による連続的な制御で電力変換を行うため、LDO の出力電圧ノイズはスイッチングコンバータやスイッチトキャパシタと比較して非常に小さくなる。以上の背景から LDO に期待される特性の 1 つに PSRR が挙げられる。この特徴から LDO はノイズに敏感なアナログ、RF、ミックスドシグナル、PLL の駆動などに使用される[1-6]。しかし、一般的に LDO の PSRR 帯域と消費電流にはトレードオフの関係があり、センサデバイスの長時間動作に対して課題がある。そこで本章では、センサデバイスにおける LDO の動作状況を鑑みて特定周波数の PSRR を改善した低消費電流 LDO を提案する。

3.2 従来回路の動作原理と技術課題

LDO の低ノイズ性能の指標となる出力ノイズと PSRR について説明する。図 3.1 に出力ノイズと PSRR の説明図示す。図 3.1 (a) に示す出力ノイズは LDO そのものから発生するノイズを意味する。シリコンから組成される MOSFET や抵抗はフリッカノイズや熱ノイズを発生させ、基準電圧源 V_{ref} の出力に重畳することに加え、誤差増幅器の入力換算ノイズやシリコン抵抗で発生するノイズが抵抗分圧を伴う負帰還制御によって増幅され、出力電圧に発生したものが出力ノイズである。一方で図 3.1 (b) に示す PSRR は LDO に印可される電源に重畳されたノイズが LDO の出力電圧でどれだけ除去されるかという指標であり、一般的に式 (3.1) で示される。

$$\text{PSRR} = 20 \log\left(\frac{\Delta V_{\text{dd}}}{\Delta V_{\text{OUT}}}\right) \quad (3.1)$$

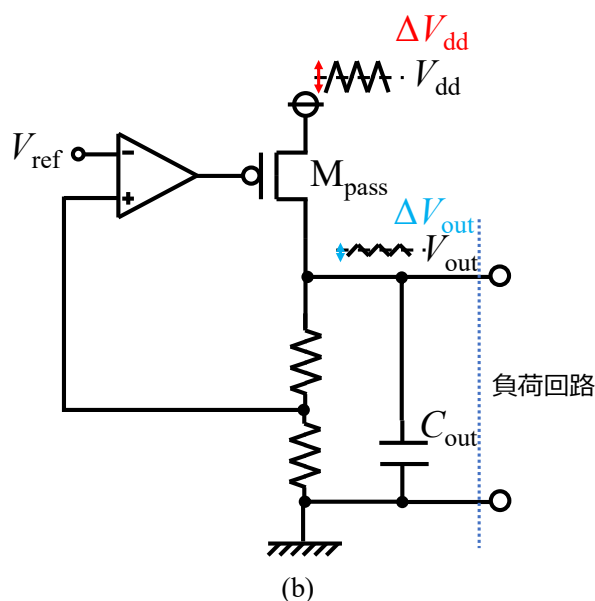
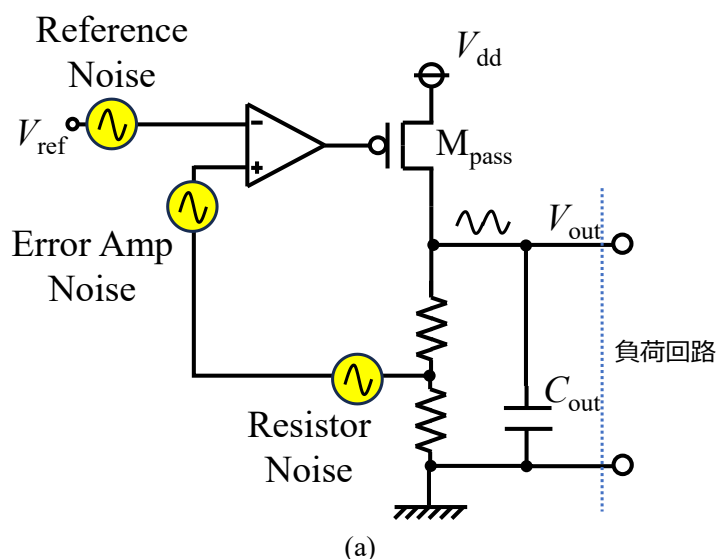


図 3.1: 出力ノイズと PSRR.

(a)出力ノイズのイメージ. (b)PSRR のイメージ.

ここで ΔV_{dd} は LDO の電源に重畳されるノイズであり, ΔV_{out} は LDO の出力に現れるノイズを意味する. 従来回路は図 3.1 に示す構成であり, 今回ターゲットにするディスクリートの LDO は図 3.1 のようにオフチップキャパシタ C_{out} を使用し, 推奨値としては $0.1 \mu\text{F}$ から $22 \mu\text{F}$ を記載している製品が多く見られる[7-9]. C_{out} の値は一般的に LDO の PSRR 特性に影響を与える. 以降では PSRR についてより詳細な傾向述べる. LDO の PSRR において, 特徴的な領域を図 3.2 に示す. 図 3.2 の I.は低周波帯域であり, 誤差増幅器とパストランジスタによって決まる DC ゲインと V_{ref} の DC 特性に依存する. また, 図 3.2 の II.は負帰還制御に関わる回路の開ループ特性によって決定する[10] .

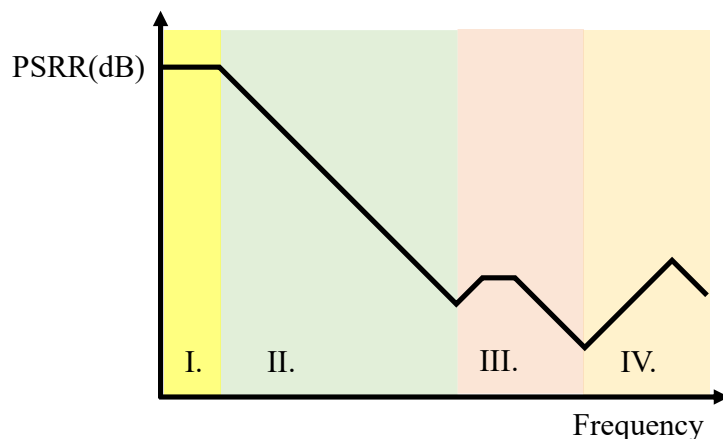


図 3.2: LDO の PSRR で特徴的な領域.

これは開ループ特性のユニティゲイン周波数まで負帰還制御の特性が PSRR 特性に影響を与えることを意味する. 図 3.2 の領域 III. は LDO 内の V_{ref} の特性によって LDO の PSRR が変化する領域である[11]. 図 3.2 の領域 IV. のように C_{out} の部品としての特性が PSRR に影響を与える印可条件も存在する. LDO の出力インピーダンス, C_{out} の実効容量値および Equivalent Series Resistance (ESR) によって構成されるフィルタ特性によって PSRR の波形が変化する. ディスクリット LDO の出力キャパシタとしては Multilayer Ceramic Capacitors を推奨される場合が多く ESR の影響が小さいため, 負荷電流が存在するような LDO の出力インピーダンスが低くなる場合, 図 3.2 のように領域 IV は最も高周波帯域に位置する場合が多い.

PSRR に着目する目的の 1 つとして, 前段に接続されている電源回路の出力電圧に重畳される定常的なノイズを低減することが挙げられる. 例えばシステムの電源回路を構成するにあたり, 第 1 章で述べたように効率と低ノイズ特性を両立するために LDO とスイッチングコンバータが直列接続して使用されるが, スwitchングコンバータの出力電圧リップルは LDO の PSRR 特性を利用することで低減できる. スwitchングコンバータは Pulse Width Modulation (PWM) 制御, Pulse Frequency Modulation (PFM) 制御, そしてバースト制御等様々な制御が適用され, 負荷状態に応じて 10 kHz から 2 MHz 程度までスイッチング周波数が変化する[12]. 軽負荷条件においてはスイッチング周波数とスイッチングコンバータの出力電圧リップルに含まれる基本波の周波数は同じであり, LDO がノイズ低減特性を期待される場合, 上記スイッチング周波数が少なくとも図 3.2 の領域 II. となるような LDO の採用が検討される. しかし, 前述したように PSRR の周波数特性は LDO の開ループ特性に影響を受ける. LDO を低消費電流で設計した際の PSRR についての課題を図 3.3 に示す. 一例として LDO の C_{out} は 1 μ F, V_{out} は 1 V, 負荷電流は 1 mA を想定し負荷抵抗は 1 k Ω としている. 帰還抵抗は低消費電流 LDO を想定し, 5 M Ω とした.

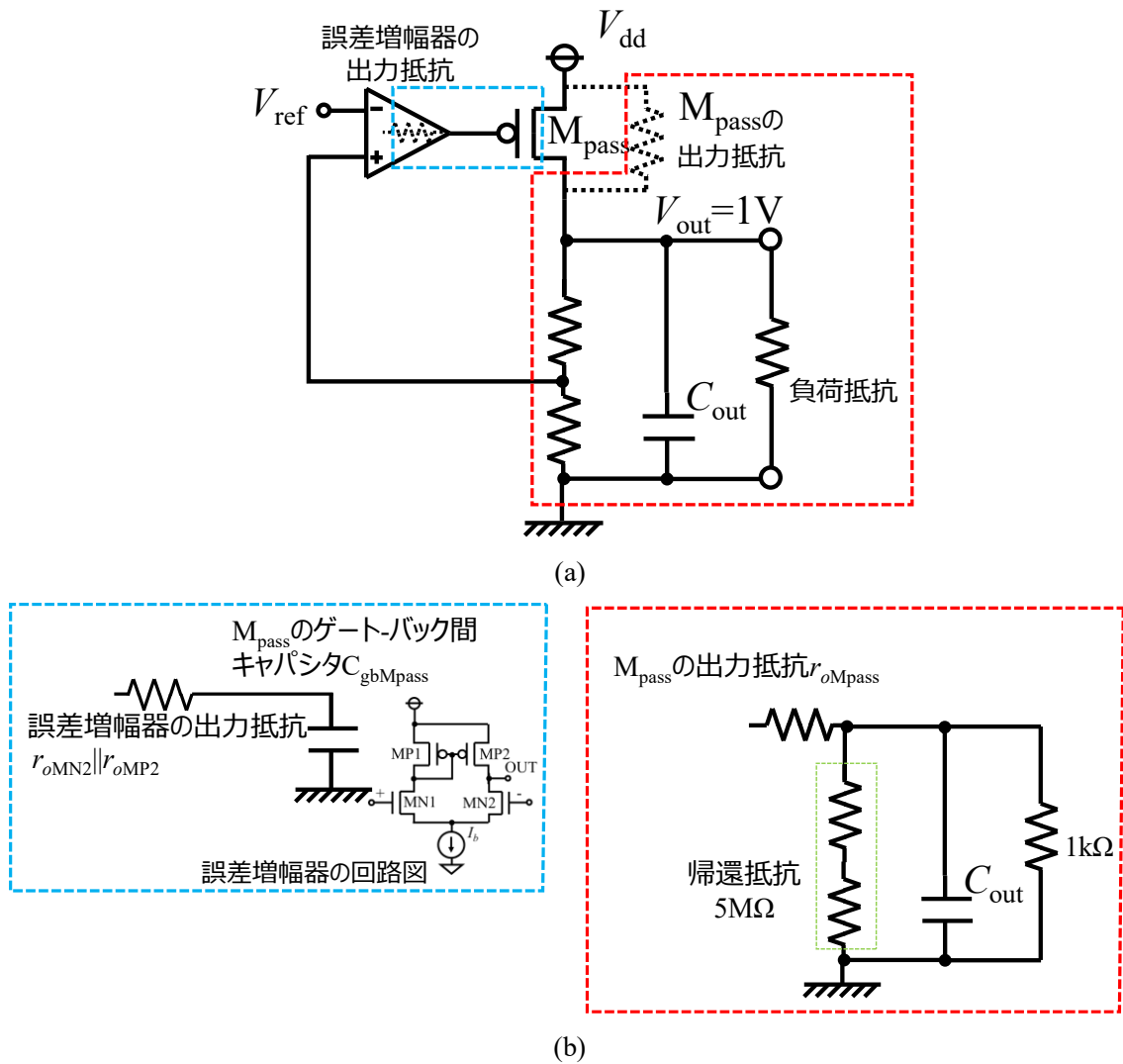


図 3.3: LDO を低消費電流で設計した際の PSRR についての課題.

(a) 極の発生箇所.

(b) (a) の各極の計算に使用する項の詳細.

図 3.3 (a) に LDO の開ループ特性において極が発生する箇所を示す. これより誤差増幅器とパストランジスタのゲートキャパシタ, またはパストランジスタと帰還抵抗, 負荷抵抗および C_{out} で低周波の極が発生することが分かる. 図 3.3 (b) に図 3.3 (a) の各極の計算に使用する項の詳細を示す. 以降, 図 3.3 (b) を元に極周波数の計算式 (3.1) を使用して各極の周波数を求める. p は極周波数, r は抵抗成分, そして c は容量成分である.

$$p = \frac{1}{2\pi r c} \quad (3.1)$$

飽和領域で動作する MOSFET の出力抵抗である r_o には式 (3.2) の関係が成り立つ[13].

$$r_o = \frac{1}{\lambda I_D} \quad (3.2)$$

ここで I_D はドレイン電流, λ はチャネル長変調効果を考慮したパラメータである. この式から MOSFET の出力抵抗はドレイン電流 I_D に反比例することが分かる.

低消費電流 LDO に使用される誤差増幅器を想定し, 図 3.3 (b) 内に示す誤差増幅器のテール電流 $I_b=200$ nA と設定する. パストランジスタのゲートキャパシタは 20 pF とする[14]. ここで λ は参照文献の値を参考に一律 0.01 V⁻¹ を使用する[15]. 上記より誤差増幅器の出力抵抗とパストランジスタのゲートキャパシタで発生する極 p_1 は式 (3.3) で求められる.

$$p_1 = \frac{1}{2\pi(r_{oMN2}||r_{oMP2})C_{gbMpass}} = \frac{1}{2\pi \frac{1}{\lambda 100\text{nA} + \lambda 100\text{nA}} 20\text{pF}} = 15.9 \text{ Hz} \quad (3.3)$$

図 3.3 (b) 内のパストランジスタの出力抵抗, 帰還抵抗, 負荷抵抗と C_{out} で発生する極 p_2 は式 (3.4) で求められる. パストランジスタの出力抵抗 r_{oMpass} は参照文献の値を参考にして $5\text{M}\Omega$ とすると, V_{out} ノードの出力抵抗は負荷抵抗が支配的となるため, 近似を行って計算している[15].

$$p_2 = \frac{1}{2\pi(r_{oMpass}||5\text{M}\Omega||1\text{k}\Omega)C_{out}} \approx \frac{1}{2\pi 1\text{k}\Omega C_{out}} = 159 \text{ Hz} \quad (3.4)$$

式 (3.3), (3.4) の計算結果から, 軽負荷時の LDO において誤差増幅器の出力抵抗とパストランジスタのゲートキャパシタで発生する極が開ループのドミナントポールになることが分かる. 式 (3.3) の計算結果が低い周波数となっている原因として誤差増幅器のテール電流が非常に小さいことが影響しており, PSRR のカットオフ周波数が低周波に発生する主要因であることが分かる. 以上から従回路の技術課題として LDO の誤差増幅器のテール電流が小さいために PSRR のカットオフ周波数が低くなることで LDO に入力されるスイッチングコンバータの出力電圧リップルの除去性能が劣化する点が課題である.

次節に示す提案する LDO は, FVF を応用した低消費電流かつ高い帯域の応答性能を持った補助アンプ FVF-based PSRR enhanced circuit (FBPEC) を搭載している. 交流成分に対してのみ動作する FBPEC を定常時のレギュレーションに使用する誤差増幅器に対して並列に使用することで, LDO の出力電圧に高周波の交流成分が発生すると FBPEC が負帰還制御を担うことで低消費電流ながら特定周波数の PSRR を向上させている[16].

3.3 提案する特定周波数の PSRR を向上させた低消費電流 LDO

3.3.1 想定される LDO の動作状況と提案回路の特性ターゲット

第 2 章でも示したように、バッテリー駆動のセンサデバイスにおける電源回路の電流プロファイルとして RF 回路が通信を行う際には LDO に対して瞬間的な負荷電流の増加が発生する。しかし、通信時以外でセンシングおよび信号処理をしている状態の負荷電流は通信時と比較して相対的に小さく、LDO の消費電流が小さければ長時間動作に貢献できる[17]。センシング状態のデバイスにおいて、アナログ回路では特に電源のノイズ性能が求められる、特に $\Delta\Sigma$ ADC においては電源のノイズによってダイナミックレンジが低下する問題が知られている[18]。よって低消費電流でありながら軽負荷状態の PSRR 特性を向上させた LDO が必要である。次に PSRR を向上させるターゲット周波数帯域について述べる。センシング状態においてはスイッチングコンバータも軽負荷の状態になるため、スイッチングコンバータの効率を向上させるために PFM 制御またはバースト制御で動作することが想定される。軽負荷、例えば負荷電流が 1 mA の状態で発生するリップル電圧の周波数は 10 kHz から 20 kHz 程度であり、最も影響の大きな左記帯域の PSRR を向上させることで上記の課題に対する対策となる[12]。LDO の消費電流は第 2 章と同じく 1 μ A 以下をターゲットとする。

3.3.2 回路構成

前節で述べた誤差増幅器の出力抵抗とパストランジスタのゲートキャパシタで発生する極が原因で PSRR のカットオフ周波数が低周波に発生するという技術課題に対し、図 3.4 に解決策を示す。LDO に接続されるスイッチングコンバータの軽負荷時に発生するスイッチング周波数近傍にのみゲインを持つ低消費電流補助アンプを通常の誤差増幅器と並列に使用することで課題を解決する。

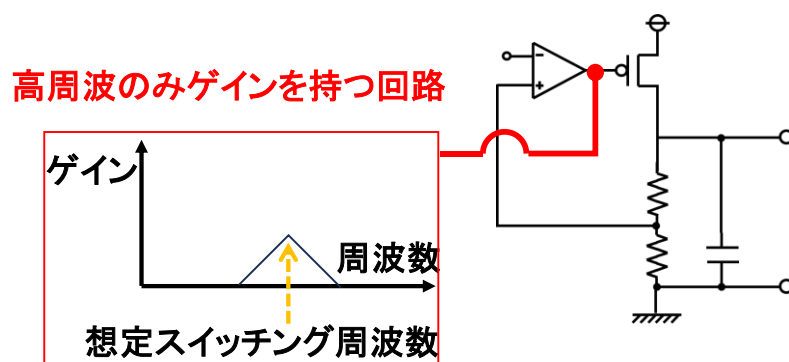


図 3.4: 技術課題に対する解決策。

LDO の出力に発生する変動を通常の誤差増幅器でなく、高周波帯域において高いゲインを有する補助アンプをもって抑制することで特定周波数の PSRR を向上させる。

本項では前項で述べた技術課題とターゲットを踏まえ、消費電流が $1\ \mu\text{A}$ 未満でも軽負荷時に特定周波数帯域の PSRR 向上を実現する LDO を提案する。図 3.5 に提案する LDO の回路図を示す。提案回路は一般的な LDO に加えて低消費電流な補助アンプである FBPEC で構成する。一般的な LDO はパストランジスタ M_{pass} と帰還抵抗 R_{f1} , R_{f2} と位相補償素子 R_{c2} , C_{c2} , C_{c3} とオフチップの負荷キャパシタ C_{out} とキャパシタの寄生抵抗 R_e で構成される。図 3.6 に FBPEC の詳細な回路構成を示す。

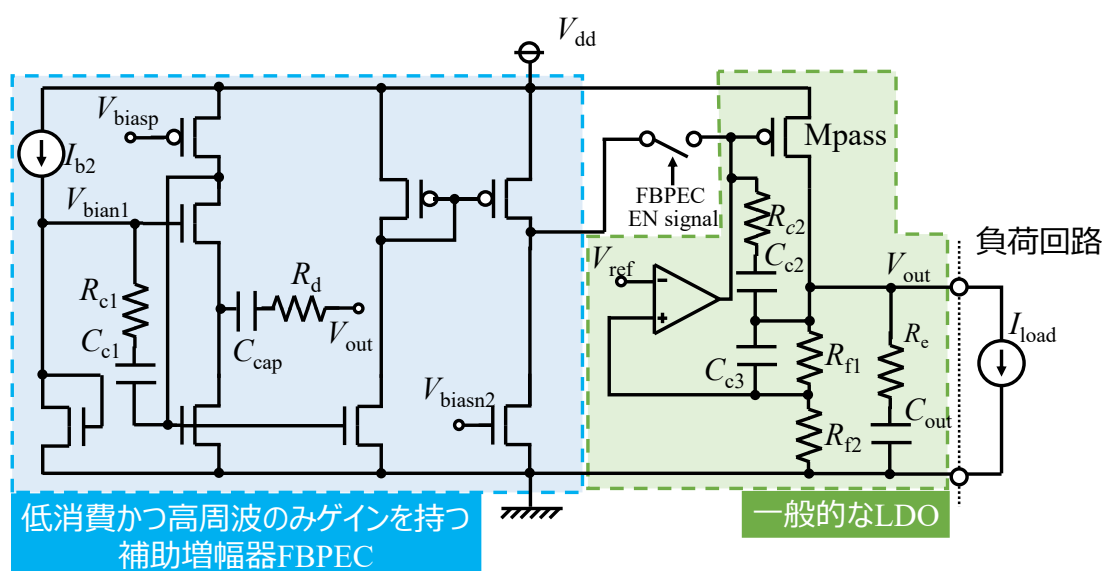


図 3.5: 提案する LDO.

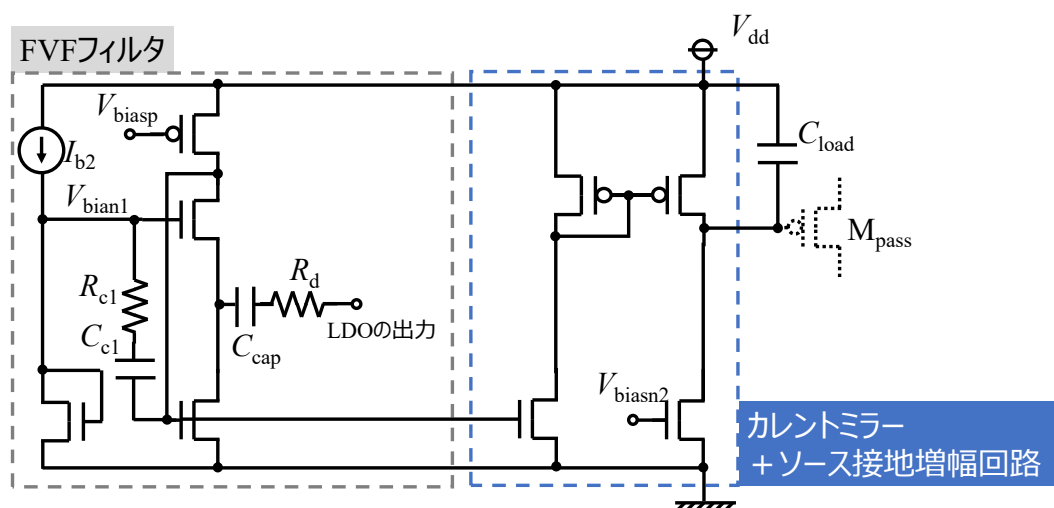


図 3.6: FBPEC の回路構成.

FBPEC は第 2 章でも使用した FVF フィルタ，カレントミラーおよびソース接地増幅回路で構成される．FBPEC において C_{cap} はオフチップキャパシタを想定している．また， R_d は過渡的な安定性向上のために使用しているダンピング抵抗である． R_{c1} ， C_{c1} は位相補償を目的とした素子である． C_{load} はパストランジスタ M_{pass} のゲートバック間に存在するキャパシタ成分を表現している．第 2 章の FBLC は交流信号を増幅し，デジタル信号に変換することでテール電流源の切替制御に使用していたのに対し，FBPEC は交流信号をアナログ的に増幅し帰還経路に使用する．FBPEC において，FVF フィルタのみではゲイン向上が難しく，ソース接地増幅回路を追加することでゲインを向上させている．次項では FBPEC の小信号解析とシミュレーション結果を示す．

3.3.3 低消費電流な補助増幅器 FBPEC の回路特性

本項では小信号解析とシミュレーションを用いて FBPEC の回路特性を説明する．図 3.7 に FBPEC の小信号等価回路を示す．ドミナントポールを計算によって求めることを目的とし，FBPEC の回路図に A から D のノード名を割り振っている．

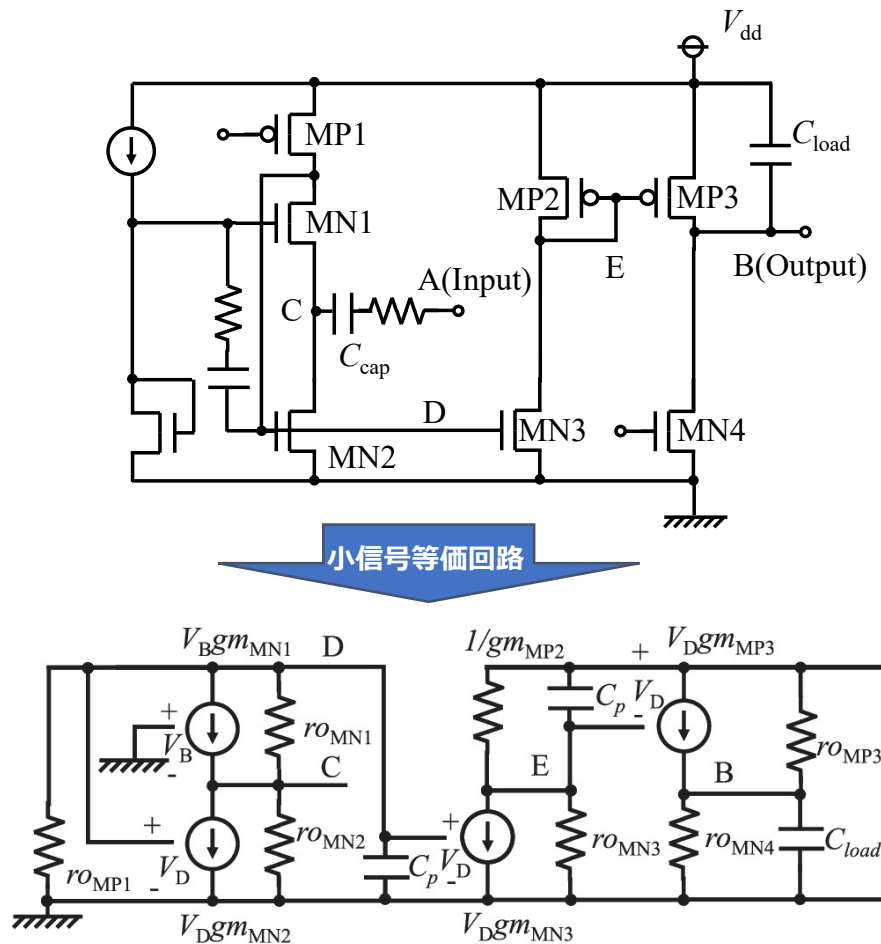


図 3.7: FBPEC の小信号等価回路．

C_{cap} はトランジスタの寄生容量に比べてはるかに大きく、 R_d はトランジスタの出力抵抗に比べてはるかに小さいため、小信号解析では無視できる。図 3.7 で r_o はトランジスタの出力抵抗、 gm はトランジスタの出力コンダクタンス、 C_p はトランジスタの寄生容量である。図 3.7 に示す小信号等価回路のすべてのトランジスタのトランスコンダクタンスが gm_{MN1} に等しく、出力抵抗が $r_{o\text{MN1}}$ に等しいと仮定すると、回路にはノード D, E, B で発生する極にそれぞれ対応する極 p_D , p_E , p_B が発生する。各極の計算式を式 (3.5), (3.6), (3.7) に示す。

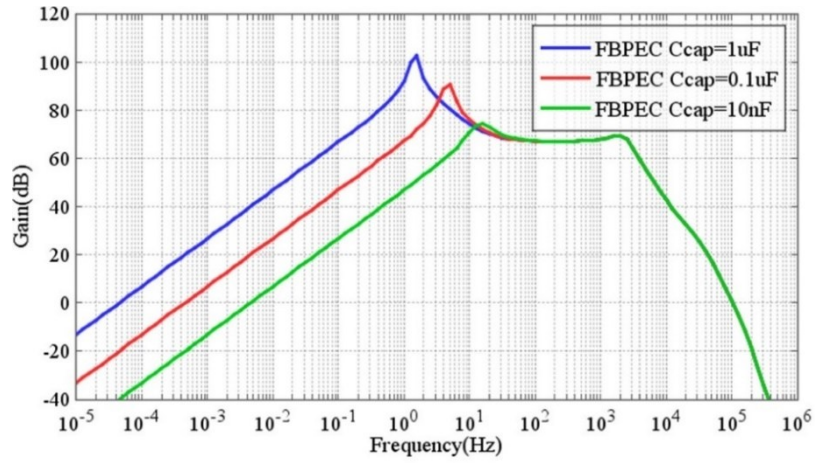
$$p_D \approx \frac{gm_{\text{MN1}}}{C_p} \quad (3.5)$$

$$p_E \approx \frac{gm_{\text{MN1}}}{C_p} \quad (3.6)$$

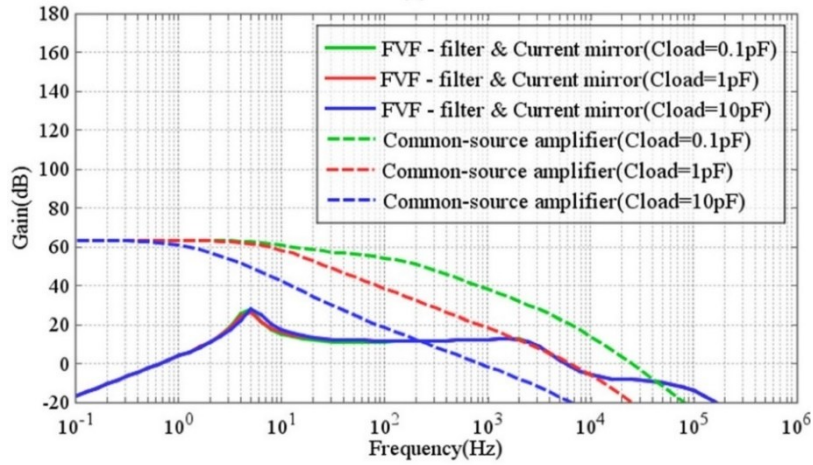
$$p_B \approx \frac{2}{r_{o\text{MN1}} C_{\text{load}}} \quad (3.7)$$

LDO において C_{load} は C_p の 100 倍以上大きくなるようなサイズで設計されているため、上記からソース接地増幅回路の出力で発生する p_B がドミナントポールになることが分かる。

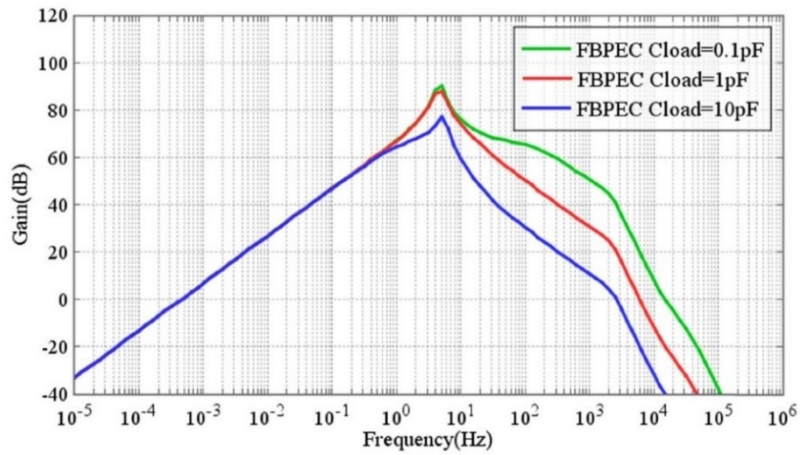
以降ではシミュレーションを用いて図 3.6 の C_{cap} と C_{load} が FBPEC の特性に与える影響を検証する。FBPEC は 0.18 μm CMOS プロセスを使用して設計しており、 $V_{\text{dd}} = 2 \text{ V}$ の時の消費電流は 100 nA である。図 3.7 のノード A を入力、ノード B を出力とした周波数特性を図 3.8 に示す。図 3.8 (a) は C_{cap} を掃引した時の FBPEC としての周波数応答特性を示しており、 C_{cap} の値によって信号を増幅できる周波数帯域を調整可能であることを示している。この特性は FVF フィルタの特徴から発生するものであり、詳細は第 2 章で解説している。図 3.8 (b) は C_{load} を掃引した際の FVF フィルタ、カレントミラーおよびソース接地増幅回路の周波数特性を示す。ソース接地増幅回路は式 (3.7) より C_{load} によって帯域が変化する。FVF フィルタとカレントミラーは C_{load} から影響を受けないが、FBPEC の特性は FVF フィルタ、カレントミラーおよびソース接地増幅回路の積であるため、FBPEC のユニティゲイン周波数は C_{load} に影響を受ける。図 3.8 (c) に C_{load} を掃引した際の FBPEC としての周波数特性を示す。 $C_{\text{load}} = 10 \text{ pF}$ でのユニティゲイン周波数は約 3 kHz である。図 3.8 (c) に示す FBPEC の周波数特性は、一般的なオペアンプに比べて特定の周波数でゲインを高くできるのが特徴である。図 3.5 に示す提案回路の PSRR 特性は、従来の LDO の周波数応答特性と FBPEC の周波数応答特性の積で決まり、従来の回路に比べて特定の帯域幅で PSRR が向上する。



(a)



(b)



(c)

[16]より転載.

図 3.8: FBPEC と各ブロックの周波数応答.

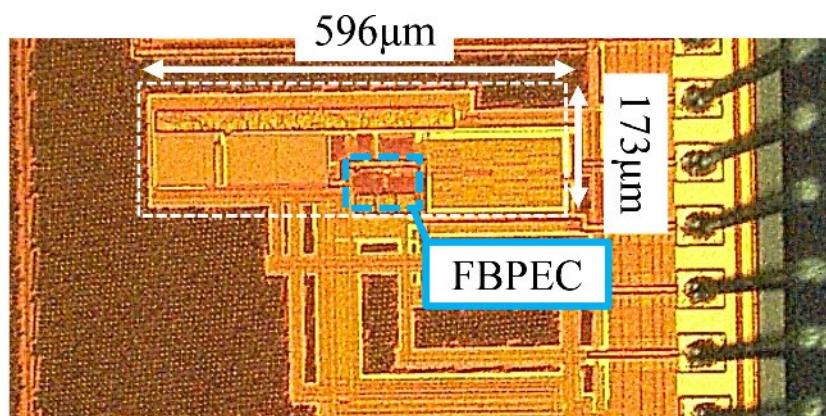
(a) C_{cap} を掃引した時の FBPEC としての周波数応答特性.

(b) (a) の各ブロックの周波数特性.

(c) C_{load} を掃引した時の FBPEC としての周波数応答特性.

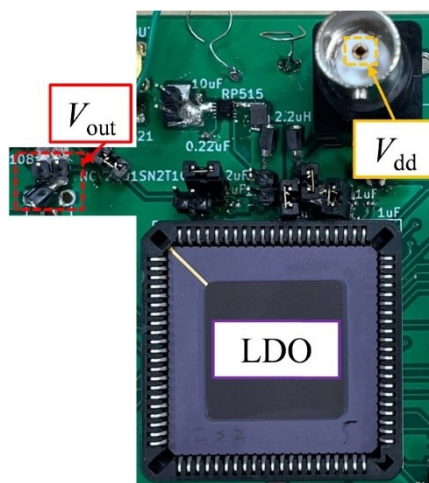
3.4 提案する LDO の測定評価

図 3.5 に示す提案 LDO は $0.18\ \mu\text{m}$ CMOS プロセスを使用して設計しており，最大負荷電流は $100\ \text{mA}$ を想定している．図 3.9 に試作チップの顕微鏡写真を示す．アクティブ領域は $0.103\ \text{mm}^2$ である．図 3.10 に測定に使用した Printed Circuit Board (PCB) を示す．PCB は一般的な二層基板を使用しており，チップは 84-PLCC パッケージを使用した．提案 LDO の無負荷時消費電流 I_Q は $648\ \text{nA}$ であり，3.3.1 項で設定したターゲットを達成している．表 3.1 に測定に使用した機器および印可条件を示す．



[16]より転載.

図 3.9: 試作チップの顕微鏡写真.



[16]より転載.

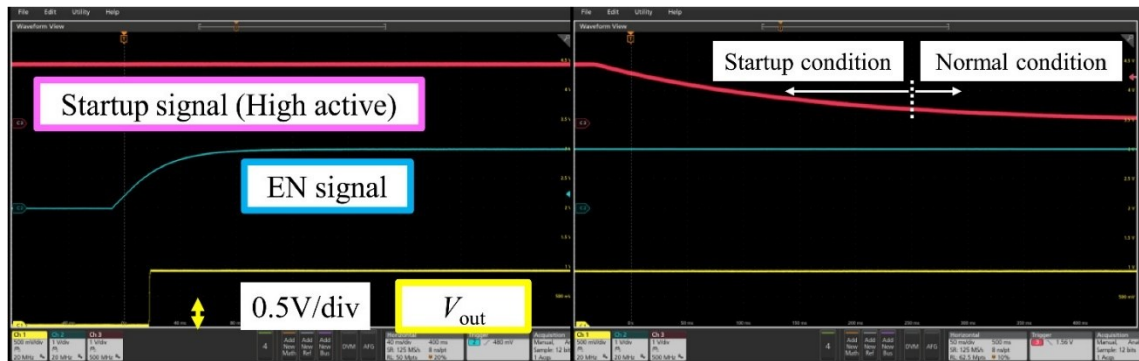
図 3.10: 測定に使用した PCB.

表 3.1 使用機器および印可条件. [16]より転載.

Parameters and components	Value and model
V_{dd}	2 V
I_{load} (resistive load)	1 mA
R_d	5 k Ω
C0603C103K2RACTU	10 nF (for C_{out})
0603BB104K500NGT	0.1 μ F (for C_{cap})
Oscilloscope with frequency response analysis function	MSO44
Line injector	J2120A

図 3.11 にイネーブル (EN) 信号とスタートアップ信号による LDO の起動波形を示す. Startup 信号を High にすると起動時の LDO の消費電流が増加し, Low にすると LDO は低消費電流の通常動作状態に移行する. Startup 信号の詳細は後述する. 図 3.11 から LDO の出力電圧は 0.938 V である. EN 信号は LDO のアクティブとディセーブルを制御する信号である.

図 3.12 に提案 LDO のバイアス生成回路を示す. この回路はバイアス電圧 V_{biasp} と V_{biasn} を生成する. これらのバイアス電圧はカレントミラーとして使用される. 例えば, 図 3.12 に示すように V_{biasp} と PMOS は図 3.6 で使用している I_{b2} を生成する. R_t は温度特性を改善するために使用する. MN9 および MP8 はカスコードとして使用され, MN7, MN11, MP6 および MP10 は V_{biasp} と V_{biasn} に基づきカスコードトランジスタのためにバイアスを生成する. 図 3.12 のバイアス生成回路にはスタートアップ回路が必要である[19]. 本研究では外部信号とインバータによってスタートアップ回路を構成した. 外部信号によって V_{biasp} がプルダウンされ, バイアス生成回路に流れる電流が増加することでスタートアップを行う.



[16]より転載.

図 3.11: 提案 LDO の起動波形.

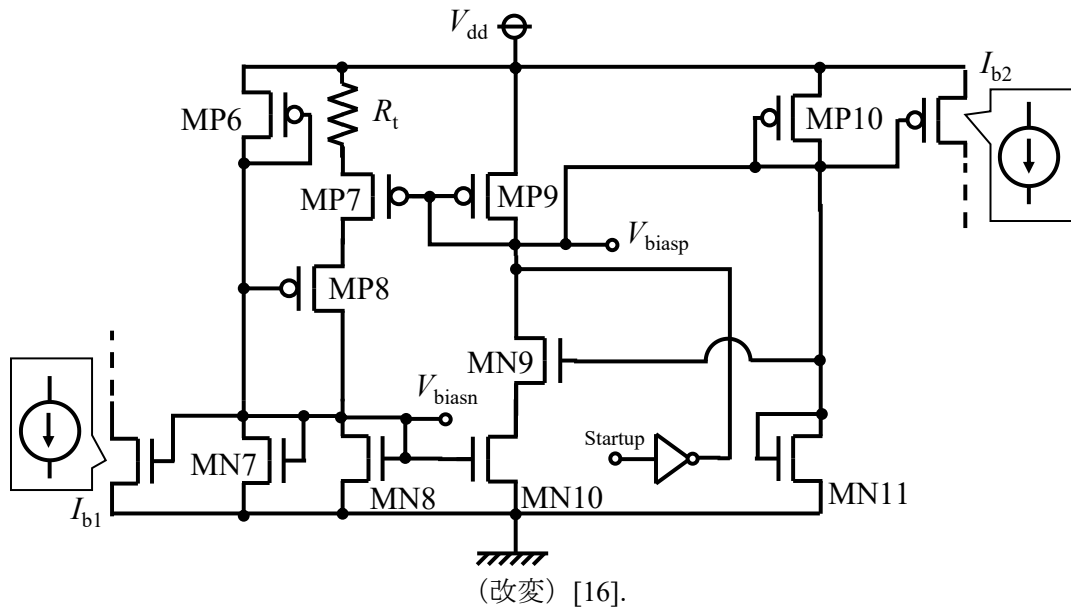
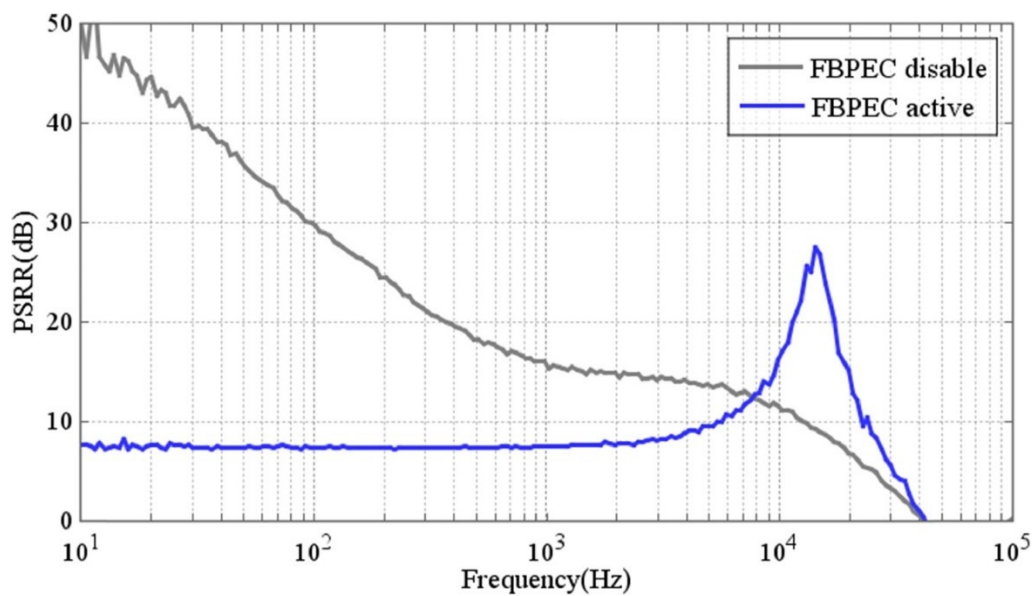


図 3.12: 提案 LDO のバイアス生成回路.

図 3.13 に提案 LDO の PSRR 測定結果を示す. FBPEC を有効にすることで無効状態と比較して 8 kHz 以上 PSRR が向上していることが分かる. 3.3.1 項で想定していた, センサデバイスがセンシング中で軽負荷になっているスイッチングコンバータのスイッチング周波数は 10 kHz から 20 kHz であり, 図 3.13 の場合は 15 kHz のスイッチング周波数に対して最も効果が高くなる特性であった.

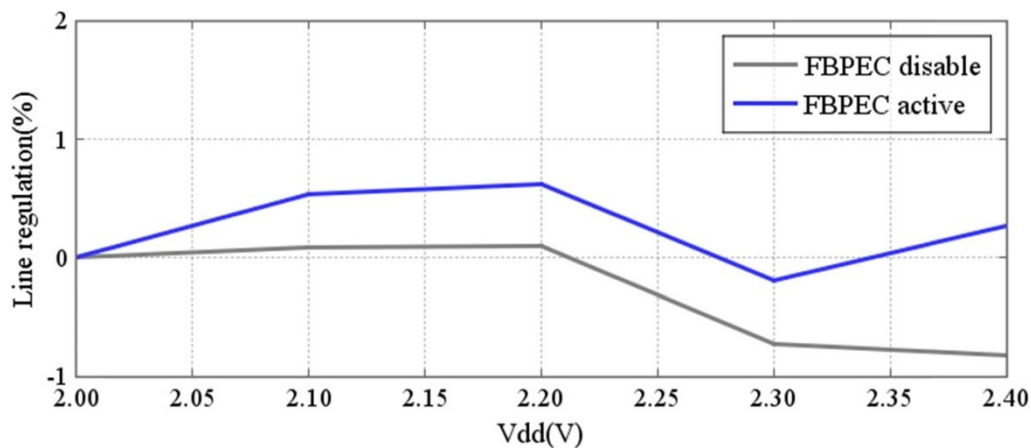


[16]より転載.

図 3.13: 提案 LDO の PSRR 測定結果.

提案 LDO の PSRR は 15 kHz で 27.5 dB であり，FBPEC を無効にした一般的な LDO に対し約 18 dB の PSRR 向上が確認された．一方，8 kHz 未満の周波数では提案 LDO の PSRR は一般的な LDO に対して低くなっている．図 1.9 に示したシステムアーキテクチャにおいて，LDO はスイッチングコンバータの後段に接続されるため，LDO の入力電圧に外乱ノイズが生じた場合はスイッチングコンバータのレギュレーション能力によって抑制される．よって，DC 特性としてラインレギュレーションで大きな変動が生じなければ，スイッチング周波数以下の PSRR 波形に大きな意味はなく，問題ない．また，PSRR の帯域から分かるように，提案する LDO が応答可能な周波数帯域は従来の LDO と同等である．そのため，負荷過渡に対する応答性能を向上させる場合は，第 2 章で示した技術を組み合わせて使用することで改善が可能である．PSRR としては測定装置の限界によって 10 Hz 以下の測定ができなかったため，ラインレギュレーションによって低周波における特性に対して代替評価を行った．図 3.14 にラインレギュレーションの測定結果を示す．全ての条件でラインレギュレーションは 1 % 以内であり FBPEC の有効無効によらず出力電圧がレギュレーションできていることを確認した．

表 3.2 に提案 LDO と先行研究との性能比較を示す．Figure of merit (FoM) は PSRR とトレードオフの関係にある無負荷時の消費電流 I_Q から算出され，高い程優れていることを表す．本研究は優れた性能を有しているが先行研究[21]も優れた FoM の値となっている．先行研究[21]は PSRR の測定条件が $I_{load} = 50$ mA で測定されており，なおかつ負荷電流が大きい程 PSRR を向上させる適応バイアス技術が使用されているため FoM として優れているように見えている[23, 24]．本研究のターゲットは LDO が軽負荷時の PSRR 改善であるため，先行研究[21]は上記の観点で同等に評価できるものではない．また，本研究の $I_{loadMAX}$ は 100 mA まで扱えるため，センサデバイスの無線通信に伴う電流増加に対応するために有利であると言える．



[16]より転載．

図 3.14: 提案 LDO のラインレギュレーション測定結果．

表 3.1: 提案 LDO と先行研究との性能比較, (改変) [16].

参照	[20]	[21]	[22]	本研究
Process	14nm	180nm	250nm	180nm
Active area (mm ²)	0.01	0.039	0.108	0.103
V_{ddMAX} (V)	1.2	1.8	3.3	3.3
Load Capacitor (μ F)	$C_{out} = 0.004$	$C_{out} = 0.47$	$C_{out} = 1$	$C_{out} = 0.01$ + $C_{cap} = 0.1$
I_Q (nA)	27300	900	1240	648
$I_{loadMAX}$ (mA)	15	50	150	100
PSRR @15kHz (voltage ratio)	126 @ $I_{load} =$ 1.5mA	178 @ $I_{load} =$ 50mA	17.8 @ $I_{load} =$ 150m	23.7 @ I_{load} = 1mA
FoM (PSRR @15kHz / I_Q @no-load)	0.005	0.198	0.014	0.037

3.5 まとめ

本章では, 特定周波数帯域の PSRR を向上させた低消費電流 LDO を提案した. 提案回路は一般的な回路構成の LDO に低消費電流かつ特定の周波数帯域にのみ応答する FBPEC を補助アンプとして通常の誤差増幅器と並列に動作させることで特定帯域の PSRR 向上を実現した. FBPEC は FVF フィルタとソース接地増幅回路を組み合わせた回路であり, FVF フィルタ同様に BPF と増幅器の特徴を併せ持つ. シミュレーションによって FBPEC は消費電流 100 nA かつパストランジスタ相当のキャパシタを負荷として接続してもユニティゲイン周波数は 3 kHz 程度と高い周波数であった. FBPEC を有効にした状態で負荷電流が 1 mA の軽負荷であっても 15 kHz の PSRR は 27.5 dB と高い値を実現した. これは一般的な LDO と比較して 18 dB の向上である. ラインレギュレーション特性評価にて FBPEC 起因の劣化は見られず DC 的にも出力電圧はレギュレーションされている. トレードオフの関係にある PSRR と無負荷時消費電流によって計算する FoM において, 過去研究に対し優れた結果を得た. 以上の結果より, 提案する LDO はセンサデバイスの長時間動作とバッテリー小型化のトレードオフに対して貢献できることを示した.

参考文献

- [1] Y. Chen, D. Ma and P. Georgiou, "A Wireless Power Management Unit with a Novel Self-Tuned LDO for System-On-Chip Sensors," *2021 IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2021, pp. 1-5.
- [2] C. Zheng and D. Ma, "Design of Monolithic CMOS LDO Regulator With D2 Coupling and Adaptive Transmission Control for Adaptive Wireless Powered Bio-Implants," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 58, no. 10, pp. 2377-2387, Oct. 2011.
- [3] A. Arakali, S. Gondi and P. K. Hanumolu, "Analysis and Design Techniques for Supply-Noise Mitigation in Phase-Locked Loops," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 11, pp. 2880-2889, Nov. 2010.
- [4] M. Nasrollahpour and S. Hamed-Hagh, "Fast transient response and high PSRR low drop-out voltage regulator," *2016 IEEE Dallas Circuits and Systems Conference (DCAS)*, Arlington, Oct. 2016, pp. 1-4.
- [5] S. Gweon, J. Lee, K. Kim and H. -J. Yoo, "93.8% Current Efficiency and 0.672 ns Transient Response Reconfigurable LDO for Wireless Sensor Network Systems," *2019 IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2019, pp. 1-5.
- [6] Y. Jiang, D. Wang and P. K. Chan, "A Quiescent 407-nA Output-Capacitorless Low-Dropout Regulator With 0–100-mA Load Current Range," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 27, no. 5, pp. 1093-1104, May 2019.
- [7] Nisshinbo Micro Devices Inc., NR1600 LDO, Accessed: Dec. 16, 2024. [Online]. Available: <https://www.nisshinbo-microdevices.co.jp/ja/pdf/datasheet/nr1600-ja.pdf>
- [8] Analog Devices, Inc., MAX25302A LDO, Accessed: Dec. 16, 2024. [Online]. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/max25302a-max25302b.pdf>
- [9] Nisshinbo Micro Devices Inc., R1560 LDO, Accessed: Dec. 16, 2024. [Online]. Available: <https://www.nisshinbo-microdevices.co.jp/ja/pdf/datasheet/r1560-ja.pdf>
- [10] Analog Devices, Inc., 最適な設計を行うために、LDO に関する基本的な用語を理解する, Accessed: Dec. 16, 2024. [Online]. Available: <https://www.analog.com/jp/resources/analog-dialogue/articles/understand-ldo-concepts.html>

- [11] I. C. Guran, A. Florescu, and L. A. Perișoară, "Optimized Power Supply Rejection Ratio Modeling Technique for Simulation of Automotive Low-Dropout Linear Voltage Regulators" in *Mathematics*, no. 7, pp.1150-2022, Mar. 2022.
- [12] Texas Instruments Inc., TPS62843 Step-Down Converter, Accessed: Dec. 16, 2024. [Online]. Available: https://www.ti.com/jp/lit/ds/symlink/tps62843.pdf?ts=1734356679534&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252Fja-jp%252FTPS62843
- [13] Baker, R.J., CMOS: Circuit Design, Layout, and Simulation,” 2nd Ed., Wiley Inter science, 2005, pp. 282.
- [14] B. Wang, T. Matsuoka, H. Wang, Y. Dai, J. Wang and I. Jo, " A capacitor-less transient-response-improved CMOS low-dropout regulator" in *Far East Journal of Electronics and Communications*, Volume 15, Issue 1, pp. 35 - 56, Sep. 2015.
- [15] Baker, R.J., CMOS: Circuit Design, Layout, and Simulation,” 2nd Ed., Wiley Inter science, 2005, pp. 289.
- [16] K. Mii, D. Kanemoto, and T. Hirose, “Low quiescent current LDO with FVF-based PSRR enhanced circuit for EEG recording wearable devices,” in *Japanese Journal of Applied Physics*, vol. 63, 03SP33, Feb. 2024.
- [17] A. H. Sodhro, S. Pirbhulal, G. H. Sodhro, A. Gurtov, M. Muzammal and Z. Luo, "A Joint Transmission Power Control and Duty-Cycle Approach for Smart Healthcare System," in *IEEE Sensors Journal*, vol. 19, no. 19, pp. 8479-8486, 1 Oct. 2019.
- [18] Bryan L, “Fundamentals of Precision ADC Noise Analysis,” Texas Instruments.
- [19] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, 3rd ed. New York: Oxford University Press, 2012, pp.152.
- [20] X. Liu *et al.*, "A Universal Modular Hybrid LDO With Fast Load Transient Response and Programmable PSRR in 14-nm CMOS Featuring Dynamic Clamp Strength Tuning," in *IEEE Journal of Solid-State Circuits*, vol. 56, no. 8, pp. 2402-2415, Aug. 2021.
- [21] A. Maity and A. Patra, "Design and Analysis of an Adaptively Biased Low-Dropout Regulator Using Enhanced Current Mirror Buffer," in *IEEE Transactions on Power Electronics*, vol. 31, no. 3, pp. 2324-2336, Mar. 2016.

- [22] R. Magod, B. Bakkaloglu and S. Manandhar, "A 1.24 μ A Quiescent Current NMOS Low Dropout Regulator With Integrated Low-Power Oscillator-Driven Charge-Pump and Switched-Capacitor Pole Tracking Compensation," in *IEEE Journal of Solid-State Circuits*, vol. 53, no. 8, pp. 2356-2367, Aug. 2018.
- [23] B. Yang, B. Drost, S. Rao and P. K. Hanumolu, "A high-PSR LDO using a feedforward supply-noise cancellation technique," *2011 IEEE Custom Integrated Circuits Conference (CICC)*, Sep. 2011, pp. 1-4.
- [24] D. Mandal, C. Desai, B. Bakkaloglu and S. Kiaei, "Adaptively Biased Output Cap-Less NMOS LDO With 19 ns Settling Time," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 66, no. 2, pp. 167-171, Feb. 2019.

第4章 ランダムアンダーサンプリング型圧縮 センシング用の低フリッカノイズ かつ低消費電力な LNA

4.1 はじめに

LNA は増幅器の中でも低ノイズ性能を特徴に持つ。LNA は生体信号センシングにおいて電極から得た電気信号を低い入力換算ノイズ (IRN) で増幅するために使用される IC であり、センサデバイスにおいて非常に重要な役割を担う。LNA のノイズ性能は消費電力とトレードオフの関係があり、課題である。従来は消費電力が大きくなる選択肢が取られる場合が多く、従来の生体信号向け IC に関する研究において、単体 AFEIC 内または AFE 回路を含めた特定用途向け IC (ASIC) 全体に占める LNA の消費電力の割合は大きかった[1-3]。以上から LNA の消費電力が低いほどバッテリーの小型軽量化につながることから、低消費電力の AFE IC や RF 回路を搭載した AFE IC が開発されてきた。しかし、LNA の消費電力が依然として大きな割合を占めているケースがある[4, 5]。さらに、電極のチャンネル数はアプリケーションによって様々であるが、EEG 電極の例では 10 から 20 チャンネルを実装するものが報告されている[6]。第1章でも述べたが、各チャンネルにはそれぞれ個別の LNA が必要であることから、LNA の消費電力性能はバッテリー駆動センサデバイスの長時間動作を実現する上で重要な要素である。今回は過去の低消費電力 AFE IC[5]を参考にしつつ消費電力のターゲットを $0.5 \mu\text{W}$ 以下と設定する。本章では上記の課題に対し、センサデバイスが取得する生体信号のモチーフを EEG とする。脳波計を想定した EEG 計測システムに圧縮センシングを採用することで、LNA に求められるトレードオフに対する要求を緩和し、低消費電力化の実現をシミュレーションと実測によって検証した。

4.2 圧縮センシングを用いない従来システムの技術課題

図 4.1 に従来の EEG 計測システムの回路構成を示す。EEG は μV オーダーの非常に微弱な信号であるため、電極で取得された EEG は LNA によって増幅され、アンチエイリアシングフィルタを介して ADC に入力し、デジタル情報に変換する。従来システムにおいて、AD 変換の際には標本化定理に基づくナイキスト周波数を考慮する必要がある。測定対象である EEG は 0.5 Hz から 100 Hz に分布しているため、最低でも 200 Hz 以上のサンプリング周波数でデータを得る必要がある[7]。図 4.1 において x は増幅された EEG、 \hat{x} はサンプリングされた EEG を意味する。

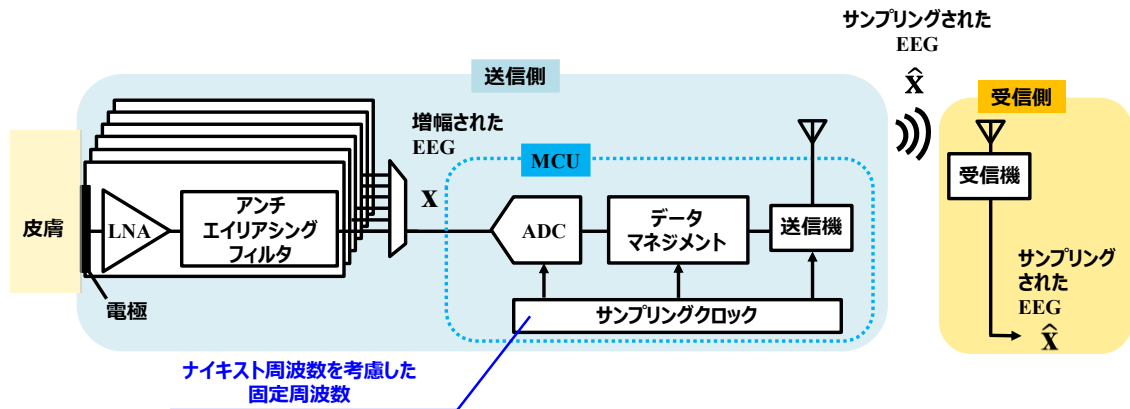
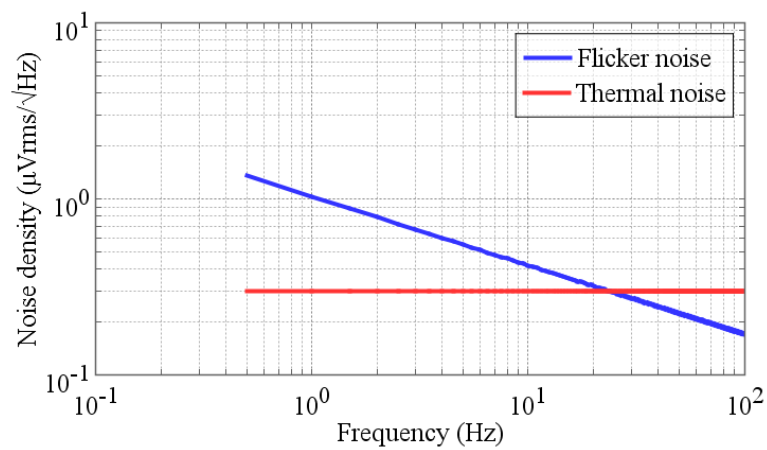


図 4.1: 従来の EEG 計測システムの回路構成.

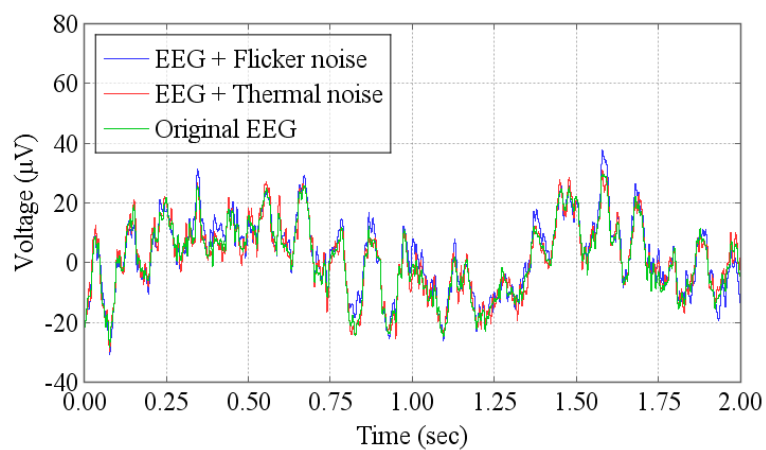
受信側では無線通信で得た \hat{x} を元にアプリケーションに応じて信号処理を行う。この際、LNA への要求は低 IRN で入力信号である EEG を増幅することであり、フリッカノイズに加えて熱ノイズの低減も求められる。図 4.2 に LNA のフリッカノイズまたは熱ノイズのみを想定した雑音が EEG に与える影響を示す。検証に使用するノイズは図 4.2 (a) を使用し、両ノイズの積算値は 0.5 Hz から 100 Hz において $3 \mu V_{rms}$ としている。図 4.2 (b) より局所的に低周波でパワーの大きなフリッカノイズ起因で EEG の現信号と乖離が生じているが、図 4.2 (c) より広域に渡って分布している熱ノイズも EEG の測定に影響を及ぼすことが分かる。この結果より、従来の EEG 計測システムではフリッカノイズと熱ノイズの双方の低減しつつ EEG 計測を行う必要があり LNA に対しては上記両方のノイズ低減が求められる。LNA のノイズ性能は消費電力とトレードオフの関係があるため、従来の EEG 計測システムにおいては LNA の低消費電力化は難しく、バッテリー駆動脳波計の長時間動作に対して課題がある。そこで本研究では、ランダムアンダーサンプリング型圧縮センシングフレームワークを脳波計へ適用することで低消費電力化を提案する。

また、図 4.1 から分かるように LNA の入力である EEG は人体に電極を接触させることで取得する。電極には人体に埋め込む侵襲型と、埋め込みを必要としない非侵襲型が存在する。図 4.3 に代表的な侵襲型の電極の種類とそれぞれの電極界面の等価回路を示す。図 4.3 以外にもテキスタイル電極をはじめとした非侵襲型の電極は存在するが、コストや耐久性に課題があり、現在脳波計向けには図 4.3 で示す電極が広く採用されている。

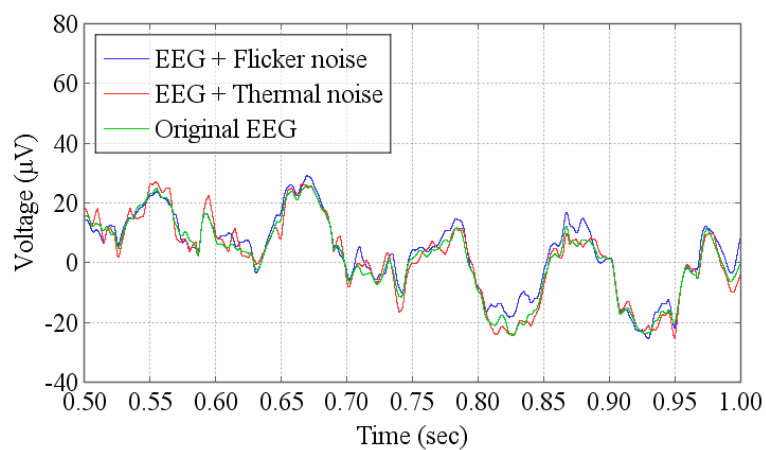
図 4.3 (a) に示すウェット電極は皮膚から電極表面間をゲルまたは塩水を含ませたスポンジを介して EEG を取得する。図 4.3 (c) に示すように電極の出力抵抗が低く測定の精度がよいため研究用途や医療用途に使用されることが多い。しかし、測定に伴って皮膚にゲルや塩水が付着するため拭き取りの手間や不快感の点で着用者の負荷は大きい。



(a)



(b)



(c)

図 4.2: フリッカノイズと熱ノイズが EEG に与える影響.

(a)加算するノイズのスペクトラム.

(b)EEG に対してノイズを加算した波形. (c)(b)の拡大波形.

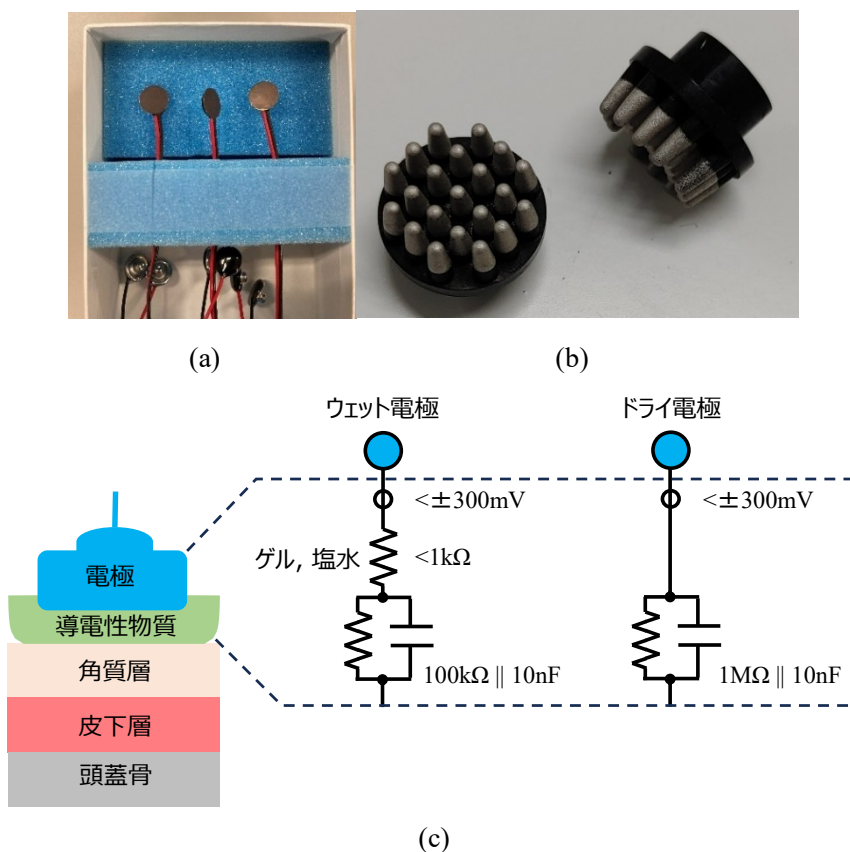


図 4.3: 電極の種類とそれぞれの等価回路. (a) ウェット電極の写真. (b) ドライ電極の写真. (c) それぞれの電極界面の等価回路.

図 4.3 (b) に示すドライ電極は金属端部を皮膚に直接押し当てて EEG を伝達する. 媒介を必要としないため着用者の負荷は小さいが, 図 4.3 (c) に示すようにウェット電極と比較して出力抵抗が高いため, 精度が低い. しかし, 近年では LNA の入力抵抗を向上させる研究が行われており [8-11], ドライ電極の採用と着用者の負荷軽減が実現しつつある.

4.3 提案する圧縮センシングフレームワークと設計する LNA の役割

4.3.1 EEG 計測における圧縮センシングの概要

この項ではセンサデバイスに向けて活用する技術である圧縮センシングの概要とその特徴について説明する. 第 1 章でも述べたように圧縮センシングでは測定対象情報のほとんどがゼロであり, 特定の要素のみ値を有するベクトル, すなわち「スパース性を有する」特徴を利用する. 前節で述べたように EEG を含む生体信号は特定の周波数帯域のみ分布していることからスパース性を持つことで知られている. よって圧縮センシングは EEG に対しても適用可能である. 図 4.4 に圧縮センシングの全体像を示す.

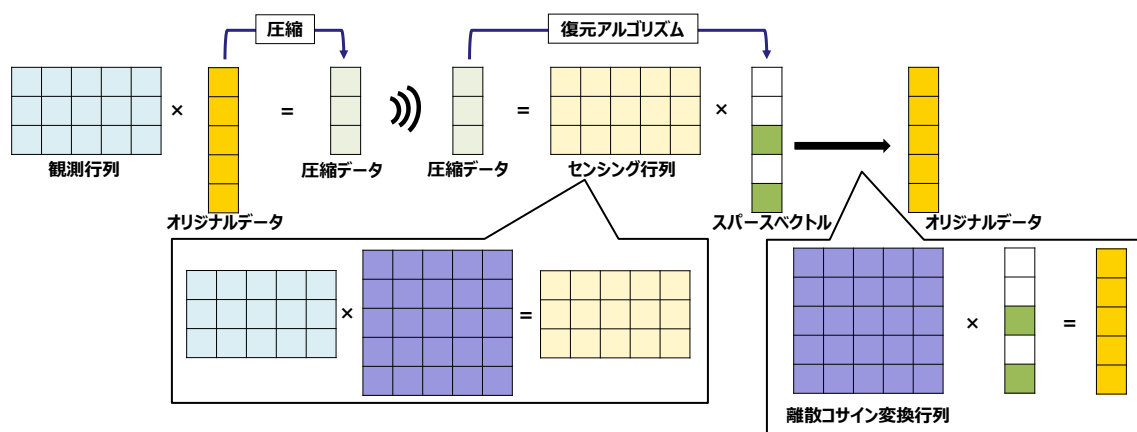


図 4.4: 圧縮センシングの全体像.

圧縮は観測行列と EEG の内積で行われ、圧縮データより復元アルゴリズムを用いてスパースベクトルを復元する。スパースベクトルと辞書行列である離散コサイン変換行列を用いた Discrete Cosine Transform (DCT) [12]を用いて EEG を復元する。EEG の変換に用いる基底には様々なものがあるが、今回は DCT を使用することで EEG が分布する低周波成分を残しつつ、高周波成分を除去することができる[12-16]。しかし、DCT のような周波数ベースの変換を使用する場合はフリッカノイズのような周波数依存性が高いノイズが復元精度に大きな影響を与える一方で、熱ノイズのような広帯域にわたる低いノイズは復元精度に与える影響が小さい特徴を把握しておく必要がある[17]。

4.3.2 信号の圧縮と復元に使用する技術

本項では圧縮センシングにおける信号の圧縮と復元過程において活用する技術について説明する。EEG の圧縮には図 4.4 における観測行列にランダムアンダーサンプリングを使用する[18]。今回はランダムアンダーサンプリングの手法として連続一様分布を使用した[19]。ランダムアンダーサンプリングを使用することで測定対象の EEG に対し ADC のサンプリング頻度をナイキスト周波数に対し等価的に低くすることが可能である。圧縮センシングにランダムアンダーサンプリングを用いることで無線通信頻度の低下に加えて ADC の消費電力削減効果があることが知られている[18, 19]。

EEG の復元には Block sparse Bayesian Learning (BSBL) アルゴリズムを使用する。BSBL はスパース性を持った情報に対して使用でき、EEG に対しても復元精度が良いアルゴリズムであることで知られている。

4.3.3 先行研究での検証と本研究の目的

図 4.4 を想定した EEG の復元精度は先行研究において実験により確認されているが、この実験においては LNA から発生するノイズの影響は無視した実験であった[20]. 本研究の目的は低フリッカノイズと低消費電力に特化した LNA を設計し、図 4.4 のシステムに採用した場合でも、圧縮センシングフレームワークにおいて信号復元の劣化を抑制できることを検証することである. そのためにこの項では前項で述べたランダムアンダーサンプリング型圧縮センシングと図 4.1 に使用される部品の特徴から LNA に必要な特性を表 4.1 に理由と共に示す.

4.3.4 提案する EEG 計測システムと設計する LNA の役割

図 4.5 に脳波計測の機能を含むセンサデバイス実現に向けて提案するランダムアンダーサンプリング型圧縮センシングを活用した提案脳波計測システムを示す. 従来のシステムと比較して、ランダムアンダーサンプリング系列を元にした間欠動作によって EEG の圧縮と消費電力の削減を行っており、省電力のセンサデバイスに対して有効なシステムである.

表 4.1: ランダムアンダーサンプリング型圧縮センシングを活用した EEG 計測システム向け LNA の要求特性.

求められる特性	特性が必要な理由
低フリッカノイズ	DCT を使用する場合は EEG と同じ周波数帯域に分布しつつ周波数依存性のあるノイズを低減する必要があるため. (4.3.1 項参照)
高入力インピーダンス	ドライ電極の使用を想定した場合、電極の出力インピーダンスが高くなるため. (図 4.2 参照)
増幅率	EEG が微弱であり、データ変換の前に増幅する必要があるため. (4.2 節参照)
消費電力	EEG を取得する電極のチャンネル数の数だけ LNA が必要であり、システム全体における消費電力割合が大きくなりやすいため. (4.1 節参照)

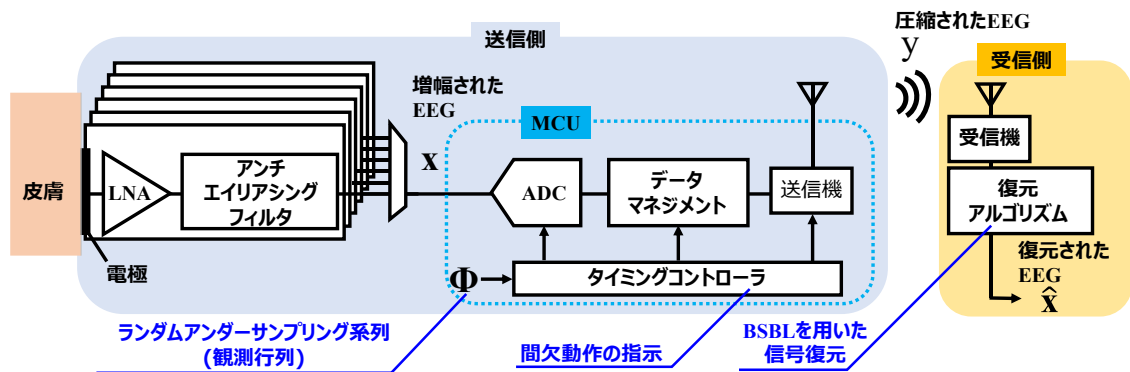


図 4.5: ランダムアンダーサンプリング型圧縮センシングを活用した脳波計測システム。

また圧縮された信号は無線通信を介して受信側の復元アルゴリズムで復元される。図 4.5 において x は増幅された EEG, y は圧縮された EEG, \hat{x} は復元された EEG である。復元の信号処理に関して、データのフレーム長を長くすると復元精度が向上することが実証されているが、復元に要する処理時間も長くなる[21]。特に今回使用する BSBL アルゴリズムは EEG の復元精度を向上させる半面、計算に要する時間が長く、リアルタイムな応答を必要とするアプリケーションの実現に対して課題がある。一方で復元処理の高速化に関する研究が行われており、実用化に向けた発展が期待されている[22]。

4.4 設計した LNA の回路構成

表 4.1 の高入力インピーダンスの要求を満たすため、LNA はキャパシティブな入力である必要があり、通常の誤差増幅器を使用した反転増幅回路ではなく図 4.6 のような抵抗素子を用いた回路構成の計装アンプが用いられることがある[23, 24]。しかし、図 4.6 のような回路構成は複数の誤差増幅器が必要であり低消費電力の実現が難しい。そこで、増幅に抵抗でなくキャパシタを使用する **Capacitively Coupled Instrumentation Amplifier (CIA)** アーキテクチャが提案されており、その回路構成を図 4.7 に示す[24]。

CIA はキャパシティブな入力でありつつ必要な誤差増幅器は 1 つであるため消費電力を削減しやすいという特徴がある。また、増幅に使用するキャパシタに **Metal-Insulator-Metal** キャパシタや **Metal-Oxide-Metal** キャパシタを使用することでシリコン起因のフリッカノイズや熱ノイズが発生しないため、抵抗素子を使用する増幅回路に比べて低ノイズを実現しやすい。

誤差増幅器で発生するフリッカノイズを低減させるため、CIA に対してチョッピングネットワークを追加した **CCIA** アーキテクチャは生体信号用の LNA として広く採用されている[9-11]。図 4.8 に今回設計した CCIA アーキテクチャを採用した LNA の回路図を示す[26]。設計には $0.18\ \mu\text{m}$ CMOS プロセスを用いた。正帰還キャパシタ技術により C_{FB1} , C_{FB2} を使用

することで入力インピーダンスを向上させている [27]. 電極のインピーダンスは着用時の位置ずれや発汗等で変化するため, LNA の入力インピーダンスを向上させたとしても, 取得される生体信号の電位が変化する場合がある. これに対応するため, LNA の後段にプログラマブルゲインアンプ (PGA) を接続する例が知られている[2, 7]. 先行研究[2, 7]で使用する PGA の回路構成は今回設計した LNA と同じ CCIA を使用しており, 負帰還に使用するキャパシタを切り替えることでゲインを変更する. 本研究は LNA のノイズに対する評価を目的としているため PGA は搭載しないが, システムとして PGA が必要になる場合であっても今回設計した LNA を応用することで実現が可能である. CIA および CCIA はキャパシタを使用して信号を増幅するが, 誤差増幅器の入力がキャパシタ結合により真正の高インピーダンス状態であり, 電位が安定しない懸念がある. これに対する対策として図 4.8 の NM_1 , NM_2 のように MOSFET で高抵抗を実現し適切な直流バイアスに接続する改善策が提唱されている[28]. 今回, N_{BIAS} ノードはチップ外から印可するように設計した. V_{CM} を基準として信号増幅を行うために Common-Mode Feed Back (CMFB) を使用する. CMFB を使用することで後段の ADC に直接印可することが可能である. これによって LNA に使用する負電圧電源と LNA と ADC 間のレベルシフタを削減することが可能である. V_{CM} は抵抗分圧された V_{dd} の半分の電圧をボルテージフォロアでバッファリングすることで生成している. V_{dd} は 1.8V で設計している. チョッピングによるスパイク電圧を低減するため C_{LP1} , C_{LP2} , R_{LP1} , R_{LP2} で構成される LPF を IC 内に搭載しており, カットオフ周波数は 24.5 kHz である. システムとしての最終調整は図 4.5 で示した構成のように LNA 外部のアンチエイリアシングフィルタでの調整を想定している. 図 4.9 に図 4.8 の CCIA に使用した誤差増幅器の回路図を示す. 低電圧で動作可能かつ高いゲインを実現するためにフォールデッドカスコードを使用する[29].

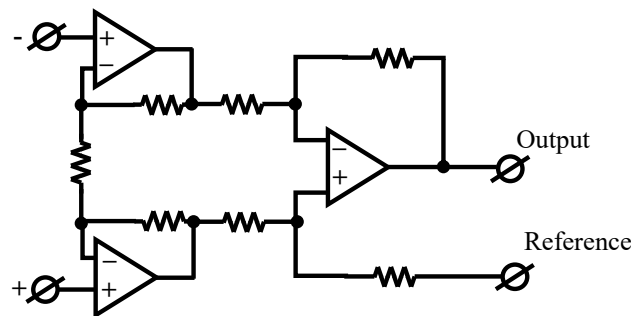


図 4.6: 抵抗素子を用いた回路構成の計装アンプ.

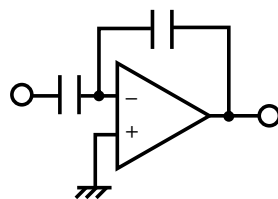
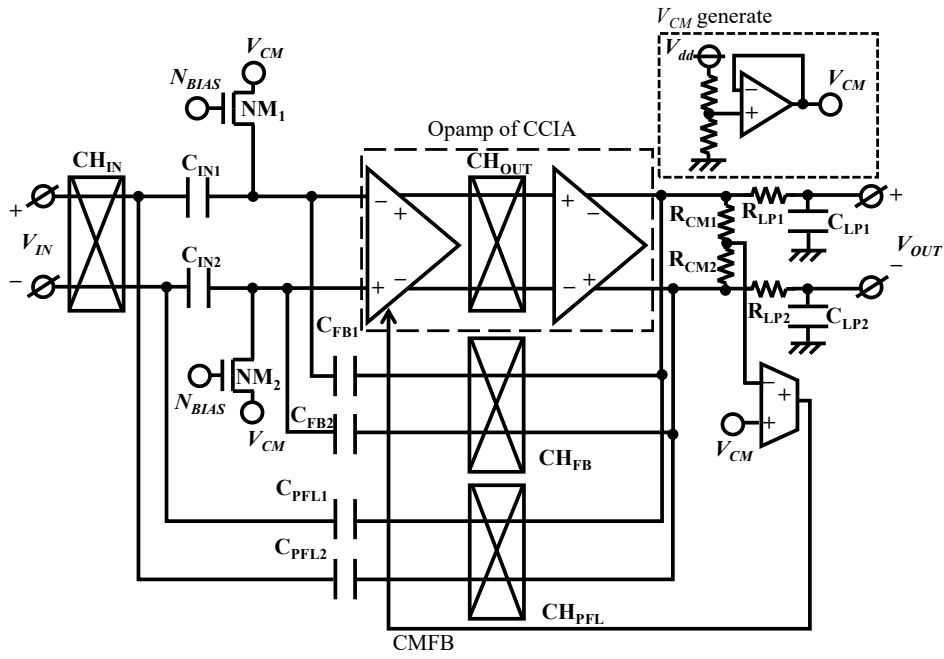
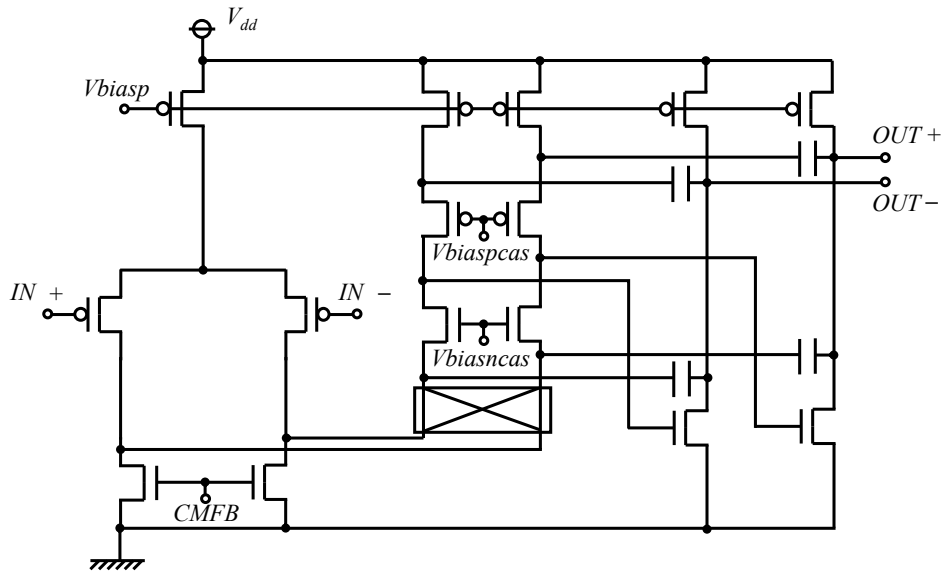


図 4.7: CIA アーキテクチャの回路構成.



[24]より転載.

図 4.8: 設計した LNA の回路構成.



[24]より転載.

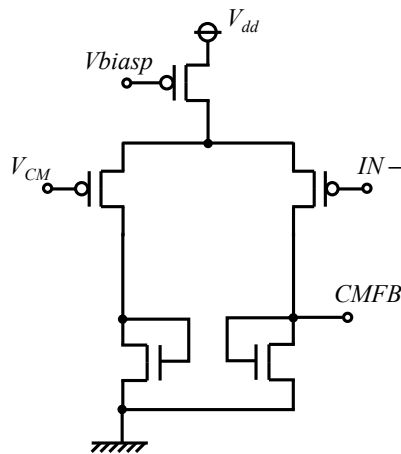
図 4.9: CCIA に使用した誤差増幅器の回路構成.

低消費電力化のために電流削減によって出力インピーダンスが上昇した場合でも高周波に零点を生成するため、位相補償には間接位相補償技術を使用する[30, 31].

図 4.10 に CMFB 回路に使用した Operational trans conductance amplifier (OTA) の回路図を示す. R_{MC1} , R_{MC2} および図 4.10 で構成される CMFB 回路は一般的な構成である[32, 33]. 今回は 4 チャネルの LNA に加え, V_{CM} 生成回路と CMFB 回路を設計した.

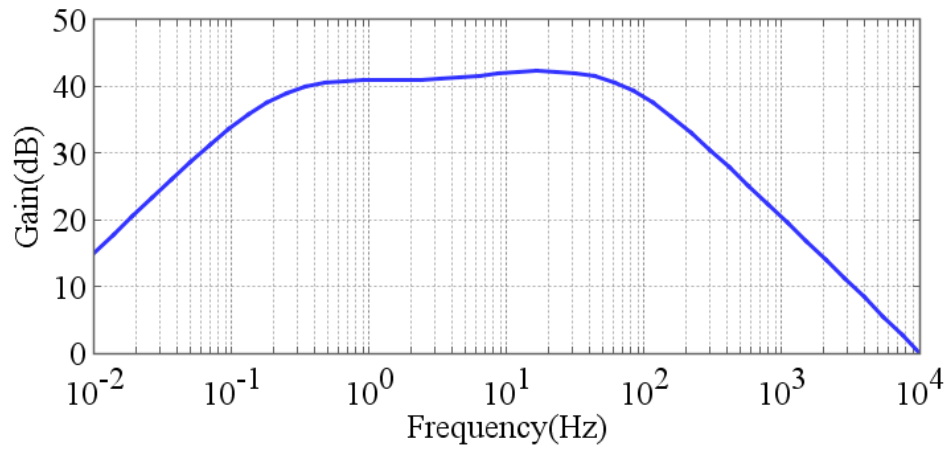
4.5 設計した LNA のシミュレーション評価

チョッピング停止状態の図 4.8 のチップ全体の消費電流は DC シミュレーションの結果から 828 nA であり, 1 チャネルあたりの消費電流は 207 nA である. 低消費電力を達成するために消費電流を削減しているため, 誤差増幅器のゲイン帯域が低く, チョッピング周波数は 5 kHz で設計した. 図 4.11 にチョッピング停止状態におけるゲインの AC シミュレーション結果を示す. 前述したように EEG の周波数は主に 100 Hz 以下に分布しており, 0.5~100 Hz での利得は 37 dB 以上であることから十分な増幅率を実現していることが分かる[7]. 図 4.12 に過渡シミュレーションによるチョッピング時の LNA に EEG を入力した場合の出力差動電圧波形を示す. μV オーダーであった EEG が想定通り mV オーダーに増幅されていることが分かる. 図 4.13 にチョッピング時における IRN スペクトラムのシミュレーション結果を示す. 0.5 Hz 以上の周波数における最大値は $1.04 \mu V_{rms}/\sqrt{Hz}$ であり, 0.5~100 Hz の積算値は $2.9 \mu V_{rms}$ である.



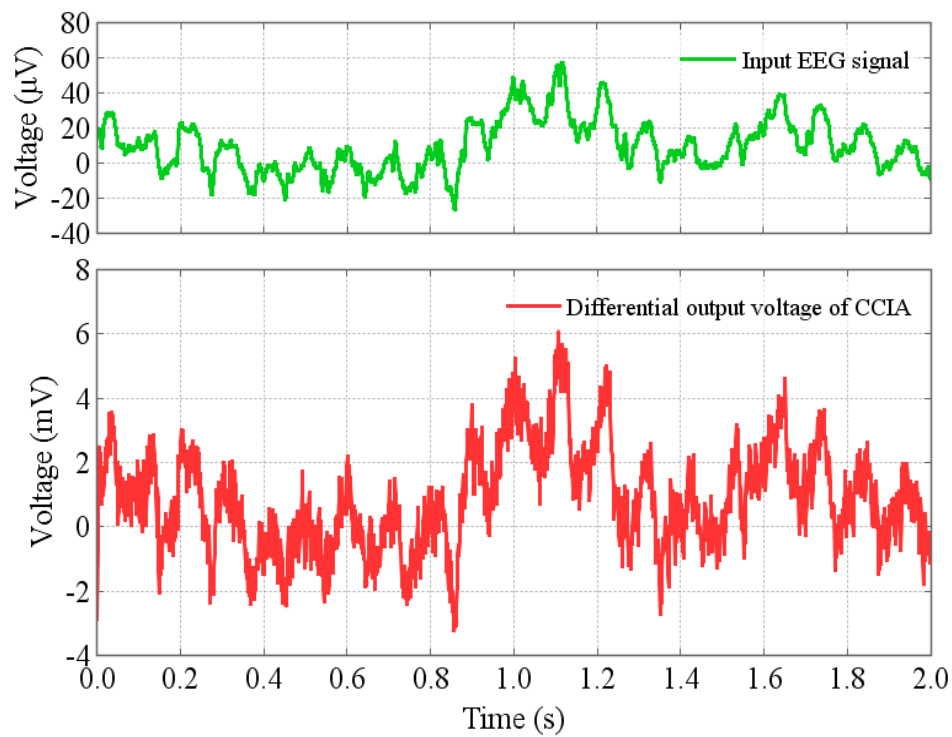
[24]より転載.

図 4.10: CCIA に使用した OTA の回路構成.



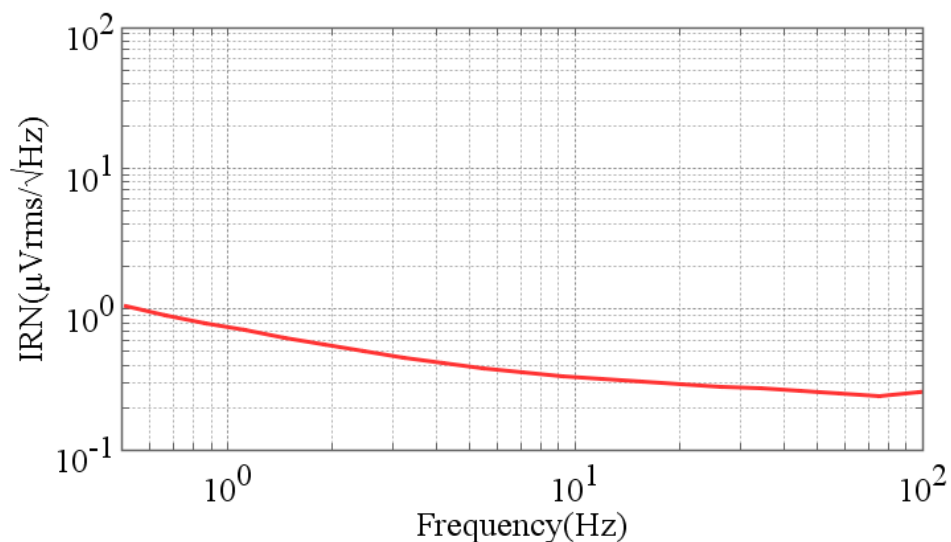
[24]より転載.

図 4.11: チョッピング停止状態における LNA のゲイン特性のシミュレーション結果.



[24]より転載.

図 4.12: 入力信号である EEG とチョッピング時における LNA の出力電圧のシミュレーション結果.

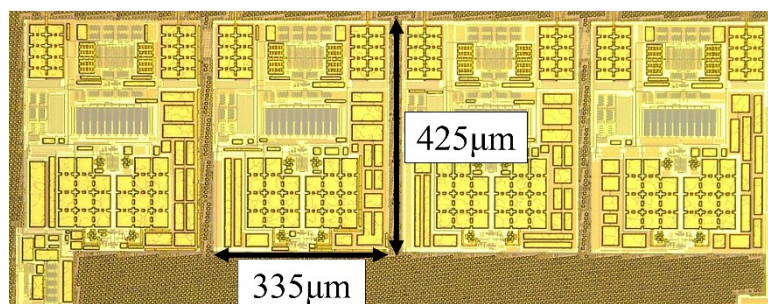


[24]より転載.

図 4.13: チョッピング時における LNA の IRN シミュレーション結果.

4.6 設計した LNA の測定評価

図 4.14 に試作したチップの顕微鏡写真を示す. LNA の 1 チャンネル面積は 0.142 mm^2 である. 図 4.15 (改変) [24]に測定に使用した PCB の写真を示す. PCB は一般的な二層基板を使用しており, チップのパッケージには 84-PLCC を使用した. 測定されたチョッピング停止時のチップの総消費電流は 800 nA であり, シミュレーション結果と概ね一致している. 1 チャンネルの消費電流は 200 nA であり, 消費電力は 0.36 μW であることから 4.1 節で設定したターゲットを満たしている.



[24]より転載.

図 4.14: 試作チップの顕微鏡写真.

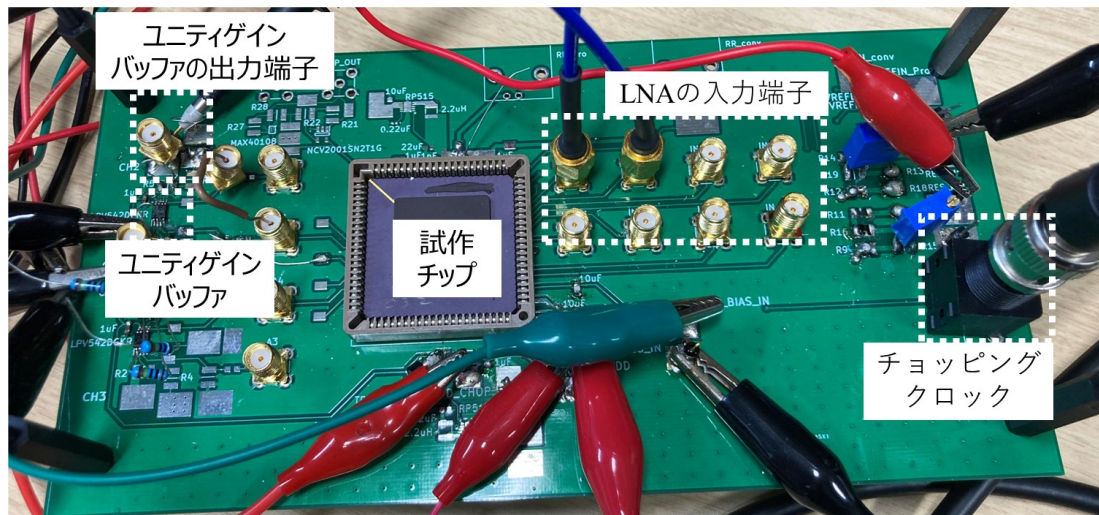
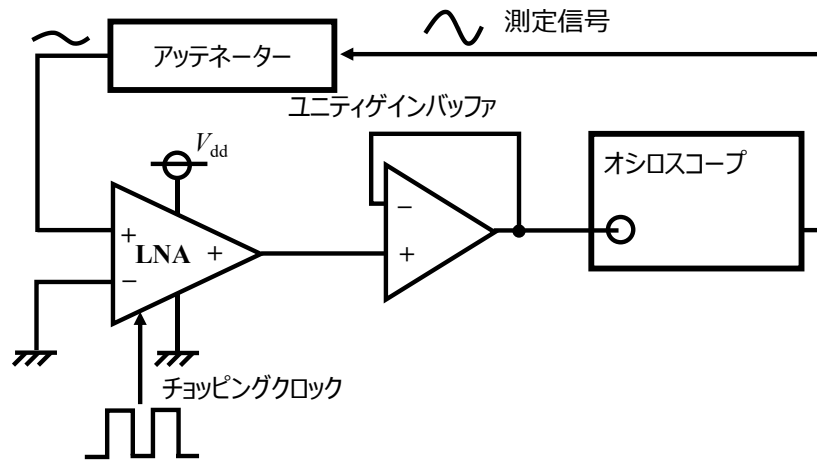
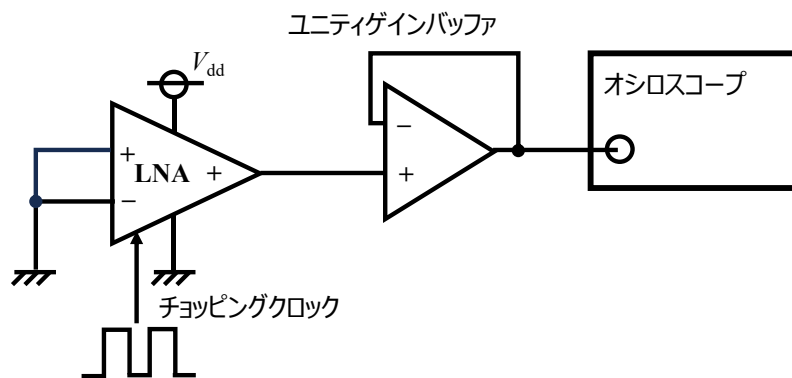


図 4.15: 測定に使用した PCB. (改変) [24]

図 4.16 に各測定時の回路構成を示す. 設計した LNA は非常に低消費電力であることから出力インピーダンスが高くなっており, 出力端子に測定用の受動プローブを直接接続できないため, ユニティゲインバッファを介して測定を行った. ユニティゲインバッファに使用する誤差増幅器には Texas Instruments 社製 LPV542 を使用しており, 全帰還で使用することから設計した LNA に対し十分低ノイズかつカットオフ周波数が高く, 測定に影響を及ぼさない[34]. また, 図 4.16 (a) から分かるようにゲインの周波数特性測定においては LNA の出力電圧がクリッピングすることを防ぐためにオシロスコプの測定信号はアッテネータを介して LNA に入力した. 図 4.17 に測定したゲインの周波数特性を示す. シミュレーションの結果と概ね一致しており, 前述した EEG の周波数帯域において増幅が可能であることが確認できる. 測定周波数の下限は測定器によって律速している. 図 4.18 にチョッピング時の Common Mode Rejection Ratio (CMRR) 測定結果を示す. 100 Hz まで 80 dB を維持しており, これは先行研究でターゲットとされていた 60 dB 以上であり, 十分な値である[1]. 図 4.19 に IRN の測定結果を示す. 60 Hz のピークは測定に使用した電源のハムによるもので, 試作チップの特性ではない. 図 4.19 からチョッピングをしていない状態と比較してチョッピング時の IRN は大幅に低減していることが分かる. チョッピング時の IRN は概ねシミュレーション結果と概ね一致しており, IRN の 0.5 Hz 以上の周波数における最大値は $1.78 \mu\text{Vrms}/\sqrt{\text{Hz}}$ であり, 0.5~100Hz の積算値は $4.47 \mu\text{Vrms}$ である. 電源のハム起因のピークを除いた場, 0.5~100Hz の積算値は $3.3 \mu\text{Vrms}$ である.



(a)

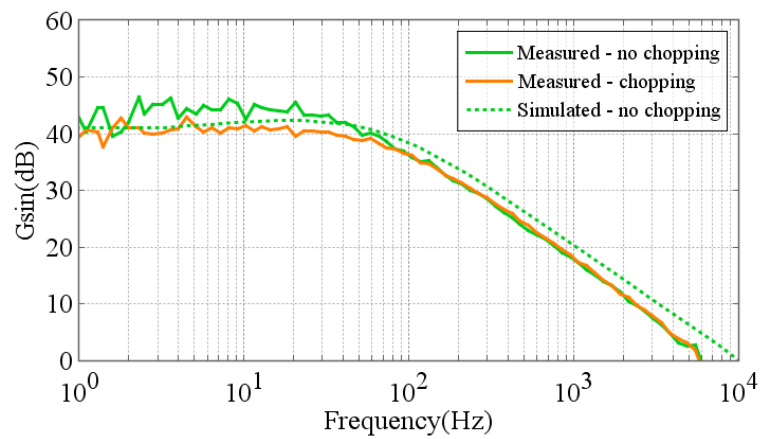


(b)

図 4.16: 測定の回路構成.

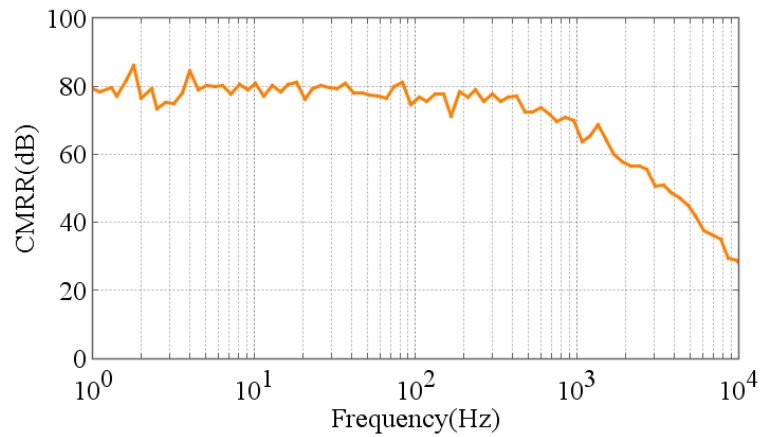
(a) ゲイン周波数特性を測定する際の回路構成.

(b) IRN を測定する際の回路構成.



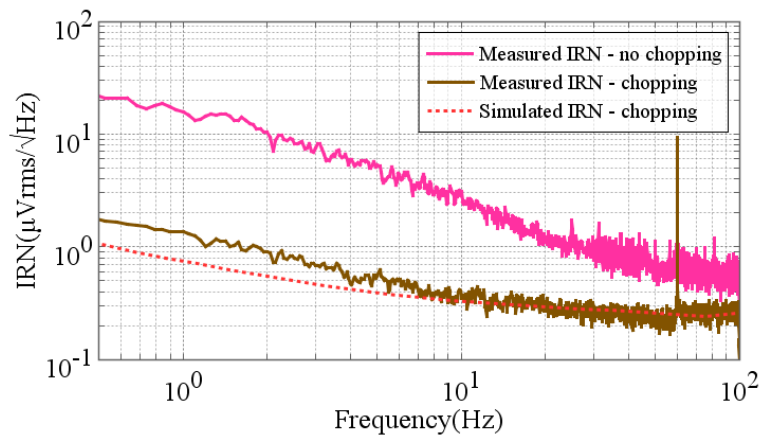
[24]より転載.

図 4.17: LNA のゲイン特性の測定結果.



[24]より転載.

図 4.18: 設計した LNA のチョッピング時の CMRR 特性の測定結果.



[24]より転載.

図 4.19: 設計した LNA の IRN 特性の測定結果.

表 4.2 (改変) [24]に試作チップと先行研究で類似用途向けに使用された LNA の特性比較を示す. 表 4.2 より試作チップは最も低消費電力であることが分かる. 一方で, 低消費電力に特化しつつも熱雑音の低減やゲインの広帯域化に対して改善回路を搭載していないことから NEF に関して, 先行研究よりも高い場合がある.

次節ではシミュレーションを用いて設計した LNA がランダムアンダーサンプリング型圧縮センシングフレームワークにて使用可能かを EEG の復元精度に着目して確認する. LNA の IRN が EEG の復元処理に与える影響を確認するため, 本節の図 4.19 で示した測定結果を用いる.

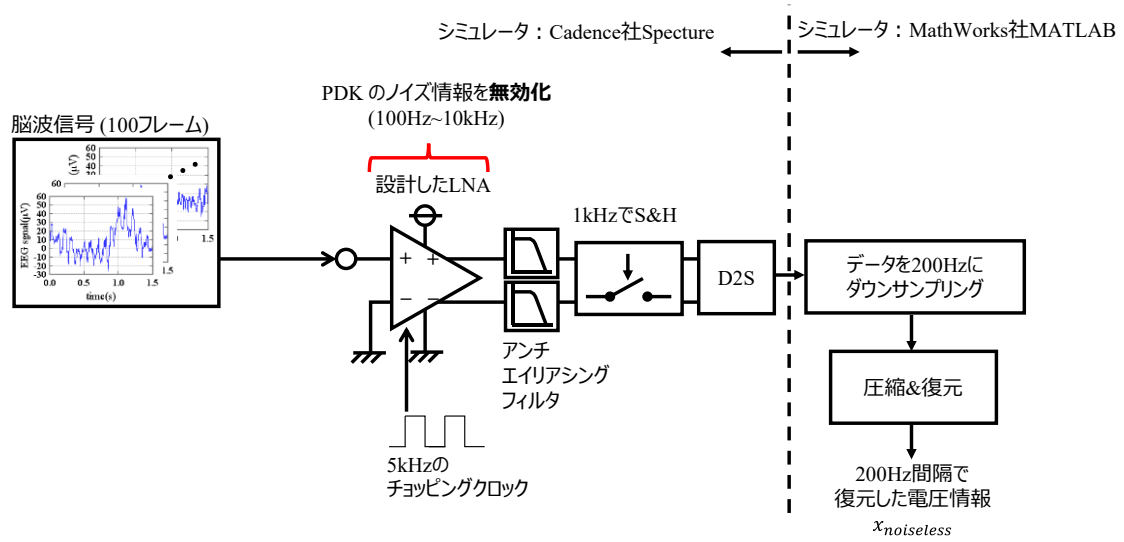
表 4.2: 本研究の試作チップと先行研究で類似用途向けに使用された LNA の特性比較,
(改変) [24].

参照	[35]	[36]	[37]	本研究
Application	EEG	EEG	ECG/EEG	EEG
I_Q ($\mu\text{A}/\text{channel}$)	2.3	0.57	7.06	0.2
V_{dd} (V)	1	1.5	1.8	1.8
Power consumption ($\mu\text{W}/\text{channel}$)	2.3	0.855	12.7	0.36
Gain (dB)	55	47.6	40	40
CMRR (dB)	120 - 95	105.6	120	80
Bandwidth (Hz)	1100	500	170	100
Input referred noise (μV_{rms})	2.18 (0.1-1.1 kHz)	1.22 (0.5-100 Hz)	3.8 (0.45-100 Hz)	4.47 (0.5-100 Hz)
NEF	3.8	2.91	39	7.69

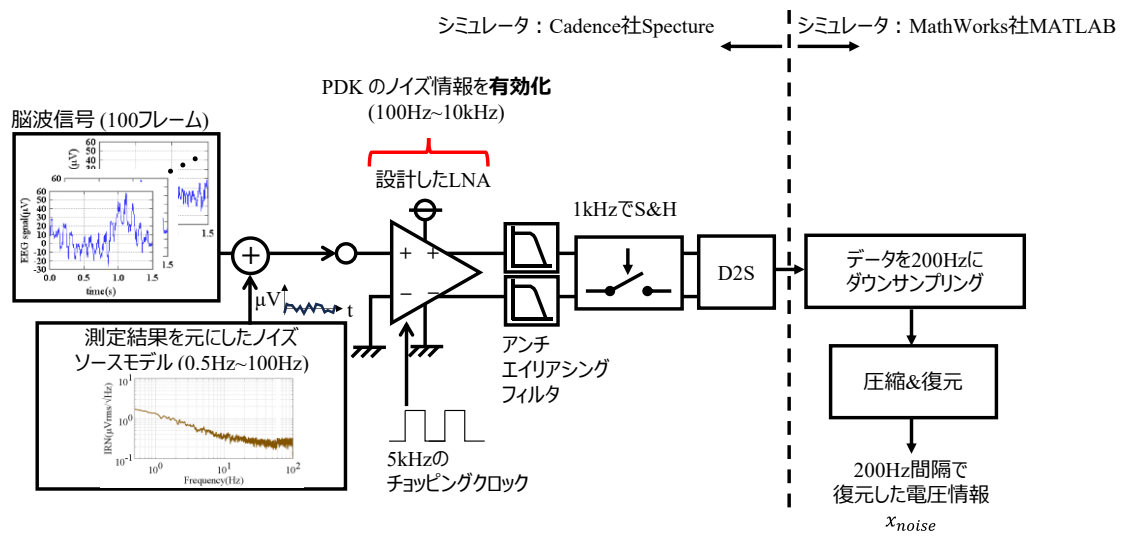
4.7 圧縮センシングフレームワークにおける設計した LNA の

特性評価

本節では前節で得られた IRN の測定結果に基づき、設計した LNA のノイズが圧縮センシングフレームワークの EEG 復元精度に与える影響を評価する。LNA の IRN が EEG の復元に与える影響を確認するためにはノイズのない理想状態との比較が望ましい。そのため、シミュレーションを使用することでノイズのない理想状態と前節の測定結果を使用した実測に即した状態との比較を行う。図 4.20 にシミュレーションの信号処理フローを示す。図 4.20 (a)に LNA のノイズがない状態の信号処理フロー、図 4.20 (b)に LNA のノイズを反映させた場合の信号処理フローを示す。図 4.20(a)は LNA のノイズが全く発生しない理想的な状態であり、比較基準として使用した。図 4.20(b)では IRN 測定結果から電源に起因する 60 Hz のピークを除去し、ノイズソースモデルに入力した。これによって AC 情報であった IRN を元に過渡的なノイズ電圧が生成され、その電圧を LNA の入力に重畳させた。測定結果を用いるに際して、測定結果のない 100 Hz 以上の周波数帯域の IRN については Process Design Kit (PDK)のノイズ情報を有効にすることで 100 Hz から 10 kHz までのノイズをシミュレーションに反映させた。図 4.20(a) (b)共に LNA の出力電圧をカットオフ周波数 0.54 kHz のアンチエイリアシングフィルタに入力し、後段処理の柔軟性を考慮して 1 kHz でサンプリングした。サンプリングした電圧情報は計算ツールによって差動単相変換(D2S)を行い単相電圧に変換した。前記までのシミュレーションと信号処理は Cadence 社 Spectre を使用した。以降はデータ処理の都合で MathWorks 社の MATLAB を使用する。前述した単相電圧情報は従来の脳波計での想定サンプリング周波数にダウンサンプリングする必要があり、今回は 200 Hz にダウンサンプリングを行った。ダウンサンプリングを行ったデータは圧縮され、BSBL アルゴリズムを用いて復元を行う。



(a)



(b)

図 4.20: LNA のノイズが EEG の復元に与える影響を確認するシミュレーションの信号処理フロー。

- (a) LNA のノイズが発生しない理想的な場合と
(b) LNA のノイズを反映させた場合の信号処理フロー。

LNA の IRN が想定するシステムに与える影響を評価するため、図 4.20 (a) および (b) の出力データである $x_{noiseless}$ と x_{noise} を元に式 (4.1) の正規化平均二乗誤差 ($NMSE_{comp}$) を用いる。分子の構成から分かるように $NMSE_{comp}$ が 0 に近づく程 LNA の IRN が復元に与える影響が小さいと判断できる。

$$\text{NMSE}_{\text{comp}} = \frac{\|x_{\text{noiseless}} - x_{\text{noise}}\|_2^2}{\|x_{\text{noiseless}}\|_2^2} \quad (4.1)$$

$\text{NMSE}_{\text{comp}}$ を計算するにあたり，異なる圧縮比（ CR ）でランダムアンダーサンプリングを行ったシミュレーションを実施する．これにより復元精度とデータの圧縮比の相関関係を示すことができる． CR は以下の式で定義し， N と M はそれぞれ圧縮前と圧縮後のサンプリング数である．

$$CR = \frac{N}{M} \quad (4.2)$$

式（4.1）と式（4.2）の計算において，今回は 1.5 s の脳波信号を 1 フレームとして脳波信号を処理した．

図 4.21 は LNA がチョッピングしていない状態の IRN を使用して 25 フレームの EEG に対して計算を行った結果である．非圧縮の計算結果でも LNA のノイズの影響が大きいため $\text{NMSE}_{\text{comp}}$ の平均値が 1 を超過しており，EEG の波形が大きく変化していることが分かる．

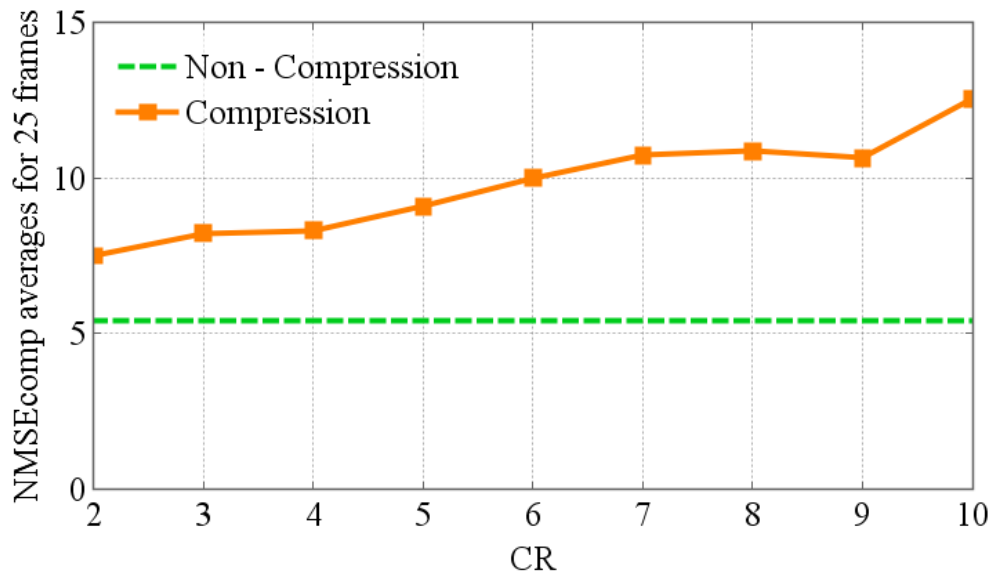
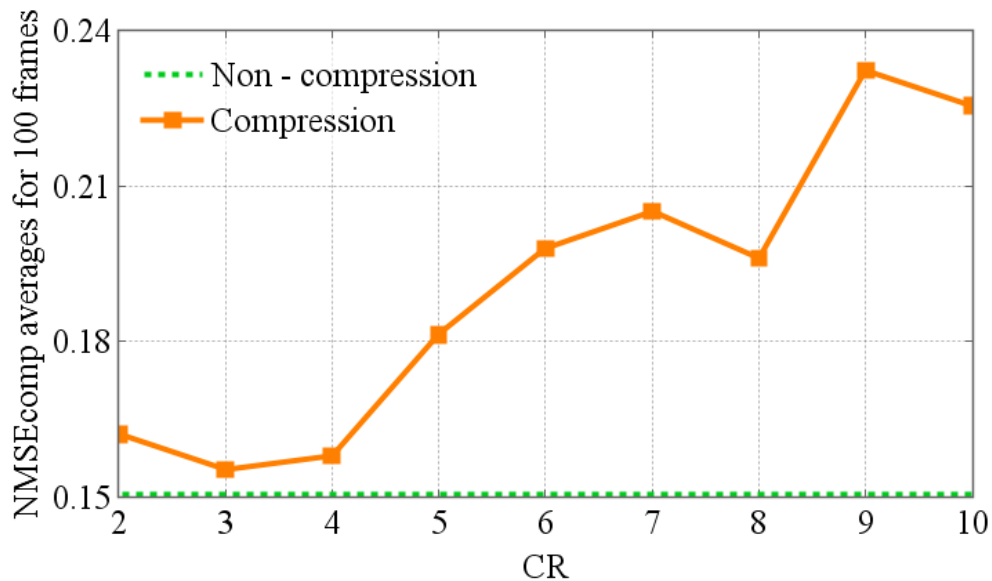


図 4.21: LNA がチョッピングしていない状態の IRN を使用し，25 フレームの脳波信号に対して復元精度の評価を行った結果．

図 4.22 は LNA チョッピング時の IRN を使用しつつ 100 フレームの EEG に対してシミュレーションを行った場合の $NMSE_{comp}$ の平均値である。図 4.22 の結果から非圧縮の $NMSE_{comp}$ は 0.15 であり、絶対値としては先行研究を参考にすると妥当な水準である[38, 39]。非圧縮の $NMSE_{comp}$ は LNA の実機が IRN を完全に 0 にできないことで発生する劣化と解釈できる。また、復元精度の揺らぎはあるものの、 CR が 2 から 4 の $NMSE_{comp}$ は CR が 5 以上の条件と比較して小さいことが分かる。 $CR = 4$ の時に $NMSE_{comp}$ は 0.158 であり、これは非圧縮の水準とほぼ同じである。つまり、 $CR=4$ の場合は LNA の IRN が原因となる復元精度の劣化はほぼないにも関わらず、通信に使用するデータ量は等価的にサンプリング周波数を約 50 Hz まで低下させた状態と同じである。図 4.22 において、 CR が 5 以上の場合 $NMSE_{comp}$ は増加し復元精度が劣化する傾向にあるが、圧縮センシングにおいて CR が上昇すると復元に使用するための情報量が減少するため、一般的に復元精度は劣化する[39]。図 4.22 の結果から、熱雑音に対する対策をせずフリッカノイズ低減と低消費電力に特化した LNA をランダムアンダーサンプリング型圧縮センシングシステムに実装しても、IRN による EEG の復元精度の劣化が抑制される条件がある。具体的には、 $CR=4$ 以下において EEG の圧縮と復元を行うと、LNA の IRN の影響が小さい。この結果から、EEG のデータ量を圧縮しつつ、表 4.2 で示した LNA の低消費電力性能が有効になるため、センサデバイスのバッテリー小型化および長時間動作に貢献できることが明らかになった。



[24]より転載。

図 4.22: LNA チョッピング時の IRN を使用し、100 フレームの脳波信号に対してシミュレーションを行った結果。

図 4.22 の結果はランダムアンダーサンプリングにおいて 1 種類のサンプリングパターンを使用した結果である．更に施行回数を増加させた傾向を確認するためにはサンプリングパターンを掃引する必要がある．図 4.23 にランダムアンダーサンプリングにおけるサンプリングパターンの一例を示す．今回は図 4.23 を含め 10 種類のサンプリングパターンを使用して図 4.22 と同様の評価を行う．図 4.24 に 10 種類のサンプリングパターンを 100 フレームの EEG に対して使用し，図 4.22 と同様にシミュレーションによって $NMSE_{comp}$ の平均値を計算した結果を示す．これは各 CR の条件に関して等価的に 1000 回分の $NMSE_{comp}$ 計算結果を平均化した評価を実施したことを意味する．この際，EEG のフレーム数は図 4.22 と同じであるため，図 4.22 のように非圧縮の結果との比較はできない．図 4.24 から $CR=4$ の場合 $NMSE_{comp}$ は 0.145 であり， $CR=8$ の場合 $NMSE_{comp}$ は 0.192 と大幅に悪化した．図 4.24 の傾向から CR が低い程 $NMSE_{comp}$ の増加は緩やかであり，例えば $CR=7$ までは $NMSE_{comp}$ の増加が抑制できていると言える．以上より，試行回数の増加によって図 4.22 に対して CR と $NMSE_{comp}$ の相関がより明瞭に把握できた．

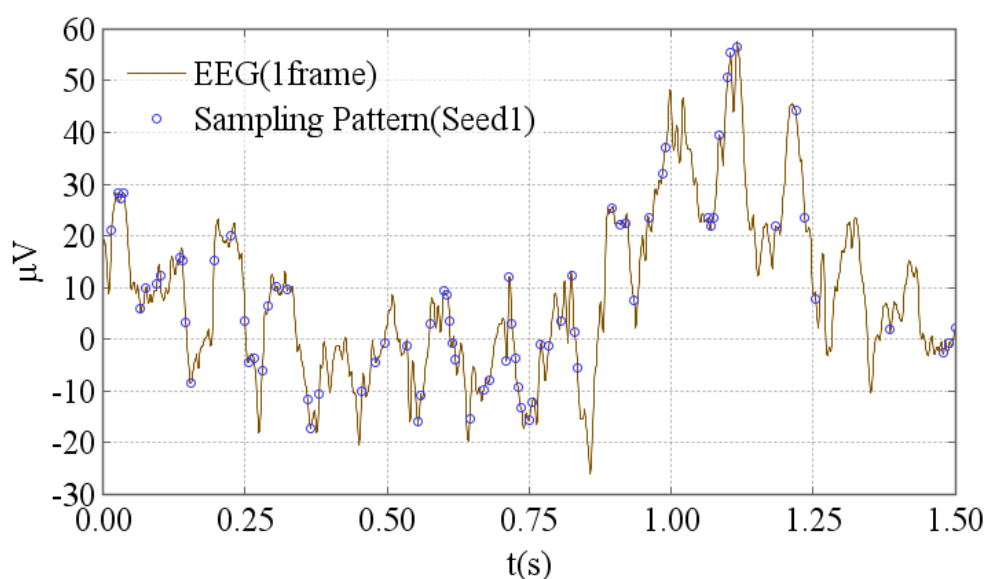


図 4.23: ランダムアンダーサンプリングにおけるサンプリングパターンの一例．

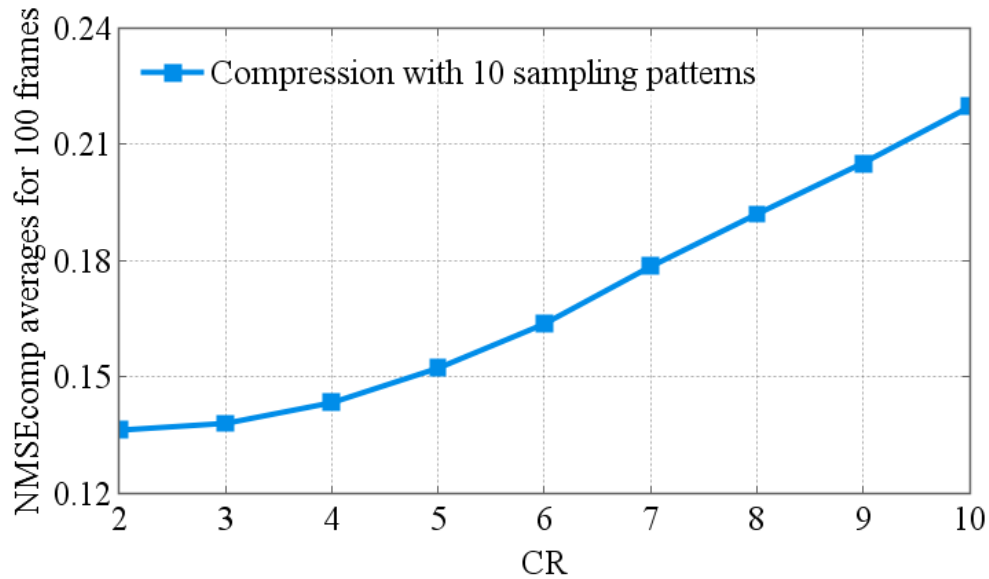


図 4.24: 10 種類のサンプリングパターンを使用し, 100 フレームの脳波信号に対して
図 4.22 と同様の方法で算出した $\text{NMSE}_{\text{comp}}$ の平均値.

4.8 まとめ

本章では, ランダムアンダーサンプリング型圧縮センシングシステム用に低フリッカノイズかつ低消費電力の LNA を $0.18\ \mu\text{m}$ CMOS プロセスを用いて設計し, 試作を行った. センサデバイスへの適用を想定し, 今回は生体信号の 1 つである EEG に対して上記を実施した. ゲイン特性, CMRR 特性は EEG の測定において目標仕様を満たしている. 設計した LNA は先行研究における類似用途向けの LNA と比較して最も低消費電力であった. 100 フレームの EEG と試作チップの IRN 測定結果を元にシミュレーションを行うことによって, LNA の IRN が圧縮センシングの復元精度に与える影響を評価した. 評価には二乗平均誤差 $\text{NMSE}_{\text{comp}}$ を使用し, シミュレーションによってシリコン起因のノイズが存在しない場合と IRN の測定結果を用いたノイズが存在する場合を比較した. $\text{CR}=4$ の時に $\text{NMSE}_{\text{comp}}$ は 0.158 であり, これは非圧縮の水準とほぼ同じである. つまり, $\text{CR}=4$ の場合は LNA の IRN が原因となる復元精度の劣化を避けつつ, 通信に使用するデータ量は通常の 25 % となるため LNA の低消費電力性能と併せてシステムの低消費電力化に貢献可能である. 圧縮手法であるランダムアンダーサンプリングのサンプリングパターンを 10 種類に増加させて同様の評価を行い, $\text{CR}=7$ までは $\text{NMSE}_{\text{comp}}$ の増加が抑制される傾向であった.

参考文献

- [1] N. Verma, A. Shueb, J. Bohorquez, J. Dawson, J. Guttag and A. P. Chandrakasan, "A Micro-Power EEG Acquisition SoC With Integrated Feature Extraction Processor for a Chronic Seizure Detection System," in *IEEE Journal of Solid-State Circuits*, vol. 45, no. 4, pp. 804-816, Apr. 2010.
- [2] H. Bhamra, J. Lynch, M. Ward and P. Irazoqui, "A Noise-Power-Area Optimized Biosensing Front End for Wireless Body Sensor Nodes and Medical Implantable Devices," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 25, no. 10, pp. 2917-2928, Oct. 2017.
- [3] M. Tohidi, J. Kargaard Madsen and F. Moradi, "Low-Power High-Input-Impedance EEG Signal Acquisition SoC With Fully Integrated IA and Signal-Specific ADC for Wearable Applications," in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 13, no. 6, pp. 1437-1450, Dec. 2019.
- [4] C. J. Deepu, X. Zhang, W. -S. Liew, D. L. T. Wong and Y. Lian, "An ECG-on-Chip With 535 nW/Channel Integrated Lossless Data Compressor for Wireless Sensors," in *IEEE Journal of Solid-State Circuits*, vol. 49, no. 11, pp. 2435-2448, Nov. 2014.
- [5] D. Yeager, F. Zhang, A. Zarrasvand and B. P. Otis, "A 9.2 μ A gen 2 compatible UHF RFID sensing tag with -12 dBm Sensitivity and 1.25 μ Vrms input-referred noise floor," *2010 IEEE International Solid-State Circuits Conference - (ISSCC)*, Feb. 2010, pp. 52-53.
- [6] P. T. Dao, A. Griffin and X. J. Li, "Compressed Sensing of EEG with Gabor Dictionary: Effect of Time and Frequency Resolution," *2018 40th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)*, Jul. 2018, pp. 3108-3111.
- [7] X. Zou, X. Xu, L. Yao and Y. Lian, "A 1-V 450-nW Fully Integrated Programmable Biomedical Sensor Interface Chip," in *IEEE Journal of Solid-State Circuits*, vol. 44, no. 4, pp. 1067-1077, Apr. 2009.
- [8] M. Nasserian, A. Peiravi and F. Moradi, "A 1.62 μ W 8-channel ultra-high input impedance EEG amplifier for dry and non-contact biopotential recording applications," *2016 IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC)*, Sep. 2016, pp. 1-6.
- [9] X. T. Pham, D. N. Duong, N. T. Nguyen, N. Van Truong and J. -W. Lee, "A 4.5 G Ω -Input Impedance Chopper Amplifier With Embedded DC-Servo and Ripple Reduction Loops for Impedance Boosting to Sub-Hz," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no. 1, pp. 116-120, Jan. 2021.

- [10] Z. Liang, B. Li, Zhaohuiwu, and Y. Hu, "A high input impedance chopper amplifier using negative impedance converter for implantable EEG recording," in *IEICE Electronics Express*, vol. 17, no. 17, Sep. 2020.
- [11] Z. Yan, M. Atef, G. Wang and Y. Lian, "Low-noise high input impedance 8-channels chopper-stabilized EEG acquisition system," *2017 30th IEEE International System-on-Chip Conference (SOCC)*, Sep. 2017, pp. 51-55.
- [12] Z. Zhang, T. -P. Jung, S. Makeig and B. D. Rao, "Compressed Sensing of EEG for Wireless Telemonitoring With Low Energy Consumption and Inexpensive Hardware," in *IEEE Transactions on Biomedical Engineering*, vol. 60, no. 1, pp. 221-224, Jan. 2013.
- [13] M. Mohsina and A. Majumdar, " Gabor based analysis prior formulation for EEG signal reconstruction," in *Biomedical Signal Processing and Control*, Volume 8, Issue 6, pp. 951-955.
- [14] L. Lin, Y. Meng, J. Chen, Z. Li, " Multichannel EEG compression based on ICA and SPIHT," in *Biomedical Signal Processing and Control*, vol. 20, pp. 45-51, Jul. 2015.
- [15] D. Kanemoto and T. Hirose, "EEG Measurements with Compressed Sensing Utilizing EEG Signals as the Basis Matrix," *2023 IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2023, pp. 1-5.
- [16] K. Nagai, D. Kanemoto and M. Ohki, " Applying K-SVD dictionary learning for EEG compressed sensing framework with outlier detection and independent component analysis," in *IEICE Trans. Fundam. Electron. Commun. Comput Sci.*, E104.A, vol. 9, pp. 1375-1378, Sep. 2021.
- [17] D. Gangopadhyay, E. G. Allstot, A. M. R. Dixon, K. Natarajan, S. Gupta and D. J. Allstot, "Compressed Sensing Analog Front-End for Bio-Sensor Applications," in *IEEE Journal of Solid-State Circuits*, vol. 49, no. 2, pp. 426-438, Feb. 2014.
- [18] Y. Okabe, D. Kanemoto, O. Maida and T. Hirose, " Compressed sensing EEG measurement technique with normally distributed sampling series," in *IEICE Trans. Fundam. Electron. Commun. Comput Sci.*, E105.A, vol. 10, pp. 1429-1433, Oct. 2022.
- [19] M. Trakimas, T. Hancock and S. Sonkusale, "A Compressed sensing analog-to-information converter with edge-triggered SAR ADC Core," *2012 IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2012, pp. 3162-3165.

- [20] T. Miyata, D. Kanemoto and T. Hirose, "Random Undersampling Wireless EEG Measurement Device using a Small TEG," *2023 IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2023, pp. 1-5.
- [21] X. J. Li, P. T. Dao and A. Griffin, "Effect of Epoch Length on Compressed Sensing of EEG," *2018 40th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)*, Jul. 2018, pp. 1-4.
- [22] T. Miyata, D. Kanemoto and T. Hirose, "Utilizing Previously Acquired BSBL Algorithm Parameters in the Compressed Sensing Framework for EEG Measurements," *2024 IEEE International Conference on Consumer Electronics (ICCE)*, Jan. 2024, pp. 1-4.
- [23] B. Luan, M. Sun and W. Jia, "Portable amplifier design for a novel EEG monitor in point-of-care applications," *2012 38th Annual Northeast Bioengineering Conference (NEBEC)*, Mar. 2012, pp. 388-389.
- [24] L. Badillo, V. Ponomaryov, E. Ramos and L. Igartua, "Low noise multichannel amplifier for portable EEG biomedical applications," *Proceedings of the 25th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (IEEE Cat. No.03CH37439)*, Sep. 2003, pp. 3309-3312.
- [25] R. R. Harrison and C. Charles, "A low-power low-noise CMOS amplifier for neural recording applications," in *IEEE Journal of Solid-State Circuits*, vol. 38, no. 6, pp. 958-965, Jun. 2003.
- [26] K. Mii, D. Kanemoto, and T. Hirose, "0.36 $\mu\text{W}/\text{channel}$ capacitively-coupled chopper instrumentation amplifier in EEG recording wearable devices for compressed sensing framework," in *Japanese Journal of Applied Physics*, vol. 63, 03SP54, Feb. 2024.
- [27] Q. Fan, F. Sebastiano, J. H. Huijsing and K. A. A. Makinwa, "A 1.8 μW 60 nV/ $\sqrt{\text{Hz}}$ Capacitively-Coupled Chopper Instrumentation Amplifier in 65 nm CMOS for Wireless Sensor Nodes," in *IEEE Journal of Solid-State Circuits*, vol. 46, no. 7, pp. 1534-1543, Jul. 2011.
- [28] T. Denison, K. Consoer, W. Santa, A. -T. Avestruz, J. Cooley and A. Kelly, "A 2 μW 100 nV/ $\sqrt{\text{Hz}}$ Chopper-Stabilized Instrumentation Amplifier for Chronic Measurement of Neural Field Potentials," in *IEEE Journal of Solid-State Circuits*, vol. 42, no. 12, pp. 2934-2945, Dec. 2007.
- [29] C. -Y. Wu and C. -S. Ho, "An 8-channel chopper-stabilized analog front-end amplifier for EEG acquisition in 65-nm CMOS," *2015 IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Nov. 2015, pp. 1-4.

- [30] P. J. Hurst, S. H. Lewis, J. P. Keane, F. Aram and K. C. Dyer, "Miller compensation using current buffers in fully differential CMOS two-stage operational amplifiers," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 51, no. 2, pp. 275-285, Feb. 2004.
- [31] Baker, R.J., CMOS: Circuit Design, Layout, and Simulation," 2nd Ed., Wiley Inter science, 2005, pp. 786.
- [32] Y. -K. Cho and B. H. Park, "Loop stability compensation technique for continuous-time common-mode feedback circuits," *2015 International SoC Design Conference (ISOCC)*, Nov. 2015, pp. 241-242.
- [33] Baker, R.J., CMOS: Circuit Design, Layout, and Simulation," 2nd Ed., Wiley Inter science, 2005, pp. 873.
- [34] Texas Instruments Inc., LPV542 Operational Amplifier, Accessed: Jan. 27, 2025. [Online]. Available:
https://www.ti.com/jp/lit/ds/symlink/lpv542.pdf?ts=1737913231687&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252Fja-jp%252FLPV542
- [35] C. -J. Lee and J. -I. Song, "A Chopper Stabilized Current-Feedback Instrumentation Amplifier for EEG Acquisition Applications," in *IEEE Access*, vol. 7, pp. 11565-11569, Jan. 2019.
- [36] C. -J. Lee and J. -I. Song, "A Chopper-Stabilized Amplifier With a Tunable Bandwidth for EEG Acquisition Applications," in *IEEE Access*, vol. 7, pp. 73165-73171, May 2019.
- [37] Z. Hoseini, M. Nazari, K. -S. Lee and H. Chung, "Current Feedback Instrumentation Amplifier With Built-In Differential Electrode Offset Cancellation Loop for ECG/EEG Sensing Frontend," in *IEEE Transactions on Instrumentation and Measurement*, vol. 70, Art no. 2001911, Oct. 2020.
- [38] Z. Zhang, T. -P. Jung, S. Makeig and B. D. Rao, "Compressed Sensing of EEG for Wireless Telemonitoring With Low Energy Consumption and Inexpensive Hardware," in *IEEE Transactions on Biomedical Engineering*, vol. 60, no. 1, pp. 221-224, Jan. 2013.
- [39] P. T. Dao, A. Griffin and X. J. Li, "Compressed Sensing of EEG with Gabor Dictionary: Effect of Time and Frequency Resolution," *2018 40th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)*, Jul. 2018, pp. 3108-3111.

第5章 結論

本論文では、次世代のスマート社会におけるセンサデバイスの長時間動作およびバッテリーの小型軽量化に向けて、高速な負荷過渡性を有する低消費電流 LDO、特定周波数帯域の PSRR を向上した低消費電流 LDO、そして超低消費電力 LNA とランダムアンダーサンプリング型圧縮センシングシステムにおける信号復元精度の影響評価の研究を行った。各章の内容をまとめると以下のようになる。

第1章では、センサデバイスに適した集積回路のシステムアーキテクチャと技術課題を検討した。人が着用し、生体信号を取得するタイプのセンサデバイスは長時間動作可能かつ小型軽量である必要がある。そのため、圧縮センシングを活用した通信に伴う消費電力削減と IC の低消費電力化が必要となる。そこでセンサデバイスには、スイッチングコンバータと LDO を組み合わせたバッテリー出力電圧の降圧とランダムアンダーサンプリング型圧縮センシングシステムを利用したシステムアーキテクチャが適していることを議論した。また、このようなアーキテクチャの実現に向けた技術課題が、LDO の低消費電流化と負荷過渡応答性の両立、LDO の低消費電流化と PSRR 特性の両立、そして LNA のフリッカノイズ低減と消費電力化であることを考慮し、研究目的を述べた。

第2章では、高速な負荷過渡応答が可能な低消費電流 LDO を検討した。一般的な LDO は低消費電流化に伴い負荷過渡応答が遅くなり、負荷電流の急峻な変化によって LDO の出力電圧アンダーシュートが大きくなる。これにより、負荷回路の動作に悪影響を与える課題があった。提案する LDO は低消費電流、低インピーダンスを特徴に持つ FVF を応用することにより、低消費電流かつ LDO の負荷変動発生的高速な検知を可能にした。また、誤差増幅器のテール電流源を切り替える技術との組み合わせにより、負荷電流のスルーレートに対してロバストな反応かつ高速な応答を実現した。提案回路のチップ試作を行い、性能評価を行った。提案回路は、 $1\mu\text{A}$ から 10mA かつ遷移時間 $1\mu\text{s}$ の厳しい負荷過渡に対して出力電圧の 8.3% のアンダーシュート電圧、一般的な LDO のアンダーシュート電圧と比べて 89% の改善を達成した。実測により提案手法の有効性を確認した。

第3章では、特定周波数の PSRR を向上させた低消費電流 LDO を検討した。一般的な LDO は低消費電流化に伴い PSRR の帯域が狭くなり、前段に接続されるスイッチングコンバータのリプル電圧が抑制できず LDO 出力に現れるノイズが大きくなる。提案する LDO は低消費電流、低インピーダンスを特徴に持つ FVF を応用した低消費電流かつ高ゲインの補助アンプを誤差増幅器と並列に動作させることにより、特定周波数帯域の PSRR 向上を実現した。提案回路のチップ試作を行い、性能評価を行った。提案回路は、負荷電流が 1mA の軽負荷状態であっても 15kHz の PSRR は 27.5dB であり、一般的な LDO と比べて 18dB の改善を達成した。実測により提案手法の有効性を確認した。

第4章では、ランダムアンダーサンプリング型圧縮センシングシステム用の低フリッカノイズかつ低消費電力な LNA を検討した。一般的なセンシングシステムでは固定周波数に

よってサンプリングを行うため、フリッカノイズと熱ノイズの両方の低減が求められることで LNA の消費電力が大きくなる。これにより、センサデバイスの動作時間とバッテリーの体積にトレードオフが生じる課題があった。そこでランダムアンダーサンプリング型圧縮センシングシステムはフリッカノイズが大きいと特に復元精度が悪くなる傾向があることに着目し、フリッカノイズ低減に特化した低消費電力 LNA を実現した。提案回路のチップ試作を行い、性能評価を行った。設計した LNA は、消費電力が $0.36 \mu\text{W}/\text{ch}$ と非常に低消費電力であり、生体信号のモチーフとして用いた脳波測定に対しゲインや CMRR の仕様を満たしている。また、IRN の測定結果を元にランダムアンダーサンプリング型圧縮センシングシステムの復元精度に与える影響を評価し、 $CR = 4$ までは復元に与える影響が小さいことを証明した。実測とシミュレーション検証により提案手法の有効性を確認した。

本論文の研究内容は、センサデバイスに向けた低消費電力アナログ集積回路技術の構築を目的として行ったものである。センサデバイスに適したシステムアーキテクチャを実現する上での技術課題を明らかにし、これらの課題を解決する手法を提案した。シミュレーション評価ならびに試作チップによる測定評価から、低消費電力または低消費電流で動作可能な集積回路技術を実現できることを示した。本研究における成果が、次世代スマート社会の実現における重要な基盤技術の役割を担うことを期待する。

また、今後センサデバイスの長時間動作およびバッテリーの小型軽量化を実現するにあたって残された、重要な課題を 2 つ挙げる。1 つ目は、圧縮比を増加させても復元精度劣化を抑制可能な復元アルゴリズムの実現である。センサデバイスの無線通信に必要な消費電力は信号の圧縮比を増加させることで低減されるが、復元精度とのトレードオフが存在する。実証実験結果では通信による消費電力は二桁 μW のオーダーであり、本論文で検討したアナログ IC の消費電力に対して相対的に大きく、改善の余地が残されている。2 つ目は、電極の特性を加味した AFE 回路への追加機能の実装である。非侵襲電極を使用する場合、数百 mV のオフセット電圧が発生することが知られており、LNA には左記のオフセット電圧によって出力電圧がクリッピングすることを抑制する回路が必要である。また、第 4 章でも述べたが、電極のインピーダンス変化に対応した PGA とそのキャリブレーション機能も検討する必要がある。センサデバイスの長時間かつ高頻度な着用を想定した場合、電極のインピーダンス変化に対応する機能は正確なデータ取得のために必要な技術である。

付録 A 社会実装に向けた新規事業検討

A.1. はじめに

本論文では、次世代スマート社会におけるセンサデバイスのための低消費電力アナログ集積回路技術に関する研究を行った。本研究で着目した点以外にも解決すべき技術課題は存在しているが、得られた成果を社会実装して世界に貢献するためには、新規事業検討ならびに事業展開等をあらかじめ検討する必要がある。本付録では、イノベーションデザインコースにおいて、先生方およびメンターの方々との意見交換を行いつつ、社会実装に関する方針検討を行った結果をまとめる。

A.2. ニューロテックとその市場規模について

筆者の研究の最終的な目的は、生体信号を取得する小型軽量のセンサデバイスを構築することである。上記で扱う生体信号の中でも今後特に成長が期待される脳波信号をモチーフとし、国内のとり組みと市場規模を調査した。日本国内において、内閣府は「研究開発と Society5.0 との橋渡しプログラム (BRIDGE)」の 1 つとして「脳情報を活かしたサイバースpaceの感性評価技術の社会実装」を公表しており、脳波を活用したソリューション提供が Society5.0 におけるモデルケースの 1 つであることが分かる[1]。脳波を活用したより具体的なソリューションとして Brain-computer Interface (BCI) および Brain-machine Interface (BMI) を挙げる[2-4]。BCI は脳波を介してコンピュータを制御する技術を指す。BMI は脳波を介してコンピュータを含む機械全般を制御する技術を指す。図 A.1 に BCI の具体的な例として手を用いず脳波によって電話端末を扱うイメージを示す。図 A.2 に BMI の具体的な例として図 A.2 (a) に脳波によって義手を制御するイメージ、図 A.2 (b) に脳波を元に感情理解が可能なロボットのイメージを示す。前述した例を鑑みると BCI や BMI の社会実装はまだ未成熟であり、今後も応用技術の登場が期待できる。Grand View Research Inc.によると、BCI 市場は 2022 年から 2030 年まで年間複合成長率 (CAGR) が 17.5 %, 2030 年には市場規模が 62 億ドルに達すると予想されている[5]。

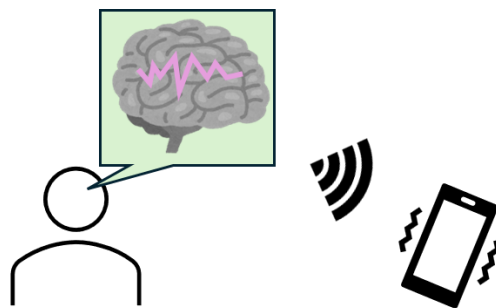


図 A.1: BCI の具体例 (手を用いず脳波で電話端末を扱う)。

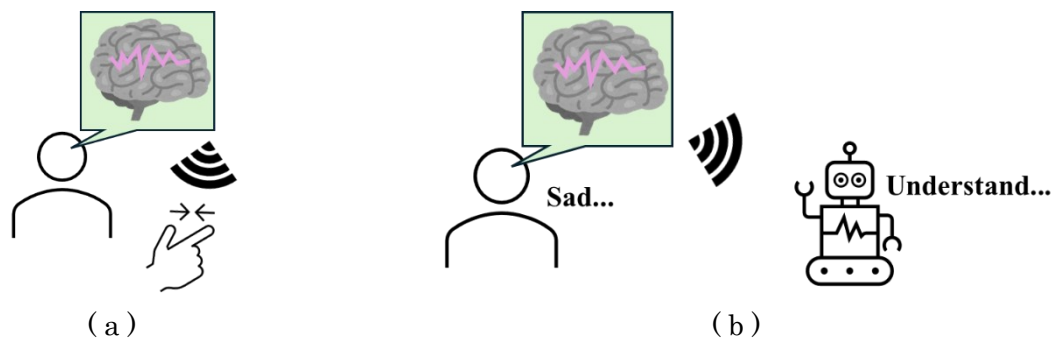


図 A.2: BMI の具体例.

(a) 脳波によって義手を制御する. (b) 脳波を元に感情理解が可能なロボット.

また、BIC や BMI 等の神経科学を応用した技術の総称をニューロテックまたはブレインテックと呼ぶが、Claight Corporation によるとニューロテック市場全体では 2023 年から 2032 年までに CAGR が 11.9 %, 2032 年には市場規模が約 414.5 億ドルに達するとの予想もあり今後成長が期待できる分野であることが分かる[6].

A.3. 新規事業展開に向けた検討

上記のニューロテック市場において、センサデバイスの実現例として知られる 1 つに Ear EEG と呼ばれるデバイスがある. 以降では Ear EEG の実現に向けて、同デバイスの全体像、市場ヒアリング結果と本研究を用いた提案と事業拡大の方針までを述べる.

A.3.1. 無線ウェアラブル脳波計 Ear EEG

図 A.3 にニューロテックで使用される無線脳波計と有線脳波計の構成、および各脳波計における特徴と技術課題を示す. 従来の有線脳波計の場合、有線ケーブルでパソコン等の信号処理端末と繋がれた複数の電極を頭皮上に装着する必要があった. そのため脳波の計測中は使用者が拘束されることで負荷を伴い、特にじっと待つことが苦手な子供を対象とした脳波測定は困難である. また、有線脳波計の場合は据え置き信号処理端末が想定されていることから脳波計そのものの低消費性能は求められず、技術的な課題は信号処理端末の計算速度のみであった. 無線脳波計の場合、デバイスを装着するだけで脳波の計測ができることから使用者の負荷軽減が可能である. 更に無線通信機能を用いることによって信号処理端末としてポータブル機器を使用すればウェアラブルな脳波計を用いたソリューションが提供可能となる. 近年の半導体技術の発展によるコンピュータの処理性能の向上とそれに付随する AI 技術の発展により、信号処理端末における計算速度は解決しつつあるものの、無線脳波計の実現にはバッテリーの体積と長時間動作のトレードオフという課題が依然として存在する.

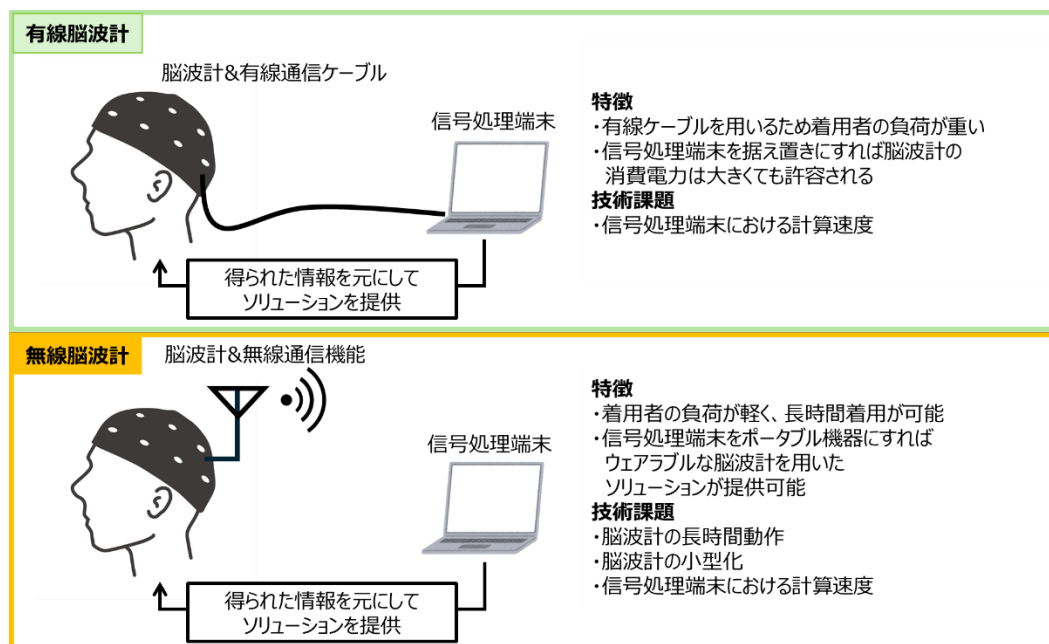
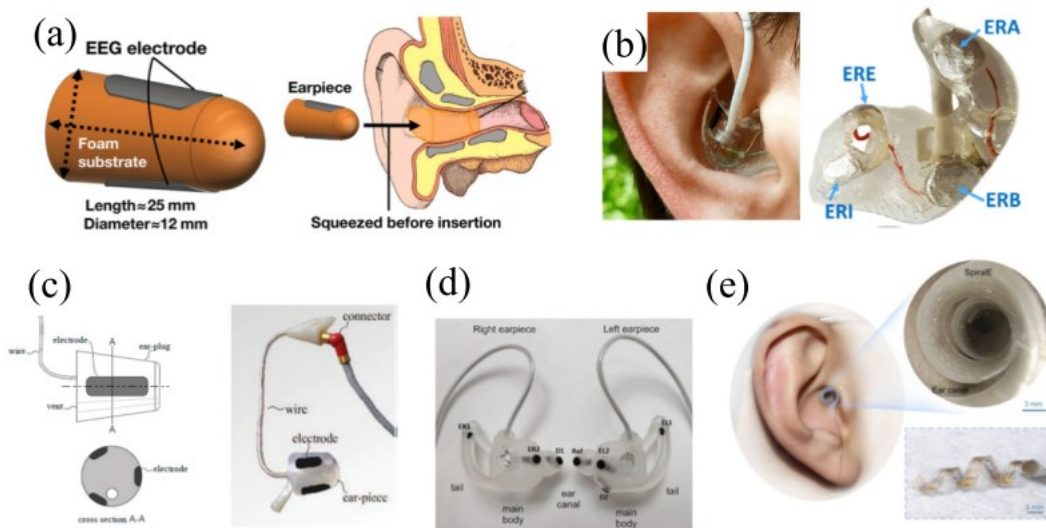


図 A.3: 無線脳波計と有線脳波計の構成、および特徴と技術課題。

前述の課題は認識されつつも、産業界では既にウェアラブル化を前提とした無線脳波計の実現に注目が集まっている。既に企業から将来の製品化を見据え無線ウェアラブル脳波計の実現を想定した特許の出願が確認されている。例えば日本のソニーグループ株式会社はユーザが自身の内部状態を元に、電子機器をコントロールできるようにする技術を実現する特許を登録している[7]。一例を挙げると、脳波信号を含む生体信号情報を使用し、その情報を元にヘッドマウントディスプレイ等の映像コンテンツを制御する。米国の Apple Inc.は同社イヤホンである AirPods に脳波計測機能を付与することを意図した特許を登録している[8]。特許[8]ではイヤホンのイヤパッド部分に電極が配置されており脳波や筋電等の生体信号の計測が可能になる。

特に特許[8]に示すようなイヤホン型脳波計を Ear EEG または In Ear EEG と呼ぶ[9, 10]。図 A.4 に先行研究で報告されている Ear EEG を示す。Ear EEG は耳に装着することで耳の内部あるいは外部に配置された電極を通じて脳波を測定する[11-14]。近年では、耳で測定する脳波は頭皮で測定する脳波の代替として使用できる可能性が高い[15]ことに加え、非常に装着性が高いため脳波の取得精度の向上が期待できることから、ニューロテックのキーデバイスとして Ear EEG に対する関心が高まっている。Ear EEG は本研究の対象であるセンサデバイスに包括されており、以上の期待から本研究の社会実装検討の対象として Ear EEG を選定する。



[10]より転載. © 2024 IEEE.

図 A.4: 先行研究で報告されている Ear EEG.

A.3.2. 市場ヒアリングの結果と提案内容

Ear EEG の実現に向けて、A.3.1.項で述べたバッテリーの体積と長時間動作のトレードオフに対しては本研究の提案技術によって改善するものの、その他の課題や連携技術を把握していなければ社会実装は難しい。そのためには無線脳波計の現状を把握する必要があると考え、脳波を専門とした学会である NEURO2024 の展示会にてヒアリングを実施した。以下にヒアリングで得られた内容の一部を列挙する。

- 研究用の無線脳波計でも軽量の需要があり、既存製品では 220 mA/h のバッテリーを搭載している
- 汗の影響で電極と皮膚界面のインピーダンスが変化して適切な測定ができなくなるため、40 分程度以上の長時間着用する需要は把握していない
- ドライ電極を使用するケースは多いが、電極サイズが大きいと脳波計装着者が疲労を感じる程に重量が重くなる

図 A.5 に上記の内容を考慮した Ear EEG の機能提案を示す。既に普及しているワイヤレスイヤホンに脳波計機能を追加した Ear EEG を提案する。

以降では図 A.5 の提案に至った経緯を説明する。当初は脳波計のみの長時間動作を想定しており、Ear EEG は数日に渡る長時間の連続着用を想定していた。しかしながらヒアリングを行った上で長時間の着用はまだ実用面で難しいことが分かり、「既存デバイスにバッテリー持ちに大きな影響を与えず脳波計機能を付与する」という提案方針とした。

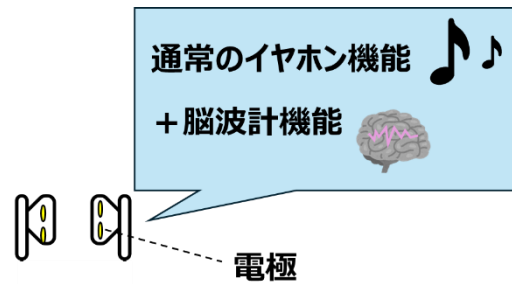


図 A. 5: ヒアリング内容を考慮した Ear EEG の機能提案.

特に考慮すべき点は、ヒアリング結果の EEG を正確に測定しようとする最長装着時間は 40 分が上限であるという点である。これは電極の特性で律速しており、着用時間が短ければその間に Ear EEG を充電することが可能であり、Ear EEG のみの連続動作時間に対するハードルは当初の想定に対して低いことが分かった。そこで、アイディアとしては特許 [8] と同じではあるが、既存のワイヤレスイヤホンに対し Ear EEG を付与する場合の消費電力増加率を見積もることによりイヤホン機能と Ear EEG の同時実装が可能かを検討した。消費電力の検討結果を表 A. 1 に示す。試算にはイヤホン機能の通信に伴う消費電力、振動素子の駆動電力、研究業績である IC の消費電力に加えて先行研究の測定結果を使用した [16-20]。チャンネル数は 4.1 節で想定したように 20 チャンネルで試算している。また、図 1.9 のスイッチングコンバータは LDO に対して相対的に消費電流が小さい製品が市場で実現されており、全体に対する消費電力割合も十分小さいため、表内の試算には使用していない。今回の表 A. 1 から、4.2 節で示したナイキスト周波数に基づく従来システムではイヤホン機能のみに対し消費電力が倍以上になるが、提案する圧縮センシングフレームワークでは 32 % の増加で留まっていることが分かる。また、True Wireless Stereo (TWS) タイプのワイヤレスイヤホンによく使用される 35 mAh、3.7 V のバッテリーを想定した動作時間見積もりも行っている。振動素子の駆動電力は音量にもよって異なるが仮に 1 mW として見積もりを行った。従来システムに基づく Ear EEG を搭載すると、ワイヤレスイヤホンの動作時間は Ear EEG を搭載しない場合に対して約半分の 10 時間となった。しかしながら提案システムに基づく Ear EEG を採用することで動作時間を 16.2 時間まで延長可能であり、TWS タイプのようなケースからの充電なしでも人間の稼働時間程度は動作が可能であることが分かった。

見積もりにおいて LNA の消費電力比率が低いように見えるが、高圧縮による復元精度劣化に対する精度向上に関する研究も行われており [21]、今後はより高い圧縮比を使用したシステムが採用されると仮定した場合、表 A.1 における ADC + Digital + RF の消費電力が低下するため、LNA の低消費電力化検討は重要である。以上より、本論文における研究成果によってイヤホン機能と Ear EEG の同時実装がより現実的なものとなった。

A.3.1. 将来的な事業拡大方針

図 A.6 に事業拡大のイメージを示す。初期段階は提案システムのシェア拡大を目指し特定用途向け IC の販売や提案システムのソフトウェア開発受託を行うが、この際に特許によるロイヤリティによる収益や取得 EEG のデータ開示を契約として盛り込む。特に後者が実現するとシェア拡大に伴い、EEG のビックデータを所有することが可能であり、このビックデータを元にして更なる研究の加速と EEG に関するコンサル能力を強化して収益性を向上させる。あくまで EEG を用いた Business to Business のビジネスを主軸とすることで資金力の伴う顧客獲得を目指す。従来の総合電機メーカーのようなハードウェア売り切りのビジネスでなく、ビックデータを元にした先行者優位の社会実装を行うことができれば社会実装の形もより多角化が可能であると考えている。

表 A. 1: イヤホンと Ear EEG の同時実装による消費電力増加率

Ear EEG の実装に伴う IC の消費電力 ↓	イヤホン 機能のみ	イヤホン機能 +Ear EEG (従来システム)	イヤホン機能 +Ear EEG (4 倍圧縮の提案システム)
LDO [18] (3.7V バッテリーで電力計算)	-	0.75 μ W	0.75 μ W
LNA [19]	-	0.36 μ W/ch	0.36 μ W/ch
ADC + Digital + RF [20]	-	345 μ W/ch	97 μ W/ch
↓上記から Ear EEG の総消費電力を計算			
Ear EEG の総消費電力 (20 チャネル)	-	6.9 mW	2 mW
イヤホン機能の通信に伴う消費電力：5 mW *2 mW～9 mW 平均と仮定した設定 [16] イヤホンの振動素子を駆動する消費電力：1 mW [17]			
イヤホン機能のみに対 する消費電力増加率	0 %	+129 %	+32 %
35 mAh, 3.7 V の バッテリーを使用した 場合の連続動作時間 見積もり	21.6 h	10 h	16.2 h

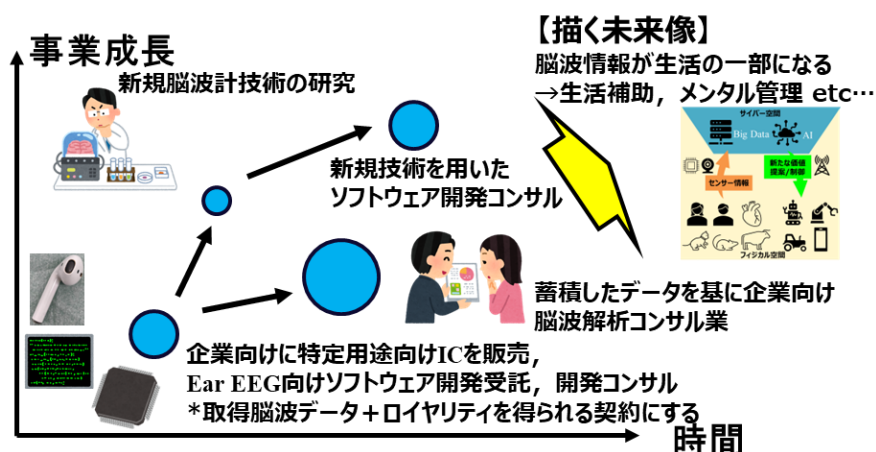


図 A.6: 事業拡大イメージ.

A.4. 新規事業検討から得られた知見

新規事業の検討を行うにあたり、多くの知見を得ることができた。その中でも特に重要なものを以下に述べる。

1点目は「センサデバイスの具体的な使用状況を知ること」である。前節で述べた検討内容は、ヒアリングを元にして Ear EEG の使用条件を明確にしたことで、当初の想定から変更を行った内容が多く含まれる。提案する技術と実際の使用条件がマッチしなければ社会実装まで辿り付くのは困難である。実際に市場でビジネスを行う方々と視点や共通認識を共有することで、研究においてより具体的な目標が提示できるに留まらず、連携技術等の周辺情報を把握することで新たな研究テーマの発案にも繋がると感じた。今回の例では連続着用時間の上限とその原因を把握することで Ear EEG のみの提案でなく、既存デバイスに対する付加価値を提供する提案に至った。ヒアリングの実施は研究分野に関する様々な視野や思考の吸収だけでなく、研究分野以外の知識も獲得できる有意義な機会であった。

2点目は「研究によるセンサデバイスの性能向上の程度感を見積もること」である。研究は将来のための技術検討であり、技術を実装するデバイスの性能向上を目的としている。その中で性能向上の程度感を見積もることによって「まだ改善をモチベーションとした研究が必要」なのか「現状の研究結果で実社会において十分な性能が得られている」を判断する根拠として使用することができる。実際に筆者が研究成果を国際会議で発表した際、「この集積回路の研究はセンサデバイスにどの程度の効果をもたらすのか」という旨の質問をいただき、即答できないことがあり心苦しい思いをした。社会実装を目指すにあたり、研究の社会的意義を明確にするには技術の効果を定量化して説明することが必要であると強く感じた。

以上の2点が、新規事業の検討から学んだ特に重要と考える知見である。

A.5. まとめ

本付録では、新規事業の検討結果と得られた知見について述べた。筆者の研究の最終的な目的は、生体信号を取得する小型軽量センサデバイスの構築を目的としている。新規性と成長性の観点をもって新規事業案を検討し、EEG を扱うセンサデバイスであり無線脳波計の1種である Ear EEG の実現に対する提案を行った。現在、市場に出ている Ear EEG は存在しないが、本研究の結果と関連研究から Ear EEG のバッテリー小型化と動作時間のトレードオフについて試算を行った。本研究を元にした提案は Ear EEG 使用環境下において低消費電力性能を実現できることが分かり、事業化の余地があると考えている。新規事業を創出する上で「センサデバイスの具体的な使用状況を知ること」「研究によるセンサデバイスの性能向上の程度感を見積もること」の2点が特に重要であると学ぶことができた。

参考文献

- [1] 総務省, “脳情報を活かしたサイバー空間の 感性評価技術の社会実装,” Accessed: May 20, 2024. [Online]. Available: https://www8.cao.go.jp/cstp/bridge/keikaku/02_bridge.pdf.
- [2] E. Yin, Z. Zhou, J. Jiang, Y. Yu and D. Hu, "A Dynamically Optimized SSVEP Brain–Computer Interface (BCI) Speller," in *IEEE Transactions on Biomedical Engineering*, vol. 62, no. 6, pp. 1447-1456, Jun. 2015.
- [3] J. -H. Jeong, K. -H. Shim, D. -J. Kim and S. -W. Lee, "Brain-Controlled Robotic Arm System Based on Multi-Directional CNN-BiLSTM Network Using EEG Signals," in *IEEE Transactions on Neural Systems and Rehabilitation Engineering*, vol. 28, no. 5, pp. 1226-1238, May 2020.
- [4] M. A. Lebedev, "Towards a versatile brain-machine interface: Neural decoding of multiple behavioral variables and delivering sensory feedback versatile brain-machine interface," *2018 6th International Conference on Brain-Computer Interface (BCI)*, Gangwon, Korea (South), 2018, pp. 1-2.
- [5] Inc. Grand View Research, “Brain Computer Interface Market Size, Share & Trends Analysis Report By Application (Healthcare, Communication & Control), By Product (Invasive, Non-invasive), By End Use (Medical, Military), And Segment Forecasts, 2023 - 2030.” Accessed: May 20, 2024. [Online]. Available: <https://www.grandviewresearch.com/industry-analysis/brain-computer-interfaces-market>
- [6] Claight Corporation, “Global Neurotechnology Market Report and Forecast.” Accessed: May 20, 2024. [Online]. Available: <https://www.expertmarketresearch.com/reports/neurotechnology-market>
- [7] 脇田 能宏, “出力制御装置、出力制御方法およびプログラム,” 特許 7364099, 2023.
- [8] Erdrin Azemi, “Biosignal Sensing Device Using Dynamic Selection of Electrodes,” US20230225659A1, 2023.
- [9] R. Kaveh *et al.*, "Wireless User-Generic Ear EEG," in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 14, no. 4, pp. 727-737, Aug. 2020.
- [10] J. Y. Juez *et al.*, "Ear-EEG Devices for the Assessment of Brain Activity: A Review," in *IEEE Sensors Journal*, vol. 24, no. 20, pp. 31606-31623, 15 Oct.15, 2024.

- [11] A. Pandey *et al.*, "A 6.8 μ W AFE for Ear EEG Recording with Simultaneous Impedance Measurement for Motion Artifact Cancellation," *2022 IEEE Custom Integrated Circuits Conference (CICC)*, Apr. 2022, pp. 1-2.
- [12] N. -D. Mai, H. -T. Nguyen and W. -Y. Chung, "Real-Time On-Chip Machine-Learning-Based Wearable Behind-The-Ear Electroencephalogram Device for Emotion Recognition," in *IEEE Access*, vol. 11, pp. 47258-47271, May 2023.
- [13] S. L. Kappel, M. L. Rank, H. O. Toft, M. Andersen and P. Kidmose, "Dry-Contact Electrode Ear-EEG," in *IEEE Transactions on Biomedical Engineering*, vol. 66, no. 1, pp. 150-158, Jan. 2019.
- [14] C. B. Christensen, J. M. Harte, T. Lunner and P. Kidmose, "Ear-EEG-Based Objective Hearing Threshold Estimation Evaluated on Normal Hearing Subjects," in *IEEE Transactions on Biomedical Engineering*, vol. 65, no. 5, pp. 1026-1034, May 2018.
- [15] P. Kidmose, D. Looney, M. Ungstrup, M. L. Rank and D. P. Mandic, "A Study of Evoked Potentials From Ear-EEG," in *IEEE Transactions on Biomedical Engineering*, vol. 60, no. 10, pp. 2824-2830, Oct. 2013.
- [16] G. Thomas, D. Florian, S. Antoine, "A Comparison of Radio Power Consumption of True Wireless Earbuds [PDF]," Accessed: May 20, 2024. [Online]. Available: <https://aes2.org/publications/elibrary-page/?id=20508>
- [17] A. Ogawa, "CQ connect," Accessed: May 20, 2024. [Online]. Available: <https://cc.cqpub.co.jp/system/contents/3851/>
- [18] K. Mii, A. Nagahama, and H. Watanabe, "Ultra-low quiescent current LDO with FVF-based load transient enhanced circuit," *IEICE Transactions on Electronics*, vol. E103C, no. 10, pp. 466-471, Oct. 2020.
- [19] K. Mii, D. Kanemoto, and T. Hirose, "0.36 μ W/channel capacitively-coupled chopper instrumentation amplifier in EEG recording wearable devices for compressed sensing framework," in *Japanese Journal of Applied Physics*, vol. 63, 03SP54, Feb. 2024.
- [20] T. Miyata, D. Kanemoto and T. Hirose, "Random Undersampling Wireless EEG Measurement Device using a Small TEG," *2023 IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2023, pp. 1-5.

[21] K. Nagai, D. Kanemoto and M. Ohki, "Applying K-SVD dictionary learning for EEG compressed sensing framework with outlier detection and independent component analysis," in *IEICE Trans. Fundam. Electron. Commun. Comput Sci.*, E104.A, vol. 9, pp. 1375-1378, Sep. 2021.

謝辞

本研究は、大阪大学大学院工学研究科電気電子情報通信工学専攻 兼本大輔准教授のご指導の下に行われたものであり、本研究を遂行するにあたり、終始懇切な御指導、御鞭撻を賜りました、心より感謝致します。

本研究を遂行するにあたり、貴重な御教示と御助言を頂きました、大阪大学大学院工学研究科電気電子情報通信工学専攻 廣瀬哲也教授、大阪大学大学院工学研究科電気電子情報通信工学専攻 森勇介教授、大阪大学大学院工学研究科 光井將一招聘教授に深く感謝致します。

研究室における環境の便宜を図って頂きました、大阪大学大学院工学研究科電気電子情報通信工学専攻 渡邊恵子事務補佐員に深く感謝致します。

本研究を遂行するにあたり極めて重要な議論を交わしました、西川晃弘氏(現西日本電信電話株式会社)、宮田拓弥氏(現株式会社島津製作所)、津永亮多氏(現株式会社日立製作所)に深く感謝致します。

本研究を進める上で大変有意義な議論を交わしました、松塚凌氏(現パナソニック株式会社)、神戸大学大学院工学研究科電気電子工学専攻 松本香氏、大阪大学大学院工学研究科電気電子情報通信工学専攻 廣瀬研究室 瀬部光氏に深く感謝致します。

本論文の一部成果において、日清紡マイクロデバイス株式会社で試作許可をいただきました。同社の藤原秀雄氏、野田一平氏には試作許可をいただきましたことを感謝致します。また、設計において多くのご助言をいただきました同社の長濱顕仁氏に感謝致します。

社会人の立場における博士号取得への挑戦に対し、多くのご経験およびご意見を参考にさせていただきました渡邊博文氏(現 Watanabe 技術コンサルティング)、長崎大学大学院総合生産科学研究科電気・機械システム分野 石塚洋一教授に感謝致します。

最後に、いつも暖かく見守り励ましてくれた両親、妻景子、そして子供達魁人および心陽に心から感謝し、本論文の謝辞と致します。

研究業績

学術論文

1. K. Mii, A. Nagahama, and H. Watanabe, "Ultra-low quiescent current LDO with FVF-based load transient enhanced circuit," *IEICE Transactions on Electronics*, vol. E103C, no. 10, pp. 466-471, Oct. 2020.
2. K. Mii, D. Kanemoto, and T. Hirose, "Low quiescent current LDO with FVF-based PSRR enhanced circuit for EEG recording wearable devices," in *Japanese Journal of Applied Physics*, vol. 63, 03SP33, Feb. 2024.
3. K. Mii, D. Kanemoto, and T. Hirose, "0.36 μ W/channel capacitively-coupled chopper instrumentation amplifier in EEG recording wearable devices for compressed sensing framework," in *Japanese Journal of Applied Physics*, vol. 63, 03SP54, Feb. 2024.

国際会議

1. K. Mii, D. Kanemoto, and T. Hirose, "Low Quiescent Current Capacitively-coupled Chopper Instrumentation Amplifier in EEG Recording Wearable Devices for Compressed Sensing Framework," in *Ext. Abstr. Solid State Devices and Materials (SSDM)*, Sep. 2023, pp.917-918.
2. K. Mii, D. Kanemoto, and T. Hirose, "Low Quiescent Current LDO with FVF-Based PSRR Enhanced Circuit for EEG Recording Wearable Devices," in *Ext. Abstr. Solid State Devices and Materials (SSDM)*, Sep. 2023, pp.411-412.
3. K. Mii, D. Kanemoto, and T. Hirose, " Low quiescent current LDO with FBPEC to improve PSRR specific frequency band for wearable EEG recording devices," in *Proc. 30th Asia and South Pacific Design Automation Conference (ASPDAC '25)*, Jan. 2025. (in press)
4. K. Mii, D. Kanemoto, and T. Hirose, " Ultra Low-power Capacitively-coupled Chopper Amplifier Focusing on the Sparsity of Compressed Sensing for EEG Recording," in *Proc. 30th Asia and South Pacific Design Automation Conference (ASPDAC '25)*, Jan. 2025. (in press)
5. K. Mii, D. Kanemoto, and T. Hirose, " Low-power and Low-noise Amplifier with Intermittent Operation for Compressed Sensing in EEG Measurement Systems," in *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, May. 2025. (in press)

国内会議

1. 三井健司, 兼本大輔, 毎田修, 廣瀬哲也, ”FVF を応用した PSRR 帯域拡張回路を搭載した脳波計測ウェアラブルデバイス向け低消費 LDO, ”電子情報通信学会 デザインガイア 電子情報通信学会技術研究報告, vol. 121, no. 277, pp. 7-12, 2021 年 12 月.
2. 西川晃弘, 兼本大輔, 三井健司, 廣瀬哲也, ”FVF を利用したリップル電圧の基本波・高調波成分除去が可能な低消費電力 LDO, ” 電子情報通信学会総合大会, A-6-3, 2022 年 3 月.
3. 三井健司, 兼本大輔, 廣瀬哲也, ”ウェアラブル脳波計実現に向けたランダムアンダーサンプリング型圧縮センシングウェアラブル脳波計測システムにおける低消費電力 LNA の実測及びその解析, ”LSI とシステムのワークショップ 2024, S26, 2024 年 5 月.
4. 兼本大輔, 瀧本英智, 三井健司, 宮田拓弥, 廣瀬哲也, ”僅かな温度差で動作するバッテリーレス無線脳波計 ～ランダムアンダーサンプリングと圧縮センシングの数理を活用した LSI からシステムまで～, ”LSI とシステムのワークショップ 2024, S32, 2024 年 5 月.
5. 三井健司, 兼本大輔, 廣瀬哲也, ”ランダムアンダーサンプリング型圧縮センシング脳波計測システムにおける低雑音アンプの消費電力低減手法, ” 信学技報(デザインガイア 2024) , vol. 124, no. 247, pp.26-31, 2024 年 11 月.

特許

1. 三井健司, “定電圧回路及び電子機器, ” WO2020250349
2. 三井健司, 兼本大輔, “定電圧回路及び電子機器, ” WO2023095462

受賞

1. 三井 健司, “FVF を応用した高 PSRR 低消費電力 LDO, ” d.lab-VDEC デザインアワード VDEC デザインアワード アイディアコンテスト部門 囑望賞 , 2022 年 10 月 1 日.
2. 兼本大輔, 瀧本英智, 三井健司, 宮田拓弥, 廣瀬哲也, ”僅かな温度差で動作するバッテリーレス無線脳波計 ～ランダムアンダーサンプリングと圧縮センシングの数理を活用した LSI からシステムまで～, ” LSI とシステムのワークショップ 2024 最優秀ポスター賞 (一般部門), 2024 年 5 月 10 日.