



Title	LR(k)アナライザ及びマイクロプログラム記述言語に関する研究
Author(s)	菊野, 亨
Citation	大阪大学, 1975, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/1023
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

LR(k)アナライザ および
マイクロプログラム記述言語
に関する研究

1975 年 2月

菊 野 亨

内 容 梗 概

本論文は筆者が大阪大学大学院基礎工学研究科（物理系専攻）の学生として、當研究室において行なった情報処理に関する研究のうち、LR (K) アナライカおよびマイクロプログラム記述言語に関する研究を二編にまとめたものである。

緒論および各章の第1節では研究の現状、工学上の意義、本研究の目的について概説している。各章の最後の節および結論では、本研究で得られたおもな結果と残された問題についてまとめてある。

第1編第1章では、コンパイラの語文解析部におけるトークン間の区切りの問題について考察している。原始プログラムトークンの順はLR (K) 文法で記述され、各トークンを構成する文字列は一般に正規集合であるとし、トークンの長さでん個の先読みで区切りがつくかどうかはんを指定すれば判定できるが、んを与えなければそれは判定不能であることを示している。さらに、区切りの可能性を一時記憶するレジスタ数最小のスキヤナの構成法を示し、決定性言語との関係などについても論じている。

第1編第2章では、コンパイラの構文解析部のモデルとして、陽に文法に依存しない、先読みをもつアナライカを導入した。2.3節では、与えられたアナライカと等価で、先読み最小のアナライカを求める方法を示している。また、2.4節では、アナライカの簡単化の方法について述べている。いわゆるパーサで考えるより、本論文のアナライカで考えるほうが簡単化に関して一般に有利である。

第2編では、マイクロプログラム方式の小型電子計算機UXを対象として設計したフローチャート型のマイクロプログラム記述言語FMLの仕様とそのトランスレータの作成法について述べている。

LR(K)アナライザおよびマイクロプログラム記述言語 に関する研究

目 次

緒 論	-----	4
第1編 LR(K)アナライザ	-----	9
第1章 文脈を利用した語い解析	-----	9
1.1 序言	-----	9
1.2 諸定義	-----	13
1.3 スキャナのモデル	-----	14
1.4 h -区分可能性の判定	-----	17
1.4.1 h -区分可能性の定義	-----	17
1.4.2 スキャナの構成法	-----	18
1.4.3 h -区分可能性の判定	-----	20
1.5 DL との関係	-----	23
1.6 結言	-----	26
1.7 補足	-----	28
第2章 アナライザの等価性と簡単化	-----	29
2.1 序言	-----	29
2.2 アナライザの等価性	-----	31
2.2.1 アナライザのモデル	-----	31
2.2.2 アナライザとパーサの関係	-----	34
2.2.3 文法 G の構成法	-----	37
2.3 先読み最小のアナライザ	-----	39
2.3.1 諸性質	-----	39
2.3.2 構成法	-----	41

2.4	アナライサの簡単化	43
2.5	結言	45
第2編 マイクロプログラム記述言語 FML と		
	そのトランスレータ	46
1	序言	46
2	ハードウェアとマイクロ命令	47
2.1	ハードウェア構成	47
2.2	マイクロ命令	49
2.3	マイクロ命令の実行	50
2.4	主な制限	50
3	FML	52
3.1	FML設計の基本方針	52
3.2	FMLの文	52
3.3	プログラム例	57
4	FMLトランスレータ	63
4.1	トランスレータの基本構造	63
4.2	フローアナライサ	64
4.3	オフティマイサ	65
4.4	ジェネレータ	68
5	結言	69
結 論		70
謝 辞		71
文 献		72

緒 論

コンパイラにおける語い解析部のおもな目的は、与えられた原始プログラム(数字や英字, 特殊文字などの“文字”の系列)を読み, それと整数, 変数名などといった基本的なカテゴリに属するように区切り, このように区切られた実際の文字系列をシンボルテーブルなどに格納して, 原始プログラムをトークン(カテゴリの名前)とパラメータ(シンボルテーブルへのポインタなど)の対の系列に変換することである。構文解析部では, 語い解析を終えたプログラムを読み, トークンの系列にもとづいてその構文(句構造)を決めつつ, わたすべきパラメータを定め, 必要なときにシンボルテーブルの処理や内部コードを発生するためのセマンティックルーチンと呼ぶ。

本論文の第1編第1章は, 発表論文(1)~(4)において公表したものをまとめたもので, 文脈を利用した語い解析の方法について述べている。

よく引かれる例であるが, フォートルンの `DO 250 I = ...` は文脈(すなわち, トークンの並び方の情報)を利用しなければ, トークン名とその区切りの位置を決定できない。`=`のつぎがたとえば`13`...であれば, はじめの`DO`が`do`文を示すキーワードであるが, `13`...なら`DO 250 I`が実数形の変数名である。フォートルンでは空白は特別な場合以外は意味がなく, 普通, 文中では無視される。

そこで本論文では, このフォートルンの例を含むように, つぎに采うる長さ n のトークン名の系列を構文解析部(KnuthのLR(k)パーサを考える。)から教えてもらい, それを利用して文字列をトークンごとに区切るという方法について考察している。 n を長くすれば, あいまいさなく区切れる可能性がふえるが, 一般には, $n+1$ 個先のトークンまで一致してもあいまいさがおこりうる。そのため, $n+1$ 個先のトークンまで見るならば, その一番目のトークンの区切りに関するあいまいさなくなるという条件をつけ, この条件がなりたつとき n -区分可能であるという。

本論文では, n を指定すれば n -区分可能かどうかは判定できるが,

んを与えなければそれは判定不能であることを示し、さらに、区切りの可能性を一時記憶するレジスタの数が最小のスキヤナの構成法、このスキヤナと LR(k) パーサのモデルで受理される言語が決定性言語になることその他について述べている。

第1編第2章では、発表論文 (5) ~ (7) において公表したアナライサの等価性と簡単化に関する研究を述べている。

通常、パーサは、特定の文法 G に対し、与えられた入力系列がその G で導出されるかどうか判定し、もし導出されるならその導出木を出力する。ところが、内部コード発生などの意味づけの処理をするとき、固定したもとの文法 G における導出木そのものは必ずしも必要でない。とくに、右辺がただ1つの非終端記号からなるようなルール（たとえば、 $\langle \text{term} \rangle \rightarrow \langle \text{factor} \rangle$ など）に対しては意味づけの処理を行なわないことが多い。

そこで、本論文では、構文解析部の本質的な機能を、わたすべきパラメータを定めてセマンティックルーチンを正しく呼ぶことであるとし、この機能を果すものをアナライサと呼ぶ。アナライサはその内部で特定の文法は用いていない。アナライサのモデルとして、一定量までの先読みを許した決定性フォッシュダウンオートマトンを考える。アナライサはパラメータと制御記号を格納するためのフォッシュダウンスタック (pds) をもつ。アナライサは動作を決定するために必要ならトークンを先読みし、入力のトークンに付随したパラメータを pds にスタックしたり、pds の頭から n (n は1以上の整数) コマの内容をとり出し、それらのパラメータ部分をパラメータとしてあるセマンティックルーチン p を呼ぶ。呼ばれたルーチン p はわたされた n 個のパラメータに依存して新しいパラメータ（中間結果を格納する場所を指し示すポインタなど）を1つ求め、これらを用いて内部コードを発生するとともに、新しいパラメータを pds の頭のコマに返す。

二つのアナライサは同じ入力系列に対して、同じパラメータで同じセマンティックルーチンをつぎつぎと呼ぶとき、等価と定義する。本論文では、任意のアナライサが与えられたとき、それと等価なアナライサのう

ちで、先読みの長さがつねに最小のアナライカを求める方法、さらに、先読みが最小のものの中でもっとも簡単な(状態数が最小の)アナライカを求める方法などについて述べている。いわゆるパーカで考えるより、アナライカで考えるほうが簡単化に関しては一般に有利である。

Wilkes は“電子計算機の制御部(ハードウェア)を組織的に設計する手段”としてマイクロプログラミングの概念を導入した。最近では、書き換え可能な制御記憶が使えるようになり、オペレーティングシステムやコンパイラの一部のマイクロプログラム化(いわゆるファームウェア化)や、高級言語で書かれたステートメントを直接実行する計算機(高級言語計算機)に対する関心が急速に高まっている。それとともに、ユーザにマイクロプログラムを開放することも試みられてきた。しかし、マイクロプログラム記述言語として提供されているものは、通常、ハードウェアにかなり依存しており、マイクロプログラムを書くには、ハードウェアの細部に関するかなりの知識を必要とする。したがって、マイクロプログラム記述用の高級言語の開発が望まれている。

本論文第2編では、発表論文(8)~(10)として公表したマイクロプログラム記述言語とそのトランスレータに関する研究を述べている。本学情報工学科にある小型電子計算機 UX は16ビット長の垂直型のマイクロ命令を備え、書き換え可能な4K語の制御記憶をもったマイクロプログラム方式の計算機である。この UX を対象として、フローチャート型のマイクロプログラム記述言語 FML を設計し、そのトランスレータとコーディング中である。本論文では、FML の仕様とそのトランスレータの作成法について述べ、さらに、そこでのいくつかの問題についても論じている。この言語のおもな特長は「ハードウェアに固有の制限事項をなるべく隠し、ユーザが覚えやすく、使いやすい」ことである。マイクロプログラムの効率は重要であるので、トランスレータでは種々の最適化を試みている。トランスレータは PL/I で書かれており、中型計算機 FACOM 230-45S で実行される。

関 連 発 表 論 文

- (1) 近藤, 菊野, 谷口, 嵩
 “語の解析と構文解析について”, 電子通信学会オートマトンと言語研究会資料 (昭和47年7月).
- (2) 菊野, 谷口, 嵩
 “語の解析に関する一考察——一方向有限オートマトンによる正規集合間の区切りについて——”, 電気関係学会関西支部連合大会資料 (昭和47年10月).
- (3) 谷口, 菊野, 嵩
 “文脈と利用した語の解析”, 電子通信学会オートマトンと言語研究会資料 (昭和48年6月).
- (4) 谷口, 嵩, 菊野
 “文脈と利用した語の解析”, 電子通信学会論文誌, 57-D巻4号 (昭和49年4月).
- (5) 谷口, 菊野, 嵩
 “構文解析の簡単化について”, 電子通信学会オートマトン研究会資料 (昭和47年1月).
- (6) 菊野
 “ANALYZERの簡単化”, 京都大学数理解析研究所「情報科学の数学的理論」研究会資料 (昭和47年2月).
- (7) 谷口, 嵩, 菊野
 “アナライザの等価性と簡単化”, 電子通信学会論文誌, 56-D巻7号 (昭和48年7月).
- (8) 菊野, 杉山, 安積, 谷口, 嵩
 “あるマイクロプログラム記述言語FMLの設計”, 電子通信学会全国大会資料 (昭和49年7月).
- (9) 杉山, 安積, 菊野, 谷口, 嵩
 “FMLトランスレータにおけるマイクロ命令の最適化について”, 電子通信学会全国大会資料 (昭和49年7月).

(10) 菊野, 杉山, 安積, 谷口

"あるマイクロプログラム記述言語 FML とそのトランスレータについて", 情報処理学会論文誌 (投稿中).

第1編 LR(k)アナライザ

第1章 文脈を利用した語い解析

§ 1.1 序言

コンパイラにおける語い解析部の目的は、構文解析その他おとの処理がしやすいように、与えられた原始プログラム（数字や英字，特殊文字などの“文字”の系列）を読み，それと整数，変数名などといった基本的なカテゴリに属するように区切り，このように区切られた実際の文字系列をしかるべきテーブルなどに格納して，原始プログラムをトークン（token，カテゴリの名前）とパラメータ（テーブルへのポインタなど）の対の系列に変換することである。構文解析部では，語い解析を終えたプログラムを読み，トークンの系列にもとづいてその構文を決めつつ，必要に応じて内部コードを発生するためのセマンティックルーチンと呼ぶ。

本論文では，語い解析における各トークン間の区切りの問題を論じる。テーブルに関する処理，たとえば二重定義の有無の判定や，登録などは各トークンに区切ったおと別のルーチンが行うものとし，ここでは問題にしない。

現実のコンパイラでは，整数や変数名などを表わす文字系列の長さには制限がつけられているのが普通であるが，本論文では各トークンを表わす文字列あるいはその集合は一般に無限の正規集合であると考え，たとえば，〈変数〉は英字ではじまる英数字の系列全体とする。この方が言語として柔軟性があるし，また，有界性を仮定して議論してもその異なる要素の数は一般に大きく，アルゴリズムなどの手数はぼう大となる可能性がある。

正しい原始プログラムにおけるトークンの現われる順はいわゆる文法で記述される。ここでは，線形時間で解析できるように $LR(k)$ 文法⁽¹⁾を考える。文字の集合を Σ ，トークンの集合を V_T ，トークンの並び方の順と定める $LR(k)$ 文法を $G = (V_N, V_T, P, S)$ とする。 f を

V_T の各元に Σ 上の一つの正規集合を対応させる写像とする。 G の各終端記号がトークンで、これはまた正規集合の名前でもある。

文字系列をトークンごとに区切るうとするとき、原始プログラムにおけるトークンの並び方の情報をまったく利用せず（利用した場合の $L(G) = V_T^*$ のときに相当）、任意に与えられた $w \in \Sigma^*$ を一方向有限オートマトンでスキャンし、文字数で有限の遅れを許し（言い換えれば、有限個の文字を先読みし）、つぎつぎと区切りの位置とそのトークン名を決定していくモデルについては、文献(5)で発表した。このモデルでは、語の解析の処理を構文解析から切り離して独立に行えるが、あいまいさなく区切れるための条件が非常に厳しくなる。

よく引かれる例であるが、フォートランの $DO\ 250\ I = \dots$ はトークンの並び方の情報——すなわち、文脈——を利用しなければ、トークン名とその区切りの位置を決定できない。 $=$ のつぎがたとえば $13, \dots$ であれば、はじめの DO が do 文を示すキーワードであるが、 $13, \dots$ なら $DO\ 250\ I$ が整数形の変数名である。フォートランでは空白は特別な場合以外は意味がなく、普通、文中では無視される。

処理中の各時点について、すべてのトークンではなく G の正しいセンテンスとしてつぎに来うるトークンについてだけ考えるならば、あいまいさなく区切りがつく可能性がふえる。そこで、つぎに来うるトークン名（の系列）をパーサから教えてもらい、それを利用して文字列のトークンを区切る方法が考えられる。文献(4)では、このように、つぎに来うるトークン名の情報を利用し、有限オートマトンにより文字数で有限の遅れ（ k 個まで）を許し、区切りとトークン名があいまいさなく一意に決められるための条件や、それを満たすときのスキャナとパーサの構成法を述べている。しかし、上のフォートランの例 $DO\ 250\ I = 13, \dots$ については、整数や変数名にいくらでも長い系列を許すなら $250\ I = 13,$ の部分が長くなり、文字数が有限の遅れでは DO で $<do>$ であることを見出すことはできない。

そこで本論文では、上のフォートランの例を言うように、“遅れ”と“文字列の長さで k 個”ではなく、“トークンの系列で長さ n 個”とし、

$n+1$ 個先のトークンまで一致すればその一番目のトークンを取り出すという方法と考える。

たとえば、 $n=5$ とし上の例で、簡単のため、(I) $\langle da \rangle \langle \text{整数} \rangle \langle \text{整数形変数} \rangle \langle \text{等号} \rangle \langle \text{整数} \rangle \langle \text{コンマ} \rangle$ と (II) $\langle \text{実数形変数} \rangle \langle \text{等号} \rangle \langle \text{整数} \rangle \langle \text{小数点} \rangle$ の二とおりの可能性しかないとすると、DO 250 I = 13, ... が与えられて、文字 D を見た時点で $\langle da \rangle$ の途中と $\langle \text{実数形変数} \rangle$ またはその途中の可能性があり、DO を見た時点では DO で $\langle da \rangle$ と $\langle \text{実数形変数} \rangle$ またはその途中の可能性がある (D のみで $\langle \text{実数形変数} \rangle$ というのはなくなる)。この例では、 $\langle da \rangle$ か $\langle \text{実数形変数} \rangle$ かを決めるのに、途中におけるあいまいさはつねに 2 以下であり、コンマを見たときそこで (I) と一致し、また (II) でないことがわかるので、DO で $\langle da \rangle$ と決定される。

n を長くすれば、あいまいさなく区切れる可能性がふえるが、一般には、 $n+1$ 個のトークンの系列に一致してもあいまいさがおこりうる。そこで、本論文では、 $n+1$ 個先のトークンまで見るならば、その一番目のトークンの区切りに関するあいまいさがないという条件をつける。この条件をみたすと、 G と f は n -区分可能であるということにする。

本論文の 1.3 節では、パーカとスキャナのモデルについて詳述し、1.4.1 で n -区分可能性の定義を正確に述べる。スキャナはパーカからつぎに来うるトークンとして長さ $n+1$ のトークン系列の集合をパラメータとして受けとり、この情報を利用してつぎのはじめのトークン名とその区切りを決定する。スキャナは最初のトークンの区切りの可能性があるごとに、レジスタにそのトークン名と区切りの位置をセットし、可能性がなくなればそれをクリアする。1.4.2 で、 G , f が n -区分可能なとき、そのようなレジスタの個数が最小であるようなスキャナの構成法を示している。

n が指定されれば、 G , f が n -区分可能かどうか判定できるが、 n が指定されなければその問題は決定不能であることを 1.4.3 で示す。

1.5 節では、 n -区分可能な G , f で生成される言語は、実は決定性

言語になることを述べるが、これを、同じ文字系列の部分を繰返してスキャンしないような一方向のスキャナを構成して示している。

1.6 節では、スキャナの等価性、および簡単化に関連して、残された問題などについてふれている。

§ 1.2 諸定義

文脈自由文法 (CFG) を $G = (V_N, V_T, P, S)$ で表わす. V_N , V_T は, それぞれ, G の非終端記号, 終端記号の集合, P は置換え規則 (ルール) の集合, S は始記号である. $V = V_N \cup V_T$ とおく. 一般性を失わず, ルールの右辺は ε (空系列) でないとし, また, 無だ非終端記号やルールを含まないとする. G で生成される言語を $L(G)$ で表わす.

文字の有限集合 Σ 上のすべての正規集合の族を $\mathcal{R}_\Sigma$ とし, $f \in V_T$ から $\mathcal{R}_\Sigma$ の中への写像とする. ただし, 各 $A \in V_T$ に対し, $f(A)$ は空系列 ε を含まない正規集合とする. ここで, f を, 通常と言語理論における "代入" になるように, つぎのように拡張する. $f(\varepsilon) = \varepsilon$, $x \in V_T^*$, $A \in V_T$ に対し $f(xA) = f(x)f(A)$, $L \subseteq V_T^*$ に対し $f(L) = \{f(x) \mid x \in L\}$ とする. 系列 r の長さ $|r|$ で表わす. 系列 r , 非負整数 i に対し $\text{FIRST}_i(r)$ を, $|r| \geq i$ なら r の長さ i の初期部分系列, $|r| < i$ なら r とする. 系列の集合 L に対し $\text{FIRST}_i(L) = \{\text{FIRST}_i(r) \mid r \in L\}$ とする. r の初期部分系列の全体 (r 自身と ε も含める) を $\text{PREFIX}(r)$ で表わし, $\text{PREFIX}(L) = \{\text{PREFIX}(r) \mid r \in L\}$ とおく. とくに (r 自身を除いて) r の真の初期部分系列を $\text{PROPERPREFIX}(r)$ と書き, L に対しても同様に定義する. 系列 r に対し, $r = r_1 r_2$ のとき r_2 を $r_1 \setminus r$ で表わす. ただし w が r の初期部分系列でないとき, $w \setminus r$ は定義されない. $w \setminus L = \{w \setminus r \mid r \in L\}$ とおく.

§ 1.3 スキャナのモデル

図 1.1 のようなパーサとスキャナを考える。パーサはいわゆる G に対する $LR(k)$ パーサ⁽¹⁾ で、コントロール部、フォッシュダウンスタック、長さ k の先読みトークン系列を保持するレジスタ LA からなる。

図 1.1 に示すようにすでに決定されているトークンの系列 $A_1 \cdots A_{i-1} A_i A_{i+1} \cdots A_{i+k-1}$ に対し、長さ k のトークンの系列 $A_i A_{i+1} \cdots A_{i+k-1}$ を“先読み”として (レジスタ LA に入っている), $A_1 \cdots A_{i-1}$ までの構文 (部分木) が求まっていたとする。つぎの A_i をスタックしたのち、 A_i を含む $A_1 \cdots A_{i-1} A_i$ 上の部分木を決定するのに、つぎの k 個の先読み $A_{i+1} \cdots A_{i+k-1} A_{i+k}$ が必要であるとする。すなわち、つぎのトークン A_{i+k} があらたに要することになる。このときパーサは、 G のセンテンスで $A_1 \cdots A_{i+k-1}$ を初期部分系列としてもつすべてのセンテンスのこれ

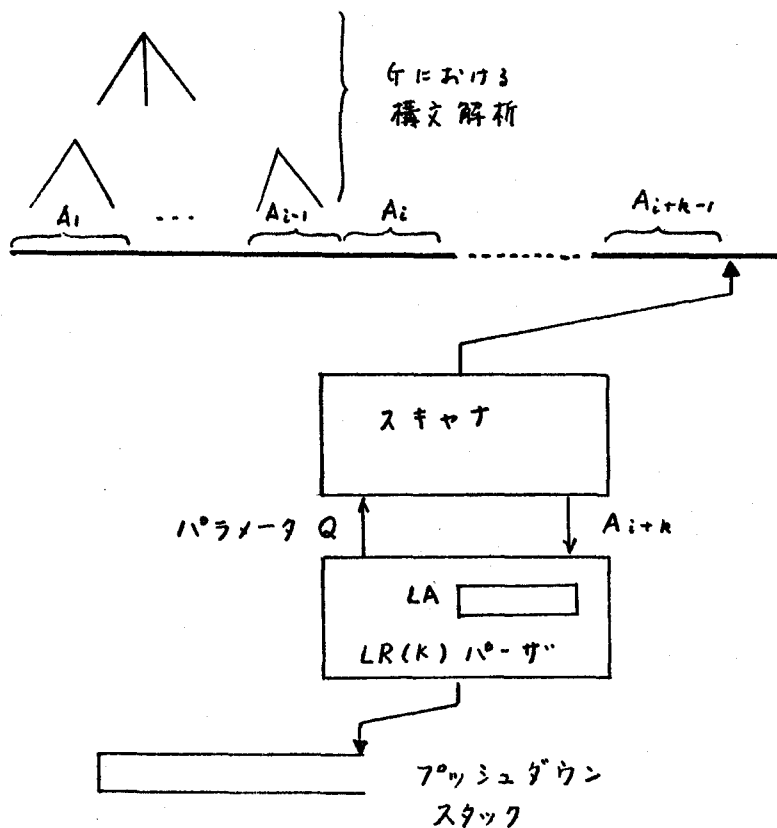


図 1.1 スキャナとパーサ

に続く長さ $n+1$ (n は非負整数) のトークン系列のすべて ($A_{i+k} \dots A_{i+k+n}$ として采うるものの全体, すなわち $FIRST_{n+1}(A_1 \dots A_{i+k-1} \cup L(G))$, いまこれを Q と表わす) を求め (状態から知る), ニこれをパラメータとしてスキヤナにわたす. パーサの構成法とパラメータの決め方を 1.7 節に示す.

スキヤナは今までに決定済みの最後のトークン A_{i+k-1} に対する文字系列のつぎからスキャンしはじめ, Q 内の一つのトークン系列に始めて一致するまで (始めて $f(Q)$ に属するまで) スキャンし, その時点で最初のトークン A_{i+k} とその区切りの位置を決定する. 一般には, あいまいさが残る, 一意に決まるとは限らないが, 本論文では, ここまでスキャンすればあいまいさがなくなるという条件を考え, この条件を満たす G , f を n -区分可能であるという (定義は後述).

n -区分可能であるとき, スキヤナは入力文字系列を始めて $f(Q)$ に属するまでスキャンし, その時点で一意に定まるつぎのトークン A_{i+k} とその区切りの位置を求め, A_{i+k} をパーサに返す (もし, スキャンの途中で, 以後どんな文字系列が来ても $f(Q)$ に属しないとわかったとき, 入力系列を拒否して停止する). つぎは A_{i+k} に対する文字系列のつぎの文字からスキャンする.

文字系列の同じ部分のスキャンはたかだか $n+1$ 回であるので, もちろん線形時間で動作する (区切りとトークン名の決定およびトークン系列の構文解析).

つぎのようなスキヤナのモデルを考える. スキヤナは Q の最初のトークン名と区切りの位置の可能性を記憶するために一般に N 個のレジスタ $M_1, M_2, \dots, M_N$ をもつものとする. このレジスタ群を総称して M レジスタという. 説明の便宜上, ほかにも, スキャン開始位置を示すポインタ BP_0 , 読み取る入力文字を指し示すポインタ BP をもつものとする (スキャン開始時 $BP = BP_0$). スキヤナのコントロール部は, 状態遷移図で表わされる. 各状態では, そこでの動作が指定されている.

(i) セット: 空いている M レジスタに, Q の最初のトークンの可能性として, トークン名とその区切りの位置 (現在の BP の値) を格納する.

(10) クリア：あるMレジスタの内容をクリアする。

これらは必要に応じ、適当な状態に至ったとき実行する。各状態で、必要なら上のクリア、セットを行なったのち、BPを一つ進め、つぎの入力文字を読み、つぎの状態に移す。初期状態（スキャン開始時の状態）では、すべてのMレジスタは空、最終状態では、（必要ならクリア、セットののち）にばかりのMレジスタがセットされていて、この内容がトークン名と区切りの位置になっている。

§ 1.4 h -区分可能性の判定

1.4.1 h -区分可能性の定義

説明の便宜上, エンドマーク $\dagger$ を考え, そのトークン名を $\#$ とする ($f(\#) = \{\#\}$, $V_T \cup \{\#\}$, $\Sigma \cup \{\#\}$ をあらためて, それぞれ, V_T , Σ とし, $\#, \dagger$ についてはいっさいこゝろにしない).

以下 (1.4.3 以外), G ($LR(k)$ 文法), $f: V_T \rightarrow \mathcal{R}_\Sigma$, $h \geq 0$ を固定して考える. $Q = \{ \text{FIRST}_{h+1}(w \setminus (L(G) \#^h)) \mid w \in \text{PROPER-PREFIX}(L(G)) \}$ とする. $Q \in \mathcal{Q}$, $\xi \in \Sigma^*$ について

$$\text{TOKEN}_Q(\xi) = \{ [A, \tau] \mid A \in \text{FIRST}_1(Q), 1 \leq \tau \leq |\xi|, \\ \text{FIRST}_\tau(\xi) \in f(A), \text{FIRST}_\tau(\xi) \setminus \xi \\ \in \text{PREFIX}(f(A \setminus Q)) \}$$

とする. ここで, A はトークン名に, τ は ξ 中における区切りの位置に対応しており, $\text{TOKEN}_Q(\xi)$ は ξ をスキャンしたときの Q の一番目のトークンの可能性の全体を表わしている. つぎの条件をみたすとき, G, f は h -区分可能であるという.

条件: 各 $Q \in \mathcal{Q}$ について, $\xi \in f(Q)$, $\text{PROPERPREFIX}(\xi) \cap f(Q) = \emptyset$ なる任意の ξ に対し, $\text{TOKEN}_Q(\xi)$ はただ1個の要素 $[A, \tau]$ のみを含み, かつ, $\xi \in \text{PROPERPREFIX}(f(\text{FIRST}_1(Q)))$.

これは, 前述のように, ξ を左からスキャンしていくとき, はじめて $f(Q)$ に属した時点で, 最初のトークンに関する区切りにあいまいさがないことを要求している. $f(Q)$ に属する時点に至る途中では $\text{TOKEN}_Q(\xi)$ はいくらでも多くの要素を含むかもしれない. しかし, G, f が h -区分可能であるとき[†], 1.3 節で述べたモデルのスキナで, M レジ

[†] h -区分可能でなければ, 1.3 節のモデルのスキナではトークン名とその区切りを決定できない.

スタの個数 N が有界 (G と F とんできまる) のものが存在する。ここでは、さらに、Mレジスタの個数が最小のものが構成できることをつぎに示す。

1.4.2 スキャナの構成法

【定理 1.1】 G, F が n -区分可能なら、Mレジスタの個数 N が有界のスキャナが存在し、さらに、 N が最小のスキャナが構成できる。

(証明) N が最小のスキャナの構成法を示す (その N が有界であることは以下の構成法からあきらか)。 N が最小であるためには、スキャナの動作の各時点 Q で、そのときセッティングされているすべてのMレジスタがそれぞれ今後適当な入力文字系列が来ればそれが正しい区切りとして使われるようになっていなければならない (すなわち、今後いかなる文字系列が来ても、正しい区切りとして使われる可能性のないものは、それがわかった時点ですぐにクリアすること)。

説明の便宜上、各 $Q \in Q$ ごとに、スキャナのコントロール部 S_Q をつくると考える。 Q の全体 Q は 1.7 節の方法で求める。 $FIRST_1(Q) = \{B_1, \dots, B_r\}$ とする (各 B_j は互いに異なるもの)。正規集合 $f(B_j)$, $f(B_j \setminus Q)$ を受理する状態数最小の決定性有限オートマトンを、それぞれ、 F_j, F'_j とする。 F_j の状態名を $\alpha_{j1}, \dots, \alpha_{jm_j}$, F'_j の状態名を $\alpha'_{j1}, \dots, \alpha'_{jn_j}$ とする。 $\alpha_{j1}, \alpha'_{j1}$ はそれぞれの初期状態とする。 $m_1 + n_1 + \dots + m_r + n_r$ 次元の、各要素が 0 または 1 または 2 のベクトル全体を考え、各ベクトルを S_Q の状態名にする。ここで、 F_j, F'_j の状態名を $F_1, F'_1, \dots, F_r, F'_r$ の順に横に一列に並べ、上のベクトルの各成分と対応する F_j, F'_j などの状態名で参照する (図 1.2)。

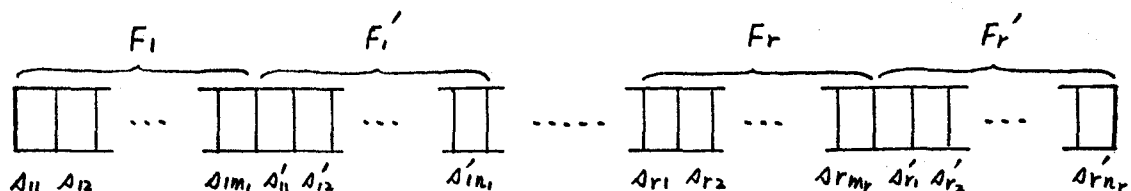


図 1.2 S_Q の状態の表現

S_Q の初期状態として、成分 $a_{11}, a_{21}, \dots, a_{r1}$ が 1 で、ほかは 0 のベクトルをとる。1 がただ一つで他は 0 のベクトルのうち、1 のある場所が $F_1', \dots, F_r'$ の最終状態 (の一つ) に対応する成分であるようなベクトルをすべて、 S_Q の最終状態とする。遷移はつぎのように定める† (最終状態からの遷移は定義しない)。 F_j' において、文字 a を読んで状態 a_j' に遷移するような (もとの) 状態の集合を $P_j'(a, a_j')$ であらわす。 S_Q の二つの状態 ν, ν' 間につぎの関係があるとき、 ν から文字 a による ν' への遷移を定義する。

(イ) ν における F_j 中の状態 a_j' に対応する成分が 1 で、かつ a_j' から文字 a による遷移が定義されているならば、 ν' におけるその遷移先の状態に対応する成分は 1、そうでないときは 0。

(ロ) ν' の F_j' 中の各状態 a_j' (i キ 1) に対応する成分の値は ν における $P_j'(a, a_j')$ 内の成分の要素の和になっている。ただし、2 を越えるときは 2 とし、また、 $P_j'(a, a_j')$ が空のときは 0 とする。

(ハ) ν' の各 a_j' の値は $P_j'(a, a_j')$ 内の各成分の要素の和に、さらにつぎの値 d_j を加えたものである。ここで d_j は ν の F_j 中の最終状態に対応する成分が 1 のとき 1、そうでないときは 0 とする。ただし上の値が 2 を越えるときは 2 とする。

ν における動作 (Mレジスタのセット、クリア) はつぎのように定める。まず空の Mレジスタをセットするのは、上の (ハ) において、 $d_j = 1$ でかつ a_j' の値が 1 ($P_j'(a, a_j')$ が空かまたはその各成分の要素がすべて 0) のときであり、セットする値はトークン名 B_j と現在の BP の値の対である。この Mレジスタ名は a_j' に対応させ、以後、この "1" が遷移とともにほかの成分へ移動するとき、このレジスタ名もその成分へ移動させて対応づける。セットされている Mレジスタをクリアするのはつぎのときである。 ν 中の状態 a_j' について、(a) a_j' の値が 2 で、かつ、 $P_j'(a, a_j')$ 内の成分で 1 のものがあるとき、その 1 をもつ成分

† すべてのベクトルのうち、 S_Q の状態として意味があるのは、 $F_1, F_2, \dots, F_r$ 中にはそれぞれ 1 が高々一つで残りは 0 のものに限られる。

に対応したレジスタをクリアする。または、(b) a_{ji} の値が1であっても、 μ 中の $F'_1, \dots, F'_r$ の成分で0以外(すなわち1または2)の値をもつもの(ただし a_{ji} と除く)を $a'_{1\mu}, \dots, a'_{r\mu}$ とすると、もし $L(a_{ji}) \subseteq \{L(a'_{1\mu}) \cup \dots \cup L(a'_{r\mu})\} \Sigma^*$ ならば[†], a_{ji} に対応したレジスタをクリアする。ここで、 $L(a_{ji})$ などは、状態 a_{ji} から(F'_j の)最終状態へ至るような入力系列の集合を表わす。

上の構成法からわかるように、(a) または (b) でクリアされたものは、以後どんな入力系列が来ても、最初の正しい区切りとして採用されないものであり、クリアされていないものは以後適当な入力系列が来ればそれが区切りとして採用されるものである。(証明終リ)

なお、スキャン開始の位置から最終的に決定したトークンの区切りの位置に至るまでの途中で、区切りの可能性として何回でもセットされ、またはクリアされるので、たとえば(区切りの位置などをセットせずに)一度スキャンしておいて二度目のスキャンで正しいトークンと区切りを見つけるといったことはできない。

1.4.3 n -区分可能性の判定

[PI] G, f, n を与えて、 G, f が n -区分可能かどうかは決定可能である。

これは、1.4.2で構成した各スキャナ S_Q において、初期状態から、 $F'_1, \dots, F'_r$ の少なくとも一つの F'_j の最終状態の成分が1以上で、かつ、その全成分の和が2以上であるような状態へ至る道が存在しないかどうかを調べることによって判定できる。

ところが、 n を指定しなければこの問題は決定不能である。つぎにこれを示す。

[†] この判定はスキャナ自身がこの時点で行うものではない。 μ に対し、こうなっているかどうかを言っている。

[定理 1.2] G, f を与えて, n を指定しないとき, G, f が n -区分可能となる n が存在するかどうかは決定不能である.

証明の準備として, つぎの概念と定義する.

系列の集合 $A = \{\alpha_1, \alpha_2, \dots, \alpha_n\}$, $B = \{\beta_1, \beta_2, \dots, \beta_m\}$ (各 $\alpha_i, \beta_j \in \Sigma^* - \{\varepsilon\}$) に対し, 二つの系列 $\alpha_{i_1} \alpha_{i_2} \dots \alpha_{i_m}$ と $\beta_{j_1} \beta_{j_2} \dots \beta_{j_m}$ において一方が他方の初期部分系列になっているような添字の系列 $i_1 i_2 \dots i_m$ ($1 \leq i_j \leq n, j = 1, \dots, m$) でいくらかとも長いものが存在するとき, A, B は両立するという.

[P2] 上記の系列の集合 A, B が任意に与えられたとき, この A, B が両立するかどうかは一般に決定不能である.

Post の対応問題をチューリング機械 M の停止問題に帰着させ, 後者の決定不能性を用いて前者の解の存在が決定不能であることを証明する方法 (たとえば (2)) において, チューリング機械 M から A と B を構成したとき, 「 M が停止しないときかつそのときのみ A, B が両立する」ということがなりたつ. これより証明されるが詳細は省く.

任意の $A = \{\alpha_1, \alpha_2, \dots, \alpha_n\}$, $B = \{\beta_1, \beta_2, \dots, \beta_m\}$ に対し, CFG $G_{A,B}$ と写像 $f_{A,B}$ をつぎのようにつくる. $G_{A,B} = (\{S, S', S''\}, \{\phi, i, i', i'' \mid 1 \leq i \leq n\}, P, S)$, ここで $P = \{S \rightarrow i S' i', S \rightarrow i S'' i'', S' \rightarrow i S' i', S' \rightarrow \phi, S'' \rightarrow i S'' i'', S'' \rightarrow \phi \mid 1 \leq i \leq n\}$ とする. $f_{A,B}$ は各 i について $f(i) = \{i\}$, $f(i') = \{\alpha_i\}$, $f(i'') = \{\beta_i\}$, $f(\phi) = \{\phi\}$ と定義する. $G_{A,B}$ は LR(1) 文法である.

[P3] A, B が両立する必要十分条件は, この A, B に対し上記のようにつくった文法 $G_{A,B}$ と写像 $f_{A,B}$ が n -区分可能となるような n が存在しないことである.

(P3 の証明) [十分性] A, B が両立しないとするとき, ある $m \geq 1$ が存在して, どのような添字の系列 $i_1 i_2 \dots i_m$ に対しても二つの系列 $\alpha_{i_1} \alpha_{i_2} \dots \alpha_{i_m}$, $\beta_{i_1} \beta_{i_2} \dots \beta_{i_m}$ は一方が他方の初期部分系列となることはない. このとき $G_{A,B}$, $f_{A,B}$ は $n = m - 1$ に対し n -区分可能であることをつぎに示す. 系列 $w \in \text{PROPER PREFIX}(L(G_{A,B}))$ としてつぎの四

つの場合がある。(a) $w = i_1 i_2 \dots i_j$, (b) $w = i_1 i_2 \dots i_t \Phi$, (c) $w = i_1 i_2 \dots i_t \Phi i'_t \dots i'_{t-j}$, (d) $w = i_1 i_2 \dots i_t \Phi i''_t \dots i''_{t-j}$. (a) の w に対し, Q は $i_{j+1} \dots$ と $\Phi \dots$ の形の系列を含むが, $f(i_{j+1}) = \{i_{j+1}\}$, $f(\Phi) = \{\Phi\}$ ゆえ, 最初のトークン $\text{TOKEN}_Q(\xi)$ はそれぞれ $[i_{j+1}, 1]$ または $[\Phi, 1]$ と一意に定まる. (b) の w に対し, $Q = \{i'_t i'_{t-1} \dots i'_{t-h}, i''_t i''_{t-1} \dots i''_{t-h}\}$ である. $f(i'_t \dots i'_{t-h}) = \alpha_{i_t} \dots \alpha_{i_{t-h}}$, $f(i''_t \dots i''_{t-h}) = \beta_{i_t} \dots \beta_{i_{t-h}}$ であるが, $\alpha_{i_t} \dots \alpha_{i_{t-h}}$ と $\beta_{i_t} \dots \beta_{i_{t-h}}$ は一方が他方の初期部分系列ではないので, スキャンした系列 ξ が $\xi = \alpha_{i_t} \dots \alpha_{i_{t-h}}$ となったとき, 最初のトークン $\text{TOKEN}_Q(\xi)$ は $[i'_t, |\alpha_{i_t}|]$ と一意に定められる (β の方である可能性はない). $\xi = \beta_{i_t} \dots \beta_{i_{t-h}}$ となった場合も同様 (形式的には $t-h < 1$ のときエンドマーク Φ , そのトークン Π を入れて議論する必要があるが, $\alpha_{i_t} \dots \alpha_{i_{t-j}} = \beta_{i_t} \dots \beta_{i_{t-j}}$, $j \leq h$ となることはないので, 文の終りを見た時点ではトークンの区切りは一意に定まる). (c), (d) の w に対し, Q はそれぞれ $\{i'_{t-j-1} \dots i'_{t-j-h-1}\}$, $\{i''_{t-j-1} \dots i''_{t-j-h-1}\}$ で, この場合もそれぞれ $[i'_{t-j-1}, |\alpha_{i_{t-j-1}}|]$, $[i''_{t-j-1}, |\beta_{i_{t-j-1}}|]$ と一意に定まる.

[必要性] $G_{A,B}$, $f_{A,B}$ が n -区分可能であるとする. 系列 $w = i_1 i_2 \dots i_t \Phi \in \text{PROPERPREFIX}(L(G_{A,B}))$ を考えると $Q = \{i'_t \dots i'_{t-h}, i''_t \dots i''_{t-h}\}$ であるが, このとき $\alpha_{i_t} \dots \alpha_{i_{t-h}}$, $\beta_{i_t} \dots \beta_{i_{t-h}}$ は一方が他方の初期部分系列にはならない (そうでなければ, 区切りがあいまいになり n -区分可能性に反する). 添字の系列 $i_t \dots i_{t-h}$ として長さ $h+1$ の任意のものをとってよいから, A と B は両立しない. (証明終り)

P2, P3 により, 定理 1.2 が証明された.

§ 1.5 DL との関係

ん-区分可能なクラスについて、まず、

[P4] 各正規集合を生成する文法を左線形文法をつくり、この各文法と G とをあわせて全体の文法を G' とする。 G ($LR(k)$ 文法), f がん-区分可能であるが, G' が任意に大きい k' に対し $LR(k')$ 文法でないような G , f が存在する。

もとの文法 G の部分を固定していることに注意。題意の例としては、たとえば、 $G = (\{S, X\}, \{A, B, C\}, P, S)$, $P = \{S \rightarrow AB, S \rightarrow XC, X \rightarrow A\}$ とし、 $f(A) = \{a\}$, $f(B) = \{d^n b \mid n \geq 1\}$, $f(C) = \{d^n c \mid n \geq 1\}$ をとればよい。

しかしながら、生成される言語 $f(L(G))$ のクラスは決定性文脈自由言語 (DL) のクラスをほみ出ない。(定義より DL を含むのはあきらか。ゆえに、DL のクラスと一致する。なお、一般に DL に正規集合を代入すれば DL のクラスをほみ出る。たとえば $L = \{w c w^R \mid w \in \{a, b\}^*\}$, $f(a) = \{0\}$, $f(b) = \{1\}$, $f(c) = \{00, 11\}$ とすれば、 L は DL であるが、 $f(L) = \{\xi \xi^R \mid \xi \in \{0, 1\}^* - \{\varepsilon\}\}$ は DL ではない。)

[P5] G, f がん-区分可能なら、 $f(L(G))$ は DL である。

$f(L(G))$ を受理する決定性フォッシュダウンオートマトン (DPDA) を構成するかわりに、ここではさらに、 G に対する $LR(k)$ パーカと f を区切るスキャナを、スキャナにおける再スキャン (同じ文字系列の部分を二度以上スキャンすること) をなくして構成できることを示す。 $f(L(G))$ を "受理" するには、トークン間の区切りの位置は必要ないので、スキャナにおける区切りの位置 (BP の値) を覚えることを取り除けばよい。そうすれば、パーカとスキャナをあわせて有限のコントロール部となり、しかも入力は一方向であるので、DPDA になっている。

1.4.2 で構成したパーカを修正し、スキャナにわたすパラメータはつぎに集める長さ $2n+1$ のトークン系列の集合であるようにする。これを一般に $R \subseteq V_T^{2n+1}$ で表わす。スキャナ部は、1.4.2 で構成したスキ

S_Q を各 $Q \in Q$ (Q は長さ $n+1$ のトークン系列のある集合) ごと
 $1 + N + \dots + N^n$ 個ずつ用意する (N は 1.4.2 で構成した必要な M レジ
 スタの個数の最小値)。さらに, M レジスタはそれぞれの S_Q に用意す
 る。この S_Q をここではとくに部分スキャナと呼ぶ。スキャナ部には,
 これらの部分スキャナをつぎつぎと起動させ, また停止させるようなつ
 ぎのような有限コントロール部 C をもつ。動いている部分スキャナは一
 般にいくつがあるが, C はこれらが起動された順序関係を樹状のグラフ
 T で覚えておく (一つの節点から出る枝の数は N 以下, 高さは n 以下)。
 節点のラベルは $Q \in Q$ で, それに対応して一つの部分スキャナ S_Q が動
 いている。その節点から出る枝にはその S_Q の現在セットされている M
 レジスタの番号 i とそれに格納されているトークン名 A がつけられる。

まず, わかりやすいように, 最初の段階を考え, C がまだ空の T し
 かもっていないとし, パラメータ R をもらったとする。 C は部分スキャナ
 S_{Q_0} , $Q_0 = \text{FIRST}_{h+1}(R)$ を起動させ, スキャン開始位置よりスキャン
 を始める。 S_{Q_0} がその M レジスタをセットするとき (レジスタ番号を i ,
 トークン名を A とする), 樹の根 (ラベル Q_0) よりラベル i, A の枝を
 出して新たに設けた節点 (ラベルは $\text{FIRST}_{h+1}(A \setminus R)$, これを Q_1 とお
 く) へ結び (これがこの時点の T), S_{Q_0} 以外にこの時点から部分スキ
 ャナ S_{Q_1} をその初期状態から動かす。

一般に, T のある節点 u (根から u へ至る道上のラベルのトークン名
 の系列を $A_1 \dots A_r$ とする) に対応している部分スキャナがその M レジス
 タをセットするとき (その M レジスタの番号を i , トークン名を A_{r+1} と
 する), 節点 u よりラベル i, A_{r+1} の枝を出し, 新たに設けた節点 (ラ
 ベルは $\text{FIRST}_{h+1}(A_1 \dots A_r A_{r+1} \setminus R)$, これを Q' とおく) へ結び, この時
 点から部分スキャナ $S_{Q'}$ を起動さす。 T のある節点 u に対応している部
 分スキャナがその M レジスタ i をクリアするとき, u から出ている枝で
 ラベルに i をもつ枝も含め, それ以降の部分木を T から取り去り, その
 部分木中の節点に対応している部分スキャナをすべて停止さす。

スキャナ部の出力 (パーカ部への通事) は T の根に対応した部分スキ
 ャナ S_Q が決定する。その S_Q が入力系列を拒否すれば, 拒否。 S_Q が

その最終状態に入ったとき、スキャナ部は停止し、 SQ のセットされているただ一つの Mレジスタ内のトークン名をパーカに返す。ここで、 T は根からその Mレジスタ番号をラベルとする枝のみが一つ出ているが、根とその枝を除き、残ったものをつぎの T とする。

パーカでつぎのトークンが必要になったとき、あらたに $R' \leq V_T^{2h+1}$ を求め、それをパラメータとしてスキャナ部にわたす。スキャナ部は前の T をひきつぎ（すなわち、この T の節点に対応した部分スキャナはそれそれある状態まで動いている）、前のつづきをスキャンする。以後起動する部分スキャナは R' を用い、上と同様に決定する。

各部分スキャナは Mレジスタを N 個以下しか持たず、また T の根に対応した部分スキャナが最終状態に入るのはそれが起動されスキャンを始めたところから $h+1$ 個のトークン系列にはじめて一致したときである。したがって、 T の節点から出る枝の数は N 以下で、高さは h 以下であり、コントロール部 C は有限である（もし、今後いかなる入力系列が来てもトークンとして採用され得ないものを（Mレジスタに）残しておくならば、それから起動されるものはいくらでも増えるかもしれない）。

§ 1.6 結言

ここでは、まず、スキャナの等価性について少しふれる。1.4.2のスキャナ S_Q は、 $n+1$ 個先のトークンで完全に一致するところまでスキャンせずとも、その途中で、最初のトークン名とその区切りにあいまいさなくなればその時点で停止し、パーサにそのトークンを知らせればよい。すなわち、決定したトークン名とその区切りの位置さえ同じなら、どこまでスキャンするかは等価性ということから見ればあまり意味がない。そこで、二つのスキャナは、パーサから同じパラメータを受けとってスキャンを開始するとき、決定したつぎのトークン名とその区切りの位置が互いに同じなら等価ということにする（ただし一方が拒否すれば他方も拒否すること）。モデルは 1.3 節のトークンの可能性をセットするためのあるきつた個数以下の M レジスタをもつものを考える。

この等価性は判定可能である。二つのスキャナを並列に動かすいわゆる“直積マシン”をつくる。このとき、トークン名、区切りの位置ともに同じものがセットされた M レジスタは対応づけて覚えておく。一方が停止してある M レジスタの値を出力したとき、等価なら、他方は今後来るいかなる入力系列に対してもそれと同じ値をセットしている M レジスタ（これがなければ等価ではない）を一つ残して停止すべきである。M レジスタのセット、クリアの状況も“状態”にとりいれて考えるなら、上の判定は有限オートマトンの問題となるので、決定できる。

単純化を一般に議論するのは困難と思われる。それに関連して、つぎのような問題が残されている。

(1) 拒否をパーサでも行うことにし、 n -区分可能性の条件をそこなわない範囲でパラメータ Q を Q' ($Q' \supseteq Q$) で適当におきかえ、 Q' の個数を全体として減らすこと。

(2) (上のように予測を修正し) つぎつぎの予測 Q の系列がある正規集合になっているならば、スキャナは（パーサから情報をもらわない形で）パーサから切りはなして独立に構成できる。パーサとそのパラメータの求め方をきめると、パラメータの系列は DL ゆえ、これが正規集合

かどうかは判定できる⁽³⁾。

(3) パーサから与えられるパラメータを固定して、スキャナの部分を簡単化する問題がある。パラメータは必要ならば何回でも見る事ができるとし、それを見るコストを適当に導入し、スキャナを全体として最適化する問題は興味深い。パラメータは最初に一度しか見ない（これは各パラメータごとにスキャナのコントロール部を別々につくるやり方）が、または、入力文字とともに毎回見る（パラメータを見るコストを零と考えている）ようなモデルなら、有限オートマトンの簡単化と同じ問題になる。

なお、PL/I は予約語などの制限をできるだけ除いて柔軟性に富んでいる言語であるが、PL/I のたとえば `DECLARE (A1, A2, ..., An)...` は、`n` が任意に大きくてもよいとすると、`n` を固定した本論文のモデルでは解析できない。

§ 1.7 補足

ここでは、パーサの構成法とパラメータの決め方を示す。

$\gamma \in V^*$ に対し、 $L(\gamma) = \{ w \mid G \text{ で } \gamma \xrightarrow{*} w, w \in V_T^* \}$ とおく。

文献(1)と同じように、状態 $\mathcal{S}$ の集合 $\mathcal{D}$ をつぎのように求める。 G のルールに 1 から π (G のルールの個数) までの番号をつけ、あらたに出發ルール $S_0 \rightarrow S_1 \cdots S_{k+h}$ (番号 0 をつける) を考える。 p 番目のルールを $X_p \rightarrow X_{p_1} X_{p_2} \cdots X_{p_{n_p}}$ とする。 まず $\mathcal{S}_0 = \{ [0, 0, \gamma^{k+h}] \}$, $\mathcal{D} = \{ \mathcal{S}_0 \}$ とする。 任意の $\mathcal{S} \in \mathcal{D}$, $\gamma \in V$ について $\mathcal{S}' = \{ [p, j+1, \alpha] \mid [p, j, \alpha] \in \mathcal{S}' \text{ かつ } X_{p_{j+1}} = \gamma \}$ を求め、空でなければ $\mathcal{D}$ へ入れる。 ここで $\mathcal{S}'$ は

$$\mathcal{S}' = \mathcal{S} \cup \{ [j, 0, \beta] \mid X_{p_{j+1}} = X_j, \beta \in \text{FIRST}_{k+h}(L(X_{p_{j+2}} \cdots X_{p_{n_p}} \alpha)), \\ j < n_p, [p, j, \alpha] \in \mathcal{S}' \}$$

をみたす最小の集合である。状態 $\mathcal{S}$ にあるとき、LA にある長さ k の系列が $Z(\mathcal{S}, p) = \{ \text{FIRST}_k(\alpha) \mid [p, n_p, \alpha] \in \mathcal{S} \}$ に属していれば、ルール p を用いた簡約動作、 $Z(\mathcal{S}, \text{stack}) = \{ \text{FIRST}_k(\beta) \mid j < n_p, \beta \in L(X_{p_{j+1}} \cdots X_{p_{n_p}} \alpha) \text{ なる } [p, j, \alpha] \in \mathcal{S}' \}$ に属していればスタック動作 (LA の左端のトークンをスタックする) を行う。スキャナを動かせる時点はスタック動作直後であり[†]、そのときの Q はつぎのように決める。スタック後の状態を $\mathcal{S}$ とし、LA の残りの長さ $k-1$ の系列を $A_i \cdots A_{i_{k-1}}$ とすると^{††}、 $\delta(\mathcal{S}, A_i \cdots A_{i_{k-1}}) = A_i \cdots A_{i_{k-1}} \setminus \{ \text{FIRST}_{k+h}(\beta) \mid \beta \in L(X_{p_{j+1}} \cdots X_{p_{n_p}} \alpha) \text{ なる } [p, j, \alpha] \in \mathcal{S}' \text{ が存在する} \}$ を Q とし、スキャナにわたす。

† $k=0$ のときは、つぎのトークンをスタックしたい時点でスキャナを動かせると考える。

†† 動作開始時の過渡期は $A_i \cdots A_{i_{k-1}}$ は短かいが、この場合も同様に考える。

第2章 アナライザの等価性と簡単化

§ 2.1 序言

文法 G に対するパーサとは、与えられた入力系列が G で導出される文かどうか判定し、もし文ならその導出木を与えるものをいう。コンパイラにおけるいわゆる構文解析部のおもな目的は、語彙解析を終えたプログラムを読み、シンボルテーブルの処理や内部コードを発生するセマンティックルーチンをつぎつぎと正しく呼ぶことである。たとえば、いま、アルゴルのコンパイラを考え、語彙解析を終えたプログラムの一部として、 $\langle \text{identifier} \rangle \langle \text{multiplying operator} \rangle \langle \text{identifier} \rangle \langle \text{adding operator} \rangle \langle \text{identifier} \rangle \dots (*)$ が与えられたとしよう。コンパイラはアルゴルの文法におけるこの系列の導出木を忠実に求め、かつ、そこに現われるすべての書き換えルールに一対一に対応したセマンティックルーチンを呼ぶとは限らない。とくに、右辺がただ一つの非終端記号からなるようなルール（たとえば、 $\langle \text{term} \rangle \rightarrow \langle \text{factor} \rangle$ など）に対しては意味づけの処理を行わなければならないことが多い⁽¹⁶⁾。すなわち、内部コード発生などの意味づけの処理をするとき、固定したもとの文法における導出木そのものが必ずしも必要でない。

そこで、本論文では、セマンティックルーチンを正しく呼ぶという本質的な機能だけに着目し、その機能を果すものをアナライザと呼ぶ。アナライザはその内部で特定の文法は用いていない。アナライザのモデルとして、一定量までの先読みと許した決定性フォッシュダウンオートマトンを考える。アナライザが呼ぶセマンティックルーチンは複数個あり、それぞれに名前がついている。アナライザに与えられる入力記号列は、たとえば前述の $(*)$ のようなものであるが、各トークン（ $\langle \text{identifier} \rangle$ など）にはパラメータ（シンボルテーブルへのポインタなど）が付随している。アナライザの動作はトークンの系列によって決まる。アナライザはパラメータと制御記号を格納するためのフォッシュダウンスタック

(pds) をもつ。アナライザは動作を決定するために必要なトークンを先読みし、入力のトークンに付随したパラメータを pds にスタックしたり、あるいは、pds の頭から n (n は 1 以上の整数) コマの内容を取り出し、これらのパラメータ部分をパラメータとしてあるセマンティックルーチン P を呼ぶ。前者をスタック動作、後者を簡約動作という。呼ばれたルーチン P はわたされた n 個のパラメータに依存して新しいパラメータを一つ求め、これらを用いて内部コードを発生するとともに、新しいパラメータを pds の頭のコマに返す (n 個のパラメータが 1 個のパラメータに置き変わり、pds は $n-1$ コマ短くなる)。たとえば、前述の例 (*) において、 $\langle \text{identifier} \rangle \langle \text{multiplying operator} \rangle \langle \text{identifier} \rangle$ に付随したパラメータ (テーブルへのポインタなど) を左から g_1, g_2, g_3 とすると、 g_3 までスタックしたのちつぎのトークンを見ると $\langle \text{adding operator} \rangle$ であり、乗除算を先に実行しなければならないので、この時点で簡約 RED (3) CALL P_1 を行なう。ここで呼ばれたルーチン P_1 は、中間結果を格納する場所を定めたのち、 g_1, g_3 で示される内容を乗算または除算 (g_2 で決まる) して結果を新しいロケーションに格納するという内部コードを発生するとともに、中間結果を格納した場所を指し示すポインタなどと新しいパラメータとして返す。このアナライザは、先読み、スタック、簡約動作をくり返しながろ、与えられた入力系列を受理または拒否する。

2.2 節で、アナライザのモデルについて述べ、アナライザの等価性を定義する。アナライザとパーサの違いについても説明する。2.3 節では、任意のアナライザ A が与えられたとき、 A と等価なアナライザのうちで、先読みの長さがつねに最小のアナライザ B を一つ求める方法を述べ、2.4 節では、さらに、先読みが最小のものの中でもっとも簡単な (フローチャートの節点数が最小の) アナライザ B_m を一つ求める方法を述べる。

§ 2.2 アナライザの等価性

2.2.1 アナライザのモデル

図 2.1 のようなモデルを考える。入力テープにはトークンとそれに付随するパラメータの対の系列が与えられる。ポッシュダウンスタック (pds) は制御記号を書込む C トラックとパラメータを書込む S トラックにわけられている。ヘッド NH はつぎにスタックすべきパラメータのあるコマを指し、LH は先読みするコマを指す。先読みは 1 コマずつ行ない、一度先読みしたコマはあとで決して見ない。トークン、制御記号、アナライザが呼ぶセマンティックルールの集合を、それぞれ、 Σ , Γ , P とする。動作開始時、ヘッド NH と LH はともに入力テープの左端にあり、SH は pds の底のコマを指している。動作中、LH は NH のコマよりどこか k コマ右にあるとする。制御部は計算機のプログラムに対応してフローチャートで書く。† をエンドマークとし、 $\Sigma \cup \{\dagger\} = \{a_1, a_2, \dots, a_m\}$ とする。各節点では、以下のいずれか一つを行なう。

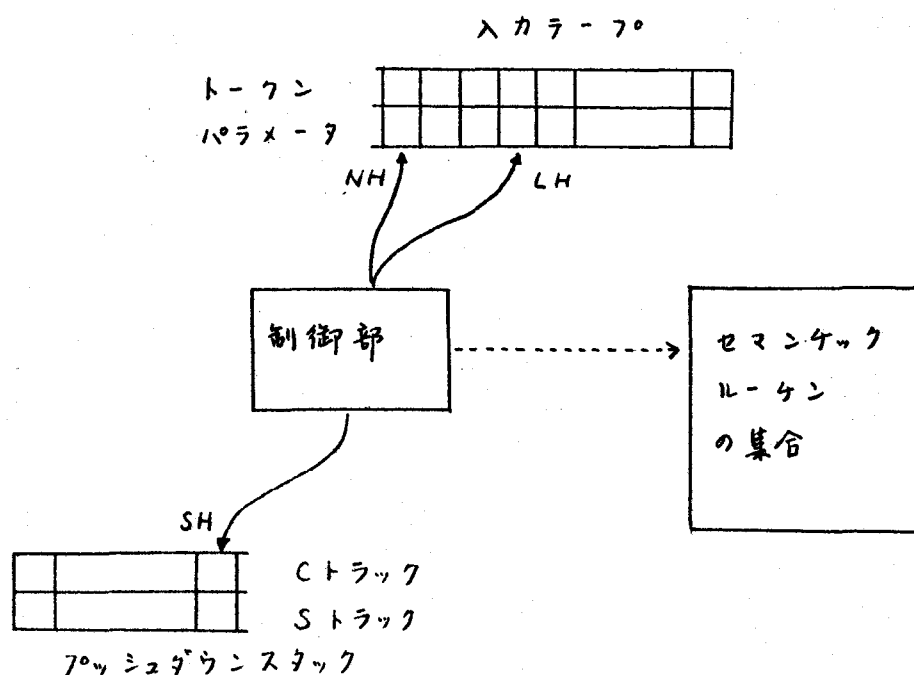


図 2.1 アナライザ

(1) 先読み動作 LOOK. LH のコマのトークンと見てつぎの動作を決める. 図 2.2 (a) の場合, そのトークンが a_i ならつぎは節点 L_i を実行する. LH を 1 コマ右へ動かしておく (エンドマークを見たとき以外).

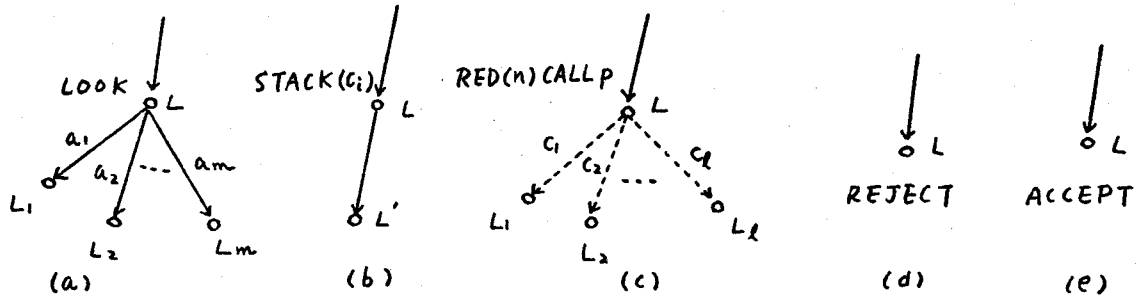


図 2.2 アナライザの基本動作

(2) スタック動作 STACK(C_i). SH の現在あるコマの C トラックに制御記号 C_i を書込み, SH を 1 コマ右へ動かして, その S トラックに NH のコマのパラメータ記号を書込む. NH を 1 コマ右へ動かして, つぎは節点 L' へ (図 2.2 (b), 図 2.3 (a))

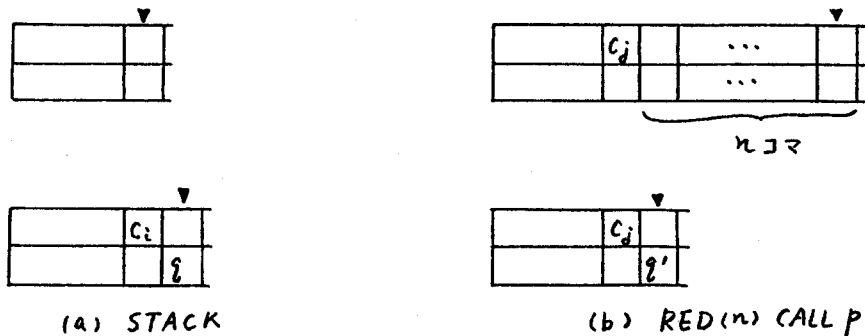


図 2.3 プッシュダウンスタックの変化

(3) 簡約動作 RED(n) CALL p . S トラックの頭から n コマの内容をパラメータとして, ルーテンP を呼ぶ. pds を $n-1$ コマ短くし, 頭のコマの S トラックにルーテンP が返した新しいパラメータ p' を書込む (図 2.3 (b)). 一つ左のコマの制御記号を見てつぎの動作を決める.

図 2.2 (c) の場合, それが c_j ならつぎは節点 L_j へ.

(4) 拒否動作 REJECT. 入力系列を拒否して, 停止する.

(5) 受理動作 ACCEPT. 入力系列を受理して, 停止する. この

とき SH はスタックの底から i 番目のコマを指している[†], NH , LH はエンドマークのコマを指しているものとする。

アナライザ自身の動作は入力として与えられるトークンの系列で決まる。アナライザ A が受理するトークンの系列の集合を L_A とする。トークンの系列 w に対する A の全動作系列とは, w に対してとった受理または拒否に至るまでの A の先読み動作, スタック動作, 簡約動作 (パラメータの数とルーチン名 p も含める, 以後も同様) の系列をいう。

[定義] アナライザ A_1, A_2 は $L_{A_1} = L_{A_2}$ であり, かつ, 受理する任意のトークンの系列に対する A_1 と A_2 の全動作系列から先読み動作を除去した残りのスタック動作と簡約動作の系列が互いに同じとき, 等価であるという。

先読み動作や制御記号に関する動作は等価性に直接関係はない。また, L_A に属さない拒否する系列に対しては, 拒否さえすれば拒否の時点の違いやそれまでの動作系列は違ってよい。入力系列の拒否はセマンティックルールのなく, アナライザが行なうものとしていっているので, $L_{A_1} = L_{A_2}$ を要求している。上の意味で等価であれば, トークンに付随するパラメータを含めて全く同じ入力系列を与えたとき, A_1 と A_2 は同じパラメータで同じセマンティックルールをつぎつぎと呼ぶことになり, したがって同じ内部コード系列が発生される。また逆に, 各セマンティックルールの処理のやり方にかかわらず同じ内部コード系列が発生するといういわゆるプログラム理論でいう強等価性を考えると, それは上で定義した等価性と一致する。

上述の等価性の意味が直観的にわかりやすいようにつぎのような樹状グラフを導入する。アナライザ A で受理されるトークンの系列 w に対する A のスタック動作, 簡約動作の系列から決まる w の "句構造" を樹状グラフで表わし, 各節点のラベルにはその句に与えられたときに呼んだルーチン名をつけて得られる木を $T_A(w)$ とする。たとえば, $w = a_1 \dots$

[†] これは入力系列が最終的には一つの句に与えられることを要求している。

a_5 に対し、先読みと制御記号に関する動作を除いた動作系列が、 $STACK$, $STACK$, $RED(2) CALL P_1$, $STACK$, $STACK$, $STACK$, $RED(3) CALL P_2$, $RED(2) CALL P_3$ のとき、 $T_A(w)$ は図 2.4 のようになる。アナライザ A に対し

$$T_A = \{ T_A(w) \mid w \in L_A \}$$

とする。アナライザはこの木をいわゆる“左から右へ、下から上へ”つくっていく。スタック動作と簡約動作の系列が同じということは、この木が同じということである。ゆえに、上の定義はつぎのようにも述べられる。

[定義] アナライザ A_1, A_2 は $T_{A_1} = T_{A_2}$ のとき、かつそのときのみ、等価であるという。

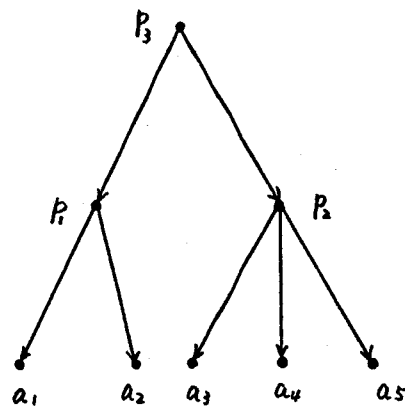


図 2.4 木 $T_A(w)$ の一例

2.2.2 アナライザとパーサの関係

ここではアナライザとパーサの関係について考察してみる。文脈自由文法 (CFG) を (V_N, V_T, R, V_s) で表わす。 V_s は始記号の集合で、便宜上、複数個の始記号を考える。 CFG G と、 G の非終端記号の集合 V_N からなる記号の集合への写像 τ に対して、 G の文の任意の導出木 t に対し端点でない各節点のラベル (非終端記号) X をそれぞれ $\tau(X)$ につけかえて得られる木を簡単に $\tau(t)$ と書く。 G のすべての文のすべての導出木に対する $\tau(t)$ の全体を $T(G, \tau)$ とする。

[補題 2.1] 任意のアナライザ A が与えられたとき, CFG G と非終端記号の集合から P への写像 τ を, $T(G, \tau) = T_A$ がなりたつように構成できる。

構成法を 2.2.3 に示す。非決定性フォッシュダウンオートマトンによって空スタックで受理される入力系列の集合を生成するような CFG のつくり方はよく知られているが, G のつくり方においてその通常の方法と違う点は, 先読み系列と考慮すること, pds へのスタックは 1 コマ, ポップアップは一般に n コマであること, ポップアップ後の行き先(状態)は与えられた句の一つ左の句に対応するコマの制御記号に依存して決まることなどである。

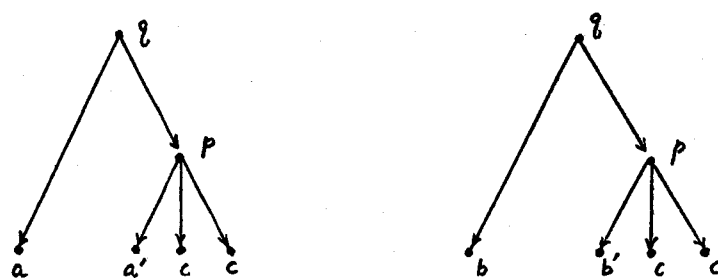
二つのアナライザ A_1, A_2 が等価かどうかは, A_1, A_2 を同時に模倣する決定性フォッシュダウンオートマトンを構成することによって判定することもできるが, 二つのアナライザからそれぞれ上述の CFG と写像を構成し, $T(G_1, \tau_1) = T(G_2, \tau_2)$ かどうかを調べる (CFG の句構造的等価性の判定⁽¹⁴⁾ と同様な方法で決定できる。ラベルがついているところだけ違う) ことによっても判定できる。また, この文法 G は, いわゆるもとの言語の意味を文法の上で定義している場合 (Knuth の方法⁽¹⁵⁾), 構成したアナライザが目的にかなった正しいものであるかどうかの検証にも役立つ。

本論文では, LR(k) パーサ⁽¹⁾ のモデルも上述のアナライザと同じように, 先読み, スタック, 簡約の動作を基本動作と考える。アナライザと違うところは, 簡約のとき, そこで使う文法 G のルール名を出力することである[†]。

一般に, $T(G, \tau) = T_A$ であるような任意の G について, G に対する LR(k) パーサが存在するなら, そのパーサ Z において, 簡約のとき, そこで使う G のルール名の代わりに左辺の非終端記号名 X で決まる

† G のルール名を出力する代わりに, そのルールの右辺の長さと左辺の非終端記号名を出力すればよいなら, 一般に, より簡単なパーサが得られる。

セマンティックルーテン $h(X)$ を呼ぶことにすると, A と等価なアナライザが得られる. このアナライザを $a(Z)$ とする. もし h が一対一ならば, アナライザとパーサは本質的に違わない. しかしながら一般に, 与えられた A に対して h が多対一であるような G と h しか存在しない場合もあり[†], この場合には, 最簡形のアナライザはどのように G を選んでも, h に対する最簡形のパーサ Z に対する $a(Z)$ として求めることができるとは限らない. 以下にその例を示す. 図 2.5 のような T_A をもつアナライザ A を考えよう. 受理するトークンの系列は, $aa'cc$ と $bb'cc$ の

図 2.5 T_A

2個だけで, まとめられる句のトークンの系列が違っていても同じルーテンを呼んでいる (パラメータに依存して異なる内部コードが発生される). ここで, $T(G, h) = T_A$ なる G は $G = (\{S, X, Y\}, \{a, a', b, b', c\}, \{S \rightarrow aX, S \rightarrow bY, X \rightarrow a'cc, Y \rightarrow b'cc\}, \{S\})$ 以外にない (X と Y を同じものにすれば, A が拒否すべき系列も生成してしまう). アナライザ A と G に対する $LR(0)$ パーサのフローチャートの節点数は明らかにアナライザの方が少なくてもよい. アナライザでは aa' , bb' に付随するパラメータをスタックしたあと同じ節点に行ってもよいが, パーサでは以後の簡約に使うルール名が異なるため, 違う節点に遷移されて区別しておく必要があり, さらに $aa'c$, $bb'c$ や $aa'cc$, $bb'cc$ まで読込んだときも, それぞれ区別しておく必要がある.

† たとえば, 簡約のときセマンティックルーテンと呼ばないような $X \rightarrow Y$ の形のルールが存在しないように文法とつくりかえれば, 非終端記号が増えて多対一の G と h になり, この G , h に対し, h' が一対一の $T(G, h) = T(G', h')$ なる G' は一般に存在しない.

2.2.3 文法 G の構成法

与えられたアナライザ A から, $T(G, n) = T_A$ なる G と n を構成する方法を述べる.

アナライザの動作の任意の時点を考えて, NH のコマから LH の左と右のコマまでの書かれているトークンの系列をその時点における先読み系列という. 一般に, ある一つの節点の動作を実行しようとするとき, 過去の動作の履歴によって異なる先読み系列をもっている. そこで, まず, 各節点ごとに先読み系列が一意に対応するように A のフローチャートを変換する. A のフローチャートの各節点 L , 長さ k 以下の $\Sigma^* \cup \Sigma^+$ の任意の元 α に対し (L, α) をつくってこれを新しい節点名にする.

(L, α) における動作は L における動作と同じにし, 遷移先は先読み系列の変化を考慮して決める (たとえば $(L, \alpha\alpha)$ でスタック動作なら行き先は (L, α) , (L, α) で先読みしそれがトークン a なら行き先は $(L, \alpha a)$ などとする. L はもとの L からの遷移先). これから, むだな節点を除く (必ずしも必要でない). 以下, このフローチャートを対象にする. 先読み動作は等価性に直接意味をもたない. そこで, A における実行開始点, または簡約動作, スタック動作直後の節点から, つぎの簡約動作, スタック動作, 受理動作に至るまでの先読み動作の系列を u と v とめに考え, この節点の系列を m 系列と呼ぶ. A の m 系列の全体を M とし, $\xi \in M$ の終りの節点の動作を $a(\xi)$ (スタック動作, 簡約動作, 受理動作), $a(\xi)$ がスタック動作のとき α で書込む制御記号を $c(\xi)$, ξ の終りの節点における先読み系列の左端の記号 (節点によって一意に決まっている) を $s(\xi)$ で表わす.

さて, G をつくる前に, まず, A から CFG $G' = (V', \Sigma, R', V_s')$ をつぎのようにつくる.

$$(1) \quad V' = \{ (\xi, x, \xi') \mid \xi, \xi' \in M, a(\xi) \text{ がスタック動作, } x \in \Sigma \cup P \}$$

(2) ルール R' はつぎのようにつくる.

(i) $a(\xi)$ がスタック動作で α から ξ' の始点へ枝があるようなす

すべての $z, z' \in M$ に対し, $(z, X, z') \rightarrow X$ と R' のルールとする. ただし $X = S(z)$.

(ii) 以下の条件 (a), (b) がなりたつような m 系列 $z_1, \dots, z_n, z'_n, z'_0$ に対し, すべての $X_1, \dots, X_n \in \Sigma \cup P$ について $(z_0, p, z'_0) \rightarrow (z_1, X_1, z'_1)(z_2, X_2, z'_2) \dots (z_n, X_n, z'_n)$ をつくり R' のルールとする. ここで, $z_0 = z_1, z'_1 = z_2, \dots, z'_{n-1} = z_n$ である.

(a) $1 \leq i \leq n$ なる各 i について, $a(z_i)$ はスタック動作

(b) z'_n の終りの節点の動作は簡約 RED (n) CALL P で, そこから z'_0 の始点へラベルが $c(z_1)$ の破線がある.

(3) A の動作開始点から始まる m 系列 z , $a(z')$ が受理動作である m 系列 z' をもつ $(z, X, z') \in V_n'$ をすべて始記号とする.

まだ非終端記号や ϵ を含むルールを除く. この G' のルールで $(z, X, z') \rightarrow X$ の形のものを除き, 他のルールの (z, X, z') , $X \in \Sigma$ を単に X で置き換えて得られるルールをもつ CFG を G とする. 写像 τ を $\tau((z, X, z')) = X$ と定義すると, この G と τ について $T(G, \tau) = T_A$ がなりたつが, 証明は長くなるので略す.

§ 2.3 先読み最小のアナライザ

2.3.1 諸性質

任意のアナライザ A が与えられたとき、それと等価なアナライザの中で、先読みの長さ（ヘッド NH と LH 間の距離）が最小のアナライザ B を求める方法を述べる。ここで、先読みの長さが最小という意味は、 A と等価な任意のアナライザ A' の受理する入力系列 w に対するはじめから n 回目のスタックまたは簡約動作時における先読みの長さを $\ell(A', w, n)$ と書くことにすれば、入力系列 w のどの n 回目のスタックまたは簡約動作時と考えると、 $\ell(B, w, n) = \min \{ \ell(A', w, n) \mid A' \text{ は } A \text{ と等価な任意のアナライザ} \}$ がなりにつことである（このようなアナライザが存在することは、後述の議論からわかる）。 LA に属さない拒否する入力系列に対する動作は拒否以外全く自由である。パーカ Z に対しても、アナライザと同様、先読みの長さを $\ell(Z, w, n)$ で表わす。以下で示すように、このようなアナライザ B は、文法を適当に選べば、そのパーカ Z の出力をつけかえて得られる。つまり、先読みの長さについてはアナライザも（文法を適当に選んだときの）パーカも同じである。

〔定理〕 与えられたアナライザ A と等価で、先読みの長さが最小のアナライザ B は、つぎの条件 (1), (2) をみたす文法 $\bar{G}$ に対するパーカで、パーカとして先読み最小のもの Z から、出力をつけかえて得られるアナライザ $a(Z)$ として求められる。

(1) $T(\bar{G}, \bar{r}) = T_A$ なる $\bar{r}$ がある。

(2) $\bar{G}$ に右辺の同じルール $U \rightarrow v, V \rightarrow w$ があれば、 $\bar{r}(U) \leq \bar{r}(V)$ である。

（証明） $a(Z)$ が先読み最小でないとしたら、ある w と n について $\ell(A', w, n) < \ell(a(Z), w, n)$ なるアナライザ A' が存在する。ところが、つぎの補題に示すように、 A' と同じ先読みの長さをもつ $\bar{G}$ に対するパーカ $Z(A')$ がつくれる。 Z と $a(Z)$ は同じ先読みゆえ $\ell(Z(A'), w, n) < \ell(Z, w, n)$ となり、パーカ Z が先読み最小という仮定に反する。

（証明終り）

〔補題 2.2〕 A と等価な任意のオートマトン A' に対し、 A' を修正して $\bar{G}$ に対するパーサ $Z(A')$ がつくれる。ただし、 A' と $Z(A')$ は各 w について $\delta(A', w, z) = \delta(Z(A'), w, z)$ である。

(証明) パーサ $Z(A')$ の構成法を示す。まず、 A' を 2.2.3 の前半で述べるように、各節点に対して先読み系列が一意に対応するように修正しておく。 A' の pds の S トラックをなくし、あらたに V トラックを設けて、そのコマに $\bar{G}$ の (非終端および終端) 記号を書く[†]。制御部の状態数をふやし、 $Z(A')$ はその状態でもとの A' の状態 (節点名 L) と V トラックの内容の先頭の N ($\bar{G}$ のルールの右辺の長さの最大値) コマの中味 β を覚えていこうとする^{††}。すなわち、状態は (L, β) の形とする。次に、制御記号をふやし、制御記号を見ればそのコマを含めそれより左の $N-1$ コマ分の V トラックの中味がわかるようにしておく。 $Z(A')$ はスタック動作のとき、先読みで覚えていこうの入力記号を V トラックにスタックし^{†††}、それも状態覚えておく。次に、制御記号として、 A' の書く制御記号 c とそのコマから左へ $N-1$ コマ分の V トラックの中味 β とをわけて (c, β) と書いておく。 $Z(A)$ の先読み、スタック、簡約動作の時点は A' のそれと同じにする。 A' の動作が簡約で、 $RED(n)$ $CALL\ p$ とすると、 $Z(A')$ は状態から V トラックの先頭の n コマ分の中味 $Y_1 \dots Y_n$ がわかる。 $\bar{G}$ の条件 (2) より $\bar{r}(Y) = p$ なるルール $Y \rightarrow Y_1 \dots Y_n$ は一意に定まる。そのルールの名前を r とすると $Z(A')$ はルール r による簡約を行なう。スタックを $n-1$ コマ短くする。左のコマの制御記号が (c, β) なら、遷移先は (L', β') とする。ここで L' は c による A' の状態の遷移先であり、 β' は βY (Y はルール r の左辺) の左端の記号をおとしたものである。この $Z(A')$ が $\bar{G}$ に対するパーサであることは $\bar{G}$ の条件 (1) からあきらかで、また、 $Z(A')$ の先読み、スタ

† V トラックはなくてもいいが、説明の便宜上用いる。

†† スタックの長さが N より短ければ、その長さだけ。

††† A' の各節点には一つの先読み系列が対応しているのので、つぎの入力記号が一意に定まる。

ック, 簡約動作の時点は A' のそれと同じであるので, $Z(A')$ の先読みの長さも A' のそれに等しい. (証明終り)

2.3.2 構成法

上述の $\bar{G}$ は, 補題 2.1 より $T(G, \bar{g}) = TA$ を満たす G と $\bar{g}$ と一つ構成し, この G から, G と句構造的に等価な逆方向決定性文法の求め方⁽¹³⁾において $\bar{g}$ で同じ値になる非終端記号だけをまとめることに従って得られる. $\bar{G}$ の非終端記号 $\bar{X}$ に対する $\bar{g}$ の値は $\bar{X}$ に属する G の非終端記号に対する g の値とする. 補題 2.2 からわかるように, アナライザ A と同じ先読みで $\bar{G}$ に対するパーカがつくれるので, $\bar{G}$ は $LR(k)$ 文法である. この $\bar{G}$ に対する先読み最小のパーカ Z を, 本論文のモデルを用いて構成し, 出力をつけかえてアナライザ $a(Z)$ に修正すれば, 定理より, それを求める B になっている. 先読み最小のパーカの構成法をつぎに示す.

先読み最小のパーカの構成法

$\bar{G} = (\bar{V}_N, \Sigma, \bar{R}, \bar{V}_S)$, $\bar{V}_S = \{S_1, S_2, \dots, S_I\}$ とする. $\bar{G}$ に対し, $\hat{G} = (\hat{V}_N, \hat{\Sigma}, \hat{R}, \hat{V}_S)$ を $\hat{V}_N = \bar{V}_N \cup \{S_0\}$, $\hat{\Sigma} = \Sigma \cup \{+\}$, $\hat{R} = \bar{R} \cup \{S_0 \rightarrow S_j +^k \mid 1 \leq j \leq I\}$, $\hat{V}_S = \{S_0\}$ のようにつくる. $S_0, +$ は $\bar{V}_N \cup \Sigma$ に属さない新しい記号とする. $\hat{V} = \hat{V}_N \cup \hat{\Sigma}$ とおく. $\hat{R}$ の元の個数を π とする. 各ルールを 1 から π までの数で順序づけ, とくに $S_0 \rightarrow S_j +^k$ ($1 \leq j \leq I$) には j を割当てる. r 番目のルールを $X_r \rightarrow X_{r1} X_{r2} \dots X_{rnr}$ で表わす. よく知られている通常の $LR(k)$ パーカの構成と同じ方法で, 状態[†] δ の集合と, 各状態 δ における動作を決めるための長さ k の先読み系列の集合 $Z(\delta, r)$, $r = 1, \dots, \pi$, $Z(\delta, ST)$ をそれぞれ求める. この先読み系列の集合は, 状態が δ にあるとき, $Z(\delta, r)$ に属する系列と先読みすればルール r による簡約, $Z(\delta, ST)$ に属する系列と先

† 一つの状態 δ は $[r, j, \alpha]$ (r はルール番号, j は $0 \leq j \leq n_r$ の整数, α は $\hat{\Sigma}$ 上の長さ k の系列) の形の元のある集合.

読みすればつぎの入力記号の読み込みを行なうように定める。状態 s の記号 $Y \in \hat{V}$ による遷移先の状態を s_Y で表わす。初期状態は $s_0 = \{ [j, 0, +^k] \mid 1 \leq j \leq I \}$ である。

パーカのフローチャートはつぎのようにつくる。 $\mathcal{L}$ を $\Sigma^* \cup \Sigma^* +$ 内の長さ k 以下の系列全体の集合とする。各状態 s と各 $\alpha \in \mathcal{L}$ について対 (s, α) をつくり、フローチャートの節点とする。節点 (s_0, ε) を動作開始点とする。各節点 (s, α) における動作はつぎのように定める。

(1) α が $Z(s, 1) \cup \dots \cup Z(s, \pi) \cup Z(s, ST)$ に属するどの系列の初期部分系列でもないとき、拒否。

(II) (i) α をその初期部分系列としてもつ系列が $Z(s, ST)$ にあり、他の $Z(s, r)$, $1 \leq r \leq \pi$ には存在しないとき、 $STACK(c)$ 。ここで c は節点 (s, α) を識別できる記号（すなわち節点 (s, α) の名前）とする。つぎは節点 (s', α') へ移る。ただし、 α の左端の記号を a とすると $s' = s_a$, α' は α から左端の a を除いた残りの系列。

(ii) α をその初期部分系列としてもつ系列が $Z(s, r)$ にあり、他の $Z(s, r')$, $r' \neq r$, $Z(s, ST)$ には存在しないとき、ルール r による簡約。簡約後に見る制御記号を c とし、 c が節点 (s', α') を表わしてゐるとすると、つぎは節点 (s'', α'') へ移る。ただし、 $s'' = s'_{x_r}$, $\alpha'' = \alpha$ 。

(iii) α を初期部分系列としてもつ系列が $Z(s, 1), \dots, Z(s, \pi)$, $Z(s, ST)$ のうちの相異なる二つ以上の集合に同時に存在するならば、先読み。入力記号 a を見れば、つぎは節点 $(s, \alpha a)$ へ移る。

(iv) $\{ [j, 1, +^k] \mid 1 \leq j \leq I \}$ の部分集合であるような s について、節点 $(s, +)$ における動作は受理。

このフローチャートは一般に、動作開始点から到達できないようなむだな節点を含んでゐるので、それを除去する。上のつくり方において、先読みは必要なだけしかしてゐない。すなわち、それより短い先読みでは正しい動作が決まらないような入力系列が存在するので、互に対するパーカのうちで、先読みが最小のものになっている。

§ 2.4 アナライザの簡単化

与えられたアナライザ A と等価で、かつ、先読み最小のものの中で、フローチャートの節点数最小のものを B_m とする。

【補題 2.3】 B_m と 2.3 節で構成した B は、拒否するトークンの系列も含めてすべてのトークンの系列に対し、先読み、スタック、簡約、受理または拒否の全動作系列が互いに等しい。

(証明) もし、受理する系列に対する先読みが異なるといへば、 B_m または B の先読み最小性に反するので、先読みも含めて動作系列が同じでなければならない。 B の拒否の時点以前では、それまでに見た系列のあとに適當な系列をつければ受理に至るものが存在するので、 B よりはやく拒否すれば等価でなくなり、 B の拒否の時点以前で、スタック動作、簡約動作が異なれば等価でなくなる。また、 B の拒否の時点以前で先読みが B と異なれば、ある受理する系列に対して先読みが違うことになり、 B_m または B の先読み最小性に反する。拒否が B の時点より遅ければ、以後どんな系列でもいづれ拒否しなければならないような節点が存在することになり、節点数最小に反する。(証明終り)

したがって、 B とすべての入力に対して同じ動作をする[†]ものの中で節点数最小のものを見つければ、それが B_m になる。 B からこのような B_m を求めることは原理的には可能であるが、一般には複雑である。そこで、本論文では、簡約後の遷移先に関して上の B がつぎの条件 C を満たしている場合について考え、条件 C を満たすものの中でフローチャートの節点数最小のものを求める問題を考える。

【条件 C 】 各制御記号に節点名が一意に対応している^{††}、かつ、簡約後の遷移先は、簡約後に見る制御記号とそのときの出力(数値とルーチン名 P) の対で一意に決する。

[†] 制御記号は違ってよい。

^{††} スタック動作のときその節点名を制御記号として書込むことにすれば満足される。

なお、一般の場合、簡約後に見る制御記号と簡約の節点名の対応で遷移先を定めている。いわゆる CALL, RETURN を用いて書けるプログラムは上述の条件を満たしている（制御記号のみで決まる）。

上の条件をいっただけでは、簡約 RED (n) CALL p の節点からラベル c の破線が節点 L へ出ていたら、その破線を除き、かわりに、c に対応する節点からラベルが (n, p) の枝を節点 L へ結んで得られる“遷移図”が決定性（すなわち、一つの節点から同じ (n, p) のラベルの枝が二つ以上の異なる節点へ結ばれない）であるということである（一般には非決定性になってしまう）。条件 C を満たしているなら、2.2 節で述べるフローチャートのかわりに、上述のような決定性の遷移図で、アナライサの動作を記述できる。通常、パーサはこの形で動作を記述し⁽⁸⁾、上の (n, p) のかわりに、そのとき簡約に用いたルールの左辺の非終端記号名で遷移先を決めている。

Pager は LR (k) パーサの状態数最小化の問題はこの遷移図を決定性有限オートマトンとみて、有限オートマトンの単純化の問題に帰着していることを示した⁽⁸⁾。われわれの場合も Pager と類似の方法で遷移図を単純化できる。Pager のパーサでは簡約のときの出力は簡約に使う G のルール名であるが、アナライサでは数 n とルールの名 p の対 (n, p) である。また、われわれのモデルでは先読みは一回ずつ行なうようになっているが、“先読み最小の中で”という条件のため先読み動作も入力に対して固定しているので、先読み動作も有限オートマトンの出力と考えればよい。本質的には Pager のと同じであるので、詳細は省く。

なお、条件 C を考えない一般の場合、非決定性の遷移図を単純化しても、必ずしもアナライサの単純化にはなっていない。アナライサをこの条件 C の範囲内で単純化しても、 $T(G, n) = T_A$ なるすべての G に対する最簡形のパーサ Z_G （簡約のときの出力をルール名ではなく、ルールの右辺の長さと同じ数の非終端記号名にした場合も含めて）から得られるアナライサ $a(Z_G)$ のどれよりも簡単なアナライサが得られる場合がある。2.2 節で述べる例がそうである。

§ 2.5 結言

コンパイラの構文解析部の本質的な機能を抽出し、陽に文法に依存しないアナライカのモデルを導入した。与えられたアナライカ A を表現した文脈自由文法 G と写像 τ を求め、それより A と等価で先読み最小のアナライカを構成出来ること、そのアナライカの簡単化の方法などを示した。

第2編 マイクロプログラム記述言語 FML と そのトランスレータ

§1 序言

本学情報工学科にある小型電子計算機 UX は垂直型のマイクロ命令を備え、書き換え可能な制御用メモリをもったマイクロプログラム方式の計算機で、機械語命令を何ステップかのマイクロプログラム（マイクロルーチンとよぶ）として実行する。マイクロプログラム記述言語としてマイクロアセンブリ言語がメーカーから提供されているが、この言語は、3の命令を除いて、マイクロ命令と1対1に対応している。したがってマイクロプログラムをこのアセンブリ言語で書くには、ハードウェアの細部に関するかなりの知識を必要とする。

そこで、新しくフローチャート型のマイクロプログラム記述言語 FML (Flowchart type Microprogramming Language) を設計し、そのトランスレータをコーディング中である。この言語のおもな特長は「ハードウェアに固有の制限事項をなるべく隠し、ユーザが覚えやすく、使いやすい」ことである。マイクロプログラムの効率化（長さと実行時間を短くすること）は重要であるので、トランスレータでは種々の最適化を試みている。トランスレータは PL/I で書かれ、中型計算機で実行される。

マイクロプログラム記述言語としては PL/I に似た高級言語 MPL⁽¹⁹⁾ やサポートシステム CAS⁽²⁰⁾, MPGS⁽²¹⁾ で使われた言語が知られている。これらは汎用性を目指した言語である。特に CAS はハードウェア設計のサポートシステムとしても利用される。これに対し、FML は UX を対象とする比較的小規模な言語である。

§2 ハードウェアとマイクロ命令

ここでは、メーカから提供されているマニュアル⁽²⁷⁾にもとづいて、UXのハードウェアおよびマイクロ命令について概説する。

2.1 ハードウェア構成

アセンブリ言語(機械語)でプログラミングするユーザからみたUXのハードウェア構成は図3.1の斜線を入れた部分である。

STR (status register) にはいわゆる PSW (program status word) を保持している。IRC (interruption code register) はUXの割込み表示レジスタである。汎用レジスタは GR0, GR1, ..., GR7 の8個あり、特に GR7 は命令カウンタとして使われる。

マイクロ命令でプログラミングするユーザからみたマイクロプログラムプロセッサのハードウェア構成を図3.1に示す。

マイクロプログラムは通常制御用メモリ CS (control storage) に格納される。CSの最大容量は4Kワード[†]で読み書きが可能である。マイクロ命令は1ワードで構成されており、CSへのアクセスも1ワード単位で行なわれる。ローカルメモリは図3.1に示すように4つの領域に分かれている。EX領域とSNI領域にはマイクロ命令を、LP領域には演算に使用する定数を格納している。SSA領域にはマイクロルーチンの開始番地を機械語命令ごとに用意している。各領域の容量は64ワードである。

MAR (microprogram address register) はマイクロ命令の命令カウンタでつぎに実行する命令の番地を示している。SCR (sequence control register) と DCR (data path control register) はともに命令レジスタで、CSやローカルメモリから読み出されたマイクロ命令が入る。AB (address buffer register), MB (memory buffer register) は主メモ

† 1ワード = 2バイト = 16ビット

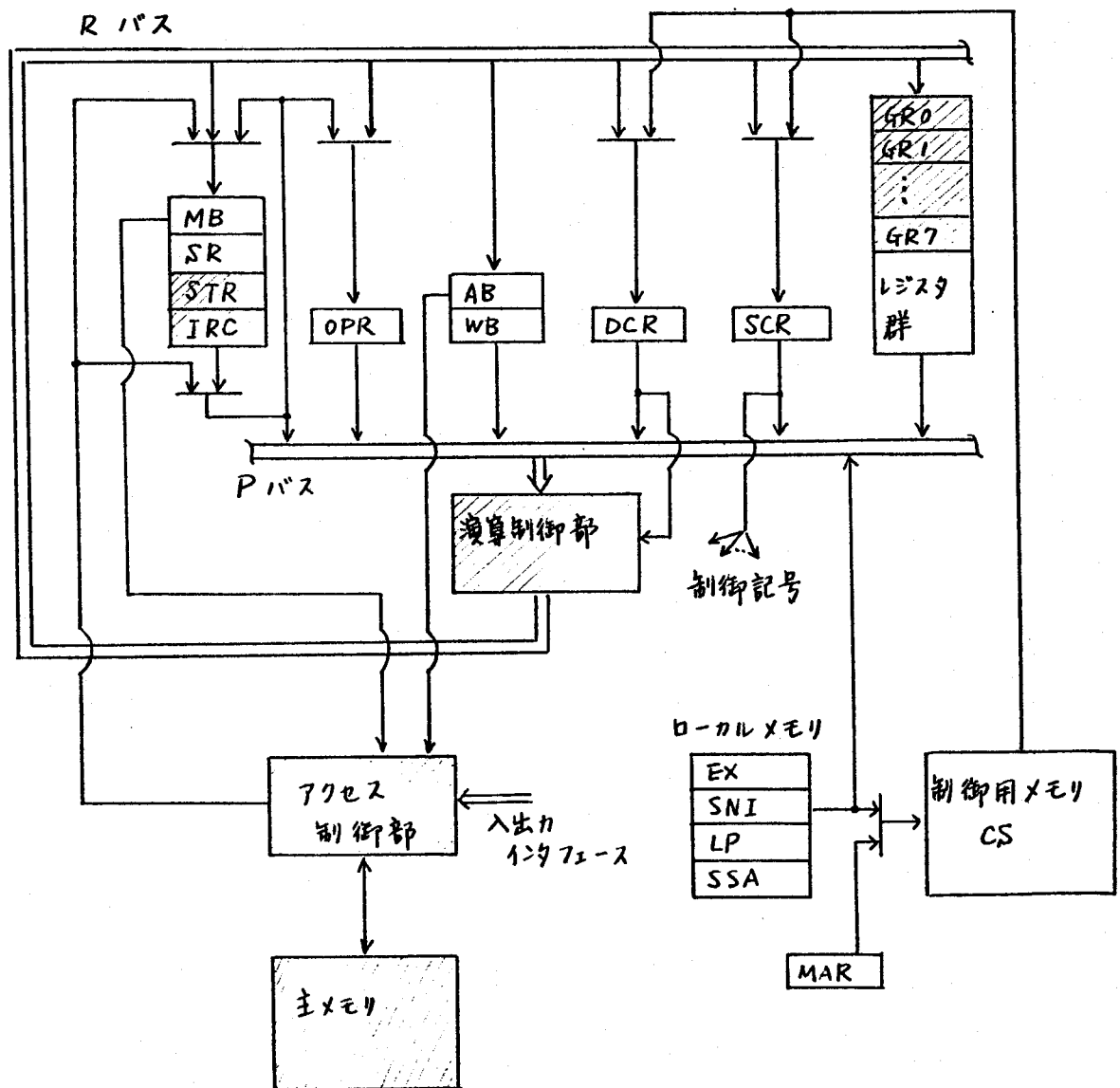


図 3.1 マイクロプログラムプロセッサ

リと入出力インタフェースにアクセスするためのレジスタで、それぞれ番地と読み取りまたは書き込みデータを格納する。OPR (operation register) は UX の機械語命令を保持するレジスタであり、WB (work buffer register) は一時記憶に用いられるレジスタである。AB, MB, OPR, WB は汎用レジスタとして使うこともできる。SR (system status register) でマイクロプログラムプロセッサの状態を保持している。他にレジスタ群として 1 ワードの定数レジスタ C0000, C0001, C0002, C0004, C0007, C00F0, C2000, CFFFF などがある。

2.2 マイクロ命令

UX のマイクロ命令は SCI と DCI の二種に分けられ、前者はマイクロ命令の実行順序の制御やメモリへのアクセス (読み取り, 書き込み) のタイミング制御を、後者は各種の演算を行なう命令である。ここではマイクロアセンブリ言語の表現 (mnemonic) をかりて各マイクロ命令の機能を概説する。

(1) SCI

分岐命令として B (branch), BAL (branch and link), BC (branch on condition) がある。BAL では戻り番地が WB で保持される。BC ではブロック (256 ワード単位の領域) 外へは分岐できない。

SNI (select next instruction) は条件部で指定する条件が成立していないときはこの命令のつぎのマイクロ命令を、成立しているときはその代わりに SNI 領域の指定された番地のマイクロ命令を実行する。

コントロール命令にはつぎに実行するマイクロルーチンの開始番地を SSA 領域から読み出す SSA (set start address), 主メモリに読み取り要求を出す AREQ (access request), 主メモリに書き込み要求を出す WRITE, 読み取りや書き込み要求命令の完了の確認を行なう WAIT, CS への書き込みを行なう WCS (write control storage), STR への書き込みを行なう SCC (set condition code) などがある。

(2) DCI

搬送命令 MV (move), LP (load pattern), 算術演算命令 A (add), AMA (add and move to AB), AC (add carry), S (subtract), C (compare), 論理演算命令 AND, OR, EOR (exclusive or), シフト演算命令 SR (shift right), SL (shift left), SRD (shift right double), SLD (shift left double) と特殊命令 EX (execute) がある。DCR と MAR を除くすべてのレジスタがオペランドとして許されている。LP はオペランド部で指定する番地の LP 領域から 1 ワードの定数を読み取る。AMA は主メモリへアクセスするとの番地計算に便利な命令で、加算結果をオペランドのレジスタと AB に同時に格納する。SRD と SLD はともにオペランド部で指定する 2 つのレジスタを連結してシフト演算を行なう。EX は OPR 内の機械語命令コードで指定される EX 領域からマイクロ命令を読み出し実行する。

2.3 マイクロ命令の実行

マイクロプログラムプロセッサのサイクルタイムを T とおくと、マイクロ命令の実行時間は SCI が $2T$, DCI が $2T$ あるいは $4T$ である。

ここで注意すべき点は、 $4T$ の DCI のつぎの番地に SCI が置かれた場合、この 2 つの命令は並列に実行される。また、命令の実行順序を変更する命令（たとえば分岐命令）を実行する場合、その命令の次の番地にある命令を実行したあとで、分岐先の命令に制御を移す。

2.4 主な制限

LX のハードウェアに置かれている種々の制約はマイクロアセンブリ言語ではたとえばオペランドの使用制限となって現われて、アセンブリ言語を使いにくいものとしている。FML ではこうしたハードウェアに固有の制限をユーザから隠しているが、詳しくは後述する。ここでは、アセンブリ言語上の主な制限事項を以下に示す。

C1. AB, OPR, WB, MB, SR, STR, IRC をオペランドとして用いる DCI のつぎの番地に SCI の AREQ または WRITE を置いてはいけない。

C2. 主メモリからの読み取り（書き込み）は図 3.2 に示すように AREQ（WRITE）と WAIT の対で行なわれる。

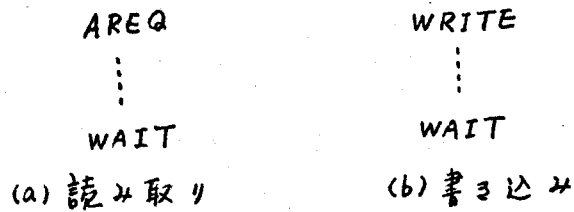


図 3.2 主メモリへのアクセス

C3. 主メモリからの読み取りおよび書き込みでは、主メモリの番地、データを入れるのにそれぞれ特定のレジスタ AB, MB を使用しなければならない。

C4. AREQ または WRITE の実行から WAIT の実行までの期間では、MB, SR, STR, IRC をオペランドとして使用する DCI の実行は禁じられている。

C5. CS への書き込み命令 WCS では C3. と同様、番地とデータをそれぞれ特定のレジスタ AB と MB に格納することが必要である。

§3 FML

3.1 FML設計の基本方針

言語設計にあたって、プログラムの生産性を高め、しかも発生されたマイクログラムの効率を悪くしないように注意した。そこで設計の目標を

- (1) ユーザが覚えやすく、使いやすく、しかもコーディングが見やすい。

こととした。さらにマイクログラムでは特に効率も重要なので

- (2) 汎用性を与えるためハードウェアに固有の制限事項をユーザから隠すが、便利な機能は(かなりハードウェアに依存していても)積極的に残す。

という立場をとった。(1)と(2)は一般に矛盾する要求なので、かねあいが問題になる。

3.2 FMLの文

FMLではプログラムはいくつかの文から構成され、文はフローチャート記号の中に特定の文字系列(表現とよぶ)を書いたものとする。フローチャート記号は文の種類を表わし、表現はその機能を詳細に記述している(図3.3)。フローチャート記号の一覧を表3.1に示す。

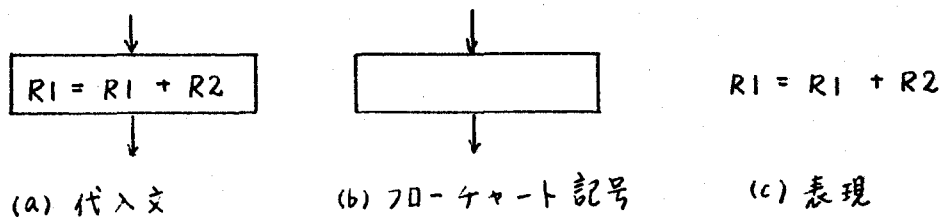


図 3.3 代入文

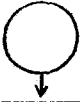
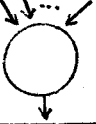
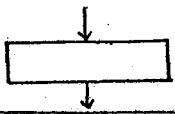
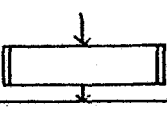
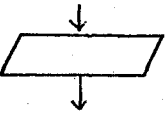
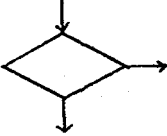
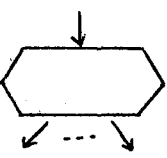
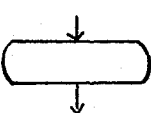
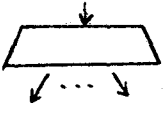
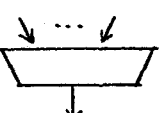
フローチャート記号	名前	機能
	メイン	主プログラムの入口を示す。
	入力	サブルーチンやマクロの入口を示す。
	出力	プログラムの出口を示す。
	コネクタ	分岐の入口, 合流および無条件分岐を示す。
	代入	代入が行なわれることを示す。
	コール	サブルーチンコールやマクロコールが行なわれることを示す。
	入出力	メモリへのアクセスが行なわれることを示す。
	判定	判定結果にもとづいた2方向分岐が行なわれることを示す。
	スイッチ	多方向分岐が行なわれることを示す。
	宣言	パラメータを宣言することを示す。
	フォーク	並列文の開始を示す。
	ジョイン	並列文の終了を示す。

表 3.1 フローチャート記号の一覧表

ここではプログラムを形式的に定義することはやめ、FML 特有の文についてのみ説明する。FML ではオペランドとして

- ① タイプ1レジスタ … マイクロ命令で使えるレジスタ (AB, MB, OPR, C0000, ...) をすべて含む。
- ② タイプ2レジスタ … 仮想的な16ビットレジスタで $R_0, R_1, \dots, R_9, RA, RB, RC$ のいずれかとする。
- ③ 連結レジスタ … 16ビットレジスタを連結したもので、 R と R' を16ビットレジスタとするとき $R'R'$ と書く。
- ④ 部分レジスタ … 16ビットレジスタの連続する4ビット以下の部分で、レジスタ R の i ビットから j ビットまでの部分レジスタを $R(i-j)$ と書く。
- ⑤ 定数 … 任意の16ビットの定数を $Hxxxx$ (x は16進数とする) の形で書ける。
- ⑥ ビット列 … $\{0, 1, *\}$ ($*$ は don't care を意味する) の上の系列で、その長さは4以下である。

を許している。

(1) 代入文 (図3.3)

代入文で許す表現はマイクロ命令 DCI とほぼ1対1に対応している。以下で $opnd$, $opnd_1$, $opnd_2$ はいずれも16ビットレジスタとする。

代入文で許す表現

対応するマイクロ命令

$opnd_1 = opnd_2$	MV
$opnd_1 = SR(opnd_2)^\dagger$	SR, SRD
$opnd_1 = SL(opnd_2)$	SL, SLD
$opnd_1 = opnd_1 \& opnd_2$	AND
$opnd_1 = opnd_1 opnd_2$	OR
$opnd_1 = opnd_1 \# opnd_2$	EOR

$\dagger$ 対応するマイクロ命令が SRD (SLD) の場合は、 $opnd_1$ と $opnd_2$ は同一の連結レジスタを表わす。

$opnd\ 1 = opnd\ 1 + opnd\ 2$ A
 $opnd\ 1 = opnd\ 1 + opnd\ 2$ @ AC
 AB, $opnd\ 1 = opnd\ 1 + opnd\ 2$ AMA
 $opnd\ 1 = opnd\ 1 - opnd\ 2$ S

(2) 入出力文 (図 3.4)

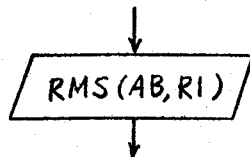


図 3.4 入出力文

入出力文ではメモリへのアクセスを1つの命令で書けるようにし、前述の制限 C2. を解決している。C3., C5. についても、番地は AB に入れる必要があるが、データの置かれるレジスタは16ビットレジスタであれば任意でよい。主メモリについては特に1バイト単位のアクセスも可能である。

入出力文で許す表現

RMS (AB, opnd)

WMS (AB, opnd)

RBMS (AB, opnd)

WBMS (AB, opnd)

WCS (AB, opnd)

WCC

機能

主メモリからの読み取り

主メモリへの書き込み

1バイト単位の読み取り

1バイト単位の書き込み

CS への書き込み

STR への書き込み

こうして AREQ, WRITE, WAIT をユーザから隠すことにより、FML では C1. と C4. で述べたオペランドの使用制限を除いている。

(3) 判定文 (図 3.5)

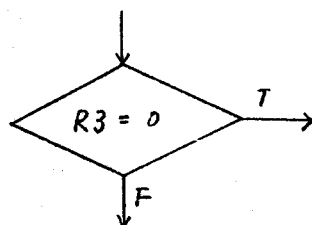


図 3.5 判定文

判定文では2項の論理式を直接書ける。16ビットレジスタ、フリップフロップの内容の判定以外に、部分レジスタの内容があるビット列に等しいかどうかの判定もできる。

判定文で許す表現

$opnd1 \theta opnd2 \dagger$

$CFF = 1$

$ZFF = 1$

$R(i-j) = w$

機能

レジスタの内容の比較

フリップフロップの判定

フリップフロップの判定

部分レジスタの内容とビット列 w の比較

ここで θ は比較演算子とする。プログラムの中では通常図3.6 (a) の一般形を使うが、マイクロ命令 SNI に対応した同図 (b) の SNI 形も許す。LBL1, LBL2 はラベルとする。

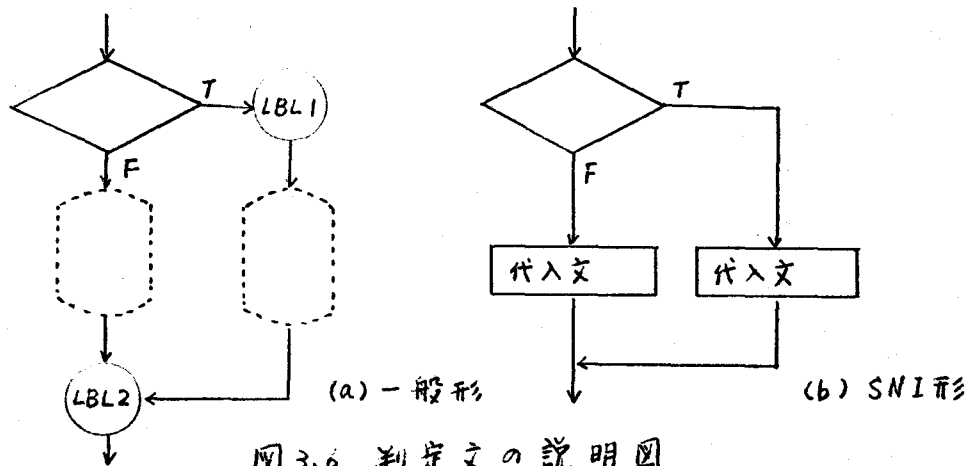


図3.6 判定文の説明図

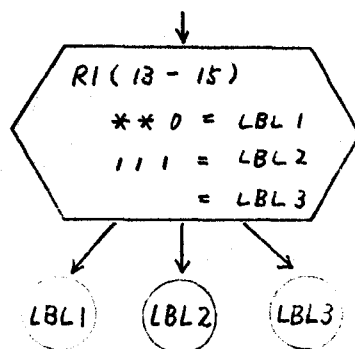


図3.7 スイッチ文

† $opnd2$ が定数レジスタ C0000 とはうことが多いので、見やすさのため、その場合特に表現 $opnd1 \theta 0$ を許している。

(4) スイッチ文 (図 3.7)

部分レジスタの内容にもとづいて多方向分岐する。ビット列を w_i , ラベルを LBL i と書くとき, スイッチ文で許す表現は

$$R(i-j)$$

$$w_1 = \text{LBL } 1$$

$$w_2 = \text{LBL } 2$$

$$\vdots$$

$$w_n = \text{LBL } n$$

である。部分レジスタ $R(i-j)$ の内容が, w_i 中の don't care のビット位置を除いて, w_i と一致すれば LBL i へ分岐する。各ビット列は互いに排他的に指定しなければならないが, ラベルはその必要がない。特に w_n だけ空系列を許し, レジスタの内容が $w_1, w_2, \dots, w_{n-1}$ のいずれとも一致しないとき LBL n へ分岐する。

(5) フォーク文, ジョイン文 (図 3.8)

フォーク文, ジョイン文ともに表現としてラベル LBL を許す。同じラベルをもつフォーク文とジョイン文, さらにその間の部分 (並列 1, 並列 2, $\dots$, 並列 n) をまとめて並列文とよぶ。実用上の制限として並列文のネストを禁じ, 並列も 2 つ (並列 1 と並列 2) にした[†]。

3.3 プログラム例

FML プログラム例として機械語命令 MULT に対するマイクロルーチンを図 3.9 に示す。MULT はそのオペランド部で指定される汎用レジスタ GRD の内容を被乗数 P (最上位ビットは符号) とし, インデックス修飾の計算をして求まる実効番地から読み込まれる 1 ワードデータを乗数 Q として, 符号付 2 進数乗算を実行する。積は 2 ワードデータで

[†] 入出力文では番地を入れるため AB が必要となるので, 2 つ以上の並列が入出力文を含むことは許されない。

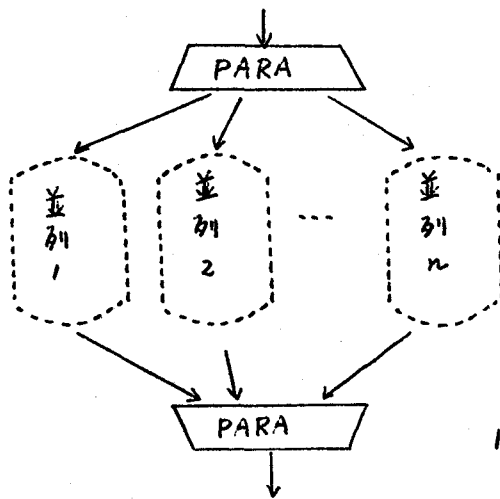
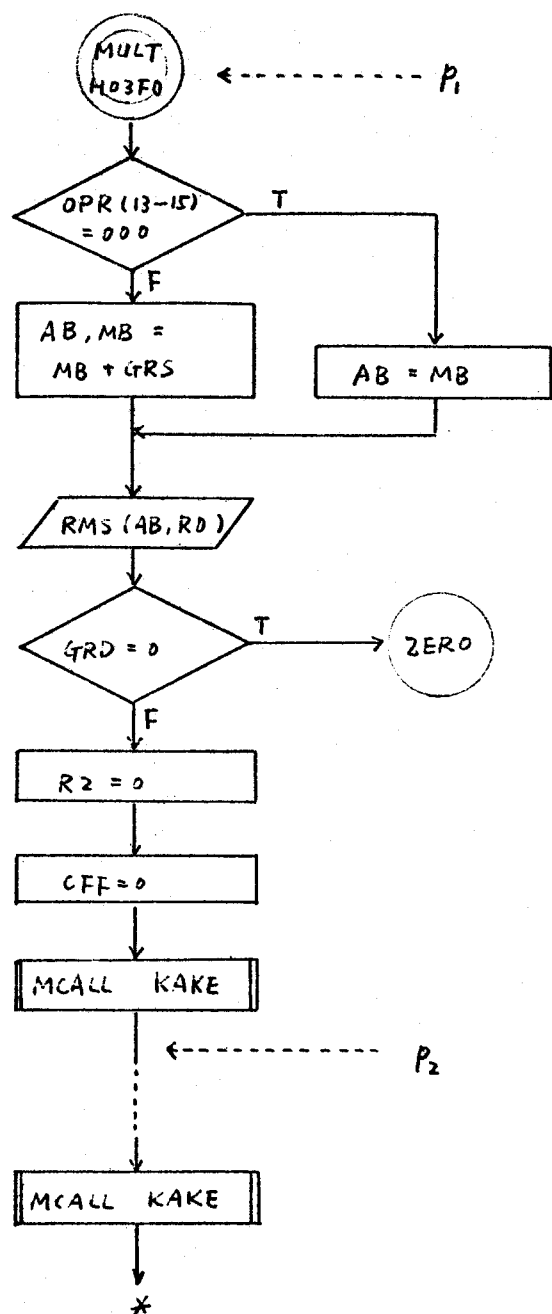


図 3.8 フォーク文とジョイン文

で求められ、GRD と GRDO に格納される。図 3.9 は紙面の都合で $Q > 0$ を前提とした場合のプログラムとなっている。

図 3.10 には図 3.9 上で p_1 と p_2 の間のプログラムを、マイクロアセンブリ言語で書いたコーディング例を示している。2つのプログラム例からもわかるように、FML はマイクロアセンブリ言語に比べ、かなり使いやすく、しかも見やすくなっている。



H03F0 はマイクロルーチン MULT の開始番地を指定する。

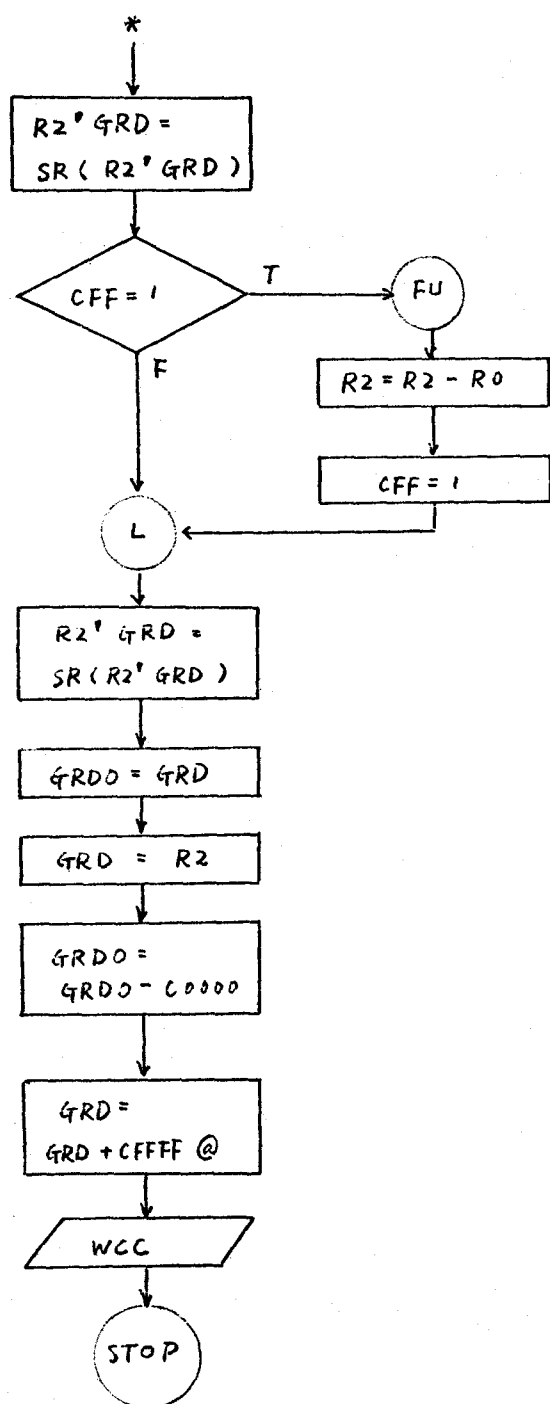
OPR の 13~15 ビットが 000 なら MB の内容を、そうでなければ MB と GRS の和をその実効番地として AB に格納する。

乗数 Q を RD に読み込む。

GRD に入っている繰回数 P が零かどうかの判定

クリアしておく

中間結果を 1 ビットシフトしながら、乗数 Q を加える操作を、マクロコールの形で、15 回実行する。

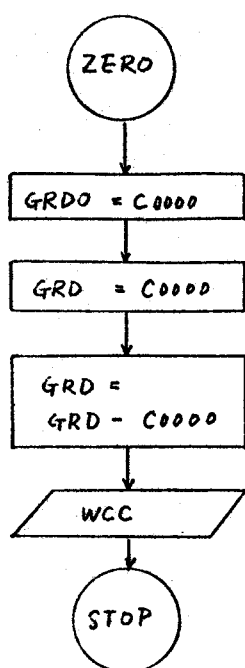


被乗数Pの符号とCFFに与ります。

その符号ビットが1(負)なら、求まっている積を2の補数表現に変換する。
0(正)ならそのまゝ。

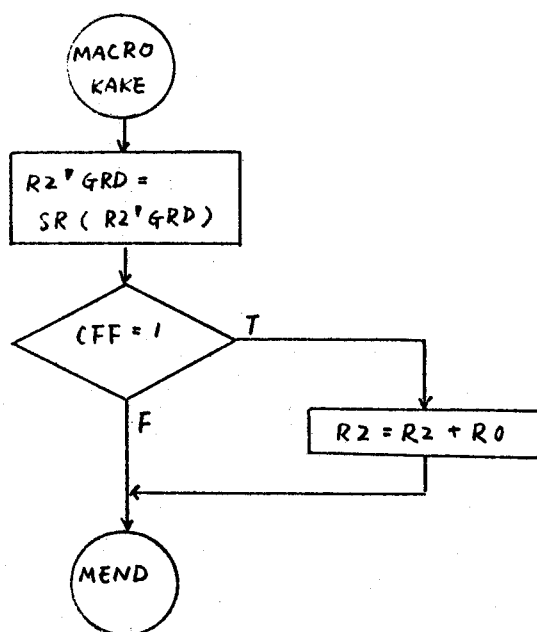
積をGRD0とGRDに格納する。

積の符号とコンディションコードに書き込む。



被乗数 P が零の場合、積も零
となるので、 $GRD0$, GRD に $C0000$
を転送する。

積が零であることをコンディション
コードに書き込む。



KAKE という名前のマクロの
定義。

中間結果を1ビットシフトしながら、
変数 Q を加える操作。

図 3.9 FML プログラム例

MULT	ORG	001111110000	
MV	OPR, AB		} OPR の内容を保存しておく必要があるので, OPR の内容を AB に転送し, AB 上で 13~15 ビットの判定を行っている。
AND	C0007, AB		
SNI, Z	000000		
AMA	GRS, MB		
NOP			} 制限 C1. より NOP が必要。
AREQ			
C	C0000, GRD		} この 2 命令で, GRD の内容が零かどうかの判定を行なう。
BC, Z	ZERO		
WAIT			} 上の AREQ とこの WAIT の対により (C2.), 変数と MB に読み込む。
MV	C0000, AB		
SL	C0000, CT		} CFF を 0 にクリアするための命令。
SRD	AB, GRD		
SNI, C	001010		} SNI 領域の 001010 番地にはマイクロ命令 (A MB, AB) が格納されている。
NOP			

図 3.10 マイクロアセンブリ言語で書いた
コーディング例

§4 FML トランスレータ

4.1 トランスレータの基本構造

FML プログラムの処理過程を図3.11に示す。トランスレータはフローアナライザ、オフティマイザとジェネレータから構成される。今回の機構化では、FML プログラムは一定の規則に従ってカードに穿孔しなければならない。原則的に1つの文（フローチャート記号）が1枚のカードに対応し、図3.12のような形で穿孔する。

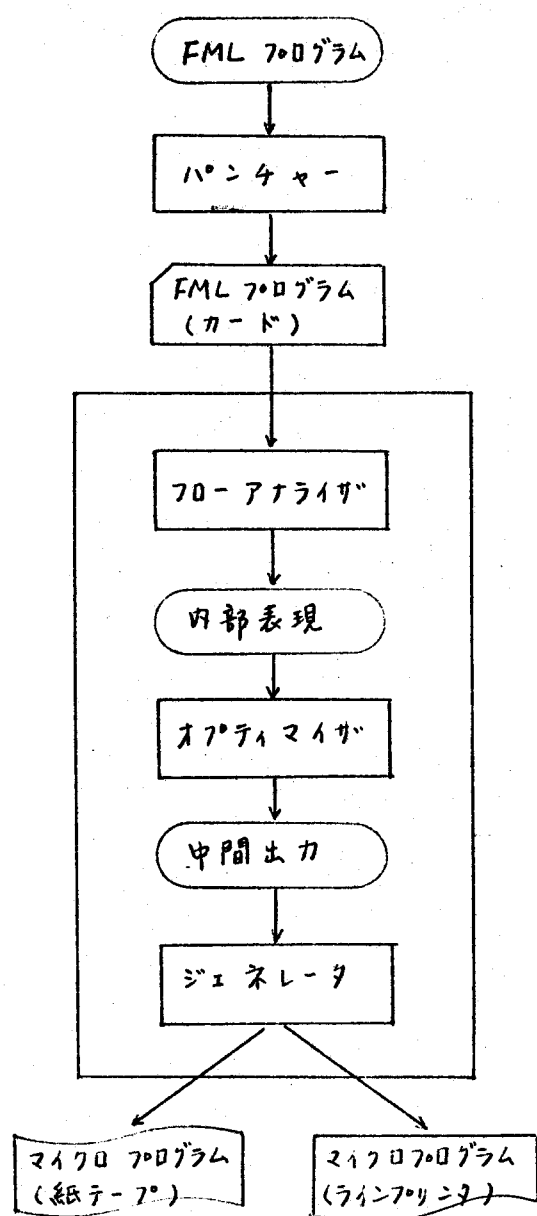


図 3.11 FML トランスレータ

制御フィールド	ラベルフィールド	タイプフィールド	ステートメント フィールド
*	FML	PROGRAM	
	MULT	MAIN	H03F0
		IF	OPR (13-15) = 000
		T	AB = MB
		F	AB, MB = MB + GRS
			RMS (AB, R0)
		IF	GRD = 0 , T = ZERO
			R2 = 0
			CFF = 0
		MCALL	KAKE
		⋮	⋮

図 3.12 ソースリスト

4.2 フローアナライサ

フローアナライサでは語彙解析, 構文解析, マクロ処理, (プログラムコントロール) フローの解析を行なう。フローの解析ではオフティマイカが必要とする情報, たとえばデータの依存関係や制御の流れなどを集めている。先ずプログラムを基本ブロックに分割しプログラムコントロールフローグラフを求めたあと, いわゆるインタバル解析を行なっている (22)。

4.3 オプティマイザ

オプティマイザは内部表現された FML プログラムをマイクロアセンブリ言語のプログラムに変換するとともに、物理的な着地付けとは独立に行なえる最適化を試みている。実行順に述べると

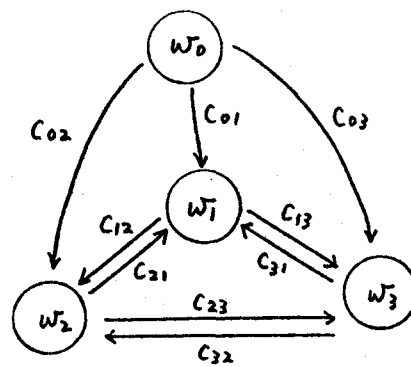
- ① 結果が使われない計算の除去。
- ② 重複した計算の除去。
- ③ ループに独立な計算をループ外に出すこと。
- ④ スイッチ文の展開。
- ⑤ 分岐命令の直後の NOP を減らすこと。
- ⑥ タイムレジスタに対するレジスタ割付け。
- ⑦ AREQ (または WRITE) と WAIT の位置決め。
- ⑧ 並列文の処理。

となるが、ここでは FML に固有な問題④～⑧についてだけその概要を述べる。

④では、指定されているビット列の発生や比較も含めプログラムが短くなるよう判定順序を決め変換する。UX の 8 個の定数レジスタと LP 領域にすでにある 57 種類の定数を利用すると、任意のビット列 (任意の位置の連続した 4 ビット以下の列で、残りの部分はすべて 0) が 3 命令以下でレジスタに発生できる。判定方法としては、1 ビットごとの比較による判定 (A_1)、ビット列ごとの比較による判定 (A_2)、指定されたレジスタの内容を分岐命令のインデックスとして直接分岐する方法 (A_3) が考えられる。今回の機構化では、 A_3 は絶対着地を必要とするので考慮外とし、明らかに A_1 が最適となる場合を除いて A_2 を採用している。一般には A_1 は「決定表」の問題⁽²⁵⁾に帰着される。 A_2 は、以下のように考えれば、「巡回セールスマン」の問題⁽²⁶⁾に帰着される。たとえば、発生したいビット列が w_1, w_2, w_3 (図 3.13 (a)) であるとき、まず、同図 (b) のようなグラフを作る。ここで w_i は LP 領域にある 57 種類の定数を表わし、各節点間の枝のラベル c_{ij} は LP 領域にある定数のみを利用して、 c_{ij} (≧ 0) は (現在レジスタ中にある) ビ

$0 \cdots 000100 \cdots 0 = w_1$
 $0 \cdots 010110 \cdots 0 = w_2$
 $0 \cdots 001010 \cdots 0 = w_3$

(a) ビット列



(b) ビット列生成のコスト

図 3.13 スイッチ文の展開の説明図

ビット列 w_i も利用できるとして, w_j を生成するのに要する命令数の最小値を表わしている。すると A_2 の問題は, w_0 から出発して, すべての節点を一度ずつにどる道の中で, その道に沿って求めた c_{ij} の総和が最小である一つの道を見つける問題となる。現在のところ, この解を能率よく求めることは困難である⁽²⁴⁾。

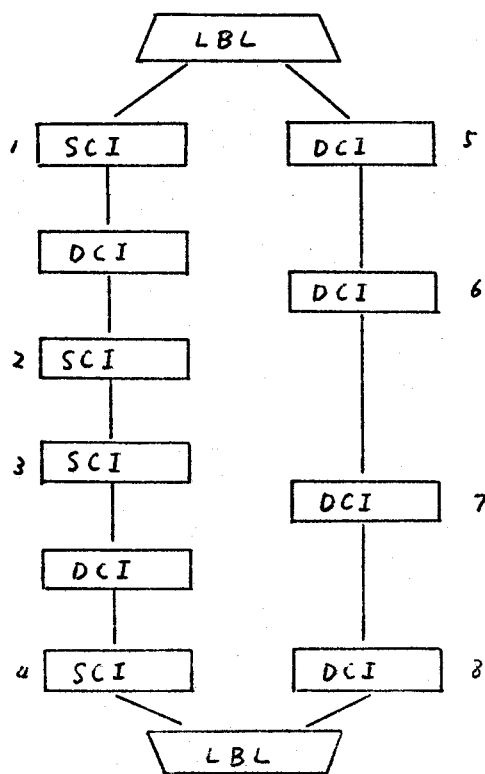
UX の分岐命令はつぎの番地の命令を実行してから分岐するので, 通常は, 分岐命令の直後に NOP を置く。しかし条件付分岐で分岐する(あるいは分岐しない)ときのみ実行する命令 I を条件付分岐命令の前で実行しても結果に影響がなければ, NOP を I で置き換え, もとの I を省略できる。無条件分岐命令についても同様にして NOP の有効利用を行なう。

⑥では, 13個の仮想レジスタとスイッチ文の展開などで作業用として必要な3個のレジスタに対し, UX に備わっているレジスタ[†]を割付ける。レジスタが不足するときは LP 領域の空いた部分を一時記憶域として利用する。“退避のためのメモリへのアクセス回数の総数を最小にするよう”試みているが, 今回機構化したのは局所的な範囲内での最小化である。

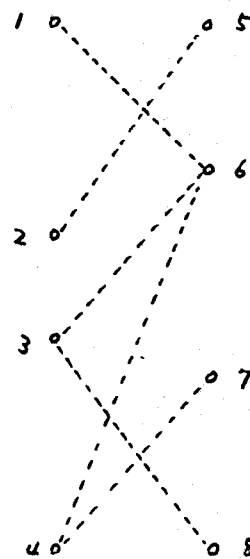
† AB, MB, OPR, WB 以外に 9 個のレジスタがある。

⑦は入出力文をアセンブリ命令に展開するときの問題である。入力文の場合、通常は AREQ の直後に WAIT を置いた形に展開するが、そのとき一般に WAIT で“待ち”を生じる。そこで AREQ の前あるいは WAIT の後で実行する命令で AREQ と WAIT の間で実行可能なものがあれば、それを AREQ と WAIT の間に移し“待ち時間をできるだけなくするよう”する。出力文の場合も同様にして、WRITE と WAIT の位置を決定する。

⑧では、並列文に含まれる命令の実行順序を決める際、“並列1と並列2の間で、並列に実行される命令の総数が最大となるよう”試みている。たとえば、並列文が図3.14(a)の形で与えられ、並列1と2の命令対で並列実行可能なものを破線で結んで同図(b)が得られたとする。⑧での問題は同図(b)で、マッパングを示す線が互いに交わらない「最大マッパング」を求める問題に帰着されるが、現在のところ、この解を能率よく求めるアルゴリズムは知られていない。



(a) 並列文



(b) 並列実行可能な命令対

図3.14 並列文の処理の説明図

4.4 ジェネレータ

ジェネレータではプログラムに絶対番地を割付け、条件付分岐命令でブロック外へ飛ぶたい場合の分岐命令のうめこみを行なう。出力はビットパターンで紙テープに、マイクロアセンブリ言語でラインフォリタにそれぞれ出す。

§5 結言

今回設計した FML では一応、プログラム例からわかるように、所期の目標を達成していると思われる。さらに、言語の仕様や最適化の方法など十分検討しているので、マイクロプログラムの効率についてもかなり満足のいくものが期待される。残されている問題としては、4.3 で述べた最適化のアルゴリズムの改善、拡張がある。特に、マイクロプログラムプロセッサではメモリへのアクセス回数の総数を最小にすることは重要であるので、レジスタ割付けの問題を全域的な範囲で解くことが要求される。さらに、ディスクレイを用いて FML プログラムを直接入力できるようにすることも今後の問題の一つである。

結 論

本研究によって得られたおもな結果および今後に残された問題を、簡単にまとめると次のようになる。

第1編第1章では、文脈に関する情報（つぎに来うるトークン名の系列）をパーカから教えてもらい、それを利用して文字系列をトークンに区切る方法を提案し、それに関する諸性質を述べた。単純化に関連して、つぎのような問題が残されている。(1) 入力系列の拒否をパーカでも行なうことにして、 n -区分可能性の条件をそこの範囲で、パラメータ Q を Q' ($Q' \geq Q$) で適当におまかえて、全体としてパラメータの個数を減らすこと。(2) パーカからスキャナにわたされるパラメータを固定して、スキャナの部分を単純化すること。

第1編第2章では、構文解析部の本質的な機能だけに着目し、そのモデルとして先読みをもつアナライカを導入した。アナライカの等価性、単純化の方法などについて述べ、さらに、 $LR(k)$ パーカで考えるより本論文のアナライカで考えるほうが単純化に関して是一般に有利であることを示した。残されている問題としては、入力系列の拒否をセマンチックルーレンの中でも行なうとした場合のアナライカの等価性および単純化などがある。

第2編では、マイクロプログラム記述言語 FML の仕様とそのトランスレータの機構化について述べた。マイクロプログラムは、その性質上、プログラム自体の生産性よりも効率を重視するのが普通である。したがって、FML トランスレータで行なっている種々の局所的な最適化を全域的なものにすることが残されている大きな問題である。さらに、FML をより使い勝手の良いものにするためには、ディスプレイ装置を用いたデバッグングシステムの開発が今後の課題である。

謝 辞

本研究に関して、直接理解ある御指導と賜わり、つねに励ましていただいた高 忠雄教授に心から深謝します。

大学院修士および博士課程において、御指導いただいた情報工学科 藤沢俊男教授、田中幸吉教授、木沢 誠教授、制御工学科桜井良文教授、坂和愛幸教授、辻 三郎教授に心から感謝します。

大学院を通じて御教示、御指導いただいた都倉信樹助教授、的場 進助教授、志村正道助教授、豊田 順一助教授に心から感謝します。

本研究の全過程を通じて終始、適切な御指導と御助言をいただいた谷口健一助手に心から感謝します。

種々の面で御助言、御鞭撻いただいた藤井 護講師、細見輝政助手、吉岡信夫助手、神戸商船大学中村圭二郎助教授、電子技術総合研究所 島居宏次博士に厚くお礼を申し上げます。

いろいろ御助言、御援助いただいた富士通新海卓夫氏、神田泰典氏、佐藤清澄氏に厚くお礼を申し上げます。

また、修士および博士課程を通じて、ともに研究し励みしあってきた学友安積三朗氏、奥井 順氏らの有益な御助言、御討論に感謝します。

さらに、筆者の在学中、御討論いただいた高研究室の方々、とくに第2編においてプログラミングに御協力いただいた杉山裕二氏、坪倉 孝氏、現日本航空井上哲次氏に感謝します。

文 献

- (1) D.E. Knuth : " On the translation of languages from left to right ", Inform. Control, 8, 5, p. 607 (Oct. 1965).
- (2) J.E. Hopcroft and J.D. Ullman : " Formal languages and their relation to automata ", Addison-Wesley (1969).
- (3) R.E. Stearns : " A regularity test for pushdown machines ", Inform. Control, 11, 3, p. 323 (Sept. 1967).
- (4) 近藤, 菊野, 谷口, 嵩 : " 語の解析と構文解析について ", 信学会オートマトンと言語研資 (1972 - 07).
- (5) 菊野, 谷口, 嵩 : " 語の解析に関する一考察 — 一方向有限オートマトンによる正規集合間の区切りについて — ", 昭47電気関係学会関西支部連大, G9 - 21.
- (6) 谷口, 菊野, 嵩 : " 文脈を利用した語の解析 ", 信学会オートマトンと言語研資 (1973 - 06).
- (7) 谷口, 嵩, 菊野 : " 文脈を利用した語の解析 ", 信学論 (D), 57-D, 4, p. 228 (昭49 - 04).
- (8) D. Pager : " A solution to an open problem by Knuth ", Inform. Control, 12, 5, p. 462 (Dec. 1970).
- (9) F.L. DeRemer : " Simple LR(k) grammars ", Comm. ACM, 14, 7, p. 453 (July 1971).
- (10) 林 : " CFG - PL 変換について ", 情報処理, 12, 3, p. 145 (1971 - 03).
- (11) 雨宮 : " LR(k) parser について ", 昭46情報処理学会大会, 115.
- (12) 関本 : " LR(1) 文法の諸性質とそれに基づく parser の構成法 ", 情報処理, 13, 3, p. 170 (1972 - 03).
- (13) R. McNaughton : " Parenthesis grammars ", J. ACM, 14, 3, p. 490 (July 1967).
- (14) たとえば, 藤井, 嵩 : " 単純句構造文法の構造的等価性および句構造を保存する変換 ", 信学論 (C), 52-C, 1, p. 56 (昭44 - 01).

- (15) D.E. Knuth : "Semantics of context-free languages", Math. Systems Theory, 2, 2, p.127 (June 1968).
- (16) A.V. Aho and J.D. Ullman : "A technique for speeding up LR(k) parsers", 4th Ann. ACM Symp. on Theory of Computing, p.251 (May 1972).
- (17) 谷口, 菊野, 嵩 : "構文解析の簡単化について", 信学会オートマトン研資 (1972-01).
- (18) 谷口, 嵩, 菊野 : "アタライカの等価性と簡単化", 信学論(D), 56-D, 7, p.424 (昭48-07).
- (19) R.H. Eckhouse, Jr : "A high-level microprogramming language (MPL)", SJCC, 38, p.169 (1971).
- (20) S.S. Husson : "Microprogramming: Principles and Practices", Prentice-Hall (1970).
- (21) M. Hattori, M. Yano & K. Fujino : "MPGS: A high-level language for microprogram generating system", Proc. ACM, p.572 (Aug. 1972).
- (22) K. Kennedy : "A global flow analysis algorithm", Intern. J. Computer Math., 3, p.5 (1971).
- (23) 菊野, 杉山, 安積, 谷口, 嵩 : "あるマイクロプログラム記述言語 FML の設計", 昭49信学全大, 1509.
- (24) 杉山, 安積, 菊野, 谷口, 嵩 : "FML トランスレータにおけるマイクロ命令の最適化について", 昭49信学全大, 1510.
- (25) P.J.H. King : "Conversion of decision tables to computer programs by rule mask techniques", Comm. ACM, 9, 11, p.796 (Nov. 1966).
- (26) F. Harary : "Graph theory", Addison-Wesley (1969).
- (27) 富士通 : "FACOM U300 マイクロプログラムフォーマッタ解説書".
- (28) 菊野, 杉山, 安積, 谷口 : "あるマイクロプログラム記述言語 FML とそのトランスレータについて", 情報処理 (投稿中).