OUKA
The University of Osaka
Institutional Knowledge Archive

| | |
|---|---|
| Title | IDDQを用いたVLSI故障診断に関する研究 |
| Author(s) | 真田, 克 |
| Citation | 大阪大学, 2000, 博士論文 |
| Version Type | VoR |
| URL | https://doi.org/10.11501/3169449 |
| rights | |
| Note | |

*The University of Osaka Institutional Knowledge Archive : OUKA*

https://ir.library.osaka-u.ac.jp/

The University of Osaka

工早 95-2

# $I_{DDQ}$ を用いた VLSI 故障診断に関する研究

2000 年

真田 克

# 内容梗概

本論文は著者が1992年から現在までに日本電気株式会社・半導体事業グループ、システムASIC事業部そして、研究開発グループ、デバイス評価技術研究所在職中ならびに、1998年 4 月から現在までに大阪大学大学院工学研究科情報システム工学専攻博士後期課程在学中において行ってきたVLSIの解析評価技術の研究のうち、$I_{DDQ}$ (Quiescent $V_{DD}$ Supply Current, 論理の静止状態電源電流) 利用によるVLSIの故障診断に関する研究成果をまとめたものであり、次の 6 章から構成されている。

第1章は序論であり、本研究の背景、目的ならびにその半導体工学上の意義および、関連分野における本研究の位置付けについて述べ、また本論文の構成を説明する。

第2章では、$I_{DDQ}$に関して概説する。まず、$I_{DDQ}$とその異常現象に関して説明した後、出力期待値は正常だが$I_{DDQ}$異常を伴う四つの故障モードに関して解析事例を交えて紹介する。次に、$I_{DDQ}$を用いたVLSIの評価および故障解析への適用状況を示し、その後、これ等の適用を踏まえたVLSIの診断に対する基本的な考え方を述べる。そして故障の発生要因に依存する二つの診断方式を提案する。一つは回路に起因した故障の診断であり、もう一つはレイアウトに起因した故障の診断である。

第3章では、回路に起因した故障箇所を特定するための回路ブロックを診断単位とする診断方式について述べる。まず、回路ブロックを用いた診断のコンセプトを説明した後、診断データとなるブロックの入力論理および、$I_{DDQ}$異常を伴うテストベクタ番号の抽出方式に関して述べる。後者のテストベクタ番号の抽出は、正常状態で大きな$I_{DDQ}$を伴うVLSIと複数の故障を伴うVLSIである、二種類のVLSIに対して診断に必要なデータを抽出する方式である。次に、ブロックの診断方式に関して述べ、その後、特定したブロック内の故障箇所を絞り込む方式について示す。最後に、以上の方式を実際のVLSI故障品に適用した事例を説明し、本方式の有用性を示す。

第4章では、レイアウトに起因した故障箇所を特定するためのレイアウトブ

ロックを診断単位とする診断方式について述べる。まず、レイアウトブロックを用いた診断コンセプトを説明した後、その領域内のブロックおよび配線を特定し診断データとして抽出する方式に関して述べる。次に、それらのデータを用いた配線短絡故障の診断方式に関して示し、その後、特定した領域内の短絡配線対を特定する方式について述べる。最後に、以上の方式をVLSI製造工程での複数の外観異常箇所の診断に適用した事例を説明し、本方式の有用性を示す。

第5章では、第３章および４章の成果をふまえ、CAD設計データと$I_{DDQ}$異常テストベクタ番号を用いて、VLSI内部の故障箇所を絞り込む統合化システムについて述べる。まずハードウェア構成を説明した後、ソフトウェア構成について述べる。その後、本システムをロジックVLSI製造工程における欠陥検出のフローに組み込み、外観検査装置において検出される複数の外観異常箇所から真の故障箇所を検出するための診断に適用した事例を説明し、その有用性を示す。

第6章では、本研究で得られた成果をまとめ、今後の課題について述べる。

# 関連発表論文および資料

## 1. 学会誌

(1) M. Sanada, "New Application of Laser Beam to Failure Analysis of LSI with Multi-Metal Layers," *Microelectronics and Reliability*, Vol.33, No.7, pp. 993-1009 (1993).

(2) M. Sanada, "Evaluation and Detection of CMOS-LSI with Abnormal $I_{DDQ}$: Technical Note," *Microelectronics and Reliability*, Vol.35, No.3, pp. 619-629 (1995).

(3) 山内 尚, 吉田 正昭, 尾野 年信, 涌井 一夫, 梅木 義孝, 高瀬 宣之, 真田 克, "ハードウェア手法とソフトウェア手法を利用した$I_{DDQ}$テスト", 日本信頼性学会誌「信頼性」, Vol.18, No.5, 75号, pp. 391-398 (1996).

(4) M. Sanada, "A CAD-Based Approach to Fault Diagnosis of CMOS LSI with Single Fault Using Abnormal $I_{DDQ}$," *IEICE Trans. Fundamentals*, Vol.E80-A, No.10, pp. 1945-1954 (1997).

(5) 真田 克, 藤岡 弘, "$I_{DDQ}$を用いた、多様なリーク電流を有するCMOSLSIの故障診断", 電子情報通信学会論文誌, Vol.J82-D-1, No.7, pp. 940-949 (1999).

## 2. 国際会議

(1) M. Sanada, "Very Sensitive Detection for LSI's Hot Spot Using Liquid Crystals," in Proc. *6th International Conference on Reliability and Maintainability*, pp. 516-521 (1988).

(2) M. Sanada, "New Application of Laser Beam to Failure Analysis of LSI with

Multi-Metal Layers," in Proc. *2nd European Symposium on Reliability of Electron Devices, Failure Physics and Analysis*, pp. 777-784 (1991).

(3) M. Sanada and Y. Morishige, "Evaluation of Direct Writing Tungsten Metal Using Focused Laser Beam -Fabrication for Failure Analysis on Advanced LSIs-," in Proc. *International Conference on Laser Advanced Materials Processing -Science and Applications-*, pp. 1203-1208 (1992).

(4) M. Sanada, S. Suzuki, T. Numaziri, T. Omata and N. Yoshida, "Fundamental Evaluation of LSI's Using Anistropic Reactive Ion Etching," in Proc. *21st International Symposium for Testing and Failure Analysis*, pp. 87-92 (1995).

(5) M. Sanada, "A CAD-Based Approach to Fault Diagnosis of CMOS LSI's Using Abnormal $I_{DDQ}$," in Proc. *IEEE 14th VLSI Test Symposium*, pp. 186-191 (1996).

(6) T. Numazili, S. Suzuki, T. Omata, M. Sanada, M. Kato, N. Yoshida and Y. Tsujita, "Sample Preparation for Electron Beam Testing with Reactive Ion Etching," in Proc. *International Conference on Quality*, pp. 985-988 (1996).

(7) M. Sanada, "A CAD-Based Approach to Fault Diagnosis of CMOSLSI with Single Fault Using Abnormal $I_{DDQ}$," in Proc. *23rd International Symposium for Testing and Failure Analysis*, pp. 15-24 (1997).

(8) M. Sanada and H. Fujioka, "Fault Diagnosis of CMOSLSI with Various Leakage Current state Using Abnormal $I_{DDQ}$ Phenomenon," in Proc. *SPIE's 1998 Symposium on Microelectronic Manufacturing*, Vol.3510, pp. 37-46 (1998).

(9) M. Sanada and H. Fujioka, "Yield Enhancement for Logic LSI by Killer Defect Diagnosis Technique Using Abnormal $I_{DDQ}$ Phenomenon," in Proc. *7th International Symposium on Semiconductor Manufacturing*, pp. 265-268 (1998).

(10) M. Sanada and H. Fujioka, "Fatal Defect Detection from Visual Abnormalities of Logic LSI Using $I_{DDQ}$," in Proc. *SPIE's 1999 Symposium on Microelectronic Manufacturing*, Vol.3884, pp. 236-247 (1999).

## 3. 研究会

(1) 真田 克, 二川 清, "EBテスタによる多層構造LSIの内部パターン動作観察", 日本学術振興会第132委員会第97回研究会（EBテスティングシンポジウム/1986）資料, pp. 40-45 (1986).

(2) 真田 克, 稲田 正明, "EBテスタによる大規模LSIの故障解析－レーザ照射法によるLSIの加工－", 日本学術振興会第132委員会第101回研究会（EBテスティングシンポジウム/1987）資料, pp. 28-33 (1987).

(3) 真田 克, 森重 幸雄, "EBテスタによる大規模，高速LSIの故障解析－集束レーザビームによるW直描技術を用いたLSIの加工－", 日本学術振興会第132委員会第105回研究会（EBテスティングシンポジウム/1988）資料, pp. 7-12 (1988).

(4) 真田 克, 小石 啓二, 沼尻 敬明, 境田 正彦, "多ピン、高速LSIの故障解析事例－信号供給源を工夫したEBテストシステムによる－", 日本学術振興会第132委員会第117回研究会（EBテスティングシンポジウム/1991）資料, pp. 74-79 (1991).

(5) 真田 克, "国際学会報告 5th International Conference Quality in Electronic Components Failure Prevention, Detection and Analysis," 日本学術振興会第132委員会第117回研究会（電子ビームテスティングシンポジウム/1991）資料, pp. 106-108 (1991).

(6) 真田 克, "国際学会報告 2th International Conference on Laser Advanced Materials Processing," 日本学術振興会第132委員会第121回研究会（EBテ

スティングシンポジウム/1992）資料, pp. 90-94 (1992).

(7) 真田 克, 伊藤 隆, 沼尻 敬明, 鈴木 智史, 佐々木 太一, “CMOS論理回路の$I_{DDQ}$異常品の評価と除去方法”, 日本学術振興会第132委員会第125回研究会（EBテスティングシンポジウム/1993）資料, pp. 7-12 (1993).

(8) 浜田 弘幸, 杉本 正明, 斎藤 信一, 中泉 一雄, 真田 克, 辻出 徹, “メモリ故障解析統合システム”, 日本学術振興会第132委員会第128回研究会（LSIテスティングシンポジウム/1994）資料, pp. 11-16 (1994).

(9) 真田 克, 鈴木 智史, 沼尻 敬明, 小俣 朋哉, 吉田 直樹, “RIEを用いて配線層を露出したLSIの評価—故障解析の為の加工技術—”, 日本学術振興会第132委員会第128回研究会（LSIテスティングシンポジウム／1994）資料, pp. 175-181 (1994).

(10) 鈴木 智史, 沼尻 敬明, 田口 和博, 小俣 朋哉, 真田 克, “OBIC装置を用いたLSIの故障解析事例”, 日本学術振興会第132委員会第128回研究会（LSIテスティングシンポジウム/1994）資料, pp. 193-198 (1994).

(11) 真田 克, 鈴木 智史, 沼尻 敬明, 小俣 朋哉, 吉田 直樹, “RIEを用いた故障解析の為の加工技術－多層配線構造を有するLSIの解析手法－”, 日本信頼性学会「第2回研究発表会特集」, Vol. 16, No. 1, pp. 21-22 (1994).

(12) 真田 克, “国際学会報告 21th International Symposium for Testing and Failure Analysis (ISTFA'95),” 日本学術振興会第132委員会第132回研究会（LSIテスティングシンポジウム/1995）資料, pp. 123-125 (1995).

(13) 真田 克, “$I_{DDQ}$異常現象を用いた、CAD利用によるCMOS論理回路の故障箇所絞り込み方式”, 日本学術振興会第132委員会第132回研究会（LSIテスティングシンポジウム/1995）資料, pp. 193-200 (1995).

(14) 真田 克, "$I_{DDQ}$異常テストベクタと論理情報を用いた単一故障を有するCMOSLSIの故障診断方式", LSIテスティングシンポジウム/1996会議録, pp. 99-104 (1996).

(15) 真田 克, "国際学会報告 14th IEEE VLSI Test (VTS'96)," LSIテスティングシンポジウム/1996会議録, pp. 105-108 (1996).

(16) 真田 克, "国際学会報告 23rd International Symposium for Testing and Failure Analysis (ISTFA'97)," LSIテスティングシンポジウム/1997会議録, pp. 120-123 (1997).

(17) 真田 克, "$I_{DDQ}$故障診断によるCMOSLSIの故障個所絞り込み手法", LSIテスティングシンポジウム/1997会議録, pp. 203-209 (1997).

(18) M. Sanada and H. Fujioka, "Fault Block Detection Technique of CMOS LSI Using Abnormal $I_{DDQ}$ Phenomenon," 第39回FTC研究会資料, Session 4-1 (1998).

(19) 石村 貴志, 真田 克, 中前 幸治, 藤岡 弘, "故障シミュレーションを利用した組合せ回路のEBテスタ故障追跡アルゴリズム", LSIテスティングシンポジウム/1998会議録, pp. 80-85 (1998).

(20) 真田 克, "国際学会報告 SPIE's 1998 Symposium and Continuing Education on Microelectronic Manufacturing," LSIテスティングシンポジウム/1998会議録, pp. 116-119 (1998).

(21) 真田 克, "国際学会報告 7th International Symposium on Semiconductor Manufacturing (ISSM'98)," LSIテスティングシンポジウム/1998会議録, pp. 124-127 (1998).

(22) 真田 克, 藤岡 弘, "$I_{DDQ}$異常現象を用いたkiller欠陥診断技術による論理回路の歩留り向上", LSIテスティングシンポジウム/1998会議録, pp.208-213 (1998).

(23) 真田 克, 植平 和生, "$I_{DDQ}$異常診断ソフトを用いた、物理解析結果からの真の故障箇所の検出", LSIテスティングシンポジウム/1998会議録, pp. 214-219 (1998).

(24) 真田 克, 藤岡 弘, "$I_{DDQ}$を用いたCMOS論理LSIの故障診断－ラインモニタリング及び、故障解析への適用－", 第41回 FTC研究会資料, Session 4-2 (1999).

## 4. 学術講演会

(1) 真田 克, 井上 彰二, "EBテスタによる多層構造LSIの動作観察", 1986年秋季第47回応用物理学会学術講演会, 27p-ZA-16 (1986).

(2) 真田 克, "CMOS・IDDリーク不良品の解析事例－液晶塗布法, EBテスタ, スポット露光法の適用による－", 第16回信頼性・保全性シンポジウム, Session 6-10, pp. 237-242 (1986).

(3) 真田 克, "液晶によるLSIの微小発熱箇所の解析手法－相転移を伴い冷却過程を利用－", 第17回信頼性・保全性シンポジウム, Session 6-13, pp. 225-230 (1987).

(4) 真田 克, 小泉 雄二, "レーザを用いたLSIの故障解析の為の加工技術", 第18回信頼性・保全性シンポジウム, Session 5-20, pp. 247-252 (1988).

(5) 真田 克, 森重 幸雄, "集束レーザビームによるW直描技術の評価－LSIの故障解析の為の加工－", 第19回信頼性・保全性シンポジウム, Session 6-19, pp. 273-278 (1989).

(6) 沼尻 敬明, 真田 克, 小石 啓二, "EBテスタの信号供給源改善によるシステムの高性能化", 第21回信頼性・保全性シンポジウム, pp. 313-318 (1991).

(7) 真田 克, 伊藤 隆, 沼尻 敬明, 鈴木 智史, 佐々木 太一, "CMOS論理回路の$I_{DDQ}$異常品の評価と除去方式", 第23回信頼性・保全性シンポジウム, Session 3-3, pp. 253-258 (1993).

(8) 小俣 朋哉, 沼尻 敬明, 鈴木 智史, 真田 克, "RIEを用いたEBプロービングのための加工技術", 第25回信頼性・保全性シンポジウム, pp. 145-150 (1995).

(9) 真田 克, 沼尻 敬明, 鈴木 智史, 小俣 朋哉, "RIEを用いた異方性エッチングによる電流異常現象", 1995年春季第42回応用物理学関係連合講演会, 29a-PA-35 (1995).

(10) 真田 克, "$I_{DDQ}$異常現象を用いた、CAD利用によるCMOS論理回路の故障診断方式", 1996年電子情報通信学会エレクトロニクスソサイエティ大会, C-490 (1996).

(11) 山内 尚, 吉田 正昭, 尾野 年信, 涌井 一夫, 梅木 義孝, 高瀬 宣之, 真田 克, "ハードウェア手法とソフトウェア手法を利用した$I_{DDQ}$テスト", 日本信頼性学会誌「第9回信頼性シンポジウム特集」, Vol. 18, No. 7, 77号, pp. 113-120 (1996).

(12) 真田 克, "$I_{DDQ}$異常テストベクタと論理情報を用いた単一故障を有するCMOSLSIの故障診断方式", 1997年電子情報通信学会総合大会, C-12-10 (1997).

(13) 真田 克, "$I_{DDQ}$異常現象を用いた、故障ブロック内の故障個所抽出", 1997年電子情報通信学会エレクトロニクスソサイエティ大会, C-12-12 (1997).

(14) 真田 克, "$I_{DDQ}$異常現象を用いた、多重故障を有するLSIの故障診断", 1998年電子情報通信学会総合大会, C-12-4 (1998).

(15) 真田 克, 藤岡 弘, "$I_{DDQ}$異常現象を用いた、配線ショート箇所検出手法", 1998年電子情報通信学会エレクトロニクスソサイエティ大会, C-12-6 (1998).

(16) 真田 克, 藤岡 弘, "Killer欠陥抽出の為の診断領域の定義-$I_{DDQ}$異常現象を用いた故障診断-", 1998年電子情報通信学会エレクトロニクスソサイエティ大会, C-12-7 (1998).

(17) 真田 克, 藤岡 弘,"$I_{DDQ}$異常現象を用いたLogic回路の歩留り向上の為の欠陥診断技術", 1999年電子情報通信学会総合大会, C-12-9 (1999).

## 5. 解説・その他

(1) 真田 克, 平山 伸樹, "液晶塗布法,EBテスタを使った新しい故障解析手法", 日経マイクロデバイス, 12月号, No.18, pp. 129-139 (1986).

(2) 真田 克, "レーザ照射法によるLSIの故障解析の為の加工技術", ENGINEERS, 日本科学技術連盟刊, No. 479, pp. 9-12 (1988).

(3) 真田 克, "レーザを用いたLSIの故障解析の為の加工技術", NEC技報, Vol. 45, No.8, pp. 21-27 (1992).

(4) 真田 克, 伊藤 隆, 沼尻 敬明, 鈴木 智史, 佐々木 太一, 小俣 朋哉, 小石 啓二, 鈴木 邦治, 前原 和明, 田口 和博, 斎藤 茂, "CMOS論理回路の$I_{DDQ}$異常品の評価と除去方式", NEC技報, Vol.46, No.11, pp. 53-59 (1993).

(5) 真田 克, 鈴木 智史, 沼尻 敬明, 小俣 朋哉, "RIEを用いて配線層を露出したLSIの評価—故障解析の為の加工技術—", NEC技報, Vol.48, No.3, pp.

257-263 (1995).

(6) 真田 克, "$I_{DDQ}$異常現象を用いたCMOSLSIの故障診断手法－LSIの評価・解析技術特集－", NEC技報, Vol.50, No.6, pp. 43-50 (1997).

(7) 真田 克, "レーザビームによる集積回路の加工と修正",電子・イオンビームハンドブック第３版,日刊工業新聞社刊, pp. 873-877 (1998).

(8) M. Sanada, "Killer Defect Diagnosis Technique for Yield Enhancement of Logic LSI Using Abnormal $I_{DDQ}$ Phenomenon," in Proc. *SEMI Technology Symposium*, pp. 7.51-7.57 (1998).

(9) 真田 克, "LSIの故障解析のための加工技術-1-", 日本信頼性学会誌, Vol.20, No.5, 89号, pp. 431-446 (1998).

(10) 真田 克, "LSIの故障解析のための加工技術-2-", 日本信頼性学会誌, Vol.20, No.6, 90号, pp. 506-516 (1998).

(11) 真田 克, "LSIの故障解析のための加工技術-3-", 日本信頼性学会誌, Vol.21, No.1, 91号, pp. 11-21 (1999).

(12) 真田 克, "故障解析及び,関連用語", 半導体用語大辞典, 日刊工業新聞社刊, pp. 423-424 その他 (1999).

# 目次


**第1章 序論** . . . . . 1

1.1 研究の背景 . . . . . 1

1.1.1 出力論理情報を利用する方式 1

1.1.2 $I_{DDQ}$情報を利用する方式 4

1.2 論文の構成 . . . . . 7

**第2章 $I_{DDQ}$利用によるVLSIの評価・診断** . . . . . 9

2.1 まえがき . . . . . 9

2.2 $I_{DDQ}$故障モード . . . . . 9

2.3 $I_{DDQ}$異常を有する故障モード . . . . . 12

2.4 $I_{DDQ}$を用いたVLSIの診断方式の提案 . . . . . 21

2.4.1 $I_{DDQ}$を用いたVLSIの評価・解析 21

2.4.2 $I_{DDQ}$を用いたVLSIの診断方式の提案 25

2.5 むすび . . . . . 27

**第3章 回路ブロックに注目した診断** . . . . . 29

3.1 まえがき . . . . . 29

3.2 回路ブロック診断の概要 . . . . . 29

3.2.1 診断の手順 30

3.2.2 診断方式の考え方 30

3.3 診断前処理 . . . . . 31

3.3.1 ブロックの入力論理情報の抽出 31

3.3.2 $I_{DDQ}$異常を伴うテストベクタ番号の検出 32

3.4 故障ブロックの抽出 . . . . . 38

3.4.1 回路形式の識別 39

3.4.2 組合せ回路の故障ブロック抽出方式 39

3.4.3 順序回路の故障ブロック抽出方式 40

3.5 故障箇所の特定 . . . . . 44
3.5.1 故障ブロックの特定 45
3.5.2 ゲートレベルでの故障箇所の特定 46
3.5.3 トランジスタレベルでの故障箇所の特定 47
3.6 評価 . . . . . 49
3.7 むすび . . . . . 54

**第4章 レイアウトブロックに注目した診断 . . . . . 56**
4.1 まえがき . . . . . 56
4.2 レイアウトブロック診断の概要 . . . . . 56
4.2.1 診断の手順 56
4.2.2 診断方式の考え方 57
4.3 診断前処理 . . . . . 59
4.3.1 ブロックと配線の論理情報の抽出 59
4.3.2 $I_{DDQ}$異常を伴うテストベクタ番号の検出 61
4.3.3 レイアウトブロック領域内エレメントの抽出 62
4.4 故障レイアウトブロックの抽出 . . . . . 65
4.4.1 ブロック外配線間の短絡故障診断 66
4.4.2 ブロック内とブロック外配線間の短絡故障診断 67
4.5 配線短絡箇所の特定 . . . . . 69
4.5.1 ブロック外配線短絡箇所の特定 69
4.5.2 ブロック内とブロック外配線間短絡箇所の特定 71
4.6 評価 . . . . . 72
4.7 むすび . . . . . 77

**第5章 $I_{DDQ}$故障診断統合化システムの構築 . . . . . 79**
5.1 まえがき . . . . . 79
5.2 ハードウェア構成 . . . . . 79
5.3 ソフトウェア構成 . . . . . 82
5.3.1 故障診断前処理システム 87

5.3.2 故障診断処理システム 88
5.3.3 出力処理システム 96
5.4 応用 . . . . . 103
5.4.1 VLSI製造ラインへの適用 103
5.4.2 適用事例 106
5.5 むすび . . . . . 115

**第6章 結論** . . . . . 117

**謝辞** . . . . . 121

**参考文献** . . . . . 123

# 第 1 章 序論

## 1.1 研究の背景

VLSI に発生した故障を解析し、原因を究明することは信頼性および、品質の向上を推進する上で重要である。

一般に、故障解析フローは外部端子からテストベクタ（Test Vector、VLSI の入力端子に印加される入力論理の集合）を入力して動作解析を行い故障を確認した後、パッケージを開封し、VLSI チップ表面を露出させ、故障箇所を絞り込み、そして 故障の物理的原因を究明する手順からなる。そのような一連の解析手順において、電気回路や不具合内容を保持したまま何処まで故障箇所を絞り込めるかが解析成功の大きな鍵となる。しかしながら、VLSI の多層配線構造化、大規模化および、VLSI の実装形態の多様化（例えば、パッケージの小型化、高密度実装化を目的とした、フリップチップボンディング (Flip Chip Bonding) と呼ばれる、チップ表面に突起電極を設け そのチップ表面とパッケージ基板の電極間を接続する実装形態）は VLSI 表面を露出させることを困難にしている。このような背景のもとに、パッケージを開封しないで外部入出力端子や電源端子を用いて電気的異常箇所を抽出する故障診断方式の研究がなされてきている。

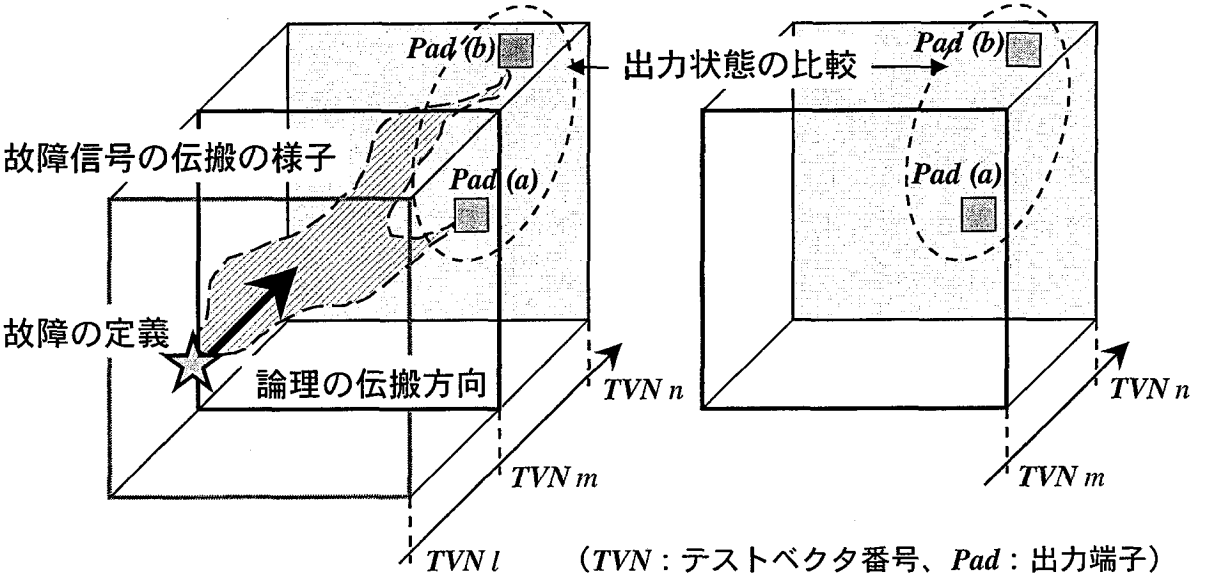
故障診断方式は二つに大別される。出力端子での論理情報を利用する方式と、$I_{DDQ}$（後述する）情報を利用する方式である。

### 1.1.1 出力論理情報を利用する方式

出力論理情報を利用する方式は、被検査 VLSI の外部入力端子においてテストベクタを入力し、外部出力端子からの出力論理情報を得る。そして、得られた論理が期待値と異なる時、その情報（テストベクタ番号、出力論理値、端子番号）を利用して故障発生箇所を診断する方式である。代表的な二つの方式がある。

一つは、VLSI 回路内部に定義した故障に対して、シミュレーション検証に

より得られる、テストベクタ、外部出力端子ならびに、出力論理の情報を辞書のように参照する方式であり、故障辞書法と呼ばれる[1]-[5]。この方式では、実際の故障品の期待値異常に一致する情報を、故障辞書に記載されている情報から検出することで、故障発生箇所を特定することができる。図 1.1 は故障辞書法による診断の概念図である。矩形は VLSI のチップであり、左下から右上方向へテストベクタ番号 (以降、*TVN* と記述する) の順に論理が変化していく様子を示している。図 1.1(a) は辞書の役割をする情報の取得状態図である。*TVN l* においてチップ上の任意の位置（図中☆印）に故障を定義した時、*TVN* の移行と共に論理が伝搬し、*TVN m* において出力端子 *Pad (a)* に定義故障に対する期待値が、さらに *TVN n* において出力端子 *Pad (b)* にその期待値が検出されている様子を示す。図 1.1(b) は実製品の故障イメージ図である。*TVN m* において出力端子 *Pad (a)* に期待値異常が、*TVN n* において出力端子 *Pad (b)* に期待値異常が検出されている様子を示す。そして図 1.1(a) の故障辞書において定義した故障による伝搬期待値と、図 1.1(b) の実故障のおける出力状態を比較し、一致するとこの故障は定義した故障に起因している可能性が高いと判




(a) 故障定義とその論理伝搬の様子　　(b) 出力期待値異常の伝搬の様子

図 1.1 故障辞書法を用いた故障診断の概念図

定される。しかしながら、VLSI の大規模化とともに定義する故障箇所のデータが膨大なものとなり、実用的な方式ではなく、さらに診断の対象となる故障は、縮退故障モデル(Stuck-at Fault Model) と呼ばれる、故障モデルを対象とした論理が“H”または“L”に固定された故障であり、それ以外の診断は困難であるという欠点がある。

もう一つは、故障品のテストベクタと出力端子の論理情報のみを用いて、論理シミュレーションにより逆方向に論理を展開する方式であり、バックトレース法と呼ばれる[6]-[8]。この方式では、出力端子において検出される期待値の異常情報を起点として、故障が伝搬する経路を、出力から入力方向に論理的に推定しながら溯ることで、故障発生箇所を特定することができる。 図 1.2 はバックトレース法を用いた故障診断の概念図である。***TVN n*** においてチップ上の☆印の位置に故障が発生し、その論理が伝搬し、***TVN n+α*** において出力端子 ***Pad (a)*** に期待値異常が検出される様子を示している。この状態において、バックトレース法は ***TVN n+α*** における出力端子 ***Pad (a)*** の論理情報をもとに、論理シミュレーションを用いて、入力方向へ逆に論理を展開していくことで、***TVN n*** において故障箇所（図中☆印）を検出することが可能となる。しかしな

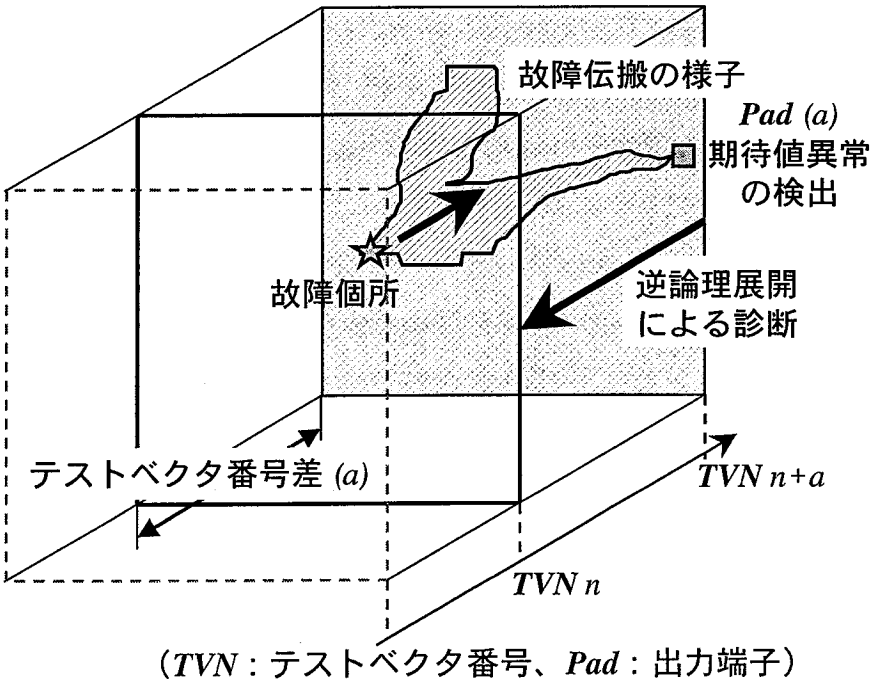



図 1.2 バックトレース法を用いた故障診断の概念図

がら、このバックトレース法は 3 つの問題点を有する。1 つは、故障が発生し出力端子へ出力するまでのテストベクタ番号差 $\alpha$ がわからないため、逆論理展開の終点を設定できない点である。2 つ目に、出力端子から入力方向への論理の遡りは、その出力端子が影響をうける全ての信号に対して論理を遡らねばならないため、VLSI の規模の増大とともに検索すべき経路の数が膨大となっていく点である。さらに故障深度（発生した故障情報が出力端子へ伝搬するまでのテストベクタ番号差 $\alpha$ の大きさ）が大きくなっていくに従って多数の擬似的な故障推定箇所を抽出してしまう困難が生じる。現在、このような擬似故障箇所を減らす対策として、EB（Electron Beam、電子ビーム）テスタを併用した方式が実用化されている[9]-[13]。すなわち、検出された故障の疑いのある箇所の論理に対して EB テスタを用いて検証し、擬似的な故障候補を除く。そして、残った故障候補を基点としてさらに診断を行い、故障箇所を絞り込む方式である。しかしながら、この方式は VLSI のパッケージを開封し、真空雰囲気中で実行しなければならないという欠点を有する。 第 3 に、縮退故障モデル以外の故障診断を困難にするという点である。

### 1.1.2 $I_{DDQ}$ 情報を利用する方式

CMOS 論理回路において、トランジスタのスイッチングによる論理の切替え時に発生する電源電流変化の期間が終了した後の、論理の静止状態（Quiescent）での微少な電源（$V_{DD}$）電流を $I_{DDQ}$ と呼ぶ。VLSI が正常であれば $I_{DDQ}$ は小さいが、故障があれば大きな電流として流れる。これを $I_{DDQ}$ 異常と呼ぶ。$I_{DDQ}$ 異常を利用する故障診断方式は 故障箇所に入力した任意の論理に同期して発生する異常電源電流の情報を用いる直接的な診断方式である。

現在、報告されている診断方式はあらかじめ定義した故障モデルを用いる方式である。すなわち、故障モデルを検出するためのテストベクタを準備し、実際の故障 VLSI にそのテストベクタを入力することで発生する $I_{DDQ}$ 異常と、定義した故障との一致を調査する方式である。

代表的な三種類の故障モデルが報告されている。一つは縮退故障モデル(Stuck-at Fault Model)を基本とした、ゲートの入出力信号線を論理縮退させた故障モデルである[14]。さらに、そのモデルの故障数を減らすことを目的とした

擬似縮退故障モデル(Pseudo Stuck-at Fault Model)と呼ばれる、ゲートの入力端子が論理縮退したとき、その出力論理が期待値異常となるテストベクタを用いた故障モデルがある[15]。しかしながら、これらのモデルはトランジスタ内で発生する短絡故障や配線短絡故障などをモデル化しにくいという問題がある。

二つ目は、図 1.3 に示す、トランジスタ短絡縮退モデル(Transistor Short Fault Model)と呼ばれる、トランジスタを構成する 4 つの端子（ソース(s)、ドレイン(d)、ゲート(g)、基板(b)）間の組合わせにおいて設定される六種類の短絡故障をモデルとする方式である。このモデルを利用した診断法として、W. Moa ら[16]によるゲートレベルでの論理シミュレーションからトランジスタレベルの故障を推測する方式がある。まず、あらかじめトランジスタレベルでの短絡故障モデルを準備しておき、$I_{DDQ}$ 異常を伴うテストベクタにより設定されるゲートの入出力論理情報から、合致する故障モデルを抽出する。

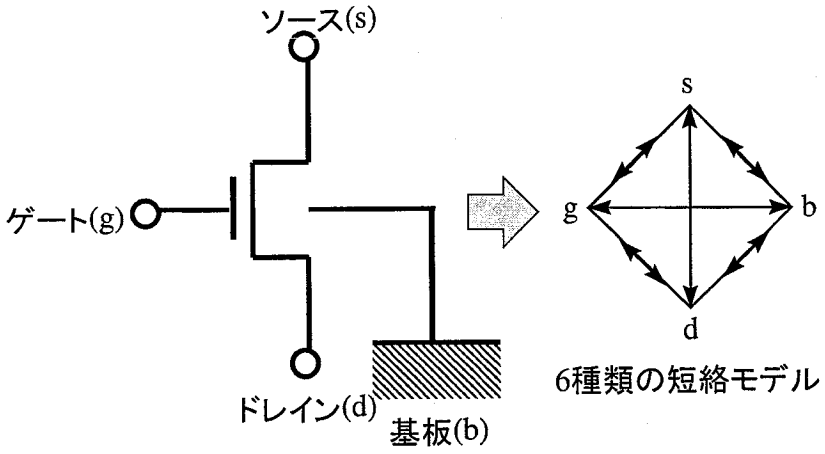



図 1.3 トランジスタ短絡縮退モデル

R. C. Aitken [17],[18]は組合せ回路（Full Scan を含む）での短絡縮退モデル利用の診断感度をあげるために、$I_{DDQ}$ 異常現象の利用とともに、論理異常情報を併用する方式を提案している。方式は故障モデルを用いて故障候補リストを作成し、それらの各故障を検出する診断用テストベクタを生成し、VLSI 入力端子に印加する。そして、各故障モデルに対するシミュレーション結果と、検出される出力期待値異常および $I_{DDQ}$ 異常情報を比較することで、トランジスタ短絡故障モデルに合致する故障箇所を特定する。しかし、論理故障が検出されない場合がある。そのために $I_{DDQ}$ 異常として検出された故障トランジスタを含む

ゲートの出力を SPICE（Simulation Program with Integrated Circuit Emphasis、スパイス）を用いた論理シミュレーションにより得られる出力値と、しきい値との比較から論理の判定をおこない、トランジスタ短絡故障箇所を推定している。

W. Xiaoqing ら[19]-[21]は トランジスタ短絡縮退モデルが１個のトランジスタに対して六種類存在するため、VLSI 全体で膨大な故障モデル数となることに対し、等価故障の考え方を導入することで故障モデル数を削減する方式を提案している。

三つ目はブリッジ故障モデル(Bridging Fault Model)と呼ばれる、配線間に発生する短絡故障モデルである。 S. Chakarvarty ら[22]は組合せ回路（Full Scan を含む）における単一配線短絡箇所の検出方式を発表している。方式は論理シミュレーションを用いてあらかじめテストベクタごとに検出される配線間短絡リストを作成し、$I_{DDQ}$ 異常を有するベクタでの“H”と“L”論理の集合を抽出し、そのリストに適合する配線対を抽出する。

D. J. Burns[23]は配線間の高抵抗短絡の検出方式を発表している。方式は回路を分解したトランジスタ単位の配線間短絡箇所を検出するためのテストベクタを準備し、それを入力することで検出される $I_{DDQ}$ 異常を有するテストベクタ集合から対応する配線短絡箇所を抽出する。

以上、各故障モデルを定義した状態での診断は それらのモデルに対応した確実な診断がなされるが、以下に示す共通の問題がある。

① 故障モデルの設定による診断は設定以外のモデルに対して診断がなされない。

② 故障モデルを用いた診断は、そのモデルを駆動するためのテストベクタを準備しなけばならない。

③ 配線やトランジスタのゲートコンタクト部のオープン故障といったモデル化が困難な故障モードに対し診断することができない。

④ 故障モデルを用いた診断は、回路規模の増大とともに膨大なデータ量と、長大な診断時間をもたらす。

以上述べたような状況をふまえ、本研究では 通常のテストベクタを用いて、モデル化が困難な故障を含む $I_{DDQ}$ 異常発生箇所を抽出する診断方式の開発を目的とする。そして、VLSI 全体に対して、診断が容易となる回路規模に分割し

た領域を基本単位とする診断方式を提案し、故障診断統合化システムの構築をはかる。

## 1.2 論文の構成

本論文の構成を図 1.4 に従って説明する。

第 2 章では $I_{DDQ}$ 異常に関して概説する。まず、$I_{DDQ}$ 異常現象に関して説明した後、$I_{DDQ}$ 異常を有する故障モードについて解析事例を交えて説明する。次に、$I_{DDQ}$ 利用による VLSI の評価および、解析への適用状況を概説し、これらの事例を踏まえた VLSI 診断に対する基本的な考え方を述べる。

第 3 章では、故障診断方式について、回路故障に起因した故障診断方式について述べる。まず、内部回路の故障診断を目的とした回路ブロックを抽出単位とする方式に関して、その概要を示す。次に、診断データとなる、回路ブロックの入力論理と $I_{DDQ}$ 異常を伴う ***TVN*** の抽出方式について述べる。後者に関しては二つのモードに対する $I_{DDQ}$ 異常値の識別方式について示す。一つは 正常状態において大きな $I_{DDQ}$ を伴う VLSI の故障品にみられる $I_{DDQ}$ モードであり、もう一つは 複数の故障を伴う VLSI にみられる $I_{DDQ}$ モードである。その後、診断方式、故障箇所の特定について述べ、最後にその方式を適用した例を示し、本方式の有効性を示す。

第 4 章では、レイアウト故障に起因した故障診断方式について述べる。まず、VLSI を区分けした「レイアウトブロック」と呼ぶ領域を診断単位とする方式に関して、その概要を示す。次に、診断データとなるレイアウトブロック内の回路ブロックや配線の抽出方式について述べる。その後、主に配線短絡診断を目的とした診断方式、配線短絡箇所の特定について述べ、最後にその方式を適用した例を示し、本方式の有効性を示す。

第 5 章では、第 3 章および、4 章の成果をふまえ、CAD (Computer Aided Design、ソフトウェアによる設計支援ツール) データと $I_{DDQ}$ 異常を伴う ***TVN*** を用いて、VLSI 内部の故障箇所を絞り込む統合化システムの構築について述べる。まず本システムのハードウェア構成を述べた後、ソフトウェア構成について述べる。その後、システムを VLSI 製造工程において検索される複数の外観異常箇所か

ら $I_{DDQ}$ 異常を伴う箇所の診断に適用した例を示し、本システムが VLSI チップの故障診断はもとより、VLSI 製造工程上の外観異常箇所中、欠陥に成長する箇所の特定にまで適用できることを示す。

第 6 章では、本研究で得られた成果をまとめ、今後の課題について述べる。

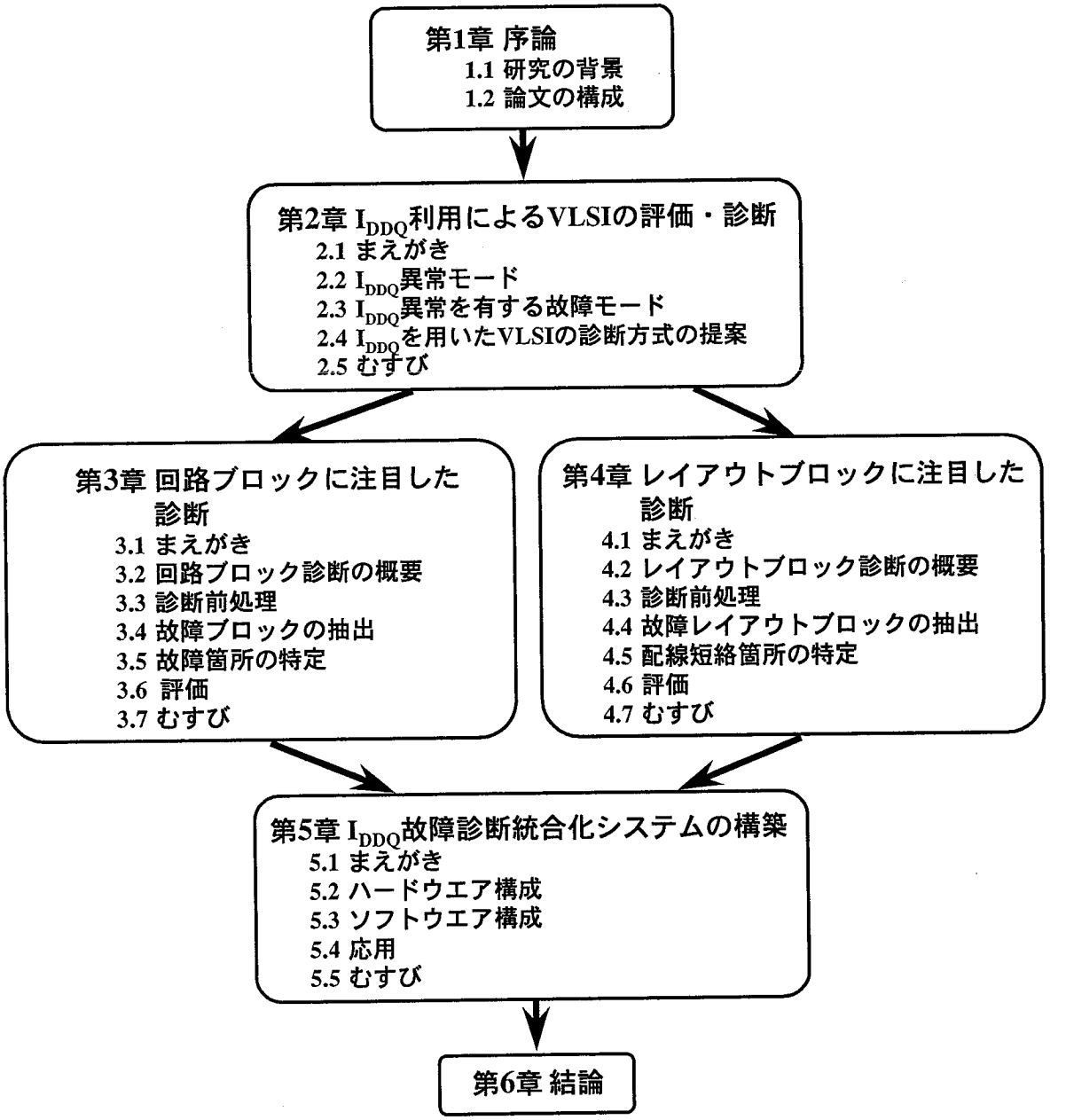



図 1.4 本論文の構成

# 第 2 章 $I_{DDQ}$ 利用による VLSI の評価・診断[24],[25]

## 2.1 まえがき

本章では $I_{DDQ}$ に関して概説する。まず、$I_{DDQ}$ とその異常に関して説明した後、$I_{DDQ}$ 異常を伴う故障モードに関して解析事例を交えて紹介する。次に、VLSI の評価および、故障解析への適用状況を概説し、これ等の事例を踏まえた VLSI の診断に対する基本的な考え方を述べる。

## 2.2 $I_{DDQ}$ 異常モード

$I_{DDQ}$ (Quiescent $V_{DD}$ Supply Current)は CMOS 論理回路における論理の静的動作状態での電源電流である。この表記は IEEE(Institute of Electrical and Electronics Engineers) によって規定されたシンボルであり[26]、本論文でもこの表記に準拠する。

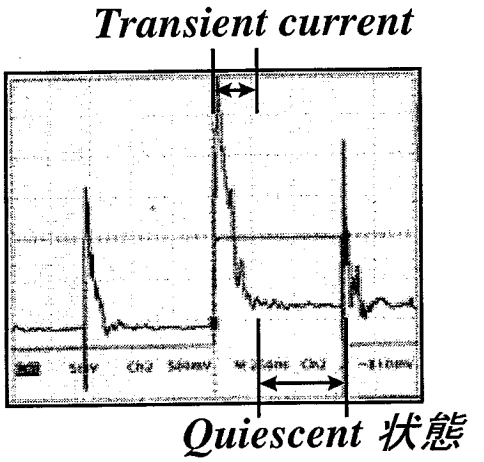
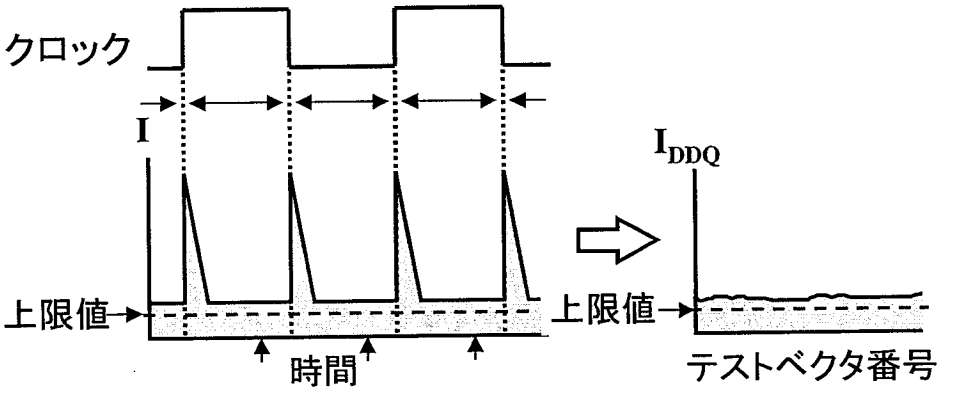



図 2.1 電源電流波形（オシロスコープ）

図 2.1 はテストベクタごとに変化する VLSI の電源電流の波形をオシロスコープにて観察した波形図である。入力論理の切替りに同期して VLSI 内部回路に論理の切替りが行われる。そのとき、$V_{DD}$（高位電源電圧）から GND（低位

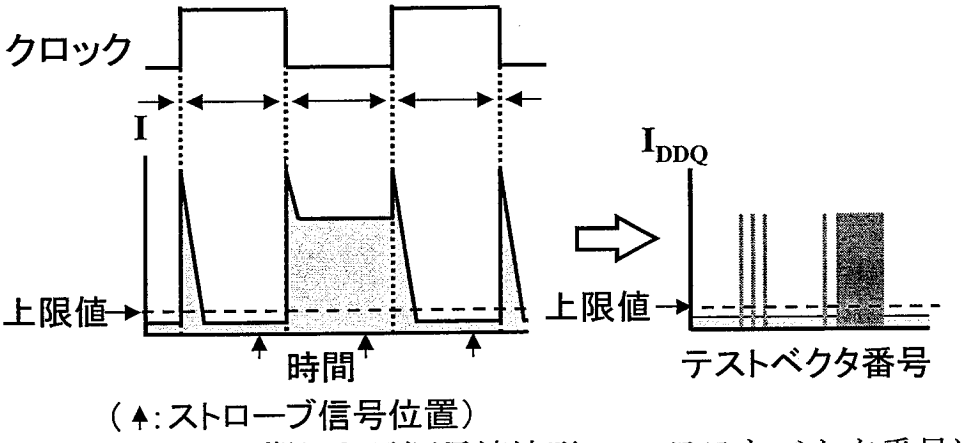
電源電圧）へ過渡電流 (Transient Current) と呼ばれる貫通電流が流れる。そして論理が安定するにしたがって、論理の静止状態における電源電流（Quiescent Current）が現れる。この電源電流を $I_{DDQ}$ と呼ぶ。通常、$I_{DDQ}$ は VLSI を構成する全 PN 接合にて形成された逆バイアス状態での微小な電源電流として流れており（回路規模にもよるが一般に 1μA 以下）、動作上および品質上問題はない。しかし $I_{DDQ}$ 異常は正常電流範囲を大幅に越えた異常値として検出され問題となる。それには二つのモードがある。テストベクタに依存しないモードと依存するモードである[27]。前者のテストベクタに依存しないモードは 全テストベクタにおいて常に規格上限値以上の $I_{DDQ}$ を有する。図 2.2 はその様子を説明する図である。図 2.2(a) は図 2.1 の電源電流波形を模式的に示した図である。クロックの切替りに同期して変化するVLSI内部の論理に伴い過渡電流が発生し、論理が安定するにつれて規格上限値以上の $I_{DDQ}$ が現れる電流波形の様子を示す。図 2.2(b) は図 2.2(a) における $I_{DDQ}$ 値を縦軸に、それらのクロックの 1/2 周期に対応する ***TVN*** を横軸に示したグラフである。ここで $I_{DDQ}$ 値はクロックの 1/2 周期ごとに、内部の論理変化が収まったタイミングにおいて測定される値であり、ストローブ（Strobe）と呼ばれる $I_{DDQ}$ 値のサンプリング位置を指示する信号（図中、↑で示す）を設定することでLSIテスタにて計測される。一般にこのモードは不完全な PN 接合間の短絡や、絶縁層のピンホールや短絡による電源間短絡など、低歩留り品に見られる。




(a) クロックに同期した電源電流波形　(b) テストベクタ番号に対する$I_{DDQ}$値の関係

図 2.2 テストベクタに依存しない $I_{DDQ}$ 異常モード

後者のテストベクタに依存するモードは、あるテストベクタにおいて突然規格上限値以上の $I_{DDQ}$ を有する。図 2.3 はその様子を説明する図である。図 2.3(a) はクロックに同期して変化する電源電流波形において、任意の ***TNV*** にて突然規格上限値以上の $I_{DDQ}$ が現れる様子を示す。図 2.3(b) は図 2.3(a) における $I_{DDQ}$ 値を縦軸に、それらのクロックの 1/2 周期に対応する ***TVN*** を横軸に示したグラフである。図 2.2 と同様、$I_{DDQ}$ 値はクロックの 1/2 周期ごとに、ストローブ信号（図中、↑で示す）を設定することで LSI テスタにて計測される。一般にこのモードは、内部回路上の無作為な位置に形成される欠陥に起因するランダムな故障であり、したがって、この検出はテストベクタに依存する。さらに、このモードの特徴として、物理的欠陥が完全に形成されたとき、加速試験（例えば、VLSI 廻りの温度を上げたり、VLSI の駆動電圧を上げたりして劣化を加速させる試験）のような外部環境の変化に対して特性の変動をもたらさない故障も一部に存在することがあげられる。




(a) クロックに同期した電源電流波形　(b) テストベクタ番号に対する $I_{DDQ}$ 値の関係

図 2.3 テストベクタに依存する $I_{DDQ}$ 異常モード

以上、これら 2 つの $I_{DDQ}$ 異常モードは共に VLSI 内部に物理的欠陥を内蔵するモードであるが、診断方式上（3 章、4 章参照）、故障診断に用いるモードは後者のテストベクタに依存するモードに限定される。

## 2.3 $I_{DDQ}$ 異常を有する故障モード

図 2.4 は物理的欠陥の存在による $I_{DDQ}$ 異常発生の様子を示す説明図である。VLSI の内部に物理的欠陥が存在すると 任意のテストベクタにより設定された内部論理に依存して、その欠陥を介して $V_{DD}$ から GND へ貫通電流が発生する。その貫通電流は VLSI の電源端子において $I_{DDQ}$ 異常として検出される。

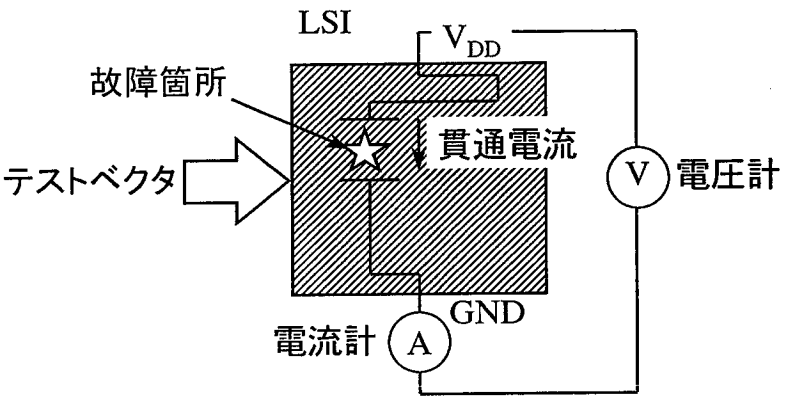



図 2.4 物理的欠陥による貫通電流発生の様子

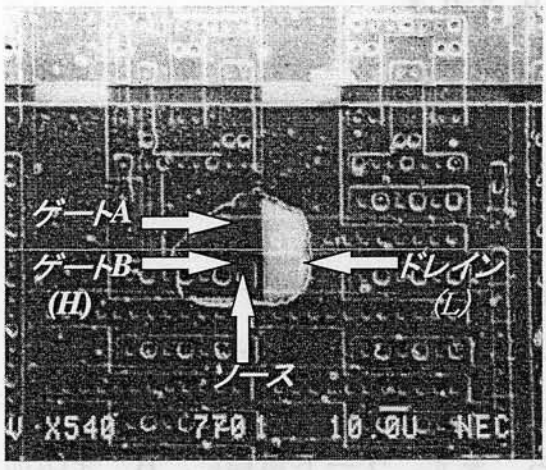
この $I_{DDQ}$ 異常には出力端子における期待値異常を伴うモードと伴わないモードがある。これらの二つのモードにおいて、前者の出力異常を伴うモードは論理の明確さから比較的よく研究されているが、後者に関しては、具体的な故障モードとその論理状態の関係があまり研究されていない。そのため、実際の故障品を用いて解析を行い、故障モードと出力論理との関係を調べた。以下に、代表的な 4 つの故障モードに関して出力論理との関係について述べる[28]-[35]。

### (1) コンタクト部のオープン故障

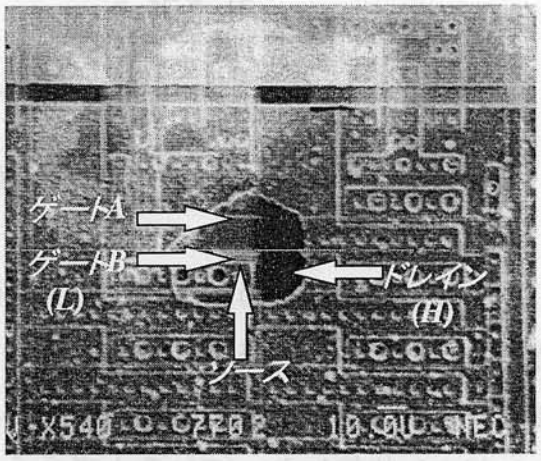
被検査 LSI は 2 層配線構造を有する論理回路であり、特定のテストベクタにて約 1.6mA（電源電圧：5V 時）の $I_{DDQ}$ 異常を示した。解析は、$I_{DDQ}$ 異常箇所の検出の後、その箇所を中心とした論理解析の順で実施した。まず、$I_{DDQ}$ 異常を示すテストベクタを用いて、液晶塗布法による発熱箇所の検出を行った。発熱箇所は 2 層配線で被われているため、レーザを用いた加工により下層配線を露出させ、次に、EB テスタを用いた電位コントラスト像により発熱箇所の論理解析を行った。電位コントラスト像は、配線上に電子を照射したとき発生す

る２次電子が電位情報を含んでいることを利用した電位像であり、電圧の低い配線は明るく、電圧の高い配線は暗いコントラストとして観察される[36]。

図 2.5 に本 LSI の電位コントラスト像を示す。図 2.5(a)、(b)は $I_{DDQ}$ 異常有、無時の電位コントラスト像である。図 2.5(a) はゲート部に“H”（電位コントラスト像は暗）が印加したとき、ドレイン部が“L”（明）となる論理の様子を示す。図 2.5(b) はゲート部に“L”（明）が印加したとき、ドレイン部が“H”（暗）となる論理の様子を示す。解析結果、回路上、正常動作しているゲート B と同期すべきゲート A の論理が同期せず、固定されていることが判明した。




(a) ゲート部に“H”印加時の様子
($I_{DDQ}$ 異常が発生)




(b) ゲート部に“L”印加時の様子
($I_{DDQ}$ は正常)

図 2.5 EB テスタを用いた電位コントラスト像解析

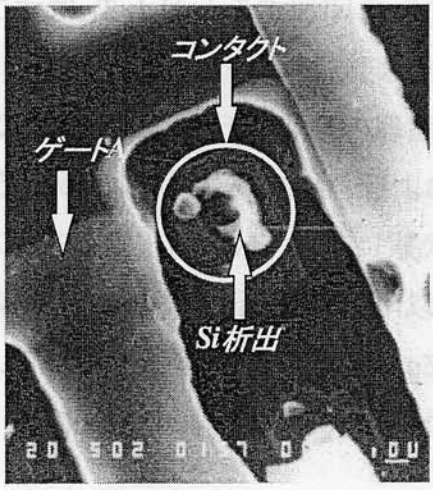



図 2.6 SEM 像

配線のエッチングにおいてゲート A のコンタクト上に Si 析出による導通不良箇所を検出した。図 2.6 に SEM（Scanning Electron Microscope、電子顕微鏡）像を示す。

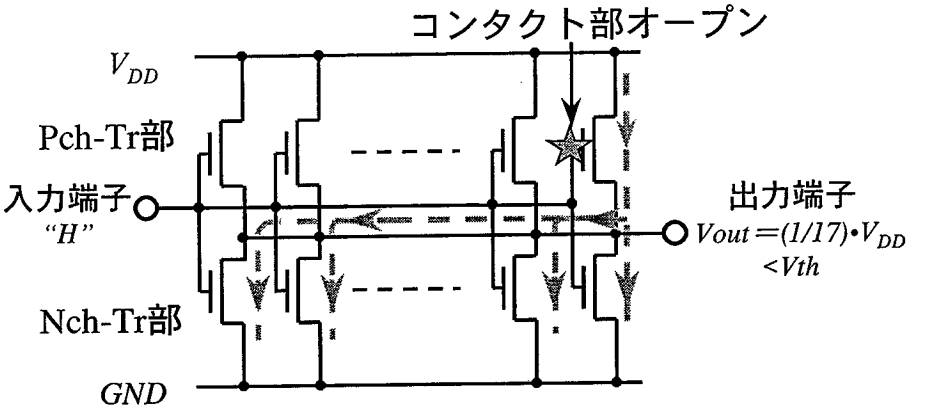



図 2.7 故障を有する回路上の貫通電流の発生図

上述した故障箇所の回路図を図 2.7 に示す。ゲート電極オープン箇所は高駆動インバータ出力回路の P チャネルトランジスタ（以降、Pch-Tr と記す）部であり、そのゲート電圧が不安定となり、しきい値を中心に揺らぐためトランジスタがオン状態になっていると考えられる。まず、ゲート電極に“H”を印加すると出力は“L”になるが、ゲート電極オープンの Pch-Tr がノーマリ・オン状態のため、$V_{DD}$ からその Pch-Tr を介して、動作上オン状態の N チャネルトランジスタ（以降、Nch-Tr と記す）を通り GND へ貫通電流が発生する。しかしながら、ゲート電極に“L”を印加すると Nch-Tr はオフ状態となるため、出力は“H”になり、短絡電流は発生しない。次に、ゲート電極に“H”を印加したときの $I_{DDQ}$ 異常と出力論理の考察を行う。高駆動インバータ回路は 8 個並列使用の駆動用 Pch-Tr 群および、Nch-Tr 群からなる。その内の 1 個の Pch-Tr のゲート電極がオープン状態になっている。本 LSI のインバータ回路部の Pch-Tr のインピーダンス（以降、Zp と記す）と Nch-Tr のインピーダンス（以降、Zn と記す）の関係は Zp=2·Zn である。したがって、高駆動インバータ回路の入力に“H”が印加したときの出力論理値 (Vout)は

$$Vout = \{[(1/8)\cdot Zn]/[Zp+(1/8)\cdot Zn]\}\cdot V_{DD} = (1/17)\cdot V_{DD} \quad (<Vth)$$

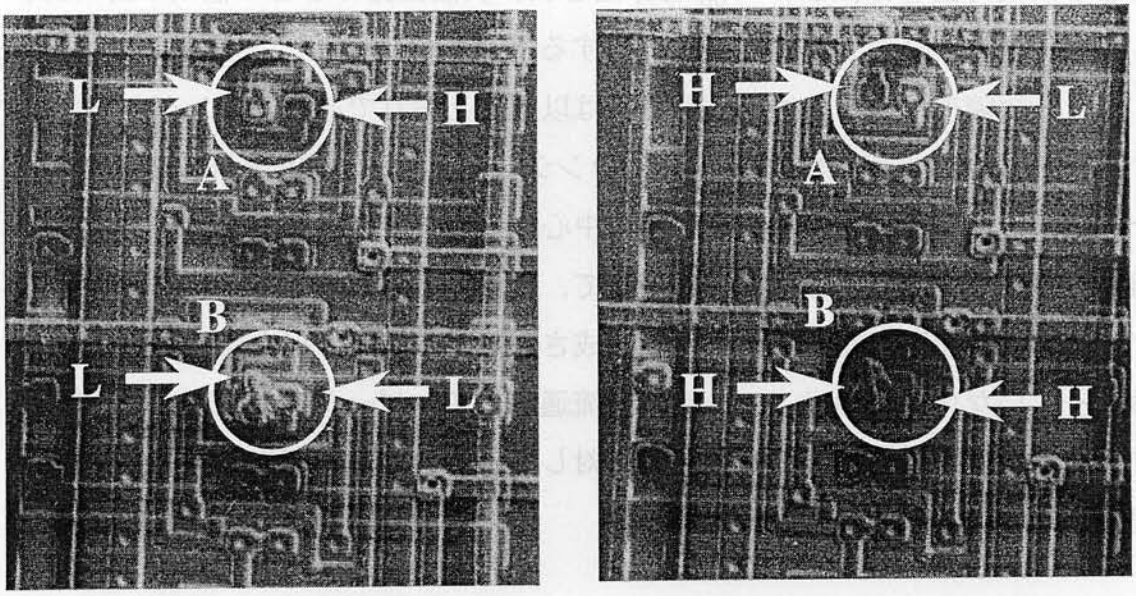
となり、出力論理は(1/17)・$V_{DD}$と算出され、次段回路のしきい値（Vth）に対して十分低く、“L”として正常に機能する。

以上、故障モードと出力論理の関係は以下のとおりである。コンタクト部のオープン故障は、この故障を有するトランジスタのゲート電圧を不安定とする。そして、そのゲート電圧はしきい値を中心に揺らぐためトランジスタをオン状態にしていると考えられる。したがって、任意の論理においてこのトランジスタを介して電源間に貫通電流通路が形成される。しかし、出力期待値の異常とはなっていない。理由は、この貫通電流通路のインピーダンス分割により決定される出力値が次段回路のしきい値に対して十分低いためであり、正常時の論理方向と一致しているためである。

### (2) 配線短絡故障

被検査 LSI は 2 層配線構造を有する論理回路であり、テストベクタ全体において約 1mA（電源電圧：5V 時）の$I_{DDQ}$異常を、特定のテストベクタにて約 2mA（電源電圧：5V 時）の $I_{DDQ}$ 異常を示した。解析は(1)と同様、$I_{DDQ}$ 異常箇所の検出の後、その箇所を中心とした論理解析の順で実施した。まず 2mA の $I_{DDQ}$ 異常を示すテストベクタを用いて、液晶塗布法による発熱箇所の観察を行った。次に、EB テスタを用いた電位コントラスト像により発熱箇所の論理解析を行った。図 2.8 は電位コントラスト像であり、 図 2.8(a) は 2mA の $I_{DDQ}$ 異常発生時の電位コントラスト像を示す。図中 A 点と B 点は同一の回路構成であり、A 点は正常箇所そして、B 点は異常発熱を検出した箇所である。コントラスト像の観察において、A 点での対向するゲート電極は逆相論理を示すのに対して、B 点でのそれは共に同相論理“L”（白）を示している。図 2.8(b) は 1 mA の $I_{DDQ}$ 異常発生時の電位コントラスト像を示す。この場合、A 点における対向するゲート電極は図 2.8(a) に示す観察結果と反対の逆相論理を示すのに対して、B 点はともに同相論理“H”（暗）を示している。

次に、SEM を用いた異常箇所の観察を行った。図 2.9 は SEM 像であり、異常箇所 B 点において、対向するゲート電極間に異物を介した短絡形状を検出した。EPMA（Electron Probe Micro Analyzer、電子線プローブマイクロアナライザー）を用いた異物の分析にて Si を検出した。




(a) 2 mA の $I_{DDQ}$ 異常時の電位像　　(b) 1mA の $I_{DDQ}$ 異常時の電位像

図 2.8 EB テスタを用いた電位コントラスト像解析

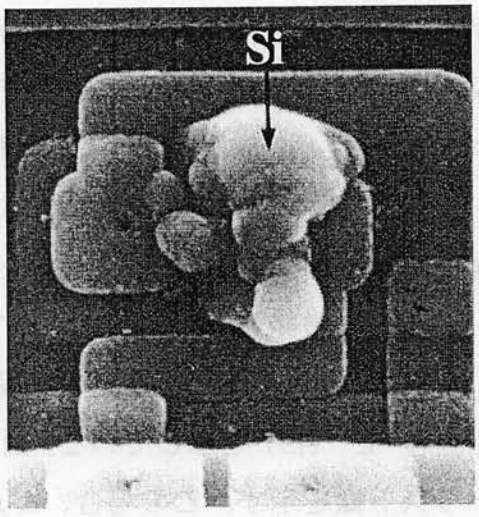
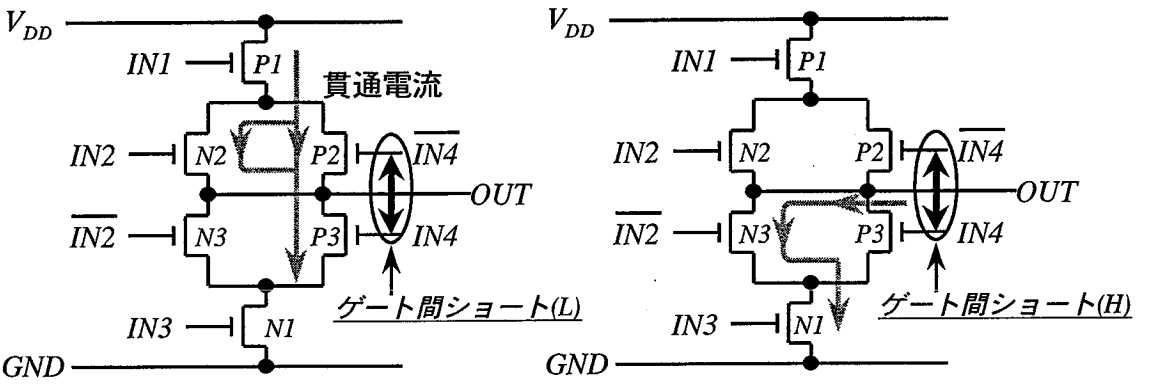



図 2.9 SEM 像

異常箇所の回路は図 2.10 に示ように、大規模な論理を有する回路ブロックの一部を形成する 4 入力のインバータ回路であり、3 個の Pch-Tr と 3 個の Nch-Tr から構成されている。図 2.10(a) は 2mA の $I_{DDQ}$ 異常が発生したインバータ回路図であり、各入力端子 IN1 に “L”、IN2 に “H”、IN3 に “H”、IN4 に “H”

が印加された論理状態を示す。正常論理において、これらの入力論理は Pch-Tr1、Pch-Tr2、Nch-Tr2、Nch-Tr1 を ON 状態とするため、端子(OUT)には“H”が出力する。また、図 2.10(b) は 1mA の $I_{DDQ}$ 異常が発生したインバータ回路図であり、図 2.10(a) の論理以外の入力論理の一つである、IN1 に“L”、IN2 に“L”、IN3 に“H”、IN4 に“L”が印加された論理状態を示す。正常論理において、これらの入力論理は Pch-Tr1、Pch-Tr3、Nch-Tr3、Nch-Tr1 を ON 状態とするため、端子(OUT)には“L”が出力する。




(a) (IN1,IN2,IN3,IN4)＝(0,1,1,1)時　　(b) (IN1,IN2,IN3,IN4)＝(0,0,1,0)時

(P1～P4 は Pch-Tr1～Pch-Tr4、N1～N4 は Nch-Tr1～Nch-Tr4 を意味する)

図 2.10 本故障を有する回路の $I_{DDQ}$ 異常電流通路

次に、これ等の入力論理における $I_{DDQ}$ 異常と出力論理の考察を行う。解析対象となるインバータ回路の Zp と Zn の関係は Zp＝2・Zn である。まず、前者の 2.0mA の $I_{DDQ}$ 異常を伴う論理状態における $I_{DDQ}$ 異常と出力論理の考察を行う。図 2.8(a) に示す電位コントラスト像観察より、短絡したゲート電極部の論理は“L”になっていることが観察されている。したがって、$I_{DDQ}$ 異常は Pch-Tr1→Pch-Tr2//Nch-Tr2→Pch-Tr3→Nch-Tr1 の通路で流れる (//は並列を意味する)。その時の出力電圧を Vout(0111) とおくと

$$\text{Vout}(0111) = \{(Zp+Zn)/[Zp+1/(1/Zp+1/Zn)+Zp+Zn]\} \cdot V_{DD}$$
$$= (9/17)\cdot V_{DD} \qquad (>Vth)$$

となり、出力論理は正常論理である“H”として機能する。しかしながら、出力値はしきい値(Vth)とほぼ同じ値であるため、次段入力回路の Pch-Tr および、Nch-Tr のゲート電極は不安定状態となり、したがって、次段回路においても $V_{DD}$ から GND に貫通電流が流れると考えられる。以上の考察より、2.0mA の $I_{DDQ}$ 異常値は

① ゲート電極間短絡箇所の入力論理を作る回路での異常電流

② 本故障回路部での異常電流、

③ 次段入力回路の異常電流、

という三つの異常電流の合計したものであることが推測される。又、論理は、図 2.10(a) に示す出力(OUT)の論理が正常状態にて“H”であり、$I_{DDQ}$ 異常の発生時においても計算上“H”となり、正常である。

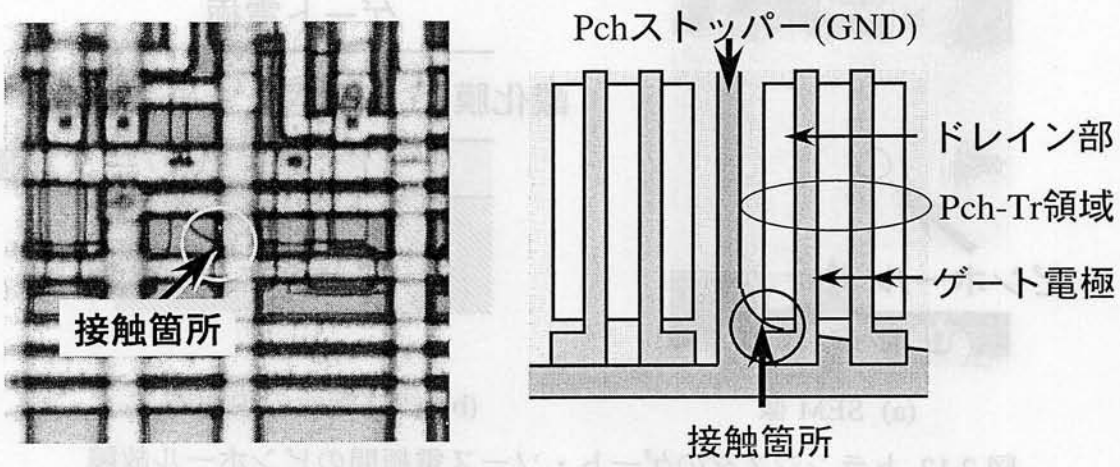
次に、後者の 1.0mA の $I_{DDQ}$ 異常を伴う論理状態における $I_{DDQ}$ 異常と出力論理の考察を行う。図 2.8(b) に示す電位コントラスト像観察より、短絡したゲート電極部の論理は“H”になっていることが観察されている。したがって、Pch-Tr2 と Pch-Tr3 がオフ状態そして、Nch-Tr3 と Nch-Tr1 がオン状態となり、出力論理は“L”となる。その結果、図 2.10(b) に示すように、$I_{DDQ}$ 異常電流はゲート電極部短絡箇所の入力論理を作る回路での異常電流であると考えられる。そして、この時の出力(OUT)での論理は、正常状態で“L”であり、$I_{DDQ}$ 異常の発生時においても計算上“L”となり、正常である。

以上、故障モードと出力論理の関係は以下のとおりである。本 LSI は互いに逆論理となる、対向するゲート電極間の短絡故障に起因する二種類の $I_{DDQ}$ 異常を伴うが、出力端子での期待値異常とはなっていない。この理由は、$I_{DDQ}$ 異常発生時において、故障を有する回路の出力論理値が次段回路のしきい値に対して正常な論理の側に設定されるためである。

### (3) パターン崩れ

被検査 LSI は 2 層配線構造を有する論理回路であり、特定のテストベクタ全体において約 1.5mA（電源電圧：5V 時）の $I_{DDQ}$ 異常を示した。任意の $I_{DDQ}$ 異常を示すテストベクタにおいて、液晶を用いた発熱箇所の観察を行った。図 2.11(a) は、その発熱箇所の光学顕微鏡観察であり、図 2.11(b) はその箇所の概

略図である。発熱箇所は Pch-Tr 間のチャネルストッパー（配線の電位に起因して、低濃度の P 型不純物半導体基板上に形成される反転層の発生を防止するために形成された高濃度の P 型不純物パターン）（Pch ストッパー）の一部がパターン崩れを起こして Pch-Tr のドレイン間と接触している箇所である。




(a) 光学顕微鏡像　　(b) 説明図

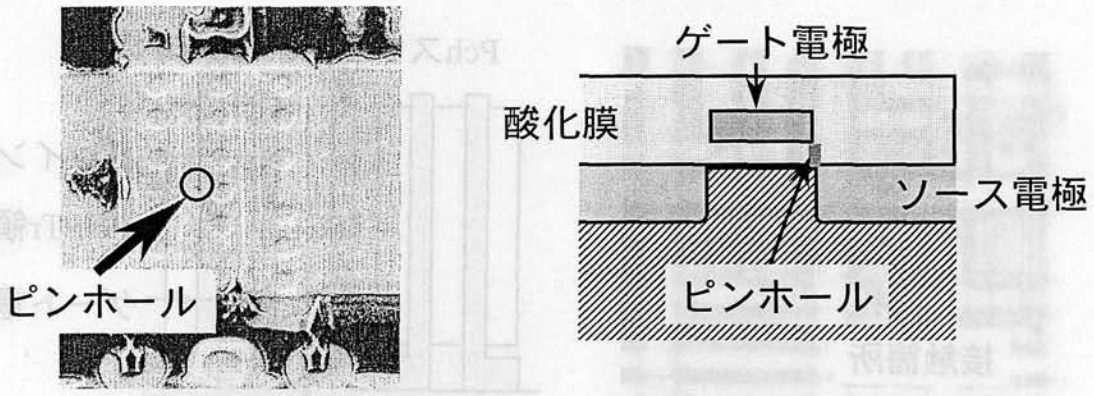
図 2.11 パターン崩れの光学顕微鏡像

以上、故障モードと出力論理の関係は以下のとおりである。本故障はパターン崩れにより $I_{DDQ}$ 異常を発生しているが出力期待値異常となっていない。この理由は、Pch ストッパーと Pch-Tr のドレイン間の接触抵抗が大きいためであり、短絡電流通路のインピーダンス分割比で決定される Pch-Tr 側のドレイン電圧値が十分大きいためであると考えられる。

### (4) ゲート間ピンホール故障

被検査 LSI は特定のテストベクタ全体において約 0.5mA（電源電圧：5V 時）の $I_{DDQ}$ 異常を示した。$I_{DDQ}$ 異常を示すテストベクタにおいて、液晶を用いた発熱箇所の観察を行った。サンプルは 3 層構造品であり、解析において配線をエッチングして露出しながら 順次、発熱箇所の観察を行った。図 2.12(a) は上層配線を除去した後の短絡箇所の SEM 像であり、Pch-Tr のゲート電極(Poly-Si)部とソース電極($V_{DD}$)間にピンホールを検出した（図中○で示す）。図 2.12(b) は

短絡箇所の説明図であり、Pch-Tr のゲート電極とソース電極間に形成された導通通路を示す。ゲート電極に“L”が入力すると短絡箇所を介してソース電極($V_{DD}$)からゲート電極(GND)へ $I_{DDQ}$ 異常が発生する。ただし、ゲート電極に“H”が入力したときはソース電極と同電位のため $I_{DDQ}$ 異常は発生しない。




(a) SEM 像　　(b) 短絡箇所の説明図

図 2.12 トランジスタのゲート・ソース電極間のピンホール故障

以上、故障モードと出力論理の関係は以下のとおりである。本故障はゲート間のピンホールにより $I_{DDQ}$ 異常を発生するが出力期待値異常となっていない。この理由は、Pch-Tr のゲート電極部とソース電極間の接触抵抗値は貫通電流通路のインピーダンスに比べて十分に大きいためであり、接触抵抗を介したゲート電極の電位は正常な論理となっているためである。

以上説明したように、期待値異常を伴わない $I_{DDQ}$ 異常は特別な故障ではなく、コンタクトやスルーホールのオープン故障、パターン崩れ故障、ゲート間短絡故障等、通常の物理的欠陥に起因した故障である。そして、期待値異常の有無の違いは次段回路に伝搬する出力信号の電圧値により決定される。すなわち、$I_{DDQ}$ 異常を伴う貫通電流の通路上に位置する出力の電圧値はそのインピーダンス分割比に依存する。そして、論理が正常か異常かの判定は、その出力電圧値が次段回路のしきい値に対し高いか低いかで決定される。したがって、しきい値に対する出力電圧値の高低が正常状態のそれと同じならば正常論理、異なるならば出力端子での期待値異常として検出される。

P. C. Maxwell ら[37]は期待値故障と $I_{DDQ}$ 故障の比率に関して報告している。調査した LSI は 8577 ゲートを有する CMOS スタンダードセル（Standard Cell）品である。正常にて数百 nA を有する $I_{DDQ}$ 値の規格上限値を 30μA に設定した時の、全故障品に対する機能故障（期待値異常および、スキャンパス異常）と $I_{DDQ}$ 故障の比率は、共に故障となる比率は 64.7%、機能故障のみの比率は 4.1%、$I_{DDQ}$ 故障のみの比率は 31.2%であったという。

以上から明らかなように、$I_{DDQ}$ 故障は通常の物理的欠陥に起因した故障であり、さらに、$I_{DDQ}$ 故障は大部分の故障を網羅しているということができる。

## 2.4 $I_{DDQ}$ を用いた VLSI の診断方式の提案

上述した $I_{DDQ}$ 故障モードの特徴は VLSI の評価や解析に適用されている。ここで、評価は VLSI 全体に流れる $I_{DDQ}$ 値を測定し良否を判定し、解析は VLSI 上の $I_{DDQ}$ 異常に起因する物理現象を観察し故障箇所を特定する方式として実用化されている。そして、提案する診断は VLSI 上の $I_{DDQ}$ 異常となる内部回路を論理シミュレーションを用いて特定する $I_{DDQ}$ 利用方式である。本節において、まず、$I_{DDQ}$ を用いた評価や解析方式の考え方を出力期待値を用いたそれらとの対比から明確にする。次に、この考え方を VLSI の診断に適用することによる、1 章にて述べた $I_{DDQ}$ を用いた故障モデル方式の問題点を解決する診断方式を提案する。

### 2.4.1 $I_{DDQ}$ を用いた VLSI の評価・解析

本節にて、VLSI の評価や故障解析の手段に用いられる $I_{DDQ}$ について、出力期待値との対比から、その適用の特徴を概説する。

#### (1) 評価

まず、VLSI の評価に関しては、特にテスティングにおいて $I_{DDQ}$ テストを導入することで、テスト時間の効率化と高い品質を保証している[38],[39]。$I_{DDQ}$ テストは VLSI 全体より電源端子に流れる値を測定し、$I_{DDQ}$ 異常の有無を識別することでテストの早い段階で異常品を除去するテスト法として用いられている。

さらに、このテストは機能テスト（入力端子に入力するテストベクタに同期して全出力端子に出力する論理期待値を評価するテスト）を補完することにより故障検出率（後述する）を高めるテスト法として利用されている[40]-[42]。この理由は

① 機能テストの検査対象が出力期待値の異常故障であるのに対して、$I_{DDQ}$ テストのそれが期待値異常（ただし、一部に $I_{DDQ}$ 異常とならないモードがある）を含む多様な $I_{DDQ}$ 異常故障であるためである。

② 機能テストが回路を伝搬し出力する限られた論理の出力期待値を検査するテストであるのに対して、$I_{DDQ}$ テストがテストベクタの印加にて設定される VLSI 内部の論理状態全体から異常箇所を介して流れる電流を検査するテストであるためである。

ここで、故障検出率は VLSI 回路を構成する全ての素子および、配線を対象として定義した故障数に対する、与えられたテストベクタにて検出される故障数の割合である。したがって、理想的な $I_{DDQ}$ テストは定義した故障を全て検出するテストベクタを用いたテストであるということができる。しかしながら、全回路素子を評価するテストベクタの作成は膨大な工数と長大なテスト時間を費やすため、実用的ではない。そのため、既存の選別用テストベクタ中からの少ないベクタ数で高い故障検出率を確保する研究がなされている。

一般的なテストベクタの選別方式は まず、$I_{DDQ}$ テスト用として指定したテストベクタ数に対し、***TVN*** の先頭から指定番号数までのテストベクタを抽出し、このときの故障検出率を求める。次に、この集合からの 1 パターンを、最後の指定ベクタ番号の次の 1 パターンに置き換えて検出率を求める。そして、故障検出率が向上すればパターンの置き換えを行う。その処理をテストベクタの最後まで繰り返すことで $I_{DDQ}$ テスト用のテストベクタを選択する方式である[43]-[45]。さらに、高信頼度を要求する VLSI において、テストベクタごとに故障シミュレーションを行い故障表（テストベクタごとに検出される故障数の関係を示す一覧表）を作成し、最も多くの故障を検出するテストベクタから順に $I_{DDQ}$ テスト用として決定したベクタ数を選択していく方式も提案されている[21]。

以上述べたように、VLSI の評価における機能テストは、内部回路中に発生した信号の電位異常がテストベクタの移行と共に伝搬し、任意の端子に出力す

る期待値の異常を検出する間接的なテストであるのに対して、$I_{DDQ}$ テストは、テストベクタの印加により、VLSI の内部論理に発生した $I_{DDQ}$ 異常が電源へ流れ、VLSI 全体を流れる電源電流の異常を検出する直接的なテストである。

### (2) 故障解析

VLSI の解析に関しては、$I_{DDQ}$ 異常に起因する物理現象を用いることで、解析時間の短縮と簡易な解析方式を保障している。故障解析は事前解析と事後解析に分けられる。事前解析は製造プロセス中のモニタがこれにあたり、製造途中でのトランジスタ特性や、コンタクトやスルーホールの導通特性、さらには配線の膜厚や結晶粒径のモニタなどがある。事後解析は故障した VLSI の故障原因を究明するための解析であり、その解析フローは図 2.13 に示すように、三段階からなる。

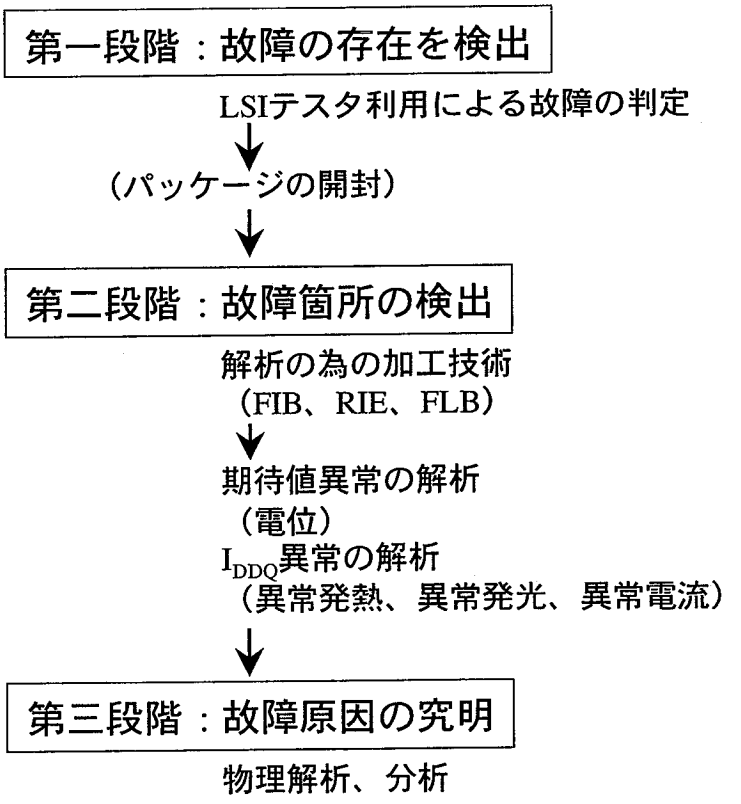



図 2.13 故障解析の事後解析におけるフロー

まず、第一段階は LSI テスタを用いて故障の存在を確かめる段階である。故

障の存在が確認されると、VLSI を搭載しているパッケージを開封して VLSI チップを露出する。第二段階は各種解析方式を用いて故障発生箇所を検出する段階である。しかしながら、VLSI の多層配線構造化は故障箇所の検出を困難にする。このため、電気回路や故障箇所を破壊しないで VLSI を加工し、故障箇所を検出する加工技術が開発されている。この技術は上層配線に開孔部を設けて下層配線や半導体素子を露出させたり、絶縁膜を除去する事で全配線層を露出させたり、バイパス配線を設けることで VLSI を加工する技術である。このような加工装置として、FIB（Focused Ion Beam, 集束イオンビーム）[46],[47]装置、RIE (Reactive Ion Etching, 反応性イオンエッチング) [48]-[51]装置、FLB (Focused Laser Beam, 集束レーザビーム）[52]-[56]装置などがある。第三段階は検出された故障箇所を詳細に解析し、分析することで故障原因を究明する段階である。

以上のような、事後解析フローにおける第二段階での代表的な故障箇所の検出として、期待値異常と $I_{DDQ}$ 異常を利用する方式がある。期待値異常を用いる方式は、チップの配線に印加される信号の電位をモニタしながら異常箇所を検出する方式である。その電位モニタには一般に EB テスタが用いられる。解析は出力端子における期待値異常情報をもとに、出力から入力方向へ信号を遡りながら配線の電位をモニタすることで実施される。

$I_{DDQ}$ 異常を用いる方式は $I_{DDQ}$ 異常に起因する物理現象の発生箇所を VLSI 全面に対してモニタしながらで検出する方式である。この物理現象には異常発熱、異常発光そして、異常電流がある。まず、異常発熱の検出には一般に液晶塗布法が用いられる。液晶塗布法は液晶が常温で光学的に複屈折性であるのに対して、相の転移温度を超えると等方性に変化することを利用した方法であり、偏光顕微鏡を用いることで、液晶を塗布した VLSI 上に発生する、ホットスポット（Hot Spot）と呼ばれる相の変化箇所を異常発熱箇所として検出することができる[57],[58]。

異常発光の検出にはエミッション顕微鏡（Emission Microscopy）を用いた観察法が用いられる。エミッション顕微鏡は光学顕微鏡の光経路上にマイクロチャネル板を用いた光増幅器を配置した顕微鏡であり、画像表示機能を付加することで異常電流に伴う異常発光箇所を検出することができる[59],[60]。

さらに、異常電流の検出には OBIRCH (Optical Beam Induced Resistance CHange、

オバーク）法が用いられる。OBIRCH 法は配線上にレーザを照射することで変化する配線抵抗値から異常電流通路を識別する方式であり、電流の変化を輝度の変化に変換させることで配線の異常電流通路を画像表示することができる[61]-[64]。

上述したように故障箇所の検出手段である期待値異常を利用する方式は期待値異常として出力する端子をもとに、電位をモニタしながら信号の伝搬経路を逆方向へ遡り故障箇所を検出する間接的な手段であるのに対し、$I_{DDQ}$ 異常を利用する方式は、VLSI 全面をモニタしながら、任意のテストベクタの印加にて発生する $I_{DDQ}$ 異常に起因する物理現象の発生箇所を検出する直接的な方式である。実際の故障解析においてはこれらを組み合わせることで、故障解析の効率化を図っている。

以上概観したように、本節における VLSI の評価および、故障解析における $I_{DDQ}$ 情報は、VLSI 全体を通して流れる $I_{DDQ}$ の異常を検知して VLSI 良否判定をするためおよび、VLSI 全体から $I_{DDQ}$ 異常に起因する物理現象の発生箇所を抽出して故障箇所を特定するために利用されている。

### 2.4.2 $I_{DDQ}$ を用いた VLSI の診断方式の提案[25],[65],[66]

本節にて、VLSI の故障診断に $I_{DDQ}$ を用いるための考え方について、従来の適用例と比較を交えて説明する。

第 1 章にて述べたように、従来の $I_{DDQ}$ を用いた診断は、定義した $I_{DDQ}$ 故障モデルと一致する $I_{DDQ}$ 故障を探索する方式であった。すなわち、診断は故障モデルを検出するテストベクタを準備することで、そのテストベクタにて発生する $I_{DDQ}$ 異常を、その定義したモデルの故障と判定する方式であった。この診断は、期待値異常を用いた故障辞書法が縮退故障モデルを対象とするのに対して、従来の $I_{DDQ}$ 利用方式が $I_{DDQ}$ 故障モデルを対象とする点で故障辞書法と類似する方式であった。そして、この従来の $I_{DDQ}$ 利用による診断方式は

① $I_{DDQ}$ 異常となる故障モデル以外の故障を診断できない。

② 故障モデルを検出するテストベクタを準備しなければならない。

という制約があり、さらに大規模化した VLSI に対しデータ量の増大から診断

が困難となる問題があった。

提案する $I_{DDQ}$ 利用による VLSI の故障診断方式は通常のテストベクタを用いてモデル化が困難な故障を含む $I_{DDQ}$ 異常の発生箇所を特定する方式であり、さらに前述した評価や解析方式に見られるように VLSI 全体を対象とする診断方式である。このため、まず診断が容易となる回路規模領域に VLSI 全体を分割する。そして領域ごとに診断を行い、$I_{DDQ}$ 異常を内蔵している可能性のある領域を抽出する。その後、抽出された領域に対して論理情報を用いて故障箇所を特定する（以上の詳細は第 3 章、第 4 章にて説明される)。ここで分割する対象は注目する故障により異なり、回路に起因した故障に対しては VLSI 電気回路を構成する回路ブロック（Circuit Block、基本的な論理回路単位の総称）を、レイアウトに起因した故障に対しては VLSI レイアウトを区分けまたは、任意の領域を設定したレイアウトブロック（Layout Block）と呼ぶ、レイアウト上に設定した任意の領域内の「回路ブロックとそれらブロック間の接続配線（以降、ことわりがない限り「配線」として記述する)」の集合を対象とする。

以上、VLSI の評価、解析、診断に対し、出力期待値と $I_{DDQ}$ を用いた適用内容の一覧を表 2.1 にまとめる。表中の「節番号」は適用内容の詳細を記載した節を示す。

表 2.1 VLSI の評価、解析および、診断に対する出力期待値と $I_{DDQ}$ の適用内容

| | 出力期待値を利用 | $I_{DDQ}$を利用 |
|---|---|---|
| VLSI評価 2.4.1節 (1) | 各出力端子に出力する期待値の異常を検出 (機能テスト) | VLSI全体に流れる$I_{DDQ}$の異常を検出 ($I_{DDQ}$テスト) |
| VLSI解析 2.4.1節 (2) | 期待値異常の出力端子より信号の伝搬経路を逆に溯り異常箇所を検出 (電位を利用) | VLSI全体をモニタしながら$I_{DDQ}$異常に起因する物理現象の発生箇所を抽出 (熱、光、電流を利用) |
| VLSI診断 | 縮退故障モデル箇所の検出ベクタを用いて故障箇所を特定 (故障辞書法) 1.1.1節 | $I_{DDQ}$故障モデル箇所の検出ベクタを用いて故障箇所を特定 (故障モデル法) 1.1.2節 |
| | 出力期待値異常より逆論理展開し故障箇所を特定 (バックトレース法) 1.1.1節 | VLSI全体を対象にその分割領域ごとの診断で$I_{DDQ}$異常の内蔵領域を特定 (提案) 2.4.2節 |

## 2.5 むすび

本章において診断の対象となる $I_{DDQ}$ 異常モードの特徴と、診断に対する考え方を述べた。

診断対象となる $I_{DDQ}$ 異常モードの特徴は以下の通りである。

(a) 診断対象となる故障モードは任意のテストベクタに依存した $I_{DDQ}$ 異常を伴うモードである。

(b) 診断対象となる $I_{DDQ}$ 故障は縮退した論理故障を含む多様なモードを有する、通常の物理欠陥に起因した故障である。

$I_{DDQ}$ を用いる VLSI の診断に対する考え方は以下の通りである。

(a) VLSI 診断の基本的考え方は、VLSI 全体を診断が容易となる回路規模に分割した、全分割領域に対する診断である。

(b) VLSI を分割する対象は注目する故障において異なる。回路に起因した故障に対しては回路ブロックが、レイアウトに起因した故障に対して

はレイアウトブロックが分割対象となる。

以降の章にて $I_{DDQ}$ を用いた VLSI の診断方式に関して述べる。

# 第 3 章 回路ブロックに注目した診断[67],[68]

## 3.1 まえがき

本章では、回路に起因した故障箇所を特定するための回路ブロックを診断単位とする診断方式について述べる。まず、ブロック（以降、断りがない限り、回路ブロックを意味する）を用いた診断のコンセプトを述べた後、診断データとなる、ブロックの入力論理および、$I_{DDQ}$ 異常を伴う *TVN* の抽出方法に関して述べる。次に、ブロックの診断方式に関して述べ、さらに、特定したブロック内の故障箇所を絞り込む方式について示す。その後、この方式を実際の VLSI 故障品に適用した例を示し、本方式の有用性を示す。

## 3.2 回路ブロック診断の概要[67]-[72]

本節において、VLSI を構成する回路ブロックに注目した診断方式について述べる。まず、この診断の手順を示したのち、診断の考え方について述べる。

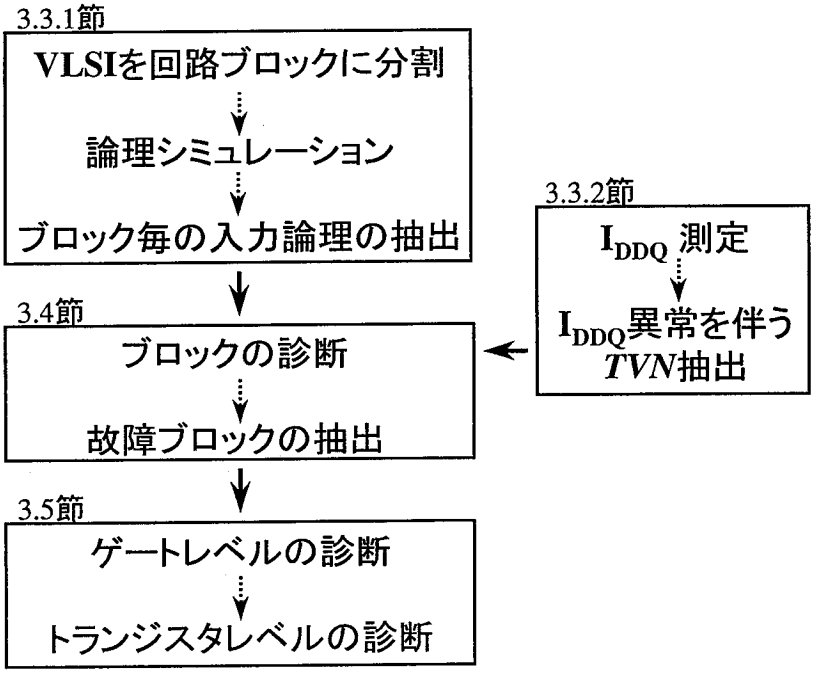



図 3.1 故障ブロック絞り込みフロー図

### 3.2.1 診断の手順

この診断は回路を構成するブロック内部に発生する故障箇所を特定することを目的としており、図 3.1 に示す手順で実施される。診断に必要なデータはテストベクタごとの各ブロックの入力論理情報と $I_{DDQ}$ 異常の有無情報である。まず CAD データを用いて VLSI をその電気回路を構成するブロックに分割する。そして論理シミュレーションにより、*TVN* ごとの各ブロックの入力論理情報を抽出する。つぎに、故障 VLSI に対して $I_{DDQ}$ テストより抽出した $I_{DDQ}$ 異常を伴う *TVN* を用いて、ブロックごとの診断を実施する。そして、故障の可能性があると診断されたブロックを故障ブロックとして抽出する。引き続き、ゲートレベルでの故障箇所を特定し、さらにトランジスタレベルでの故障箇所を特定する。図 3.1 中、各枡の左上の番号はその項目を説明する節の番号を示す。

### 3.2.2 診断方式の考え方

ブロックの組合せにより所望の電気回路を構成する VLSI において、ブロック内部に発生する物理的欠陥に起因していると考えられる短絡電流は VLSI の電源端子に流れる $I_{DDQ}$ 異常として検出される。図 3.2 は診断方式の説明図あり、論理 VLSI を構成する複数のブロック(B1,B2,---,Bn)中、ブロック B2 にて $I_{DDQ}$ 異常が発生している状態を示す。 VLSI にて測定される $I_{DDQ}$ 異常値（図中、$I_{DDQ}$(VLSI)）は、ブロック B2 にて発生する $I_{DDQ}$ 異常値と他の正常ブロックの $I_{DDQ}$ 値との合計した値（図中、$\Sigma I_{DDQ}$(Block)）であることから、各ブロックごとに $I_{DDQ}$ 異常が発生しているかどうか識別することで、故障を内蔵するブロック B2 を特定することが可能となる。 下記の式は上記の関係を表わす。

$$I_{DDQ}(VLSI) = I_{DDQ}(B1) + I_{DDQ}(B2) + \text{-----} + I_{DDQ}(Bn)$$
$$= \Sigma I_{DDQ}(Block)$$

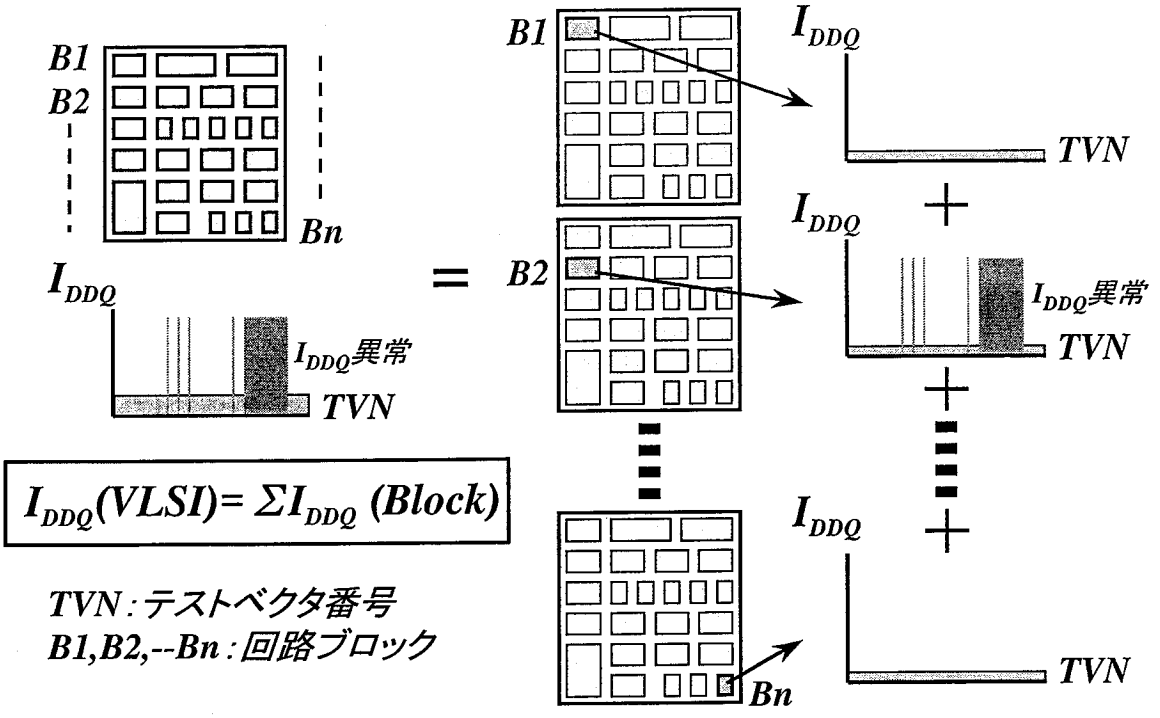



図 3.2 回路ブロックによる診断方法を説明する概略図

## 3.3 診断前処理

本節において、故障診断のデータとなる、VLSI を構成する各ブロックの *TVN* に対する入力論理情報と、$I_{DDQ}$ 異常を伴う *TVN* 情報の抽出方式について述べる。後者に関しては多様な $I_{DDQ}$ を伴う VLSI に対する二つのモードに対する識別方式について示す。

### 3.3.1 ブロックの入力論理情報の抽出

診断に用いる情報は入力論理情報である。図 3.3 は論理シミュレーションを用いて VLSI を構成するブロックごとの入力論理情報を抽出する流れを説明する図である。ブロックごとの入力論理情報を抽出するために必要なデータは、ブロックライブラリとしてあらかじめ登録されている各ブロックの回路機能情報（BL)、ブロック名とその端子に接続する配線名の接続情報（PWC)、そしてテストベクタ情報（Logpat）である。 PWC が有するブロック情報は 基本的な動作を有する下位回路ブロック（ゲート、ラッチ（Latch）回路、フリッ

プフロップ（Flip-Flop）回路等）と、高度な論理を有する上位回路ブロックからなる。上位回路ブロックには複雑な順序回路機能ブロックやマクロブロックがある。前者は複数のラッチ回路やフリップフロップ回路および、ゲート回路を組み合わせることで複雑な順序回路機能（例えば、シフトレジスタ（Shift-Resister）回路やカウンタ（Counter）回路等）を形成するブロックである。後者は設計効率を向上させるために基本動作を有する下位回路ブロックを何段にも組み合せていくことで大規模な論理を形成するブロックである。これらの階層化された上位回路ブロックはブロック展開操作（PWCexpd 処理）により下位回路ブロック単位に展開され、下位回路ブロック情報および、それらの入出力端子間をつなぐブロック接続情報に変換される。そして、下位ブロックおよび、それらの接続情報である PWC、Logpat と BL を用いて論理シミュレーション（CSIM）を行い、*TVN* ごとの各下位回路ブロックごとの入力論理表を出力する。

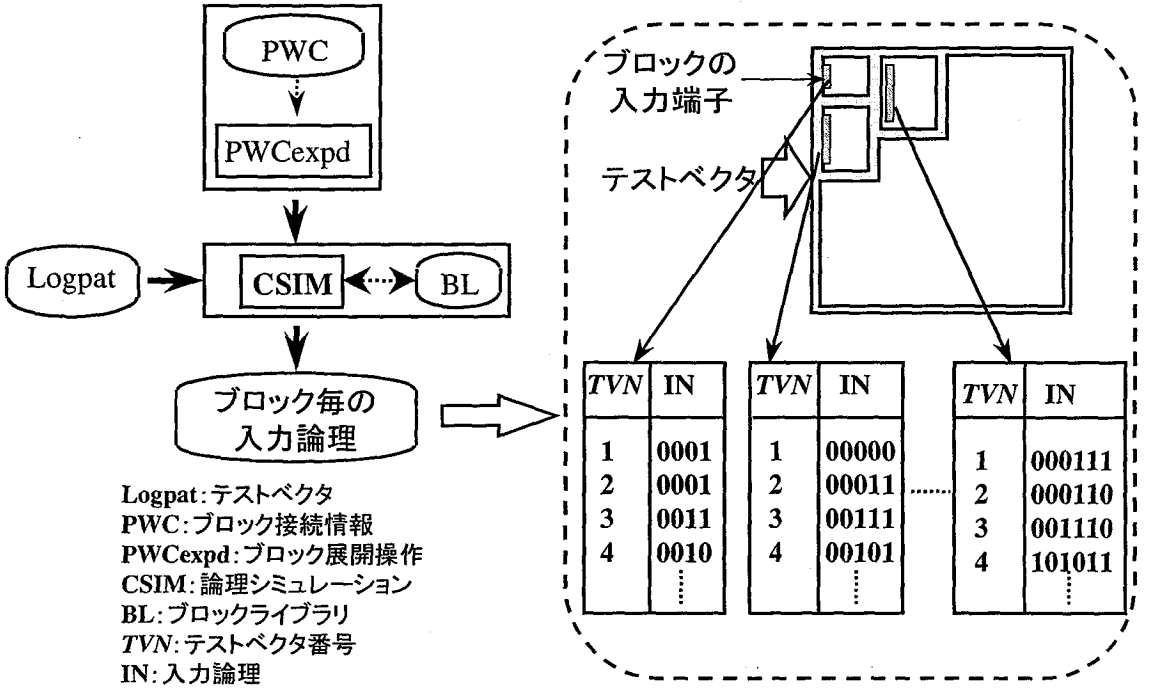
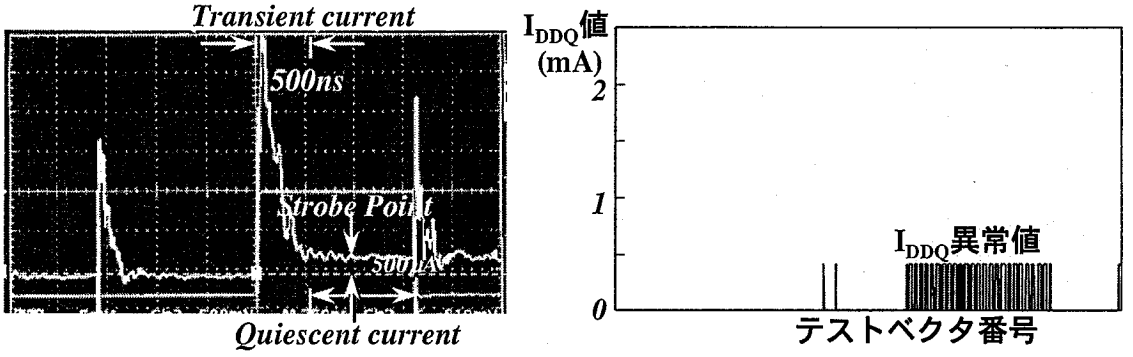



図 3.3 論理シミュレーションによるブロックの入力論理情報の抽出フロー図

### 3.3.2 $I_{DDQ}$ 異常を伴うテストベクタ番号の検出

テストベクタごとの $I_{DDQ}$ 異常の有無情報は故障 VLSI の入力端子よりテスト

ベクタを入力し、各テストベクタでの論理の静止状態における短絡電流値を測定することで得られる。 図 3.4 は 0.5μm 設計ルールを有する 100K ゲート CMOSLSI である。図 3.4(a) はオシロスコープによる論理の切替りごとの電源電流波形である。この VLSI において、ストローブ信号を 500ns 以降に設定し $I_{DDQ}$ 値を測定した。測定時間は 1 ベクタあたり約 20ms である（安藤電気社製、LSI テスタ MH930)。図 3.4(b) はその条件で測定された ***TVN*** ごとの $I_{DDQ}$ 値の変化を示すグラフであり、約 500μA の $I_{DDQ}$ 異常値を示している。この測定データはコンピュータ上で $I_{DDQ}$ 異常値を伴う ***TVN*** としてファイル化され、診断に用いられる。




(a) オシロスコープによる電源電流波形　　(b) ***TVN*** に対する $I_{DDQ}$ 値のグラフ

図 3.4 $I_{DDQ}$ 異常を示す ***TVN*** の抽出

次に、多様な $I_{DDQ}$ を有する VLSI の故障診断に対する $I_{DDQ}$ 異常値の識別方式について述べる。故障を伴う多様な $I_{DDQ}$ は二つのモードに分類される。一つは、正常状態でも大きな $I_{DDQ}$ を伴う VLSI 上に発生する故障に起因するモードであり、もう一つは複数の故障を伴う VLSI に発生するモードである。

### (1) 正常状態にて大きな $I_{DDQ}$ を伴う VLSI[73]-[76]

正常状態にて大きな $I_{DDQ}$ を伴うモードには、例えばプルアップ (Pull up) ／プルダウン (Pull down) 抵抗を伴う回路構造を有するモードがある。この構造はオープンドレイン(Open drain) 回路と呼ばれる回路構造に付加された抵抗であり、Nch-Tr のドレイン電極端子で終端しているときは $V_{DD}$ 電極と終端間にプルアップ抵抗を、Pch-Tr のドレイン電極端子で終端しているときは GND 電

極と終端間にプルダウン抵抗を装着することで複数の出力端子の並列接続を可能にする回路構成である。したがって、各々の終端部に“L”または“H”が印加されたとき、$V_{DD}$ から抵抗を介してオン状態の Nch-Tr へ、またはオン状態の Pch-Tr から抵抗を介して GND へ貫通通路が形成される。このような VLSI において、物理的欠陥に起因する異常値を含む全 $I_{DDQ}$ 値から $I_{DDQ}$ 異常値を識別する必要がある。そのため、良品との差分をとることで $I_{DDQ}$ 異常値を検出する方式を検討した。以下に $I_{DDQ}$ 異常値の検出手順を示す。

① VLSI 間の $I_{DDQ}$ 値のばらつきを抑える。そのために、ある ***TVN*** で $I_{DDQ}$ 異常を示す故障 VLSI において、正常な $I_{DDQ}$ 値を示す ***TVN*** での $I_{DDQ}$ 値と、良品 VLSI での同一 ***TVN*** での $I_{DDQ}$ 値との差を抽出する。

② 差分値を故障 VLSI の各 ***TVN*** での $I_{DDQ}$ 値に加算または減算し、$I_{DDQ}$ 値を補整することで 2 者間の整合をとる。

③ 整合された故障を伴う VLSI と正常 VLSI の $I_{DDQ}$ 値の差分を計算する。

以下に実例を用いて上述した抽出方式について説明する。

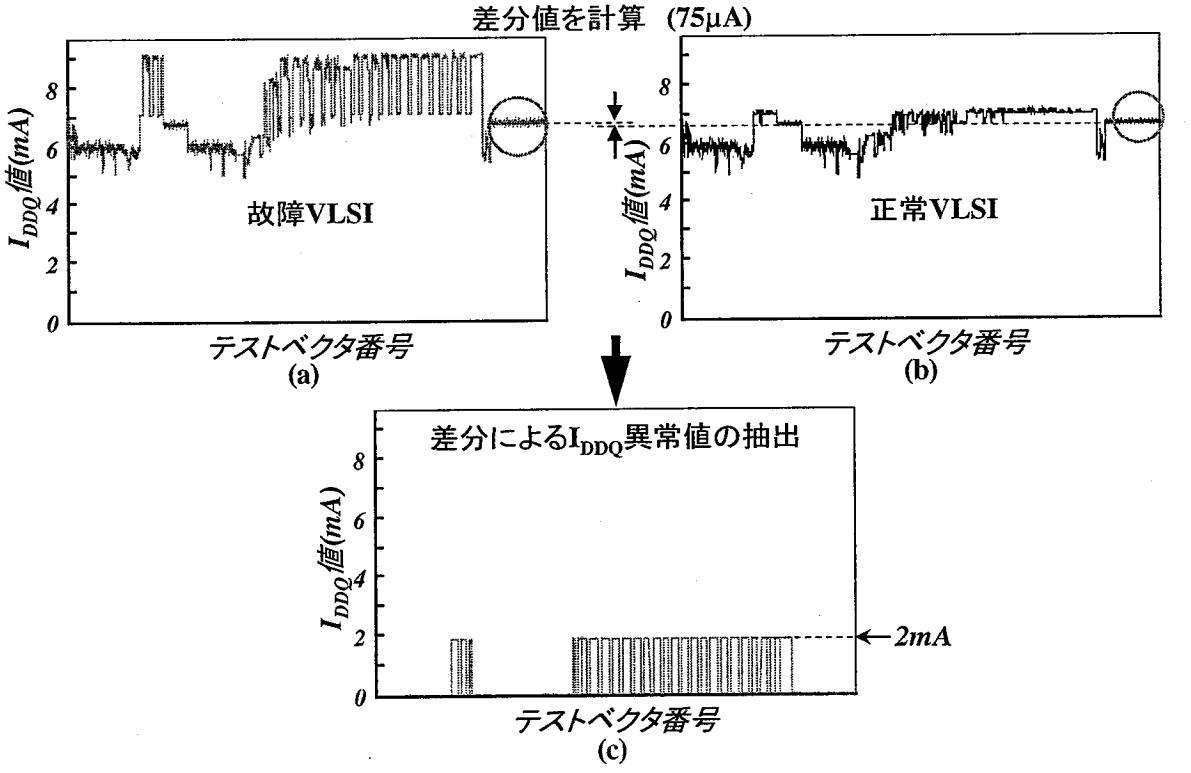



図 3.5 正常状態にて $I_{DDQ}$ が流れている VLSI の $I_{DDQ}$ 異常値の判定の様子

図 3.5 は上述した正常状態にて大きな $I_{DDQ}$ を伴う VLSI の故障品から $I_{DDQ}$ 異常値を識別する手順を示す説明図であり、図 3.5(a) は故障 VLSI の、図 3.5(b) は正常 VLSI の $I_{DDQ}$ 値と ***TVN*** の関係を示すグラフである。まず故障 VLSI の正常な $I_{DDQ}$ 値を示す ***TVN*** での $I_{DDQ}$ 値（図中○部）と正常 VLSI での同一 ***TVN*** での $I_{DDQ}$ 値（図中○部）を計算し、差分値（約 75μA）を抽出する（手順①）。この場合、故障 VLSI の $I_{DDQ}$ 値が正常 VLSI より多く流れているため、故障 VLSI の ***TVN*** 全体にわたり $I_{DDQ}$ 値を 75μA 減算し、正常 VLSI と整合をとる（手順②）。その後、***TVN*** ごとに故障品から正常品の $I_{DDQ}$ 値を減算処理することで差分を計算し、$I_{DDQ}$ 異常値を抽出する（手順③）。この結果、図 3.5(c) に示すように、約 2mA を有する $I_{DDQ}$ 異常値と ***TVN*** との関係を抽出することができる。

### (2) 複数の故障を伴う VLSI [73]-[76]

複数の故障が存在する VLSI の $I_{DDQ}$ 異常値の種類数から故障の数を識別することは困難である。この理由は、同一の故障を介した $I_{DDQ}$ の貫通通路は入力論理の違いにより異なる場合があるからであり、その時は異なった $I_{DDQ}$ 異常値を発生するからである。しかしながら、一つの $I_{DDQ}$ 異常値は少なくとも一種類の故障に対応している。このような多重故障を有する VLSI に対して、$I_{DDQ}$ 異常値を値ごとに分離することで診断が可能となる。以下に診断に用いる $I_{DDQ}$ 異常データ抽出の手順を示す。

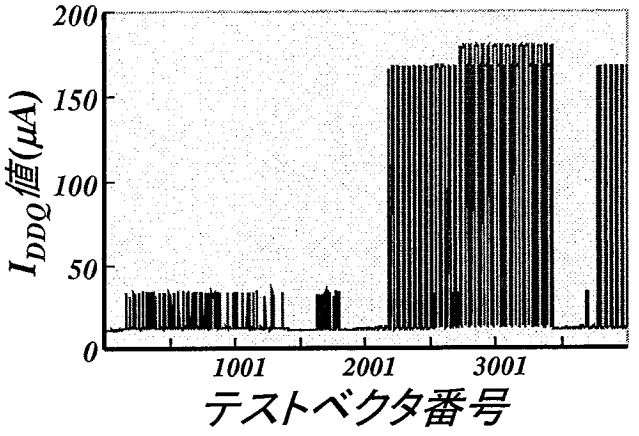
① LSI テスタにて測定した ***TVN*** ごとの $I_{DDQ}$ 値を、$I_{DDQ}$ 値順に並べ変える。ただし、正常状態にて大きな $I_{DDQ}$ を伴う VLSI は、前述したように、事前に良品との差分を計算することで ***TVN*** に対する $I_{DDQ}$ 異常値のデータを準備する。

② $I_{DDQ}$ 値ごとの集合から $I_{DDQ}$ 異常値の個数を確認する。

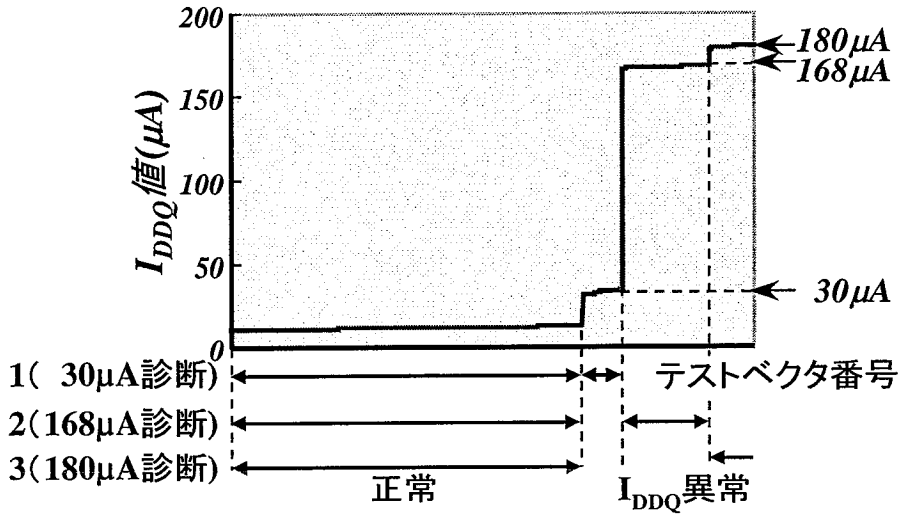
③ 測定対象となる ***TVN*** の集合から $I_{DDQ}$ 異常値を伴う ***TVN*** を除く。

④ ②にて抽出した $I_{DDQ}$ 異常値ごとの ***TVN*** の集合と、③にて抽出した正常状態の ***TVN*** の集合を診断データとして利用する。

以下に実例を用いて $I_{DDQ}$ 異常データ抽出手順について説明する。図 3.6 は複数の $I_{DDQ}$ 異常値を示す VLSI の ***TVN*** 対 $I_{DDQ}$ 値のグラフであり、図 3.6(a) は ***TVN*** ごとに $I_{DDQ}$ 値の様子を示す。まず、図 3.6(a) のデータを $I_{DDQ}$ 値順に並べ




(a) *TVN* ごとに $I_{DDQ}$ 値の様子




(b) $I_{DDQ}$ 値順に並べ変えたグラフ

図 3.6 複数の $I_{DDQ}$ 異常値を示す VLSI の *TVN* 対 $I_{DDQ}$ 値のグラフ

変える（手順①）。図 3.6(b) は $I_{DDQ}$ 値順に並べ替えたグラフであり、その形状から $I_{DDQ}$ 異常値の個数を確認する（手順②）。その結果、30μA、168μA、180μA の三種類の $I_{DDQ}$ 異常値の集合体が確認される。次に、全 *TVN* から三種類の $I_{DDQ}$ 異常値の *TVN* を除き、正常状態の *TVN* の集合を取り出す(手順③)。その後、$I_{DDQ}$ 異常値ごとの *TVN* と正常状態の *TVN* を診断データとして抽出する(手順④)。以上の手順により

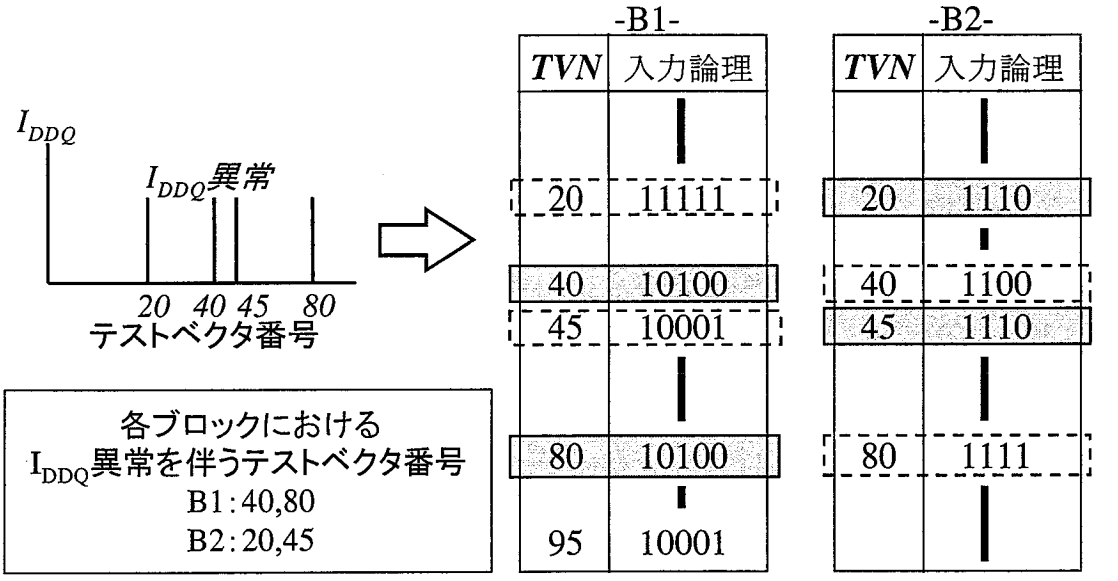
① 30μA の $I_{DDQ}$ 異常を伴う故障診断のために、30μA を示す *TVN* と正常状態の *TVN* が抽出される (図 3.6 (b) 中の 1)。

② 168μA の $I_{DDQ}$ 異常を伴う故障診断のために、168μA を示す *TVN* と正常状態の *TVN* が抽出される (図 3.6 (b) 中の 2)。

③ 180μA の $I_{DDQ}$ 異常を伴う故障診断のために、180μA を示す *TVN* と正常状態の *TVN* が抽出される (図 3.6 (b) 中の 3)。

その後、これらの①～③の診断グループごとに *TVN* を昇順に並べ替え、故障診断データとして用いる。

以上、複数の $I_{DDQ}$ 異常値を有する故障 VLSI の診断は各 $I_{DDQ}$ 異常値ごとに診断することにより、あたかも単一故障の診断のように実施することができる。ただし、本手法の欠点として異なるブロックに発生する同一の $I_{DDQ}$ 異常値を伴う故障 VLSI に対して正しい診断がなされない場合がある。図 3.7 は二つのブロックに同一の $I_{DDQ}$ 異常値を伴う故障 VLSI における誤診断の例である。




(図中、実線方形箇所は $I_{DDQ}$ 異常を伴う *TVN* を、点線方形箇所および、その他は $I_{DDQ}$ 正常箇所の *TVN* を示す)

図 3.7 二つのブロックに同一の $I_{DDQ}$ 異常値を伴う故障 VLSI の診断の説明図

ブロック B1 は *TVN 40,80* にて $I_{DDQ}$ 異常を伴い、ブロック B2 は *TVN 20,45* にて $I_{DDQ}$ 異常を伴うものとする。$I_{DDQ}$ 異常値は同一のため、ブロック B1、B2 はともに $I_{DDQ}$ 異常を伴う *TVN* として 20,40,45,80 を抽出する。後述する判定に従うと、ブロック B1 に注目した診断は $I_{DDQ}$ 異常を伴うとみなされる論理 (11111),

(10100), (10001) の一つ (10001) が正常状態での *TVN 95* に存在するため、正常と判定する。ブロック B2 に注目した診断は $I_{DDQ}$ 異常を伴うとみなされる論理 (1110), (1100), (1111) と同じ論理が正常状態に存在しないため、故障ブロックと判定する。以上、ともに故障ブロックであるが一方は正常ブロック、他方は故障ブロックと判定される。

## 3.4 故障ブロックの抽出[67]-[72]

ブロックの故障診断は、VLSI 全体を流れる $I_{DDQ}$ の測定から抽出される、$I_{DDQ}$ 異常を伴う *TVN* を用いて実施される。そして、論理シミュレーションにて得られた各ブロックの *TVN* ごとの入力論理から $I_{DDQ}$ 異常を伴う *TVN* における入力論理を抽出する。診断は、まず、それらの入力論理は $I_{DDQ}$ 異常を伴うと仮定する。その仮定のもとに、$I_{DDQ}$ 異常を伴う入力論理と同じ論理が正常状態における入力論理に存在するかどうか検索する方式である。

まず、$I_{DDQ}$ 異常を伴う *TVN* における入力論理と同一の論理が正常状態に存在するブロックを「正常ブロック」と判定する。この判定理由は、診断対象とするブロックは基本的に入力論理に対応して内部論理を一意的に決定する論理関係のためであり、一種類の入力論理が $I_{DDQ}$ 異常と正常という異なる内部論理状態を設定することは有りえないためである。すなわち、$I_{DDQ}$ 異常が検出された *TVN* における入力論理は $I_{DDQ}$ 異常を伴う内部論理を有するとした仮定が間違っているためである。

次に、$I_{DDQ}$ 異常を伴う *TVN* における入力論理が $I_{DDQ}$ 異常を示す *TVN* にしか存在しないブロックを「故障の可能性のあるブロック」と判定する。この判定理由は、入力論理に対応して内部論理を一意的に決定する論理関係のためであり、$I_{DDQ}$ 異常を伴うと仮定した *TVN* に対応する入力論理は常に $I_{DDQ}$ 異常を伴う *TVN* に存在し、仮定が正しいと判断されるからである。ここで故障の可能性のあるブロックと判定する理由は判定されたブロックに故障ブロックと正常ブロックが存在するためである。前者の故障ブロックは正しく判定されており問題はない。後者の正常ブロックを故障の可能性があるブロックと判定する理由は、$I_{DDQ}$ 異常を伴う *TVN* における入力論理は $I_{DDQ}$ 異常を伴うとした仮定の

もとで診断したためであり、この仮定に基づいて、入力論理に対応して内部論理を一意的に決定する論理関係を満足すれば故障ブロックとみなすためである。このように見掛け上故障ブロックと判定される正常ブロックには、故障ブロックの入力論理と同一の論理が入力するブロックや故障ブロックの入力論理の変化に同期した論理が入力するブロックなどがある。

以上、診断の基本的な考え方を述べたが、診断方式は回路形式が組合せ回路であるか順序回路であるかによって異なる。本節ではまず、回路形式の識別方法を紹介した後、組合せ回路の診断方法、次に順序回路の診断方法を述べる。

### 3.4.1 回路形式の識別

診断前に、診断ブロックの回路形式が識別される。方法は各ブロックに対応するブロック回路名で回路形式を識別する方法である。すなわち、あらかじめ順序回路のブロック回路名を登録したファイル（SEQ）を準備しておき、診断前に各ブロックは SEQ にブロック回路名が存在するかどうか参照にいく。そして存在しなければ組合せ回路、存在すれば順序回路と識別される。

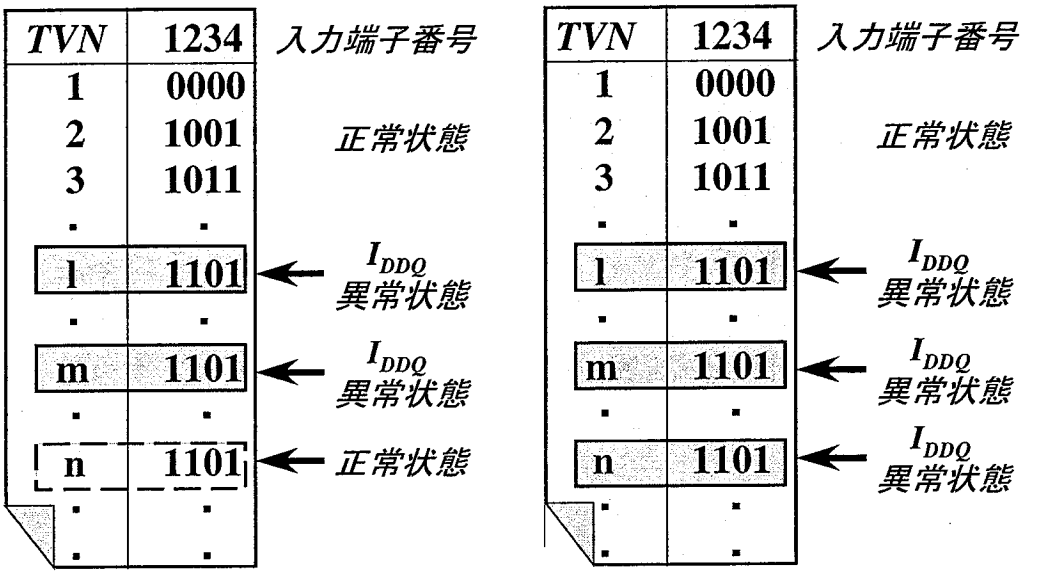
### 3.4.2 組合せ回路の故障ブロック抽出方式

組合せ回路に対する故障ブロック抽出方式は、前述したように $I_{DDQ}$ 異常値を有する ***TVN*** における入力論理と同一の論理が 正常状態に存在するかどうかを検索する方法であり、存在すれば正常ブロック、存在しなければ故障の可能性のあるブロックとして抽出する方式である。以下に例を示して説明する。

図 3.8 は 4 入力を有する組合せ回路ブロックの ***TVN*** 順に変化する入力論理テーブルである。図 3.8(a) は $I_{DDQ}$ 異常を有する ***TVN l,m***（図中、実線方形箇所）での入力論理 (1101) と同一の論理が正常状態での ***TVN n***（図中、点線方形箇所）に存在していることを示す。そのため、このブロックは正常であると判定する。この理由は前述したように、組合せ回路は入力論理に対応して内部論理を一意的に決定する論理関係のため、入力論理 (1101) が $I_{DDQ}$ 異常状態と正常状態という異なる内部論理を設定することは有り得ないためである。すなわち、入力論理 (1101) が $I_{DDQ}$ 異常を伴うとした仮定が間違っているためである。

図 3.8(b) は $I_{DDQ}$ 異常を有する ***TVN l,m,n***（図中、実線方形箇所）での入力論

理(1101)と同一の論理が正常状態に存在していないことを示す。そのため、このブロックは故障の可能性ありと判定される。この理由は、上述した論理関係のためであり、入力論理 (1101) は常に $I_{DDQ}$ 異常を伴うという、一意的に決定された内部論理状態を有するためである。




(a) 正常ブロック　　(b) 故障の可能性のあるブロック

(図中、実線方形箇所は $I_{DDQ}$ 異常箇所を、点線方形箇所および、その他は $I_{DDQ}$ 正常箇所を示す)

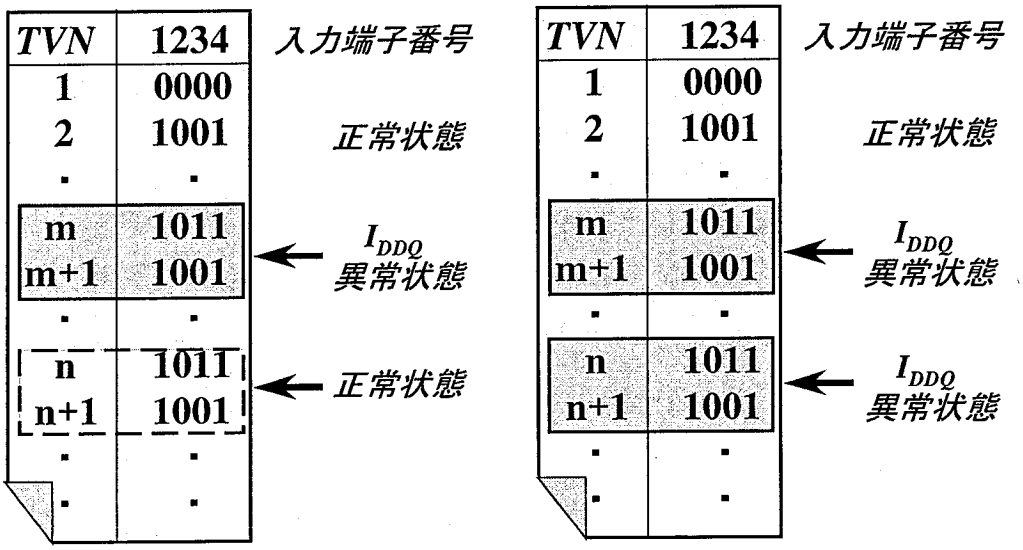
図 3.8 組合せ回路ブロックの診断

### 3.4.3 順序回路の故障ブロック抽出法

上位の順序回路ブロックは 3.3 節にて述べたように、PWCexpd 操作によりゲート回路や基本的な順序回路に展開される。そして、展開された各々の回路は回路形式に応じて診断される。したがって、診断の対象となる順序回路は単一のメモリ機能を有する、ラッチ回路やフリップフロップ回路などの下位の順序回路ブロックである。

順序回路に対する故障ブロック抽出方式は基本的に組合せ回路と同じであるが $I_{DDQ}$ 異常が連続した *TVN* に対して発生しているときはその連続した *TVN* での入力論理を 1 つの集合体として、その集合体の論理と同一の論理が正常状

態に存在するかどうかを検索する方法である。その理由は診断の対象となる順序回路はクロック（Clock）に同期してデータ（Data）を入力と同時に保持し、次に出力する、基本的なメモリ機能を有するブロックのためであり、それ以前の *TVN* での入力論理の履歴に影響を受けないからである。そして、検索結果、存在すれば正常ブロック、存在しなければ故障の可能性のあるブロックとして判定される。以下に例を示して説明する。




(a) 正常ブロック　　(b) 故障の可能性のあるブロック

（図中、実線方形箇所は $I_{DDQ}$ 異常箇所を、点線方形箇所および、その他は $I_{DDQ}$ 正常箇所を示す）

図 3.9 順序回路ブロックの診断

図 3.9 は 4 入力を有する順序回路ブロックに注目した、*TVN* 順に変化する入力論理テーブルである。図 3.9(a) は $I_{DDQ}$ 異常を有する連続した *TVN m,m+1*（図中、実線方形箇所）での入力論理 (1011), (1001) が正常状態での連続した *TVN n,n+1*（図中、点線方形箇所）に存在していることを示す。そのため、このブロックは正常であると判定する。この理由は $I_{DDQ}$ 異常を伴う連続した *TVN* での入力論理に対応してデータを保持し、出力する回路形式のためであり、連続した入力論理 (1101), (1001) が $I_{DDQ}$ 異常状態と正常状態という異なる内部論理を設定することは有り得ないためである。すなわち、連続した *TVN* での入力

論理 (1011), (1001) が $I_{DDQ}$ 異常を伴うとした仮定が間違っているためである。

図 3.9(b) は $I_{DDQ}$ 異常を有する連続した *TVN* *m,m+1* および、*n,n+1* （図中、実線方形箇所）での入力論理 (1011), (1001) と同一形態の論理が正常状態に存在していないことを示す。そのため、このブロックは故障の可能性ありと判定される。その理由は連続した入力論理(1011), (1001)は常に $I_{DDQ}$ 異常を伴う内部論理状態を有するためである。

以上、下位の順序回路ブロックの診断方式に関して記述したが 実際の VLSI 診断においては、さらに、以下に述べる工夫が必要である。

### (1) $I_{DDQ}$ 異常を伴う連続した *TVN* での診断の工夫

上述した診断は $I_{DDQ}$ 異常を伴う連続した *TVN* における入力論理群を 1 つの集合として、同一の入力論理集合が正常状態に存在するか検索する診断方式であるが、その連続ベクタ数が大きいとき（最大で 1000 ベクタ以上連続する場合がある)、その集合の最初の連続した数ベクタの入力論理集合（プログラムにて任意のベクタ数を指定するようになっている）と同一の論理集合が正常状態に存在するか探索し、存在すればブロックを正常と判定する（図 3.10)。この理由は、単一のメモリ機能を有する順序回路において、$I_{DDQ}$ 異常を伴う論理はベクタ長に関係なく最初の連続した数ベクタでも $I_{DDQ}$ 異常が検出されるからである。実際の診断において、$I_{DDQ}$ 異常を伴う連続ベクタ中、最初の連続 3 ベクタを用いた診断において、正確な診断がなされることが確認されている。

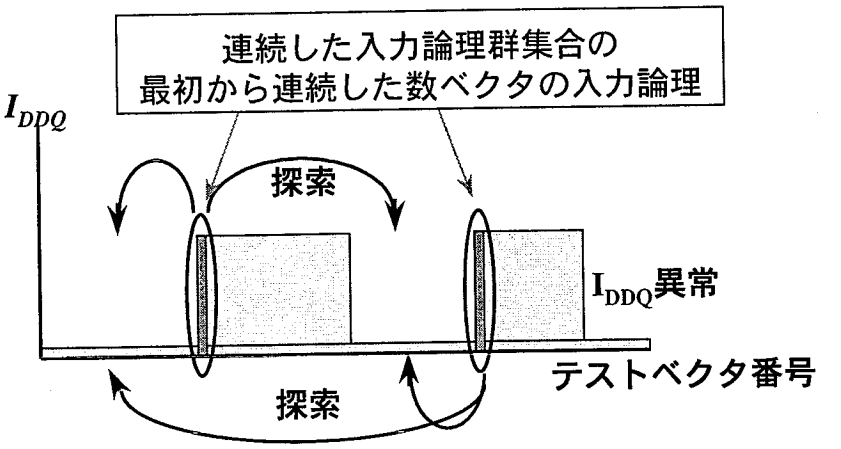
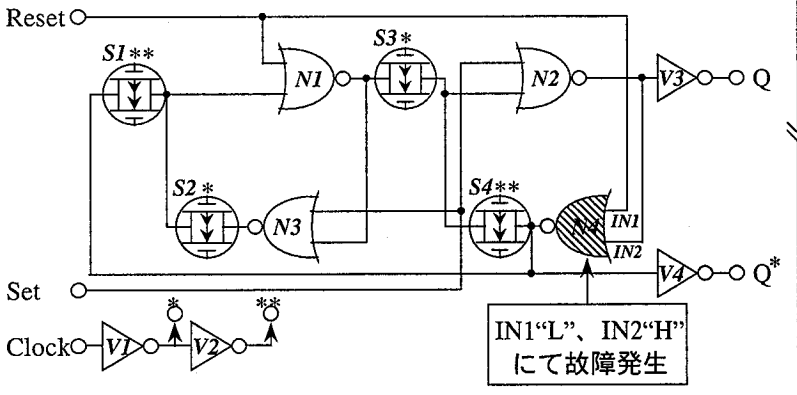



図 3.10 $I_{DDQ}$ 異常を伴う連続した *TVN* を有する VLSI の例

## (2) 回路形態に依存する診断アルゴリズムの工夫

上述した順序回路の診断方式は万能ではなく、回路形態に応じた工夫を必要とするものがある。例えば、図 3.11 に示すように、セット・リセット付きトグル・フリップフロップ回路（With Set and Reset, Toggle-FlipFlop: S.R.T-F/F）はセットおよび、リセット端子に任意の論理を印加することで動作状態にし、クロック入力信号の 1 周期ごとに論理を反転させて出力する回路であり、データ入力の端子はない。このような回路の診断は入力論理情報のみにて誤った判定をおこなう。 そのような回路に対し、入力と出力論理の組合せを診断データとして用いることで内部論理状態の違いを検出し、診断を正しく行わせることが可能となる。このような動作状態はブロックの真理値表より事前に判断できるため、3.3.1 節におけるブロックごとの入力論理を抽出する操作時に、ブロック回路名の指定（CSIM 実行時にオプション機能として組み込まれている）を行うことで入出力論理値が抽出される。以降、診断は抽出された論理形態に関係なく実行される。以下に、S.R.T-F/F を用いた具体的な判定例を示す。




（N:2入力NOR回路、S:スイッチング回路、V:インバータ回路）

(a) S.R.T-F/F 回路

| TVN | Clock | Reset | Set | Q | Q* |
|---|---|---|---|---|---|
| 1 | x | 1 | 1 | 1 | 1 |
| 2 | x | 1 | 0 | 0 | 1 |
| 3 | x | 0 | 1 | 1 | 0 |
| t1 | 0 | 0 | 0 | 0 | 1 |
| t2 | 1 | 0 | 0 | 1 | 0 |
| t3 | 0 | 0 | 0 | 1 | 0 |
| t4 | 1 | 0 | 0 | 0 | 1 |
| t5 | 0 | 0 | 0 | 0 | 1 |
| t6 | 1 | 0 | 0 | 1 | 0 |
| t7 | 0 | 0 | 0 | 1 | 0 |

*TVN* : テストベクタ番号
（← $I_{DDQ}$異常発生）

(b) 論理テーブル

図 3.11 セット・リセット付きトグルフリップフロップ回路の診断例

図 3.11(a) は、4 個のインバータ回路（V1,V2,V3,V4）、4 個の 2 入力 NOR 回路（N1,N2,N3,N4）および、4 個のスイッチング回路（S1,S2,S3,S4）から構成される 3 入力(Reset 端子、 Set 端子、Clock 端子)と 2 出力(Q, Q*)の端子群を有する S.R.T-F/F の回路図であり、図 3.11(b) はその論理テーブルである。ここで、

Q* はQの反転論理を意味する。S.R.T-F/F内部の2入力NOR回路（N4）の入力端子 IN1 に“L”が IN2 に“H”が入力したとき、$I_{DDQ}$ 異常が発生する故障を仮定する。したがって $I_{DDQ}$ 異常が発生する入出力論理は論理テーブルより (Clock, Reset, Set, Q, Q*) ＝ (X,0,1,1,0)、(1,0,0,1,0)、(0,0,0,1,0) のときである。入力論理を用いた診断においては、$I_{DDQ}$ 異常を伴う連続した論理群{(1,0,0)、(0,0,0)}と同一論理が正常状態を示す ***TVN t4, t5*** に存在するため、ブロックは正常と誤判定される。しかしながら、上述した入出力論理を用いた診断において $I_{DDQ}$ 異常を伴う連続した論理群 {(1,0,0,1,0)、(0,0,0,1,0)} と同一論理群は正常状態に存在しないため、ブロックは故障の可能性ありとして判定される。以上のように、***TVN*** ごとの入力と出力端子の論理情報を用いることで 提案した診断方式の使用を可能にする。

以上、順序回路ブロックの診断において、上述した工夫を行うことでより精度の高い診断が可能となる。

## 3.5 故障箇所の特定[67],[68],[77]

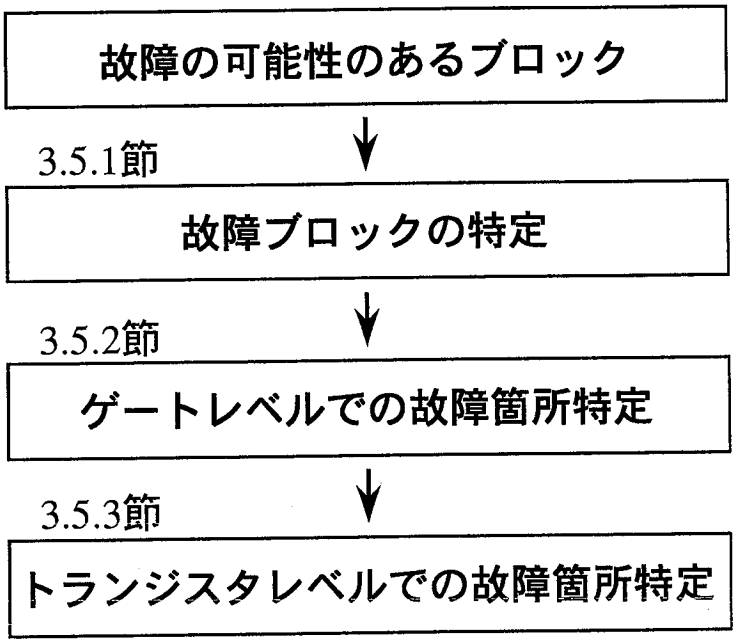



図 3.12 ブロック内故障箇所の診断フロー

図 3.12 は $I_{DDQ}$ 異常情報を用いて抽出された故障の可能性のあるブロックから $I_{DDQ}$ 異常の有無の入力論理情報を用いて故障ブロックを選別し、次にその故障ブロックを構成するゲートレベルの故障箇所の特定を、そして特定したゲートを構成するトランジスタレベルの故障箇所を特定する診断手順を示す。図 3.12 中、各枡の左上の番号はその項目を説明する節の番号を示す。

### 3.5.1 故障ブロックの特定

故障個所の絞り込みを行う前にまず擬似的な故障ブロックを除去し、真の故障ブロックを特定しなければならない。ブロック単位の診断により抽出されたブロックは４通りの“入力論理と $I_{DDQ}$ 異常値の関係”に分類される。

① 入力論理：一種類、$I_{DDQ}$ 異常値：一種類------ 判定：故障ブロック

② 入力論理：複数種、$I_{DDQ}$ 異常値：一種類------ 判定：故障ブロック

③ 入力論理：一種類、$I_{DDQ}$ 異常値：複数種------ 判定：正常ブロック

④ 入力論理：複数種、$I_{DDQ}$ 異常値：複数種------ 判定：①、②、③のいずれかに分類される

以上のケースに関して、組合せ回路での判定理由を示す。

① このケースは一種類の入力論理に対して一種類の $I_{DDQ}$ 異常値が対応する場合であり、この場合は故障ブロックと判定する。その理由は一種類の入力論理に対してブロック回路の内部論理が一意的に決定されるためである。

② このケースは複数種の入力論理に対し、一種類の $I_{DDQ}$ 異常値が対応する場合であり、この場合は故障ブロックと判定する。その理由は複数種の入力論理に対してブロック内部の共通の箇所が駆動される場合であり、一種類の $I_{DDQ}$ 異常値はその共通箇所の故障に起因していると考えられるためである。

③ このケースは一種類の入力論理に対して、異なる複数の $I_{DDQ}$ 異常値が対応している場合であり、このケースは正常ブロックと判定する。その理由は、一種類の任意の入力論理に対して、ブロック回路の内部論理は一意的に決定されるためであり、異なった内部論理状態に起因する複数種の $I_{DDQ}$ 値に対応することは有り得ないからである。

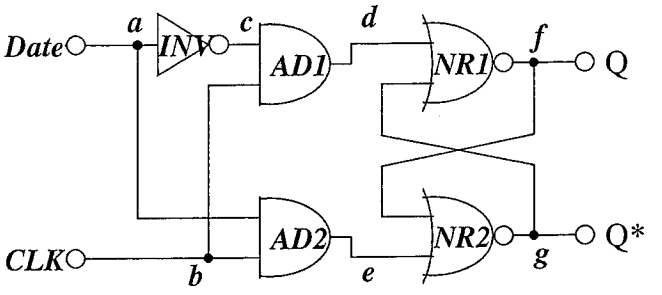
④ このケースは複数個の $I_{DDQ}$ 異常値は各値ごとに分類され、ブロック診断が行われる（3.3.2 節(2) 参照)。したがって、入力論理と $I_{DDQ}$ 異常値の関係は①、②、③のいずれかに分類され、判定がなされる。

以上、組合せ回路に対する 4 通りの“入力論理と $I_{DDQ}$ 異常値の関係”から故障ブロックを絞り込む方式を説明してきたが、順序回路においても $I_{DDQ}$ 異常を伴う連続した入力論理を集合体として診断することで同一結果をもたらす。

### 3.5.2 ゲートレベルでの故障箇所の特定

ゲートレベルの故障箇所の特定は、まず故障として抽出された下位回路ブロックをゲート単位に分解する。つぎに分解された各ゲートに対して、$I_{DDQ}$ 異常を伴う ***TVN*** での入力論理と同一の入力論理が正常状態に存在するかどうか検索を行う。そして存在すれば正常ゲートと判定され、存在しなければ故障ゲートと判定される。この判定理由はブロックの診断時の理由と同じである。

以下に、図 3.13 に示す D タイプ・フリップフロップ (DF/F) の順序回路ブロックを用いて、ゲートレベルの故障箇所の特定方式を示す。図 3.13(a) は 1 個のインバータ回路（INV)、2 個の 2 入力 AND 回路（AD1、AD2）および、2 個の 2 入力 NOR 回路（NR1、NR2）から構成される 2 入力 (D: Date 端子、CLK: Clock 端子)と 2 出力 (Q、Q*) の端子群を有する DF/F の回路図であり、図 3.13(b) は DF/F 回路を構成する各内部ゲートの入力端子対応表である。INV は(a)、AD1 は (b, c)、AD2 は (a, b)、NR1 は (d, g)、そして NR2 は (e, f) の入力端子が対応する。図 3.13(c) は DF/F の論理テーブルを示す。$I_{DDQ}$ テストにおいて、***TVN*** *(6,7,10,11,12,13)* に $I_{DDQ}$ 異常が検出されたとする。まず、各ゲート回路の入力論理と $I_{DDQ}$ 異常の関係を探索する。その内、INV, AD1, AD2 は $I_{DDQ}$ 異常を示す入力論理と同一の入力論理が正常状態に存在するため正常ゲートと判定される。しかしながら、NR1 は $I_{DDQ}$ 異常を示す入力論理(0,0)と同一の入力論理が正常状態に存在せず、また NR2 は $I_{DDQ}$ 異常を示す入力論理(1,0)および、(1,1)と同一の入力論理が正常状態に存在しないため、故障の可能性のあるゲートとして抽出される。以上の診断において、5 個の内部ゲート中、NR1 と NR2 が故障の可能性のあるゲートとして特定された。




(a) Dタイプフリップフロップ回路図

| | |
|---|---|
| *INV :Inverter gate* | *Input(a)* |
| *AD1 :2-input AND gate* | *Input(b,c)* |
| *AD2 :2-input AND gate* | *Input(a,b)* |
| *NR1 :2-input NOR gate* | *Input(d,g)* |
| *NR2 :2-input NOR gate* | *Input(e,f)* |

(b) 各ゲートの入力論理対応表

| *TVN* | a | b | c | d | e | f | g |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 0 | 1 | 0 | 0 | Q | Q* |
| 2 | 0 | 1 | 1 | 1 | 0 | 0 | 1 |
| 3 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 4 | 0 | 1 | 1 | 1 | 0 | 0 | 1 |
| 5 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 6 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| 7 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 8 | 0 | 1 | 1 | 1 | 0 | 0 | 1 |
| 9 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 10 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| 11 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 12 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 13 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |

(←$I_{DDQ}$異常発生)

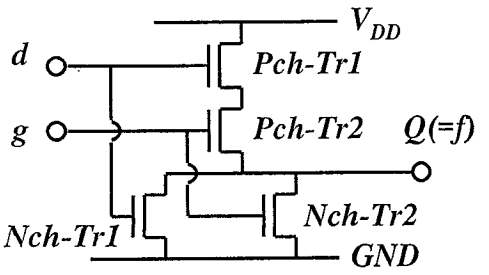
(c) 論理テーブル

図 3.13 ゲートレベルの故障箇所の特定例

### 3.5.3 トランジスタレベルでの故障箇所の特定

トランジスタレベルでの故障箇所の特定は抽出された故障の可能性のあるゲートの入力論理テーブルをもとに実施される。まず $I_{DDQ}$ 異常を伴う入力論理と正常な入力論理に分類される。その後入力論理テーブルをもとに異常箇所が特定される。

以下に、図 3.13 に示す DF/F を用いて、トランジスタレベルの故障箇所の特定方式を示す。特定された 2 入力 NOR 回路 (NR1、NR2) に対してトランジスタレベルの絞り込みが行われる。図 3.14 は NR1 回路に対するトランジスタレベルの絞り込み説明図である。図 3.14(a) は 2 個の Pch-Tr と 2 個の Nch-Tr から構成される NR1 回路のトランジスタレベルの回路図である。図 3.14(b) は NR1 回路の論理テーブルであり、ゲートレベルにおける診断結果は端子 (d,g,f) に(0,0,1) が印加されたとき $I_{DDQ}$ 異常を発生する様子を示している。したがって、この $I_{DDQ}$ 異常は論理シミュレーションより 2 個の Nch-Tr (図中 Nch-Tr1 および Nch-Tr2) または、どちらかの Nch-Tr がノーマリーオン状態もしくは出力端子と GND 間があるインピーダンスをもって短絡しているとき $I_{DDQ}$ 異常が発生すると推定される。



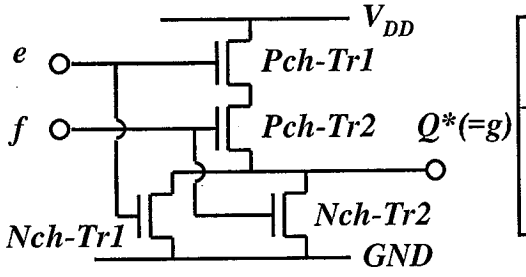

| d g f | Pch -Tr1 | Pch -Tr2 | Nch -Tr1 | Nch -Tr2 | |
|---|---|---|---|---|---|
| 0 0 1 | on | on | N-on | N-on | $I_{DDQ}$異常 |
| 0 1 0 | on | off | N-on | on | |
| 1 1 0 | off | off | on | on | |

(N-on:ノーマリオン状態)

(a) トランジスタレベルの回路図　　(b) 論理テーブル

図 3.14 NR1 の回路および、入出力論理テーブル

図 3.15 は NR2 回路に対するトランジスタレベルの絞り込み説明図である。図 3.15(a) は 2 個の Pch-Tr と 2 個の Nch-Tr から構成される NR2 回路のトランジスタレベルの回路図である。図 3.15(b) は NR2 回路の論理テーブルであり、ゲートレベルにおける診断結果は端子 (e,f,g) に (0,1,0) および (1,1,0) が印加されたとき $I_{DDQ}$ 異常を発生する様子を示している。したがって、この $I_{DDQ}$ 異常は論理シミュレーションより 2 個の Pch-Tr（図中 Pch-Tr1 および Pch-Tr2）または、どちらかの Pch-Tr がノーマリーオン状態もしくは出力端子と $V_{DD}$ 間があるインピーダンスをもって短絡しているとき、$I_{DDQ}$ 異常が発生すると推定される。




| e f g | Pch -Tr1 | Pch -Tr2 | Nch -Tr1 | Nch -Tr2 | |
|---|---|---|---|---|---|
| 0 0 1 | on | on | off | off | |
| 0 1 0 | on | N-on | off | on | $I_{DDQ}$異常 |
| 1 1 0 | N-on | N-on | on | on | |

(N-on:ノーマリオン状態)

(a) トランジスタレベルの回路図　　(b) 論理テーブル

図 3.15 NR2 の回路および、入出力論理テーブル

以上、診断結果、故障と推定される箇所は DF/F を構成している 2 個の 2 入力 NOR 回路（NR1,NR2）である。そして、NR1 では Nch-Tr1 と Nch-Tr2 の少なくとも 1 個がノーマリーオン状態もしくは出力端子と GND 間の短絡、NR2

では Pch-Tr1 と Pch-Tr2 の少なくとも 1 個がノーマリーオン状態もしくは出力端子と $V_{DD}$ 間の短絡となる4箇所が故障の可能性のある個所として特定される。

## 3.6 評価

以上述べた診断方式を実際の VLSI に適用し、評価を行った。サンプルは 0.5 $\mu$m ルールにて設計された 3 層配線構造を有する約 100K ゲートのゲートアレイ品であり、最大 8 層の階層設計構造を有している。

### (1) 診断データの抽出

まず、VLSI を 10,622 個の下位回路ブロックに展開し、全ブロックの入力論理ベクタを抽出した。次に、テストベクタごとの $I_{DDQ}$ 値を LSI テスタを用いて測定し、$I_{DDQ}$ 異常値を有する ***TVN*** を抽出した。本 VLSI は正常状態で約 9mA の $I_{DDQ}$ を有する。したがって、真の $I_{DDQ}$ 異常値はあらかじめ測定してある正常 VLSI の $I_{DDQ}$ 値と本故障 VLSI の $I_{DDQ}$ 値との差分を計算することで抽出された。図 3.16 は正常 VLSI と故障 VLSI の $I_{DDQ}$ 値および、その差分である $I_{DDQ}$ 異常値を表示した "***TVN*** 対 $I_{DDQ}$ 値" の関係を示すグラフである。図より明らかなように、$I_{DDQ}$ 異常値は約 1mA と 2mA に二分されている。したがって、診断は二種類の $I_{DDQ}$ 異常値の各々にて実施された。

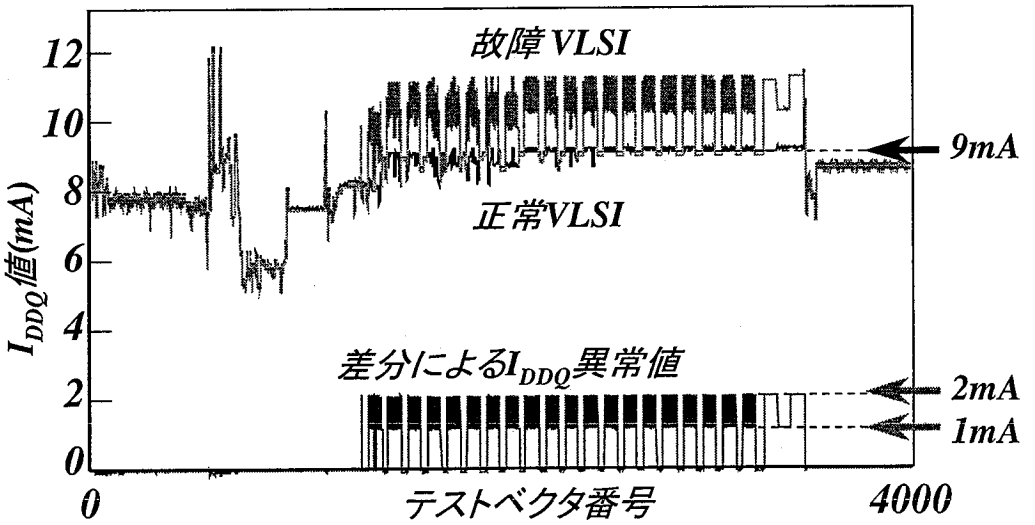



図 3.16 ***TVN*** 対正常 VLSI、故障 VLSI の $I_{DDQ}$ 値および、$I_{DDQ}$ 異常値

## (2) 故障診断

異常テストベクタは 4000 パターンまでの間に集中しているため、診断は 1 から 4000 ベクタ間に限定して行った。その結果、$I_{DDQ}$ 異常値 1mA および、2mA の診断において、ともに同一の、故障の可能性のある 4 個のブロック (U53,U54,U372,U379) を抽出した。その結果を表 3.1 に示す。リストは順に、故障の疑いのあるブロックが属する階層構造名、下位回路ブロックの基本ブロック回路名そして、そのブロックの原点座標(単位：μm) と配置方向を示す。

表 3.1 故障ブロック診断結果

－$I_{DDQ}$ 異常値 1mA の診断結果－

| Hierarchical structure(*1) | Primitive circuit name | Coordinate (Xμm,Yμm) | Direction(*2) |
|---|---|---|---|
| E000/SHIF_INSTANCE/U53 | L424 | (6626.10 5041.60) | S |
| E000/SHIF_INSTANCE/U54 | L424 | (6650.90 5041.60) | S |
| E000/FLGKEN_INSTANCE/U372 | L424 | (7196.50 4297.60) | S |
| E000/FLGKEN_INSTANCE/U379 | L424 | (7196.50 4235.60) | FN |

－$I_{DDQ}$ 異常値 2mA の診断結果－

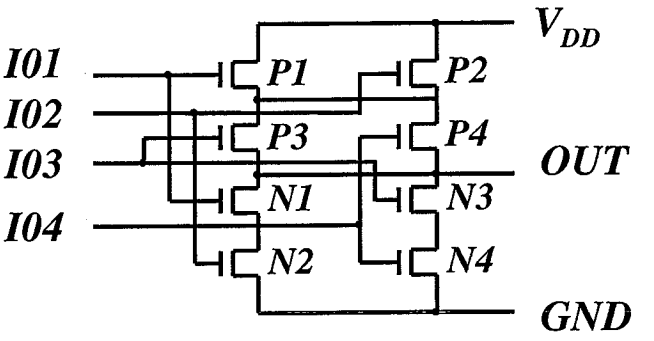
| Hierarchical structure(*1) | Primitive circuit name | Coordinate (Xμm,Yμm) | Direction(*2) |
|---|---|---|---|
| E000/SHIF_INSTANCE/U53 | L424 | (6626.10 5041.60) | S |
| E000/SHIF_INSTANCE/U54 | L424 | (6650.90 5041.60) | S |
| E000/FLGKEN_INSTANCE/U372 | L424 | (7196.50 4297.60) | S |
| E000/FLGKEN_INSTANCE/U379 | L424 | (7196.50 4235.60) | FN |

*1：階層構造は階層別に上位回路ブロック名から下位回路ブロック名へと記述されている。

*2：配置方向 S はブロック原点に対して South 方向へ、配置方向 FN はブロック原点の Y 軸に対して North 方向がミラー反転した方向への配置を示す(図 5.5 参照)。

### (3) 故障ブロックの特定

抽出された4個のブロックのブロック回路名はすべてL424(2wide,2-2-INPUT AND-OR-Inverter) であった。L424 回路図を図 3.17 に示す。故障ブロックの特定のために、まず、4 個のブロックの入力論理と $I_{DDQ}$ 異常発生の関係を調査した。その結果、1 個のブロック(U54)のみ、二種類の入力論理に対し各々1mA と 2mA の $I_{DDQ}$ 異常値が対応しており、故障ブロックとして特定された。他の 3 ブロック(U53,U372,U379)は一種類の入力論理に対して二種類の $I_{DDQ}$ 異常状態 (1mA と 2mA) が混在しており、入力論理に対する内部論理が一意的に決定する組合せ回路の特徴から正常ブロックであることが判明した(3.5.1 節参照)。




(図中、P1～P4 は Pch-Tr1～Pch-Tr4 を、N1～N4 は Nch-Tr1～Nch-Tr4 を示す)

図 3.17 L424"2wide,2-2-INPUT AND-OR-Inverter"の回路図,

抽出された故障ブロック(U54) の故障個所の抽出を行った。論理テーブルを作成し、まず 1～4000 テストベクタにおいて印加された入力論理と $I_{DDQ}$ 異常値を示す表を作成した。図 3.18 は論理の変化に対する $I_{DDQ}$ 異常値の変化を示す。

| | I01 | I02 | I03 | I04 | $I_{DDQ}$ |
|---|---|---|---|---|---|
| 1 | 1 | 1 | 0 | 1 | 1mA |
| 2 | 1 | 1 | 0 | 0 | 2mA |

図 3.18 故障ブロック(U54) の入力論理と $I_{DDQ}$ 異常値の関係

### (4) 故障箇所の特定

本ブロックにおいて入力論理(1101)および(1100)にて $I_{DDQ}$ 異常値 1mA および 2mA が発生していた。このデータをもとに貫通電流通路をシミュレーションしたところ Pch-Tr1, Pch-Tr2 の少なくとも 1 個がノーマリオン状態または、ソースとドレイン間の短絡パスが発生していることが推定された。図 3.19 は推定された短絡電流の通路を示す。

**1. *Pch-Tr1 or Pch-Tr2*--> Pch-Tr3 -->Nch-Tr1-->Nch-Tr2**
**2. *Pch-Tr1 or Pch-Tr2*-->Pch-Tr3//Pch-Tr4-->Nch-Tr1-->Nch-Tr2**

図 3.19 短絡電流通路の推定

### (5) 物理解析との照合

ブロック(U54)の Pch-Tr1、Pch-Tr2 のトランジスタを解析した。その結果、Pch-Tr1 のゲート電極コンタクト部が開孔されておらず、オープン状態であることが検出された。図 3.20 に Pch-Tr1 のゲート電極コンタクト部の SEM 像を示す。この解析結果は Pch-Tr1 がノーマリオン状態である推定と一致した。

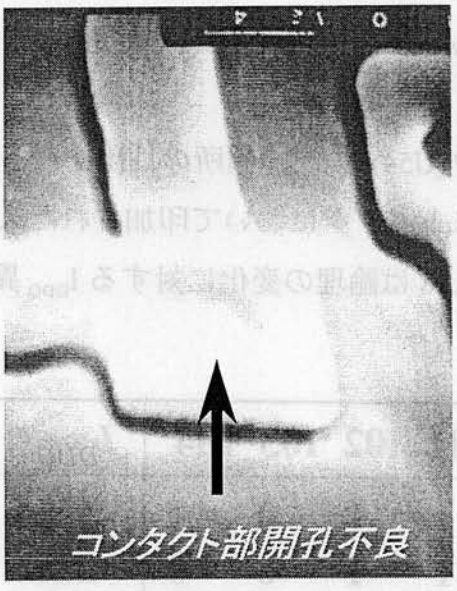



図 3.20 Pch-Tr1 のゲート電極のオープン状態の SEM 像

### (6) $I_{DDQ}$異常値の考察

以上の故障解析結果より$I_{DDQ}$異常値の考察を行う。 図 3.17 に示す回路図より、Pch-Tr1 がノーマリオン状態のとき、短絡パスは入力論理(1101)において Pch-Tr1→Pch-Tr3→Nch-Tr1→Nch-Tr2、また入力論理(1100)において Pch-Tr1→Pch-Tr3//Pch-Tr4→Nch-Tr1→Nch-Tr2（//：並列）となる。 解析対象となるインバータ回路の Zp と Zn の関係は約 Zp=(1.5)・Zn である。

入力論理(1101)が入力したときの貫通通路インピーダンス Z(1101)はノーマリオン状態の Pch-Tr インピーダンス（Zp-no）を Zp と同じと仮定すると

$$Z(1101) = Zp\text{-}no + Zp + 2\cdot Zn = 2\cdot Zp + 2\cdot Zn = 5\cdot Zn$$

となり、出力電圧 Vout(1101)は 電源電圧を$V_{DD}$とおくと

$$Vout(1101) = \{2\cdot Zn / Z(1101)\}\cdot V_{DD} = 0.4\cdot V_{DD}$$

となり、出力値はスレッショールド値(Vth)に対して、余裕があり Low 値として機能する。

一方、入力論理(1100)が入力したときの貫通通路インピーダンス Z(1100)は

$$Z(1100) = Zp\text{-}no + 0.5\cdot Zp + 2\cdot Zn = 1.5\cdot Zp + 2\cdot Zn = 4.25\cdot Zn$$

となり、出力電圧 Vout(1100)は

$$Vout(1100) = \{2\cdot Zn / Z(1100)\}\cdot V_{DD} = 0.47\cdot V_{DD}$$

となり、出力値はスレッショールド値(Vth)とほぼ同じ値になる。論理的には Low 値として機能するが、次段ブロック入力回路の Pch-Tr および、Nch-Tr のゲート電極は不安定状態となり、したがってその回路において $V_{DD}$ から GND に異常な$I_{DDQ}$が流れる。以上の考察から、異なった入力論理による$I_{DDQ}$異常値の違いは回路インピーダンス差と出力値の差に依存していると推測される。す

なわち、入力論理(1101)において、L424 に 1mA が発生したとき、入力論理(1100)において、インピーダンス差から L424 に 1.2mA(*1)が発生する。さらに、Vth とほぼ同じ値である出力値が入力した次段トランジスタは不安定状態となり、次段回路に $I_{DDQ}$ 異常値（$\alpha$）が発生する。したがって、その合計である

$$1.2\text{mA} + \alpha = 2\text{mA}$$

が検出されたものと推測される。

(*1：この値は、入力論理(1101)、(1100)の短絡電流値を各々I(1101)、I(1100)とおくと、インピーダンス差より

$$I(1100) = I(1101) \cdot \{Z(1101) / Z(1100)\} = 1\text{mA} \cdot (5 \cdot Zn / 4.25 \cdot Zn) = 1.2\text{mA}$$

として算出される)

以上述べたように、ブロックに注目した故障診断方式を実 VLSI に適用した。多様な $I_{DDQ}$ モードに対する $I_{DDQ}$ 異常値の抽出方式を用いて $I_{DDQ}$ 異常を伴う ***TVN*** を特定した。この ***TVN*** 情報とブロックの入力論理情報を用いて故障ブロックを抽出した。その後、入力論理情報を用いて故障の可能性のあるトランジスタを特定した。以上の診断結果は物理解析結果と一致しさらに、$I_{DDQ}$ 異常値の発生原因を説明できた。この方式は回路に起因する故障の診断に有効な方式であることが検証された。

## 3.7 むすび

本章では、$I_{DDQ}$ 利用による、回路に起因した故障箇所の診断方式について述べた。診断方式は以下の通りである。

(a) 診断は VLSI を構成する回路ブロックを抽出単位とする。

(b) 診断のための情報はブロック単位の入力論理情報（特殊ブロックにおいてに入出力論理情報）と $I_{DDQ}$ 異常を伴うテストベクタ番号情報である。

(c) 診断は $I_{DDQ}$ 異常を伴う論理が正常状態に存在する場合は正常ブロック、存在しない場合は故障の可能性があるブロックと判定する方式である。

(d) 抽出されたブロック内の故障箇所の絞り込みは入力論理情報を用いる。

多様な $I_{DDQ}$ を有する VLSI から $I_{DDQ}$ 異常を伴うテストベクタ番号の識別方式について述べた。識別方式は以下の通りである。

(a) 正常状態にて大きな $I_{DDQ}$ を有する VLSI の故障品に対して、正常 VLSI と故障 VLSI の $I_{DDQ}$ 値の差分をとる。

(b) 複数の故障を伴う VLSI に対して、複数の $I_{DDQ}$ 異常値を値ごとに分離する。

本診断方式を故障 VLSI に適用し、以下の評価結果を得た。

(a) 故障ブロックを抽出し、入力論理情報を用いて故障の可能性のあるトランジスタを特定することができた。

以上から、本手法は回路に起因した故障箇所の診断に対して有効であることが確認できた。

# 第4章 レイアウトブロックに注目した診断[78]

## 4.1 まえがき

本章では、レイアウトに起因して発生する配線の短絡故障個所を特定するためのレイアウトブロックを診断単位とする診断方式について述べる。まずレイアウトブロックを用いた診断コンセプトを述べた後、その領域内のブロックおよび配線（以降、エレメントと呼ぶ）を特定し、診断データとして抽出する方法を述べる。次に、これらのエレメントを用いた配線短絡故障の診断方式に関して示し、その後、特定した領域内の短絡配線対を特定する方式について述べる。最後に、この方式を VLSI 製造工程での複数の外観異常箇所から配線短絡個所を特定する診断に適用した例を示し、本方式の有用性を示す。

ここで、レイアウトブロック内のエレメントに対する診断には、上述の配線の短絡故障個所を診断以外に故障ブロックに対する診断があるが、3 章に述べた方式にてなされるため本章では取り上げない。

## 4.2 レイアウトブロック診断の概要[78]-[83]

本節では VLSI を構成するレイアウトに起因した故障箇所の特定において VLSI 上に設定したレイアウトブロックの診断領域を対象とした診断方式について述べる。まず、この診断の手順を示した後、診断の考え方について述べる。

### 4.2.1 診断の手順

診断はレイアウトに起因した配線短絡箇所を特定することを目的としており、図 4.1 に示す手順で実施される。まず VLSI レイアウト上のレイアウトブロックを診断単位とした任意の領域を設定し、各領域内のエレメントを抽出する。同時に、論理シミュレーションにより VLSI を構成するブロックとブロック間を接続する配線に対する *TVN* ごとの論理と、故障 VLSI の $I_{DDQ}$ 異常を伴う *TVN* を抽出する。そして、これらのデータを用いてレイアウトブロック領域内のエ

レメントに対して診断を行い、短絡故障の可能性のあるエレメントを含むレイアウトブロックを特定する。引き続き、短絡配線対を特定する。図 4.1 中、各枡の左上の番号はその項目を説明する節の番号を示す。

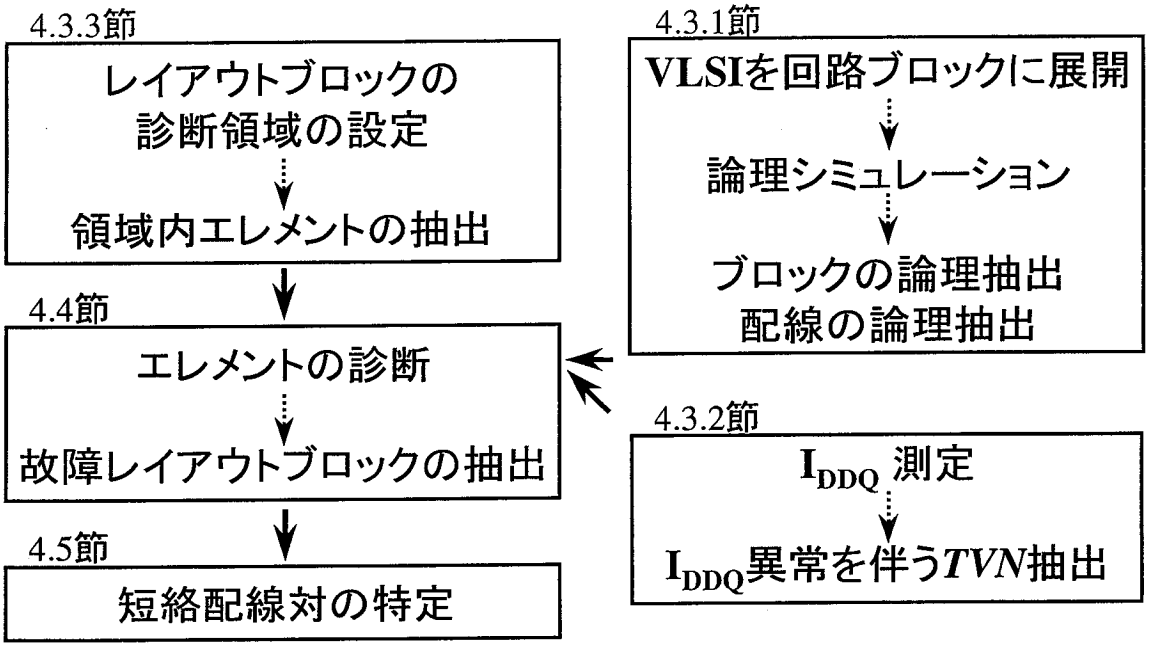



図 4.1 レイアウトブロックに注目した診断フロー図

## 4.2.2 診断方式の考え方

配線短絡は VLSI レイアウト構造に起因して発生する故障モードであり、レイアウト情報を用いることで診断が容易になる。診断の考え方は VLSI 全体より配線短絡が発生していると推定されるレイアウト上の領域を抽出し、次にその領域内部の短絡配線対を特定する方式である。そのため、まず抽出単位となるレイアウトブロック領域を VLSI 上に設定する。レイアウトブロックの設定には、VLSI 全体を区分けした分割領域の設定と、任意の箇所に限定した領域の設定がある。前者は VLSI 全体を探索しながら配線短絡箇所を抽出する診断に用いられる。但し、後述（5.3.2 節(2)参照）するように、この設定方式は多数の擬似的な故障を含むレイアウトブロックを抽出するため実用化に到っていない。後者は VLIS 上の複数の異常と推定される箇所から欠陥箇所を特定する診断に用いられる。その診断のために、各異常個所を中心とした任意の診断領

域がレイアウトブロックとして設定される。この方式は例えば、VLSI の製造工程中で検索される外観検査装置を用いた異常箇所から真の故障箇所を検出する診断に適用される。以降にて実施される配線短絡診断の基本的な考え方を後者の設定によるレイアウトブロック領域を用いて述べる。

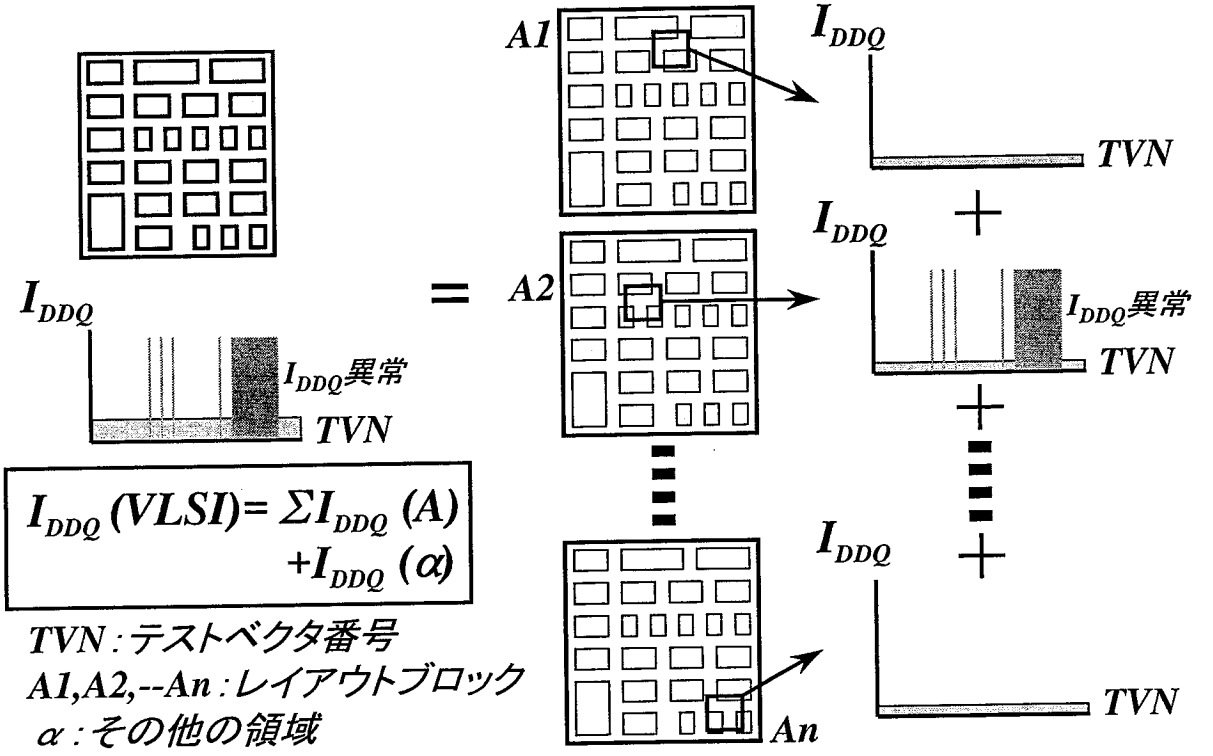



図 4.2 レイアウトブロックによる診断方式を説明する概要図

図 4.2 は配線短絡故障の診断の概要を説明する図であり、VLSI レイアウト上の任意の箇所を区分けしたレイアウトブロック領域内のエレメントの集合体を対象とする診断の様子を表す。VLSI 上に設定したレイアウトブロック領域(A1,A2,---An)中の領域 A2 に $I_{DDQ}$ 異常が発生していると仮定する。VLSI にて測定される $I_{DDQ}$ 異常値（図中、$I_{DDQ}$(VLSI)）は、領域 A2 にて発生する $I_{DDQ}$ 異常値と他のレイアウトブロック領域の $I_{DDQ}$ 値の合計された値（図中、$\Sigma I_{DDQ}(A)$）とその他の領域の $I_{DDQ}$ 値（$I_{DDQ}(\alpha)$）であることから、各領域ごとに $I_{DDQ}$ 異常が発生しているかどうか識別することで、故障を内蔵する領域 A2 を抽出することができる。下記に示す式は上述した内容を表す。

$$I_{DDQ}(VLSI) = I_{DDQ}(A1)+I_{DDQ}(A2)+\text{-----}+I_{DDQ}(An)+I_{DDQ}(\alpha)$$
$$= \Sigma I_{DDQ}(A)+I_{DDQ}(\alpha)$$

## 4.3 診断前処理

本節において、配線短絡故障の診断に用いるデータの抽出に関して述べる。まず、VLSI を構成するブロックと配線の *TVN* に対する論理情報および、$I_{DDQ}$ 異常を伴う *TVN* 情報について、次に、レイアウトブロック内エレメントの抽出方式について述べる。

### 4.3.1 ブロックと配線の論理情報の抽出

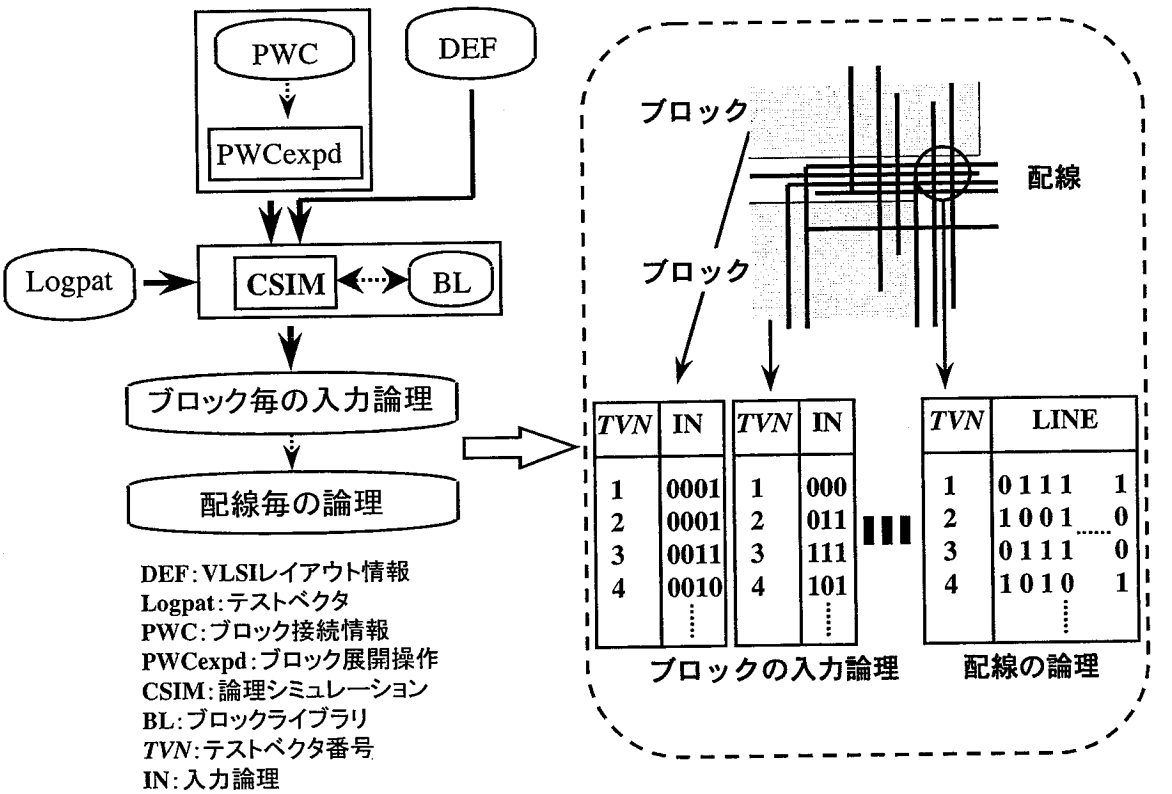



図 4.3 ブロックと配線の論理情報の抽出フロー

診断に必要なデータは *TVN* ごとのブロックと配線の論理情報である。図 4.3 は VLSI を構成するブロックと配線の論理情報を抽出する流れを説明する図で

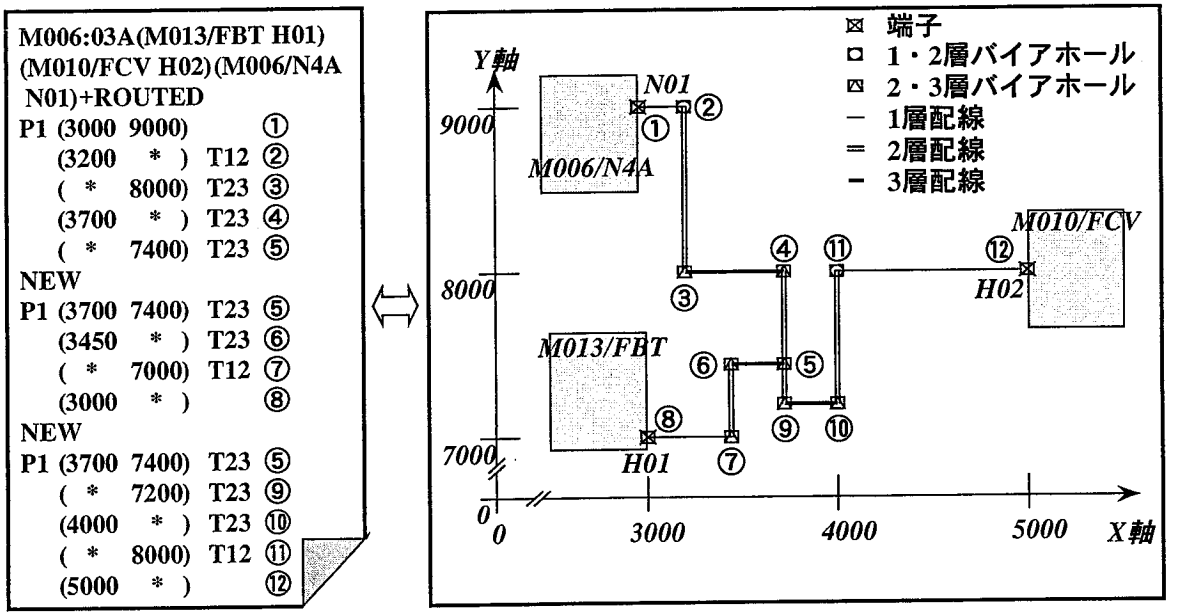
ある。まず、CAD データをもとに、論理シミュレーションを用いてブロックごとの入力論理情報が抽出され、次に、そのブロックの論理情報をもとに、ブロック間配線の論理情報が抽出される。以降にその詳細を説明する。

### (1) ブロックごとの論理情報

下位回路のブロックごとの入力論理情報は PWC、Logpat、BL を用いた CSIM 処理により、*TVN* ごとの入力論理表として抽出される（3.3.1 節参照）。

### (2) ブロック外配線ごとの論理情報

ブロック外配線の論理情報は上述したブロックごとの入力論理情報と VLSI レイアウト情報（DEF）ファイル中の配線情報を用いて抽出される。配線情報はブロック外配線のネット名と、セグメントと呼ばれる配線の折り曲げ点ごとの「水平線分」と「垂直線分」の座標情報である。図 4.4 は DEF に登録されている任意のネット名“M006:03A”に対する配線情報とレイアウト図である。




(a) 配線情報　　(b) レイアウト図

図 4.4 VLSI 上のレイアウトされた配線ネット名 M006:03A 線分情報

図 4.4(a) は VLSI 上にレイアウトされたネット名 M006:03A の配線情報記述例

である。ネット名 M006:03A はブロック M006/N4A の出力端子 N01 とブロック M013/FBT の入力端子 H01 および、ブロック M010/FCV の入力端子 H02 間を接続した配線であり、11 本のセグメントを有している。表中 P1 は一連のセグメント集合の始点表示であり、NEW 表示は新たなセグメント集合の始まりを表示する。() 内の数字は各セグメントの一方側の (X,Y) 座標値である。T はセグメント間を接続するバイアホール（Via Hole：異なる配線層間を電気的に接続するための接続孔）の表示であり、T12、T23 は各々1･2 層間バイアホール、2･3 層間バイアホールを示す。○内数字は配線を構成するセグメントの終始点の位置番号であり、図 4.4(b) に示すレイアウト内の番号と一致する。図 4.4(b) はネット名 M006:03A の配置を示すレイアウト図である。M006:03A はセグメント終始点⑤を中心にした 3 つのセグメント集合、①～⑤、⑤～⑧、⑤⑨～⑫にて構成されており、図 4.4(a) における P1、NEW 表示に対応する。またセグメント始点①はブロック M006/N4A の出力端子 N01 に、セグメント終点⑧はブロック M013/FBT の入力端子 H01 に、セグメント終点⑫はブロック M010/FCV の入力端子 H02 に対応している。以上述べたように、DEF を用いて、配線のネット名と共にその配線が接続するブロックの入出力端子が特定される。そして、あらかじめ抽出されているブロックの入力論理情報を用いることで ***TVN*** に対する配線ごとの論理が特定される。ここでセグメントは後述するレイアウトブロック内の診断対象となる配線の抽出に用いられる (4.3.2 節(2)参照)。そして、抽出されたセグメントは診断時に再度ネット名に置き換えられ、さらに複数のセグメントが同一配線に属するときは、そのネット名に代表してまとめられ、ネット名とその論理が診断データ情報として用いられる。

### 4.3.2 $I_{DDQ}$異常を伴うテストベクタ番号の検出

故障 VLSI のおけるテストベクタごとの $I_{DDQ}$ 異常の有無情報は各テストベクタの論理の静止状態における電源電流値を測定することで得られる。そして、$I_{DDQ}$ 異常を伴う ***TVN*** が診断データとして用いられる。多様な $I_{DDQ}$ 値を有する VLSI に対して正常品と故障品の差分より $I_{DDQ}$ 異常値が抽出され、複数の故障に対して $I_{DDQ}$ 異常値ごとの分類により各故障に対する $I_{DDQ}$ 異常値が抽出され、それらの ***TVN*** が診断データとして用いられる（3.3.2 節参照）。

### 4.3.3 レイアウトブロック領域内エレメントの抽出[80],[84]

VLSI レイアウト上に設定した各レイアウトブロック領域内のエレメントの抽出方式について述べる。

各領域内のエレメントの抽出は、PWC、DEF、物理情報 (LEF) ファイルが用いられる（5.3 節参照)。前述したように DEF はレイアウト情報ファイルであり、エレメント抽出には 配線情報（ネット名、セグメント座標）とブロック情報（ブロック名、配置方向、原点座標）が用いられる。LEF は VLSI 設計上の物理情報を有するファイルでありチップサイズとブロックサイズ情報が用いられる。これらのファイル情報を用いて、図 4.5 に示すように VLSI 上の任意の箇所（X0、Y0）を中心に設定されたレイアウトブロック領域内のエレメントが抽出される。ここで、レイアウトブロックは（X0、Y0）を中心とした 2r のサイズで囲まれた矩形領域で定義される (4.6 節および、5.4.1 節(1)参照)。

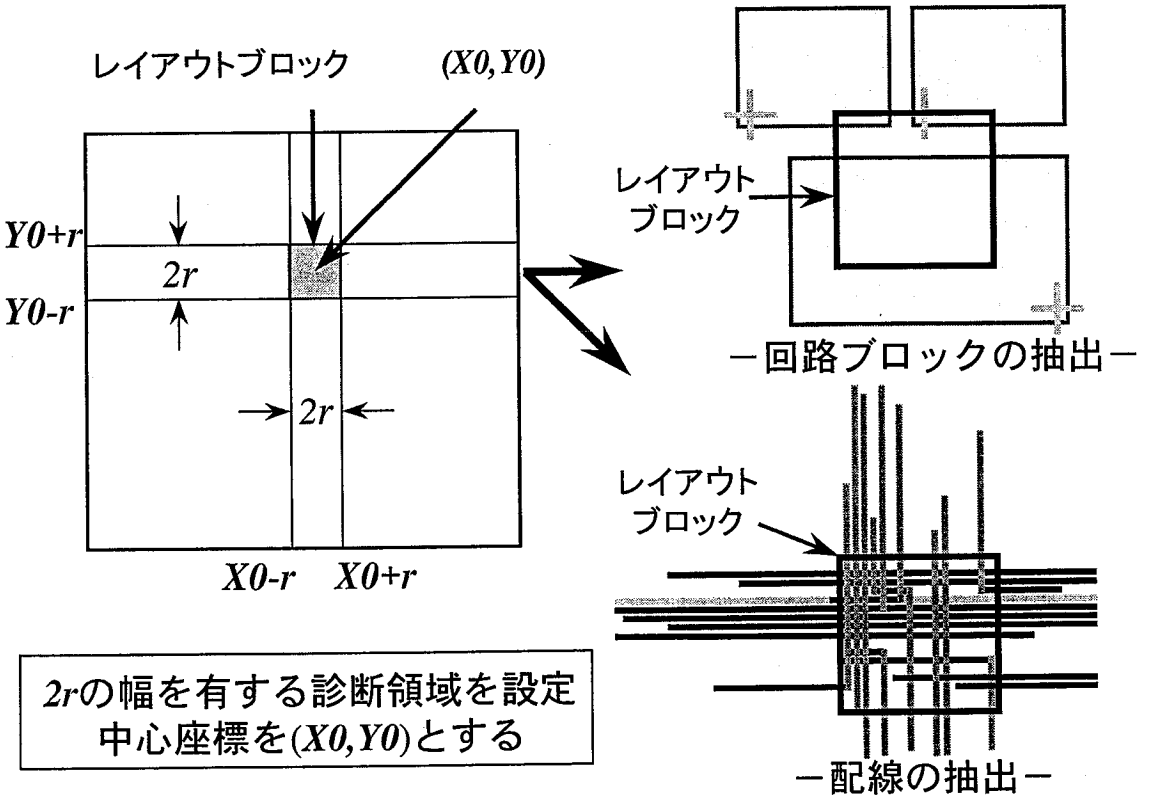



図 4.5 VLSI 上に設定されたレイアウトブロック内のエレメント抽出の様子

#### (1) レイアウトブロック内ブロックの抽出

レイアウトブロック内に存在するブロックの抽出方法について述べる。診断

対象となるブロックはそれらの一部でもレイアウトブロック領域に存在するブロックである。図 4.6 から図 4.8 はブロック抽出の様子を示す説明図である。

① VLSI に使用している最大サイズのブロック(*Xm* x *Ym*) でレイアウトブロックを囲む領域を設定する（図 4.6)。

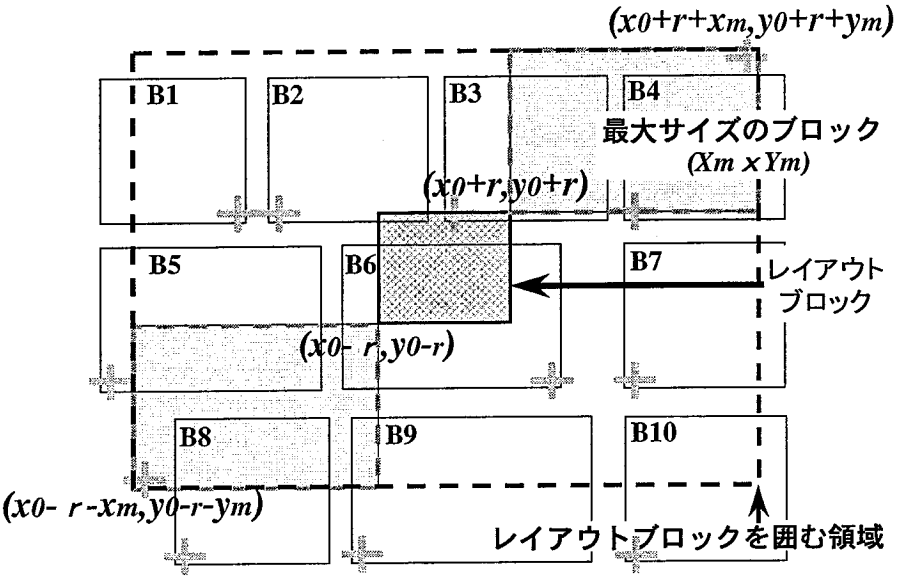



図 4.6 レイアウトブロックを囲む領域の設定

② レイアウトブロックを囲む領域内に原点（図中、＋にて表示）を有するブロックを選別する。図中 B1, B2, B3, B4,B6, B7 が選別される（図 4.7)。

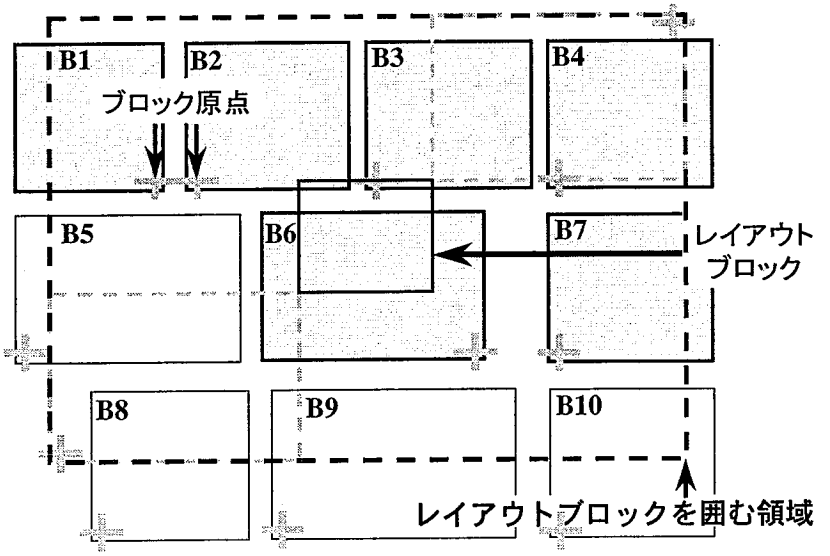



図 4.7 レイアウトブロック内に原点を有するブロックの選別

③ 選別されたブロックの配置方向とサイズ情報を用いて、それらのブロック中、一端でもレイアウトブロック領域に存在するブロックを診断の対象として抽出する。 図中 B2,B3,B6 が診断対象ブロックとして抽出される（図 4.8)。

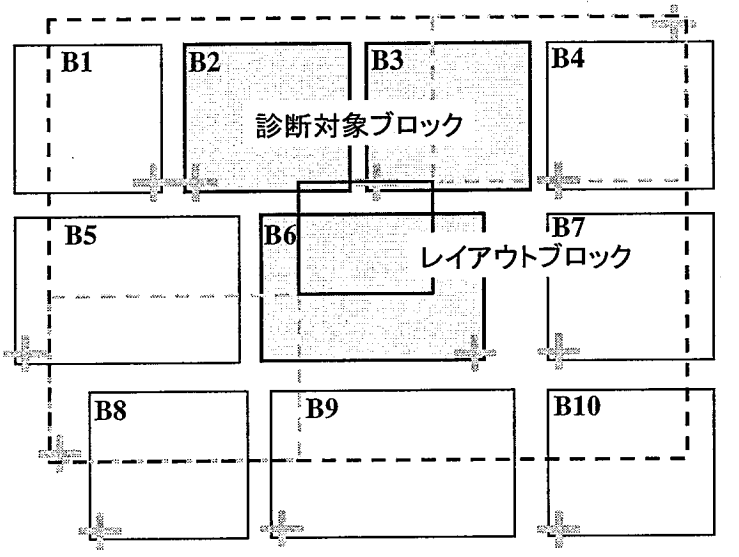



図 4.8 レイアウトブロック内ブロックの抽出

以上の操作によりレイアウトブロック内のブロックが特定される。

### (2) レイアウトブロック内配線の抽出

レイアウトブロック内に存在するブロック外配線の抽出方法について述べる。診断対象となる配線は、その一部でも診断領域に存在する配線である。図 4.9 に示すように、まず、レイアウトブロック領域の上辺“Y0+r”以上（図中↑方向）に位置するセグメントと、下辺“Y0-r”以下（図中↓方向）に位置するセグメントを除く。次に残ったセグメントより、その領域の右辺“X0+r”より右側（図中→方向）に位置するセグメントと、左辺“X0-r”より左側（図中←方向）に位置するセグメントを除く。以上の操作により、最終的に残ったセグメントがその領域内の診断対象となるブロック外配線となる。診断において、これらのセグメントは、各々が属する配線のネット名に集約される（4.3.1 節(2)参照)。

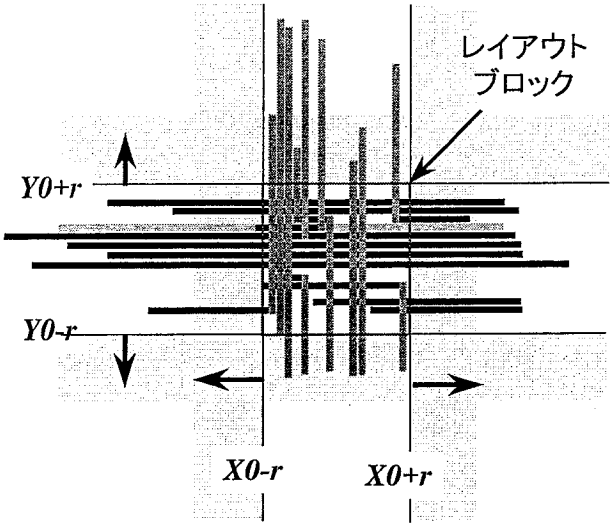
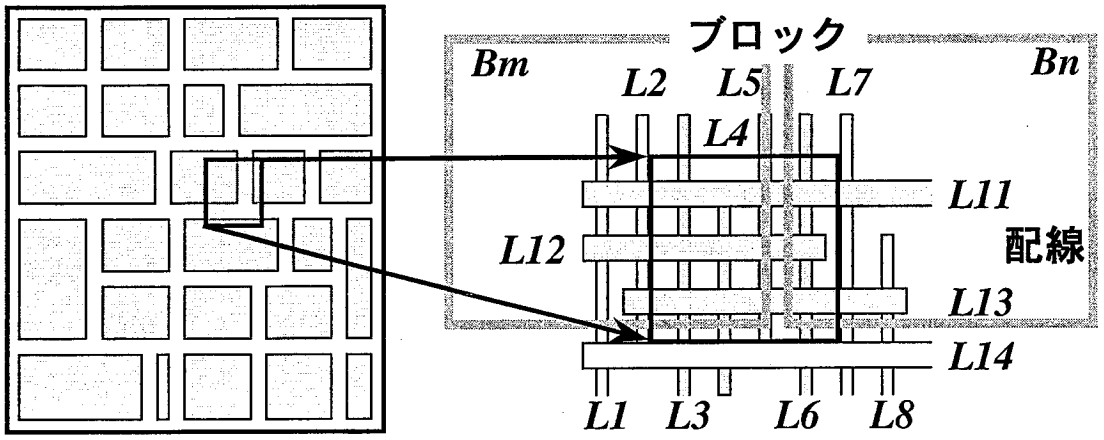



図 4.9 レイアウトブロック内配線の抽出方式

## 4.4 故障レイアウトブロックの抽出[79],[81]-[83]

診断するレイアウトブロック領域中の配線短絡故障の診断方式はブロックの診断と同様、領域内のエレメントに対して、$I_{DDQ}$ 異常を有する論理と同一の論理が正常な $I_{DDQ}$ 値を示す論理に存在するかどうかを検索する方式である。そして、存在すれば領域は正常、存在しなければ領域は配線短絡故障を内蔵している可能性ありと判断される。




(a) VLSI 上のレイアウトブロック　　(b) 拡大図

診断対象：ブロック(*Ba*),(*Bb*)および、配線(*L3,L4,L5,L6,L11,L12,L13*)

図 4.10 レイアウトブロック領域内の配線短絡診断の説明図

配線短絡故障には３つのケースがある。

① ブロック外配線短絡故障

② ブロック内配線とブロック外配線間短絡故障

③ ブロック内配線短絡故障

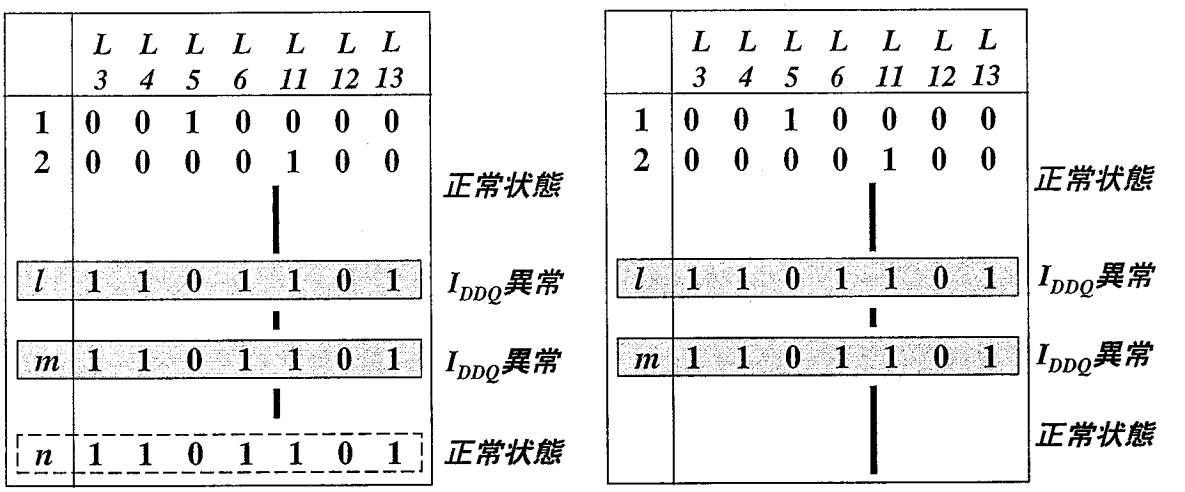
である。これらの配線短絡故障の診断方式を図 4.10 に示すレイアウト図を用いて説明する。図 4.10(a) は VLSI 上の任意のレイアウトブロック領域を示し、図 4.10(b) は 図 4.10(a) のレイアウトブロック領域の拡大図であり、2 個のブロック(***Ba***),(***Bb***)および 7 本の配線 (***L3,L4,L5,L6,L11,L12,L13***) を内蔵する。また、$I_{DDQ}$ 異常が発生した ***TVN*** を *l, m* とする。ここで③のブロック内の配線短絡故障は、前述したブロック診断により、内部配線間の短絡故障を含むブロック内の $I_{DDQ}$ 異常を伴う故障として診断がなされるため省略する（3.4 節参照)。以降にて、①,②の配線短絡故障について述べる。

### 4.4.1 ブロック外配線間の短絡故障診断

ブロック外配線の短絡故障の診断は、図 4.10(b) に示すブロック外配線(***L3,L4,L5,L6,L11,L12,L13***)を対象にした診断であり、各 ***TVN*** ごとの全ブロック外配線の論理テーブルをもとに、$I_{DDQ}$ 異常が発生した ***TVN*** *l, m* を用いて実施される。 図 4.11(a) は $I_{DDQ}$ 異常を伴う ***TVN*** *l, m* での論理 (1,1,0,1,1,0,1)（実線方形部）と同一の論理が正常状態の ***TVN*** *n*（点線方形部）に存在する場合であり、この領域は正常と判定する。この理由は、一種類の配線の論理集合 (1,1,0,1,1,0,1) が $I_{DDQ}$ 異常と正常という二種類の状態を伴うことはないためであり、その論理が $I_{DDQ}$ 異常を伴うとした仮定は間違っているためである。

図 4.11(b) は $I_{DDQ}$ 異常を伴う ***TVN*** *l, m* での論理 (1,1,0,1,1,0,1)（実線方形部）と同一の論理が正常状態に存在しない場合であり、この領域は配線短絡を含む可能性ありと判定する。この理由は配線の論理の集合 (1,1,0,1,1,0,1) は常に $I_{DDQ}$ 異常を伴うとした論理状態を有するためであり、仮定と矛盾しないからである。

以上、レイアウトブロック内のブロック外配線の短絡故障の診断方式について述べた。診断方式は、ブロック診断同様に、$I_{DDQ}$ 異常を有する論理と同一の論理が正常な $I_{DDQ}$ 値を示す論理に存在するかどうかを検索する方式である。




(a) 正常領域　　(b) 配線短絡内蔵の可能性のある領域

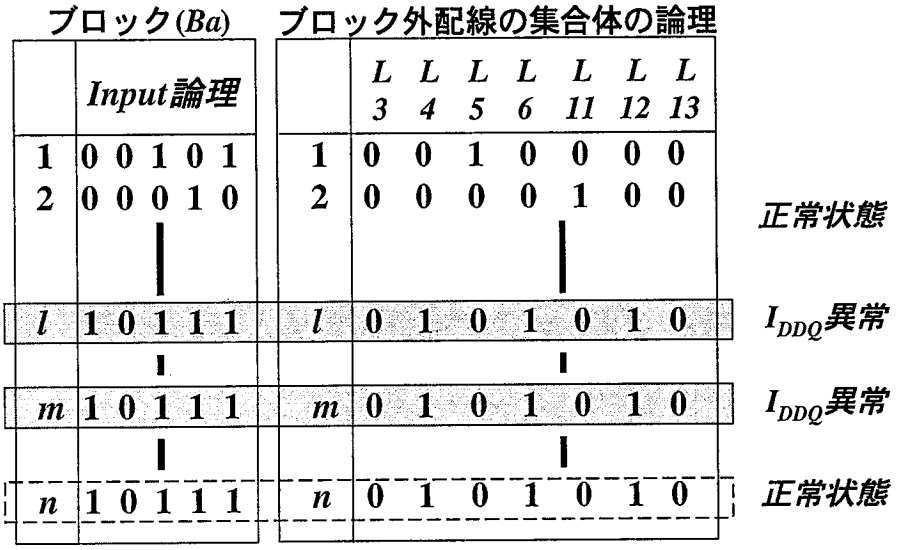
図 4.11 ブロック外配線間短絡の診断

## 4.4.2 ブロック内とブロック外配線間の短絡故障診断

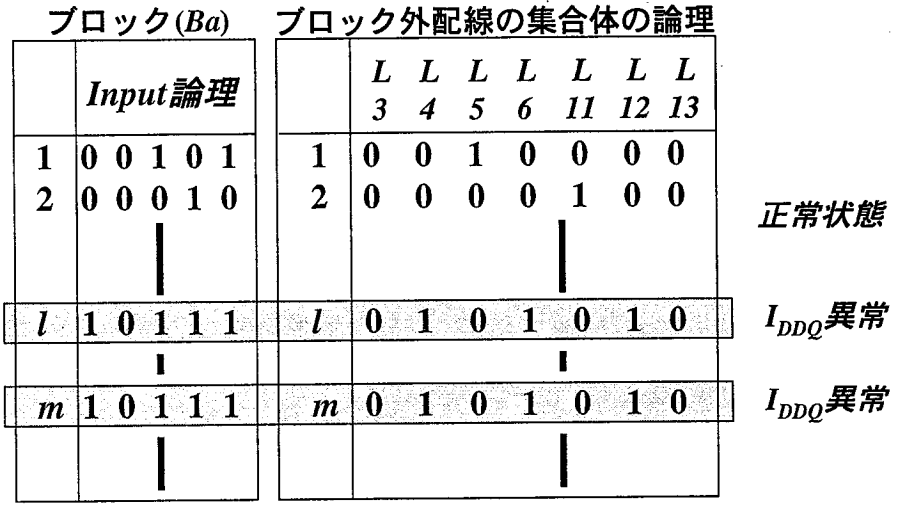
ブロック内とブロック外配線間の短絡故障診断は、図 4.10 (b) に示すブロック内配線 (***Ba***), (***Bb***) とブロック外配線 (***L3,L4,L5,L6, L11,L12,L13***) を対象とする診断であり、ブロック(***Ba***) とブロック外配線 (***L3, L4,L5,L6,L11,L12,L13***) および、ブロック(***Bb***) とブロック外配線 (***L3,L4,L5,L6, L11,L12,L13***) の論理の組合せごとに実施される。但し、本診断において CAD データ中にブロック内部配線のレイアウトデータは存在しないため、内部配線の論理を間接的に代表する情報が用いられる。まず、ブロックが組合せ回路の時、回路を構成する内部配線の論理は入力論理で代表する。この理由は、ブロックの入力論理は内部論理を一意的に決定するためである。一方、ブロックが順序回路の時、回路の内部配線の論理はクロックに同期してデータが入力し、出力するまでの連続した入力論理で代表する。この理由は、診断対象とする順序回路ブロックは基本的メモリ機能を有する回路のためであり、その内部論理は入力論理の履歴に対して影響を受けないためである（3.4.3 節参照)。

図 4.12 はブロック(***Ba***) とブロック外配線の組み合わせの例であり、$I_{DDQ}$ 異常を伴う ***TVN l, m*** でのブロック (***Ba***) の入力論理 (1,0,1,1,1) とブロック外配線の集合の論理 (0,1,0,1,0,1,0) との組合せ論理である {(1,0,1,1,1) & (0,1,0,1,0,1,0)} が正常状態での ***TVN*** 中に存在するかどうか探索する例である。図 4.12(a) は $I_{DDQ}$ 異常を伴う ***TVN l, m*** での論理{(1,0,1,1,1) & (0,1,0,1,0,1,0)} (実

線方形部）と同一の論理が正常状態の *TVN n*（点線方形部）に存在する場合であり、この領域は正常と判定される。この理由は、一種類の論理集合{(1,0,1,1,1) & (0,1,0,1,0,1,0)}（実線方形部）が $I_{DDQ}$ 異常と正常という二種類の状態を伴うことはないためであり、その論理が $I_{DDQ}$ 異常を伴うとした仮定は間違っているためである。




(a) 正常領域




(b) 配線短絡故障の内蔵の可能性のある領域

図 4.12 ブロック内配線とブロック外配線間の短絡故障診断

図 4.12(b) は $I_{DDQ}$ 異常を伴う *TVN l, m* での論理{(1,0,1,1,1) & (0,1,0,1,0,1,0)}（実線方形部）と同一の論理が正常状態に存在しない場合であり、配線短絡故障を内蔵している可能性ありと判定される。この理由はブロックと配線集合の論理{(1,0,1,1,1) & (0,1,0,1,0,1,0)}（実線方形部）は常に $I_{DDQ}$ 異常を伴うとした内部状態を有するためであり、仮定と矛盾しないためである。

以上、レイアウトブロック内のブロックとブロック外配線間の短絡故障の診断方式について述べた。上述した例は単一の $I_{DDQ}$ 故障に対応した診断方式を述べたが、診断対象のブロックが順序回路であり、さらに、$I_{DDQ}$ 異常を伴う連続した *TVN* が存在する時は、その連続した論理の集合を 1 グループとした順序回路ブロックの診断と同一の方式となる（3.4.3 節参照）。

## 4.5 配線短絡箇所の特定

次に、上述した 2 つのケースについて配線短絡箇所の特定方式について述べる。

### 4.5.1 ブロック外配線短絡箇所の特定

配線短絡は互いに逆論理となる配線対に発生する故障モードであるため、診断はそのような対を $I_{DDQ}$ 異常を伴う *TVN* の論理から抽出する方式である。配線短絡には、ブロック外配線と電源配線の短絡故障と、ブロック外配線間の短絡故障がある。ここで、電源配線である $V_{DD}$ と GND は固定レベルを持つ配線とみなすことができ、さらに本診断はテストベクタに依存して $I_{DDQ}$ 異常が発生するモードのため $V_{DD}$ と GND 間短絡は除外される。

図 4.13 は短絡箇所の絞り込み手順を説明するフロー図である。図中、a, b は配線のコード化した番号、A は診断対象配線の総数、L(a)、L(b) は配線 a, b に印加される論理を示す。診断は、$I_{DDQ}$ 異常を伴う *TVN* での論理において、互いに逆論理となる配線対を抽出し（図中：①～⑤）、次に、$I_{DDQ}$ 異常を伴うすべての *TVN* 間に対して、抽出された配線対の AND 処理を行う（図中：⑥）。その後、正常状態の *TVN* での論理を用いて、AND 処理抽出の配線対が正常状態で逆論理として存在するかどうか探索され、存在しない組合せを故障候補と

する（図中：⑦）手順である。以下に、図 4.13 に示す各ステップでの操作の内容を説明する。

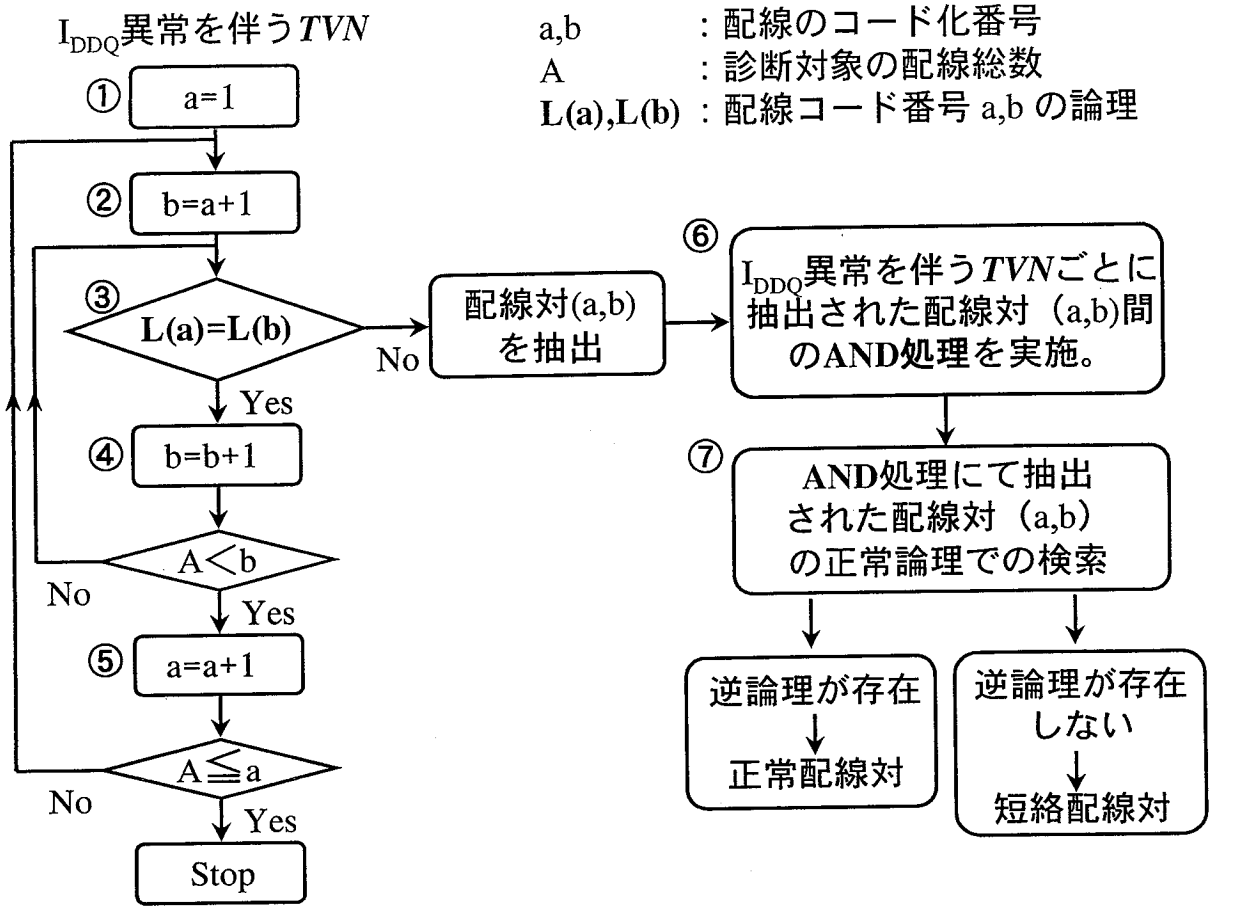



図 4.13 短絡箇所の絞り込み手順を説明するフロー図

$I_{DDQ}$ 異常を伴う ***TVN*** において、

① 配線（a=1）が設定される。

② 配線(a)と論理比較を行う配線（b=a+1）が抽出される。

③ 論理の比較が行われる。

L(a)≠L(b)ならばこれらは短絡の可能性ありとして、⑥へ進み、その配線対が抽出される。

L(a)＝L(b)ならば④へ進む。

④ 次に比較される配線（b=b+1）が設定される。

A≧b のときは③へ戻り、操作が繰り返される。

A＜b のときは⑤へ進む。

⑤ 次に配線（a=a+1）が設定される。

A＞a のときは、②へ戻り、操作が繰り返される。

A≦a のときはこの *TVN* での診断が終了し、次の $I_{DDQ}$ 異常を伴う *TVN* における診断がスタートする。

以上、 $I_{DDQ}$ 異常を伴う *TVN* における論理での診断がすべて終了すると、

⑥ $I_{DDQ}$ 異常を伴う *TVN* ごとに検出された短絡候補の配線対(a,b)に対し、*TVN* ごとの AND 処理が実行され、短絡故障候補が抽出される。

次に、以上の操作にて抽出された配線対から、正常状態での情報を用いて、配線短絡の可能性のある対の特定が行われる。

⑦ AND 処理にて抽出された短絡候補 (a,b) において、L(a)≠L(b)となる論理が正常状態に存在するか探索される。存在すれば正常、存在しなければこの組合せは配線短絡の可能性ありとして絞り込まれる。

以上、配線短絡箇所の特定に関して診断フローにしたがって述べた。その特定は、$I_{DDQ}$ 異常を伴う *TVN* での論理情報を用いて短絡配線対の候補を検索し、次に AND 処理により候補を限定し、さらに正常状態での論理にこれらの配線対が逆論理として存在するかどうかを検索することでなされる。

### 4.5.2 ブロック内とブロック外配線間短絡箇所の特定

本ケースの診断に関しては、前述したようにブロック内配線の論理に代り、ブロック入力端子に印加される論理を用いている。従って、配線短絡故障を成立させる条件である“H”と“L”が印加されている配線レイアウト上の組合せ検証はできないため、これ以上の診断はできない。

## 4.6 評価

レイアウトブロックに注目した診断方式を、ウェーハ製造工程にて検出される、複数のパーティクル（Particle）やパータン崩れ箇所などの外観異常箇所から $I_{DDQ}$ 異常を伴う箇所を特定する診断に適用し、評価を行った。被評価 VLSI は、0.35$\mu$m ルールにて設計された 3 層配線構造品であり、650K ゲート規模を有する VLSI である。まず、VLSI は 72,011 個の基本ブロック（ブロックのゲート換算：最小 1 ゲート、最大 28 ゲート、平均 9.0 ゲート）に分割された。その後、*TVN* に対応する各ブロックの入力論理と配線の論理が論理シミュレーションを用いて抽出された。製造工程中のウェーハ外観検査装置により検出された、この VLSI の外観異常箇所は計 32 箇所であった。

### (1) 診断領域の設定

外観異常箇所から $I_{DDQ}$ 異常発生箇所を絞り込むための診断方式において、まず、本 VLSI チップ上にて観察される異常箇所の座標を VLSI レイアウト上の座標に一致させるため、異常個所の座標を中心とする 60μm／辺の方形を設定した。ここで、この方形の値は、本 VLSI のサイズが 15mm×15mm のためである。方形の設定根拠は 5.4.1 節にて説明する。

### (2) 診断エレメントの抽出

設定した診断領域内に存在するブロックや配線は CAD データを使用して自動抽出される。診断対象となるこれらのエレメントはその一部でも診断領域内に存在するエレメントである。抽出は 4.3.3 節にて述べた方式にて実施する。図 4.14 は VLSI 上に検出された異常箇所座標を中心に 60μm／辺 で囲った領域内のエレメントのレイアウト図である。領域内に 2 個のブロックと 12 本の配線が診断対象として抽出されている。

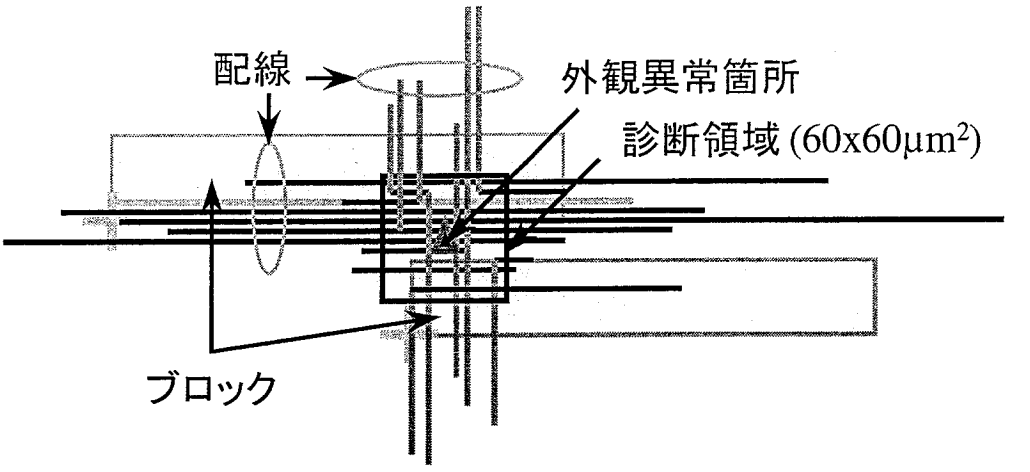



図 4.14 60μm／辺の領域を設定したときの抽出エレメント

### (3) テストベクタ番号対 $I_{DDQ}$ 値

LSI テスタを用いて $I_{DDQ}$ 値が測定され、$I_{DDQ}$ 異常を伴う *TVN* が抽出された。図 4.15 は *TVN* 対 $I_{DDQ}$ 値の関係を示すグラフであり、測定範囲 1～4000 ベクタ中の任意の *TVN* にて 0.2mA の $I_{DDQ}$ 異常を発生している様子を示す。

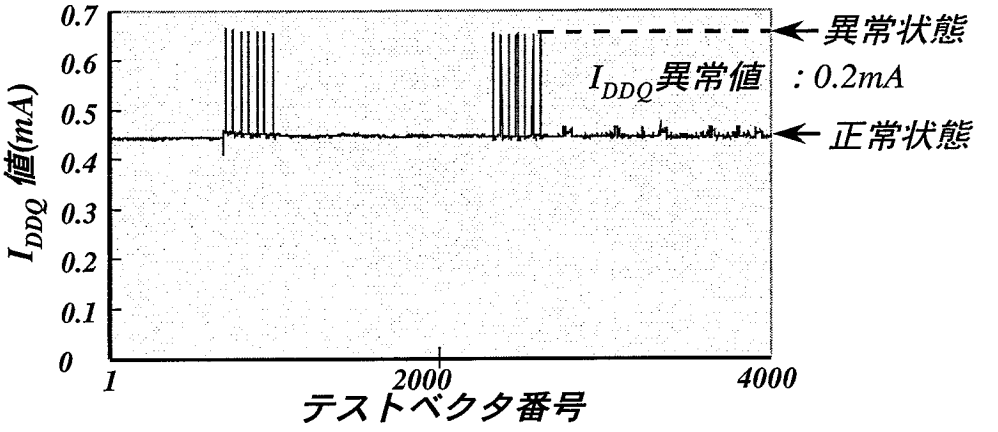


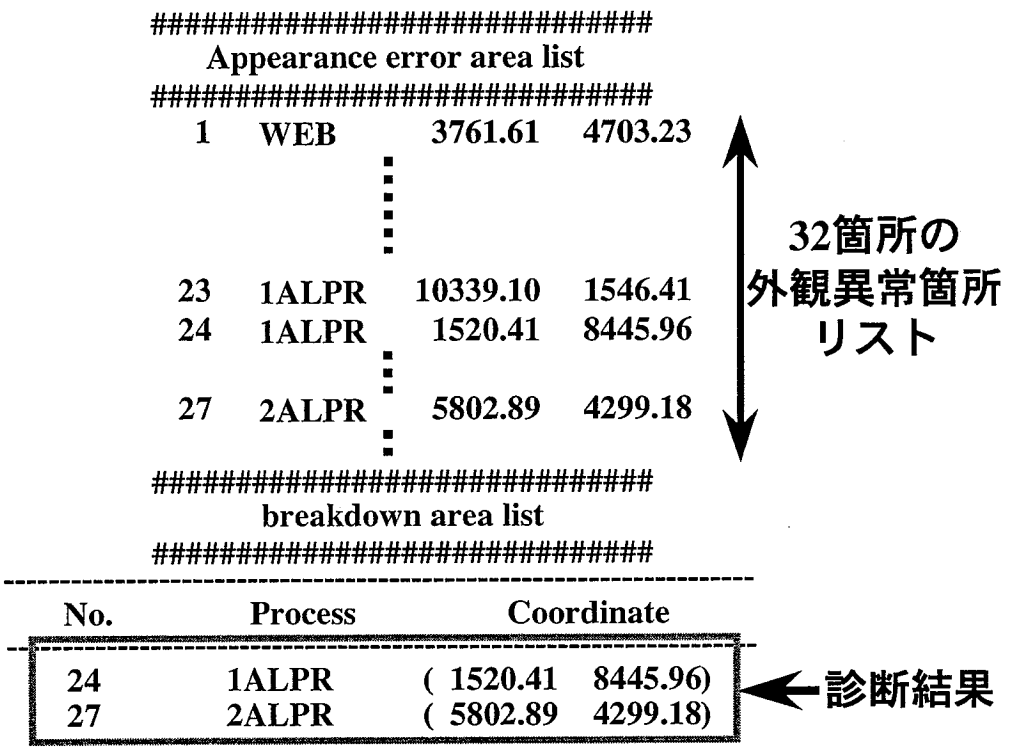

図 4.15 テストベクタ番号と $I_{DDQ}$ 値の関係（0.2mA の $I_{DDQ}$ 異常を検出）

### (4) 故障診断

各領域のエレメントに対して診断を実施した。表 4.1 は 32 箇所の外観異常箇所のリストと診断結果の出力リストであり、電気的異常と推定される 2 箇所の診断領域（No.24,No.27）を抽出したことを示している。診断結果は順に、領域のシリアル番号、その領域内外観異常の検出工程名と座標を示す。 すな

わち、No.24 は 1ALPR（1 層配線のフォトレジスト）工程において検出された、座標（1520.41μm, 8445.96μm）に位置する外観異常個所が、No.27 は 2ALPR（2 層配線のフォトレジスト）工程において検出された、座標（5802.89μm, 4299.18μm）に位置する外観異常個所が故障の可能性があるとして診断されたことを意味する。

表 4.1 診断結果




## (5) 配線短絡箇所の特定

抽出された 2 箇所の故障内蔵の可能性のある No.24 と No.27 のレイアウトブロックに対して、短絡箇所の絞り込みが実施された。診断は $I_{DDQ}$ 異常を伴う論理において互いに逆論理関係を有する配線対を検索し、次に、それらの対から正常状態にて互いに逆論理関係を有する配線対を除くことで短絡の可能性のある配線対を特定する方式である。表 4.2 は No.24 における全診断対象配線のネット名と出力処理により抽出したレイアウトブロック領域内配線の論理変化テーブルから $I_{DDQ}$ 異常を伴う論理の種類のみを取り出した表である。また、*TVN* はそれらの各論理が最初に現れる *TVN* である。診断対象の配線は 12 本 (NET1

～NET12) および、GND 電源 (NETG) と $V_{DD}$ 電源 (NETD)であり、$I_{DDQ}$ 異常を伴う *TVN* での配線論理は八種類であった。短絡配線対の特定は図 4.13 に示す短絡箇所の絞り込みフローに従って実施した。表 4.2 中、論理テーブルの右辺は各 *TVN* での短絡と考えられる配線対の数であり、各 *TVN* ごとの候補の AND

表 4.2 No.24 レイアウトブロック内配線リストと八種類の論理

**<<Area24 >>**

**Coordinate: (1520.41, 8445.96)**

**[Net value]**

**NET1:M009/M007/F39:N01**
**NET2:M009/M007/F2B:N01**
**NET3:M009/M007/M004/Z001:N04**
**NET4:M009/M007/M004/F60:N01**
**NET5:M009/M007/M004/F41:N01**
**NET6:M009/M007/M004/N24:N01**
**NET7:M013/M006/M004:O1E**
**NET8:M013/M006/M004:O0E**
**NET9:M013/M006/ M002:S10**
**NET10:M013/M006/F1D:N01**
**NET11:M013/M006/F4I:N01**
**NET12:M009/M007/F0G:N01**

**診断対象配線のネット名**

**Test Vector (1 to 4000)**

| No. | NNNNNNNNNEEE 123456789012 | NNN EEE TTT GD | |
|---|---|---|---|
| | | | 短絡配線対の数 |
| 765 | 100011010101 | 01 | -----48 |
| 774 | 000001010101 | 01 | -----33 |
| 835 | 100111010101 | 01 | -----29 |
| 844 | 000111010101 | 01 | -----29 |
| 1098 | 100101010101 | 01 | -----29 |
| 1107 | 000101010101 | 01 | -----29 |
| 2459 | 110100111000 | 01 | -----14 |
| 2465 | 110000111100 | 01 | -----10 |

**電源端子**

**順にAND処理にて候補を絞り込んでいく**

処理を行うことで、候補数が絞り込まれる事を示している。最初の *TVN* 765 において、48 個の短絡配線対の候補が特定され、次に、*TVN* 774 における候補との AND 処理を行うことで 33 個の候補に絞り込まれた。*TVN* 835 で 29 個となるが、以降、*TVN* 1107 までは変化がなく、*TVN* 2459 にて 14 個に絞り込まれ、最終的に 10 個の候補 (2,6), (2,12), (3,D), (6,7), (6,9), (7,12), (8,11), (8,G), (9,12), (11,D)の NET 番号の組合せが特定された。その後、これらの配線対が正常状態において、逆論理の組合せで存在するかどうか検索された。その結果、NET 番号（6,7）の配線対に短絡故障の疑いがあるとして特定された。

No.27 のレイアウトブロック領域内にて、$I_{DDQ}$ 異常を伴う *TVN* での配線論理は十種類であり、診断対象となる配線は信号配線と電源配線の計 15 本であった。診断結果、10 個の配線の組合せが短絡の可能性を有する配線対として検出された。次に、これらの配線対が、正常状態での論理にて互いに逆論理関係を有する対として存在するかどうかを検索した。その結果、2 個の配線対に短絡の可能性があるとして特定された。

### (6) 物理解析による検証

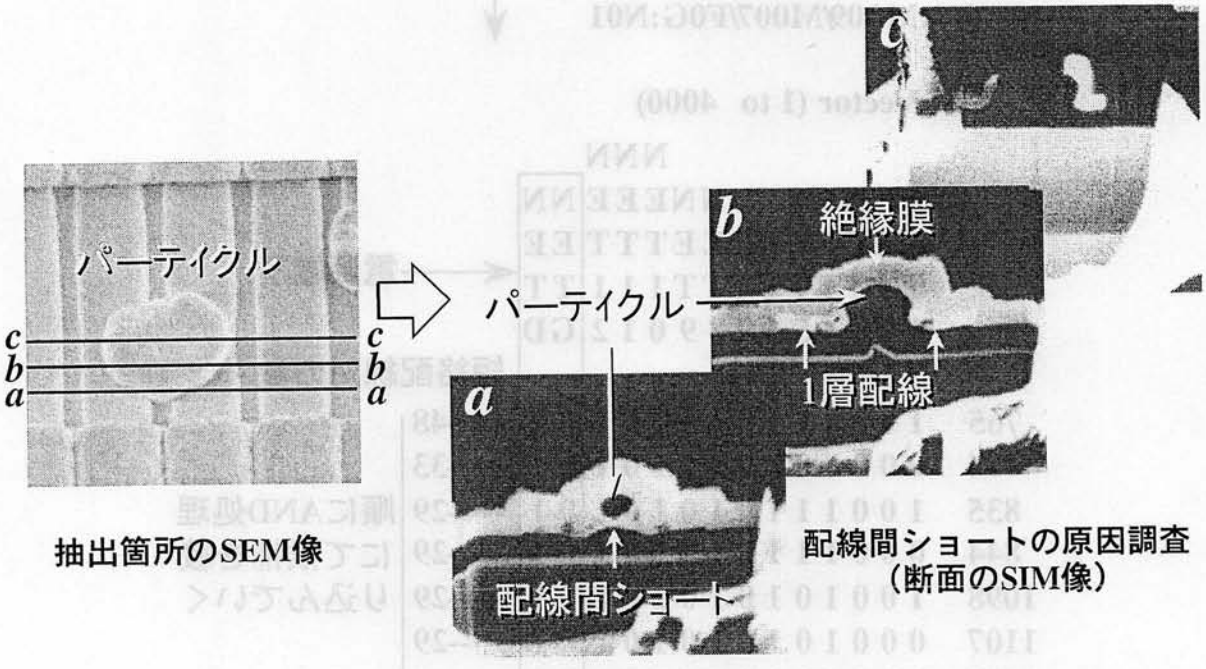



図 4.16 パーティクルの成長による配線短絡を検出

上記の診断結果を検証するために物理解析を行った。その結果、No.24 にパーティクルに起因した配線短絡を検出した。図 4.16 はその異常箇所の SEM 像と FIB を用いて加工した断面の SIM（Scanning Ion Microscopy:走査型イオン顕微鏡）像である。図 4.16 中、SEM 像に示す線分 ***a,b,c*** は 配線短絡箇所を検出するために FIB を用いた断面出しの位置であり SIM 像の ***a,b,c*** に対応する。そして、断面 ***a*** においてパーティクルを介して配線間が短絡状態になっている箇所を検出した。以上の結果は、故障診断による配線短絡の可能性のある NET 番号 (6,7) の配線対と一致した。

No.27 は故障箇所を検出できなかった。この判定原因は No.25 の故障判定論理とタイミング的に同期した信号が No.27 の配線論理に存在していたための擬似的な故障と思われる。

以上、レイアウトに注目した配線短絡箇所の診断方式を実 VLSI に適用した。診断対象品は外観検査装置にて検出された複数の外観異常箇所を有する VLSI である。まず、各外観異常箇所を囲むレイアウトブロック領域を設定し、次に、その領域内のエレメントを診断し、故障の可能性のある領域を抽出した。その後、短絡配線対を特定した。以上の診断結果は物理解析結果と一致した。この方式はレイアウトに起因する配線短絡の故障診断に有効な方式であることが検証された。

## 4.7 むすび

本章では、$I_{DDQ}$ 利用による、レイアウトに起因した配線短絡の故障箇所の診断方式について述べた。診断方式は以下の通りである。

(a) 診断は VLSI レイアウト上のレイアウトブロックを診断単位として、その領域内のブロックと配線を診断対象とする。

(b) 診断のための情報は診断領域内のブロックの入力論理情報、配線の論理情報と $I_{DDQ}$ 異常を伴うテストベクタ番号情報である。

(c) 診断は $I_{DDQ}$ 異常を伴う論理が正常状態に存在する場合は正常領域、存在しない場合は故障内蔵の可能性がある領域と判定する方式である。

(d) 抽出されたレイアウトブロック内のブロック外配線間の短絡配線対の絞

り込みは各配線対の論理を探索する方式である。

本診断方式を複数の外観異常を有する故障 VLSI に適用し、以下の評価結果を得た。

(a) 故障レイアウトブロックを抽出し、配線論理情報を用いて短絡の可能性のある配線対を特定することができた。

以上から、本手法はレイアウトに起因した短絡配線対の診断に対して有効であることが確認できた。

# 第 5 章 $I_{DDQ}$ 故障診断統合化システムの構築[84]

## 5.1 まえがき

本章では 第 3 章および、4 章の成果をふまえ、CAD 設計データと $I_{DDQ}$ 異常を伴う ***TVN*** を用いて、VLSI 内部の故障箇所を絞り込む統合化システムの構築について述べる。まず本システムのハードウェア構成を述べた後、ソフトウェア構成について述べる。その後、本システムを VLSI 製造工程における欠陥検出のフローに組み込み、外観検査装置にて検出される複数の外観異常箇所から真の故障箇所を検出するための診断に適用した例を示し、その有用性を示す。

## 5.2 ハードウェア構成

本システムのハードウェア構成を図 5.1 に示す。システムは外観異常検出システム、VLSI 検査システム、CAD(Computer Aided Design)システムおよび、コントロールシステムの 4 つのシステムからなる。これらのシステムはネットワークにより接続され、情報の伝達がおこなわれる。

### (1) 外観異常検査システム

外観異常検査システムは

外観検査装置：KLA 社製、Model KLA2550

よりなる。このシステムは外観上の異常箇所の座標を検出するシステムであり、製造ラインにおける外観検査装置を用いて、指定された工程でのウェーハ上の外観異常箇所を検出し、その異常箇所座標を読みとるシステムである。検出された座標値はコントロールシステムへ転送される。

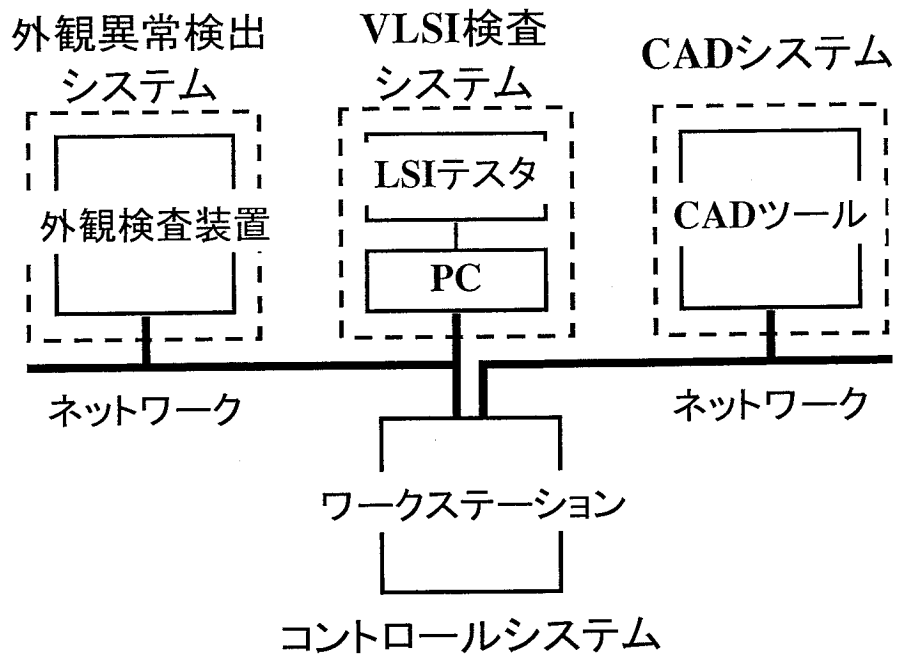



図 5.1 ハードウェア構成図

### (2) VLSI 検査システム

VLSI 検査システムは

LSI テスタ：安藤電気社製、AL9134E （512pin 対応）

パソコン：NEC 社製、PC98 Mate NX-MA40D

よりなる。このシステムは $I_{DDQ}$ 異常を伴う ***TVN*** を抽出するシステムであり、LSI テスタとパソコンからなる。LSI テスタにて測定された ***TVN*** ごとの $I_{DDQ}$ 値はパソコンに転送され、故障診断用のデータに加工される。これらのデータはコントロールシステムへ転送される。

**－LSI テスタによる $I_{DDQ}$ 値測定－**

$I_{DDQ}$ 値($I$)は LSI テスタ内に内蔵されている電源と VLSI の電源端子間の挿入抵抗($R$)間の電位差($\Delta V$)を、その挿入抵抗で割った値で計算される。

$$I = \Delta V / R$$

1 ベクタあたりの測定時間は約 20ms であり、その測定時間の大半は $I_{DDQ}$ 値の計

算処理時間である。30,000 ベクタは約 10 分の測定時間である。

**－パソコンによる診断用データへの処理－**

LSI テスタにて測定された、各 ***TVN*** ごとの $I_{DDQ}$ 異常値はパソコンに転送され、$I_{DDQ}$ 異常値を伴う ***TVN*** が故障診断用データとして抽出される。多様な $I_{DDQ}$ を有する VLSI の測定データに関しては以下の処理が行われる（3.3.2 節参照）。

① 正常状態にて大きな $I_{DDQ}$ を伴う VLSI に対して、正常 VLSI と故障 VLSI の $I_{DDQ}$ 値の差分から真の $I_{DDQ}$ 異常値が計算処理され、その $I_{DDQ}$ 異常値を伴う ***TVN*** が抽出される。

② 複数の故障を伴う VLSI に対して、複数の $I_{DDQ}$ 異常値は異常値ごとに分類され、各 $I_{DDQ}$ 異常値ごとの ***TVN*** が抽出される。

## (3) CAD システム

CAD システムは

SUN マイクロシステムズ社製、ULTRA SPARC30

NEC 社製、EWS4800/360SX

よりなる。CAD システムは　コンピュータによる回路機能設計からレイアウト設計そしてマスクパターンの生成に至る VLSI 設計を支援するツールを用いて、故障診断前処理を実行するシステムである。$I_{DDQ}$ 利用による故障診断に使用する設計情報は CAD ツール上のブロック回路情報、ブロックの配置情報、ネットリスト情報、そして VLSI レイアウト情報である。それらの情報は 論理シミュレーションを用いて、ブロックごとの入力論理情報とブロック間接続配線の論理情報に変換されて、コントロールシステムへ転送される。

## (4) コントロールシステム

コントロールシステムは

SUN マイクロシステムズ社製、ULTRA SPARC30

NEC 社製、EWS4800/360SX

よりなる。このシステムはネットワーク間のデータ転送命令処理、故障診断処理、そして出力処理を行うシステムである。

データ転送命令処理は外観異常検査システムにて検出された外観異常箇所の座標情報、VLSI 検査システムにて処理された $I_{DDQ}$ 異常を伴う *TVN* 情報、そして CAD システムにて抽出されたブロックごとの入力論理情報と配線論理情報を取り込む処理である。

故障診断処理はデータ転送命令処理にて取り込んだ情報を用いて、故障診断を実施し、その結果を出力する処理である。

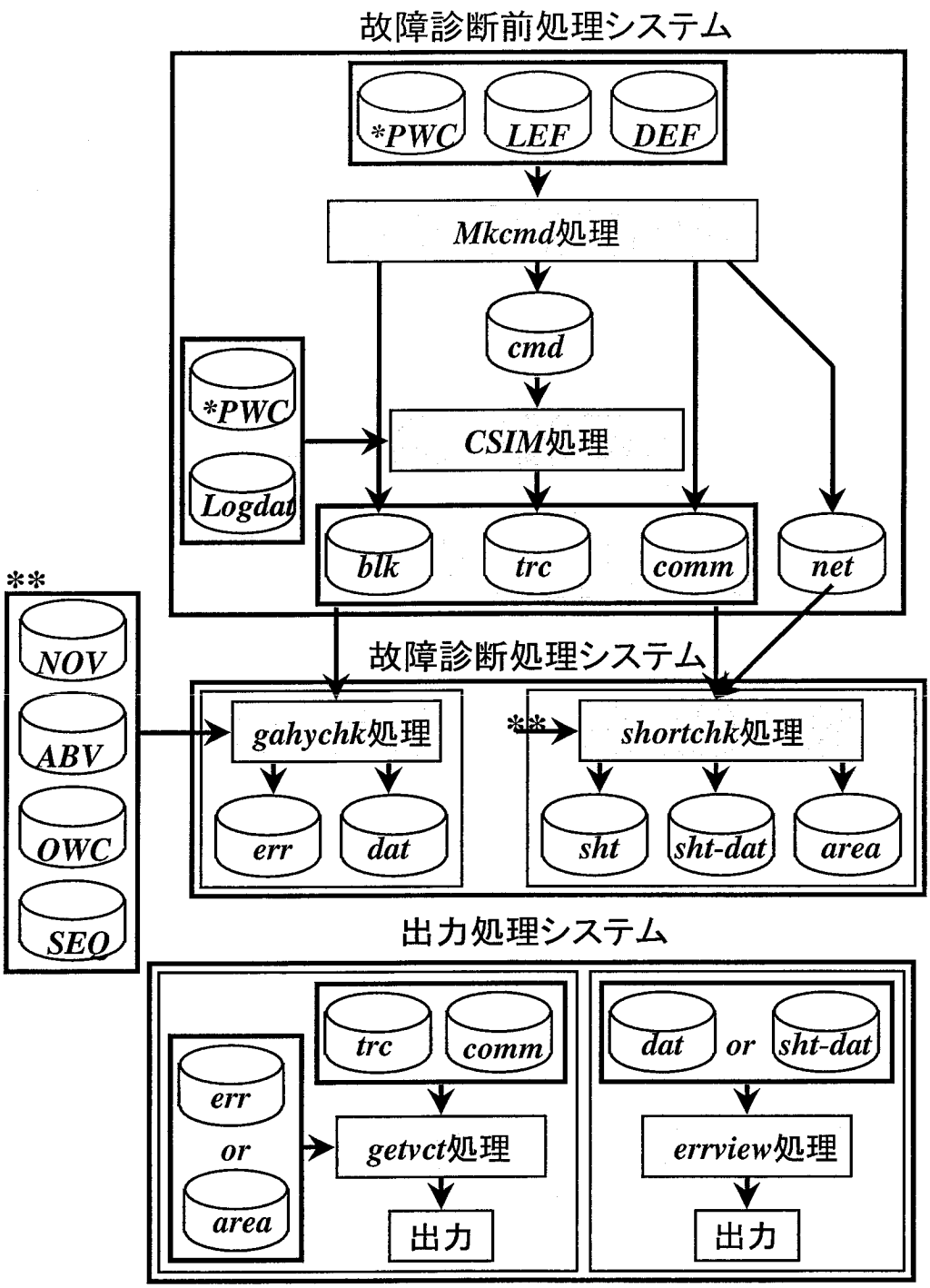
出力処理は故障診断処理にて診断された出力結果を用いて、指定するブロックや配線の論理情報を出力する処理と、故障発生箇所の配置位置や診断領域内のエレメント構成を画像表示する処理である。

## 5.3 ソフトウェア構成

本システムのソフトウェア構成を図 5.2 に示す。システムは故障診断前処理システム、故障診断処理システムおよび、出力処理システムの 3 つのシステムからなる。ここで、使用する名称は以下に示す意味を有する。

* ブロック名はレイアウト上に配置された各ブロックの識別名である。
* ブロック回路名はブロックライブラリに登録されている基本論理回路名である。
* 端子コードはブロックの各入出力端子の識別名である。
* ネット名はレイアウト上に配置されたブロック間を接続する配線の識別名である。

以下に図 5.2 に示すソフトウェア構成図に記載される各ファイルおよび、処理内容に関して説明する。




＊　PWC ファイルは下位回路ブロックごとの接続情報ファイルである。上位回路ブロックは PWCexpd 処理にて下位回路ブロックに展開され、PWC ファイルに入力される。

＊＊ NOV, ABV, OWC, SEQ ファイルは gaphychk 処理および、shortchk 処理に対する共通ファイル群である。

図 5.2 ソフトウェア構成図

－ファイル－

ABV　：$I_{DDQ}$異常値を伴う ***TVN*** のファイルである。gahychk 処理および、Shortchk 処理のデータに使用される。

DEF　：VLSI レイアウト情報であり、VLSI 上に配置されたブロックのブロック名と原点座標・配置方向および、配線のネット名とそのセグメントごとの座標の情報ファイルである。Mkcmd 処理のデータに使用される。

LEF　：VLSI 物理情報であり、チップサイズ、各ブロックのサイズとそれらの入出力端子座標、各配線の幅と間隔、バイヤホールサイズの情報ファイルである。Mkcmd 処理のデータに使用される。

Logpat　：テストベクタであり、VLSI の各入力端子ごとに印加される論理と、その論理が変化する ***TVN*** の情報ファイルである。CSIM 処理のデータに使用される。

NOV　：正常な $I_{DDQ}$ 値を伴う ***TVN*** のファイルである。gahychk 処理および、Shortchk 処理のデータに使用される。

OWC　：外観異常箇所の座標情報ファイルである（表 5.7 参照）。gahychk 処理および、Shortchk 処理のデータに使用される。

PWC　：ブロック名とその入出力端子に接続するネット名の接続情報ファイルである。Mkcmd 処理および、CSIM 処理のデータに使用される。

SEQ　：単一メモリ機能を有するレベルにまで展開された順序回路のブロック回路名の登録ファイルである。gahychk 処理および、Shortchk 処理のデータに使用される。

area　：故障と診断された領域内のブロック名とその端子数および、ネット名と端子コードの情報ファイルである。shortchk 処理において出力するファイルの一つであり、getvct 処理のデータに使用される。

blk　：一次の分割領域（図 5.3 参照）ごとのブロック情報であり、ブロック名、ブロック回路名、入力端子数、サイズ、原点座標および、配置方向の情報ファイルである。Mkcmd 処理において出

力するファイルの一つであり、gahychk 処理および、Shortchk 処理のデータに使用される。

cmd　：論理シミュレーション用記述様式に変換された、一次の分割領域ごとのブロック名と端子コードのファイルである。Mkcmd 処理において出力するファイルの一つであり、CSIM 処理のデータに使用される。

comm　：VLSI 品種名、チップサイズ、VLSI の一次の分割数（X 方向、Y 方向）、ブロック名とそのブロックが存在する一次の分割領域番号、ネット名とその配線が存在する一次の分割領域番号の品種情報ファイルである。Mkcmd 処理において出力するファイルの一つであり gahychk 処理、shortchk 処理および、getvct 処理のデータに使用される。

dat　：故障の可能性のあるブロックのブロック名、原点座標、配置方向の情報ファイルである。gahychk 処理において出力するファイルの一つであり、errview 処理のデータに使用される。

err　：故障の可能性のあるブロックの階層構造名、ブロック名、その原点座標、配置方向の情報ファイルである（表 5.1、表 5.3 参照 ）。gahychk 処理において出力するファイルの一つであり、getvct 処理のデータに使用される。

net　：一次の分割領域ごとの配線情報であり、ネット名、接続するブロック名と端子コード、セグメント数、各セグメントの座標と配線層の情報ファイルである。Mkcmd 処理において出力するファイルの一つであり、shortchk 処理のデータに使用される。

sht　：配線短絡の可能性のある領域番号と外観異常箇所座標の情報ファイルである（表 5.2、表 5.4 参照 ）。shortchk 処理において出力するファイルの一つである。

sht-dat　：故障の可能性のある外観異常箇所を含む診断領域の物理情報ファイルであり、チップサイズ、外観異常箇所座標とその定義された診断領域幅、その診断領域ごとのブロック名、原点座標、サイズおよび、ネット名、各セグメント座標、配線幅の物理情

報ファイルである。shortchk 処理において出力するファイルの一つであり、errview 処理のデータに使用される。

trc　：一次の分割領域ごとのブロック論理情報であり、*TVN* ごとまたは論理変化ごとの各ブロックの入力／出力論理テーブルの情報ファイルである。CSIM 処理において出力するファイルの一つであり gahychk 処理、shortchk 処理および、getvct 処理のデータに使用される。

**－処理－**

CSIM　：VLSI の論理シミュレーションである。cmd、Logpat、PWC 情報を入力し、trc 情報を出力する。

errview　：レイアウト上の指定したブロックや診断領域位置および、診断領域内エレメントのレイアウト構成の画像表示処理である。dat 情報を入力することで故障ブロックの位置が表示される（図 5.6 参照）。sht-dat 情報を入力することで診断領域位置および、診断領域内エレメントのレイアウト構成の画像が表示される（図 5.7、図 5.8、図 5.9 参照）。

gaphychk　：ブロックの診断処理である。trc、comm、blk、NOV、ABV、OWC、SEQ 情報および、パラメータ値を入力し、err、dat 情報を出力する（表 5.1、表 5.3 参照）。

getvct　：論理データ抽出処理である。trc、comm と err 又は、area 情報を入力することで論理データを出力する。err 使用時はブロックの論理データ（表 5.5 参照）を、area 使用時は診断領域内ブロックと配線の論理データ（表 5.6 参照）を出力する。

Mkcmd　：論理シミュレーション前処理である。PWC、LEF、DEF 情報を入力し、cmd、comm、blk、net 情報を出力する。

PWCexpd　：階層構造化された上位回路ブロックを下位回路ブロックに展開する処理である（図 3.3 参照）。

shortchk　：配線短絡の診断処理である。trc、comm、blk、net、NOV、ABV、OWC、SEQ 情報および、パラメータ値を入力し、sht、sht-dat、area 情報を出力する（表 5.2、表 5.4 参照）。

### 5.3.1 故障診断前処理システム

このシステムはCADツールを用いて、故障診断用データとなる*TVN*ごとのブロックと配線の論理情報と配置情報を抽出するシステムである。まず、ブロック間の接続情報(PWC)、ブロックのサイズと配線の設計基準である物理情報(LEF)および、ブロックと配線の配置座標情報(DEF)を用いて、論理シミュレーション前処理（Mkcmd処理）が実施される。

**－論理シミュレーション前処理（Mkcmd処理）－**

実行は「Mkcmd△ PWC／DEF／LEF／VLSI 製品名／X 方向分割数(m)／Y方向分割数(n)」（△はブランクを意味する）を指定する事で処理がなされる。この処理において、大規模VLSIはコンピュータメモリ容量の制限や 並列処理による診断時間の短縮化のために、図 5.3 に示すように VLSI を区分けする一次の分割指定（m× n）がなされる。

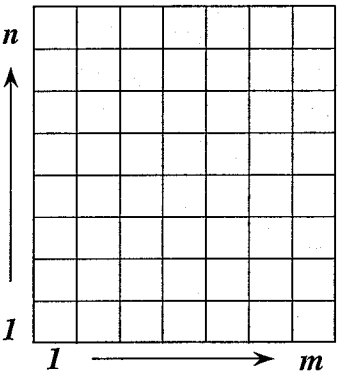



図 5.3 一次の分割指定（m× n）によるVLSIの区分け

出力データは VLSI の一次分割数と分割番号ごとのブロックと配線名を有する品種情報（comm）、一次分割領域ごとのブロックの構造情報（blk）、配線情報（net）および、ブロック端子情報（cmd）である。次に、抽出されたブロック端子情報（cmd）、テストベクタ情報（Logpat）、ブロック間接続情報（PWC）を用いて論理シミュレーション(CSIM) が実行され 一次分割領域ごとの、*TVN*に対応するブロックの入出力論理情報（trc）が抽出される。

## 5.3.2 故障診断処理システム

故障診断前処理システムにて生成された trc、blk、comm、net 情報および、正常な $I_{DDQ}$ を伴う *TVN* 情報 (NOV)、$I_{DDQ}$ 異常を伴う *TVN* 情報 (ABV)、順序回路のブロック回路名情報 (SEQ)そして、外観異常箇所座標情報 (OWC)を用いて以下に示す四種類の診断が実行される。

① VLSI 全体を対象としたブロック診断
② VLSI 全体を対象とした配線短絡診断
③ 設定したレイアウトブロック領域内のブロック診断
④ 設定したレイアウトブロック領域内の配線短絡診断

以下に四種類の診断処理内容を説明する。

### (1) VLSI 全体を対象としたブロック診断

使用するファイルは各一次の分割領域ごとの trc、blk ファイルと VLSI 全体の共通ファイルである comm、NOV、ABV、SEQ ファイルである。また、診断のために任意の *TVN* の範囲が指定される。そして、診断処理（gahychk 処理）により、故障の可能性のあるブロックのリスト（err）と、そのブロックの原点座標と配置方向データ（dat）が出力される。

**－故障診断処理（gaphychk 処理）－**

実行は「gaphychk△trc／blk／comm／NOV／ABV／SEQ／START／END／SKIP」を指定する事で処理がなされる。err 指定にて表 5.1 に示す故障の可能性のあるブロックリストが出力される。ここで、START／END／SKIP は診断する *TVN* の範囲と、除外する *TVN* を指定するパラメータである。

START　：診断を開始する *TVN* の指定
END　　：診断を終了する *TVN* の指定
SKIP　　：診断から除外する *TVN* の指定

これらのパラメータはテストベクタの範囲を規定して診断する時および、複数の $I_{DDQ}$ 異常値を分類して診断する時に必要である。前者のテストベクタ範囲の規定は、故障候補を段階的に絞り込むことによる診断の効率を目的とする。図 5.4 にその絞り込み方式を図示する。図 5.4(a) は診断対象となるブロック集合

であり、図 5.4(b) は ***TVN*** 対 $I_{DDQ}$ 値の関係を表すグラフ上での診断範囲を示す。まず、故障ブロック候補の一次選別として任意のベクタ集合を指定し、つぎに、二次選別としてベクタ範囲を拡大し一次の候補を絞り込む。以降、***TVN*** の診断範囲を拡大していきながら候補を絞り込むことで診断の効率化を図っていく。

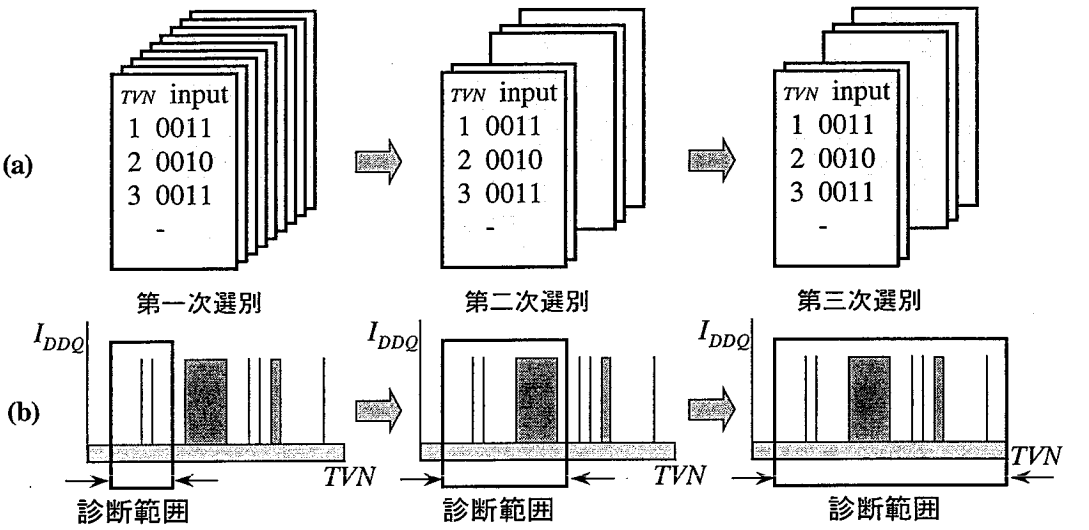



図 5.4 故障候補を段階的に絞り込む方式

後者の複数の $I_{DDQ}$ 異常値の分類は、$I_{DDQ}$ 異常値ごとに分類し、抽出された各異常値ごとの ***TVN*** と正常値での ***TVN*** の組合せを用いることで、複数故障の診断をあたかも単一の故障診断のように実施することを目的とする（3.3.2 節(2)参照）。

表 5.1 出力例

```
=================================================================
TRC file name                                  : 65933E51_10.trc      ------①
Block information file name                    : 65933E51_10.blk      ------②
Sequential circuit information file name       : CMOS 9_SEQ.dat       ------③
Abnormal TV number information file name       : 65933E51.abv         ------④
Circuit name                                   : 65933E51             ------⑤
                    ##############################
                        Pseudo breakdown block list                   ------⑥
                    ##############################
-----------------------------------------------------------------------------
      Block Name                                Block Type   Coordinate
-----------------------------------------------------------------------------
      B001/ DFL202/DMBH100/HN000/BBE115   F313   (4582.70 7087.60) W
      B001/ DFL202/DMBH100/HN000/BBE105   F313   (4549.30 7087.60) W
      B001/ DFL202/DMBH100/HN000/BBE120   F313   (4473.30 7521.60) W
```

出力リストの説明

① 使用した trc ファイル名

表示は順に、製品名(65933E51)、故障ブロックが存在する一次の分割領域のシリアル番号(-10)、ファイル名(trc)である。

② 使用した blk ファイル名

表示は順に、製品名(65933E51)、故障ブロックが存在する一次の分割領域のシリアル番号(-10)、ファイル名(blk)である。

③ 使用した順序回路名情報ファイル

表示は VLSI ブロックライブラリ中の順序回路名情報を登録したファイル (CMOS9_SEQ.dat)である。

④ 使用した $I_{DDQ}$ 異常を伴う ***TVN*** ファイル

表示は順に製品名(65933E51)、$I_{DDQ}$ 異常を伴う ***TVN*** ファイル(abv)である。

⑤ 診断に使用した回路名

⑥ 故障ブロックリスト（1 行目の診断リストを用いて内容を説明する）

(イ) 階層構造表示

上位回路ブロック名(B001)から下位回路ブロック(BBE115)へ至る階層構造を示す。

(ロ) 基本ブロック回路名

下位回路ブロック名(BBE115)のブロック回路名(F313)を示す。

(ハ) ブロックの原点座標（X，Y）

単位はμm である。

(ニ) ブロックの配置方向

W はブロックの基本配置方向に対して 180 度回転した方向に配置された状態を示す。配置方向は基準ブロックに対し 8 通りある。 図 5.5 に記号と配置方向の関係を示す。すなわち、E,N,W,S は基準ブロックに対して 0 度、90 度、180 度、270 度へ回転した方向への配置を、FE,FN,FW,FS は E,N,W,S 方向が y 軸に対してミラー反転した方向への配置を示す。

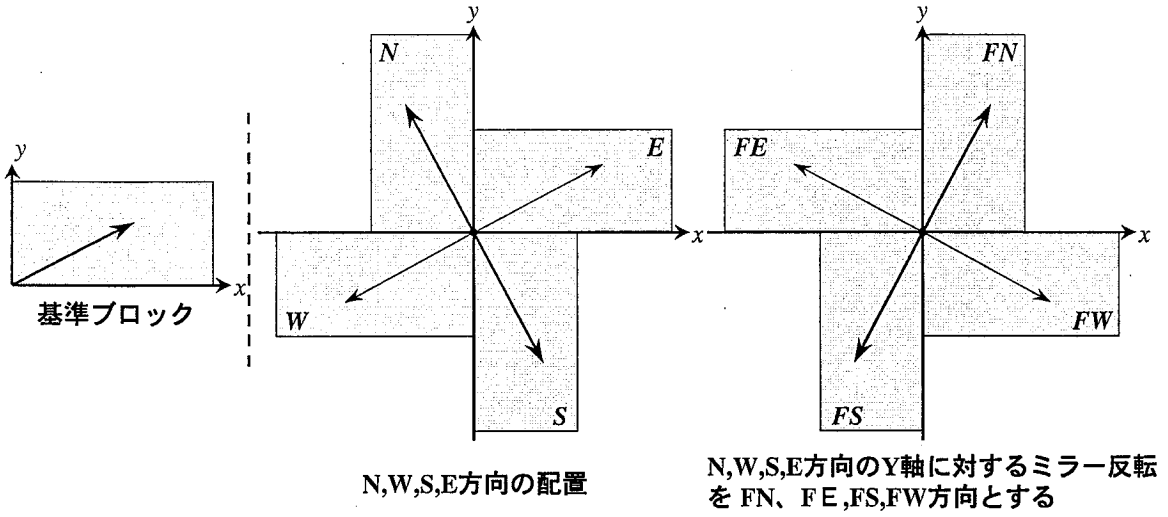



図 5.5 記号と配置方向の関係

## (2) VLSI 全体を対象とした配線短絡診断

この診断において、Mkcmd 処理にて区分けされた一次の分割領域は、さらに診断が容易となる回路規模サイズを有するレイアウトブロック領域に区分けされる (4.2.2 節参照)。診断は、各診断領域ごとの trc、blk、net ファイル、VLSI 全体の共通ファイルである comm、NOV、ABV、SEQ ファイル、そして、一次の分割領域を区分けした二次の分割数（PAR）と診断に用いる ***TVN*** 範囲の指定パラメータ(STRAT/END/SKIP)を用いて実施される。診断処理（shortchk 処理）結果、配線短絡故障の可能性のある分割領域のリスト（sht）、その領域のサイズおよび、領域内全ブロックと配線の設計情報（sht-dat）、領域内ブロック名と端子数および、ネット名と端子コード情報（area）が出力される。

**－故障診断処理（shortchk 処理）－**

実行は「shortchk△trc／blk／net／comm／NOV／ABV／SEQ／PAR／START／END／SKIP」を指定する事で処理がなされる。sht 指定にて表 5.2 に示す配線短絡内蔵の可能性のある分割領域のリストが出力する。

表 5.2 出力例

```
================================================================
TRC file name                                  : 65933E51_01.trc      ------①
Block information file name                    : 65933E51_01.blk      ------②
Sequential circuit information file name       : CMOS 9_SEQ.dat       ------③
Abnormal TV number information file name       : 65933E51.abv         ------④
Circuit name                                   : 65933E51             ------⑤

Divied area number                             : 4                    ------⑦
                    ##############################
                          breakdown area list                         ------⑧
                    ##############################
----------------------------------------------------------------------------------
                                  No.
----------------------------------------------------------------------------------
                                  01-1
                                  01-2
```

出力リストの説明

①～⑤　表 5.1 の説明を参照

⑦　一次の分割領域内の二次の区分数

表示は 4 区分したことを示す。

⑧　配線短絡を内蔵している可能性のある診断領域のリスト

表示は一次の分割領域(01)内の二次の分割断領域 1 および、2 に配線短絡を内蔵している可能性があることを示す。

表 5.2 に示す出力例は実験用に故障を作り込んだ模擬回路での診断結果である。実際の故障品に対する診断において以下の問題がある。

(イ)　$I_{DDQ}$ 異常が発生した論理に同期した配線が VLSI 全体に存在し、多数の擬似故障を有する分割領域が検出される。

(ロ)　VLSI 上を長距離にわたって同一の配線対が配置されるケースがあり、その配線を有する多数の分割領域が検出される。

そのため、実用的な診断に到っていない。この対策の一つとして、短絡故障が発生する可能性のあるレイアウト上の特徴を診断情報に持たせることで明らかに配線短絡とはならない配線対を削減していく方式がある。この対策案については第 6 章にて述べる。

### (3) レイアウトブロック領域内のブロック診断

この診断は外観上異常と検出される箇所を包含するレイアウトブロック領域を設定し、その領域内に存在するブロックを対象とする。故障診断処理（gahychk 処理）において使用するファイルは trc、blk、comm、NOV、ABV、SEQ および、外観異常箇所座標ファイル（OWS）であり、パラメータは外観異常座標を囲む領域の一辺の 1/2 長（4.3.3 節に示す r 値）（RAD）と STRAT/END/SKIP である。診断結果、故障の可能性のある外観異常箇所とそれを包含する領域内の異常と診断されたブロックのリスト（err）および、そのブロックの原点座標と配置方向データ（dat）が出力される。

**－故障診断処理（gaphychk 処理）－**

実行は「gaphychk△trc／blk／comm／NOV／ABV／SEQ／OWC／RAD／START／END／SKIP」を指定する事で処理がなされる。err 指定にて表 5.3 に示すリストが出力される。

表 5.3 出力例

```
============================================================
TRC file name                                  : 65933E51_04.trc      ------①
                                               : 65933E51_06.trc
Block information file name                    : 65933E51_04.blk      ------②
                                               : 65933E51_06.blk
Sequential circuit information file name       : CMOS 9_SEQ.dat       ------③
Abnormal TV number information file name       : 65933E51.abv         ------④
Circuit name                                   : 65933E51             ------⑤
                    ##############################
                       Appearance error area list                     ------⑨
                    ##############################

                  1 WEB              3761.61  4703.23
                  2 1ALPR           10339.10  1546.41
                  3 1ALPR           12371.20  1676.48

                    ##############################
                      Pseudo breakdown block list                     ------⑩
                    ##############################
------------------------------------------------------------------------------------------
No.   Block Name                                  Block Type  Coordinate
------------------------------------------------------------------------------------------
1  A021/D721/DFL202/DMAH219/HEN000/ADE102  F312 (  3549.30   4787.60) FN
1  A021/D721/DFL202/DMAH219/HEN000/ADE101  F312 (  3823.70   4787.60) N
```

出力リストの説明

① 使用したtrcファイル名

例では 2 つの分割領域 (-04,-06) のファイルコードが指定されている。これらのファイルコードは⑨に示す外観異常箇所座標を含む診断領域（サイズはRADにて指定）を有する一次の分割領域のコードである。

② 使用したblkファイル名

例では2つの分割領域 (-04,-06) のファイルコードが指定されている。

③～⑤ 表5.1の説明を参照

⑨ 検出された外観異常箇所リスト

例では 3 つの異常箇所であり、順に、シリアル番号、工程名、異常箇所座標（単位μm）を示す。ここで、工程名 WEB はタングステンプラグコンタクトのエッチバック工程を、1ALPR は一層配線フォトレジスト工程を表わす。

⑩ 故障ブロックリスト（1行目の診断リストを用いて内容を説明する）

(イ) 外観異常箇所のシリアル番号

⑨におけるシリアル番号 **1** を示す。

(ロ) 診断領域内の故障検出ブロックを構成する階層構造表示

上位回路ブロック名(A021)から下位回路ブロック名(ADE102)へ至る階層構造を示す。

(ハ) 基本ブロック回路名

下位回路ブロック名(ADE102)のブロック回路名(F312)を示す。

(ニ) ブロックの原点座標（X，Y）

単位はμmである。

(ホ) ブロックの配置方向（図5.5を参照）

## (4) レイアウトブロック領域内の配線短絡診断

この処理は外観上異常と検出される箇所を包含する診断領域を設定し、その領域内に存在するブロックと配線間の短絡診断を対象とする。配線短絡モードは二種類あり、一つはブロック内配線と配線間の短絡、もう一つは配線間の短絡である。使用するファイルはtrc、blk、net、comm、NOV、ABV、SEQ、OWS

であり、パラメータはRADとSTRAT/END/SKIPである。故障診断処理（shortchk処理）結果、配線短絡故障の可能性のある外観異常箇所のリスト（sht）、その異常箇所を含む診断領域のサイズおよび、領域内全ブロックと配線の設計情報（sht-dat）、領域内ブロック名と端子数および、ネット名と端子コード情報（area）が出力される。

**－故障診断処理（shortchk処理）－**

実行は「shortchk△trc／blk／net／comm／NOV／ABV／SEQ／OWC／RAD／START／END／SKIP」を指定する事で処理がなされる。sht指定にて表5.4に示す配線短絡の可能性のある外観異常箇所のリストが出力される。

表5.4 出力例

```
=================================================================
TRC file name                                  : 65933E51_04.trc      ------①
                                               : 65933E51_06.trc
Block information file name                    : 65933E51_04.blk      ------②
                                               : 65933E51_06.blk
Sequential circuit information file name       : CMOS 9_SEQ.dat       ------③
Abnormal TV number information file name       : 65933E51.abv         ------④
Circuit name                                   : 65933E51             ------⑤

                    ##############################
                       Appearance error area list                     ------⑨
                    ##############################

                 1 WEB              3761.61  4703.23
                 2 1ALPR           10339.10  1546.41
                 3 1ALPR           12371.20  1676.48
                    ##############################
                          breakdown area list                         ------⑪
                    ##############################
-------------------------------------------------------------------------------
            No.        Process        Coordinate
-------------------------------------------------------------------------------
            1          WEB            ( 3761.61   4730.20)
            2          1ALPR          (10339.10  15464.10)
```

出力リストの説明

①、②　表5.3の説明を参照

③～⑤　表5.1の説明を参照

⑨ 表 5.3 の説明を参照

⑪ 配線短絡故障の可能性のある外観異常箇所リスト

（診断結果は⑨の異常箇所リストを表示）

(イ) 外観異常箇所のシリアル番号（⑨の異常箇所シリアル番号に対応）

(ロ) 製造工程中で検出された外観異常の工程名

(ハ) 外観異常箇所座標値、単位はμm である。

### 5.3.3 出力処理システム

本システムは二種類の診断結果を出力するシステムである。一つは故障の可能性があるとして抽出されたブロックや診断領域内ブロックと配線の入力論理が変化する *TVN* とその論理テーブルを出力するシステムであり、もう一つは故障の可能性ありとして抽出された外観異常箇所を含む診断領域の位置と診断領域内のエレメント構成を画像表示する出力システムである。抽出された出力データはブロック内故障箇所や診断領域内配線短絡箇所を絞り込むために利用される。

#### (1) 論理の変化の表示

論理の変化の表示は二種類ある。ブロックの論理変化と診断領域内エレメントの論理変化の表示である。

##### (1)-1 ブロックの論理変化

trc、comm および、err ファイルを用いて論理データ抽出処理（getvct 処理）を行うことで指定されたブロックの *TVN* に対する論理の変化を表示する。その結果は、ブロックの論理変化（OUT）ファイルとして出力する。

**－論理データ抽出処理（getvct 処理）－**

実行は「getvct△ trc／comm／err／OUT／START／END」を指定する事で処理がなされる。OUT は getvet 処理結果を保存するファイル名であり、OUT 指定により表 5.5 に示すリストが出力する。START／END は論理表示させる *TVN* の開始と終了を指定するパラメータである。

表 5.5 出力例

```
[Block value]
 Block Name ［A012/D713/ADD110] [F305]-----①

 Test Vector (1 to 10000)                    -----②

      HHHHHH
NO    0 0 0 0 0 0
      1 2 3 4 5 6

 1    0 1 1 1 1 1
15    0 0 0 1 0 0
23    1 0 1 0 1 0
24    0 0 0 1 0 0
64    1 1 1 0 1 0
        ⋮
```

出力リストの説明

① ブロック表示は上位回路ブロック名(A012)から下位回路ブロック名(ADD110) へ至る階層構造と、下位回路ブロック(ADD110) のブロック回路名(F305)を示す。

② テーブルは ***TVN***1～10000 において、入力論理が変化する時の ***TVN*** とその入力論理を示す。

**(1)-2 診断領域内エレメントの論理変化**

trc、comm および、area ファイルを用いて、getvct 処理を行うことで指定した診断領域内の全ブロックおよび、配線の ***TVN*** に対する論理の変化を表示する。その結果は、診断領域内のブロックおよび、配線の論理変化 (OUT) ファイルとして出力する。

**－論理データ抽出処理（getvct 処理）－**

実行は「getvct△ trc／comm／area／OUT／START／END」を指定する事で処理がなされる。OUT 指定により表 5.6 に示すリストが出力する。

表 5.6 出力例

```
<<Area 1>>                                              -----①
      Coordinate: (469400, 860500)                      -----②
      [Net value]                                       -----③
       NET1:M00238:N02
       NET2:M00239:N02
       NET3:M0023A:N01
       NET4:M0023C:N01
       NET5:M0023D:N01
       NET6:M0023Y:N02
       NET7:M013/M003/PH11:N03
       NET8:M013/M003/PGG:N01
       NET9:M013/M010/N3602:N01
                 ⋮
       NET19:M013/M010/FOJ:N01
       Test Vector (1 to 10000)                         -----④
       NNNNNNNNNNNNNNNNNNN
       EEEEEEEEEEEEEEEEEEE
       TTTTTTTTTTTTTTTTTTT
NO     0 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1 1 1
       1 2 3 4 5 6 7 8 9 0 1 2 3 4 5 6 7 8 9

 1     1 1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 1 0 0
41     0 0 0 0 0 1 1 1 1 0 0 0 0 0 0 0 1 0 0
46     0 0 0 0 0 1 1 1 1 0 0 0 0 0 0 0 1 1 1
89     0 0 0 0 0 1 1 1 1 0 0 0 0 0 0 0 1 1 0
92     0 0 0 0 0 1 1 1 1 0 0 0 0 0 0 0 1 0 0
95     0 0 0 0 0 1 1 1 1 0 0 0 0 0 0 0 1 1 0
98     0 0 0 0 0 1 1 1 1 0 0 0 0 0 0 0 1 0 0
                 ⋮
      [Block value]                                     -----⑤
       Block Name  [M013/M010/CA413H34] [F425]

       Test Vector (1 to 10000)                         -----⑥
       HHHHHH
NO     0 0 0 0 0 0
       1 2 3 4 5 6

 1     1 1 1 1 1 1
10     0 0 0 1 0 0
18     1 0 1 0 1 0
25     0 0 0 1 0 0
44     1 0 1 0 1 0
48     1 0 1 0 0 0
64     1 0 1 0 1 0
               ⋮
```

出力リストの説明

① 故障を内蔵している可能性のある診断領域のシリアル番号表示

② ①の領域に含まれる外観異常箇所の座標（単位μm）

③ 診断領域内ネット名

④ テーブルは ③に対応するネット名に対して、***TVN***1～10000 において論理が変化する時の ***TVN*** とその論理を示す。

⑤ 診断領域内のブロックの 1 つであり、上位回路ブロック名(M013)から下位回路ブロック名(CA413H34)へ至る階層構造と、下位回路ブロック(CA413H34)のブロック回路名(F425)を示す。

⑥ テーブルは ⑤に記述されたブロックにおける、***TVN***1～10000 間での論理が変化する時の ***TVN*** とその入力論理を示す。

## (2) 故障箇所の画像表示

故障箇所の画像表示は二種類ある。指定されたブロックの VLSI 上の位置と、診断領域内エレメントのレイアウト構造の表示である。この画像表示出力システムは故障 VLSI の物理的解析のための位置指定や解析結果との照合、さらには多層配線構造のために配線に隠れて観察できないブロックや配線間の重なり形状を図示することで故障箇所を分析したり解析する手段として利用される。

### (2)-1 指定されたブロックの VLSI 上の位置表示

座標データファイル（dat）を用いて画像表示処理（errview 処理）を行い、指定されたブロックの VLSI 上の位置を図示する処理である。

**－画像表示処理（errview 処理）－**

実行は「errview△dat」を指定する事で処理がなされる。その結果、図 5.6 に示すように、dat にて指定したブロックの VLSI 上の位置表示がなされる。図 5.6 中、err view 記載箇所の白枠は規格化した VLSI チップを表し、内部の■部は dat にて指定されたブロック位置を表している。右側のズーム機能により任意の箇所を拡大でき、またズーム機能部の Window スイッチによりブロックの原点座標、階層構造の配置名、ブロック回路名を表示できる。

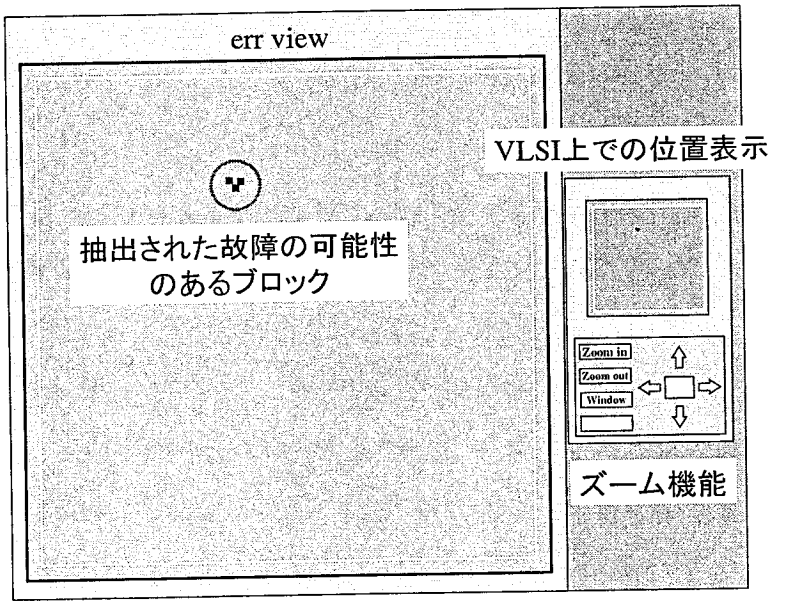



図 5.6 指定ブロックの VLSI 上の位置表示例

### (2)-2 診断領域内エレメントのレイアウト構造

外観異常箇所座標データファイル（sht-dat）を用いて、画像表示処理（errview 処理）を行うことで VLSI 上の外観異常箇所位置表示および、拡大処理により外観異常箇所を包含した診断領域内のブロックおよび、配線のレイアウト構造を表示する処理である。

**－画像表示処理（errview 処理）－**

実行は「errview△sht-dat」を指定する事で処理がなされる。その結果、sht-dat にて指定された VLSI 上の外観異常箇所位置表示および、拡大処理による診断領域内レイアウト表示がなされる。図 5.7 は拡大処理による診断領域内のブロック表示であり、3 個のブロックを含んでいる。図 5.8 は拡大処理による診断領域内の配線表示であり、セグメント数は 41 本であり、ネット名として 14 本の配線を含んでいる。図 5.9 は図 5.7、図 5.8 を合わせた診断領域内のすべてのエレメント構造の画像表示図である。

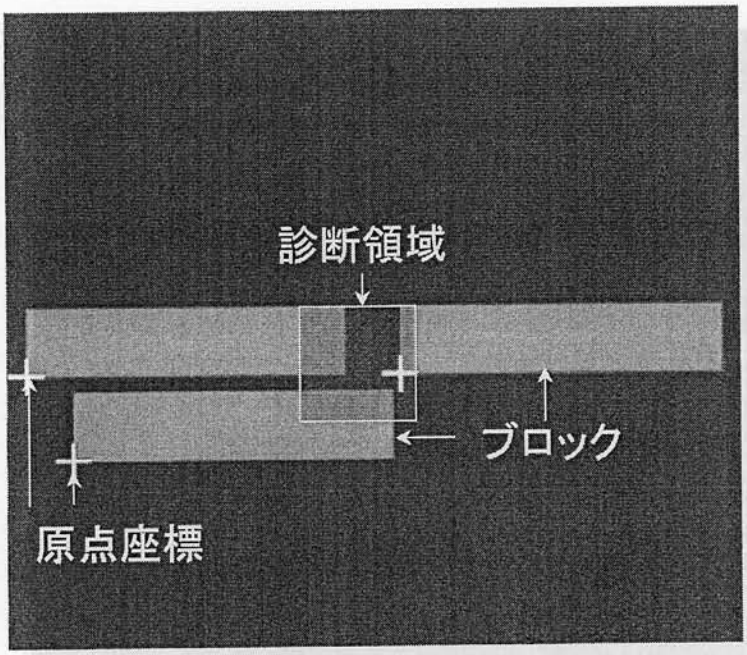



図 5.7 診断領域内のブロック表示

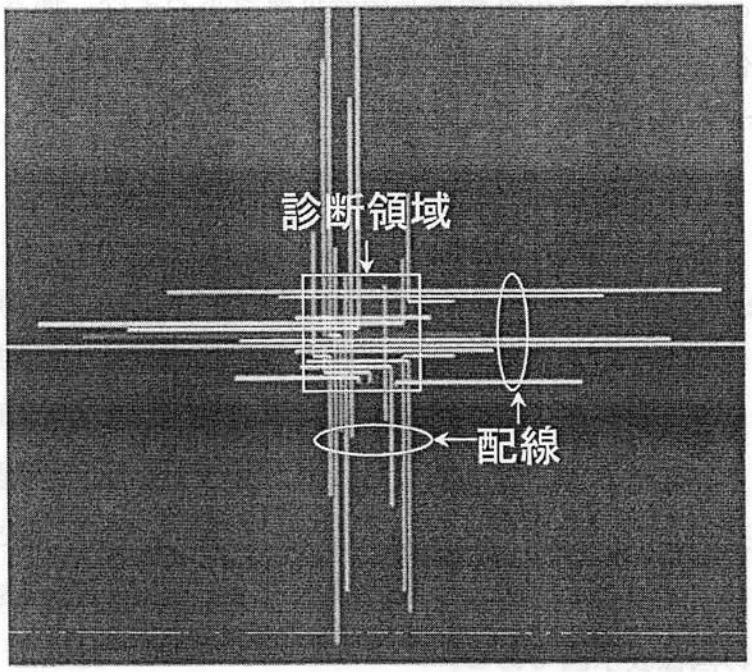



図 5.8 診断領域内の配線表示

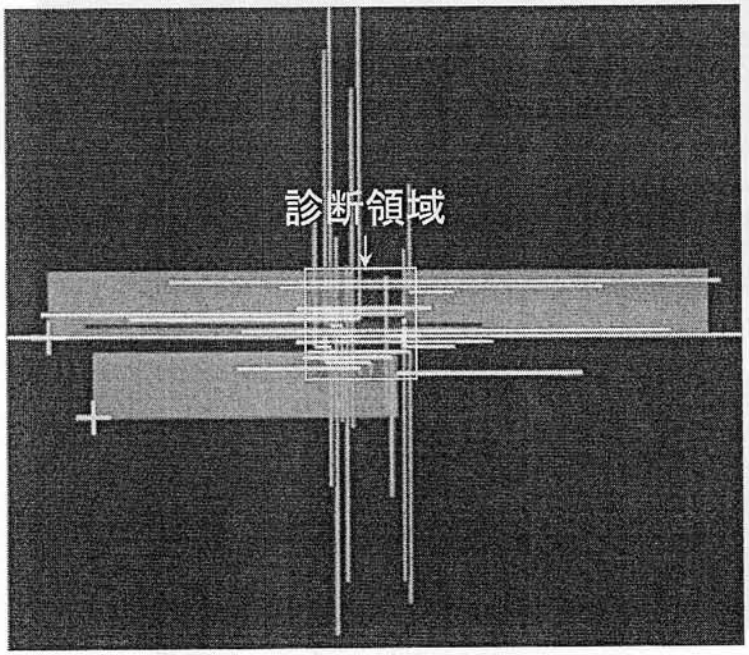



図 5.9 診断領域内のすべてのエレメント表示

## 5.4 応用

本システムを VLSI 製造工程における欠陥検出のフローに組み込み、外観検査装置にて検出される複数のパーティクルやパータン崩れ箇所などの外観異常箇所から真の故障箇所を検出するための診断に適用した。まず、VLSI 製造ラインへの適用におけるレイアウトブロック領域の設定理由について述べたのち、外観異常情報を診断データに転換するフローを示す。次に、実際のラインでの適用事例について診断フローにしたがって述べる。

### 5.4.1 VLSI 製造ラインへの適用

#### (1) レイアウトブロック領域の設定

VLSI の外観検査装置にて検出される外観異常箇所中、一部がプロセスの進行とともに成長し電気的故障となる。したがって、製造工程管理において、欠陥となる外観異常モードを識別し、モニタすることは、歩留り向上のための重要な管理項目となる。

従来、メモリ LSI はチップ面積の 90%以上をメモリ素子で構成されており、各素子のアドレスを指定することで、直接、電気的特性を測定できた。したがって、検査装置にて計測された外観異常箇所の座標値に対して補正を行う（後述する）ことで異常箇所とメモリ素子間の対応が可能となり、電気的異常箇所かどうかの判断を容易に行うことができた[85]。しかし、ロジック VLSI は直接、各素子を電気的に診断する有効な手段がなかったため、外観異常箇所と電気的異常との対応をとることが困難であり、したがって、検査結果を有効に利用できなかった。そのようなロジック VLSI に対して、外観異常箇所を中心とするレイアウトブロック領域を設定し、その領域内のエレメントを抽出し、$I_{DDQ}$ を用いた診断を実施することで、電気的異常となる外観異常箇所の検出が可能となる。そして、その結果は製造工程にフィードバックされ、歩留りの改善に寄与できるようになる[82],[84],[86]。

ここで、レイアウトブロック領域を設定する理由を述べる。外観異常箇所が $I_{DDQ}$ 異常を発生させる箇所かどうかを絞り込むための診断において、まず、故障 VLSI チップ上にて観察される異常箇所の座標を VLSI レイアウト上の座標

に一致させる必要がある。しかしながら、外観検査装置にて設定される原点座標および、異常箇所の座標の読み取り精度の変動のために完全な一致は困難である。この変動幅は、10mm x 10mm のチップサイズのとき、約 30 ミクロンを有することがメモリの測定結果から指摘されている[82]。そして、この誤差は実際のロジック VLSI でも同じ割合で発生していると考えられる。したがって、異常個所の座標を中心とする変動幅以上の方形を診断領域として設定することで、レイアウトとの誤差を解消する事が可能となる。

### (2) 外観異常情報の診断データへの転換

図 5.10 は外観検査装置にて検出された外観異常の検出からレイアウトブロックによる診断領域を設定するまでの概略図である。まず、外観検査装置を用いて製造工程ごとのウェーハ上の外観異常箇所が検索され、VLSI チップごとの外観異常箇所の座標値とサイズが記録される。そして、電気的特性試験において特性異常と判定された VLSI に対して、外観異常箇所の座標値が取り出される。次に、VLSI レイアウト上に、その座標値を中心とする診断領域が設定され、その領域内のエレメントが抽出される。以降、診断が実施され故障箇所が抽出される。なお、図 5.10 において、電気的異常を有する VLSI 上の複数個の外観異常箇所は *(x,y)* 座標に示す異常箇所で代表して示してある。

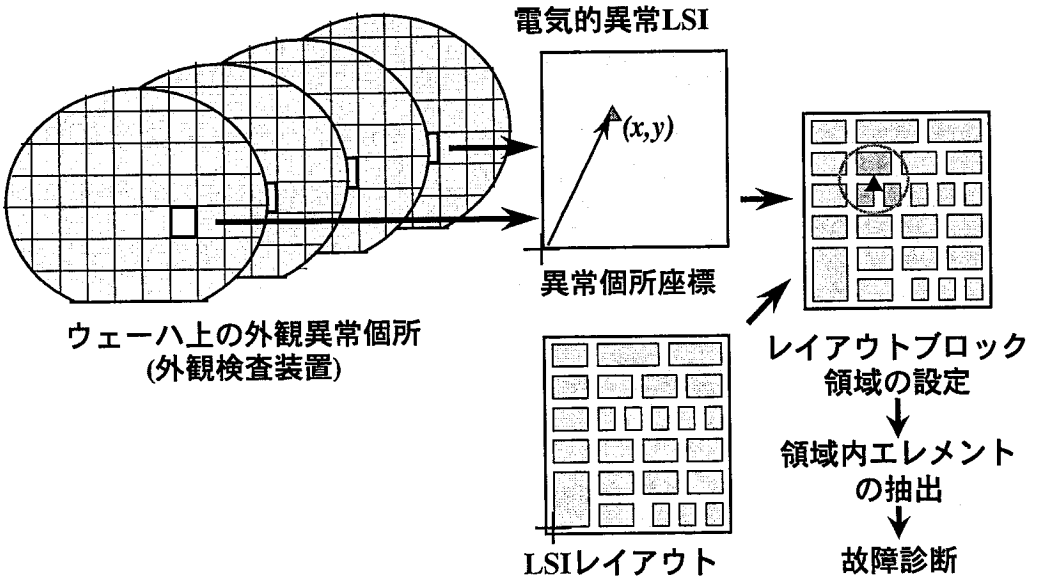
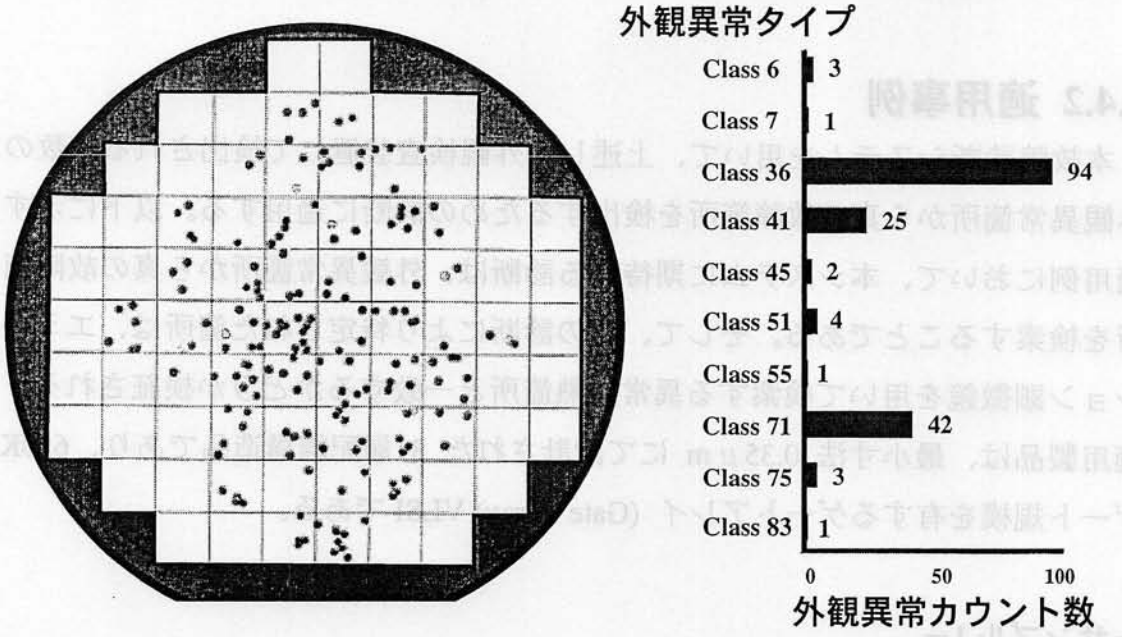



図 5.10 外観異常箇所の抽出から故障診断までの概略図

ウェーハ上の外観異常は外観検査基準として「異常形状タイプとサイズ」を設定することで識別される。図 5.11 はその抽出結果であり、図 5.11(a) はウェーハ上の外観異常箇所の分布表示図であり、図 5.11(b) は工程ごとの外観異常パターンのタイプと各タイプの個数の関係を示すグラフである。ここで、図 5.11(a) 上のウェーハ内の各外観異常モードのパターン形状（図中 10 個の記号にて分類して表示されている）は 図 5.11(b) に示す十種類の外観異常タイプ（Class 6 から 83）に対応する。この情報は診断にて抽出される $I_{DDQ}$ 異常箇所位置での外観異常タイプの特定に用いられ、製造工程にてモニタすべき外観異常タイプとして管理される。




(a) ウェーハ上の外観異常箇所の分布　　(b) 外観異常タイプと個数の関係

（KLA 社製外観検査装置での出力例）

図 5.11 各 VLSI チップの外観異常箇所の出力表示

診断に用いる各 VLSI ごとの外観異常箇所座標は、検査装置にパラメータとして VLSI のチップサイズと原点座標を指定することで出力される。表 5.7 はその出力例であり、順に、外観異常箇所座標（単位μm）、ウェーハ上の VLSI 位置（任意の VLSI 位置を(0,0)とした時の各 VLSI の相対位置）、外観異常箇所のサイズ（識別対象となる異常箇所全体を矩形で囲った外周サイズであり、順

に X,Y 方向を示す：単位μm）、異常パターンの面積（ピクセル換算による面積：単位μm$^2$）を示している。その後、このデータを用いて外観異常箇所の座標値を中心とする任意の大きさを指定し、レイアウトブロック領域を設定する。

表 5.7 チップの外観異常箇所の登録データ例

```
1 9.7959150000e+03 2.3737490000e+03 -1 -4 1.498000 1.747000 0.398160
2 1.0703462000e+04 2.2916080000e+03 -1 -4 0.998000 1.248000 0.270540
3 1.2096490000e+03 3.8434280000e+03 -1 -4 2.247000 0.998000 0.232160
4 1.3432210000e+03 1.0161280000e+03  0 -3 1.248000 0.998000 0.129500
```

(x , y) (x,y) (x , y)

外観異常箇所の座標　VLSI位置　異物を囲むサイズ　面積

## 5.4.2 適用事例

本故障診断システムを用いて、上述した外観検査装置にて検出される複数の外観異常箇所から真の故障箇所を検出するための診断に適用する。以下に示す適用例において、本システムに期待する診断は、外観異常箇所から真の故障箇所を検索することである。そして、この診断により特定された箇所は、エミッション顕微鏡を用いて検索する異常発熱箇所と一致するかどうか検証される。適用製品は、最小寸法 0.35μm にて設計された 3 層配線構造品であり、650K ゲート規模を有するゲートアレイ (Gate Array) VLSI である。

**－サンプル 1－**

① 外観異常検出システムによる外観異常箇所の座標抽出

外観異常検査装置により異常箇所を抽出する。まず外観検査装置を用いてウェーハ上の異常箇所を検出する。検査工程の種類は製品と製造プロセスより決定される。この製品では 10 種類の工程であった。抽出されたデータはVLSIごとの外観異常箇所座標として一覧表にまとめられる。このデータはコントロールシステムに転送され、図 5.12 に示すように、指定する VLSI ごとに、外観異常箇所座標と検出工程名を有する OWC ファイルが生成される。被診断 VLSI において計 24 箇所の異常を検出した。

| | | | |
|---|---|---|---|
| 1 | 3324.560 | 12402.780 | 1ALPR |
| 2 | 5266.440 | 10213.160 | 1ALPR |
| 3 | 10065.670 | 9245.780 | GPE |
| 4 | 4792.250 | 6989.340 | 1ALPR |
| 5 | 10857.500 | 11575.900 | 2ALPR |
| ⋮ | | ⋮ | |
| 24 | 11555.670 | 2567.570 | WEB |

外観異常箇所座標 (x,y)単位μm　　工程名

図 5.12 外観異常箇所の座標情報 (OWC) ファイル内容（計 24 箇所）

② VLSI 検査システムによる $I_{DDQ}$ 異常を伴う *TVN* の抽出

製造を完了したウェーハは LSI テスタを用いて、その全 VLSI の電気特性がテストされる。そして、故障判定された VLSI に対して、$I_{DDQ}$ 値と *TVN* の相関が再度テストされる。まず、正常品の *TVN* に対する $I_{DDQ}$ 値の関係が測定される。つぎに、不良判定品の *TVN* に対する $I_{DDQ}$ 値の関係が測定される。それらのデータはパソコン（PC）へ送られ、不良品と正常品の $I_{DDQ}$ 値の差分が計算処理される。図 5.13 はその処理結果であり、*TVN* に対する $I_{DDQ}$ 値の関係がグラフとして出力される。この VLSI において約 21mA と 2mA の二種類の $I_{DDQ}$ 異常を確認した。複数の $I_{DDQ}$ 異常値に

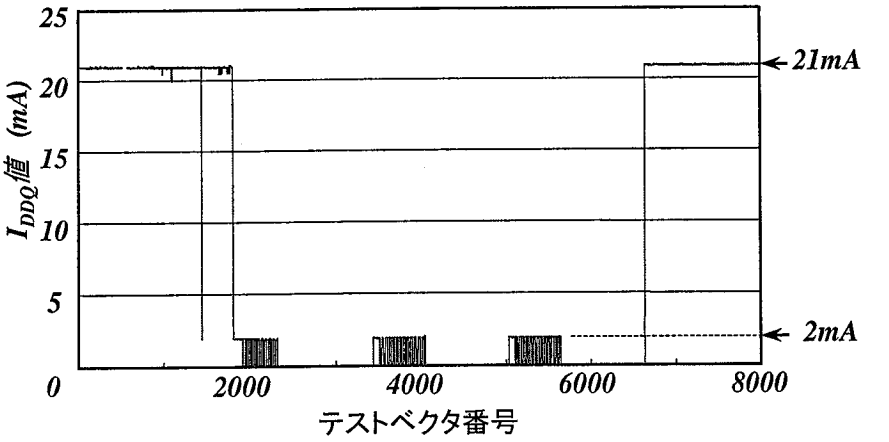



図 5.13 *TVN* 対 $I_{DDQ}$ 値の関係を示すグラフ

対して、$I_{DDQ}$ 値は昇順に並べ換えられ、各 $I_{DDQ}$ 値の集合ごとにグループ化される。そして、$I_{DDQ}$ 異常値集合と正常値集合の *TVN* に分類される（3.3.2節(2)参照）。その後、これらのデータはコントロールシステムへ転送され、$I_{DDQ}$ 異常値別に ABV（$I_{DDQ}$ 異常を伴うテストベクタ番号）ファイルとして生成される。

③ CAD システムによる故障診断前処理

CAD データより PWC、DEF、LEF データを用いて VLSI を基本ブロックに展開する Mkcmd 処理を実行する。本 VLSI は 54.166 個の基本ブロック（ゲート換算：最小 1 ゲート、最大 28 ゲート、平均 12.0 ゲート）に展開された。また、診断の効率化のために VLSI は 16 個の一次の分割領域に区分けされた。その処理結果、分割領域ごとのブロック端子情報（cmd）、ブロック情報（blk）、配線情報（net）、品種情報（comm）が抽出された。つぎに、PWC、Logpat、cmd データを用いて、論理シミュレーション（CSIM 処理）を実行し、各一次の分割領域ごとのブロックと配線の論理情報（trc）が抽出された。さらに、CAD データにより順序回路のブロック回路名の登録情報（SEQ）ファイルが準備された。これらの情報はネットワークを介してコントロールシステムへ転送される。

④ コントロールシステムによる故障診断－2mA 異常の診断－

診断は外観異常箇所を包含する診断領域を設定 (RAD)し、その領域内に存在するブロックおよび、配線を対象として実施される。領域内ブロックの診断に関しては、上記にて準備した、blk、trc、comm、NOV、ABV、OWC、そして SEQ ファイルを用いてブロック故障診断処理（gaphchk 処理）が実行される。領域内配線短絡の診断に関しては、上記ファイルと net ファイルを用いて配線短絡診断処理（shortchk 処理）が実行される。以下に、診断処理の設定状態と時間を記す。

| | |
|---|---|
| 外観異常箇所 | ： 24 箇所 |
| 診断領域のサイズ | ： $60\times60\mu m^2$ |

領域内エレメント　　：ブロック数 5.1 個、配線数 21.7 本　（平均）

診断対象テストベクタ　：1～8000 ベクタ

診断時間　　：約 90 分

診断条件　　：ブロック診断、つぎに配線短絡診断を実施する。ただし、ブロック診断において異常を検出すると配線の短絡故障診断を実施しない。

表 5.8 $I_{DDQ}$ 異常値 2mA 時の診断結果

```
==============================================================
TRC file name                                  : 65933E05_01.trc
                                                 65933E05_02.trc
                                                 65933E05_04.trc
                                                       :
                                                 65933E05_16.trc
Block information file name                    : 65933E05_01.blk
                                                 65933E05_02.blk
                                                 65933E05_04.blk
                                                       :
                                                 65933E05_16.blk
Sequential circut information file name        : CMOS9_SEQ.DAT
Abnormal TV number information file name       : sg87v7874_14_6_9.abv
Circuit name                                   : 65933E05
                    ##############################
                       Appearance error area list
                    ##############################
                    1  1ALPR      3324.56   12402.78
                    2  1ALPR      5266.44   10213.16
                    3  GPE       10065.67    9245.78
                    4  1ALPR      4792.25    6989.34
                                     :
                                     :
                    24 WEB       11555.67    2567.57
                    ##############################
                       Pseudobreakdown block list
                    ##############################
--------------------------------------------------------------------------------------------------
No.    Block Name                              Block Type  Coordinate
--------------------------------------------------------------------------------------------------
2      M013/M009/FA301H42                      S050    (5374.26 10234.46) FN
2      M013/M009/FA304H14                      S050    (5164.98 10234.46) N
2      M013/M009/FA301H43                      S050    (5282.70 10210.68) N
```

表 5.8 は $I_{DDQ}$ 異常値 2mA 時の診断結果であり、シリアル番号 2 に該当する異常箇所座標（5266.44μm、10213.16μm）に設定した診断領域内の 3 個のブロックに故障の可能性があるとして抽出された。3 個のブロック回路名と原点座標は S050（5374.26μm, 10234.46μm）, S050 (5164.98μm, 10234.46μm) , S050 (5282.70μm, 10210.68μm) であり、シリアル番号 2 における外観異常箇所に接近した箇所であった。

⑤ 故障位置の検証

故障解析方式を用いて故障位置を検証した。ウェーハ状態における VLSI の故障箇所の検証のためにエミッション顕微鏡を用いた。まず、VLSI 上のパッド部にプローバ (Prober) と呼ぶ金属探針を接触させ、VLSI を 2mA の $I_{DDQ}$ 異常が流れる論理状態に設定し解析を行った。その結果、診断された箇所に発光を確認した。図 5.14 はエミッション顕微鏡を用いて観察した発光像である。図 5.14 中、周辺部の放射状に広がる白線はプローバの針であり、その端点の輝点はパッド位置である。↑で示した箇所は異常発光箇所である。ただし、右下部の群状の輝点は撮影上の問題であり、VLSI からの発光ではない。

図 5.14 エミッション顕微鏡による発光像

図 5.15 は発光像と診断結果との画像の重ね合わせ図である。発光箇所と診断による抽出ブロック位置がほぼ一致していることが示されている。

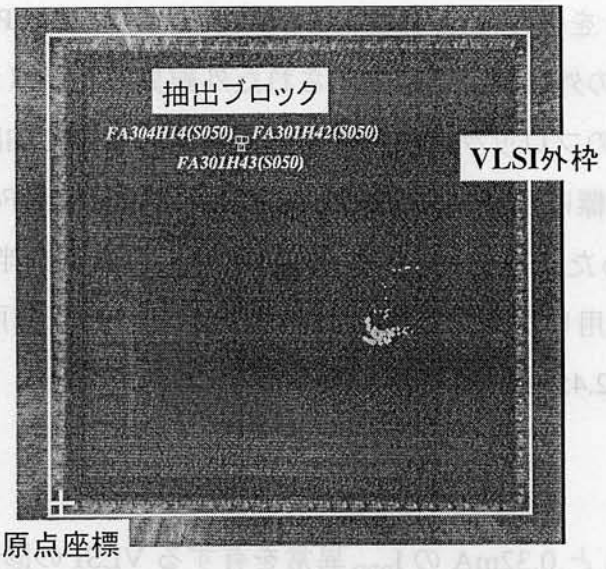



図 5.15 発光像と診断結果との重ね合わせ像

以上、診断結果と解析結果は一致しており、この VLSI において 2mA の $I_{DDQ}$ 異常を伴う故障は一層配線フォトレジスト工程（1ALPR）にて検出された異常箇所であることが判明した。さらに外観検査での異常タイプの分類（図 5.11 参照）から、この箇所はパーティクルの付着によるものであることが判明した。

⑥ コントロールシステムによる故障診断－21mA 異常の診断－

上記と同様に、21mA の $I_{DDQ}$ 異常を伴う故障箇所の診断結果は、表 5.8 に示す、シリアル番号 24（11555.67μm、2567.57μm）を囲むレイアウトブロック領域内に配線短絡の可能性があることを特定した。ただし、エミッション顕微鏡を用いた発光箇所と診断位置との検証は行っていない。

以上、この VLSI において 21mA の $I_{DDQ}$ 異常を伴う故障はタングステン・エッチング・バック工程（WEB）にて検出された異常箇所であることが判明した。さらに外観検査での異常タイプの分類から、この箇所はパーティクルの付着によるものであることが判明した。

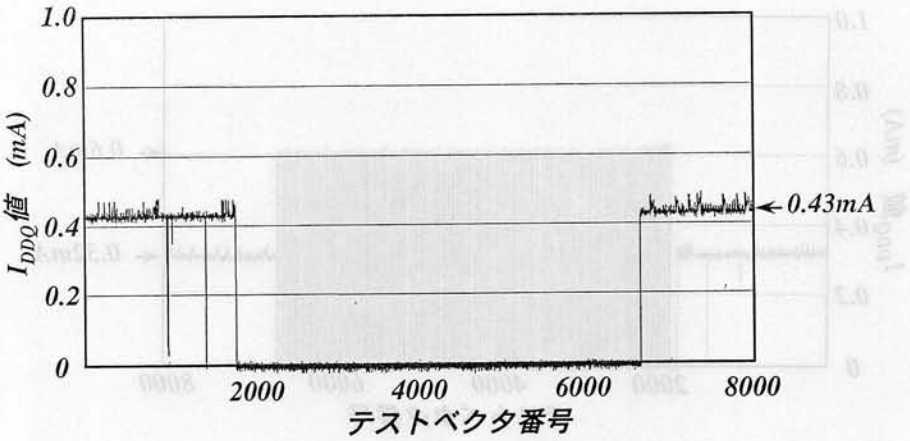
**－サンプル 2－**

図 5.16 は 0.43mA の $I_{DDQ}$ 異常を有する VLSI の診断結果であり、図 5.16(a) は良品との差分を表示した ***TVN*** に対する $I_{DDQ}$ 値の測定結果のグラフである。図 5.16(b) は 0.43mA を伴う $I_{DDQ}$ 異常の診断結果であり、1ALPR（一層配線フォトレジスト）工程の外観検査にて抽出された外観異常箇所（シリアル番号 4）を囲む診断領域内のブロックに故障の可能性のあるとして抽出された。ブロック回路名と原点座標は F101（7538.70μm, 1316.96μm）と F425（7545.54μm , 1316.96μm）であった。図 5.16(c) は 0.43mA の $I_{DDQ}$ 異常を伴う ***TVN*** でのエミッション顕微鏡を用いた発光箇所の観察像であり、発光箇所は外観異常箇所（7545.48μm, 1332.45μm）にほぼ一致した。

**－サンプル 3－**

図 5.17 は 0.6mA と 0.32mA の $I_{DDQ}$ 異常を有する VLSI の診断結果であり、図 5.17(a) は良品との差分を表示した ***TVN*** に対する $I_{DDQ}$ 値の測定結果のグラフである。図 5.17(b) は 0.6mA を伴う $I_{DDQ}$ 異常の診断結果であり、GPE（ゲートポリシリコンーエッチング）工程の外観検査にて抽出された外観異常箇所（シリアル番号 8）を囲む診断領域内のブロックに故障の可能性のあるとして抽出された。ブロック回路名と原点座標は S050（9232.86μm, 7713.78μm）であった。図 5.17(c) は 0.6mA の $I_{DDQ}$ 異常を伴う ***TVN*** でのエミッション顕微鏡を用いた発光箇所の観察像であり、発光箇所は外観異常箇所（9252.62μm, 7711.97μm）にほぼ一致した。

以上、述べたように故障診断統合化システムは CAD データ、$I_{DDQ}$ 異常を伴う ***TVN*** を用いて故障箇所を推定するシステムであり、その適用領域を拡大することで、製造起因から市場故障品に至るロジック VLSI の診断を系統的に行うことができるようになった。診断時間（故障診断前処理時間は含まない）はブロックあたり約 20 秒である。ただし、診断時間の約 95%はエレメントごとの論理データをシステム内の記憶媒体からコンピュータ上へ読み出す時間であった。この問題はハードウェアの高速化の進歩で対策されていく。




(a) *TVN* 対 $I_{DDQ}$ 値の関係を示すグラフ

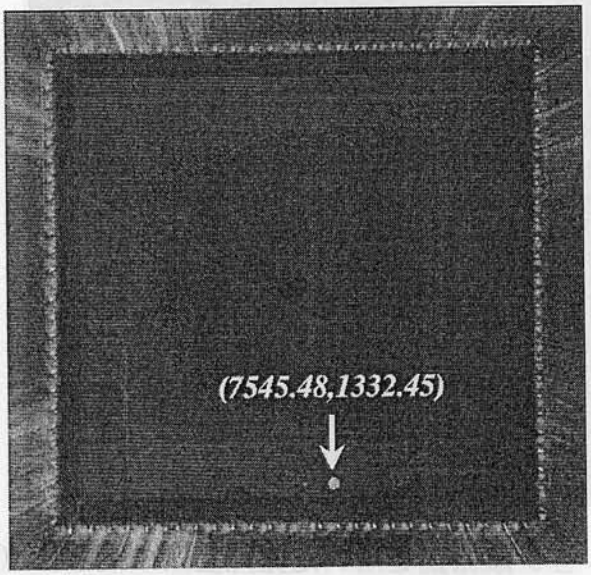
**Appearance error area list**

---

**4 1ALPR 7545.48 1332.45**

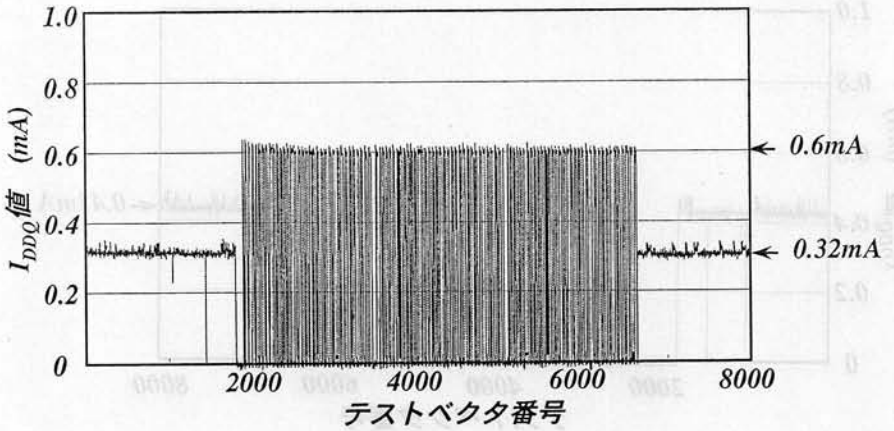
| Area No. | Block Name | Block Type | Coordinate |
|---|---|---|---|
| 4 | M013/M013/MBL32/MBS2/N00 | F101 | (7538.70 1316.96) FN |
| 4 | M013/M013/MBL32/MBS2/F00 | F425 | (7545.54 1316.96) FN |

(b) 診断結果




(c) エミッション顕微鏡を用いた発光箇所の観察像（0.43mA）

図 5.16 外観検査装置による外観異常箇所を有する VLSI の診断結果



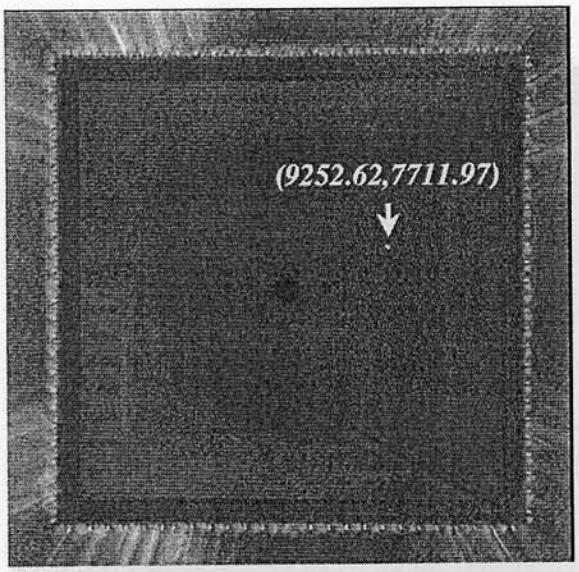

(a) *TVN* 対 $I_{DDQ}$ 値の関係を示すグラフ

**Appearance error area list**

**8 GPE 9252.62 7711.97**

| Area No. | Block Name | Block Type | Coordinate |
|---|---|---|---|
| 8 | M005/PGAR1H0 | S050 | (9232.86 7713.78) N |

(b) 診断結果




(c) エミッション顕微鏡を用いた発光箇所の観察像（0.6mA）

図 5.17 外観検査装置による外観異常箇所を有する VLSI の診断結果

## 5.5 むすび

本章では、第3章および、第4章の成果をふまえ、CADデータと$I_{DDQ}$異常テストベクタ番号を用いた故障診断方式、多様な$I_{DDQ}$に対応したVLSIの診断方式および、複数の外観異常を有するVLSIから$I_{DDQ}$異常を伴う異常箇所を検出する診断に対応した診断方式を実装したVLSI故障診断統合化システムについて述べた。構築したシステムの特徴は以下の通りである。

(a) ハードウェアはCADシステム、VLSI検査システム、外観異常検出システムおよび、コントロールシステムをネットワークで接続した構成である。

(b) ソフトウェアはCADデータの加工を中心とした故障診断前処理システム、得られたデータを用いて診断する故障診断処理システムおよび、その結果を出力する出力処理システムで構成される。

(c) 故障診断処理システムは、ブロック内故障診断処理と配線短絡故障診断処理を有し、各処理に対してファイルとパラメータを指定する事で、四種類の診断をおこなうシステムである。それらはVLSI全体を対象としたブロックの診断、VLSI全体を対象とした配線短絡の診断、診断領域内のブロックの診断そして、診断領域内の配線短絡の診断である。

(d) 出力処理システムは、論理抽出処理と故障箇所表示処理を有し、各処理に対してファイルとパラメータを指定する事で、二種類の出力をおこなうシステムである。それらは論理が変化するテストベクタ番号とその論理情報の出力そして、VLSI上のブロックや診断領域の位置および、そのエレメント構成図の出力である。

本システムを、ロジックVLSIの製造工程にて検出される外観異常箇所から真の故障箇所を特定する診断に適用し、以下の結果を得た。

(a) 複数の外観異常箇所から真の故障箇所を抽出する診断を行い、その結果が正しく判定されていることを確認した。

(b) ブロックあたりの診断時間は約20秒であった（テストベクタ：8000ベクタ）。このうち、診断データをコンピュータ内部のメモリから読み出す時間は約95％であった。

以上のことから、本システムはロジック VLSI の故障診断はもとより、製造工程中の外観異常箇所から故障となる異常箇所を抽出するシステムや、多様な $I_{DDQ}$ に起因する物理現象からの $I_{DDQ}$ 異常箇所を抽出するシステムとして有効に機能することが確認できた。

# 第 6 章 結論

本研究により得た主たる成果を以下にまとめる。

(1) $I_{DDQ}$ を用いる VLSI の故障診断方式を提案した。診断方式の基本的な考え方は以下の通りである。

(a) VLSI 故障診断の基本的考え方は、VLSI 全体を診断が容易となる回路規模に分割した、全分割領域に対する診断である。

(b) VLSI を分割する対象は注目する故障において異なる。回路に起因した故障に対しては回路ブロックが、レイアウトに起因した故障に対してはレイアウトブロックが分割対象となる。

(2) $I_{DDQ}$ 利用による、回路に起因した故障箇所の診断方式について述べた。診断方式は以下の通りである。

(a) 診断は VLSI を構成する回路ブロックを抽出単位とする。

(b) 診断のための情報はブロック単位の入力論理情報と $I_{DDQ}$ 異常を伴うテストベクタ番号情報である。

(c) 診断は $I_{DDQ}$ 異常を伴う論理が正常状態に存在する場合は正常ブロック、存在しない場合は故障の可能性があるブロックと判定する方式である。

(d) 抽出されたブロック内の故障箇所の絞り込みは入力論理情報を用いる。

本診断方式を故障 VLSI に適用し、以下の評価結果を得た。

(f) 故障ブロックを抽出し、入力論理情報を用いて故障の可能性のあるトランジスタを特定することができた。

(3) $I_{DDQ}$ 利用による、レイアウトに起因した配線短絡の故障箇所の診断方式について述べた。診断方式は以下の通りである。

(a) 診断は VLSI レイアウト上のレイアウトブロックを診断単位として、

その領域内のブロックと配線が診断対象となる。

(b) 診断のための情報は診断領域内のブロックの入力論理情報、配線の論理情報と $I_{DDQ}$ 異常を伴うテストベクタ番号情報である。

(c) 診断は $I_{DDQ}$ 異常を伴う論理が正常状態に存在する場合は正常領域、存在しない場合は故障内蔵の可能性がある領域と判定する方式である。

(d) 抽出されたレイアウトブロック内のブロック外配線間の短絡配線対の絞り込みは各配線対の論理を探索する方式である。

本診断方式を複数の外観異常を有する故障 VLSI に適用し、以下の評価結果を得た。

(e) 故障レイアウトブロックを抽出し、配線論理情報を用いて短絡の可能性のある配線対を特定することができた。

(4) 多様な $I_{DDQ}$ を有する VLSI から $I_{DDQ}$ 異常を伴うテストベクタ番号の識別方式について述べた。識別方式は以下の通りである。

(a) 正常状態にて大きな $I_{DDQ}$ を有する VLSI の故障品に対して、正常 VLSI と故障 VLSI の $I_{DDQ}$ 値の差分をとる。

(b) 複数の故障を伴う VLSI に対して、複数の $I_{DDQ}$ 異常値を値ごとに分離する。

(5) $I_{DDQ}$ 利用による故障診断方式を用いて VLSI 製造工程における欠陥を自動抽出する VLSI 故障診断統合化システムを構築した。本システムの特徴は以下の通りである。

(a) ハードウェアは CAD システム、VLSI 検査システム、外観異常検出システムおよび、コントロールシステムをネットワークで接続した構成である。

(b) ソフトウェアは CAD データの加工を中心とした故障診断前処理システムと、得られたデータを用いて診断する故障診断処理システムおよび、その結果を出力する出力処理システムで構成される。

(c) 故障診断処理システムは、ブロック内故障診断処理と配線短絡故

障診断処理を有し、各処理に対してファイルとパラメータを指定する事で、四種類の診断をおこなうシステムである。それらはVLSI全体を対象としたブロックの診断、VLSI 全体を対象とした配線短絡の診断、診断領域内のブロックの診断、そして 診断領域内の配線短絡の診断である。

(d) 出力処理システムは、論理抽出処理と故障箇所表示処理を有し、各処理に対してファイルとパラメータを指定する事で、二種類の出力をおこなうシステムである。それらは論理が変化するテストベクタ番号とその論理情報の出力および VLSI 上のブロックや診断領域の位置とそのエレメント構成図の出力である。

本システムを、ロジック VLSI の製造工程にて検出される外観異常箇所から真の故障箇所を特定する診断に適用し、以下の結果を得た。

(e) 複数の外観異常箇所から真の故障箇所を抽出する診断を行い、その結果が正しく判定されていることを確認した。

(f) ブロックあたりの診断時間は約20秒であった(テストベクタ:8000ベクタ)。このうち、診断データをコンピュータ内部のメモリから読み出す時間は約95%であった。

(g) 以上のことから、本システムはロジック VLSI の故障診断はもとより、製造工程中の外観異常箇所から故障となる異常箇所を抽出するシステムとして有効に機能することが確認できた。

今後の課題として、以下の点が挙げられる。

(1) 提案した故障診断方式による VLSI 全体に対する配線短絡故障の診断は多数の擬似故障を抽出してしまい、実用に到っていない。それらの擬似故障を削減するためには、短絡故障が発生すると考えられるレイアウト上の特徴、例えば絶縁膜を介した配線交叉箇所や隣接する並行配線等、をデータ化して診断に用いる必要がある。DRC (Design Rule Check、デザインルールチェック) と呼ばれるレイアウト検証ソフトウエアを用いて配線セグメント位置と座標から上記の特徴を読み取り、診断に反映さ

せる方式の研究を行っている。

(2) $I_{DDQ}$ 異常故障中、帰還回路上に発生した論理故障は「正常」と誤判定する可能性がある。理由は論理シミュレーションにより展開した各ブロックの論理情報をベースに診断を行うためである。そのような故障の診断に対応できるように、本方式に出力期待値異常情報を組合せることで診断精度の向上を図る必要がある。

(3) VLSI 素子の微細化と共に $I_{DDQ}$ 電流が増大し、$I_{DDQ}$ 異常の識別を困難にしてくる傾向がある。このような LSI の進展に対して感度よく $I_{DDQ}$ 異常値を検出する方式を確立する必要がある。

# 謝辞

本研究の全課程を通じて、終始懇切な御指導、御教示ならびに御鞭撻を賜りました大阪大学大学院工学研究科情報システム工学専攻 藤岡 弘教授に深甚なる感謝の意を表します。

本論文を執筆するにあたり、懇篤なる御指導を頂くと共に数々の御教示を賜りました大阪大学大学院工学研究科情報システム工学専攻 村上 孝三教授、白川 功教授に深謝の意を表わします。

著者が大阪大学大学院工学研究科に在学中、御指導と御教示を賜りました大阪大学大学院工学研究科情報システム工学専攻 西尾 章治郎教授、薦田 憲久教授、大型計算機センター 下條 真司教授、電子情報エネルギー工学専攻 岸野 文郎教授に厚く御礼申し上げます。

本研究に関し、有意義な御指導、御教示を賜りました大阪大学大学院工学研究科情報システム工学専攻藤岡研究室 中前 幸治助教授、三浦 克介助手に心より感謝の意を表します。

本研究を行う機会を与えていただき、またその遂行にあたり多大の御助言、御協力をいただきました、日本電気株式会社・研究開発グループ・デバイス評価技術研究所 辻出 徹所長、二川 清主管研究員、当所・プロセス評価技術部 小西 永二部長、資源環境技術研究所 岸田 俊二所長に心より御礼申し上げます。

本研究の遂行に際し、数々の御助言ならびに御協力をいただきました日本電気株式会社・半導体事業グループ・第三システムLSI事業部・製品技術部 鹿野 巧プロジェクトマネージャー、植平 和生主任、須佐美　隆行氏 、同事業部・信頼性品質管理部 沼尻 敬明マネージャー、同グループ・C&CLSI開発本部・第三回路技術部 大内 雅弘部長、猪股 由行氏、同グループ・LSI製造本部・第三製造部ならびに信頼性品質管理部の皆様、同グループ・半導体生産技術本部・ロジックライン担当の方々に厚く御礼申し上げます。さらに、ソフトウェアの設計に関しては株式会社システック・ソフトウェア開発部の皆様に多大なる御協力を頂きましたことを感謝申し上げます。

最後に、本研究の期間中、終始有益な御意見、御提案などともに、御協力を

頂きました日本電気株式会社・研究開発グループおよび、半導体事業グループの各位に心より感謝したします。

# 参考文献


[1] M. Abramovici, "Circuit Path Tracing: An Alternative to Fault Simulation," in Proc. *20th ACM/IEEE Design Automation Conference*, pp. 83-93 (1984).

[2] M. Abramovici, M. A. Breuer and A. D. Friedman, "Digital Systems Testing and Testable Design," *IEEE press*, NewYork (1990).

[3] J. Rajski and H. Cox, "Method for Test Generation and Fault Diagnosis," in Proc. *IEEE Trans. on CAD*, Vol.7, No.7, pp. 813-833 (1988).

[4] K. kato, T. Shimono and M. Kawai, "Fault Diagnosis Based on Post-Test Fault Dictionary Generation," in Proc. *IEEE International Test Conference*, p. 940 (1989).

[5] 則松 研二, 宮崎 勉, 松尾 典子, 鎌田 正, "故障辞書を用いた故障候補抽手法とロジックデバイスの故障箇所特定への適用", LSI テスティングシンポジウム/1997 会議録, pp. 93-98 (1997).

[6] H. Y. Chang, E. Manning and G. Metze, "Fault Diagnosis of Digital System," *John Wiley & Sons, Inc.*, New York (1970).

[7] 重田　一樹, 石山　敏夫, "回路分割バックトレース手法を用いた故障箇所推定アルゴリム", LSI テスティングシンポジウム/1997 会議録, pp. 86-91 (1997).

[8] 佐々木智則, 山田幸英, 山崎浩二, 山田輝彦, "故障シミュレータを利用した順序回路における多重論理故障の診断法の性能について", LSI テスティングシンポジウム/1997 会議録, pp. 75-79 (1997).

[9] K. Ura and H. Fujioka, "Electron Beam Testing," *Advanced in Electronics and Electron Physics*, ed. P. W. Hawkers, Vol.73, pp. 233-317 (1989).

[10] 藤岡　弘, 中前幸治, "電子ビームテスター (1) 原理とハードウェ ア", 応用物理, 技術ノート, Vol.63, No.6, pp. 608-609 (1994).

[11] 板崎 徳禎, 住岡 徹次, 樹下 行三, "電子ビームテスタを用いた多重縮退故障の位置自動指摘手法について", 日本学術振興会荷電粒子ビームの工業への応用第 132 委員会第 121 回研究会資料, pp. 56-60 (1992).

[12] 板崎 徳禎, 住岡 徹次, 梶尾 誠司, 樹下 行三, "電子ビームテスタを用いた順序回路の故障位置自動指摘手法", 日本学術振興会荷電粒子ビームの工業への応用第 132 委員会第 125 回研究会資料, pp. 52-57 (1993).

[13] 柳田 宣広,高橋 寛,高松 雄三, "電子ビームテストを利用した順序回路の多重縮退故障の診断法", LSI テスティングシンポジウム/1999 会議録, pp. 63-68 (1996).

[14] M. Abramovici, M. Breuer and D. Friedman, "Digital Sytems Testing and Testable Design," *Computer Science Press* (1990).

[15] R. C. Aitkin, "A Comparision of Defect Models for Fault Location with $I_{DDQ}$ Measurement," in Proc. *IEEE International Test Conference*, pp. 778-787 (1992).

[16] W. Moa, R. K. Gulati, D. K. Goel and M. D. Ciletti, "QUIETEST: A Quiescent Current Testing Methodology for Detecting Leakage Faults," in Proc. *IEEE/ ACM International Conference on Computer-Aided Design*, pp. 280-283 (1990).

[17] R. C. Aitken, "Diagnosis of Leakage Faults with $I_{DDQ}$," *Journal of Electronic Testing: Theory and Applications*, Vol.3, No.4, pp. 367-375 (1992).

[18] R. C. Aitkin, "Fault Location with Current Monitoring," in Proc. *IEEE International Test Conference*, pp. 623-632 (1991).

[19] W. Xiaoqing, H. Tamamoto, K. Saluja and K. Kinosita, "Equivalence Fault Collapsing for Transistor Short Faults and Its Application to $I_{DDQ}$ Subset Selection," in Proc. *Digest of papers IEEE International Workshop on $I_{DDQ}$ Testing*, pp. 30-34 (1995).

[20] W. Xiaoqing, H. Tamamoto, K. Saluja and K. Kinosita, "Tansistor Leakage Fault Diagnosis with $I_{DDQ}$ and Logic Information," *IEICE Trans. Inf. & Syst.*, Vol. E81-D, No.4, pp. 372-381 (1998).

[21] 温 暁青, 玉本 英夫, 樹下 行三, "$I_{DDQ}$ 計測による故障検出と故障診断",日本信頼性学会誌, Vol.19, No.4, pp. 67-75 (1997).

[22] S. Chakarvarty and M. Liu, "Algorithms for $I_{DDQ}$ Measurement Based Diagnosis of Bridging Faults," *Journal of Electronic Testing: Theory and Applications*, Vol.3, No.4, pp. 337-345 (1992).

[23] D. J. Burns, "Locating High Resistance Shorts in CMOS Circuits by Analyzing Supply Current Measurement Vectors," in Proc. *17th International Symposium for Testing and Failure Analysis*, pp. 231-237 (1989).

[24] M. Sanada, "Evaluation and Detection of CMOS-LSI with Abnormal $I_{DDQ}$," *Microelectronics and Reliability*, Vol.35, No.3, pp. 615-629, (1995).

[25] M. Sanada, "A CAD-Based Approach to Fault Diagnosis of CMOS LSI's Using Abnormal $I_{DDQ}$," in Proc. *IEEE 14th VLSI Test Symposium*, pp. 186-191 (1996).

[26] J. M. Soden, C. F. Hawkins, R. K. Gulati and W. Mao, "$I_{DDQ}$ Testing: A Review," *Journal of Electronic Testing: Theory and Applications*, Vol.3, No.4, pp. 291-303 (1992).

[27] R. Rajsuman, "$I_{DDQ}$ Testing for CMOS VLSI," *Artech House*, Boston (1995).

[28] 真田 克, 伊藤 隆, 沼尻 敬明, 鈴木 智史, 佐々木 太一, "CMOS 論理回路の $I_{DDQ}$ 異常品の評価と除去方式", 第 23 回信頼性・保全性シンポジウム, Session 3-3, pp. 253-258 (1993).

[29] 真田 克, 伊藤 隆, 沼尻 敬明, 鈴木 智史, 佐々木 太一, "CMOS 論理回路の $I_{DDQ}$ 異常品の評価と除去方法", 日本学術振興会第 132 委員会第 125 回研究会（EB テスティングシンポジウム/1993）資料, pp. 7-12 (1993).

[30] 真田 克, 伊藤 隆, 沼尻 敬明, 鈴木 智史, 佐々木 太一, 小俣 朋哉, 小石 啓二, 鈴木 邦治, 前原 和明, 田口 和博, 斎藤 茂, "CMOS 論理回路の $I_{DDQ}$ 異常品の評価と除去方式", NEC 技報, Vol.46, No.11, pp. 53-59 (1993).

[31] 真田 克, "CMOS・IDD リーク不良品の解析事例－液晶塗布法、ＥＢテスタ，スポット露光法の適用による－", 第 16 回信頼性・保全性シンポジウム, Session 6-10, pp. 237-242 (1986).

[32] 真田 克, "LSIの故障解析のための加工技術-1-", 日本信頼性学会誌, Vol.20, No.7, 91 号, pp. 431-446 (1998).

[33] 真田 克, "LSIの故障解析のための加工技術-2-", 日本信頼性学会誌, Vol.20, No.8, 92 号, pp. 506-516 (1998).

[34] 真田 克, "LSIの故障解析のための加工技術-3-", 日本信頼性学会誌, Vol.21, No.1, 93 号, pp. 11-21 (1999).

[35] 鈴木 智史, 沼尻 敬明, 田口 和博, 小俣 朋哉, 真田 克, "OBIC 装置を用いた LSI の故障解析事例", 日本学術振興会第 132 委員会第 128 回研究会（LSI テスティングシンポジウム/1994）資料, pp. 193-198 (1994).

[36] 「電子ビームテステイングハンドブック」, 電子ビーム研究, 第 7 巻, 日本学術振興会荷電粒子ビームに工業への応用第 132 委員会第 98 回研究会資料, 大阪大学工学部電子ビーム研究施設 昭和 62 年 5 月

[37] P. C. Maxwell and R. C. Aitkin, "$I_{DDQ}$ Testing as a Component of a Test Suite: The Need for Several Fault Coverage Metrics," *Journal of Electronic Testing: Theory and Applications*, Vol.3, No.4, pp. 305-316 (1992).

[38] Y. Okuda, I. Kobota and M. watanabe, "Defect Level Prediction for $I_{DDQ}$ Testing," in Proc. *IEEE International Test Conference*, pp. 900-909 (1998).

[39] 奥田 幸男, 久保田 功, 渡辺 正浩, "$I_{DDQ}$ 試験品質の予測", LSI テスティングシンポジウム/1998 会議録, pp. 198-201 (1998).

[40] 深沢 成吾, 関口 正彦, 山田 秀喜, 石川 光昭, "$I_{DDQ}$ テストに関する一考察", 日本学術振興会第 132 委員会第 132 回研究会（LSI テスティングシンポジウム/1995）資料, pp. 201-206 (1994).

[41] P. C. Maxwell and R. C. Aitkin, "Combining $I_{DDQ}$ and Stuck-at Fault Coverage Matrixes: Dose It Make Sense?," in Proc. *Digest of papers IEEE International Workshop on $I_{DDQ}$ Testing*, pp. 20-25 (1995).

[42] P. C. Maxwell and R. C. Aitken, "$I_{DDQ}$ Testing as a Component of a Test Suite: The Need for Several Fault Coverage Matrixes," *Journal of Electronic Testing: Theory and Applications*, Vol.3, No.4, pp. 305-316 (1992).

[43] 山内 尚, 吉田 正昭, 尾野 年信, 涌井 一夫, 梅木 義孝, 高瀬 宣之, 真田 克, "ハードウェア手法とソフトウェア手法を利用した $I_{DDQ}$ テスト", 日本信頼性学会誌, Vol.18, No.5, 75 号, pp. 391-398 (1996).

[44] H. Yamauchi, M. Yoshida, T. Ono, Y. Umeki and N. Takase, "Hardware and Software Approach for $I_{DDQ}$ Test," in Proc. *Digest of papers IEEE International Workshop on $I_{DDQ}$ Testing*, pp. 26-29 (1995).

[45] I. Clemminck, U. Swerts, M. Darquennes and J. van Sas, "Experimental Figures for the Detect Coverage of $I_{DDQ}$ Vectors," in Proc. *23st International Symposium for Testing and Failure Analysis*, pp. 9-13 (1995).

[46] K. Nikawa, N. Nasu, M. Murase, T. Kaito, T.Adachi and S. Inoue, "New Applications of Focused Ion Beam Technique to Failure Analysis and Process Monitoring of VLSI," in Proc. *IEEE International Reliability Physics Symposium*, pp. 43-52 (1989).

[47] K. Nikawa, "Application of Focused Ion Beam Technique to Failure Analysis of Very Large Scale Integration : A Review," *J. Vac. Sci. Technol.* B, Vol.9, No.5, pp. 2566-2577 (1991).

[48] M. Sanada, S. Suzuki, T. Numaziri, T. Omata and N. Yoshida, "Fundamental Evaluation of LSI's Using Anistropic Reactive Ion Etching," in Proc. *21st International Symposium for Testing and Failure Analysis*, pp. 87-92 (1995).

[49] T. Numazili, S. Suzuki, T. Omata, M. Sanada, M. Kato, N. Yoshida and Y. Tsujita, "Sample Preparation for Electron Beam Testing with Reactive Ion Etching," in Proc. *International Conference on Quality*, pp. 985-988 (1996).

[50] 真田 克, 鈴木 智史, 沼尻 敬明, 小俣 朋哉, 吉田 直樹, "RIE を用いて配

線層を露出したLSIの評価 -故障解析の為の加工-", 日本学術振興会第132委員会第128回 研究会 (LSIテスティングシンポジウム／1994) 資料, pp. 175-181 (1994).

[51] 真田 克, 鈴木 智史, 沼尻 敬明, 小俣 朋哉, "RIEを用いて配線層を露出したLSIの評価 -故障解析の為の加工技術-", NEC技報, Vol.48, No.3, pp. 257-263 (1995).

[52] 真田 克, 森重 幸雄, "EBテスタによる大規模,高速LSIの故障解析-集束レーザビームによるW直描技術を用いた LSI の加工-", 日本学術振興会第132委員会第105回研究会 (EBテスティングシンポジウム/1988) 資料, pp. 7-12 (1988).

[53] M. Sanada, "New Application of Laser Beam to Failure Analysis of LSI with Multi-Metal Layers," in Proc. *2nd European Symposium on Reliability of Electron Devices Failure Physics and Analysis*, pp. 777-784 (1991).

[54] M. Sanada and Y. Morishige, "Evaluation of Direct Writing Tungsten Metal Using Focused Laser Beam -Fabrication for Failure analysis an Advanced LSIs-," in Proc. *International Conference on Laser Advanced Materials Processing - Science and Applications-*, pp. 1203-1208 (1992).

[55] M. Sanada, "New Application of Laser Beam to Failure Analysis of LSI with Multi-Metal Layers," *Microelectronics and Reliability*, Vol.33, No.7, pp. 993-1009 (1993).

[56] 真田 克, "レーザビームによる集積回路の加工と修正", 電子・イオンビームハンドブック第3版, 24.5.2節, 日刊工業新聞社刊 (1998).

[57] J. Haitt, "A Method of Detecting Hot Spots on Semiconductors Using Liquid Crystals," in Proc. *IEEE International Reliability Physics Symposium*, pp. 130-133 (1981).

[58] M. Sanada, "Very Sensitive Detection for LSI's Hot Spot Using Liquid Crystals," in Proc. *6th International Conference on Reliability and Maintainability*, pp. 516-521 (1988).

[59] 信嶋 秀樹, 難波 浩司, 星 昌昭, 菊池 正, "ダイナミック Idd 測定法による故障解析", LSI テスティングシンポジウム/1998 会議録, pp. 202-207 (1998).

[60] N. Khurana, "Second Generation Emission Microscopy and Its Applications," in Proc. *17th International Symposium for Testing and Failure Analysis*, pp. 277-283 (1989).

[61] J. Kolzer, A. Dallman, G. Deboy, J. Otto and D. Weinmann, "Emission Microscopy," in Proc. *2nd European Symposium on Reliability of Electrical Devices, Failure Physics and Analysis*, pp. 625-649 (1991).

[62] 二川 清, 井上 彰二, "レーザ・電子・イオンビーム照射加熱法を用いた配線電流像観察? 故障解析ツールとしての提案", 日本学術振興会第 132 委員会第 128 回研究会 (LSI テスティングシンポジウム/1994) 資料, pp. 204-208 (1994).

[63] K. Nikawa, "Novel Method for Void Detection in Al Strips by means of Laser Beam Heating and Detection of Changes in Electrical Resistance," *Jpn. J.A.P.*, Vol.34, Part 1, No.5, pp. 2260-2265 (1995).

[64] 小山 徹, 益子 洋治, 関根 正広, 小山 浩, "熱起電力を利用した OBIC 解析", 日本学術振興会第 132 委員会第 132 回研究会（LSI テスティングシンポジウム/1995）資料, pp. 221-226 (1995).

[65] 真田 克, "$I_{DDQ}$ 異常現象を用いた CAD 利用による CMOS 論理回路の故障箇所絞り込み方式", 日本学術振興会第 132 委員会第 132 回研究会（LSI テスティングシンポジウム/1995）資料, pp. 193-200 (1995).

[66] 真田 克, "$I_{DDQ}$ 異常現象を用いた CAD 利用による CMOS 論理回路の故障診断方式", 1996 年電子情報通信学会エレクトロニクスソサイエティ大会, C-490 (1996).

[67] M. Sanada, "A CAD-Based Approach to Fault Diagnosis of CMOSLSI with Single Fault Using Abnormal $I_{DDQ}$," *IEICE Trans. Fundamentals*, Vol.E80A, No.10, pp. 1945-1954 (1997).

[68] M. Sanada, "A CAD-Based Approach to Fault Diagnosis of CMOSLSI with Single Fault Using Abnormal $I_{DDQ}$," in Proc. *23rd International Symposium for Testing and Failure Analysis*, pp. 15-24 (1997).

[69] 真田 克, "$I_{DDQ}$ 異常現象を用いた CMOSLSI の故障診断手法 -LSI の評価・解析技術特集-", NEC 技報, Vol.50, No.6, pp. 43-50 (1997).

[70] 真田 克, "$I_{DDQ}$ 異常テストベクタと論理情報を用いた単一故障を有する CMOSLSI の故障診断方式", LSI テスティングシンポジウム/1996 会議録,pp. 99-104 (1996).

[71] 真田 克, "$I_{DDQ}$ 異常テストベクタと論理情報を用いた単一故障を有する CMOSLSI の故障診断方式", 1997 年電子情報通信学会総合大会, C-12-10 (1997).

[72] 真田 克, "$I_{DDQ}$故障診断による CMOSLSI の故障個所絞り込み方式", LSI テスティングシンポジウム/1997 会議録, pp. 203-209 (1997).

[73] M. Sanada and H. Fujioka, "Fault Diagnosis of CMOSLSI with Various Leakage Current State Using Abnormal $I_{DDQ}$ Phenomenon," in Proc. *SPIE's 1998 Symposium on Microelectronic Manufacturing*, Vol.3510, pp. 37-46 (1998).

[74] 真田 克, 藤岡 弘, "$I_{DDQ}$を用いた、多様なリーク電流を有する CMOSLSI の故障診断", 電子情報通信学会論文誌, Vol.J82-D-1, No.7, pp. 940-949 (1999).

[75] M. Sanada and H. Fujioka, "Fault Block Detection Technique of CMOSLSI Using Abnormal $I_{DDQ}$ Phenomenon," 第 39 回 FTC 研究会資料, Session 4-1, (1998).

[76] 真田 克, "$I_{DDQ}$異常現象を用いた、多重故障を有する LSI の故障診断", 1998 年電子情報通信学会総合大会, C-12-4 (1998).

[77] 真田 克, "$I_{DDQ}$異常現象を用いた,故障ブロック内の故障個所抽出", 1997 年電子情報通信学会エレクトロニクスソサイエティ大会, C-12-12 (1997).

[78] M. Sanada and H. Fujioka, "Yield Enhancement for Logic LSI by Killer Defect Diagnosis Technique Using Abnormal $I_{DDQ}$ Phenomenon," in Proc. *7th International Symposium on Semiconductor Manufacturing*, pp. 265-268 (1998).

[79] 真田 克, 藤岡　弘, "$I_{DDQ}$異常現象を利用した配線ショート個所検出手法", 1998 年電子情報通信学会エレクトロニクスソサイエティ大会, C-12-6 (1998).

[80] 真田 克, 藤岡　弘, "Killer 欠陥抽出の為の診断領域の定義", 1998 年電子

情報通信学会エレクトロニクスソサイエティ大会, C-12- 7 (1998).

[81] 真田 克, 藤岡　弘, "$I_{DDQ}$ 異常現象を用いた Killer 欠陥診断技術による論理回路の歩留り向上", LSI テスティングシンポジウム/1998 会議録, pp.208-213 (1998).

[82] M. Sanada, "Killer Defect Diagnosis Technique for Yield Enhancement for Logic LSI Using Abnormal $I_{DDQ}$ Phenomenon," in Proc. *SEMI Technology Symposium*, pp. 7.51-7.57 (1998).

[83]. 真田　克, 藤岡 弘, "$I_{DDQ}$ を用いた CMOS 論理 LSI の故障診断－ラインモニタリング及び,故障解析への適用－", 第 41 回 FTC 研究会資料, Session 4-2 (1999).

[84] M. Sanada and H. Fujioka, "Fatal Defect Detection from Visual Abnormalities of Logic LSI Using $I_{DDQ}$," in Proc. *SPIE's 1999 Symposium on Microelectronic Manufacturing*, Vol.3884, pp. 236-247 (1999).

[85] T. Tsujide, H. Hamada, D. Lepejian and J. M. Cayward, "Automatic Memory Failure Analysis Using an Expert System in Conjunction with Memory Tester/Analyzer," in Proc. *IEEE International Reliability Physics Symposium*, pp. 184-189 (1993).

[86] 真田 克, 藤岡　弘, "$I_{DDQ}$ 異常現象を用いた Logic 回路の歩留り向上の為の欠陥診断技術", 1999 年電子情報通信学会総合大会, C-12-9 (1999).