

Title	順序回路に対する短縮スキャンシフト法とテスト系列生成法に関する研究
Author(s)	樋上, 喜信
Citation	
Issue Date	
Text Version	ETD
URL	https://doi.org/10.11501/3110050
DOI	10.11501/3110050
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	樋上喜信
博士の専攻分野の名称	博士(工学)
学位記番号	第 12481 号
学位授与年月日	平成8年3月25日
学位授与の要件	学位規則第4条第1項該当 工学研究科応用物理学専攻
学位論文名	順序回路に対する短縮スキャンシフト法とテスト系列生成法に関する研究
論文審査委員	(主査) 教授 樹下 行三 教授 興地 斐男 教授 河田 聡 教授 八木 厚志 教授 豊田 順一 教授 川上 則雄 教授 増原 宏 教授 中島 信一 教授 石井 博昭 教授 岩崎 裕 教授 志水 隆一 教授 伊東 一良 教授 後藤 誠一 教授 一岡 芳樹

論文内容の要旨

本論文は、順序回路に対する短いテスト系列を得ることを目的とした、短縮スキャンシフト法とテスト系列生成法に関する研究をまとめたもので、全8章から構成されている。

第1章では、本研究の背景と目的および意義について述べている。

第2章では、順序回路のテストに関する基本概念の説明や用語の定義を行っている。

第3章では、短縮スキャンシフト法の基本的概念と、第4章から第6章で提案する手法に共通する技法について述べている。ここでは故障を検出するために制御や観測が必要となるフリップフロップの求め方について、出来るだけテスト系列が短くなるような手法を提案している。

第4章では、フルスキャン回路に対して短縮スキャンシフト法を応用したテスト系列生成法とテスト容易化設計法を提案している。ここでは、フリップフロップの配列法およびテスト系列生成法について、テスト系列が短く、しかも高い故障検出率が達成されるような手法を提案している。ベンチマーク回路に対する実験結果を示し提案方法の有効性を明らかにしている。

第5章では、パーシャルスキャン回路に対して短縮スキャンシフト法を応用したテスト系列生成法とテスト容易化設計法を提案している。ここでは、フリップフロップの選択法に加えてフリップフロップの配列法およびテスト系列生成法について考慮し、テスト系列が短くしかも高い故障検出率が達成されるような手法を提案している。ベンチマーク回路に対する実験結果を示し提案方法の有効性を明らかにしている。

第6章では、リタイミング技法を応用した短縮スキャンシフト法を提案している。ここでは、出力関数を変えずにフリップフロップの配置を変えるリタイミング技法を3つのタイプに分けてテスト系列が短くなる場合の条件について議論している。また、リタイミングによって得られた回路に対するテスト系列を少ない計算量で得る手法を提案している。ベンチマーク回路に対する実験結果を示し提案方法の有効性を明らかにしている。

第7章では、区別系列を持つ順序回路に対して短いテスト系列を生成する手法を提案している。ここでは、縮退故障を対象に、組合せ回路に対するテスト生成アルゴリズムを用いることによって、短いテスト系列を生成している。ベンチマーク回路に対する実験結果を示し提案手法の有効性を明らかにしている。

第8章では、提案手法とその有効性について総括し、今後の研究課題について述べている。

論文審査の結果の要旨

半導体の微細化加工技術の進歩によって集積回路の大規模・高機能化が進むにつれて、そのテストは益々困難となり、また、設計・製造のコストに比べてテストコストが非常に増大する傾向にある。テストに要する時間は、テストコストの中で大きな割合を占めているが、これはテスト時に印加されるテスト系列長に依存しているため、テスト系列長の短縮はテストコストの削減となり、集積回路のテストにおける重要な研究課題となっている。本論文は、順序回路として取り扱われる論理LSIを対象に、故障検出率を低下させることなくテスト系列長を短縮することを目的に、順序回路のテスト容易化設計法であるスキャン設計の改善とそのテスト系列生成に関する研究をまとめたものであり、その主な成果を要約すると次のとおりである。

- (1) スキャン設計された順序回路に対するテスト系列長を短縮するための新しいテスト手法として、短縮スキャンシフト法を提案し、故障検出のために制御や観測が必要となるフリップフロップを効率よく見つけ出すことにより、スキャンシフト操作が少なくなり、テスト系列長が短縮出来ることを明らかにしている。
- (2) フルスキャン回路に短縮スキャンシフト法を適用したテスト容易化設計法とテスト系列生成法を提案し、フリップフロップの配列およびテストベクトルの印加順序を考慮することにより、短いテスト系列で高い故障検出率が達成出来ることを明らかにしている。
- (3) パーシャルスキャン回路に短縮スキャンシフト法を応用するテスト容易化設計法とテスト系列生成法を提案し、フリップフロップの選択と配列、およびテストベクトル印加後の回路状態を考慮することにより、高い故障検出率を達成する短いテスト系列が生成出来ることを明らかにしている。
- (4) フリップフロップを再配置するリタイミングを短縮スキャンシフト法に応用する手法を提案し、フリップフロップの可制御性や可観測性を目的関数としてリタイミングを適用し、テスト系列長を短縮することが出来ることを明らかにしている。
- (5) 区別系列を持つ順序回路に対するテスト系列の短縮法を提案し、区別系列を用いて組合せ回路のテストベクトルの印加順序を考慮することによって、高い故障検出率のもとでテスト系列長の短縮を実現出来ることを明らかにしている。

以上のように本論文は、LSIのテスト容易化設計法について述べたものであり、順序回路に対する新しいテスト系列短縮法を提案しその有効性を明らかにし、LSIの高信頼化設計に対して多くの知見を得ており、応用物理学、特に計算機工学、集積回路工学に寄与するところが大きい。よって本論文は、博士論文として価値あるものと認める。