

Title	ビタビ復号法とその衛星通信への応用に関する研究
Author(s)	久保田,周治
Citation	大阪大学, 1995, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3104940
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka







ビタビ復号法とその衛星通信への 応用に関する研究

平成6年5月

久保田 周治

ビタビ復号法とその衛星通信への応用に関する研究	
目次	
第1章 序論	
第2章 たたみ込み符号化/ビタビ復号法	
2.1 緒言	
2.2 たたみ込み符号	
2.3 ビタビ復号法	
2.4 尤度分布集中型(SST型)ビタビ復号方式	
2.5 結言	
第3章 高能率ビタビ復号回路構成法	
3.1 緒言	
 3.2 高符号化率たたみ込み符号 	
3.3 パンクチャドたたみ込み符号に対するビタビ復号法	
3. 4 高符号化率ビタビ復号回路構成法	;
3.5 結言	
第4章 ビタビ復号回路のLSI化	
4.1 緒言	
4.2 低速ビタビ復号器のLSI化	
4.3 高速ビタビ復号器のLSI化	
4.4 テバイスおよびLSI化手法	
4.5 档言	
第5章 符号化率可変・高速たたみ込み符号器/ビタビ復号器の幣	待性 ・・・・・
5.1 緒言	
5.2 符号化率可変・高速たたみ込み符号器/ビタビ復号器の	の構成法・・・・
5.3 符号化率可変・高速たたみ込み符号器/ビタビ復号器の	の特性・・・・・
5.4 結言	

第6章 ビタビ復号法の衛星回線への応用	• • • • • 65
6.1 緒言	• • • • • 65
6.2 非線形回線への適用	• • • • • 65
6.3 符号間干渉に対する効果(狭帯域伝送方式)	• • • • • 71
6. 4 隣接チャネル間干渉・同一チャネル干渉条件での特性	• • • • • 77
―衛星ディジタルビデオ通信方式の例―	
6.5 結言	••••91
第7章 シェアド・リソース方式	• • • • • 92
7.1 緒言	92
7.2 シェアド・リソース方式の原理	• • • • • 92
7.3 シェアド・リソース方式の実現法	• • • • • 94
7.4 シェアド・リソース方式の特性	• • • • 97
7.5 結言	• • • • 105
笔 8 音 結論	106
参考文献	• • • • 109
発表論文リスト	•••• 115
Appendix	• • • • 121
謝辞	• • • • 129

第1章 序論

ディジタル通信の信頼性を向上し実効的な通信路容量を増大する技術として誤り制御技 術がある。誤り制御技術は大別して ARQ (Automatic Repeat Request) 等に用いられる誤 り検出技術と受信側で誤りを訂正する誤り訂正 (FEC: Forward Error Correction)技術 に分けられる (図1.1)。特に伝送路における雑音および干渉等の影響で誤りが生じる無線 通信・衛星通信等の分野ではこれらの誤り制御技術は必須の技術のひとつとなっている [1][2]。

誤り訂正は、所要C/N (Carrier-to-Noise Power Ratio)を低減し電力制限を克服する技 各種誤り訂正方式の中でもたたみ込み符号化/ビタビ復号法[7]は強力な誤り訂正方式

術、隣接/同一チャネル干渉あるいは他システムからの干渉等を克服し実効的な周波数利 用効率の増大を可能とする技術として、さらには、装置単体の精度・経年変化・温度変動 等に伴う伝送品質劣化を救済するという実際的・現実的なメリットからも注目され活発な 研究・開発が行われている(図1.2)[3][4][5][6]。誤り訂正を通信システムに適用する場 合、まず、システムの要求条件として使用可能な周波数帯域幅と情報伝送容量があり、こ れを満足する変復調方式・回線設計・装置規模およびコストの検討から誤り訂正方式に要 求される所要符号化利得・符号化率・動作速度および回路規模が決定される(図1.3)。 として知られ、まず、低速・低符号化率(例えば符号化率r=1/2)のたたみ込み符号器/ ビタビ復号回路が個別ICで実現され衛星通信等に用いられた。これらは、符号化率は低く、 帯域的には(周波数利用効率の観点では)多少の犠牲を払っても、より高い符号化利得を 得ることを目的とした、いわば、電力制限の克服を目指したものであった。つづいて、高 速のビタビ復号回路の実現に努力が払われ、さらに、周波数利用効率の向上を目的として、 高能率ビタビ復号法の研究が行われた。それにともない、これらを実用に供するため、ビタ ビ復号回路のハードウェア削減法・ LSI化の研究開発が進められてきた。そして現在は、 さらに汎用性に富み高速で小型のビタビ復号器が求められている。すなわち、これらの誤 り訂正回路を各種システムに適用する場合、低符号化率(例えば r=1/2)から高符号化率 まで (r=3/4, 7/8, 15/16)、あるいは、低速から高速まで広範囲にわたって汎用的に動作 可能でかつ小型な誤り訂正回路が求められている。 本論文では、まず、第2章で衛星通信において最も良く用いられるたたみ込み符号化/ ビタビ復号法の原理・効果について概説する。さらに、新たに提案した尤度分布集中型



(SST: Scarce State Transition 型) ビタビ復号法により、従来、非常に大きな回路規模・消費電力を必要とした高利得ビタビ復号回路の小型化・低消費電力化が可能となることを示す。

第3章では、近年特にその要求が高まっている高符号化率ビタビ復号回路を取り上げ、 高能率(高符号化率)なビタビ復号回路構成法として従来からあるパンクチャド方式に対 して、送信側でのビット消去・受信側でのダミービット挿入の省略を可能とするより簡易 な高能率ビタビ復号回路構成法を提案しその特長について述べる。

第4章はたたみ込み符号化/ビタビ復号法を実際のシステムに適用していく上で不可欠 な LSI化を取り上げ、一般的なビタビ復号回路ハードウェア実現手法(低速~高速)につ いて概説し、その中でも最も実現が難しい高速・符号化率可変ビタビ復号回路の LSI化手 法を示す。

つづいて、第5章では、第4章で述べたビタビ復号回路LSIを用いた汎用誤り訂正回路 装置化手法を明らかにする。また、開発された汎用たたみ込み符号器/ビタビ復号回路の 特性を示す。

第6章では、ビタビ復号法の衛星回線への応用として、衛星回線の特徴である非線形回 線におけるビタビ復号の効果および改善法、各種干渉(ISI:Inter Symbol Interference, ACI:Adjacent Channel Interference, CCI:Co-channel Interference等)に対する改善効 果等、AWGN (Additive White Gaussian Noise)以外の各種条件におけるビタビ復号法の特 性を実験的に明らかにする。特に本章では衛星ディジタルビデオ通信方式をとりあげ、AC I, CCI 条件における変調方式と誤り訂正方式符号化率の最適化の例を示す。 第7章は衛星回線の一部(例えば TDMA(Time Division Multiple Access)回線におけ るタイムスロットの一部)を各地球局が共用し、降雨等により品質に劣化が生じた局の送 受信信号にのみ誤り訂正を施すことによりシステム全体の高品質化・実効的な伝送容量の 増大を可能とするシェアド・リソース方式の原理について述べるとともに、その制御手法 を提案し諸特性に関する検討結果を示す。第8章は結論であって、本論文で得られた主要 な結果をまとめて示す。本論文の構成を図1.4 に示す。



図1.4 論文の構成

第2章 たたみ込み符号化/ビタビ復号法

2.1 緒言

たたみ込み符号化/ビタビ復号法[1][2]はランダムな誤りに対する誤り訂正能力が非常 に大きな方式であり、衛星通信をはじめとする多くの分野で検討がなされている[3][4]。 しかし、高速・高利得な動作が要求されるビタビ復号回路には膨大なハードウェア量を必 要とするという欠点があり、これまではハードウェアの実現が可能な範囲で符号化率(伝 送効率),拘束長等のパラメータを設定して符号化利得の面で譲歩を強いられるというの が現状であった。また、小さいハードウェア量で高い符号化利得を得るためには高速動作 を行う必要があった。

ー方、集積技術の進歩に伴い高速・高集積度のLSIの実現が可能となってきている。例 えば、CMOSフルカスタムVLSIでは約20万ゲートの集積化が可能となっている。しかし、な お状態数が64を越えるような高速・高集積度のビタビ復号回路のLSI化を実現するために は、回路規模の低減・低消費電力化が必須である。 本章では、まず、たたみ込み符号/ビタビ復号法の原理・特徴を概説した後、高速・高 利得なビタビ復号回路の回路規模低減・低消費電力化を可能とする尤度分布集中型(SST: Scarce State Transition)型ビタビ復号回路[5]を提案し、その構成と特性・効果を明 らかにする。

2.2 たたみ込み符号

誤り訂正符号はブロック符号とたたみ込み符号の2つに大別することができる。ビタビ 復号法はたたみ込み符号に対する最尤復号法であり、特に軟判定方式を適用することによ り非常に高い符号化利得を実現することができる。たたみ込み符号とその符号器について 以下に説明する。一般的なたたみ込み符号器の構成を図2.1 に示す。ここで、(a) は原デ ータがそのまま符号の一部として伝送される組織符号(符号化率 r=1/2)、(b) は原デー タがそのままの形では伝送されない非組織符号(符号化率 r=1/2)、(c) は符号化率 r= 3/4 の非組織符号の例である。通常、ビタビ復号に用いられるたたみ込み符号としては符 号間距離を大きくとれる非組織符号がよく用いられる[6]。これら2元たたみ込み符号器 は K段のシフトレジスタと排他的論理和(EXOR)から成る。ここで、符号器の入力ビット 数をb, 出力ビット数をn(この時、符号化率 r=b/n)とすると、たたみ込み符号は符



号器内のレジスタに蓄えられる情報ビットの組合せにより次式に示す Ns 個の状態をとる と考えることができる。

$Ns = 2^{b} \cdot (K-1)$

符号化率 r=1/2、拘束長 K=3の非組織たたみ込み符号器 (図2.1 (b))の場合は 4状態であ る。この符号の状態は図2.1 (b)のレジスタ"ab"に蓄えられた情報ビットの組合せ(すな わち、"00"、"01"、"10"、"11" の 4とおり)となる。このたたみ込み符号の状態遷移図 を図2.2 に示す。図2.2 (a) は "ab" の 4状態間の遷移においてたたみ込み符号X1, X2 を どのように生成するかを表している。図2.2(b)はこれを時間軸方向に展開したトレリス 遷移図である。図中の二重丸◎の印はそれぞれの時刻における各状態を示し、実線のグラ フは入力信号(原データ) It が"0"の時の状態遷移、点線は入力信号 Itが "1"の時の状 態遷移に対応する。また各状態遷移を表す実線・点線のグラフ状に示された(00),(11), (10), (01) 等はそれぞれの状態遷移が発生した時生成されるたたみ込み符号(X1, X2) を表 している。例えば、符号器が状態"00"(シフトレジスタa=0 かつb=0) にあるとすると入 力信号Itが 0 (実線) の時はシフトレジスタa の 0が bヘシフトし aに新しい入力信号の 0 が入力するので、状態遷移後の新しい状態はやはり "00" であり、生成されるたたみ込 み符号も(00)となる。入力信号Itが 1 (点線)の場合はシフトレジスタaの 0が bヘシフ トし aに新しい入力信号の1 が入力する。この時、状態遷移は"00"から"10"であり、生成 されるたたみ込み符号は(11)となる。r=1/2, K=4(状態数 8)の非組織たたみ込み符号の トレリスを付録1-1 に、r=1/2, K=7 (状態数64)の非組織たたみ込み符号の状態遷移図を 付録1-2 に、両符号の符号器の構成を付録1-3 に示す。

2.3 ビタビ復号法

たたみ込み符号器によって生成されたたたみ込み符号は伝送路を通じて伝送され、受信 側にて復号器によって復号される。この通信路のモデルを図2.3 に示す。伝送路では雑音 成分(E1,E2)が送信たたみ込み符号(X1,X2)に加わり受信たたみ込み符号(Y1,Y2) とし て受信される。伝送路の変復調方式が QPSK 方式のような 2値ディジタル変調方式の場合 は X1(Y1), X2(Y2) がそれぞれ 1,Qチャネル信号と考えて良い。 ビタビ復号法は受信信号(Y1,Y2)の系列が図2.2 (b) に示すトレリス図上で起こりうる

(2-1)



(X1, X2)のどの系列(パス)に一番近いか(相関が高いか)を求め、その結果、一番尤も

①各状態はそれぞれ1 つの生き残り系列(原データItの系列:パス)とその尤もらしさ

計算し各ブランチの尤もらしさ(ブランチ尤度:ブランチメトリック)を計算する。

⑤ の結果得られた生き残りパスとそのパスメトリックを記憶し、次のステップに進む。

この受信信号とトレリス上のたたみ込み符号の相関を計算する際、復調器出力の判定点 で 1か 0かを判定してしまう硬判定よりも、受信信号に対して A/D変換等により複数の量 子化ビットの形でアナログ的な情報を保持しつつ相関をとる軟判定方式のほうがより高い 符号化利得を実現することができる。図2.3 に示される硬判定方式の構成図に対して軟判 定方式の構成を図2.4 に示す。軟判定方式は量子化ビット数を多くするほどアナログ的な 雑音の情報が忠実に反映されるが、実際に符号化利得の増加に寄与するのは 3ビット(8 値)程度までである。軟判定の量子化ビット数が1(硬判定)の場合と3(8値)の場合の 受信信号アイパターンと判定しきい値および量子化信号(自然 2進符号)の例を図2.5 に

上述のようなビタビ復号アルゴリズムを実際に実現するビタビ復号回路はその機能から





通信路モデル (硬判定方式) 図2.3



⊠2.4 通信路モデル(軟判定方式)





アイパターン

図2.5 軟判定しきい値(アイパターンとの関係)

(硬判定信号)

(a) 硬判定 (2值)

軟判定信号 (自然2進符号 軟判定しきい値 による量子化)

(b) 軟判定 (8値)



ビタビ復号器の構成 ⊠2.6

以下にビタビ復号回路の各部の機能を LSI化の観点から簡単に説明する。

(1) ACS 部 ACS回路はたたみ込み符号の各状態の生き残りパスの 1タイムスロット前のパ スメトリックと受信たたみ込み符号から受信した時点の各状態の新しい生き残りパスとそ のパスメトリックを加算・比較・選択機能により計算するものでフィードバック系を含む 演算回路である。従って、ビタビ復号回路の動作速度はこの ACS回路の演算速度で制限さ れ、高速な動作を要求される場合には Ns 個のACS 回路を個別に持つ必要がある。

(2) パスメモリ部

パスメモリ部は ACS回路の演算結果に従い生き残りパスを更新・記憶する回路である。 その構成法には大きく分けてパスメモリセルマトリクス法とトレースバック法の 2種があ る。パスメモリセルマトリクス法は選択器とレジスタからなるパスメモリセルを T段(T はトランケーション段数) × Ns のマトリクス状に配列し、それぞれをたたみ込み符 号の状態遷移に対応して結線することにより構成する。ここで、トランケーション段数と はパスメモリセルの段数を示し、十分な符号化利得を得るためには通常、拘束長の5~6 倍に設定される。

(3) 最尤判定部

最尤判定部は各状態の生き残りパスの中から最も尤度の高い系列を判定し、その生き残 りパスの最古のビットを復号出力として選択する回路であり、その判定法としては以下の ようなものがある。

①全状態のパスメトリックを比較し、最大の尤度を持つ生き残りパスを選択する。 ②全状態の生き残りパスの最古のビットで多数決を行う。 ③最尤判定は行なわず、任意の状態の生き残りパスの最古のビットを復号出力とする。 ①②の方式は精度は高いが回路が複雑となりハードウェア量が大きくなる。③の方式は最 尤判定を必要としない方式であるが利得の劣化を生じるあるいはそれを防ぐためにはパス メモリのトランケーション段数を大きくする必要がありハードウェア量の増大につながる。 しかし、 LSI化の観点からは、ACS 回路とパスメモリセルを規則的に配列するだけでほ とんどの部分を構成できる③の方式が回路規模・配線数・設計工程等の点から最も適して いる。

- 2.4 尤度分布集中型 (SST型) ビタビ復号方式
- 2.4.1 尤度分布集中型(SST型)ビタビ復号方式の原理
- (1) SST 型ビタビ復号回路

本論文で提案する SST (Scarce State Transition) 型ビタビ復号回路は、まず、伝送 路上での誤りの加わった受信たたみ込み符号から簡易な方法を用いて原データ(送信側た たみ込み符号器の入力)の推定を行う。次にこの推定原データを送信側たたみ込み符号器 と同じ符号器(再符号化用たたみ込み符号器)により再符号化し、この再符号化たたみ込 み符号と受信たたみ込み符号を比較して得られる推定誤りのみを狭義のビタビ復号回路の 入力とし誤り訂正を行う。更にこの結果得られた狭義のビタビ復号回路の出力と先の推定 原データを合成して最終出力を得るものである。

以下に簡単のためr=1/2, K=3 硬判定の場合の SST型ビタビ復号回路を例にとり復号原 理を説明する。符号のアルファベットはGF(2)=(0,1)とし、演算は全てGF(2)上で行われ るものとする。本例の構成図を図2.7 に示す。

まず、送信データ系列」を次のように表す。

(2-2) $| = (|0, |_1, |_2, \cdots \cdots |_u, \cdots)$ ここで、 lu は時刻 uの原データである。また、図2.7 に示すようなたたみ込み符号器の 生成多項式を G(1), G(2) としこれらを遅延演算子 (delay operator) D で表すと、

$G(1) = 1 + D + D^2$	(2-3a)
$G(2) = 1 + D^2$	(2-3b)
となる。 G(1), G(2)	によって生成される送信たたみ込み符号系列をそれぞれ Tu(1)
Tu(2) とすると、	
T. (1) - In I In-	1 + 1 = 2 (2-4a)

Iu(I) = Iu +	f lu-l f lu-2	(
Tu(2) = Iu +	+ lu-2	(2-4b)

となる。

また、伝送路で Tu(1), Tu(2) に加わる誤り系列をそれぞれ E(1), E(2) 、時刻 u に おける E(1), E(2) をそれぞれ Eu(1), Eu(2) (誤りが発生した時 1、それ以外は 0) とする。受信たたみ込み符号系列を R(1), R(2) とし、時刻 u の R(1), R(2) をそれぞ れ Ru(1), Ru(2) とすると、

Ru(1) = Tu(1) + Eu(1)	(2-5a)
Ru(2) = Tu(2) + Eu(2)	(2-5b)



となる。

受信側では、まず、 R(1), R(2) に対して簡易な復号器を用いて原データの推定を行う。 本例では R(1) と R(2) の排他的論理和を取ることにより推定原データ Q を得ることが できる。時刻 u における推定原データを Qu とすると、

Qu = Ru(1) + Ru(2) = Iu - 1 + Eu(1) + Eu(2)(2-6) となる。この推定原データ Qu を生成多項式 G(1), G(2) を持つ再符号化用たたみ込み符 号器の入力とし再符号化を行う。この結果得られる再符号化たたみ込み符号系列を R'(1), R'(2)とし、また時刻 u における R'(1), R'(2) を R'u(1), R'u(2)とすると、

R'u(1) = Tu-1(1) + Eu(1) + Eu(2) + Eu-1(1) + Eu-1(2)

+ Eu - Z(1) + Eu - Z(2) (2-1a)	+ Eu-2(1)) + Eu - 2(2)		(2-7a)
--------------------------------	-----------	---------------	--	--------

R'u(2) = Tu-1(2)	+ Eu(1) + Eu(2)	+ Eu-2(1) + Eu-2(2)	(2-7b)
となる。ここで、			

Te, u(1) = Eu(1) + Eu(2) + Eu-1(1) + Eu-1(2)	
+ Eu-2(1) + Eu-2(2)	(2-8a)
Te, u(2) = Eu(1) + Eu(2) + Eu-2(1) + Eu-2(2)	(2-8b)
とすると、 R'u(1) と R'u(2) はそれぞれ、	
R'u(1) = Tu-1(1) + Te, u(1)	(2-9a)

- (2-9b) R'u(2) = Tu-1(2) + Te, u(2)
- となる。

時刻 u に対応する再符号化たたみ込み符号 R'(1), R'(2)と遅延回路 1 を経て 1ビ ット遅延した受信たたみ込み符号 Ru-1(1), Ru-1(2) の排他的論理和をとり、その結果得 られる推定誤り系列を P(1), P(2)、時刻 u における P(1), P(2) をそれぞれ Pu(1), Pu(2)とすると、

Pu(1) = Ru - 1(1) + R'u(1)	
	= $Tu-1(1) + Eu-1(1) + Tu-1(1) + Te, u(1)$	
	= Te,u(1) + Eu-1(1)	(2-10a)
Pu(2	P(2) = Ru - 1(2) + R'u(2)	
	= Tu-1(2) + Eu-1(2) + Tu-1(2) + Te,u(2)	
	= Te, u(2) + Eu-1(2)	(2-10b)

となる。

Te,u(1), Te,u(2)からなる系列を Te(1), Te(2) とすると、 Te(1), Te(2) は式 (2-8a), (2-8b) より明らかなように、 E(1) + E(2) なる系列を生成多項式 G(1), G(2) で たたみ込み符号化したものと等価であり、推定系列 P(1), P(2) はこれに伝送路誤り系列 E(1), E(2) が加わったものと考えることができる。 そこで P(1), P(2) を狭義のビタビ復号回路の入力とし伝送路誤り系列 E(1), E(2) に 対して誤り訂正を施し、仮に全ての誤りが訂正されるとすると、狭義のビタビ復号回路の 出力は P(1), P(2) の原データに相当する E(1) + E(2)となる。 ここで用いる狭義のビタビ復号回路のスループット遅延をτとすると、時刻 u におけ る出力は Eu-r(1) + Eu-r(2) となる。これに対し遅延回路 2 を経て r ビット遅延し た推定原データ Qu-~は(2-6) 式より、 $Qu - \tau = Iu - 1 - \tau + Eu - \tau (1) + Eu - \tau (2)$ (2-11) となる。狭義のビタビ復号回路の出力 Eu-r(1) + Eu-r(2) と遅延回路 2 の出力で ある推定原データ Qu-τとの排他的論理和を取ると、 $Qu - \tau + Eu - \tau (1) + Eu - \tau (2) = 1u - 1 - \tau$ (2-12) となり、原データ系列 Ι を復号出力として得ることができる。 以上、本文では硬判定の場合を例に SST型ビタビ復号回路の動作を説明したが、本方式 は軟判定を行う場合にも全く同様に適用することができる。

(2) 特徵

前節で述べたように、 SST方式では狭義のビタビ復号回路の入力である P(1), P(2) の 見掛け上の原データが E(1) + E(2) となる。すなわち、伝送路で誤りが生じた場合のみ 見掛け上の原データが 1となる。その結果、従来方式では、ランダムな原データ 1のたた み込み符号がビタビ復号回路の入力となるためビタビ復号回路内の最尤状態(メトリック が最大となる状態)の状態分布がランダムであるのに対し、本方式を用いた場合の最尤状 態の分布は原データ系列が全て 0 の場合に近づく。 図2.8(a),(b)に r=1/2, K=3 およびK=7 の場合の SST型ビタビ復号回路内の状態分布確 率を計算機シミュレーションで求めた結果を示す。ここで、状態とは、復号器入力に対応 するたたみ込み符号器内のレジスタに蓄えられた情報ビット (K=3 では 2ビット, K=7 で は 6ビット)で表されるものとし、状態分布確率とは復号器内のある状態が全ての状態の 中で最大のメトリックを持つ確率とする。図2.8(a) において、(A) は状態"00"のメトリ



図2.8 SST型ビタビ復号器の尤度分布

ックが最大となる確率、(B),(C) は状態"01", "10"のメトリックが最大となる確率、(D) は状態"11"のメトリックが最大となる確率である。従来のビタビ復号回路では送信データ がランダムであれば (A),(B),(C) および(D) の各状態への遷移確率は等しく 25%ずつと なるのに対し、 SST型では (A)の状態に分布が集中し、出力誤り率が 10⁻⁴ では全体の 85%を占めている。

図2.8(b) では(A) は状態"000000"(全"0"状態)のメトリックが最大となる確率、 (B) は状態"000001", "000010" 等 1が 1個含まれる状態(6個存在)のメトリックが最 大となる確率、(C) は状態"000011", "000101" 等 1が 2個含まれる状態(15個存在)の メトリックが最大となる確率である。従来のビタビ復号回路では64個の各状態のメトリッ クが最大となる確率はそれぞれ 1.6% なのに対し、 SST型では(A) または(B)の状態に 分布が集中し出力誤り率が 10⁻⁴ ではこれらの状態分布が全体の 87%を占めている。

(3) 推定の容易な符号

本方式に用いるたたみ込み符号は受信側で原データ系列を容易にかつ精度良く推定でき ることが望ましい。本方式には、組織符号(原データをそのまま送信しそれに符号化デー タを付加する符号)が適用可能な他、上述の例のように受信たたみ込み符号 R(1), R(2) の排他的論理和を取ることにより原データーが読み出せる符号(すなわち、生成多項式 G(1), G(2) が 1つの次数だけで異なっているような符号—ここでは QLU (Quick Look Up)符号と呼ぶ)が適用可能である。しかし、ビタビ復号法の符号化利得は一般にたたみ 込み符号の最小符号間距離 Dmin が大きいほど高くなるため、 QLU符号の中でも Dmin が 大きな符号を用いるのが有利となる。表2.1 にビタビ復号法(伝送効率 r=1/2)に用いる たたみ込み符号のうち最適とされている符号[6] と QLU符号のうち Dmin の大きな符号の 生成多項式および Dmin を示す。

拘束長K が 3ないし 4の場合は QLU符号が最適符号となっているが、K が 5を超える符 号では QLU符号が必ずしも最適符号にあてはまらない。このような最適符号に対しては、 原データ推定の精度が若干劣化するものの、最適符号の生成多項式の逆関数からなる逆符 号化回路を簡易な復号器とすることにより、一般的な最適符号に対しても SST方式は適用 可能である[7][8]。

	Q L U符号		拘束長				
Dmin	生成多項式	Dmin	生成多項式	К			
5	同左	5	(5,7)	3			
6	同左	6	(15, 17)	4			
9	(113, 153)	1 0	(133,171)	7			
9	(133,137)						
	(113, 153) (133, 137)	10	(133,171)	7			

表2.1 たたみ込み符号の生成多項式

 4.2 回路規模低減の効果 (1) 最尤判定回路

前節で述べたように、メトリックが最大となる状態が全"0"の状態あるいはそれに近い 状態に集中するという特徴を有する SST型ビタビ復号回路では最尤判定回路を省略できる。 すなわち、従来のビタビ復号回路で行っていた最尤判定の機能を省略し、全"0"の状態に 対応する生き残りパスの最古のビットを直接選択し、これと簡易な復号器の出力である推 定原データから最終的な復号出力を得るような形としても符号化利得の劣化がほとんど無 い。言い換えれば必要最小限のパスメモリ長で最尤判定無しのビタビ復号回路を構成する ことが可能となる。

図2.9(a),(b)に r=1/2, K=3 および K=7の場合の従来型および SST型ビタビ復号回路 について最尤判定を行った場合と行わない場合の誤り率特性を計算機シミュレーションに より求めた結果を示す。ただし、帯域拡大分の 3dBの利得は含んだままとしている(最尤 判定を行った場合 SST型と従来型の特性に差が見られるのはシミュレーションの誤差によ るものであり、理論的には両者は全く同じ特性を有する)。なお、計算機シミュレーショ ンは以下に示すモデルについて行った。

[シミュレーションモデル] 原データ: PNパターン 符号化率: r=1/2 拘束長: K=3 および 7 トランケーション段数(パスメモリ長): T=15 (K=3)

軟判定:3 ビット (8値) しきい値間隔/送信信号振幅: 0.35 メトリックビット数: M=6 オーバフローの規格化:各メトリックの上位 2ビットを監視 最尤判定法:最大メトリック状態の最古ビットを出力

この結果より、従来型で最尤判定を省略することによる劣化は0.3 ~0.4dB であるのに 対し、 SST型では0.1dB 以下にできることがわかる。

35 (K=7)



図2.9 SST型ビタビ復号器の符号誤り率特性

図2.9(b)では従来型のビタビ復号回路用のたたみ込み符号は表2.1 に示した(171,13 3)の生成多項式を持つ最適符号であり、SST型ビタビ復号回路用たたみ込み符号には(17 5,155)の生成多項式を持つQLU符号を用いている。最尤判定を行う場合、SST型ビタビ 復号回路は用いるたたみ込み符号のDminが小さいことに起因する符号化利得の劣化が見 られるが、最尤判定を省略する場合には従来型よりも優れた特性を示すことがわかる。 このようにSST型ビタビ復号回路では最尤判定回路を省略することができるので、膨大 な回路規模を必要とするビタビ復号回路もACS回路とパスメモリ回路の単純な繰り返しに より構成することが可能となり、LSI設計工程およびレイアウト設計の簡易化等ビタビ復 号回路LSI化のために非常に大きな効果がある。

(2) パスメモリ回路

最尤判定を省略することにより生じる劣化を小さくするためにはトランケーション段数 を長くすることが考えられる。図2.10は r=1/2, K=7 の従来型および SST型ビタビ復号回 路のトランケーション段数と誤り率の関係を計算器シミュレーションにより求めたもので ある。 SST型ビタビ復号回路では満足できる誤り率特性を得るのに必要なトランケーショ ン段数を従来方式に比べ約 5段小さくすることが可能となる。 これまで述べたように、 SST型ビタビ復号回路では最尤判定を省略し、全"0" 状態に対 応する生き残りパスの最古のビットを出力とする方法が有利である。このような構成を用 いる場合、従来Ns×T コンポーネント必要であったパスメモリセルの数を以下のようにし て減少させることができる。例として、r=1/2,K=3 (Ns=4) T=15 のビタビ復号回路のパス メモリ部の構成を図2.11に示す。 SST型で最尤判定を省略する場合には図の斜線で示され たパスメモリセルは出力に無関係となり省略することができる。 同様にr=1/2,K=7 (Ns=64,T=35 とする)のビタビ復号回路では 321個のパスメモリセ ルが省略可能である。

以上に述べたように SST型ビタビ復号回路は原データの推定回路 (簡易な復号器), 再 符号化回路等が従来方式に比較しハードウェア増をもたらすが、 ① 最尤判定回路が省略できる。 ② パスメモリセル数の削減ができる。 等、削減できるハードウェア量がはるかに大きい。従って、全体としてビタビ復号回路の 回路規模は従来のビタビ復号回路に比較して小さくできる。







図2.11 パスメモリ部の構成(r=1/2, K=3)

2.4.3 消費電力低減効果
 (1) 消費電力低減の原理

例えば、状態数が 64 を超えるような高利得のビタビ復号回路を LSI化するためには、 ハードウェア量と集積度・消費電力等を考慮すると、現時点では CMOS LSI を用いざるを 得ない。良く知られているように、 CMOS はトランジスタに ON/OFF が生じた場合のみ電 力を消費し、 ON または OFFのままの静状態の間は電力を消費しないという性質を持って いる。

前述のように SST型ビタビ復号回路は、最尤判定回路を省略できる、パスメモリセル数 を小さくできる等ハードウェア量の減少が可能であり、これに伴う消費電力の低減が期待 できる。さらに、 SST方式を用いた場合の特徴として回路内のゲートのON/OFFの回数が少 なくなる。従って、 SST型ビタビ復号回路を CMOS LS1 で構成するとその消費電力が大幅 に低減されるという利点がある。すなわち、従来のビタビ復号回路では送信原データがラ ンダムであればパスメモリ回路内に蓄積される情報ビットもランダムであり、これらが遷 移を繰り返すたびに CMOS のゲートに ON/OFF が生じる。これに対し、 SST型ビタビ復号 回路はパスメモリ回路に蓄積される情報ビットは伝送路誤りの影響を受けたビットのみ " 1" となりほとんどの場合 "0" となる。このため、パスメモリ回路内の CMOS ゲートの ON/OFF 回数は非常に小さくなり消費電力を低減することができる。 また、本方式では各状態に対応するメトリックの相対関係も従来方式に比べ安定であり、 メトリックのオーバーフローを規格する場合、常にフィードバックするメトリックが等し くなるような回路構成とすることにより ACS回路内の CMOS ゲートの ON/OFF 回数を減ら し、 ACS回路の低消費電力を図ることもできる。

(2) 実験結果

SST 型ビタビ復号回路のパスメモリ部における低消費電力化の効果を確認するため、 r =1/2, K=7 (Ns=64), T=40 のビタビ復号回路のパスメモリ部をCMOSを用いて試作し実験 を行った。パスメモリはエッジトリガタイプの Dフリップフロップおよびセレクタで構成 した。図2.12に実験結果を示す。ただし、パスメモリセル数は従来型・ SST型ともに64× 40個とし、動作速度は 3MHz とした。 誤り無しの状態では、 SST型は従来型に比較し 60%の消費電力削減を可能としている。



SST型ビタビ復号器パスメモリ部の消費電力 図 2.12

伝送品質の劣化に伴い消費電力の低減効果は減少し伝送路誤り率が 10 - の点では消費 電力の削減率が 25%程度となる。一方、ディスクリートICで構成した試作回路ではクロッ クによって駆動するゲート数が多い等定常的に消費する電力が無視できないことがビタビ 復号回路を LSI化する場合と大きくことなり、例えば、r=1/2, K=7 (Ns=64) のビタビ復 号回路を LSI化する場合にはさらに大きな消費電力削減効果が得られる。

2.4.4 最適符号への適用

前節までは、簡易復号が可能で最適符号とは異なるたたみ込み符号(QLU符号)を対象と して説明したが、図2.13に示すように最適符号に対しても SST方式を適用可能である[7]。 最適符号を用いた SST方式では、従来方式と同一の誤り率特性を実現するためには、図2. 14に示すように、最尤判定回路無しの条件で従来方式で必要となるパスメモリ長に対して △L,だけ短いパスメモリ長で良いことになる。更に微小の劣化を許容すれば最尤判定回路 有りの場合と同じパスメモリ長で復号が可能であり、この場合(△L1+△L2)相当が削除 可能となる。

2.4.5 伝送路誤り率モニタリングへの応用 ビタビ復号回路を用いる方式において伝送路誤り率を推定する方法についてはすでにい くつかの検討がなされている[9]。

SST型ビタビ復号回路ではパスメモリ部の出力である全 "0" の状態に対応する生き残 リパスが前述のようにたたみ込み符号 T(1), T(2) に加わる伝送路誤り E(1), E(2) の排 他的論理和である E(1) + E(2)となる。 SST型ビタビ復号回路ではこの性質を利用するこ とにより容易に伝送路誤り率の推定を行うことができる。 図2.15に SST型ビタビ復号回路 (r=1/2, K=7) の入力誤り率 (伝送路誤り率) と E(1) + E(2) (モニタビット)の10' ビット中に含まれる "1"の数との関係を計算機シミュレ ーションにより求めた結果を示す。

伝送路の誤り率をPeとし、ビタビ復号回路内で全ての誤りが訂正されるとするとモニタ ビット中の誤り率Pm (E(1) + E(2) に "1" が発生する確率) は、 (2 - 13) $Pm = 2Pe - Pe^{2}$

となる。図中の理論値は (2-13) 式により求めたものである。伝送路誤り率 Pe が 8×10 -2 (復号後誤り率 2×10 -3)以下の点では計算機シミュレーションの結果は理論値と良く



(a) Encoder



図2.13 最適符号に対する SST型ビタビ復号器の構成





図2.15 伝送路誤り率の推定



一致しており、この手法を用いることにより容易に伝送路誤り率を推定できることがわか 3.

2.5 結言

本章では、たたみ込み符号化/ビタビ復号法の原理・特徴を概説するとともに、高速・ 高利得のビタビ復号回路の回路規模の低減・低消費電力化を可能とする尤度分布集中型 (SST)型ビタビ復号回路を提案した。本方式では従来回路規模の約20%を占めていた生き 残りパスの最尤判定回路を符号化利得の劣化なしに省略することが可能であり、その結果、 回路素子数・配線数を大幅に低減できるとともに LSI化に際して設計工程・レイアウト等 を簡易化を可能とした。

また、状態分布の集中により回路内のゲートのON/OFF回数が減ることから消費電力の低 減にも効果があることを示した。低誤り率の状態では、 SST型は従来型に比較し 60%の消 費電力削減を可能としている。本方式は大規模なハードウェア量を必要とするビタビ復号 回路の実現、特にその CMOS VLSI化にむけて有効な方式である。

3.1 緒言

当初、ビタビ復号法は無線・衛星通信システムの所要 Eb/Noを低減する、すなわち電力 制限を克服する手段として注目され、まず比較的低符号化率(例えば r=1/2, 1/3)なビ タビ復号回路が実現されシステムに適用された。しかし、さらに周波数の制限がある条件 で実効的通信容量の増大を可能とするため、より高伝送効率(高能率)なたたみ込み符号 化/ビタビ復号法への要求が高まってきた。すなわち、低符号化率(例えば r=1/2)から より高符号化率 (r=3/4, 7/8, 15/16)なビタビ復号回路が求められる傾向が強まってきた [1]。本章では、まず一般的な高符号化率たたみ込み符号と低符号化率たたみ込み符号を 用いてビットスティーリングにより高伝送効率を実現するパンクチャド方式[2][3]につい て概説し、さらにビットスティーリング・ダミービット挿入を省略し高能率たたみ込み符 号 (パンクチャド型たたみ込み符号)の生成・復号を容易とする高符号化率たたみ込み符 号化/ビタビ復号回路の構成法を提案する。

3.2 高符号化率たたみ込み符号 高符号化率たたみ込み符号器の例(r=3/4, K=3)を第2章の図2.1(c)に示している。 このたたみ込み符号では状態数は64、1 つの ACS回路での演算では 8者択一の演算が必要 となる。さらに高利得な(すなわち拘束長の長い)高符号化率たたみ込み符号ではより大 きな状態数が必要であり、また、より高符号化率なたたみ込み符号、例えば r=7/8 では 拘束長K=2 としても 128状態の ACS回路、1 状態での ACS演算も 128者択一が必要となる。 一般的には符号化率 r=b/n, 拘束長 Kのたたみ込み符号の場合、式(2-1) に示すように状 態数(ACS回路の個数) は Ns=2 ^b · ^(K-1)、 ACS演算は 2^b者択一が必要となり、 ACS回路 中の加算器が 2 °個、比較器および選択器が 2 °-1 個必要となる。これは、特に高速動 作ビタビ復号器の場合膨大なハードウェア量が必要となることを意味している。

3.3 パンクチャド型たたみ込み符号に対するビタビ復号法 前述のように、現状の LSI技術および基本的な復号器構成法により高速・高能率 (r > 1/2)ビタビ復号器の LSI化を図ることは、"符号化率 3/4及び拘束長2"の場合を除いて非 常に難しい。

そこでハードウエア規模を符号化率1/2のそれと同等とし、符号化利得を犠牲にして、 高能率化を図る方法が検討されている。これは、送信側にて符号誤りに与える影響の少な いビットを消去し、伝送路にて高能率化を図り、受信側では、ダミービットを挿入し符号 化率を1/2 とした後、ビタビ復号器(符号化率1/2)にて復号する方法である[2][3][4][5]。 この方法を用いることにより、簡易な低符号化率ビタビ復号回路にて高符号化率の誤り訂 正回路を実現可能であるが、送信側ではビットスティーリング、受信側ではダミービット 挿入等の低/高符号化率の変換に複雑な処理を必要とする。パンクチャド方式の構成を図 3.1 に示す。

3.4 高符号化率ビタビ復号回路構成法

3. 4. 1 F I F O 前置型高符号化率ビタビ復号回路

本節では、送信側にて直接((n-1)/n)符号化率の符号を生成し、受信側では外部ROM に てブランチ尤度を計算し速度変換の後、符号化率1/2 拘束長7 のビタビ復号器にて復号す る高能率誤り訂正方式を提案する[6][7][8][9]。本方式は従来方式と異なり、送信側での ビット消去・受信側でのダミービット挿入を必要とせず、より簡易な構成で符号器・復号 器が実現できる。特に、ブランチ尤度演算およびその速度変換をROM およびFIFO等、汎用 的かつ簡易なタイミング制御のみで実現できるため、低速から高速までの広い動作範囲を 同一のハードウェアでカバーする場合や LSI化のようにタイミングの微調整を逐次行えな いような場合に有効な構成である。また ROM, FIF0等はそれ自身ある程度集積化された素 子であり、素子数の低減も可能となる。

本方式のブロック図を図3.2 に、符号化率3/4 の符号器の構成例を図3.3 に、またビタ ビ復号器のブロック図を図3.4 に示す。送信側では原データが直/並列変換され符号の生 成多項式に従って直接各種符号化率のたたみ込み符号が生成され伝送路へ送信される。図 3.3 の例は QPSK 変調方式を用いた伝送路に対応する符号器の例であり、生成されたたた み込み符号は I (In-phase) チャネルおよび Q (Quadrature) チャネル信号として送信さ れる。軟判定された受信たたみ込み符号は、提案する高能率ビタビ復号器のブランチ尤度 演算回路に入力され、伝送路信号速度で計算されたブランチ尤度が速度変換回路で原デー タ速度に変換される。この出力が生き残りパスのパス尤度を演算・比較・選択する ACS回 路に入力され、以下、ビタビ復号のアルゴリズムに従って原データが復号される。 すなわち、従来のパンクチャド方式の回路構成はブランチ尤度演算回路も含めて全て符







図3.3 高符号化率たたみ込み符号の構成



図3.4 高符号化率ビタビ復号回路の構成

号化率1/2 のビタビ復号器で処理するため、受信側で送信データの消去パターンに対応し てダミービット挿入を行う必要があるが、提案方式では ROMと FIFO で構成されるブラン チ尤度演算部そのものに速度変換機能があるためダミービット挿入を省略することができ る。本方式では、符号化率((n-1)/n) 可変には外部ROM 内のブランチ尤度演算テーブルの 選択により容易に対応が可能である。提案方式と従来のパンクチャド方式の動作の例を図 3.5 に示す。従来のパンクチャド方式 (図3.5(b)) では必要なダミービット位置に対応す る不規則な歯抜けクロックが提案方式 (図3.5(a)) では必要なく規則的なクロックの繰り 返しで高符号化率動作が可能なことがわかる。

以上のような構成とすることにより本ビタビ復号器は以下のような特長を有する。

〔汎用性〕

①符号化率可変性

ブランチ尤度演算用 ROMテーブルならびに速度変換用 FIFO の速度変換率を変えること により、容易に各種符号化率のたたみ込み符号に対応可能 ②速度可変性

ブランチ尤度演算ならびに速度変換を ROMおよび FIFO 等汎用的に複雑なタイミング制 御なしで動作可能な素子で構成するため低速から高速まで広い動作範囲を同一のハードウ ェアでカバー可能

[ハードウェア実現上の利点]
 ①所要素子数の低減
 ROM, FIFO 等はそれ自体高度に集積化された素子であることから所要素子数の低減が可能
 ② LSI化への適合性
 ブランチ尤度演算ならびに速度変換機能を LSI内部に取り込む場合、ROM, FIFO 等は比較的単純な繰り返し回路なので LSI化が容易であり、前述の〔汎用性〕②の利点が生かせ

Convolutional encode data (Ich)

Convolutional encode data (Qch)

Branch metric

Writing clock

Reading clock

Speed converted branch metric

-		1.									-		-	T	-
	Q o		2	ų	4	ų	6	Ų7		1	9	ų	11		Q13
					Ŷ	Bran	ch m	etric	cal	cula	atio	n			
	Bo	B 1	B ₂	B 3	B 4	B 5	Be	B 7		Bs	Bg	B 1 0	B 1	1 B 1	2 B 1
									Г						
-									_			-			
_									L						
-		1	-	-	1				-	1	T	-			

(a) Proposed scheme

Convolutional encoded data (Ich)	l o	I 1	3	15	I 7	₈	I 1 0	₁₂
Convolutional encoded data (Qch)	Qo	12	Q4	Q ₆	Q 7	و ا	Q 1 1	Q 1 3
Writing clock								
Reading clock for Ich				1				1
Reading clock for Qch						Л Dumm	v bit in	sertio
Dummy inserted convolutional encoded data (lch)					1 ₀ 1		3	15
Dummy inserted convolutional encoded data (Qch)					Q.	\bigcirc	Q4	
Reading clock 🐃			J		¢₿	ranch met	ric calc	ulatio
Branch metric	II				B _o B	1 B 2 B	3 B 4	B ₅ B
	(b) Cc	nventional	punctu	I2 Tran Qch red sche	sfer bit to Ich me	from	Dum	ımy bit

図3.5 高符号化率ビタビ復号回路の動作タイミング

3.4.2 FIFO後置型高符号化率ビタビ復号回路 上述の FIF0 前置型高符号化率ビタビ復号回路の場合、前節のパンクチャド型と同様に ビタビ復号の演算用クロックとしては伝送路クロックの b/n (BPSK) あるいは 2b/n 倍 (QPSK)のクロックが必要となる。例えば、変調方式が QPSK で符号化率 r=3/4 の場合 3/2倍クロックが、符号化率 r=7/8 の場合 7/4倍クロックが必要であり、これを供給す るため、 PLL等のアナログ回路を含むクロック生成回路が必要となる。これらアナログ回 路によるクロック生成回路は PLLの引き込み特性の制限から、低速から高速までの幅広い 動作範囲を保証することは難しい。また、符号化率可変の誤り訂正に対応する場合も各符 号化率に対応するクロック生成用 PLLを持つ必要があり、回路規模が大きくなる。すなわ ち、誤り訂正回路が速度・符号化率の点で汎用性に富んでいても、これにクロックを供給 する回路に汎用性を持たせることが難しい。さらに、温度特性・調整工数等の観点からも 本来ディジタル回路である誤り訂正回路の周辺回路にアナログ回路を具備するのは望まし くない。

一方、衛星通信・移動通信で良く用いられる TDMA 通信方式では、バースト信号で多元 接続を行うため、連続信号をパースト信号に圧縮あるいはその逆の伸張用のパッファメモ リを有している。このようなシステムに高符号化率の誤り訂正を用いる場合、上述のよう な PLLによるクロック生成回路を用いず TDMA 装置の圧縮・伸張バッファを利用すること ができる。この FIFO 後置型高符号化率ビタビ復号回路の構成を図3.6 にその動作タイミ ング (r=7/8 の例)を図3.7 に示す。本方式ではビタビ復号回路の最大情報処理速度は b /n に減少するが所要クロックは基本的に伝送路クロックとその 2倍クロックの組み合わ せで供給でき、クロック生成用の PLL等を必要としない。

3.5 結言

本章では、まず一般的な高符号化率たたみ込み符号と低符号化率たたみ込み符号を用い てビットスティーリングにより高伝送効率を実現するパンクチャド方式について概説した。 さらにビットスティーリング・ダミービット挿入を省略し高能率たたみ込み符号(パンク チャド型たたみ込み符号)の生成・復号を容易とする高符号化率たたみ込み符号化/ビタ ビ復号回路の構成法を提案し、高速かつ符号化率可変のビタビ復号回路の簡易な実現法を 明らかにした。



第4章 ビタビ復号回路のLSI化

4.1 緒言

ビタビ復号回路を低速動作させる場合には演算回路の時分割使用が可能であり、この場 合高符号化利得が達成でき、また、構成も容易なことから VSAT (Very Small Aperture Terminal) 通信方式等に実用されている[1]。一方、高利得なビタビ復号回路を高速動作 させる場合[2][3]には膨大なハードウエア量を必要とすることから本格的実用化は、比較 的繰り返し回路の多い大規模ディジタル信号処理回路である復号器を LSI化することによ りはじめて可能となり、より高利得なビタビ復号器の LSI化の研究開発が活発に行われて いる[4]~[25]。

復号器 LSI化の目的のひとつである復号器の経済化のためには、①開発した LSIは符号 化率の異なる種々のシステムに汎用的(共通)に使用できること、②所要 LSI数(/シス テム)が少ないこと、③開発コストが低いことが満たされるべき条件となる。しかしなが ら、従来技術では20Mbpsを超える高速・高能率(符号化率>1/2)ビタビ復号器を実現する ためには多数のLSI チップを必要とした。 本章では、低速・高速ビタビ復号器の回路構成、LSI化に際する最適デバイス選択・L

本卓では、低速・高速ビタビ復号器の回路構成、LSI化に際する最適デバイス選択・L SI化手法を整理・系統化する。また、第2章で提案した尤度分布集中(SST)方式ならびに 第3章で述べた符号化率可変ビタビ復号方式による高速・高能率ビタビ復号器LSI につい て述べる。

4.2 低速ビタビ復号器のLSI化

高速ビタビ復号器を「基本構成」どおりに実現するには多大のゲート数を必要とし、現 状の LSI技術で1チップ構成が可能なビタビ復号器は符号化率1/2 の場合拘束長7 、符号 化率3/4 の場合拘束長2 程度であり、符号化率7/8 のビタビ復号器は実現が難しい。また、 高速動作時には LSIの消費電力も大となり、熱制限から動作速度の上限が決まる場合もあ る。

これらの問題を避けるために、動作速度の点で譲歩しつつも、所要ゲート数の削減及び 消費電力削減を図るのが低速ビタビ復号回路である。 低速動作のビタビ復号器は、ACS回路を状態数(Ns) だけ具備することはせず、1つま たは複数(M)の ACS回路を ACS演算に時分割使用することにより、ACS部ハードウエア規 模を 1/Ns または M/Ns へと削減することが可能となる。低速動作のビタビ復号器の構成 を図4.1 に示す。各状態に対応するパスメトリックは時分割演算毎にRAM (Random Access Memory)から読み出し、演算後に再び格納することから、その動作速度 fS はRAM アクセ ス時間を TR, ACS回路の実行処理速度を fA とすると概略式(4-1)となる。



(4-1)

本方法による低速ビタビ復号器の回路規模は現状のマスタスライスLSI で実現可能であ り、数十kbps程度の低速であれば DSPあるいは CPUにより実現可能な大きさとなる。ディ ジタル移動通信等比較的低速な方式では音声信号の重要ビットのみにたたみ込み符号化を 施し、受信側で DSP処理によるビタビ復号を適用している。その例(日本、北米、欧州) を APPENDIX3-1, 3-2 に示す。

4.3 高速ビタビ復号器のLSI化

符号化率 r=1/2 に対応する高速ビタビ復号回路の回路規模 (CMOSゲート数)を図4.2 に示す。低速ビタビ復号器LSI と異なり、一般に高速動作ビタビ復号器LSI は Ns 個のAC S回路、高速動作可能なパスメモリ回路及び最尤判定回路を具備する必要がある。従って、 本LSI の所要ゲート数は膨大なものとなり、これをいかに削減し使用可能なCMOS LSIのゲ ート数及び消費電力制限枠内で実現するかが大きな課題となる。ビタビ復号器LSIのゲー ト数削減のために(1) SST (Scarce State Transition)型ビタビ復号器[22][23]、 (2)状態 数及び生き残りパス削減を図ったビタビ復号器及び(3)シンボルメトリック計算を簡単化 したビタビ復号器[26]等が提案されている。

第2章で述べたように、 SST型ビタビ復号器は受信したたたみ込み符号を簡易な復号器 (Pre-decoder) で一旦復号し、その結果を送信側にて用いた符号器と同一の符号器で再符 号化し受信信号と比較した結果をビタビ復号器の入力とすることにより、ビタビ復号器は 伝送路誤りのみに対応して復号動作を行うことになる。この結果、従来方式では最尤状態 が全ての状態にランダム(等確率)に遷移するのに対し、 SST方式では最尤状態が "全0" 状態の近傍に偏在する。このため、復号出力の判定(例えば尤度比較・多数決等)を省略 し復号出力 "全0"状態のパスメモリの最終段から出力すると、 SST方式の方が高い確率で







図4.1 低速ビタビ復号器の構成

図4.2 拘束長K対ビタビ復号器ゲート数

最尤状態のパスを選択できることになり、同一のパスメモリ長であれば SST方式のほうが 誤り率を小さくすることができる。

4. 4 デバイスおよびLSI化手法

高速・高利得ビタビ復号器LSI 化のデバイス候補としては CMOS 、Bipolar (ECL) 及び GaAs がある。これらのデバイスの選択は①集積度、②速度(ゲート遅延)③消費電力の 観点から評価する必要がある。また、 LSI化には通常 1年程度必要なことから、年次に対 するこれらの動向も重要な要因となる。チップ当りゲート数及びゲート遅延の動向は種々 の文献に報告されている。 CMOS デバイスは現状200kゲート/ チップと最大の集積度(/チ ップ)を、一方、 GaAs デバイスは約 1GHz と最大の動作速度を与える。従って所要の動 作速度及び符号化利得 (ゲート数) が与えられた場合に CMOS デバイスは高速動作に対し て並列処理により、また ECL及び GaAs デバイスは大規模回路に対して複数のチップによ り所要のゲート数を実現することになる。最適デバイスは所要性能(速度及び符号化利 得)を実現するLSI チップの数が最小とできるデバイスであるが、機能の複数LSI による 実現にはインタフェース部の消費電力を考慮する必要がある。現時点 (1993年) における 最適デバイスは CMOS が主流であり、高速でかつゲート数のあまり大きくない場合に Ga Asデバイスまたは ECLデバイスが適用されることになる。以下では高利得を達成できる CMOSデバイスによるビタビ復号器の LSI化について検討する。

4.4.1 マスタスライスLSIによる復号器LSI

符号化率r=1/2、拘束長4、クロック周波数25MHz 迄動作可能なビタビ復号器LSI(VTB-M)は CMOS マスタスライスにて実現され、既に商用されている。本LSI は1チップLSI に より符号化利得 3.5dB (Pe=1×10⁻⁴)以上を得ている。 ACS回路の時分割使用または ACS の分割実現によるマスタスライスビタビ復号回路LSI としては、速度 130kHz から26 MHz 、符号化率1/2 拘束長10までの復号器が各種実現されている。

4. 4. 2 フルカスタムLSIによる符号化率1/2 復号器LSI

フルカスタムLSI によるビタビ復号器の LSI化は Rockwell のビタビ復号器LSI にはじまり、符号化率1/2 のビタビ復号器を中心に研究開発が進められてきた。1986年には 23M Hzで動作する符号化率1/2 、拘束長7 のビタビ復号器LSI の開発(NTT) に至っている。本 LSI は前述の SST型ビタビ復号回路の採用により所要ゲート数を 42kゲートに削減し、CM OSフルカスタムLSI 技術、アルミ 3層配線技術、階層化マクロセル設計技術、CAD 技術等 を駆使して実現可能となった。

4.4.3 フルカスタムLSIによる符号化率可変復号器LSI
符号化率 r=1/2 をベースとした符号化率可変ビタビ復号器のパスメモリ長と所要回路
規模(CMOSゲート数)の関係を図4.3 に示す。
LSIの搭載ゲート数が制限され、1チップLSIにて符号化率可変復号器機能を実現する
ことが不可能な場合、以下の条件で複数LSIによる汎用的符号化率可変復号器の実現を図る。

(1) 1チップで符号化率1/2 及び拘束長7 のビタビ復号器として動作すること
(2)各種符号化率の復号器を実現する場合に所要LSI の数が最小であること
(3)開発したLSI は各符号化率に対して汎用的に適用可能であること
(4)各LSI 間インタフェースが簡易であること―ビン数ネック等の解消

(1)の条件から復号器LSI(TYPE1)(符号化率1/2 ビタビ復号器相当)及びパスメモリLSI
 (TYPE2)に機能分割することが望ましい。更に条件(2)~(4)を満たすためには、符号化率が
 1/2より大きい場合のTYPE1内蔵のパスメモリ(40段)の使用/不使用およびTYPE 2のパスメモリ長を明らかにする必要がある。
 各種符号化率と所要パスメモリ長は図4.4 に示すとおりであり、式(4-2)で与えられる
 所要LSI数NLiを最小とするようTYPE1及びTYPE2の機能を決定すれば良いことになる。



但し、P Mi :符号化率i(≥1/2)における使用可能な LSIの総パスメモリ長
 P MLR :符号化率i(≥1/2)における所要パスメモリ長)
 []: ガウス記号

(4-2)









以下に示す2とおりの構成に対する所要 LSI数を求めると図4.4 の下方のグラフとなる。

(A) TYPE1 LSI のパスメモリ部は使用せず(PML(TYPE2)=64)
(B) TYPE1 LSI のパスメモリ部は使用 (PML(TYPE2)=64)

同図よりわかるように符号化率11/12 で構成(B) の方が所要LSI が少ない。しかし、こ こではTYPE1 単体(r=1/2モード) として可能な限り高速で動作させたいことからTYPE1 出 力端子増(64)に伴う消費電力増を抑えるため、次善の構成(A)とした。これら両LSI デバ イスとして1.5 µmCMOS フルカスタムLSI を用いて実現した。TYPE1, TYPE2 LSIのチップ マイクロフォトを図4.5 (a)(b)に、外観を図4.6(a)(b)に示す。 以上述べたように、r=1/2・K=7 ビタビ復号器LSI であるTYPE1 LSI ならびに高能率モ ード用パスメモリLSI であるTYPE2 LSI の 2品種のLSI に加え、高能率モード用ブランチ 尤度演算ROM 等を図4.7 に示すように接続することにより、符号化率1/2 の場合にはLSI 1 個(TYPE1)、符号化率3/4 にて使用する場合にはLSI 2 種・2 個で構成でき、符号化率 15/16 の場合にはLSI 2 種・4個で高速ビタビ復号器が構成可能となる。 開発した符号化率可変・高速たたみ込み符号器・ビタビ復号器用LSI の概要は以下のと おりである。

(1) 符号化率可変・高速ビタビ復号器LSI (TYPE1&2)
TYPE1 LSI は ACS回路(64状態並列構成), r=1/2 用ブランチ尤度演算回路・パスメモ リ回路および速度変換用FIF0等から構成される1チップの符号化率 r=1/2, 拘束長K=7 ビ タビ復号器である。r=2/3 以上の高符号化率モードでは、パスメモリ増段用LSI である
TYPE2 LSI を接続して用いる。 r=1/2モードでは SST(Scarce State Transition) 方式を 採用し、CMOS VLSI の低消費電力化、限定された回路規模での誤り訂正利得の改善を図っ ている。本LSI の消費電力特性を図4.8 に示す。 SST方式の採用により、LSI 全体で約33
% の消費電力低減が実現されている。

TYPE2 LSI はパスメモリ64状態×60段から構成される。TYPE1 とTYPE2 の主要諸元を表 4.1 に示す。両LSI はともに最大動作速度が25Mbps(従来の同種LSI (シングルチップ r =1/2, K=7)の1.4 ~2.5 倍)であり、さらに高速な用途に対しては LSIの並列構成で対応 可能である。



図4.5 符号化率可変ビタビ復号器LSIのチップマイクロフォト



(b) TYPE 2 LSI

符号化率可変ビタビ復号器LSIの外観



図4.7 符号化率可変ビタビ復号器LSIの接続構成





(2)符号化率可変・高速たたみ込み符号器・同期回路LSI (TYPE3) 上述の汎用・高速ビタビ復号器LSI に加え、送信側たたみ込み符号器・受信側符号同期 回路のLSI 化が必要である。本LSI は送信側で用いるr=1/2, 3/4, 7/8, 15/16のたたみ込 み符号器および受信側で用いる符号同期回路等から構成され、差動符号化・スクランブル (自己同期型:20段, CCITT Rec. V.35 準拠)付加機能・軟判定符号則変換機能等を有す る。TYPE3 LSI の主要諸元を表4.2 に示す。

4.5 結言

ビタビ復号器LSI 化のために最適デバイスの選択、使用可能なゲート数と復号器の特性 を明らかにし、低速及び高速動作する復号器LSI のゲート数削減方法と主な特性を述べた。 また、マスタスライスCMOS LSIおよびフルカスタムCMOS LSIを用いたビタビ復号器LSI の 主な実現例と特性を述べた。更に、システムLSI としてコスト低減のために開発LSI の汎 用性を保つことが重要なことから、ROM 及び 2種LSI の組み合わせによる汎用的な符号化 率可変ビタビ復号器LSI の構成法を明らかにした。 開発LSI は 25MHz以上で動作し、(n-1)/n 型符号化率に汎用的に適用が可能である。本 LSI は開発当時、他の同種LSI (2チップにて64状態分のACS 回路を構成するビタビ復号器

開発LSI は 25MHz以上で動作し、(n-1)/n 型符号化率に汎用的に適用が可能である。本 LSI は開発当時、他の同種LSI (2チップにて64状態分のACS 回路を構成するビタビ復号器 LSI あるいは1チップにてr=1/2 ・K=7 ビタビ復号器として最大 17Mbps で動作可能なLS I(米国 Qualcomm 社)) に比較し、チップ数を最小に、また速度で約 1.5倍と高速化され ていることから装置の大幅な小型化・経済化を可能とし、これにより高速・高能率・高利 得誤り訂正方式が容易に実用可能となった。 ビタビ復号器の LSI化はデバイス技術/符・復号器構成技術の進展に伴い、さらに高速 ・高利得なものの実現が可能になると考えられる。この場合、搭載ゲート数・デバイス性 能の向上に伴い大規模化・高速化は可能となるが 1チップLSI に許容される発熱量の制限 から機能・速度が制限されるものと考えられ、 SST方式等の低消費電力化技術がますます 重要となる。

	NUFEC TYPE1	NUFEC TYPE 2
プロセス	CMOS 1.5μm フルカスタム	CMOS 1.5μm フルカスタム
ゲート数	45 k ゲート	45 k ゲート
最高動作速度	25 M bit/s	25 M bit/s
電源電圧	+ 5 V	+ 5 V
ピン数	208ピン	280ピン
主機能	R = 1 / 2, K = 7 ビ タビ復号器, FIFO 等	パスメモリ回路60段

表4.1 ビタビ復号器LSI TYPE 1, TYPE 2 の諸元

表4.2 たたみ込み符号器・同期回路LSIの諸元

プロセス	CMOS 1.5µmマスタスライス
ゲート数	8700ゲート
最高動作速度	25 M bit/s
電源電圧	+ 5 V
ピン数	132 ピン
主機能	 畳込み符号器 (R = 1/2, 3/4, 7/8, 15/16) 符号同期機能 差動符号化/復号化機能 スクランブル/デスクランブル機能等

第5章 符号化率可変・高速たたみ込み符号器/ビタビ復号回路の特性

5.1 緒言

本章では、第4章で述べた LSI化ビタビ復号回路を用いて実現する符号化率可変で高速 動作が可能な汎用たたみ込み符号器/ビタビ復号器の構成法を示し、その特性を実験によ り明らかにする[1][2]。試作した符号化率可変・高速たたみ込み符号器/ビタビ復号器は 3種LSI を基本として構成され符号化率は 1/2, 3/4, 7/8および15/16 の各モードに対応 し、最大 25Mbps(並列構成で50Mbps) で動作可能である。これにより、従来、非常に大き な回路規模を必要とした高速・高能率ビタビ復号器の小型化・低消費電力化が可能となっ た。また、誤り訂正方式を通信システムに適用する上で重要な復号器の復号後残留誤り分 布[3]のモデル化を行い、各符号化率でのビタビ復号後バースト誤り分布特性が簡易なギ ルパートモデルに近似できることを示す。さらに、受信信号の符号同期・伝送路誤り率推 定等によく用いられる再符号化信号と受信信号の比較による擬似誤りパルス検出について、 その発生確率、各符号化率における伝送路誤り率推定特性・符号同期判定[4][5]のしきい 値等を明らかにする。これらより、高い伝送路符号誤り率時にも安定に動作する汎用誤り 訂正復号器が実現可能となった。

5.2 符号化率可変・高速たたみ込み符号器/ビタビ復号器の構成法 前述のLSI を基本素子として用いた符号化率可変・高速たたみ込み符号器/ビタビ復号 器の構成を図5.1 に示す。本装置は送信部(TX BLOCK)と受信部(TX BLOCK 以外の部分)か ら構成され、符号化率 r=1/2, 3/4, 7/8 および 15/16で動作可能である。 送信部入力は原データとクロック、出力はたたみ込み符号化信号ならびに伝送路クロッ クであり、受信部へは受信たたみ込み符号(3ビット軟判定信号)および伝送路クロックが 入力され、復号データならびにクロックが出力される。本装置は LSI5 個と若干の周辺回 路により小型に実現され、クロックモジュールの交換により低速から高速まで幅広い用途 に汎用的に適用可能である。

5.3 符号化率可変・高速たたみ込み符号器/ビタビ復号器の特性 本節では、符号誤り率特性の他、ビタビ復号を応用する上で非常に重要となる復号後の 残留誤りの分布特性について検討する。ここでは、従来、誤り発生確率・平均誤りバース



図5.1 汎用・高速たたみ込み符号器/ビタビ復号器の構成



図5.2 汎用・高速たたみ込み符号器/ビタビ復号器の 符号誤り率特性

ト長の解析的検討、平均誤りパースト長・誤り発生間隔・誤りパースト分布特性等の実験 的検討は報告されているものの、復号後誤り発生モデルの全体像という意味での検討が行 われていないビタビ復号器の復号後誤り発生のモデル化を行い、その誤り分布特性を示す。 さらに、誤り訂正回路の符号同期確立・伝送路誤り率推定等によく用いられる、復号デー タを再符号化して受信信号と比較することにより擬似誤りパルスを得る方法を取り上げ、 この擬似誤りパルス発生確率・伝送路誤り率推定特性を各種符号化率の場合について明ら かにし、符号同期判定の閾値を示す。

5.3.1 符号誤り率特性

試作した符号化率可変・高速たたみ込み符号器/ビタビ復号器の符号誤り率特性(帯域 拡大分含む)を図5.2 に示す。本装置は各符号化率において所期の誤り率特性を示してい る。また、たたみ込み符号化/ビタビ復号の外側で差動符号化・スクランブルを行った場 合の符号誤り率特性(r=7/8 の例)を図5.3 に示す。差動符号化時の符号誤り率特性はビ タビ復号後の誤りパターンが後述のようにパースト状であることからほとんど劣化してい ない。一方、スクランブル付加時はスクランブル回路が20段シフトレジスタで構成され 3 段目と20段目の modulo-2 加算を行った信号をフィードバックするタイプ(CCITT Rec. V. 35)であるため、ビタビ復号後の誤りが modulo-2 加算により拡大し復号後誤りが約2倍 となっている。

5.3.2 符号化利得

復号後誤り率 1×10⁻⁴ 点ならびに 1×10⁻⁶ 点における符号化利得(8値軟判定お よび硬判定)を図5.4 に示す。符号誤り率 1×10⁻⁴ における軟判定時の符号化利得は、 r=1/2 モードで 4.8dB, r=3/4 モードで 3.7dB, r=7/8 モードで 2.8dB, r=15/16 モード で 1.5dBである。硬判定時の符号化利得は軟判定時に比べ 2~1.5dB 程度低くなっている。

5.3.3 復号後誤り分布特性 誤り訂正方式を各種システムに適用する際、その復号後誤りの性質を把握することが重 要である。

符号化率可変・高速たたみ込み符号器/ビタビ復号器によるビタビ復号後の誤りパター ンを文献[5]の方法を用い、誤り無しの状態(状態"EF "から一つのビット誤りが発生し



スクランブル・差動符号化時の符号誤り率特性 図 5.3





た(状態"EB"に遷移した)時のその後のビットの誤る確率(条件付ビット誤り率Pc) を測定した。復号後誤り率 Pout = 1×10⁻⁴ における測定結果を図5.5 に示す。図中、 Pc(k)は一つのビット誤りが発生した後の各ビット(kビット目)の誤り率を示している。 これより、ビタビ復号後の誤りバースト長は符号化率が高いほど長くなることがわかる。 例えば、r=1/2 で復号後誤り率 1×10⁻⁴ 点で誤りが発生した時、その誤りパーストの先 頭から16ビット目が誤る確率Pc(16)は 1×10⁻²、同様に、r=7/8 で16ビット目が誤る確 率Pc(16)は 2×10 ⁻¹ である。

5.3.4 復号後誤り分布のモデル化 ここで、前述のように顕著なバースト誤りの特性を示すビタビ復号器の復号後誤りの状 態分布モデルとして、図5.6 に示すようなギルバートモデルを考える。図中の状態 "EF" は誤り発生率が 0に近い状態、状態 "EB" は誤りが ρの確率で発生するバースト誤り状 態であり、状態 "EF" にある確率を PF, 状態 "EB" にある確率を PB とし、この定常 分布ωをω= [PF , PB] とする。また、状態 "EF" から状態 "EB" へ遷移する確率を P1、状態 "EB" から状態 "EF" へ遷移する確率を P2 とすると、両者の状態遷移確率行 列口は式(5-1)で与えられる。



(5-1)

(5-2)



図5.5 ビタビ復号後の誤り分布 (測定結果)



図5.6 ビタビ復号後誤りのモデル

PB = _____ P1+ P2 となる。 ρ • P1 Pout = ρ · PB = -----P1 + P2

P1

 $Pm = (1-P2)^{m-1} \cdot P2$

さらに、誤りパーストの長さの平均長ℓは式(5-7)で求められる。

00 $\ell = \Sigma \mathbf{m} \cdot \mathbf{P}\mathbf{m}$ m = 1

= $\Sigma m \cdot (1 - P2)^{m-1} \cdot P2$

m = 1

00

= ----

P2

(5-4)

となる。ここで、このモデルの符号誤り率(ビタビ復号後の残留誤り率)Poutは式(5-5)

(5-5)

また、誤りパーストの長さ(状態 "EB" に遷移してから状態 "EF" に抜け出すまでの長 さ)をℓビットとすると誤りバーストの長さℓが mとなる確率 Pm は式(5-6)となる。

(5-6)

さらに、復号後誤りが発生(すなわち状態"EB "に遷移)して k ビット目が誤る確率 (条件付きビット誤り率) Pc(k) は式(5-8) で与えられる

 $Pc(k) = (1-P2)^{k} \cdot \rho$

(5 - 8)

以下に、 5.3.3節で述べた復号後誤りの分布特性を、 p および P2 を適当に選定するこ とにより、式(5-8) で与えられる Pc(k)で近似できることを示す。

符号化率 1/2, 3/4, 7/8および 15/16に対応し、 (P2, p) をそれぞれ (0.18, 0.3), (0.098, 0.4), (0.054, 0.5) および (0.035, 0.5) と選定した時のPc(k) を図5.7 に 示す。これにより、測定した復号後条件付誤り率と上述のようにパラメータ(P2, ρ)を選 定した近似条件付誤り率 Pc(k)はよく一致することがわかる。

また、各符号化率に対するパラメータ(P2,ρ)ならびにこの P2 によって式(5-7)から 与えられる誤りパーストの平均長 ℓを表5.1 に示す。このように求められた各符号化率に おける誤りバーストの平均長ℓは実験的に求められた文献[4]等の値とも良く一致してい る。このことからも、本モデルにより各符号化率での復号後誤り分布をよく近似できるこ とがわかる。

さらに、式(5-5) より状態 "EF" から状態 "EB" への遷移確率 P1 は式(5-9) で与えら れる。



各符号化率における P1 の計算結果ならびに 1/P1 で与えられる平均エラーフリー長 (n ビット)をあわせて表5.1 に示す。これらの結果より状態遷移確率行列 IT ならびに状 態"EB"における誤り発生確率(誤りバースト内の誤り密度 ρ)が与えられ、復号後誤り 率 Pout = 1×10 - * における復号後誤り発生のモデルが得られる。

以上、本誤り訂正符・復号方式の復号後誤り発生のモデルとして、提案したギルバート モデルが妥当であり各符号化率に適用可能であることが明らかとなった。本文では、実用

表5.1

符号化率R	E _B → E _F の確率 P ₂	"E _B "中の 誤り密度 p	平均誤り長 &(Eット)	Е _F → Ев の確率 Р1	平均 エラ-フリ- 長 n (ビット)
1/2	0.18	0.3	5.6	6×10 ⁻⁵	16667
3/4	0.098	0.4	10.2	2.5×10 ⁻⁵	40000
7/8	0.054	0.5	18.5	1.1×10 ⁻⁵	90909
15/16	0.035	0.5	28.9	7.0×10 ⁻⁶	142857





図 5.8

復号後誤り状態遷移モデルのパラメータ (復号後誤り率 Pout= 1×10⁻⁴)

擬似誤りパルス生成回路の構成

上最も重要な復号後誤り率 Pout 1×10 * における測定データから(P2, p) を推定した。 異なる Pout に対しても同様に提案したモデルが適用可能であり、これに対する (P2, ρ)は実測によりそれぞれ求めれば良い。

5.3.5 擬似誤りパルス検出特性

誤り訂正符号を用いた通信系の伝送路誤り率推定法としては、再符号化信号と受信信号 と比較し疑似誤り(推定誤り)パルスを得てこれを測定する方法がよく用いられているが、 各種符号化率・伝送路誤り率における疑似誤りパルスの発生確率および精度は明らかにさ れていない。これらは、自己符号同期の閾値を決定する上でも重要である。これらのこと から、本節では擬似誤りパルス検出特性について明らかにする。擬似誤りパルス発生回路 の構成を図5.8 に示す。

実験により測定した各符号化率 (r=1/2, 3/4, 7/8, 15/16) における伝送路誤り率 Pin と疑似誤りパルス発生確率 Pin' および復号後誤り率 Pout の関係を図5.9 に示す。この 結果より、符号化率が大きくなるにつれ疑似誤りパルス発生確率が高くなり推定誤り率誤 差が大きくなることがわかる。特に、これらの推定誤差は図5.9(a)と(b)の関係からわか るように、復号後誤り率 Pout が伝送路誤り率 Pinを上回る点あたりから顕著となる。

ランダムな伝送路誤り(誤り率 Pin)に対する誤り訂正後の残留誤り(誤り率Pout)は 前述のように顕著なバースト誤りとなり、誤りバーストの平均長をℓビット、エラーフリ -状態の平均シンボル長をnビットとすると、バースト誤り状態"EB"にある確率 PB は 式(5-10)で与えられる。

 $PB = \frac{\ell}{\ell} / (\frac{\ell}{\ell} + \underline{n})$

(5 - 10)

この復号データを再符号化した場合の誤りの発生確率(再符号化データの誤り率)Prは、 再符号化たたみ込み符号器の拘束長K内の誤り数が偶数か奇数かによって誤ったり正しく なったりするので、この確率を1/2 と近似すると式(5-11)で与えられる。

 $(\underline{\ell} + K - 1) = 1$ l + n 2



図5.9 伝送路誤り率と擬似誤りパルス・復号後誤り率の関係

1	K-1	
= PB +		
2	$2 \cdot (\underline{\ell} + \underline{n})$	
D	V 1	
Pout	K-1	
= +		

 $2 \cdot \rho \qquad 2 \cdot (\underline{\ell} + \underline{n})$

復号後誤りのパースト性が強く、 $\underline{\ell}$ + <u>n</u>) >> K となることを考慮すると、 Pr は式 (5-12)で近似できる。

(5-11)

(5-12)

Pout Pr = - $2 \cdot \rho$

この再符号化信号と受信信号(誤り率 Pin)をmodulo-2加算により比較した結果得られ る擬似誤りパルス発生確率(Pin') は、状態 "EB" 中は非常に誤り率が高く Pr となる 誤りのほとんどがこの状態に集中し、状態 "EF" 中は逆にほとんど誤りが無いことを考慮 すると式(5-13)となる。

 $\frac{n}{\underline{\ell} + \underline{n}}$

Pout = - + (1 - PB) · Pin 2 · ρ

ここで、Pout< < Pin の領域では、式 が得られる。

Pin'≒ Pin

一方、Pout<u>~</u>Pin の領域では、

Pout

また、Pout>>Pin の領域では、

Pout Pin' \rightleftharpoons _____ 2 $\cdot \rho$

となる。これらの関係式を図5.9 (a) に示した実験結果と比較すると、例えば、符号化率 15/16 の場合 Pout < <Pin の領域(Pin<10⁻³) では Pin' は Pin'=Pin のラインに漸近 する。また、Pout<u>Pin の領域 (10⁻³ <Pin <10⁻²)</u> では、 Pin' = Pin + Pout のライ ンに一致し、これらは式(5-15)において状態"EB "中の誤り密度ρが 0.5の場合に相当す る。Pout>>Pin の領域(Pin>10⁻²) では、 Pin' = Pout/2・ρ (ただしρ>0.5)のライ ンに漸近する。

伝送路誤り率 Pin が非常に悪い点では復号後誤り率 Pout が 5×10⁻¹ (確率1/2)となるのに対し、疑似誤りパルス発生確率 Pin' が 5 ×10⁻¹ とならない理由は、このよう

(5-13)

ここで、Pout < < Pin の領域では、式(5-13)の第2項は無視できるとすると、式(5-14)

(5-14)

(5 - 15)

(5-16)

な条件下では、復号後データの残留誤りバースト中(状態 "EB")の誤り密度 ρ が 0.5 よ り大きくなり、その結果、式 (5-16) より Pin'が Pout よりも小さな値となることから 説明できる。これらより、式(5-14)~(5-16)と実験結果が良く一致することがわかる。

符号同期判定の閾値は、非同期時の擬似誤りパルス発生確率 Pin'が 5×10 - となる のに対し、同期時の擬似誤りパルス発生確率 Pin' は最悪でも r=1/2, r=3/4 で約 1.5× 10 ⁻¹, r=7/8 で 2×10 ⁻¹, r= 5/16で 3.5×10 ⁻¹ 程度となるので 5×10 ⁻¹ とこれら の値の間の数値を選定すれば良い。

以上の実験および検討結果より、各符号化率における擬似誤りパルスを用いた受信符号 同期・伝送路誤り率推定特性が明らかとなった。これらの結果、本誤り訂正方式を適用し たディジタル伝送システムの同期/非同期判定、誤り率のオンラインモニタ等がより確実 かつ精度高く実現できる。

5.4 結言

符号化率可変で高速動作が可能な汎用たたみ込み符号器/ビタビ復号器の構成法を示し、 その特性を明らかにした。試作した符号化率可変・高速たたみ込み符号器/ビタビ復号器 は 3種の LSIを基本として構成され最大25Mbps (並列構成で 50Mbps)で動作可能である。ま た、符号化率 1/2、3/4、7/8および15/16 の各モードで高い符号化利得を示しており、衛 星通信・無線通信をはじめとする多くの分野で汎用的に適用可能である。

また、誤り訂正方式を通信システムに適用する上で重要な誤り訂正復号器の復号後誤り 分布特性について、残留誤りの発生モデルを検討し簡易なギルバートモデルで良く近似で きることを示した。さらに、伝送路誤り率の推定・符号同期確立に用いられる擬似誤りパ ルスの特性・符号同期判定の閾値を各符号化率について明らかにした。

これにより、高い伝送路符号誤り率時にも安定に動作する復号器が実現可能となり、従 来、非常に大きな回路規模を必要とした高速・高能率ビタビ復号器の小型化・低消費電力 化が可能となった。

第6章 ビタビ復号法の衛星回線への応用

6.1 緒言

本章ではたたみ込み符号化/ビタビ復号法を衛星回線に適用する場合の諸特性について 検討するとともに実験結果を示す。まず、衛星回線の特徴である非線形回線への適用を考 慮し、変調方式として BPSK を用いた場合、軟判定利得の改善を可能とする正弦波間隔軟 判定方式を提案する[1]。つづいて、符号間干渉条件での特性を実験により明らかにし、 この結果を用いて意図的に符号間干渉を与え周波数利用効率の向上を図る狭帯域伝送方式 を提案する[2][3]。さらに、一般的な衛星中継器とディジタルビデオ信号伝送速度に対す るビタビ復号方式と変調方式の最適化の検討例を示し、ビタビ復号法の隣接チャネル間干 渉 (ACI : Adjacent Channel Interference)・同一チャネル干渉 (CCI : Co-Channel Interference)に対する改善効果を衛星ビデオ伝送方式の例について示す[4][5]。

6.2 非線形回線(ハードリミッティド回線)への適用 6.2.1 非線形回線における軟判定しきい値 衛星通信では電力制限の問題から地球局送信機あるいは衛星中継器(トランスポンダ) にて増幅器を非線形領域(リミッタ領域)で動作させることが多い。また、 TDMA 通信等 で各受信パーストにレベル偏差がある場合これを吸収する手段として受信側にリミッタを 用いることもある。軟判定ビタビ復号法をこれらのハードリミッティド回線等の非線形回 線に適用する場合、リミッタの非線形効果が受信軟判定信号に及ぼす影響が問題となる。 まず、変調方式が BPSK (Binary Phase Shift Keying : 2 相位相変調)方式の場合を 考える。雑音を伴った BPSK 号をハードリミッタに通した場合、受信信号の振幅の分布が 歪み、従来の振幅を等間隔で区分し量子化を行う振幅等間隔軟判定方式では軟判定利得に 劣化を生じる。これに対し、軟判定しきい値間隔に重み付けすることによりハードリミッ ティド回線における BPSK 信号の軟判定利得の劣化を改善することが可能である。図6.1 に軟判定しきい値を正弦波関数で重み付けする正弦波間隔軟判定方式の概念を示す。 QPSK (Quadrature Phase Shift Keying) あるいはオフセット QPSK 方式のような 4値 位相変調方式の場合はハードリミッタによる雑音分布の歪みは BPSK 式の場合ほど顕著で はない。線形回線とハードリミッティド回線における受信 QPSK 信号(信号+伝送路雑音, フィルタ: ルートレイズドコサインロールオフ、ロールオフファクタ α=0.4)の復調信

64



振幅等間隔/正弦波間隔軟判定方式 义 6.1



号振幅の確率密度関数を図6.2 に示す。このような受信信号に対しては振幅等間隔/正弦 波間隔軟判定両方式とも最適なT/A (軟判定しきい値間隔/受信信号振幅)を各Eb/No に 応じて選択することによりほぼ同等な特性を得ることができる。しかし、Eb/No が変動す る場合には T/Aを一定の値として設定することを考えるとEb/No 変動に対して最適T/A の 変化が小さい正弦波間隔軟判定方式が優れている。

6.2.2 ハードリミッティド回線における符号誤り率特性 以下、本節では、変復調方式として QPSK ならびにオフセット QPSK の両方式をとりあ げ、線形およびハードリミッティド回線における軟判定ビタビ復号法の特性について実験 した結果を示す。

(1) 実験系の構成

線形/ハードリミッティド回線における軟判定ビタビ復号法の実験系の構成を図6.3 に 示す。変調方式は QPSK またはオフセット QPSK とし、伝送路にはハードリミッタを挿入 できる構成とし雑音もアップリンクおよびダウンリンク雑音を模擬できる構成とした。ハ ードリミッタの AM/AM特性および AM/PM特性を図6.4 に示す。送受信ローパスフィルタ (TX-LPF, RX-LPF) は通過帯域幅 Bw が 6.144MHz のルートレイズドコサインロールオフ フィルタ (ロールオフファクタα=0.4) であり、 TX-LPF には X/sinX のアパチャイコラ イザを付加している。ビタビ復号回路は r=1/2, K=4 軟判定ビタビ復号とした。

(2) 実験結果

線形回線で Eb/No =∞ (ノイズフリー) における QPSK およびオフセット QPSK 信号の 復調アイパタンを図6.5 に、 IF スペクトラム (伝送路上)を図6.6 に、QPSK信号のステ ートスペースダイアグラムを図6.7 に、オフセット QPSK 信号のステートスペースダイア グラムを図6.8 に示す。またハードリミッティド回線で変調信号を伝送した場合の Eb/No =∞ における QPSK 信号の復調アイパタンを図6.9 に、 IF スペクトラム (伝送路上) を図6.10に、オフセット QPSK 信号の復調アイパタンを図6.11に、 IF スペクトラム (伝 送路上)を図6.12に示す。図6.10および図6.12より、オフセット QPSK 信号のハードリミ ッティド回線における受信スペクトラムは QPSK 信号の受信スペクトラムに比較して、サ イドローブの広がりが小さく隣接チャネル間干渉特性に優れていることがわかる。



R: Coding rate K: Constraint length a: Roll off factor







図 6.5 Q P S K およびオフセット Q P S K 信号のアイパターン (α=0.4, Linear, Eb/No=∞)



図 6.7 Q P S K 信号のステート スペースダイアグラム (α=0.4, Linear, Eb/No=∞)



ット図6.6 QPSKおよびオフセット
 ーン QPSK信号のスペクトラム
 (α=0.4, Linear, Eb/No=∞)



ト 図 6.8 オフセットQ P S K 信号の ステートスペースダイアグラム) (α=0.4, Linear, Eb/No=∞)



义6.9 $(\alpha=0.4, \text{Hard limited}, \text{Eb/No}=\infty)$



QPSK信号のアイパターン 図6.10 QPSK信号のスペクトラム $(\alpha=0.4, \text{Hard limited}, \text{Eb/No}=\infty)$



図6.11 オフセットQPSK信号の アイパターン $(\alpha=0.4, \text{Hard limited}, \text{Eb/No}=\infty)$



オフセットQPSK信号の 図6.12 スペクトラム $(\alpha=0.4, \text{Hard limited}, \text{Eb/No}=\infty)$

線形回線・ハードリミッティド回線における QPSK 信号の符号誤り率特性を図6.13に示 す。誤り訂正無しの場合の理論値からの劣化量は、ハードリミッティド回線でアップリン クに雑音を加えた場合(ハードリミッタの前に雑音を付加した場合)がたたみ込み符号化 の場合に比べ大きい。これは、信号と雑音が同時にハードリミッタに入力されるために生 じる AM/PM変換の影響ならびに混変調効果によるものと考えられる。誤り訂正有りでハー ドリミッティド回線の場合に符号化利得が理論値よりも高くなるのは、誤り訂正有り/無 しの各モデム動作点における符号誤り率の劣化量の差分で符号化利得が見かけ上増加した ように見えるためである。

線形・ハードリミッティド回線におけるオフセット QPSK 信号の符号誤り率特性を図6. 14に示す。ハードリミッティド回線でダウンリンクに雑音を加えた場合、誤り訂正無しの 特性が QPSK 方式に比べ劣化する。これは、オフセット QPSK では 1/Qチャネル間干渉が 互いのサンプリング点で発生する(クロストーク)ことによるものである。一方、誤り訂 正有りの場合、モデムの動作 Eb/Noが非常に低いため I/Qチャネル間干渉よりも熱雑音が 支配的となっており、 QPSK 方式とオフセット QPSK 方式の特性がほぼ等しくなる。 すなわち、ハードリミッティド回線においては元来 I/Qチャネル間干渉のため QPSK 方 式に比べ符号誤り率特性が劣るオフセット QPSK 方式が高利得な誤り訂正方式を適用する ことにより QPSK 方式に遜色無い特性を実現することが可能となることがわかる。

(3) ハードリミッティド回線における誤り訂正効果 QPSK およびオフセット QPSK 方式の復号前の符号誤り率 (伝送路誤り率 : Input Pe) と復号後誤り率(Output Pe) の関係を伝送路モデルをパラメータとして図6.15、図6.16 に示す。この結果より明らかなように、 QPSK およびオフセット QPSK 方式のハードリミ ッティド回線における誤り訂正効果は復号前の誤り率(伝送路誤り率)にのみ依存し線形 回線の場合と変わらない。

6.3 符号間干渉に対する適用効果(狭帯域伝送方式) 6.3.1 符号間干渉に対する誤り訂正方式の効果 伝送信号に対して所要伝送帯域より狭い帯域制限を施すことにより、符号間干渉が発生 する。こらにより受信された変調信号のアイアパーチャが狭くなり符号誤り率の劣化が生 じる。この符号間干渉に対する誤り訂正方式(軟判定ビタビ復号法)の効果について実験





的検討を行った。

変調方式として QPSK 信号を用いた場合帯域制限フィルタをロールオフフィルタとしそ のロールオフファクタをα=0.6とした場合の受信アイパターンとこれをBT=1.0相当とし、 これを基準として BT=0.75および BT=0.67相当の狭いフィルタで帯域制限した場合の特性 を得るためビットレートを1.33倍および 1.5倍として伝送特性を測定した。実験では、 BT=1.0相当が 6.144Mbps, BT=0.75 相当が8.192Mbps, BT=0.67相当を 9.216Mbps のビッ トレートとした。この時の受信アイパターンを図6.17に示す。これに対して誤り訂正方式 として軟判定ビタビ復号法 (r=1/2, K=4)を適用した場合の符号誤り率特性を図6.18に示 す。図よりわかるように、誤り訂正無しの場合符号間干渉による劣化は符号誤り率 Pe= 1 ×10⁻⁴ 点でそれぞれ7.5dB および 9.5dBとなるが、これに誤り訂正を施すことによりこ の劣化は 2.0dBおよび 4.0dBに低減される。

6.3.2 狭带域化伝送方式

前節で述べたように高利得の誤り訂正方式では符号間干渉に対しても高い誤り訂正効果 が得られることから、この性質を利用して意図的に伝送信号に符号間干渉を与えこれによ る劣化を誤り訂正方式で救済する狭帯域化伝送方式が考えられる。伝送される原データ (情報速度Ri[b/s]) は符号化率 r=1/2のたたみ込み符号器に入力され符号化出力が I, Q チャネルの信号として変調器に入力される。これらのたたみ込み符号化信号によって変 調を施された変調信号は帯域制限フィルタ(BPF(帯域幅BW(Hz))において帯域制限(BW< fN, fN : ナイキスト周波数)をうける。ここで Bw < fN とすることにより伝送路上で は高い周波数利用効率 (Ri/Bw[b/s/Hz])を実現することができるが、当然、符号間干渉に よる劣化を生じる。しかし、前述のように、一般に符号間干渉による劣化は Eb/Noが高い 程顕著となり、反対に誤り訂正方式の適用領域となる低 Eb/Noの領域では伝送路の熱雑音 による劣化が支配的となり、見かけ上符号間干渉による劣化は小さくなる。提案する狭帯 域化伝送方式と従来の誤り訂正方式のひとつである BCH符号との比較を図6.19 に示す。 従来方式の誤り訂正符号は(31,20,2)の BCH符号、提案方式は, BT=0.75相当の帯域制 限を施した r=1/2, K=7 のビタビ復号法とし、回線はハードリミッティド回線でアップリ ンクとダウンリンクにそれぞれ熱雑音を加えた場合を比較した。変調方式としては QPSK 信号を用い、帯域制限フィルタをロールオフフィルタ(ロールオフファクタα=0.6)とし た。図6.19より明らかなように、従来方式に比べ提案方式はアップリンク雑音の場合 0.8









図6.18

(a)

Bit rate = 6.144 Mb/s

(b)

Bit rate = 8.192 Mb/s



(c)

Bit rate = 9.216 Mb / .





dB, ダウンリンク雑音の場合 1.7dB の改善効果がある。本方式は高符号化率と等価の周 波数利用効率で誤り訂正回路と変復調器が同一クロック速度で動作可能であり、PLL 等に よる高符号化率用クロックが不要となる。符号化変調方式が変調方式の振幅位相の多値数 の方向で誤り訂正用の冗長性を確保するのに対し、提案した狭帯域化伝送方式は周波数軸 方向に所要帯域を圧縮することにより周波数利用効率を向上させる技術といえる。

6. 4 隣接チャネル間干渉・同一チャネル間干渉条件での特性 --衛星ディジタルビデオ通信方式の例--

誤り訂正方式は衛星通信等の分野で電力制限を克服する手段として、すなわち、単に熱 雑音に対する所要 C/Nの低減という目的の他に、隣接チャネル干渉等に対する品質改善効 果といった周波数の多重利用に寄与する技術としても大きく注目されている。一方、衛星 通信ではその広域性・広帯域性・同報性・回線設定の迅速性等の特徴を最も発揮できるサ ービスのひとつとしてビデオ通信が注目されている[6][7]。しかし、現状の衛星ビデオ通 信方式は変調方式としてアナログ方式である FM 変調を用いており、これに対する他方式 からの干渉が問題となっていた。ディジタルビデオ通信方式はアナログ FM 方式に比べ干 渉に強いという特長があり、さらに誤り訂正方式を用いることによりさらに耐干渉特性を 改善可能となり、実効的な周波数利用効率の増大が実現できる。本節では、衛星ディジタ ルビデオ通信方式の構成法ならびに誤り訂正方式符号化率と変調方式の最適組み合わせの 検討、隣接チャネル干渉・同一チャネル干渉に対する軟判定ビタビ復号法の誤り訂正効果、 従来のアナログビデオ通信方式との比較検討結果について述べる。

6.4.1 システムの構成

衛星ディジタルビデオ通信方式[4][5]の構成を図6.20に示す。ビデオCODEC にてディジ タル化された信号は誤り訂正符号化回路にて符号化されフレームが構成された後、変調器 を経て送信される。受信された信号は復調器[8]で復調された後、フレーム同期が確立さ れ、誤り訂正回路[9] にて復号されビデオCODEC に入力される。本検討ではビデオCODEC として 32Mbps のフレーム内符号化 DPCM 方式[10]を取り上げる。伝送ビットレートはビ デオ信号32.064Mbpsに高品質音声信号 6チャネル (384 × 6kbps)および同期・制御信号等 で合計 35Mbps とした。この条件で、30MHz および 40MHz間隔の衛星中継器周波数帯域を 想定した誤り訂正方式符号化率と非線形動作を考慮した変調方式の最適化を行う。





図6.21 誤り訂正方式符号化率と変調方式の最適化

6.4.2 変調方式と符号化率の最適化 誤り訂正方式符号化率と変調方式の最適化の概念を図6.21に示す。地球局HPA における 非線形動作を考慮するとサイドローブの再生が少なく隣接チャネル干渉特性に優れたオフ セット QPSK が望ましいが非線形回線では QPSK 方式に比べ誤り率特性が劣化する。一方、 誤り訂正方式の符号化利得は符号化率が小さいほど高いが所要帯域幅が広くなり、隣接チ ャネル干渉が増加する。周波数帯域が限られた衛星通信ではこの変調方式と符号化率を最 適に設定することが重要となる。

変調方式と符号化率の最適化のためのシミュレーションモデルを図6.22に示す。変調方 した。適用するビタビ復号方式の各符号化率における入出力誤り率を表6.1 に示す。 チャネル周波数間隔と誤り率10 - * および10 - * を実現する所要 Eb/Noの関係 (D/U 比 0dBおよび -10dB) を図6.23に示す。D/U 比 0dB の条件ではオフセット QPSK 方式で符 号化率 r=3/4, 7/8 および QPSK 方式で符号化率 r=3/4 が良好な特性を示している。し を実現できない。さらに、周波数間隔 30MHzで誤り率10 -* を達成するにはオフセット 必要な符号誤り率 10^{-*},周波数間隔 30 ~ 40MHz, D/U 比 -10dBの条件を満たすにはオ

式の候補としては QPSK, オフセット QPSK および MSK等が考えられるが、伝送ビットレ ートが35Mbps, 周波数帯域が 30MHzないし40MHz であることから、メインローブで QPSK 方式の 1.5倍の帯域を必要とする MSK方式は対象からはずした。同様に、誤り訂正符号化 率としては、r=1/2の適用は困難であり、r=3/4,7/8ならびに符号化無しの場合で検討し た。また、希望波対隣接チャネル干渉電力比(D/U比)は 0dB(等レベル)から10dB程度と かし、D/U 比が -10dBの条件では QPSK 方式では隣接チャネル干渉が強すぎ誤り率10-* QPSK方式でも符号化率 r=3/4では隣接チャネル干渉が強すぎ、符号化率は 7/8とする必要 がある。D/U 比と所要 Eb/Noの関係を図6.24に示す。以上の結果より、ビデオ信号伝送に フセット QPSK 方式で符号化率 r=7/8とするのが良い。

6.4.3 衛星ビデオ通信用送受信装置 上述の変調方式と誤り訂正方式符号化率の最適化の結果を反映し開発した衛星ビデオ通 信用送受信装置の構成を図6.25に示す。また、その主要諸元を表6.2 に示す。開発装置は 主要部分が誤り訂正回路・変復調器を含め LSI化されており、小型かつ高安定に動作可能 である。同装置の送信スペクトラム、受信ステートスペースダイアグラムおよび受信アイ

LPF QPSK/ Offset QPSK AWGN PRBS Hard limiter Modulator LPF LPF QPSK/ QPSK/ Σ Offset QPSK Demodulator LPF 111 PRBS Hard ATT Offset QPSK limiter Modulator LPF LPF QPSK/ Offset QPSK Modulator PRBS Hard Decision F limiter -LPF Error Detector F PRBS : Pseudo random binary sequence LPF : Low pass filter AWGN : Additive white Gaussian noise



transmission signals

図6.22 最適化のためのシミュレーションモデル

表6.2 衛星也

表6.1

Modulation	1	Offset QPSK (QPSK is available)
IF frequency	1	140MHz
Clock rate	1	19.84MHz
Carrier recovery	1	Digital Costas
Clock recovery	1	Full-rectifier, tank and limiter
FEC	1	R=7/8 convolutional encoding/
	1	Viterbi decoding
Transmission signal	1	Total : 34.496Mbps
bit rate	1	Video signal : 32.064Mbps
	1	(NTSC video 1ch + 384kbps audio 2ch)
	1	Audio signals : 384kbps 4ch
	1	Data : 768kps

Decoded		Required channel I	Pe
(output)	No FEC	l Viterbi dec	coding
Pe		R=7/8	R=3/4
10-4	l 10-4	5.0×10-3	1.5×10-2
10-8	 10-8	 1.5×10-4	2.0×10-3

80

適用する誤り訂正方式の特性

衛星ビデオ通信用送受信装置の主要諸元



(b) Pe=10⁻⁸, D/U=0dB

82

図6.23

周波数間隔対所要 E b / N o 83



84



開発した衛星ビデオ通信用送受信装置の構成

GEN

LSI

182

UWD

LSI

ダイアグラムを図6.26, 6.27, 6.28に示す。また、ハードリミッティド回線で取得した符 号誤り率特性を図6.29に、ビデオ信号品質(評価値S/N)[11][12]を従来のアナログ方式 と比較して図6.30に示す。

6.4.4 隣接チャネル間干渉に対する誤り訂正効果

隣接チャネル間干渉条件下での誤り訂正方式(ビタビ復号法)の効果(耐干渉特性)を 明らかにするため実験を行った。クロック周波数 19.84MHz (39.68Msps) QPSK 方式なら びにオフセット QPSK 方式においてチャネル周波数間隔 40MHz (周波数利用効率 η ≒ 1.0 [bit/s/Hz]) と 27MHz (周波数利用効率 η ≒ 1.5 [bit/s/Hz]) として隣接チャネル間干渉 (ACI:Adjacent ChannelInterference)を加えた場合の符号誤り率特性の測定結果を図6.31 に示す。この結果より、厳しい隣接チャネル干渉の条件においても、誤り訂正の適用によ り改善効果が得られ、劣化は 1dB以下に抑えられることがわかる。チャネル周波数間隔と 誤り率10⁻⁸を達成するための所要 Eb/Noの関係を図6.32に示す。

6.4.5 同一チャネル干渉に対する誤り訂正効果

前節と同一の実験系を用いて、同一チャネル干渉に対する誤り訂正方式の効果を実験的 に明らかにした。干渉信号は希望信号と同一の搬送波周波数を有する CW (Continuous wave) としている。同一チャネル干渉の D/U比をパラメータ(15,20dB) として測定した符 号誤り率特性を図6.33に示す。図より、誤り訂正の適用により D/U比 20 ~ 15dB の干渉 が存在しても、特性の劣化はわずかに 1.0~2.0dB 程度に抑えられることがわかる。この 特性は干渉信号が変調信号(帯域内)の場合もほぼ同様である。

同一チャネル干渉のキャリア周波数と検知限 D/U 比の関係を測定した結果を図6.34に 示す。ここで、検知限 D/U 比とは主観評価において画質の劣化が検知される限界の D/U 比をいう。従来のアナログ方式の特性としては、 CCIR Report 634-2 の検知限 D/U比と 商用の標準的な FM モデムの特性を記した。従来のアナログの FM 変調方式では D/U比 2 5dB で検知限を超え、映像信号に干渉雑音の影響が現れ運用に支障をきたす。しかし、開 発したディジタル方式では、 C/No=87dB・Hzで約10dBの改善が得られ衛星通信(特に Cバ ンド、Kuバンド)で問題となる地上方式からの干渉に強いシステムの設計が可能となる。



(a) OPSK

図6.26 $(\alpha=0.6, \text{Hard limitd}, \text{Eb/No}=\infty)$



(a) QPSK (b) Offset QPSK 図6.27 開発衛星ビデオ通信用送受信装置 のステートスペースダイアグラム $(\alpha=0.6, \text{Hard limitd}, \text{Eb/No}=\infty)$



(a) QPSK 図6.28 $(\alpha=0.6, \text{Hard limitd}, \text{Eb/No}=\infty)$

(b) Offset QPSK 10dB/Div 20MHz/Div 開発衛星ビデオ通信用送受信装置のスペクトラム





(b) Offset QPSK

開発衛星ビデオ通信用送受信装置のアイダイアグラム









Frequency offset (MHz)

図 6.34 同一チャネル間干渉条件化における検知限 D/U比特性 (α=0.6, Hard limitd)

6.5 結言

本章では、たたみ込み符号化/ビタビ復号法を衛星回線に適用した場合の特性について 検討した。特に、衛星回線の特徴である非線形回線、符号間干渉、同一チャネル間干渉・ 隣接チャネル間干渉に対する改善効果等、 AWGN 以外の各種条件におけるビタビ復号法の 特性・改善効果を実験的に明らかにした。まず、誤り訂正方式が非線形回線においても、 その軟判定を最適化すれば高い効果を有することを明らかにした。また、符号間干渉に対 する改善効果を示し、さらに、積極的に帯域制限を施しトータルの周波数利用効率を改善 する狭帯域化伝送方式を提案した。最後に衛星ビデオ通信方式を例に変調方式と誤り訂正 方式符号化率の最適化の検討例を示し、これを基に開発したディジタルビデオ伝送用送受 信装置の各種干渉条件における特性を明らかにした。以上より、ビタビ復号方式が衛星通 信の非線形性、符号間干渉、隣接チャネル・同一チャネル干渉、他方式からの干渉等に対 しても非常に優れた改善効果を有することを示した。 第1章 シェアド・リソース方式

7.1 緒言

衛星通信では、回線の所要 C/Nの低減あるいは干渉による劣化の救済のため各種の FEC (誤り訂正方式)技術が適用されている。特に近年、実効的回線容量の増大・周波数の有 効利用の観点から、誤り訂正方式としても端に高利得なだけでなく、伝送効率の面でもよ り高効率(高符号化率)なものが要求されている。しかし、一般に低効率(低符号化率) な誤り訂正方式が高い符号化利得を比較的簡易なハードウェアで実現できるのに対し、高 効率(高符号化率)な誤り訂正方式は符号化利得を高くできない、ハードウェア規模が大 きくなるといった欠点を有している。

本章ではプールされた FEC用の回線を各局が共有し、通常は FECを施さず、降雨等の発 生した回線に対してのみ選択的に FECを付加するシェアドリソース方式[1][2][3][4]を衛 星上再生中継および非再生中継方式の TDMA システムに適用する場合の基本構成について 述べる。また、不稼働率を降雨確率・地球局数・降雨マージン等のパラメータから導出す る方法を明らかにする。更に、 30/20GHz 帯を例に各地球局間のトラヒックおよび降雨相 関が均一となるようなモデルについて不稼働率を計算し、その結果から符号化率 rが 1/2 のビタビ復号法のような高利得な FECを用いた場合のシェアドリソース方式の適用領域を 明確にする[10]。

7.2 シェアドリソース方式の原理

シェアドリソース方式は、多元接続を行う通信方式において、回線の一部をあらかじめ プールしておき、品質に劣化の生じた回線に対してのみプールされた回線を割当てて誤り 訂正を施す方式である。高い無線周波数帯を用いる衛星通信では、降雨減衰等による回線 品質の劣化が時間的・空間的に分散して発生する。このため、シェアドリソース方式を用 い、各地球局がプールされた回線を共用することにより、誤り訂正方式としては比較的低 効率 (例えば符号化率 rが1/2) のものを用いてもシステム全体としては高い伝送効率を 実現することが可能となる。

衛星通信における代表的な多元接続方式のひとつである TDMA (時分割多元接続)方式 は、時間軸上のタイムスロットを各回線に割り当てる機能がそのまま誤り訂正の付加(プ ールされたタイムスロット(プールタイムスロット)の割当)に対応するためシェアドリ



TX Earth Station



Station

FEC COD: Forward error correction coder FEC DEC: Forward error correction decoder

シェアドリソース方式の構成 図7.1

Station (a) Through repeater satellite system

Station

(b) On-board regeneration satellite system

ソース方式との適合性が極めて良い。

7.3 シェアドリソース方式の実現法

TDMA 方式を用いた衛星通信にシェアドリソース方式を適用する場合の基本的なシステ ム構成を図7.1 ((a)衛星がスルーリピータの場合、(b)衛星上再生中継方式) に示す。シ ェアドリソース方式では各局が FEC符・復号用のハードウェアを具備しているが通常は FECを施さず、自局の回線品質が劣化した場合のみプールタイムスロットを用いて FECを かける。このとき、全ての局が同時にFEC を必要とする確率は小さいので FEC用プールタ イムスロットは全局のトラヒック分用意する必要は無く、システム全体の伝送効率を高く することができる。シェアドリソース方式のフレーム構成例を図7.2 に示す。

衛星がスルーリピータの方式では回線のアップリンクで降雨が発生する場合とダウンリ ンクの場合の両方に対してプールタイムスロットを持つ必要がある。ここで、システム内 の各地球局間の回線がメッシュ状でありトラヒック(双方向)が均一となるモデルを仮定 し、地球局の総数をn、そのうちFECの割当が可能な最大局数を m、FECの符号化率を r とすると、システム全体の伝送効率 R は次式となる。

R = $n + 2 \cdot m \cdot (1/r - 1)$

(7-1)

この場合のモデルをn=3, m=1の例について図7.3 (a) に示す。 FECの符号化率 r が1/2 の場合システム全体の伝送効率 Rは次式のようになる。



図7.3 (a)の例では、符号化率 r=1/2の FECを用いるとするとシステム全体の伝送効率R は 3/5となる。

一方、衛星上ベースバンド再生中継方式の場合には、衛星上受信/送信部にそれぞれ誤

図7.2





Redundant time slot for FEC

シェアドリソース方式のフレーム構成例



(a) Through repeater satellite system (b) On-board regeneration satellite system



(c) Through repeater satellite system using TX power control



図7.3 シェアドリソース方式のモデル





となる。FEC の符号化率 rが 1/2の場合は、

n + m

である。例えば、システム全体として R=7/8の伝送効率を得るためには、 FEC用プールタ イムスロットを付与できる最大局数 mは n/7 となる。 また、スルーリピータ方式であっても、アップ/ダウンリンクのいずれかがシェアドリ ソース方式以外の何らかの手段(たとえば、送信電力制御方式等)によって保護されてい る場合には必要なプールタイムスロットは半分でよいから、システム全体の伝送効率 Rは (7-3) 式の場合と等しくなる。

衛星上再生中継方式およびアップリンクが送信電力制御により保護されているスルーリ ピータ方式の場合のモデルを n=3, m=1 を例として、それぞれ図7.3(b)(c) に示す。 シェアドリソース方式の適用効果を定量的に評価するためには、この m局分のプールタ イムスロットを共用して不稼働率をどこまで低減できるかを明らかにする必要がある。

7.4 シェアドリソース方式の特性 7.4.1 回線不稼働率 降雨減衰と回線不稼働率の関係の例を図7.4 に示す。縦軸は降雨減衰量をdBで表したも の、横軸は縦軸の値を超えるような降雨の発生する確率(%/年)で 30GHz帯と 20GHz帯の 場合について示している[5][6]。例えば、 30GHz帯で 1年間のうち XdB以上の降雨が発生 する確率は図中点線で示すようにP(X)で与えられる。

(7 - 3)

(7 - 4)



义7.4 降雨減衰量対不稼働率

FECの種類	符号化利得 (dB)	帯域拡大分 (dB)	総合利得 (dB)
BCH符号 (127,112,2)	1.8	0.6	2.4
r=1/2,K=4 ビタビ復号	3.5	3.0	6.5
r=1/2,K=7 ビタビ復号	4.5	3.0	7.5

各種 F E C 方式の利得 (P e = 10-4) 表7.1

(1) FEC 固定方式の回線不稼働率 従来のように、全ての局が常時 FECを用いる方式の不稼働率 Pf は、 FECによる利得を 除いた地球局の降雨マージンを MdB 、FEC による総合利得(符号化利得 +帯域拡大分) を Gf とした時、 M + Gf dB以上の降雨減衰が発生する確率であるから、 Pf = P(M + Gf) (dB) (7-5)で与えられる。

(2) シェアドリソース方式の不稼働率 シェアドリソース方式の不稼働率 Ps についてシステム内の各地球局間の回線がメッシ ュ状であり、トラヒック(双方向)が均一なモデルについて考える。シェアドリソース方 式に用いる FECによる総合利得(符号化利得 + 帯域拡大分)を Gs dB、FEC 以外の地球 局マージンを MdB、自局で MdB以上の降雨減衰が発生した時、同時に他スロットの局で M dB以上の降雨減衰がある確率を Pd、システム中の地球局の総数を n 、FECの割当が可 能な最大局数を m とする。シェアドリソース方式の不稼働率 Ps はM + Gs以上の降雨減 衰が発生する確率 P(M + Gs) と、自局で MdB 以上の降雨減衰が発生していて、なおか つ、 FEC用プールタイムスロットを使いきっている確率の和であるから、



となる。

Pd は MdB以上の降雨減衰が自局と他の地球局で同時に発生する確率(各地球局間で降 雨相関が全く無いとすると Pd = P(M))であり、地球局間の距離 dの関数となる。また、 (7-6) 式では自局と他局の降雨相関は全て均一と仮定している。

7.4.2 シェアドリソース方式の各種特性 前節で述べたシェアドリソース方式の回線不稼働率の導出法に従い、シェアドリソース 方式を衛星上再生中継方式あるいはアップリンクが送信電力制御等の手段により保護され

•
$$Pd^{k} \cdot (1-Pd)^{n-k-1} \cdot P(M)$$
 (7-6)

ているスルーリピータ方式への FECを r=1/2として適用した場合(すなわちシステム全体 の伝送効率 Rが (7-4)式で与えられる場合)の 30/20GHz 帯における不稼働率の計算結果 を以下に示す。なお、比較のため、従来方式 (FEC 固定方式)を用いた場合の特性も合わ せて示す。システム全体の伝送効率 Rは7/8 とし、シェアドリソース方式用FEC としては、 符号化率r=1/2, 拘束長K=4 [7] および7 [8] のたたみ込み符号化ビタビ復号法の 2とお りについて検討した。また、 FEC固定方式用誤り訂正符号としては r=7/8, 2誤り訂正 3 誤り検出の BCH符号 (127,112,2) [9]を例とした。回線断規格は符号誤り率 Pe = 1 × 10 -* とし、そのときの各FEC の利得は表7.1 の値を用いた。

(1) 地球局数と不稼働率

FEC による利得以外の地球局降雨マージンM を一定とした時の地球局数n と不稼働率の 関係を図7.5 に示す。 FEC固定方式では全ての局に常時同一の FECが施されているため不 稼働率 Pf は nにかかわらず一定であるのに対し、シェアドリソース方式では地球局数 n が大きいほど mの値が増加し、同時にプールタイムスロットを使いきる確率が小さくなる ため回線不稼働率が小さくなる。

(2) 地球局降雨マージンと不稼働率

地球局数 nを 100とした時の地球局降雨マージンM と不稼働率の関係を図7.6 に示す。 地球局降雨マージンが大きくなるにつれてシェアドリソース方式用プールタイムスロット を使いきる確率が小さくなり、 FEC固定方式に比ベシェアドリソース方式が有利となる。

(3) 符号化率と不稼働率

地球局数 nを14, 50, 100 とした時のシェアドリソース方式用FEC の符号化利得 (r=1/ 2 の帯域拡大分を除く)と不稼働率の関係を地球局降雨マージンを一定として求めた結果 を図7.7 に示す。この関係から一定の地球局数および地球局降雨マージンのもとでの所定 の不稼働率を得るために必要な FECの符号化利得を求めることができる。

(4) シェアドリソース方式の相対利得

シェアドリソース方式を適用した場合の符号化利得は FEC固定方式に比べて所要マージ ンを何dB低減できるか、すなわち、相対的な利得に換算することができる。地球局数をパ



Peth: Pe threshold 図7.5 地球局数対不稼働率(地球局降雨マージン一定)

0.1

John O.05

0















Per 7.7 FEC符号化

Peth: Pe threshold

図7.7 FEC符号化利得対不稼働率(地球局降雨マージン一定)





ラメータとし、シェアドリソース方式用FEC として r=1/2, K=7 のビタビ復号法を用いた時の地球局降雨マージンM と相対利得 (FEC 固定方式用FEC としてBCH (127,112,2) 符号を用いた場合との比較)の関係を図7.8 に示す。 この結果より、降雨による不稼働率が 0.4% 以下の通常の適用領域では例えば地球局数が 50 であればアップリンクで約 11dB、ダウンリンクで約 7dBの地球局降雨マージンがあればシェアドリソース方式の方が有効となることがわかる。

7.5 結言

FEC そのものとしては高利得で回路規模も小さい低符号化率(例えば、r=1/2)の方式を 用い、 FEC用のタイムスロットを各局がプールし降雨減衰の激しい回線に選択的にFEC を 施すことによってシステム全体としては高い伝送効率を実現するシェアドリソース方式の 検討を行い、同方式を用いた場合の回線不稼働率の導出法を明らかにした。また、 30/20 GHz 帯の場合を例に回線不稼働率の計算を行い、その適用領域を明らかにした。その結果、 降雨による不稼働率が 0.4% 以下となるような通常の適用領域では、 FECを固定的に用い る従来方式比べ十分効果があることが明らかとなった。本論文では、不稼働率計算のモデ ルとして各地球局間のトラヒックおよび降雨相関が均一な場合を仮定して基本的な考え方 示したが、その他のモデルについて検討する場合にも本検討を拡張して容易にその特性を 導出することが可能である。



本論文は、衛星通信用誤り訂正方式として広く用いられているビタビ復号法をとりあげ、 ハードウェア規模の低減・低消費電力化に対し効率の高い新しい手法を考案し、その手法 により実際の LSIを実現した。また、その特性を解析・実験により明らかにするとともに、 衛星回線へ適用した場合の効果について、従来から検討されている誤り率特性の改善効果 とは異なった視点に立って検討を加えこれを定量化した。本研究の主な成果は以下のとお りである。

(1) ビタビ復号器の回路規模・消費電力低減のため、尤度分布集中型(SST型)ビタ ビ復号法を提案し、これにより、従来、非常に大きな回路規模・消費電力を必要としたビ タビ復号回路の小型化・低消費電力化が可能となることを示した。まず、回路規模の削減 効果としては、高速ビタビ復号回路のハードウェアの 20% を占める最尤判定回路を符号 化利得の劣化無しに省略可能とした。また、消費電力低減効果としては、 CMOS で構成し たパスメモリ回路の消費電力を低誤り率 (Peが10⁻² 以下)で約60% 低減可能とした。

(2) 近年特にその要求が高まっている高符号化率ビタビ復号回路の実現法としては、 高能率(高符号化率)なビタビ復号回路構成法として従来からあるパンクチャド方式に対 して、送信側でのビット消去・受信側でのダミービット挿入の省略を可能とするより簡易 な高能率ビタビ復号回路構成法を提案しその特長について述べた。提案構成法は送信側で はパンクチャド符号化でビット消去を行うシーケンスを考慮して、生成多項式を伝送路上 の高符号化率たたみ込み符号を直接生成する形に変換し、これにより符号器を実現する。 受信側は、同様にダミービット挿入を行わず高符号化率たたみ込み符号の符号速度のまま ブランチメトリックの計算を行う構成とする。提案構成法では従来のパンクチャド方式で 必要とした歯抜けクロックによる複雑なタイミング制御が不要となり、高符号化率たたみ 込み符号の処理が ROM, FIFO 等の汎用素子で実現可能となり回路の簡易化・高速化に効 果がある。

(3) たたみ込み符号化/ビタビ復号法を実際のシステムに適用していく上で不可欠な -LSI化については、最も実現が難しい高速・符号化率可変ビタビ復号回路の LSI化手法を 明らかにした。LSI の開発にあたっては、提案した尤度分布集中型(SST 型)ビタビ復号 方式と高符号化率ビタビ復号方式を採用し、低消費電力化・高速化・符号化率可変機能を 実現した。開発したビタビ復号器LSI は 25MHzで動作し、符号化率 1/2から 15/16 まで の (n-1)/n の符号化率に汎用的に適用可能である。開発時の本LSI の性能(動作速度) は他の同種LSI の 1.4~2.5 倍であった。また、消費電力は低誤り率(Peが10⁻² 以下) 時に LSI全体で約33%の削減を達成した。

(4) ビタビ復号回路LSI を用いた符号化率可変誤り訂正回路装置化手法を示し、開発された符号化率可変たたみ込み符号器/ビタビ復号回路の特性を示した。特に、ビタビ復号器の応用に重要な復号後残留誤りの分布特性を解析し、簡易なギルバートモデルで良く近似できることを示した。また、符号同期確立等に用いられる疑似誤りバルス検出方式の検討を行い、それぞれの符号化率での最適閾値を明らかにした。

(5) ビタビ復号法の衛星回線への応用として、衛星回線の特徴である非線形回線におけ るビタビ復号の効果および改善法、符号間干渉 (ISI) に対する改善効果等を実験的に明 らかにした。符号間干渉に対しては、BT=0.67 相当の狭帯域化を行った場合、誤り訂正無 しでは劣化が 9.5dBにも及ぶのに対し、高利得なビタビ復号を用いることにより劣化を 約4.0dB に低減できることを示した。さらに、隣接チャネル間干渉を考慮し、衛星ビデオ 通信用誤り訂正方式と変復調方式の最適化を行い、符号化率7/8 のビタビ復号とオフセッ ト QPSK 方式の組合せが最適であることを示した。また、これを基に開発した衛星ディジ タルビデオ通信用送受信装置の隣接チャネル間干渉・同一チャネル干渉条件下での特性を 明らかにし、これら干渉に対するビタビ復号法の適用効果を示した。

(6) 衛星回線の一部(例えば TDMA 回線におけるタイムスロットの一部)を各地球局が 共用し、降雨等により品質に劣化が生じた局の送受信信号にのみ誤り訂正を施すことによ りシステム全体の高品質化・実効的な伝送容量の増大を可能とするシェアド・リソース方 式の原理・諸特性に関する検討結果を示した。30/20GHz帯で回線不稼働率 0.4% 以下,地 球局数50 とした場合、アップリンク/ダウンリンクのマージンがそれぞれ 11dB, 7dB 以上の時、従来の固定型FEC よりも相対的な利得が高いことを明らかにした。 本論文では、衛星通信へのビタビ復号法の適用を中心に LSI化を軸とする装置化ならび に応用法について研究を行った結果を示した。装置化の観点からは、高い符号化利得を有 するものの、回路規模・演算量が膨大なビタビ復号の高速動作およびこれに伴う消費電力 の増大が解決すべき最大の問題であった。応用面では、基本的には AWGN 回線でありラン ダム誤りとして扱える衛星回線はビタビ復号法に最も相性の良い適用領域といえるが、そ の衛星回線にしても AWGN のみならず各種の干渉が問題となっており、限られた電波の周 波数帯域を有効に利用するための技術としてビタビ復号法は今や衛星通信に欠くことので きない技術となっている。さらに、連接符号の研究、変調方式とビタビ復号を融合させる 符号化変調方式の研究が進められ、 AWGN からライスフェージングあるいはレイリーフェ ージングの移動体通信においてもビタビ復号は大きな威力を発揮しようとしており、今後 ますます、その研究・開発は進むものと考えられる。本研究がそれらの衛星通信・無線通 信・移動通信用誤り訂正方式の進展の一助となれば幸いである。

参考文献

第1章

[1] 森永規彦: "次世代衛星通信技術の潮流",信学論(B), Vol. J76-B-II, No. 5, pp. 326 336 (1993.5)

[2] K. Feher: "Digital Communications: Satellite/Earth Station Engineering", Prentice-Hall (1983)

[3] D. Wiggert: "Error-Control Coding and Applications", Artech House (1978)
[4] H. Imai: "Essentials of Error-Control Coding Techniques", Academic Press (1990)

[5] 山本,加藤:"TDMA通信", 電子情報通信学会 (1989)
[6] W. W. Wu, D. Haccoun, R. Peile and Y. Hirata: "Coding for Satellite Communication",
IEEE JSAC, Vol. SAC-5, No. 4, pp. 724-748, (May 1987)
[7] A. J. Viterbi: "Convolutional Codes and Their Performance in Communication Systems", IEEE Trans. Commun., Vol. COM-19, No. 5, pp. 751-772 (Oct. 1971)

第2章

[1] A.J.Viterbi: "Convolutional Codes and Their Performance in Communication Systems", IEEE Trans. Commun., Vol.COM-19, No.5, pp.751-772 (Oct. 1971)
[2] J.A.Heller and I.M.Jacobs: "Viterbi Decoding for Satellite and Space Communication", IEEE Trans. Commun., Vol.COM-19, No.5, pp.835-848 (Oct. 1971)
[3] 竹内, 鮫島: "ビタビ復号法の符号誤り率特性の検討", 昭56信学総全大 2121
[4] 安田, 平田, 小川: "軟判定ビタービ復号の理論ビット誤り率", 信学技報 CS80-126, PP.31-36 (1980)
[5] 久保田, 郡, 加藤: "SST(Scarce statetransition) 型ビタビ復号回路", 信学論(B), Vol.J68-B, No.1, pp.38-45 (昭60-01)

[6] K.L.Larsen: "Short Convolutional Codes with Maximal Free Distance for Rates
1/2, 1/3 and 1/4", IEEE Trans. Inf. Theory, Vol. IT-19, pp. 371-372 (May 1993)
[7] S.Kubota, S.Kato and T.Ishitani: "Novel Viterbi Decoder VLSI Implementation

and Its Performance", IEEE Trans. Commun., Vol.COM-41, No.5, (Aug. 1993) [8] J.L. Massey and M.K. Sain: "Inverse of Linear Sequential Circuits," IEEE Trans. on Comput., Vol.C-17, pp.330-337 (1968) [9] 鈴木,田島:"ヴィタビ復号における伝送路誤り率の推定", 昭57信学通信部門大 545

第3章

[1] J. Snyder: "High Speed Viterbi Decoding of High Rate Codes", 7th ICDSC, pp. XII, 16-23, (Sept. 1983)

[2] J.B.Cain, G.C.Clark.Jr. and J.M.Geist: "Punctured Convolutional Codes of Rate (n-1)/n and Simplified Maximum Likelihood Decoding", IEEE Trans. Inf. Theory, Vol. IT-25, No. 1, pp. 97-100 (Jan. 1979)

[3] 安田,平田,小川:"ヴィタビ復号の容易な高符号化率たたみ込み符号とその諸特性", 信学論(B), Vol.J64-B, No.7, pp.573-580 (昭56-07)

[4] Y.Yasuda, Y.Hirata, K.Nakamura and S.Otani: "Development of Variable-rate Viterbi Decoder and Its Performance Characteristics", 6th ICDSC, pp.XII.24-XII. 31 (Sep. 1983)

[5] Y.Yasuda, K.Kashiki and Y.Hirata: "High-rate Punctured Convolutional Codes for Soft Decision Viterbi Decoding", IEEE Trans. Commun., Vol.COM-32, No.3, pp. 315-319 (Mar. 1984)

[6] S.Kubota, S.Kato, T.Ishitani and M.Nagatani:"A Proposal of Universal-codingrate Viterbi Decoder -A Novel Encoding and Decoding Method For High-coding-rate FEC", IEEE ICC'87, 24.3.1-24.3.6, pp.0863-0868 (June 1987)

[7] S. Kubota, S. Kato, T. Ishitani and M. Nagatani:"Compact, High-speed and Highcoding-gain General Purpose FEC Encoder/Decoder -NUFEC CODEC-", IEEE ICC'89, 25. 3.1-25.3.6, pp.0798-0803 (1989)

[8] 加藤, 久保田, 大谷, 石谷, 宮原:"汎用高速・高能率ビタビ復号器LSI 構成法", 信 学論(A), Vol. J72-A, No. 2, pp. 241-250 (1989-02)

[9] S.Kubota, S.Kato and T.Ishitani:"Novel Viterbi Decoder VLSI Implementation and Its Performance", IEEE Trans. Commun., Vol.COM-41, No.5 (Aug. 1993)

第4章

[1] A.Fujii, Y.Teshigawara, S.Tejima and Y.Matsumoto: "AA/TDMA-Adaptive Satellite Access Method for Mini-earth Station Networks", IEEE Globecom'86 (1986) [2] G.Fettweis and H.Meyr: "Parallel Viterbi Algorithm Implementation; Breaking the ACS-bottleneck", IEEE Trans. Commun., Vol.COM-37, pp.785-790 (Aug. 1989) [3] G.Fettweis and H.Meyr:"High-speed Viterbi Processor: A Systolic Array Solution", IEEE JSAC, Vol.SAC-8, pp. 1520-1534 (Oct. 1990) [4] R. M. Orndorff, T. W. Doak and P. Koralwk: "CMOS/SOS LSI Implementation of Viterbi Error Correction Circuitary", in Proc. IEEE ISSCC'79, pp. 44-45 (1979) [5] R. M. Orndorff, P. C. Chou, J. D. Kremarik, R. J. Coles-worthy, T. W. Doak and R.Koralek:"Viterbi Decoder VLSI Integrated Circuit for Bit Error Correction", IEEE NTC'81, E1.7.1-E1.7.4 (1981)

E1. 1. 1-E1. 1. 5 (1981)

[7] P.E.C.Hoppes and R.D.McCallister: "A Monolithic CMOS Maximum-likelihood Convolutional Decoder for Digital Communication Systems," IEEE ISSCC'82, Section 11 (1982)

[8] J.B.Cain and R.K.Kriele: "A VLSI R=1/2, K=7 Viterbi Decoder", IEEE National Aerospace and Electronics Conference NAECON1984, Vol. 1984, 1, pp. 20-27 (1984) [9] S. Kubota, K. Ohtani and S. Kato: "High-speed and High-coding Gain Viterbi Decoder with Low Power Consumption Employing SST (Scarce State Transition) Scheme", IEE Electron. Lett., Vol. 22, No. 9, pp. 491-493 (April 1986) [10] S.Kato, M.Morikura, M.Umehira, K.Enomoto and S.Kubota:" General Purpose TDMA LSI Development for Low Cost Earth Station", IEEE ICC'86, 16.6.1-16.6.6, pp. 513-518 (June 1986) [11]加藤,守倉,梅比良,榎本,久保田:"汎用化TDMA LSI- ビタビ復号器・バースト合成 /分離LSI-", 信学技報, SAT86-5 (1986-05)

[12]加藤,梅比良,守倉,大谷,榎本,久保田,新田,藤本:"SK-40 方式用TDMAシステ ム", 信学技報, SAT86-29 (1986-11)

[6] R.D.McCallister and J.J.Crawford: "A low-power, High-throughput Maximumlikelihood Convolutional Decoder Chip for NASA's 30/20 GHz Program", IEEE NTC'81,

[13]石谷,丹生,宮原,久保田,加藤:"ビタビ復号器VLSI", 信学技報, SSD85-148 (1986-02)

[14] T. Ishitani, K. Tansho, N. Miyahara, S. Kubota and S. Kato: "A Scarce-statetransition Viterbi Decoder VLSI for Bit Error Correction", IEEE Journal, Solid-State Circuits, Vol. SC-22, No. 4, pp. 575-582 (Aug. 1987)

[15] S.Kato, T.Arita, K.Morita:"Onborad Digital Signal Technogies for Present and Future TDMA and SCPC Systems", IEEE JSAC., Vol.SAC-5, No.4, (1987)

[16]新屋,田島,鈴木:"小型小容量地球局用変復調部のLSI化(4)-ビタビ誤り訂正復号器
 -",昭62信学総全大 2329.

[17]大谷,八木,轟,大島,安田:"衛星通信用符号化率可変誤り訂正装置の LSI化", 信 学技報, IT87-19 (1987-05)

[18]山下,加藤,森分,青木:"K=6 シングルチップ,2 モード・ビタビ復号器とそのLSI 化", 信学技報 IT87-20 (1987-05)

[19]三宅,石田,桜井,藤野:"パーストモード伝送用符号化率可変ヴィタビ復号器とそのLSI 化",信学技報,IT87-21 (1987-05)

[20]新屋,田島,鈴木:"機能拡張性を有するビタビ復号器LSI", 信学技報, IT87-22, (1987-05)

[21]中村,山下,加藤,森分,島田:"拘束長可変型ビタビ復号LSI",昭63信学総全大SB-3 -7.

[22]加藤,久保田,大谷,石谷,宮原:"汎用高速・高能率ビタビ復号器LSI構成法", 信 学論(A), Vol.J72-A, No.2, pp.241-250 (1989-02)

[23] S.Kubota, S.Kato and T.Ishitani: "Novel Viterbi Decoder VLSI Implementation and Its Performance", IEEE Trans. Commun., Vol.COM-41, No.5 (Aug. 1993)
[24] Qualcomm Corp. Product "Q1650"

[25] Stanford Telecom Product "STEL 2020"

[26]三宅,藤野,藤原,笠原:"シンボルメトリック計算を簡単化したヴィタビ復号器の特性", 昭62信学総全大 2314

第5章

[1] 久保田, 加藤: "汎用・高速畳込み符号器・ビタビ復号器", 信学論(B-1), Vol. J72-B

-1, No.12, pp.1226-1234 (1989-12)
[2] S.Kubota, S.Kato and T.Ishitani: "Novel Viterbi Decoder VLSI Implementation and Its Performance", IEEE Trans. Commun., Vol.COM-41, No.5, (Aug. 1993)
[3] 保田, 駒形, 萩原: "ビタビ号残留誤り特性の実験的検討", 信学論 (B), Vol.J71-B, No.2, pp.229-237 (昭63-02)
[4] 安田, 平田, 古谷, 中村: "ヴィタビ復号における同期方式", 信学論(B), Vol.J66-B, No.5, pp.623-630 (昭58-05)
[5] 守倉, 榎本, 久保田, 加藤: "低C / N時におけるユニークワード検出特性の一改善方 法",信学論 (B), Vol.J69-B, No.11, pp.1523-1530 (昭61-11)

第6章

[1] 厚木,久保田,加藤:"ハードリミッタ回線における軟判定ビタビ復号法の特性改善法",信学論(B),Vol.J68-B,No.1,pp.155-156 (昭60-01)
[2] 坂井,久保田,加藤:"高利得FECを用いた狭帯域伝送方式の特性",信学技法CS8 5-90 (1985-10)
[3] 坂井,久保田,加藤:"高利得FECを用いた狭帯域化伝送方式 -ハードリミッティド回線の特性",昭61信学総全大 S16-7

[4] S.Kubota, M.Morikura, K.Enomoto and S.Kato: "A Compact Spectrum and Interference-resistant Digital Video Transmission System", IEEE Globecom'89, 48.
3.1-48.3.6, pp.1729-1734 (Nov. 1989)
[5] S.Kubota, M.Morikura, K.Enomoto and S.Kato: "A Suitable Combination of Modulation and FEC Schemes for Satellite Digital Video Communication Networks", IEICE Trans. Commun., Vol.E76-B, No.5, pp.497-507 (May 1993)
[6] H.Murakami, H.Hashimoto and Y.Hatori: "Quality of Band-compressed TV Services", IEEE Communication Magazine, pp.61-69, (Oct. 1988)
[7] S.P.Barnes: "Carrier-interference Ratios of Frequency Sharing between Satellite Systems Transmitted Frequency Modulated and Digital Television Signals", IEEE NTC'79, 57.5.1-57.5.6 (1979)
[8] M.Umehira, S.Kubota, K.Enomoto and S.Kato: "Compact LSI- and MIC-implemented Burst Modem for Low Eb/No Operation", IEEE Glovecom'87, pp.267-273 (Nov. 1987) [9] S.Kubota, S.Kato and T.Ishitani: "Novel Viterbi Decoder VLSI Implementation

and Its Performance", IEEE Trans. Commun., Vol.COM-41, No.5, (Aug. 1993)

[10] N. Mukawa, Y. Suzuki, H. Kuroda and H. Yoshimura: "A Study of VLSI Logic Design

for DPCM Coding", ICASSP'86 (Apr. 1986)

[11] CCIR Recommendation 500 (1975)

[12] CCIR Report 215-5 (1982)

第7章

[1]久保田,加藤:"衛星通信用高能率誤り訂正方式の検討",昭60信学総全大 \$25-5
[2]森広,小檜山:"冗長チャネルを共用する多元接続衛星通信方式",昭54信学総全大
2178

 [3] A. S. Acampora: "A Shared Resource TDMA Approach to Increase the Rain Margin of 12/14 GHz Satellite Systems", The Bell System Technical Journal, Vol. 58, No. 9, (Nov. 1979)

[4] B. Mazur, S. Crozier, R. Lyons and R. Matyas: "Adaptive Forward Error Correction Techniques in TDMA", ICDSC, pp. XII-8~XII-15 (Sept. 1983)

[5] 森田:"衛星通信回線における伝搬特性の推定法 (準ミリ〜ミリ波帯の場合)",研実報 第28巻第 8号, pp.1661 (1979)

[6] 森田:"衛星通信回線における降雨減衰およびダイバーシチ効果の統計的研究",研実報 第27巻第 4号, pp.789 (1978)

[7] 榎本,久保田,大谷,加藤:"TDMA 装置LSI 化の基礎検討-同期語検出回路,誤り訂 正回路のLSI 化-",信学技報 SAT84-36 (1984-09)

[8] 石谷,丹生,宮原,久保田,加藤:"ビタビ復号器VLSI", 信学技報, SSD85-148, (1986-02)

[9] J.S.Snyder, T.Muratani: "Forward Error Correction for Satellite TDMA in the INTELSAT V Era", AIAA80-0593, pp.674-683 (April 1980)

[10] 久保田,守倉,加藤:"衛星通信用高能率誤り訂正技術の検討 -シェアドリソース方 式-",信学技報, SAT85-2 (1985-05)

発表論文リスト

1. 筆頭著者の論文・国際会議等

(1) 論文

S.Kubota, S.Kato, T.Ishitani: "Novel Viterbi decoder VLSI implementation and its performance", IEEE Trans. Commun., Vol.COM-41, No.8 (1993.8)

S.Kubota, M.Morikura, k.Enomoto, S.Kato: "Suitable combination of modulation and FEC for satellite digital video communication networks", 信学会論文誌, Vol.E76-B, No.5, pp.497-507 (1993.5)

久保田,加藤:"汎用・高速畳込み符号器・ビタビ復号器", 信学会論文誌, Vol. J72-B-1, No. 12, pp. 1226-1234 (1989.12)

久保田, 郡, 加藤:"SST (Scarce State Transition) 型ビタビ復号回路", 信学会論文誌, Vol.J68-B, No.1, pp.38-45 (1985.1)

S.Kubota, K.Ohtani, S.Kato: "A high-speed and high-coding-gain Viterbi decoder LSI with low power consumption", IEE Electronics letters, Vol.22, No.9, pp.491-493 (1986.4)

(2) 国際学会

S.Kubota, S.Honda, M.Morikura, S.Kato:"Concatenated coding scheme employing soft decision for outer codes", IEEE ICC'91, 7.2.1-7.2.5, pp.0221-0225 (1991.6)

S.Kubota, M.Morikura, K.Enomoto, S.Kato: "A compact spectrum and interferenceresistant digital video transmission system", IEEE Globecom' 89, 48.3.1-48.3.6, pp.17 29-1734 (1989.11)

S.Kubota, S.Kato, T.Ishitani, M.Nagatani: "Compact, high-speed and high-coding-gain general purpose FEC encoder/decoder -NUFEC CODEC-", IEEE ICC'89, 25.3.1-25.2.6, pp. 0798-0803 (1989.6)

S.Kubota, S.Kato: "High-speed and high-coding-rate Viterbi decoder VLSI", ISIT'88, (1988.7)

S.Kubota, S.Kato, T.Ishitani, M.Nagatani: "A proposal of universal-coding-rate Viterbi decoder", IEEE ICC'87, 24.3.1-24.3.6, pp0863-0868 (1987.6)

2. 共著の論文

(1) 論文

S.Kato, M.Morikura, M.Umehira, K.Enomoto, S.Kubota: "Application of advanced microelectronics to large scale communication equipment -compact & maintnance free TDMA equipment", IEEE JSAC, Vol.8, No.8, pp.1551-1564 (1990.10)

加藤,守倉,梅比良,榎本,久保田:"T D M A システムのLSI化およびIC化手法-高信頼 ・無調整TDMA装置", 信学会論文誌, Vol. J72-A, No. 2, pp. 231-240 (1989.2)

加藤,久保田,大谷,石谷,宮原:"汎用高速・高能率ビタビ復号器LSI 構成法", 信学会論文誌, Vol.J72-A, No.2, pp.241-250 (1989.2)

T. Ishitani, K. Tansho, N. Miyahara, S. Kubota, S. Kato: "A scarce state transition

Viterbi decoder VLSI for bit error correction", IEEE Journal on SC, Vol.SC-22, No.4, pp. 575-582 (1987.8)

守倉, 榎本, 久保田, 加藤:"低C/N 時におけるユニークワード検出特性の一改善法", 信学会 論文誌, Vol.J69-B, No.11, pp.1523-1530 (1986.11)

坂井, 厚木, 久保田, 加藤: "軟判定ビタビ復号法の耐入力Eb/No 変動特性の改善", 信学会論 文誌, Vol. J69-B, No. 8, pp. 859-860 (1986.8)

厚木,久保田,加藤:"ハードリミッタ回線における軟判定ビタビ復号法の特性改善法", 信学 会論文誌, Vol. J68-B, No. 1, pp. 155-156 (1985.1)

(2) 国際学会

K.Kawazoe, S.Honda, S.Kubota, S.Kato:"Ultra high-speed and universal-coding-rate Viterbi decoder -SNUFEC VLSI-", IEEE ICC'93, pp. 1434-1438, (1993.5)

K.Kawazoe, S.Honda, S.Kubota, S.Kato:"High-speed and high-coding-rate Viterbi decoder with low power consumption", IEEE ICC'92, 353.3.1-353.3.5, pp.1583-1587 (1992.6)

S. Kato, M. Morikura, M. Umehira, K. Enomoto, S. Kubota: "Compact and high performance TDMA terminal for satellite communication", IEEE ICC'88, 51.2.1-51.2.7, pp.1680-1686 , (1988.6)

M. Umehira, S. Kubota, K. Enomoto, S. Kato: "Compact LSI- and IC-implemented burst modem for low Eb/No operation", IEEE Globecom'87, 8.1.1-8.1.6, pp.268-273 (1987. 11) S. Kato, M. Morikura, M. Umehira, K. Enomoto, S. Kubota: "General purpose TDMA LSI development for low cost earth station", IEEE ICC'86, 16.6.1-16.6.6, pp.513-518 (1986.6)

S.Kato, K.Ohtani, T.Kohri, M.Morikura, M.Umehira, S.Kubota:"On-board digital signal processing technologies for present and future SCPC systems", International journal of satellite commun., Vol.6, pp.289-300 (1988)

3. 全国大会・研究会等 筆頭著者の論文

(1) 全国大会等

久保田,守倉,榎本,加藤:"衛星ディジタルビデオ伝送における干渉抑圧効果", 信学春季全 大 SB-2-1 (1990.3)

久保田,加藤:"高品質・高耐干渉ディジタルビデオ伝送方式", 信学秋季全大 B-98 (1989.9)

久保田,加藤:"ディジタルビデオ伝送用小型変復調器―耐干渉特性―", 信学春季全大 SB-3-1 (1989.3)

久保田,加藤:"汎用誤り訂正符・復号器NUFEC CODECの構成と特性", 信学秋季全 大 SB-2-2 (1988.9)

久保田,加藤,石谷,永谷:"高速・高能率・高利得ビタビ復号器LSI (NUFEC)の構成と 特性", 信学情報システム部門全大 424 (1987)

久保田,山口,加藤:"干渉雑音に対する軟判定ビタビ復号の特性", 信学総全大 2311 (1987. 3)

久保田,山口,加藤:"ビタビ復号法による隣接チャネル干渉の軽減効果", 信学部門全大 498

(1986)

久保田,加藤:"逐次復号回路の基礎検討", 信学総全大2448 (1986.3)

久保田,加藤:"衛星通信用高能率誤り訂正方式の検討", 信学総全大 S25-5 (1985.3) 久保田, 石谷, 加藤:"ビタビ復号器パスメモリ回路の一構成法", 信学総全大 S12-6 (1984. 3)

(1983.3)

(2) 研究会

久保田,加藤:"ディジタルビデオ伝送用小型変復調器の構成と特性", 信学技報 SAT88-46 (1988.11)久保田, 加藤: "汎用誤り訂正符·復号器—NUFEC—", 信学技報 SAT88-22 (1988.8) 久保田,守倉,加藤:"衛星通信用高能率誤り訂正技術の検討―シェアドリソース方式―", 信 学技報 SAT85-2 (1985.5)

久保田, 郡, 加藤, 鮫島: "SST (Scarce State Transition) 型ビタビ復号回路", 信学技 報 CS82-121 (1983.3)

4. 全国大会・研究会等 共著の論文

(1) 全国大会等

川添,本田,久保田,加藤: "超高速・汎用誤り訂正回路LSI-SNUFEC LSI-", 信学秋季全大 B-187 (1993.9) 鈴木,久保田,加藤: "TDMA-TDD通信におけるタイパーシチを組み合わせた場合の誤り訂正適 用効果", 信学秋季全大, B-307 (1993.9) 川添,本田,久保田,加藤:"SST型ビタビ復号器用最尤判定回路の検討", 信学春季全大 B-191 (1993.3) 鈴木,小林,久保田,加藤:"TDMA-TDD 通信における誤り訂正適用効果の一検討", 信学春季 全大 B-410 (1993.3) 川添,本田,久保田,加藤:"高速・汎用ビタビ復号器用 ACS回路の検討", 信学秋季全大 B-141 (1992.9) 川添,本田,久保田,加藤:"高速・高利得・高符号化率 1チップビタビ復号器LSI-低消費電力 化·高速化技術-", 信学春季全大 (1992.3) 杉山,久保田,加藤:"等化器を用いた狭帯域化ディジタル伝送方式の検討", 信学秋季全大 (1991.9)本田,久保田,加藤: "RS符号を用いたDSD 連接符号の検討", 信学秋季全大 (1991.9) 川添,本田,久保田,加藤: "SST 型高符号化率ビタビ復号器の検討", 信学秋季全大 (1991.9)

加藤,守倉,久保田,榎本:"DYANET2 用TDMA装置 -ISDN中継系,加入者系統合衛星TDMA通信方 式-", 信学春季全大 B-273 (1991.3)

久保田,加藤: "テーブル・ルックアップ型ビタビ復号回路の構成と特性", 信学総全大2123

関, 久保田, 守倉, 加藤:"第2世代汎用高速・高機能TDMA LSI- 畳み込み符号・プリアンブル 生成LSI-", 信学春季全大 B-269 (1991.3)

本田, 久保田, 加藤:"リードソロモン符号の軟判定復号法", 信学春季全大 B-258 (1991.3)

本田,久保田,守倉,加藤:"ビタビ復号器のパスメモリ情報を用いた回線品質検出法", 信学 秋季全大 (1990.9)

加藤,守倉,久保田:"移動体衛星通信用変復調と誤り訂正", 平2 電気情報関連学会連合大会 S23-2 (1990)

本田,久保田,守倉,加藤:"並列誤り訂正によるインタリーブ遅延の低減", 信学春季全大 B-243 (1990.3)

眞部,吉田,久保田:"26GHz 帯ディジタル無線システムの高信頼伝送特性", 信学春季全大 SB-4-1 (1990.3)

小林,坂井,久保田,加藤:"ダイバーシチ合成の軟判定ビタビ復号への適用", 信学春季全大 B-244 (1990.3)

関,久保田,守倉,加藤:"汎用畳み込み符号器", 信学春季全大 B-241 (1990.3)

守倉,久保田,加藤:"UW誤検出率低減法の一提案", 信学春季全大 B-217 (1990.3)

石谷,永谷,久保田,加藤:"高能率・高利得ビタビ復号器VLSI (NUFEC)", 信学半 導体材料部門全大 144 (1987)

石谷,丹生,久保田,加藤:"ビタビ復号器VLSIの特性", 信学総全大(1987.3)

守倉, 榎本, 久保田, 加藤: "TDMA同期に与えるビタビ復号誤りパターンの影響", 信学部 門全大 497 (1986)

坂井, 久保田, 加藤: "高利得FECを用いた狭帯域化信号伝送方式", 信学総全大 S16-7 (1986.3)

石谷,丹生,宮原,久保田,加藤:"ビタビ復号器VLSI", 信学総全大(1986.3)

石谷,丹生,久保田:"8状態ビタビ復号器LSIの設計", 信学総全大(1985.3)

加藤,守倉,梅比良,久保田:"広帯域衛星通信網用TDMA方式", 信学部門全大 \$8-9 (1984)

厚木,久保田,加藤:"非線形回線における軟判定ビタビ復号法の特性改善", 信学総全大 (1984.3)

石谷,久保田,堀口:"ビタビ復号器ACS回路の一構成法", 信学総全大 397 (1984.3)

(2) 研究会

川添,本田,久保田,加藤:"高速・高利得・高符号化率 1チップビタビ復号器―キーテクノロ ジーとパイロットチップの特性", 信学技報 SAT91-110 (1992.1)

川添,本田,久保田,加藤:"符号化率可変SST 型ビタビ復号器の検討", 信学技報 SAT91-(1991, 10)

加藤,守倉,久保田,榎本,野村:"DYANET2用TDMA装置—ISDN中継系·加入者 系統合衛星TDMA通信方式—", 信学技報 SAT91-7 (1991.6)

坂井,小林,久保田,守倉,加藤:"ダイバーシチ合成の軟判定ビタビ復号への適用", 信学技 報 SAT90-73 (1991.2) 土肥, 風間, 猪木, 久保田, 加藤: "LSI 化回線品質検出回路の構成と特性", 信学技報 SAT90 -75 (1991, 2) 関, 久保田, 守倉, 加藤:"第2世代汎用高速・高機能TDMA LSI- 畳み込み符号・プリアンブル 生成LSI-", 信学技報 SAT90-47 (1990.10) 本田, 久保田, 加藤:"衛星ディジタルビデオ通信用誤り訂正方式の検討", 信学技報 SAT90-1 5 (1990.9) 杉山,久保田,守倉,加藤:"狭帯域化ディジタル伝送方式の検討 -耐Co-channel干渉特性の一 改善法", 信学技報 SAT90-4 (1990.5) 加藤,守倉,久保田,榎本:"高機能ビジネスビデオ通信用TDMA方式", 信学技報 SAT89-56, (1990.1)本田, 久保田, 守倉, 加藤:"連接符号における誤り訂正能力の改善法", 信学技報 SAT89-38, (1989, 11)守倉,久保田,榎本,加藤:"たたみ込み符号・ビタビ復号法と多数決判定法によるブロック誤 り率特性の改善", 信学技報 SAT89-7 (1989.6) S.Kato, S.Kubota:"Viterbi decoding and its applications", 信学技報 IT88-74 (1988.12) 加藤,守倉,梅比良,榎本,久保田:"大規模通信装置のLSI化手法とインパクト", 信学技 報 SDM87- (1987.10) 石谷,永谷,久保田,加藤:"高能率ビタビ復号器VLSI (NUFEC)", 信学技報 SDM 87-101 (1987.10) 加藤,久保田,大谷,石谷,宮原:"ビタビ復号器のLSI化", 信学技報 IT87-18 (1987.5) 加藤,守倉,梅比良,榎本,久保田:"汎用化TDMA LSI -LSI 化TDMA装置の設計-",信学技報 SAT86-3 (1986.5) 加藤, 守倉, 梅比良, 榎本, 久保田:"汎用化TDMA LSI -ビタビ復号器・バースト合成・分離LS I-", 信学技報 SAT86-5 (1986.5) 石谷,丹生,宮原,久保田,加藤:"ビタビ復号器VLSI", 信学技報 SSD85-148 (1986.2) 坂井,久保田,加藤:"高利得FECを用いた狭帯域伝送方式の特性", 信学技報 CS85-90 (1985, 10)加藤,守倉,梅比良,榎本,久保田:"TDMA装置LSI化の検討", 信学技報 CS84-155

(1985.1)

加藤,守倉,梅比良,榎本,久保田,大谷:"広帯域衛星通信用TDMA装置の構成と特性", 信学技報 SAT84-46 (1984.12)

榎本,久保田,大谷,加藤: "TDMA装置LSI化の基礎検討―同期語検出回路,誤り訂正回 路のLSI化―", 信学技報 SAT84-36 (1984.9)

5. NTT(電電公社)機関誌の筆頭著者論文

久保田,加藤,石谷,永谷:"汎用・高速誤り訂正用ビタビ復号器VLSI-NUFEC-", NTT R&D, Vol. 38, No. 9, pp. 1041-1048 (1989)

6. NTT(電電公社)機関誌の共著論文

S.Kato, M.Morikura, S.Kubota, H.Kazama, K.Enomoto:"Satellite TDMA for DYANET II", NTT Review, Vol.4, No.6, pp.53-61 (1992.11)

守倉,久保田,榎本,関,加藤:" DYANET II TDMA装置", NTT R&D, VOL.41, No.4, pp.469-476 (1992)

S.Kato, M.Morikura, S.Kubota, K.Enomoto, M.Umehira: "TDMA equipment for DYANET", NTT Review, Vol.2, No.3, pp.47-54 (1990.5)

加藤,守倉,久保田,榎本,梅比良:"DYANET TDMA装置", NTT R&D, VOL.39, No. 2, pp.209-216 (1990)



15=1/2 K=7)





APPENDIX 2-1 拘束長7 の最適符号に対する SST復号

符号のアルファベットはGF(2)=(0,1)とし、演算は全てGF(2)上で行われるものとする。 本例の構成図を図2.13に示す。 まず、送信データ系列」を次のように表す。 $|=(|0, |_1, |_2, \cdots \cdots |_u, \cdots \cdots)$ (A2-1) ここで、 lu は時刻u の原データである。また、図2.7 に示すようなたたみ込み符号器の 生成多項式を G(1), G(2) としこれらを遅延演算し (delay operator) D で表すと、 $G(1) = 1 + D + D^2 + D3 + D^6$ (A2-2a) $G(2) = 1 + D^2 + D3 + D5 + D^6$ (A2-2b) となる。G(1), G(2)によって生成される送信たたみ込み符号系列をそれぞれ Tu(1), Tu(2) とすると、 Tu(1) = |u + |u-1 + |u-2 + |u-3 + |u-6(A2-3a) Tu(2) = |u| + |u-2| + |u-3| + |u-5| + |u-6|(A2-3b)

となる。

また、伝送路で Tu(1), Tu(2) に加わる誤り系列をそれぞれ E(1), E(2) 、時刻 u に おける E(1), E(2) をそれぞれ Eu(1), Eu(2) (誤りが発生した時 1、それ以外は 0) とする。受信たたみ込み符号系列を R(1), R(2) とし、時刻 uの R(1), R(2) をそれぞれ Ru(1), Ru(2) とすると、

Ru(1)	=	Tu(1)	+	Eu(1)	(A2-4a)
Ru(2)	=	Tu(2)	+	Eu(2)	(A2-4b)

となる。

受信側では、まず、 R(1), R(2) に対して簡易な復号器を用いて原データの推定を行う。 本例では R(1) と R(2) の排他的論理和を取ることにより推定原データ Qu を得ることが できる。時刻 u における推定原データを Qu とすると、

4 $Qu = \Sigma Ru - i(1) + Ru - 2(2) + Ru - 4(2) = Iu - 1 + E'u$ (A2-5)i = 0

ここで、E'uは、

4 $E'u = \Sigma Eu - i(1) + Eu - 2(2) + Eu - 4(2)$ (A2-6)i = 0 である。 この推定原データ Qu を生成多項式 G(1), G(2) を持つ再符号化用たたみ込み符号器の 入力とし再符号化を行う。この結果得られる再符号化たたみ込み符号系列を R'(1), R' (2)とし、また時刻 u における R'(1), R'(2) を R'u(1), R'u(2)とすると、 R'u(1) = Tu-1(1) + Te, u(1)(A2 - 7a)R'u(2) = Tu-1(2) + Te, u(2)(A2-7b) となる。ここで、 Te, u(1) = E'u(1) + E'u-1(1) + E'u-2(1) + E'u-3(1) + E'u-6(1) (A2-8a) Te, u(2) = E'u(2) + E'u-2(2) + E'u-3(2) + E'u-5(2) + E'u-6(2) (A2-8b) とする。 時刻 u に対応する再符号化たたみ込み符号 R'(1), R'(2) と遅延回路で1 を経てて 1 ビット遅延した受信たたみ込み符号 Ru-τ1(1), Ru-τ1(2)の排他的論理和をとり、そ の結果得られる推定誤り系列を P(1), P(2) 、時刻 uにおける P(1), P(2) をそれぞれ P u(1), Pu(2) とすると、 Pu(1) = Ru - 1(1) + R'u(1)= Tu-1(1) + Eu-1(1) + Tu-1(1) + Te,u(1) = Te, u(1) + Eu-1(1) (A2-9a)Pu(2) = Ru-1(2) + R'u(2)= Tu-1(2) + Eu-1(2) + Tu-1(2) + Te,u(2) = Te,u(2) + Eu-1(2) (A2-9b) となる。 Te,u(1), Te,u(2)からなる系列を Te(1), Te(2) とすると、 Te(1), Te(2) は、 E'u

なる系列を生成多項式 G(1), G(2) でたたみ込み符号化したものと等価であり、推定系列 P(1), P(2) はこれに伝送路誤り系列 E(1), E(2) が加わったものと考えることができる。 そこで P(1), P(2) を狭義のビタビ復号回路の入力とし伝送路誤り系列 E(1), E(2) に 対して誤り訂正を施し、仮に全ての誤りが訂正されるとすると、狭義のビタビ復号回路の 出力は P(1), P(2) の原データに相当する E' となる。

ここで用いる狭義のビタビ復号回路のスループット遅延をτとすると、時刻 u におけ る出力は Eu-τ(1) + Eu-τ(2) となる。これに対し遅延回路τ2 を経てτビット遅延し た推定原データ Qu-ては、

(A2-10) $Qu-\tau = lu-1-\tau + E'u-\tau$ となる。狭義のビタビ復号回路の出力 E'u- τと遅延回路τ2 の出力である推定原データ Qu-Tとの排他的論理和を取ると、

(A2-11) $Qu - \tau + E'u - \tau = |u - 1 - \tau|$ となり、原データ系列 | を復号出力として得ることができる。

ディジタル移動通信における例

誤り訂正の特徴

- (Vulnerable)なビットの保護
- MSBへのCRCチェックの適用





2 タイムスロットにまたがりインタリーブ

音声符号への誤り訂正 (JDC, [USDC])

■ 符号化率1/2又は9/17(JDC)のたたみ込み符号による誤りにセンシティブ

図 2 (8) タイムスロットにわたるインタリーブによるRagleighフェージングへの保護

APPENDIX 3-1

■ 約44%(JDC),約51%(USDC),30%(GSM)の音声符号はFECの保護なし

APPENDIX 3-2



(a) 符号化



(b) インタリーブ

音声符号への誤り訂正(GSM)

謝辞

本論文をまとめるにあたり御懇切なる御指導、御鞭撻を頂いた大阪大学工学部通信工学 科 森永規彦教授に謹んで感謝の意を表します。 また、同じく御指導、御鞭撻を頂いた大阪大学工学部電気工学科 小牧省三教授をはじ め、御審査、御教示頂いた大阪大学工学部通信工学科 長谷川晃教授、倉薗貞夫教授、前 田肇教授、池田博昌教授ならびに大阪大学産業科学研究所 北橋忠宏教授に厚く御礼申し 上げます。

本研究を進める上で種々の御指導を頂いたNTTワイヤレスシステム研究所 小檜山賢 二所長、鮫島秀一衛星通信研究部長、服部武パーソナル通信研究部長、栗田修無線方式研 究部長ならびに川崎支店森広芳照支店長(前研究開発本部部門長)に深く感謝します。 奈良先端科学技術大学院大学 山本平一教授にはNTT無線システム研究所長として在 所された折から多くの御指導を頂き深く感謝いたします。また、NATC無線通信事業部 森田浩三事業部長には、NTT無線研無線方式部長として在所された折から御指導頂き 深く感謝致します。

さらに衛星通信用変復調器、 TDMA 同期制御回路、誤り訂正技術に関して御助言を頂い たNTTワイヤレスシステム研究所 梅比良正弘担当課長、研究開発本部 守倉正博担当 課長、ワイヤレスシステム研究所 榎本清司主任研究員に深く感謝します。本研究はワイ ヤレスシステム研究所において衛星通信用 TDMA 装置・変復調方式・誤り訂正方式の研究 実用化を行ってこられた加藤修三グループリーダの御指導のもとで行ってきたもので、加 藤修三グループリーダには直接の上司として研究の途上で多くの御指導御助言を頂きまし た。ここに厚く御礼申し上げます。

