

Title	BiCMOS技術による低電圧メモリ回路構成法に関する研究
Author(s)	道関, 隆国
Citation	
Issue Date	
Text Version	ETD
URL	https://doi.org/10.11501/3106827
DOI	10.11501/3106827
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏 名	道 関 隆 国
博士の専攻分野の名称	博 士 (工 学)
学 位 記 番 号	第 1 2 0 7 0 号
学 位 授 与 年 月 日	平 成 7 年 8 月 8 日
学 位 授 与 の 要 件	学 位 規 則 第 4 条 第 2 項 該 当
学 位 論 文 名	BiCMOS技術による低電圧メモリ回路構成法に関する研究
論 文 審 査 委 員	(主査) 教 授 寺 田 浩 詔 教 授 白 川 功 教 授 藤 岡 弘

論 文 内 容 の 要 旨

本論文は、BiCMOS技術による低電圧メモリ回路構成法に関する研究をまとめたものであり、10章から構成されている。

第1章は序論であり、BiCMOSメモリの特徴および従来の研究経過を概説し、本研究の位置付け、目的、および課題を明確にしている。

第2章では、電源電圧の低電圧化に適したBiCMOS論理ゲートを提案し、その有用性と設計指針を与えている。

第3章では、前章で述べた論理ゲートを多段接続し、高負荷を高速に駆動するドライブ回路の最適設計法、およびその高速化手法を示している。

第4章では、低電圧メモリ構成法として、メモリセルを除く周辺回路をバイポーラ回路で構成し、更にはCMOSメモリセル部の低電位電源を昇圧するメモリ構成を提案するとともに、その特徴を明らかにしている。

第5章では、前章で述べたバイポーラ周辺回路の実現方法として、低電力化が可能なシリーズ・ゲート回路を主体とした回路構成法を示している。

第6章では、外部電源電圧の低電圧化に対応可能なバイポーラ周辺回路構成として、縦積みゲート段数の小さいシリーズ・ゲート回路を用いた回路構成法を提案している。

第7章では、低電圧CMOSメモリセルの設計法として、セルのノイズマージンに着目した設計法を明らかにしている。

第8章では、前章までの研究結果に基づいて設計試作した8Kビットと256KビットのBiCMOSメモリの性能評価を行い、本研究の有用性を示している。

第9章では、本研究を通じて明らかとなったBiCMOSメモリの今後の課題を整理するとともに、解決手法の一端を考察している。

第10章では、本研究で得られた結果を総括してまとめ、さらに将来の動向についても言及している。

論文審査の結果の要旨

本論文は、今後の微細BiCMOSデバイスに適用可能な低電圧メモリ回路構成を確立するために行った研究結果をまとめたものであり、その主な成果を要約すると次のとおりである。

- (1) 低電圧BiCMOSメモリ構成として、2つの手法を提案するとともに、各メモリ構成法を明らかにしている。第1の手法はBiCMOS論理ゲート主体のメモリ構成であり、第2の手法はECL回路主体のメモリ構成である。
- (2) BiCMOS論理ゲート主体のメモリ構成では、低電圧動作に適したBiCMOS論理ゲートを提案するとともに、その有用性および設計指針を明らかにしている。
- (3) ECL論理ゲート主体のメモリ構成では、高速動作に適したCMOSメモリセル部の低電圧化手法、および、ECL論理ゲートの低電力化手法を明らかにしている。
- (4) 提案した2つの低電圧メモリ構成により、実際にBiCMOSメモリを設計試作し、その有用性を実証している。

以上のように、本論文は今後の微細BiCMOSデバイスに適用可能な低電圧メモリ回路構成を確立し、実用的なBiCMOSメモリを実現したものであり、集積回路設計技術の分野に寄与するところ大である。よって、本論文は博士論文として価値あるものと認める。