



Title	BiCMOS技術による低電圧メモリ回路構成法に関する研究
Author(s)	道関, 隆国
Citation	大阪大学, 1995, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3106827
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

B i C M O S 技術による低電圧メモリ回路 構成法に関する研究

1 9 9 5 年度

道 関 隆 国

目 次

1. 序論

1.1 B i CMOS 技術の開発経緯	1
1.2 B i CMOS メモリ技術の開発経緯	4
1.3 B i CMOS 技術による低電圧メモリ回路の研究経緯と本研究の位置付け	6
1.4 本研究の目的および課題	10
1.5 本論文の構成	11

2. B i NMOS 論理ゲートによるメモリ構成法

2.1 まえがき	13
2.2 B i CMOS 論理ゲートを用いたメモリ構成	13
2.3 低電圧化によるB i CMOS 論理ゲートの問題点	15
2.4 B i NMOS インバータ構成法	22
2.4.1 B i NMOS インバータと遅延時間の電源電圧依存性	22
2.4.2 B i NMOS インバータ設計法	25
2.5 B i NMOS 論理ゲート構成法	28
2.6 まとめ	30

3. B i NMOS ドライバ回路構成法

3.1 まえがき	31
3.2 B i NMOS インバータを用いたドライバ回路構成法	31
3.3 フィードフォワード形B i NMOS ドライバ回路構成法	37
3.3.1 回路構成	37
3.3.2 遅延時間の負荷容量依存性	37
3.3.3 遅延時間の配線長依存性	40
3.4 試作および評価	47
3.5 まとめ	51

4. ECL-CMOSメモリ構成法

4.1 まえがき	52
4.2 ECL回路とメモリ構成	52
4.3 レベル変換方式の比較	55
4.3.1 遅延時間の比較	55
4.3.2 消費電流の比較	57
4.4 電源変換方式の比較	61
4.4.1 V_{SS} 昇圧方式と V_{DD} 降圧方式	61
4.4.2 BiCMOSデバイス構成	63
4.5 まとめ	68

5. バイポーラ周辺回路構成法

5.1 まえがき	69
5.2 選択回路の構成法	69
5.2.1 プリデコーダ回路の構成法	71
5.2.2 メインデコーダ回路の構成法	76
5.2.3 ワードドライバ回路の構成法	80
5.2.4 選択回路の性能比較	83
5.3 読出し回路の構成法	84
5.3.1 マルチプレクサ回路の構成法	85
5.3.2 センスアンプ／出力バッファ回路の構成法	88
5.3.3 読出し回路の性能比較	92
5.4 V_{SS} 発生回路の構成法	93
5.4.1 定電流源の構成法	93
5.4.2 V_{SS} 発生回路における電流源の構成法	95
5.5 まとめ	98

6. 低電圧バイポーラ周辺回路構成法

6.1 まえがき	99
6.2 バイポーラ分割ワード線構成法	99
6.3 デコーダ回路の構成法	101
6.3.1 プリデコーダ回路の構成法	101
6.3.2 メインデコーダ回路の構成法	105
6.3.3 セクション・デコーダ回路の構成法	109
6.4 バイポーラ分割ワード線構成を用いた選択回路の性能	113
6.5 まとめ	115

7. 低電圧CMOSメモリセル設計法

7.1 まえがき	116
7.2 ノイズマージン評価法	116
7.2.1 読出しマージン評価法	117
7.2.2 書込みマージン評価法	117
7.3 微細MOSFETを用いた低電圧メモリセルの設計法	120
7.3.1 移動度劣化の影響	120
7.3.2 寄生抵抗の影響	125
7.3.3 メモリセル設計法	131
7.4 ノイズマージンとメモリセルの遅延時間の関係	134
7.4.1 書込みマージンとビット線の臨界電圧の関係	135
7.4.2 書込みマージンと最小ライトパルス幅の関係	137
7.4.3 書込みマージンと最小ライトリカバリ時間の関係	140
7.5 まとめ	143

8. BiCMOSメモリの設計、試作

8.1 まえがき	144
8.2 低電圧メモリ構成の特徴	144
8.3 2ポート8Kbメモリの設計、試作	146
8.4 ECL10Kインタフェース256Kbメモリの設計、試作	152
8.5 ECL100Kインタフェース256Kbメモリの設計、試作	156
8.6 まとめ	161

9. BiCMOSメモリの今後の課題

9.1 まえがき	162
9.2 低電圧ECL回路技術	162
9.3 高精度回路シミュレーション技術	163
9.3.1 デバイスモデル	166
9.3.2 デバイスパラメータ評価法	167
9.3.3 配線遅延モデル	168
9.4 まとめ	170

10. 結論

謝辞	174
----	-----

参考文献	175
------	-----

本研究に関する発表文献	183
-------------	-----

第 1 章 序 論

1. 1 B i C M O S 技術の開発経緯

B i C M O S (B i p o l a r - C M O S) 技術は、バイポーラ・トランジスタと M O S F E T をシリコンの同一基板上に集積化するデバイス加工技術、および回路技術の総称である。B i C M O S 技術を用いた集積回路は、バイポーラ・トランジスタの持つ高速・高精度な性能と、M O S F E T の持つ高集積・低消費電力な性能を同時に実現できるため、論理回路、メモリ回路、およびアナログ回路等に広く適用されている。今や B i C M O S 技術は、通信システムや情報処理システムの発展を支える基盤技術になりつつある。

最初に B i C M O S 技術を用いて実現された集積回路は、1969年にLin 等によって発表されたドライバ回路である⁽¹⁾。数個のバイポーラ・トランジスタと M O S F E T で構成したドライバ回路をシリコンチップ上に作製し、その高速・低消費電力な特徴を実証した。しかしながら、当時はバイポーラ集積回路⁽²⁾⁽³⁾、および P M O S (p チャネル M O S F E T) 集積回路の時代⁽⁴⁾であり、C M O S 集積回路さえ、集積規模・経済性の点で実用には程遠い時代であった。このため、以後、10年程は B i C M O S 技術に関する報告はほとんどなく、B i C M O S 集積回路は特殊な用途に限られていた⁽⁵⁾。1980年代になると、M O S F E T の加工技術が進み、M O S F E T を用いた集積回路は P M O S から N M O S (n チャネル M O S F E T) 経て⁽⁶⁾、消費電力の点から C M O S へと移行していく⁽⁷⁾。1980年の中頃には、加工技術の進歩によって、C M O S 集積回路の速度性能はバイポーラ T T L 集積回路の速度性能をカバーできるまでになった。C M O S 集積回路の次の目標は、高速なバイポーラ E C L 集積回路の速度性能へと向かっていく。B i C M O S 技術が見直されるようになったのは、この頃である。

まず、B i C M O S デバイス加工技術として、1983年に縦型バイポーラ N P N トランジスタが、ゲート長1ミクロンの C M O S デバイス加工工程により実現できることが報告された⁽⁸⁾。バイポーラ・トランジスタのコレクタを N ウェルで、ベースを N M O S のしきい値電圧調整用のイオン注入で、さらには、エミッタを N M O S のソース・ドレインのイオン注入で形成することによって、遮断周波数 2 G H z のバイ

ポーラ・トランジスタの作製に成功している。その後、デバイス加工技術は、MOSFETの微細加工技術とともに、バイポーラ・トランジスタの高性能化をめざして、不純物濃度の低いNウェルの直下に高濃度の埋込み層を形成する加工技術⁽⁹⁾や、バイポーラ・トランジスタのエミッタ・ベースを独立に形成する加工技術⁽¹⁰⁾を、CMOS加工工程に追加しながら発展していった。最近のBiCMOSデバイス加工技術としては、ゲート長0.8ミクロンのMOSFETと、遮断周波数7GHzのバイポーラ・トランジスタが同一のシリコン基板上に実現されている⁽¹¹⁾。

BiCMOS回路技術としては、特に、ディジタル回路の分野で、MOSFETとバイポーラ・トランジスタを論理ゲート内に複合化した、BiCMOS論理ゲートが1982年に提案された⁽¹²⁾。BiCMOS論理ゲートは、図1-1に示すように、CMOS論理回路に出力負荷を駆動するためのバイポーラ・トランジスタを付加した回路であり、論理機能とドライバ機能を1ゲート内に複合化している。特に、トータンポール形に接続されたバイポーラ・トランジスタにより、出力の立上がり、立下がりを加速し、CMOS回路でバイポーラ・トランジスタに定常電流が流れないように制御している。このため、BiCMOS論理ゲートは、高負荷駆動に対して、CMOS並の低消費電力で高速性能が実現できる。1984年には、MOSFETのゲート長が2ミクロンのBiCMOSデバイス加工技術により、基本ゲート遅延710psのBiCMOS論理ゲート、およびゲート規模1.5KゲートのALUが発表され⁽¹⁰⁾、BiCMOS技術の有用性が実証された。その後、BiCMOS技術は、デバイス加工技術、回路技術が急激に進歩し、最近では、ゲート長が0.8ミクロンのデバイス加工技術を用いて、基本ゲート遅延400ps、ゲート規模200Kのゲートアレイが報告されるに至っている⁽¹¹⁾。

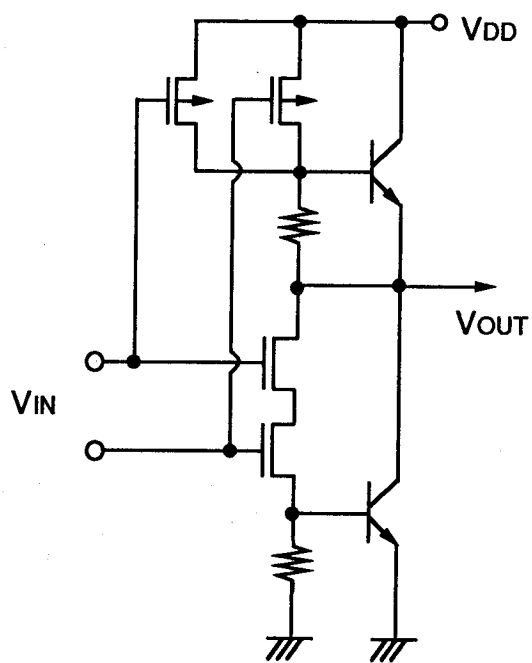


図1-1 BiCMOS論理ゲート

1. 2 BiCMOSメモリ技術の開発経緯

BiCMOS技術を用いて最初に実現されたメモリは、1982年にHudson等によって報告されたメモリ規模4Kのスタティック・メモリである⁽¹³⁾。メモリ内部の速度性能が、CMOS技術の進歩により向上し、入力インタフェースを従来のTTLインタフェースからECLインタフェースに変更する必要性から、特に、出力インタフェース部にバイポーラ・トランジスタが用いられた。1984年には、ゲート長1ミクロンのCMOS加工技術で作製したバイポーラ・トランジスタ⁽⁸⁾をセンスアンプに適用し、アンプの利得を大きくしてセンスアンプの速度性能を改善することで、メモリ全体の速度性能が改善されることが報告された⁽¹⁴⁾。1984年に論理回路の分野でBiCMOS論理ゲートの有用性が報告されると⁽¹⁰⁾、BiCMOS技術がメモリ内部にも浸透していくことになる。1986年には荻上らによって、BiCMOS論理ゲートを用いた本格的なBiCMOSメモリが報告されている⁽¹⁵⁾。ゲート長2ミクロンのBiCMOSデバイス加工技術を用いて試作したメモリ規模64Kのスタティック・メモリのアクセス時間は13nsであり、その報告はCMOSメモリの消費電力を維持しつつ、アクセス時間を半分以上削減できるという点で画期的なものであった。以後、メモリ分野においても、BiCMOS技術が盛んに研究されるようになる。

1986年以降のBiCMOSメモリの開発経緯を図1-2に示す。縦軸にメモリのアクセス時間を、横軸にデバイス加工技術としてゲート長のパタンルールを、また、年次経緯を実線で示してある。図1-2より、CMOSメモリ技術とBiCMOSメモリ技術の関係は、先行して開発が行われるCMOSメモリ技術に対して、BiCMOS技術は、CMOS技術の1世代前の加工技術を用い、CMOSメモリの速度性能を半分以上改善しながら、開発が進められている。最近では、ゲート長が0.8ミクロンのBiCMOS加工技術を用いて、アクセス時間5ns、メモリ規模1Mのスタティックメモリが報告されるようになった⁽¹⁶⁾。

BiCMOS技術の今後の動向としては、さらに、デバイス加工技術が進むと、CMOSメモリ技術同様、MOSFETの耐圧の関係から、電源電圧を従来の5Vから3.3Vに低下せざるをえない状況になっている。

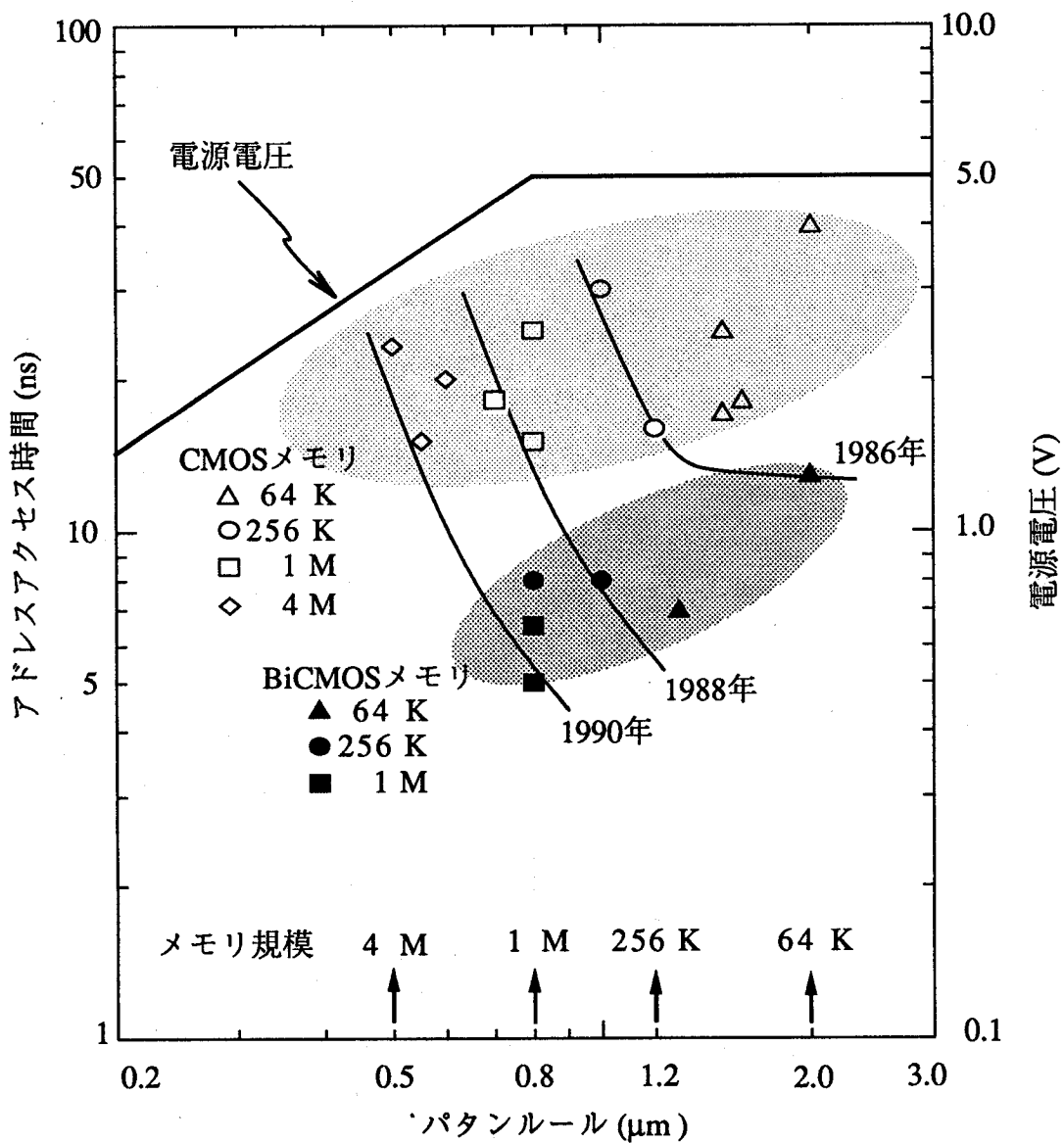


図1-2 BiCMOSメモリの開発経緯

1. 3 BiCMOS技術による低電圧メモリ回路の研究経緯と本研究の位置づけ

低電圧BiCMOS回路に関する最初の報告は、1987年の著者らの報告に始まる⁽¹⁷⁾。1990年代に直面する電源電圧の低下を予測して、メモリの周辺回路を構成する従来のBiCMOS論理ゲートの電源電圧を低下させた場合、致命的な問題点が生じることを指摘した。特に、低電圧化とともに、出力の立下り時の論理ゲートの遅延時間がCMOS論理ゲートに比べて大きくなり、BiCMOS回路の特徴が失われることを示した。この理由は、電源電圧に比例してスケールされないバイポーラ・トランジスタのビルトイン電圧（約0.8V）が、バイポーラ・トランジスタを駆動するNMOSの動作を妨げるためである。この解決策として、出力の立下り駆動にNMOSを用い、出力の立上りの加速にのみバイポーラ・トランジスタを用いるBiNMOSインバータ回路を提案し⁽¹⁷⁾（図1-3参照）、低電源電圧での有用性を示した。また、駆動バイポーラ・トランジスタと並列にPMOSを接続して、出力を電源電圧レベルまでフルスウィング動作させる回路構成が、次段回路のリーク電流、および動作マージンを補償する上で、必須となることを主張した。

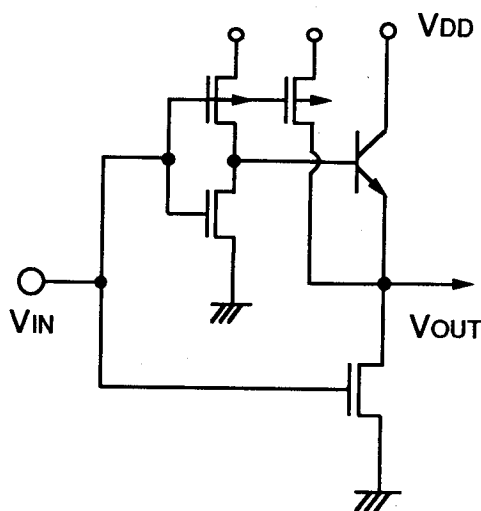


図1-3 BiNMOSインバータ回路

低電圧メモリ回路技術に関するもう1つのアプローチとして、メモリの各要素回路をバイポーラ電流切り換え回路とCMOS回路に分離し、耐圧低下に起因するCMOS回路の印加電圧を低下させる手法がある。CMOS回路の印加電圧を低電圧化したメモリ構成として、1987年に著者らは、メモリの周辺回路をバイポーラECL回路で構成し、メモリセル部をCMOS回路で構成し、セルの低電位電源を昇圧させるECL-CMOSメモリ構成を提案した⁽¹⁸⁾ (図1-4参照)。特に、メモリの周辺回路にバイポーラECL回路を用いれば、入力信号を小振幅のままメモリセルの直前まで伝送できるため高速動作が可能となること、セルの低電位電源を昇圧することにより、ECLレベルからCMOSレベルへのレベル変換が高速かつ安定化されることを主張した。

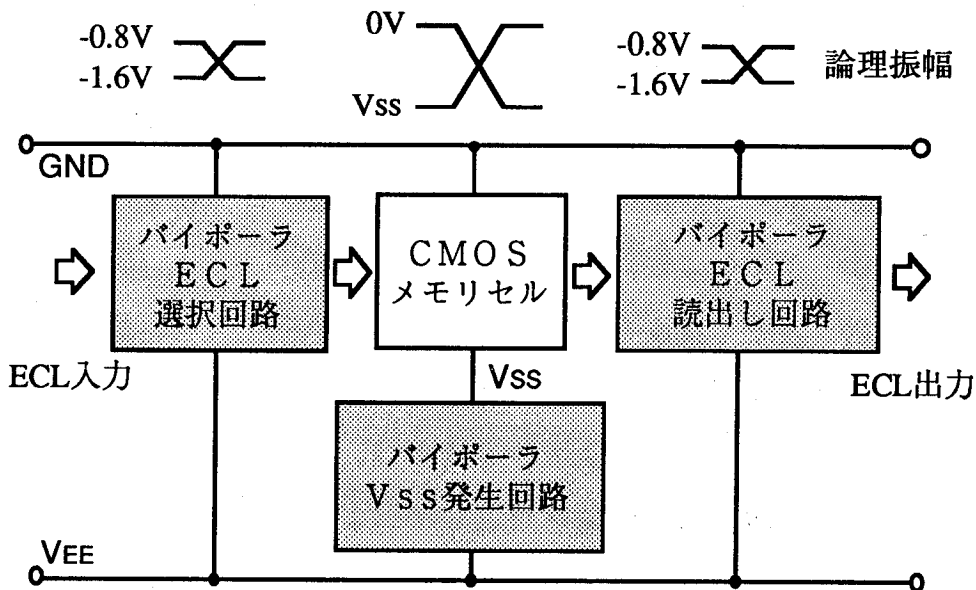


図1-4 ECL-CMOSメモリ構成

以後、低電圧メモリ回路技術は、著者等の提案どおり、周辺回路にBiNMOS論理ゲートを用いるメモリ構成と、ECL-CMOSメモリ構成の2通りの回路技術で発展していく。

BiNMOS論理ゲートを用いたメモリ構成としては、まず、1989年から1990年にかけてBiNMOS回路が低電圧動作に対して有用であることが実証された⁽²¹⁾⁽²³⁾⁽²⁴⁾⁽²⁶⁾。また、1991年には、PMOSのドレインとバイポーラ・トラ

ンジスタのベースを共有することにより、各トランジスタの寄生容量を削減した融合形BiCMOSデバイス加工技術も提案されている⁽²⁷⁾。尚、低電圧論理ゲートとして、PNPバイポーラ・トランジスタも用いるCBiCMOS (Complementary BiCMOS) 回路⁽²²⁾や、PMOSとNPNバイポーラ・トランジスタで等価的にPNPトランジスタを実現する擬似CBiCMOS回路^{(29) (30)}も提案されているが、前者は加工工程の複雑化・経済性の点で、また、後者は占有面積が大きくなる点で、まだ実用化に至っていない。BINMOS回路をメモリに適用した例としては、1991年にメモリと論理回路を混載する大規模集積回路用のメモリマクロとして、アクセス2.7ns、メモリ規模16Kのスタティック・メモリ⁽²⁸⁾や、アクセス1.9ns、メモリ規模2Kの連想メモリ⁽³¹⁾が実現され、その有効性が示された。また、アクセス9.8ns、メモリ規模256Kのスタティック・メモリ⁽²⁸⁾を実現して、同一のCMOSメモリに比べて、高速化が図れることを実証している。1992年には、アクセス9ns、メモリ規模4Mのスタティック・メモリ⁽³⁴⁾、アクセス5ns、メモリ規模32Kバイトのキャッシュ・メモリマクロ⁽³⁵⁾、およびアクセス12ns、メモリ規模4Mのダイナミック・メモリ⁽³⁴⁾等が実現され、BINMOSメモリ構成が広く適用されるようになった。

ECL-CMOSメモリ構成としては、まず、バイポーラ周辺回路構成を用いたメモリが実現されその有効性が示された^{(19) (20)}。1990年に、著者らが、ECL-CMOSメモリ構成による大規模メモリを試作し、その有用性を実証した⁽²⁵⁾。その後、ECL-CMOS構成の超高速応用として、1991年にアクセス1.5ns、メモリ規模64Kのスタティック・メモリ⁽³³⁾が、1992年には、ECL-CMOS構成の大規模応用として、アクセス6ns、メモリ規模4Mのスタティック・メモリ⁽³⁷⁾が実現されるに至っている。また、1992年に、著者らは、外部電源電圧の低電圧化にも対応可能な低電圧ECL-CMOS構成を提案し、その有用性を実証した。本技術も近い将来、応用され発展していく基本技術になりつつある。

低電圧メモリ回路の研究経緯と本研究の位置づけを表1-1にまとめる。本研究が低電圧BiCMOSメモリ回路技術の発展に貢献したことが大であることがわかる。

表1-1 BiCMOS技術による低電圧メモリ回路の研究経緯と本研究の位置付け

* 本研究

報告年次	低電圧論理ゲート	BiNMOS論理ゲート によるメモリ構成	ECL-CMOS メモリ構成	報告者 (機関) 文献
1987	フルスイング動作の BiNMOS回路の提案		ECL-CMOSメモリ構 成およびバイポーラ周辺回 路構成法の提案	道関他 (NTT)* [17] 道関他 (NTT)* [18]
1988			バイポーラ周辺回路構成 の有用性を実証 アクセス4ns, 4K SRAM	Yang他 (スタン フォード大)[19]
1989			バイポーラ周辺回路構成 の有用性を実証 アクセス3.5ns, 16K SRAM	鈴木他 (日立) [20] Gamal他 (スタン フォード大)[21]
	BiNMOS回路の有用性を ゲートアレイで実証			Shin他 (IBM) [22]
	CBiCMOS回路の提案			渡部他 (日立) [23]
	CBiCMOS, BiNMO S回路の特性比較			藤島他 (東大) [24]
1990	フルスイングBiNMOS 回路の有用性を解析で実証		ECL-CMOSメモリ 構成の実証 アクセス5ns, 256K SRAM	道関他 (NTT)* [25]
	フィードフォワード型 BiNMOS回路の提案			武藤他 (NTT)* [26]
1991	融合形BiCMOS回路の 提案	BiNMOSメモリマクロ アクセス2.7ns, 16K SRAM		Raje他 (スタンフ ォード大)[27] 原他 (東芝) [28]
	疑似CBiCMOS回路の 提案および実証			矢野他 (日立) [29], [30]
		BiNMOSメモリマクロ アクセス1.9ns, 2K CAM		永松他 (東芝) [31]
		BiNMOSメモリ アクセス9.8ns, 256K SRAM		Young他 (Intel) [32]
			ECL-CMOSメモリ 構成の超高速化応用 アクセス1.5ns, 64K SRAM	南部他 (日立) [33]
1992		BiNMOSメモリ アクセス9ns, 4M SRAM		加藤他 (東芝) [34]
		BiNMOSメモリマクロ アクセス5ns, 32KB キャッシュ		原他 (東芝) [35]
			ECL-CMOSメモリ 構成の大規模応用 アクセス6ns, 4M SRAM	中村他 (NEC) [36]
		BiNMOSメモリ アクセス12ns, 4M DRAM		横山他 (日立) [37]
			低電圧バイポーラ周辺回路 構成法の提案、および実証 アクセス5.5ns, 256K SRAM	道関他 (NTT)* [38]

1. 4 本研究の目的および課題

本研究は、BiCMOS技術を用いたメモリ回路構成手法として、電源電圧が低下しても高速化が可能な低電圧メモリ回路を構築することを主題とする。特に、メモリ構成として、周辺回路に(1)低電圧BiCMOS論理ゲートを用いるメモリ構成、(2)バイポーラ電流切り換え回路を用いるメモリ構成を対象にその構成法を明確化する。

(1)では、出力の立下りをNMOSで駆動し、出力の立上がり駆動にのみにバイポーラ・トランジスタを用いるBiNMOS論理ゲートを主体に、その設計手法を明確にする。(2)では、CMOSメモリセル部の低電位電源を昇圧して、メモリセルの印加電圧を低電圧化したECL-CMOSメモリ構成を主体に、その構成手法を明確にする。

研究を進めるにあたり、実用性を考慮して、以下の点を課題として検討を進めるととした。

(i) 高速化

バイポーラECLメモリ並の速度性能を持つメモリ構成(アクセス5ns以下)

(ii) 低消費電力化

CMOSメモリ並の消費電力を持つメモリ構成(消費電力1W以下)

(iii) 大規模化

メモリ規模が1Mb以上の大規模メモリにも適用可能なメモリ構成

(iv) 高動作マージン

低電圧化により劣化する動作マージンに対して、一定の動作マージンが確保できるメモリ構成。

(v) 経済性

経済性の点から、MOSFETとNPNトランジスタのみを用いたメモリ構成。

1. 5 本論文の構成

本論文構成を図1-5に示す。低電圧メモリ構成として、2章、3章でBiNMOS論理ゲートを用いたメモリ構成法を、4章から7章でECL-CMOSメモリ構成法を述べる。8章は7章までに述べたメモリ構成法を用いて設計した低電圧メモリの設計例を述べ、その有効性を実証する。

各章は以下のように構成されている。

第2章では、BiCMOSメモリを構成する従来のBiCMOS論理ゲートを低電圧化した場合の問題点を明確にするとともに、低電圧BiNMOS論理ゲートの有用性を明確にする。

第3章では、BiNMOSインバータを多段接続して高負荷を高速に駆動するBiNMOSドライバ回路の構成法を明確にする。特に、駆動バイポーラ・トランジスタを前々段のインバータで制御するフィードフォワード形BiNMOSドライバ回路の構成法を明確にする。

第4章では、周辺回路をバイポーラECL回路で構成し、CMOSメモリセル部の低電位電源を昇圧して、CMOS回路の印加電圧を低電圧化したECL-CMOSメモリ構成の特徴を明確にする。

第5章では、ECL-CMOSメモリ構成によるバイポーラ周辺回路の構成法を明確にする。特に、大規模メモリに適用可能な周辺回路構成法として、非選択のトランジスタには電流を流さない低消費電力な選択回路の構成法、および多段マルチプレクシング方式による高速読出し回路の構成法を確立する。また、CMOSメモリセル部に安定な電源を供給するための電流源の構成法を確立する。

第6章では、ECL-CMOSメモリ構成において、外部電源電圧が低下しても高速動作可能なバイポーラ周辺回路構成として、縦積み段数の小さいシリーズ・ゲート回路が適用可能なバイポーラ分割ワード線の構成法を確立する。

第7章では、低電圧CMOSメモリセルの設計手法を明確化する。電源電圧の低下とともに減少する動作マージンを確保するために、セルの動作マージンを定量的に評価する作図法を提案するとともに、作図法を用いたセル設計法を確立する。

第8章では、BiNMOS論理ゲートによるメモリ構成で設計・試作した、メモリ規模8Kbの2ポートメモリ、およびECL-CMOSメモリ構成で設計・試作した、

メモリ規模256KbのECLインタフェースメモリの評価を通して、低電圧メモリ構成法の有用性を実証する。

第9章では、BiCMOS技術による低電圧メモリ構成の今後の課題を述べる。

第10章では、本研究で得られた結果を要約する。

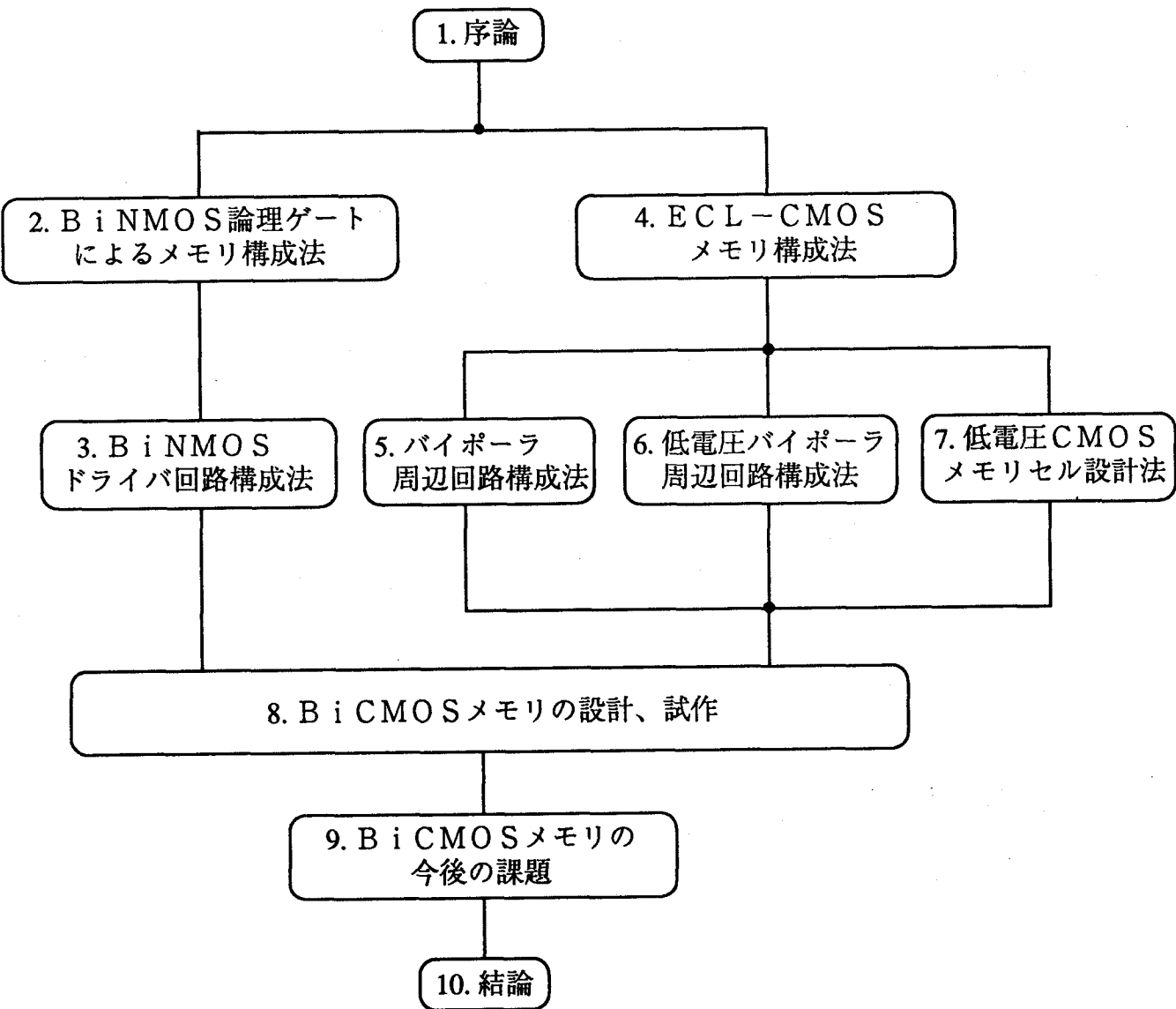


図1-5 論文構成

第 2 章 B i N M O S 論理ゲートによる メモリ構成法

2. 1 まえがき

汎用メモリの性能を追求していく場合、まず第 1 に、デバイス加工技術におけるデバイス・サイズのスケーリング⁽³⁹⁾が必須である。B i C M O S メモリも、B i C M O S 論理ゲートの提案以来、スケーリングがメモリの性能向上を支えてきた。今後、さらにスケーリングが進むと、現在、先行して研究が進められている C M O S メモリ同様、B i C M O S メモリも M O S F E T の耐圧低下により、電源電圧を従来の 5 V から、3.3 V に、あるいは、それ以下に低下させることが必須となる。B i C M O S メモリの性能は、メモリの周辺回路を構成する B i C M O S 論理ゲートの速度性能に大きく依存しているため、メモリ性能をさらに向上させるためには、電源電圧が低下しても高速性能が維持できる B i C M O S 論理ゲートが必須となる。

本章では、まず、2 節で従来の B i C M O S 論理ゲートを用いたメモリ構成を述べ、3 節で論理ゲートの電源電圧を低電圧化した場合の問題点を明確化する。特に、従来の論理ゲートでは、低電圧化に伴い出力の立下り時の遅延時間が急激に増加すること、および遅延時間の増大が、電源電圧とともにスケーリングされないバイポーラ・トランジスタのビルトイン電圧に起因していることを示す。次に 4 節では、ビルトイン電圧の影響が小さい低電圧 B i C M O S 論理ゲートとして、出力の立下りの駆動に n M O S F E T を用い、出力の立上り駆動にのみバイポーラ・トランジスタを用いた B i N M O S インバータを提案するとともに、B i N M O S インバータの有用性、および設計法を示す。最後に、5 節では B i N M O S インバータを論理ゲートに展開した B i N M O S 論理ゲートの構成法を述べる。

2. 2 B i C M O S 論理ゲートを用いたメモリ構成

B i C M O S 論理ゲートを用いた従来のメモリ構成を図 2-1 に示す。メモリは一般に、メモリセルの番地選択を行う選択回路と、セルの情報を外部に出力する読出し回路で構成される。E C L インタフェイスのメモリ構成⁽¹⁵⁾では、選択回路において、

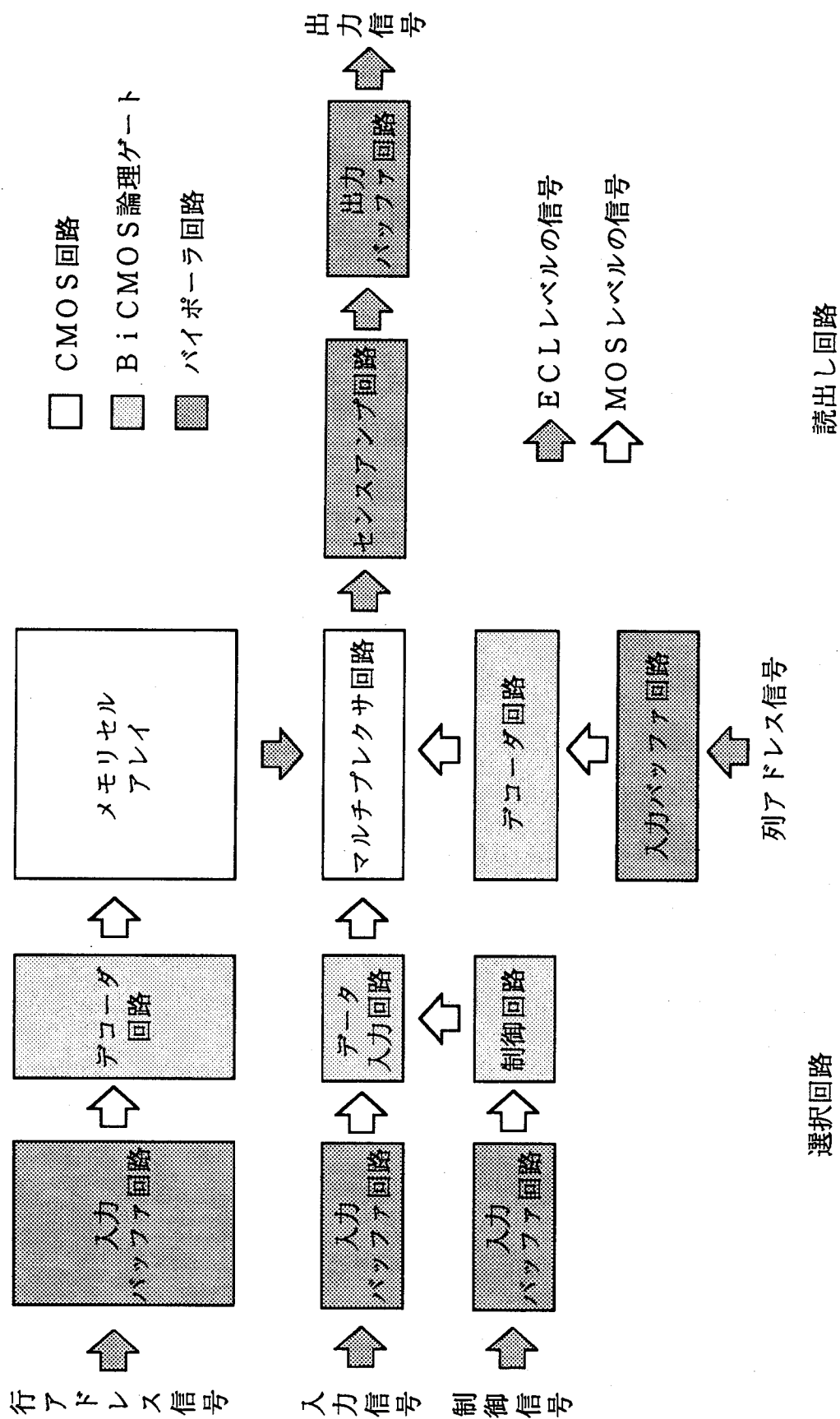


図2-1 BiCMOS論理ゲートを用いたECLインタフェイスメモリ構成

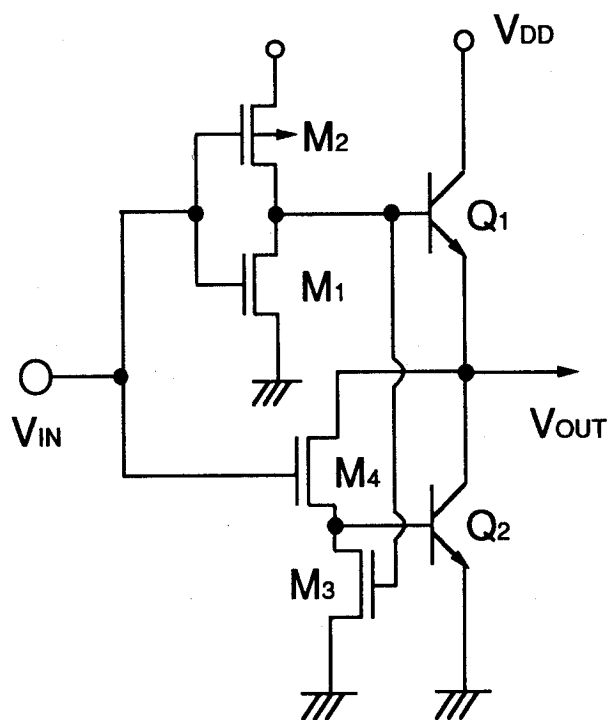
ECLレベルの信号（高レベル： -0.8 V 、低レベル： -1.6 V ）をMOSレベルの信号（高レベル： 0 V 、低レベル： -5.2 V ）にレベル変換した後、MOSレベルの信号でデコードすることにより、低消費電力でかつ高速なセルの番地選択を行っている。また、読出し回路では、セルの読出し情報を小振幅信号のまま外部に出力することによって、高速動作を実現している。特に、選択回路の入力バッファ回路にバイポーラ電流切り換え回路を用いることによって高速なレベル変換動作を、また、出力負荷の大きいデコード回路にBiCMOS論理ゲートを用いることによって、従来のCMOS回路並の低消費電力で高速なデコード動作を実現している。また、読出し回路のセンスアンプ、および出力バッファ回路にバイポーラ電流切り換え回路を用いることによって、バイポーラECLメモリ並の高速動作を実現している。

従来のメモリ構成において、電源電圧を従来の -5.2 V から -3 V 程度まで低電圧化した場合、読出し回路はバイポーラ電流切り換え回路の定電流特性が維持されるため従来の高速動作が可能となる。このため、電源電圧を低下した場合には、選択回路を構成するBiCMOS論理ゲートの遅延時間が問題となる。

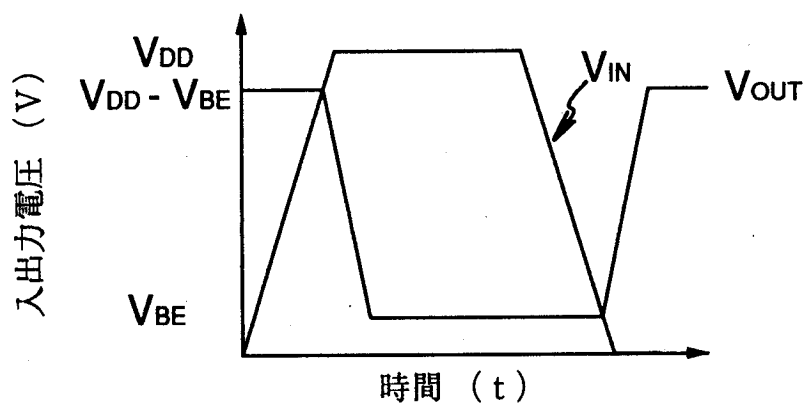
以下では、BiCMOS論理ゲートを低電圧化した場合の問題点を明確にする。

2. 3 低電圧化によるBiCMOS論理ゲートの問題点

BiCMOS論理ゲートとして典型的なBiCMOSインバータ⁽¹⁵⁾を図2-2(a)に示す。BiCMOSインバータは、pMOSFET (M_2)により、バイポーラ・トランジスタ Q_1 を駆動することにより出力の立上りを、また、nMOSFET (M_4)により、バイポーラ・トランジスタ Q_2 を駆動することによって出力の立下りを加速する回路である。また、nMOSFET (M_1)、およびnMOSFET (M_3)は、スイッチングの際に、各バイポーラ・トランジスタのベースに蓄えられた過剰電荷を引き抜く補償トランジスタであり、特に、非動作時には、BiCMOSインバータに直流電流が流れないように各MOSFETのゲートを制御している。BiCMOSインバータの出力振幅は、図2-2(b)に示すように、トータンプール接続されたバイポーラ・トランジスタで出力するため、電源電圧よりもバイポーラ・トランジスタのビルトイン電圧2段分 ($2V_{BE}$) だけ減少するが、BiCMOSインバータは、バイポーラ・トランジスタの持つ高速性能と、CMOS回路の持つ低消費電力性能を



(a) BiCMOSインバータ回路



(b) 入出力波形

図2-2 BiCMOSインバータ構成

同時に実現できるという特徴がある。

0.8 μm BiCMOS デバイス⁽³⁸⁾を前提として、回路シミュレーションにより BiCMOS インバータの遅延特性を求めた結果を図2-3に示す。比較のために同一面積のCMOS インバータの性能も示した。図2-3 (a) は、5 V 電源での遅延時間の負荷容量依存性を示したものであり、負荷容量が大きくなる程、BiCMOS インバータはCMOS インバータに比べて高速性能を発揮できることがわかる。特に、負荷容量が1 pF の場合には、BiCMOS インバータはCMOS インバータに比べて遅延時間を約20%以上削減できる。図2-3 (b) は、BiCMOS インバータの遅延時間の電源電圧依存性を示したものである。電源電圧の低下とともに駆動電流が低下するため、各インバータとも遅延時間は増加するが、BiCMOS インバータの遅延時間は、電源電圧が3.5 V から急激に上昇し始め、電源電圧が2.5 V ではCMOS インバータの遅延時間よりも大きくなる。

低電圧化に伴いBiCMOS インバータ遅延が急激に増加する理由を以下の解析により求める。なお、解析は出力の立上り時の場合と立下り時の場合に分けて行う。

(i) 立上り時

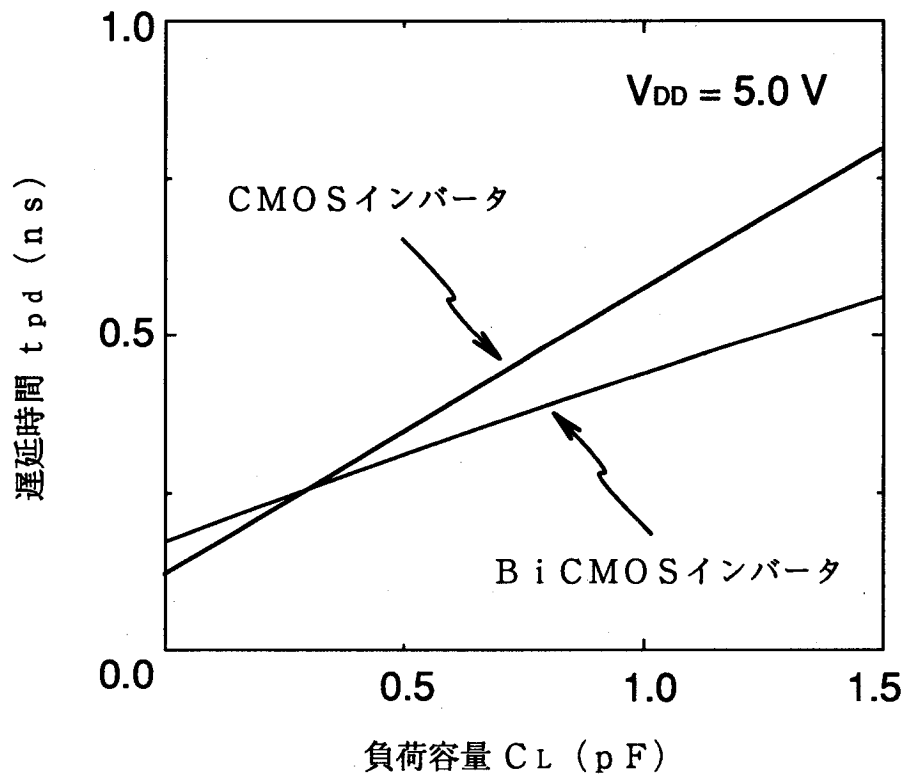
出力の立上り時の等価回路を図2-4 (a) に示す。pMOSFET (M_2) でバイポーラ・トランジスタ Q_1 を、バイポーラ・トランジスタ Q_1 で負荷容量 C_L を駆動する回路で近似できる。BiCMOS インバータの入力電圧 V_{IN} は、図2-2 (b) に示すように、前段の出力が低電位電源レベルよりも V_{BE} だけ上昇しているため、 $V_{IN} = V_{BE}$ と近似できる。バイポーラ・トランジスタのベースまわりの容量を無視すれば、負荷容量 C_L を駆動するためのBiCMOS インバータの遅延時間 $t_{pdH}(\text{BiC})$ は、pMOSFET の駆動電流 I_P 、バイポーラ・トランジスタの順方向ベース走行時間 τ_i を用いて、次式で近似できる^{(24) (40)}。

$$t_{pdH}(\text{BiC}) = \left(\frac{\tau_i C_L V_{DD}}{I_P} \right)^{1/2} \quad (2-1)$$

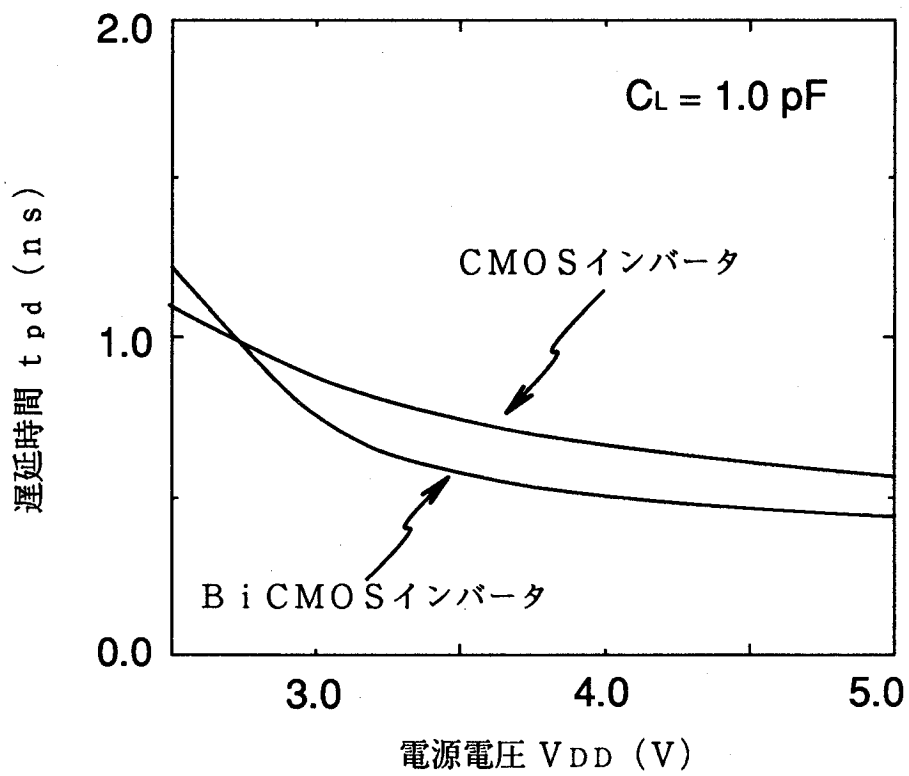
また、pMOSFET の駆動電流 I_P は、電源電圧が5 V の場合の飽和電流 I_{P0} を用いて、次式で近似できる⁽⁴¹⁾。

$$I_P = I_{P0} \left(\frac{V_{DD} - V_{IN} - |V_{THP}|}{5 - |V_{THP}|} \right)^{\alpha_P} \quad (2-2)$$

(2-2) 式は、ゲート長がサブミクロン以下のMOSFETに対応可能な電流式

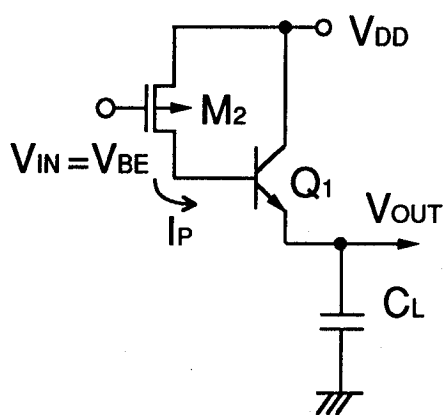


(a) 遅延時間の負荷容量依存性

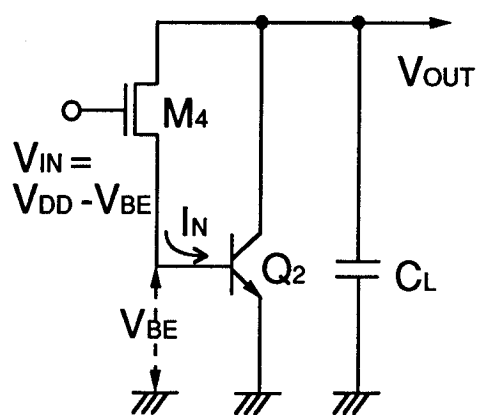


(b) 遅延時間の電源電圧依存性

図 2-3 BiCMOS インバータ遅延特性



(a) 立上り時



(b) 立下り時

図2-4 BiCMOSインバータの等価回路

であり、 α_P は MOSFET の飽和電流のゲート電圧依存性を示す係数である。 α_P は、ゲート長が数 μm 以上の長チャネル MOSFET に対して、 $\alpha_P = 2$ に漸近する係数であり、 $\alpha_P = 2$ の場合の電流式は、古典的な *shockley* モデルに一致する。また、ゲート長がハーフミクロン以下の短チャネル MOSFET に対して、 α_P はキャリアの速度飽和により、 $\alpha_P = 1$ に漸近していく係数である。また、 V_{THP} は、pMOSFET のしきい値電圧である。(2-1) 式、および (2-2) 式より、出力の立上り時の遅延時間 t_{pdH} (BiC) は、次式で近似できる。

$$t_{pdH}(\text{BiC}) = \left(\frac{\tau_i C_L V_{DD}}{I_{P0}} \right)^{1/2} \left(\left(\frac{V_{DD} - V_{BE} - |V_{THP}|}{5 - |V_{THP}|} \right)^{-\alpha_P} \right)^{1/2} \quad (2-3)$$

(ii) 立下り時

出力の立下り時の等価回路を図 2-4 (b) に示す。nMOSFET (M_4) でバイポーラ・トランジスタ Q_2 を、バイポーラ・トランジスタ Q_2 で負荷容量 C_L を駆動する回路で近似できる。BiCMOS インバータの入力電圧 V_{IN} は、図 2-2 (b) に示すように、前段の出力が V_{DD} レベルからバイポーラ・トランジスタのビルトイン電圧 V_{BE} だけ減少しているため、 $V_{IN} = V_{DD} - V_{BE}$ と近似できる。また、立下り時には、nMOSFET (M_4) のソース電位がバイポーラ・トランジスタのビルトイン電圧だけ上昇するため、nMOSFET のゲート・ソース間電圧は、 $V_{GS} = V_{IN} - V_{BE}$ となる。バイポーラ・トランジスタのベースまわりの容量を無視すれば、負荷容量 C_L を駆動するための BiCMOS インバータ遅延 t_{pdL} (BiC) は、立上り時と同様、nMOSFET の駆動電流 I_N を用いて、次式で近似できる。

$$t_{pdL}(\text{BiC}) = \left(\frac{\tau_i C_L V_{DD}}{I_N} \right)^{1/2} \quad (2-4)$$

また、nMOSFET の駆動電流 I_N は、電源電圧が 5 V の場合の飽和電流 I_{N0} を用いて用いて、次式で与えられる。

$$I_N = I_{N0} \left(\frac{V_{IN} - V_{BE} - V_{THN}}{5 - V_{THN}} \right)^{\alpha_N} \quad (2-5)$$

ここで、 α_N は nMOSFET の飽和電流のゲート電圧依存性を示す係数である。また、 V_{THN} は、nMOSFET のしきい値電圧である。(2-4)、(2-5) 式より、出力の立下り時の遅延時間 t_{pdL} (BiC) は、次式で近似できる。

$$t_{pdL}(\text{BiC}) = \left(\frac{\tau_i C_L V_{DD}}{I_{NO}} \right)^{1/2} \left(\left(\frac{V_{DD} - 2V_{BE} - V_{THN}}{5 - V_{THN}} \right)^{-\alpha_N} \right)^{1/2} \quad (2-6)$$

(2-3) 式、(2-6) 式を $0.8 \mu\text{m BiCMOS}$ デバイスに適用して、各遅延時間の電源電圧依存性を求めた結果を図 2-5 に示す。図 2-5 では、各遅延時間は、電源電圧が 5 V の場合の遅延時間で規格化してある。解析に用いたトランジスタ定数は、しきい値電圧、バイポーラ・トランジスタのビルトイン電圧、および、飽和電流のゲート電圧依存係数として、それぞれ、 $V_{THN} = |V_{THP}| = V_{TH} = 0.8 \text{ V}$ 、 $V_{BE} = 0.8 \text{ V}$ 、 $\alpha_N = \alpha_P = \alpha = 1.4$ を用いている。図 2-5 より、電源電圧が低下すると、出力の立下り時の遅延時間が、立上り時の遅延時間に比べて大きくなることからわかる。これは、(2-3) 式と (2-6) 式に示すように、出力の立上り時の遅延式と立下り時の遅延式にバイポーラ・トランジスタのビルトイン電圧分の差が生じたためである。出力の立下り時には、 nMOSFET (M_4) が、ソース電位をビルトイン電圧だけ充電してからバイポーラ・トランジスタを駆動する回路構成であるため、ビルトイン電圧分だけ遅延時間が増大する。特に、バイポーラ・トランジスタのビルトイン電圧はスケールリングされないため、遅延時間の増分は電源電圧の低下とともに顕著となる。

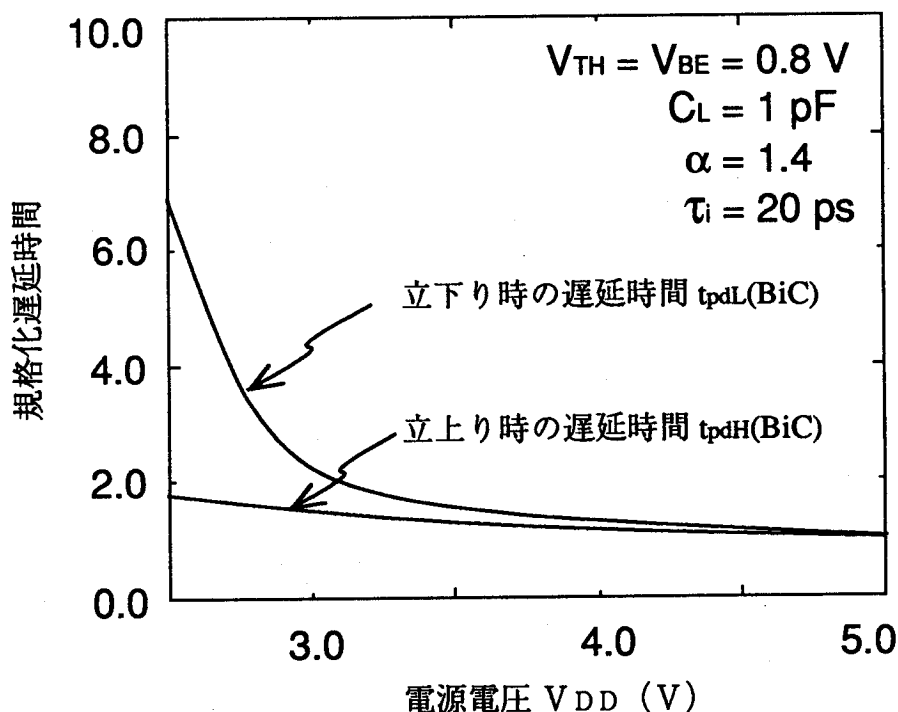


図 2-5 BiCMOS インバータの遅延時間の電源電圧依存性

2. 4 BiNMOSインバータ構成法

2.4.1 BiNMOSインバータと遅延時間の電源電圧依存性

低電圧BiCMOS論理ゲートとして、出力の立下りをnMOSFETで駆動するBiNMOSインバータを提案した⁽¹⁷⁾。BiNMOSインバータを図2-6(a)に示す。出力の立下りをnMOSFET(M₅)で、出力の立上りをバイポーラ・トランジスタQ₁で駆動することによって低電圧でも高速動作が可能になるようにした。また、低電圧化にともない問題となる、次段回路の①遅延時間の増大、②動作マージンの低下、および③リーク電流の増大等を防止するため、バイポーラ・トランジスタQ₁と並列にpMOSFET(M₆)を接続して、出力が図2-6(b)に示すように電源電圧までフル振幅動作するようにした。

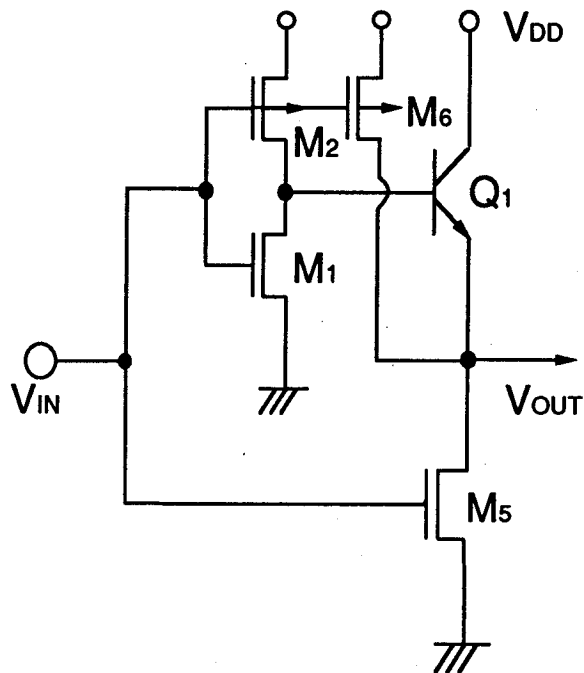
BiNMOSインバータの立上り時の遅延時間 t_{pdH} (BiN)、および立下り時の遅延時間 t_{pdL} (BiN)を以下に示す。

$$t_{pdH}(\text{BiN}) = \left(\frac{\tau_i C_L V_{DD}}{I_{P0}} \right)^{1/2} \left(\left(\frac{V_{DD} - |V_{THP}|}{5 - |V_{THP}|} \right)^{-\alpha_P} \right)^{1/2} \quad (2-7)$$

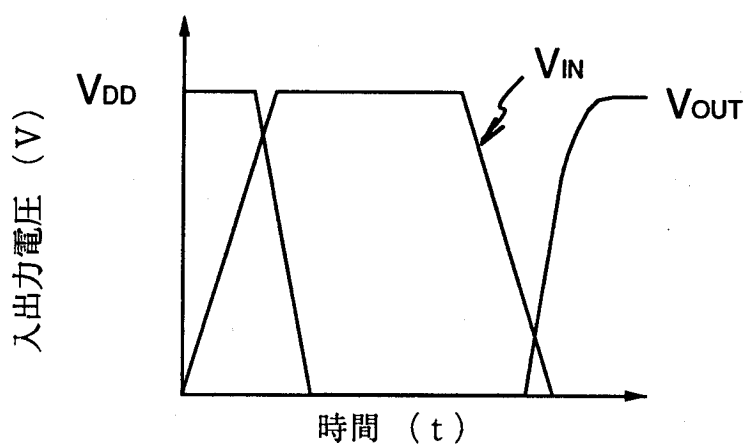
$$t_{pdL}(\text{BiN}) = \frac{1}{2} \frac{C_L V_{DD}}{I_{N0}(\text{BiN})} \left(\frac{V_{DD} - V_{THN}}{5 - V_{THN}} \right)^{-\alpha_N} \quad (2-8)$$

ここで、 $I_{N0}(\text{BiN})$ は、nMOSFET(M₅)の駆動電流である。(2-7)式および(2-8)式で与えられるBiNMOSインバータの遅延式には、前節で述べたBiCMOSインバータの遅延式に存在したビルトイン電圧の影響がなく、電源電圧が低下しても高速動作が可能となる。

(2-7)式および(2-8)式を0.8 μm BiCMOSデバイスに適用して、各インバータの遅延時間の電源電圧依存性を求めた結果を図2-7に示す。各遅延時間は、5V電源でのBiCMOSインバータの遅延時間で規格化した。また、各インバータの比較に際して、占有面積一定の条件から、BiNMOSインバータの駆動nMOSFET(M₅)のトランジスタ・サイズは、BiCMOSインバータの駆動nMOSFET(M₄)のトランジスタ・サイズに比べて2.5倍大きくできるものとした。このため、BiNMOSインバータのnMOSFETの駆動電流を $I_{N0}(\text{BiN}) = 2.5 I_{N0}$ としている。BiNMOSインバータは、立下り時および立上り時の遅延時間とも電源電圧依存性が小さく、電源電圧が低下しても高速性能が維持できる。



(a) BiNMOSインバータ回路



(b) 入出力波形

図2-6 BiNMOSインバータ構成

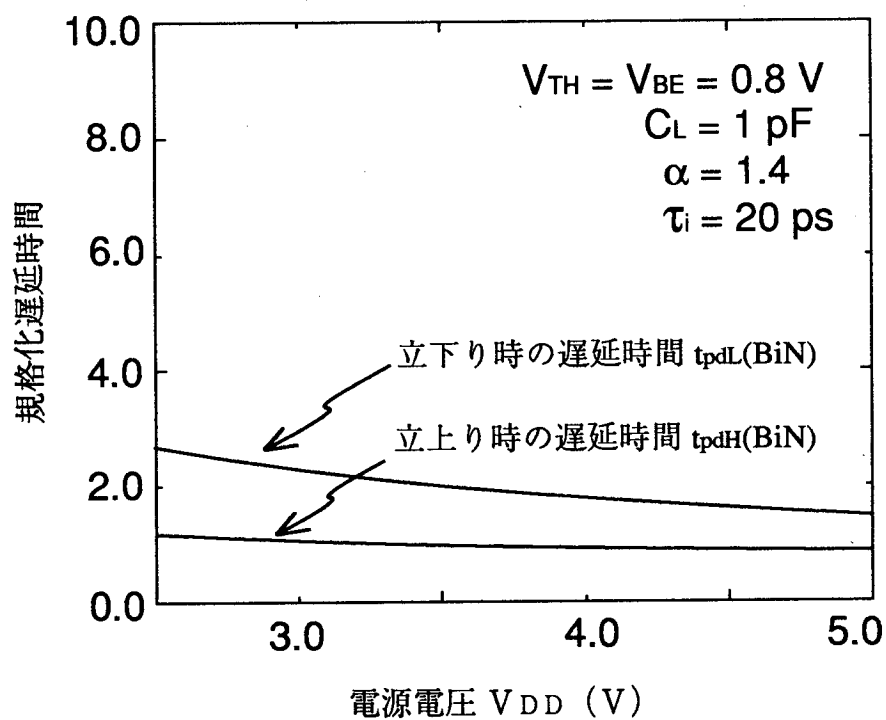


図2-7 BiNMOSインバータの遅延時間の電源電圧依存性

2.4.2 BiNMOSインバータ設計法

BiNMOSインバータの出力の立上り時の遅延時間は、pMOSFET (M_2)とバイポーラ・トランジスタ Q_1 のトランジスタ・サイズで、また、出力の立下り時の遅延時間は、nMOSFET (M_5)のトランジスタ・サイズで決まる。以下では、出力の立上り時と立下り時の遅延時間が等しくなるような、pMOSFET (M_2)のチャネル幅 W_P と nMOSFET (M_5)のチャネル幅 W_N の関係を求める。

まず、pMOSFETの単位チャネル幅当たりの駆動電流を I_0 、また、nMOSFETとpMOSFETの単位チャネル幅当たりの駆動電流比を k とすれば、pMOSFET (M_2)の駆動電流 I_P 、および、nMOSFET (M_5)の駆動電流 I_N は次式で与えられる。

$$I_P = W_P I_0 \quad (2-9)$$

$$I_N = W_N k I_0 \quad (2-10)$$

BiNMOSインバータの出力の立上り時の遅延時間 t_{pdH} (BiN) は、バイポーラ・トランジスタ Q_1 のベース回りの容量も考慮すれば、次式で与えられる。

$$t_{pdH}(\text{BiN}) = t_{oH} + \left(\frac{\tau_i C_L V_{DD}}{I_P} \right)^{1/2} \quad (2-11)$$

ここで、 t_{oH} はバイポーラ・トランジスタ Q_1 のベース回りの容量を考慮した場合の遅延時間であり、バイポーラ・トランジスタのベースがビルトイン電圧まで上昇するまでの遅延時間である。

また、出力の立下り時の遅延時間 t_{pdL} (BiN) は、次式で与えられる。

$$t_{pdL}(\text{BiN}) = t_{oL} + \frac{1}{2} \frac{C_L V_{DD}}{I_N} \quad (2-12)$$

ここで、 t_{oL} はnMOSFET自身のドレイン容量を駆動するのに要する遅延時間である。各遅延式が等しくなるpMOSFET (M_2)のチャネル幅 W_P と nMOSFET (M_5)のチャネル幅 W_N の関係は、(2-9) ~ (2-12) 式より、

$$W_N = \frac{\frac{1}{2} \frac{C_L V_{DD}}{k I_0}}{t_{oH} + \left(\frac{\tau_i C_L V_{DD}}{I_0} \right)^{1/2} \left(\frac{1}{W_P} \right)^{1/2} - t_{oL}} \quad (2-13)$$

となる。

(2-13) 式を $0.8 \mu\text{m BiCMOS}$ デバイスに適用し、 pMOSFET のチャネル幅 W_P と nMOSFET のチャネル幅 W_N の関係を求めた結果を図 2-8 に示す。ここでは、負荷容量 C_L を $C_L = 1 \text{ pF}$ とし、デバイス性能で決まるパラメータとしては、 nMOSFET と pMOSFET の駆動電流比 k を $k = 2$ 、出力の立上り時の寄生容量による遅延時間 t_{oH} を $t_{oH} = 0.24 \text{ ns}$ 、および、出力の立下り時の寄生容量による遅延時間 t_{oL} を $t_{oL} = 0.11 \text{ ns}$ とした。図 2-8 より、 pMOSFET (M_2) のチャネル幅 W_P が $W_P = 10 \mu\text{m}$ の場合、 nMOSFET (M_5) のチャネル幅 W_N は、 $W_N = 20 \mu\text{m}$ に設定すればよいことを示している。

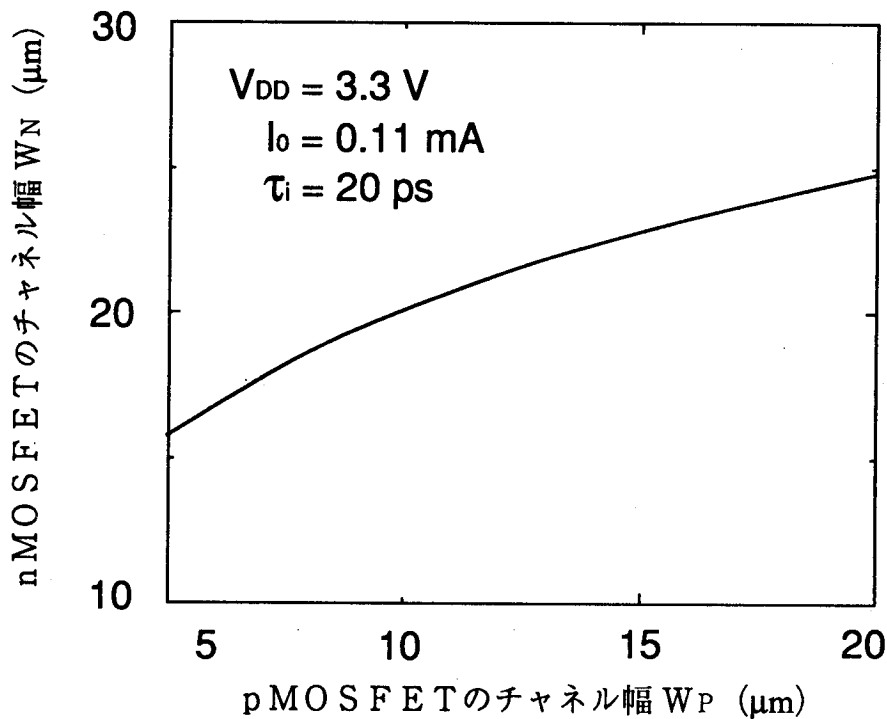
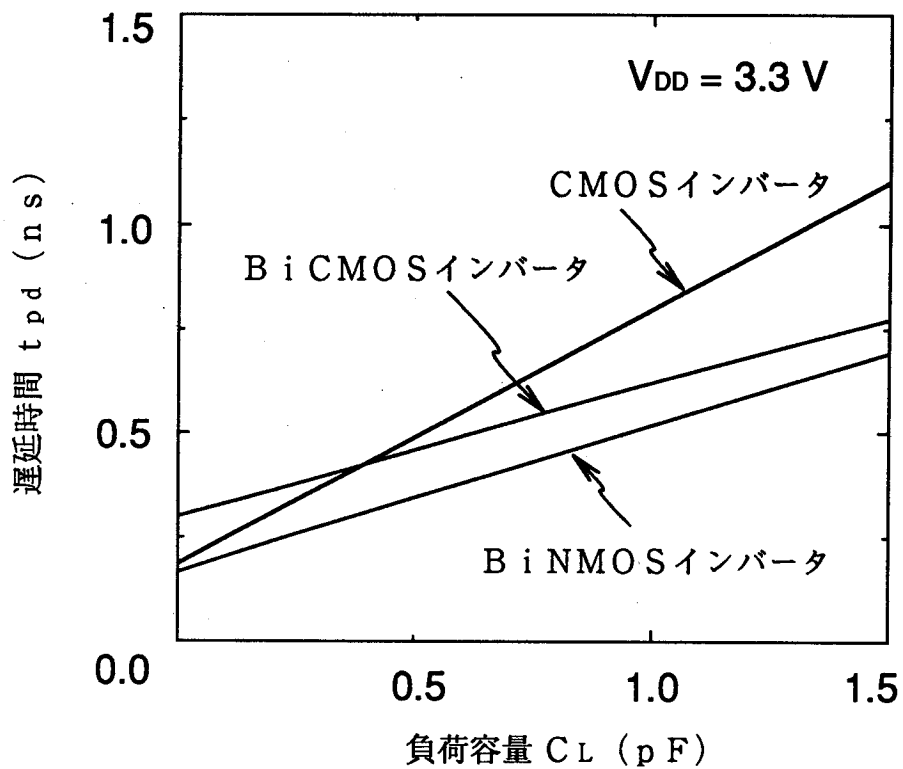
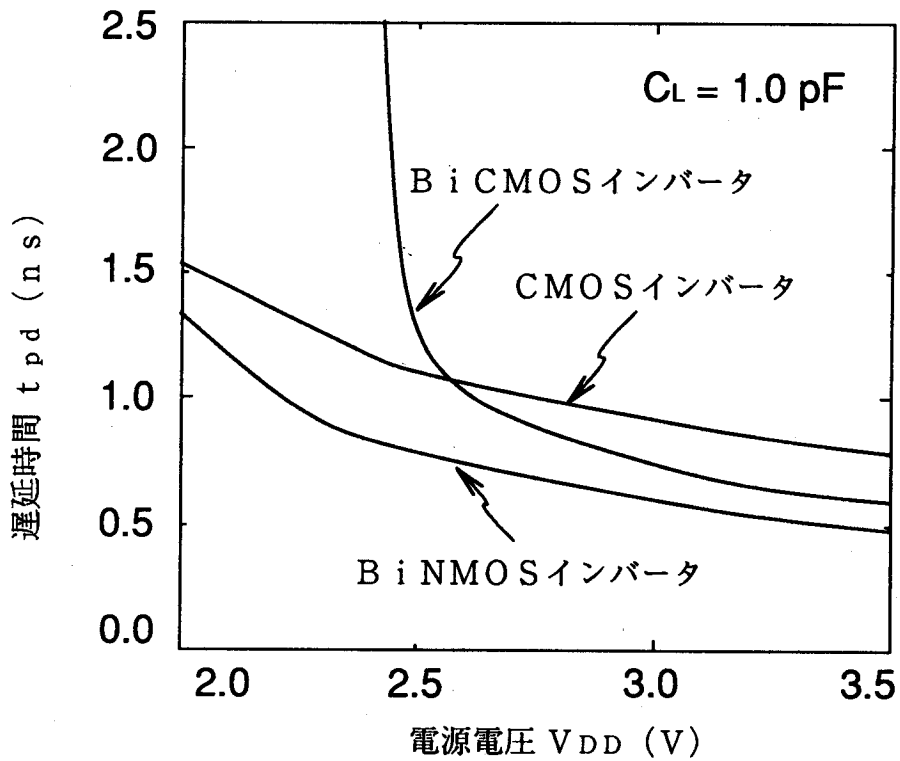


図 2-8 BiNMOS インバータの最適設計定数

上記トランジスタ・サイズを用いて、BiNMOS インバータの遅延時間特性を回路シミュレーションにより求めた結果を図 2-9 に示す。遅延時間の負荷容量依存性を図 2-9 (a) に示す。BiNMOS インバータは、CMOS インバータ、および BiCMOS インバータに比べて高速動作が可能であり、特に、負荷容量が 1 pF の場合、BiNMOS インバータは、CMOS インバータに比べて遅延時間を 35%、BiCMOS インバータに比べて遅延時間を 15% 削減できる。遅延時間の電源電圧依存性を図 2-9 (b) に示す。BiNMOS インバータは、電源電圧が 2 V に低下しても、CMOS インバータに比べて高速動作を維持できる。



(a) 遅延時間の負荷容量依存性



(b) 遅延時間の電源電圧依存性

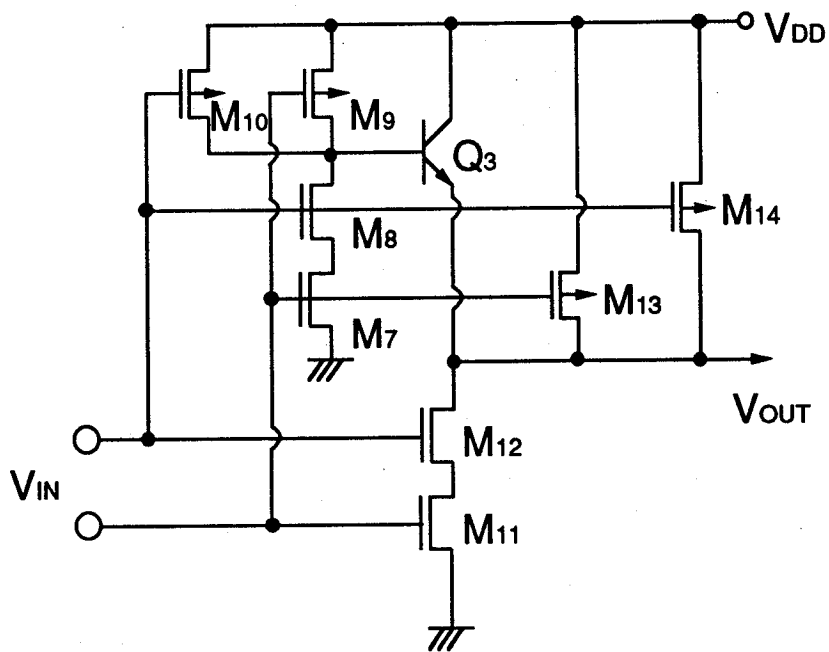
図 2-9 BiNMOS インバータの遅延時間特性

2. 5 BiNMOS 論理ゲート構成法

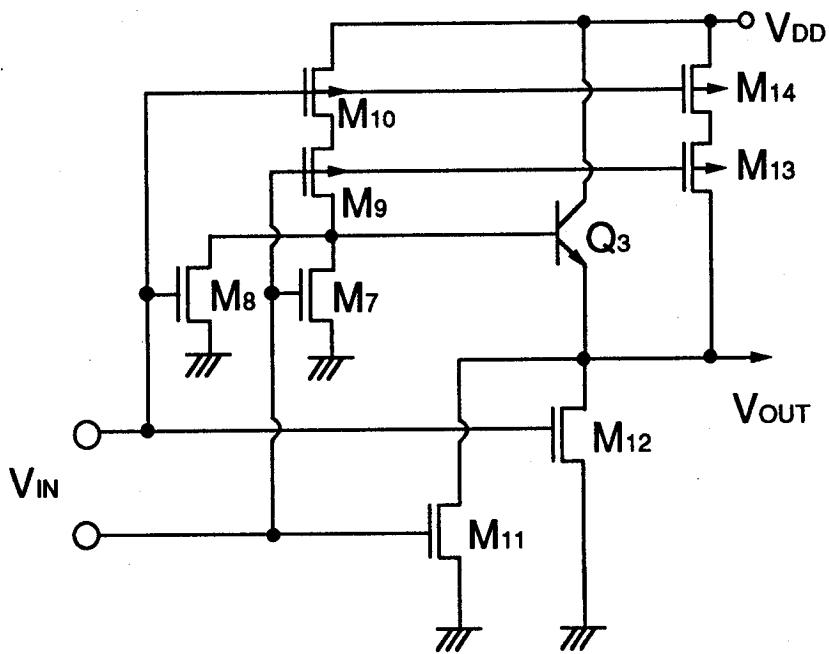
前節で述べた BiNMOS インバータを論理ゲートに展開した BiNMOS 論理ゲートの構成例として、典型的な 2 入力論理ゲートの構成法を述べる。BiNMOS 回路で構成した 2 入力論理ゲートを図 2-10 に示す。図 2-10 (a) は、2 入力 NAND ゲートの構成例⁽³⁵⁾であり、CMOS・NAND 回路でバイポーラ・トランジスタを駆動し、直列接続した nMOSFET (M_{11})、(M_{12}) で出力の立下りを駆動することによって、さらには、並列接続した pMOSFET (M_{13})、(M_{14}) で出力振幅を電源レベルまで補償することによって、BiNMOS・NAND ゲートが実現できる。図 2-10 (b) は、2 入力 NOR ゲートの構成例であり、CMOS・NOR 回路でバイポーラ・トランジスタを駆動し、並列接続した nMOSFET (M_{11})、(M_{12}) で出力の立下りを加速することによって、さらには、直列接続した pMOSFET (M_{13})、(M_{14}) で出力振幅を電源レベルまで補償することによって、BiNMOS・NOR ゲートが実現できる。

BiNMOS 論理ゲートでは、CMOS 論理回路部の nMOSFET (M_7)、(M_8) は、スイッチング時にバイポーラ・トランジスタ Q_3 のベースに蓄えられた過剰電荷を引き抜く補償トランジスタであるため、トランジスタ・サイズを小さくできる。同様に、出力のフル振幅動作を補償する pMOSFET (M_{13})、(M_{14}) のトランジスタ・サイズは小さくできる。このため、トランジスタ数の増加による入力容量の増加は小さく、BiNMOS インバータ同様、高速動作が可能となる。また、CMOS 論理ゲートでは、nMOSFET と pMOSFET で駆動力が異なるため、NAND 回路と NOR 回路で速度性能にアンバランスが生じるのに対して、BiNMOS 論理ゲートでは、pMOSFET の駆動力をバイポーラ・トランジスタで増大できるので、各論理回路に対して遅延時間のアンバランスを解消できるという特徴がある。速度性能にアンバランスがない論理ゲートは、特に、トランジスタ・サイズが固定されたゲート・アレイやスタンダードセルで有用となる。

図 2-9 で用いた BiNMOS インバータと同一のトランジスタ・サイズで 2 入力 NAND ゲートと NOR ゲートを構成し、各論理ゲートの遅延時間を回路シミュレーションで評価した。負荷容量が 1 pF の場合、各論理ゲートの遅延時間は 0.65 ns であり、BiNMOS インバータの遅延時間に接近した高速性能が得られた。



(a) 2入力NANDゲート



(b) 2入力NORゲート

図2-10 BiNMOS論理ゲート構成

2. 6 まとめ

本章では、メモリの周辺回路を構成する低電圧BiCMOS論理ゲートとして、出力の立下りをnMOSFETで駆動し、出力の立上りの駆動のみにバイポーラ・トランジスタを用いたBiNMOSインバータを提案するとともに、その有用性を示した。以下に得られた結果を要約する。

(1) 従来の5V動作のBiCMOS論理ゲートを低電圧化した場合、出力の立下り時の遅延時間は、電源電圧が3.5V近傍から急激に増加する。この遅延時間の増大は、バイポーラ・トランジスタを駆動するnMOSFETのソース電位がビルトイン電圧だけ上昇してMOSFETの駆動力を削減するためであり、ビルトイン電圧の影響が電源電圧の低下とともに大きくなることを明確にした。

(2) BiNMOSインバータは、出力の立下りをnMOSFETで駆動するため、ビルトイン電圧の影響が小さく、電源電圧が低下しても高速動作が維持できることを明確にした。また、低電圧化とともに減少する次段回路の動作マージンを考慮すると、出力が電源電圧レベルで動作するフル振幅動作のBiNMOSインバータが必須となることを明らかにした。

(3) BiNMOS論理ゲートの構成例を示すとともに、BiNMOS論理ゲートは、駆動バイポーラ・トランジスタによりNAND回路とNOR回路の速度性能のアンバランスを解消できることを明らかにした。

第 3 章 B i N M O S ド ラ イ バ 回 路 構 成 法

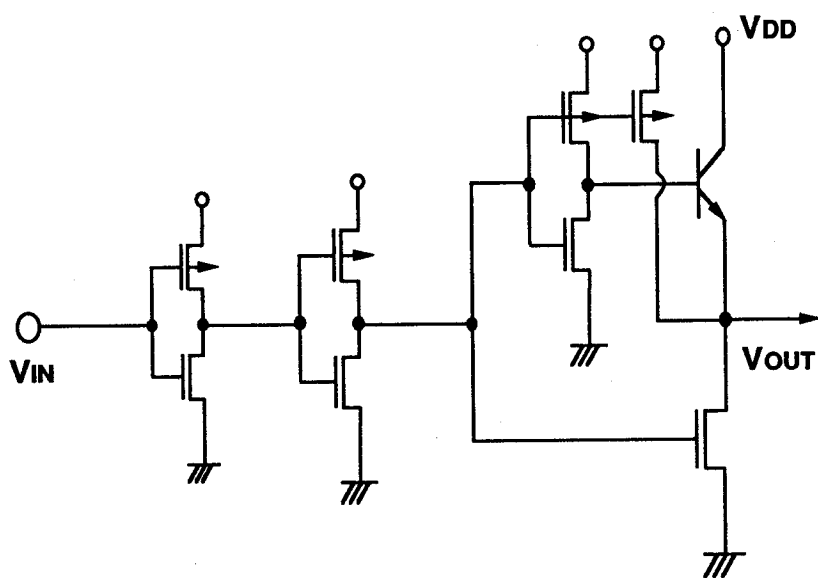
3. 1 ま え が き

前章では、B i N M O S インバータ単体の構成法を述べ、B i N M O S インバータは、電源電圧が低下しても出力の高負荷駆動に有用であることを示した。B i N M O S インバータで数 p F 以上の高負荷容量を高速に駆動する場合には、インバータ・サイズを大きくして駆動力を大きくする必要がある。インバータ・サイズを単に大きくしただけでは、インバータの入力容量が大きくなるため、インバータを多段接続して各段のインバータの負荷容量を分散させるドライバ回路が有用となる。

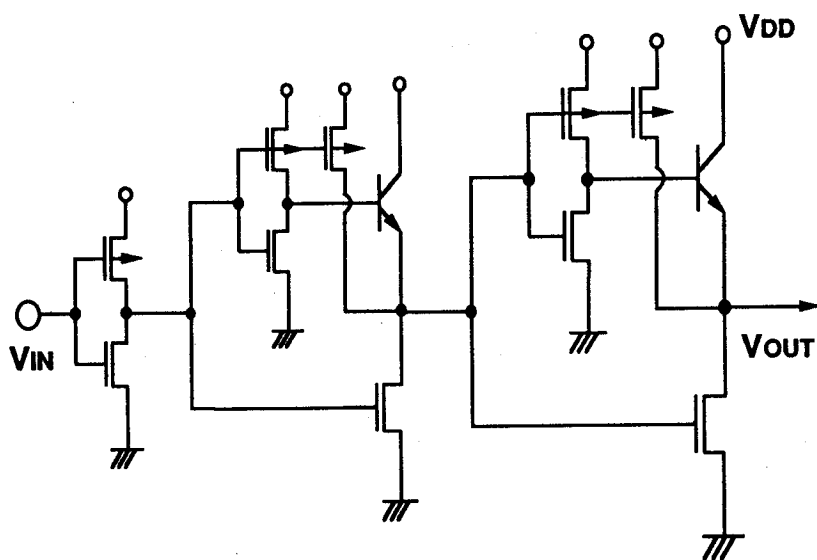
本章では、最終段のインバータに B i N M O S インバータを用いる B i N M O S ドライバ回路の構成法を述べる。まず、2 節では、B i N M O S ドライバ回路の構成法として、ドライバ回路の入出力容量が与えられた場合に、ドライバ回路の遅延時間を最小にする各段のインバータ構成、および、インバータ・サイズを求める最適化手法を述べる。特に、従来の C M O S ドライバと比較するために、面積一定の拘束条件で各段のインバータ・サイズを求める最適化手法を述べる。次に、3 節では、B i N M O S ドライバ回路を更に高速化するために、最終段の駆動バイポーラ・トランジスタのベースを前々段のインバータで制御するフィードフォワード形 B i N M O S ドライバ回路の構成法を示す。最後に、4 節では、B i N M O S ドライバ回路の有用性を実証するために試作した T E G (Test Element Group) の評価結果を述べる。

3. 2 B i N M O S インバータを用いたドライバ回路構成法

B i N M O S インバータを用いたドライバ回路を図 3-1 に示す。ここでは、ドライバ回路の極性および実用性を考慮して 3 段のインバータ構成を対象とした。初段のインバータには入力容量の小さい C M O S インバータを、最終段のインバータには高負荷で高速動作が可能な B i N M O S インバータを用いた。中段のインバータに C M O S インバータを用いたドライバ回路を図 3-1 (a) に、中段のインバータに B i N M O S インバータを用いたドライバ回路を図 3-1 (b) に示す。中段にどちらのインバータを用いるかは、ドライバ回路の入出力容量比、および、各インバータの遅



(a) BiNMOSドライバ (1)



(b) BiNMOSドライバ (2)

図3-1 BiNMOSインバータを用いたドライバ回路構成

延特性できまる。以下では、ドライバ回路の最適設計手法として、ドライバ回路の入出力容量比が与えられた場合に、遅延時間が最小となる各段のインバータ構成、および、インバータ・サイズを求める。

各段のインバータ・サイズを W_{i-1} ($i=1\sim3$)とした場合のドライバ等価回路を図3-2に示す。単位インバータの遅延時間 t_{pd} を、無負荷時の遅延時間 B 、ファンアウト数 f 、および、1ファンアウト当たりの遅延時間 A を用いて、

$$t_{pd} = B + A \cdot f \quad (3-1)$$

とすれば、各段のインバータの遅延時間 t_i は、インバータ・サイズ W_{i-1} 、および後段のインバータ・サイズ W_i を用いて次式で表される。

$$t_i = B_{i-1} + A_{i-1} \cdot (W_i / W_{i-1}) \quad (3-2)$$

ここで、 B_{i-1} 、 A_{i-1} は、各段を構成するインバータで決まる遅延時間である。

(3-2)式を用いれば、ドライバ回路全体の遅延時間 T_{pd} は、

$$\begin{aligned} T_{pd} = & (B_0 + B_1 + B_2) \\ & + (A_0 \frac{W_1}{W_0} + A_1 \frac{W_2}{W_1} + A_2 \frac{W_3}{W_2}) \end{aligned} \quad (3-3)$$

となる。

ドライバ回路の遅延時間が最小となる最適インバータ・サイズでは、その微分係数 (dT_{pd}/dW_i) が0となるため、(3-3)式の微分方程式を解くことにより、最適なインバータ・サイズが求まる⁽⁴²⁾。最適化された各段のトランジスタ・サイズを以下に示す。

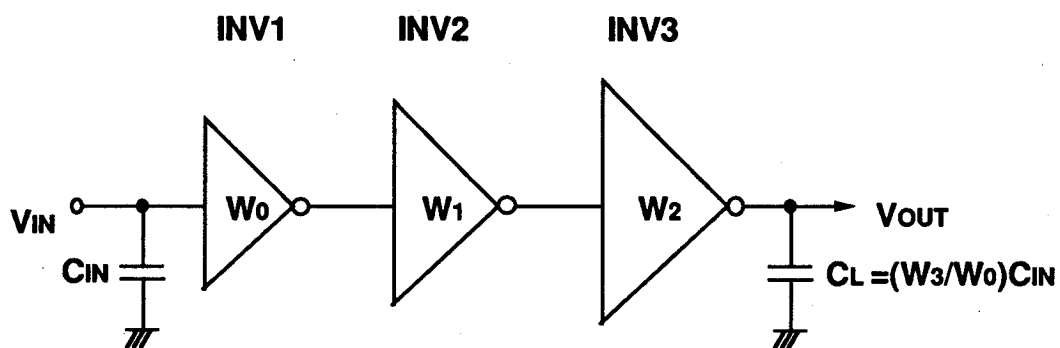
$$W_1 = \frac{W_0}{A_0} (A_0 A_1 A_2)^{1/3} \left(\frac{W_3}{W_0} \right)^{1/3} \quad (3-4)$$

$$W_2 = \frac{W_1}{A_0} (A_0 A_1 A_2)^{1/3} \left(\frac{W_3}{W_0} \right)^{1/3} \quad (3-5)$$

ドライバ回路の占有面積を一定とした場合には、中段および最終段のインバータ・サイズを W とし、次の拘束条件を用いれば各段のインバータ・サイズの最適化が可能となる。

$$s_1 W_1 + s_2 W_2 = W \quad (3-6)$$

ここで、 s_1 、 s_2 は、BiNMOSインバータとCMOSインバータの面積比を示す係数であり、CMOSインバータを基準に(面積比1)、BiNMOSインバータに対して面積比 s を持つ係数である。(3-6)式の拘束条件を(3-3)式に代入



W_i 各段のインバータサイズ

図 3 - 2 各段のインバータサイズの最適化

表 3 - 1 各段のインバータサイズ

ドライバ構成	INV1	INV2	INV3	T_{pd} (ps)
	w_0	w_1	w_2	
CMOSドライバ	1.0	3.0	9.0	694
BiNMOSドライバ (1)	1.0	2.5	6.8	607
BiNMOSドライバ (2)	1.0	2.4	6.2	550

し、 $d T_{pd} / d W_1 = 0$ なる条件を求めた結果を以下に示す。

$$F(W_1) \equiv \frac{A_0}{W_0} + s_1 s_2 A_2 W_3 \left(\frac{W}{s_2} - s_1 W_1 \right)^{-2} - \left(\frac{A_1 W}{s_2} \right) W_1^{-2} = 0 \quad (3-7)$$

W_1 について (3-7) 式を解くことにより、中段の最適なインバータ・サイズが、また、(3-6) 式より、最終段のインバータ・サイズ W_2 が求まる。

(3-1) 式～(3-7) 式を $0.5 \mu\text{m BiCMOS}$ デバイス⁽⁴³⁾ に適用した場合の最適設計例を以下に示す。ここでは、初段のインバータを単位インバータ

($W_0 = 1$) として、CMOS インバータ、および、BiNMOS インバータの遅延特性を次式で近似した。

$$t_d(\text{CMOS}) = 50 (\text{ps}) + 62 (\text{ps}) \cdot (W_i / W_{i-1}) \quad (3-8)$$

$$t_d(\text{BiN}) = 100 (\text{ps}) + 23 (\text{ps}) \cdot (W_i / W_{i-1}) \quad (3-9)$$

最適化条件は、ドライバ回路の負荷容量を 2 pF 、入出力容量比 (W_3 / W_0) を 25 、BiNMOS インバータの面積比 s を $s = 1.4$ とした。まず、CMOS ドライバ回路は、(3-1) 式から (3-4) 式を用いて各段のインバータ・サイズを最適化し、BiNMOS ドライバ回路は、(3-6) 式および (3-7) 式を用いて、占有面積が CMOS ドライバと同一になるように (拘束条件: $W = 12$)、各段のインバータ・サイズを最適化した。最適インバータ・サイズ、および各ドライバ回路の遅延時間を求めた結果を表 3-1 にまとめる。表 3-1 より、各ドライバ回路の性能を面積一定の条件で比較した場合、BiNMOS ドライバ回路は、CMOS ドライバ回路に比べて高速化が可能となる。特に、中段に BiNMOS インバータを用いる BiNMOS ドライバ回路 (2) は、CMOS ドライバ回路に比べて遅延時間を 20% 削減できる。

最適化手法により設計した各ドライバ回路の性能を、回路シミュレーションで評価した結果を図 3-3 に示す。負荷容量が 2 pF の場合、BiNMOS ドライバ回路の遅延時間は、それぞれ、 0.61 ns と 0.55 ns であり、シミュレーション結果と解析結果は一致しており、本最適化手法が有用であることがわかる。

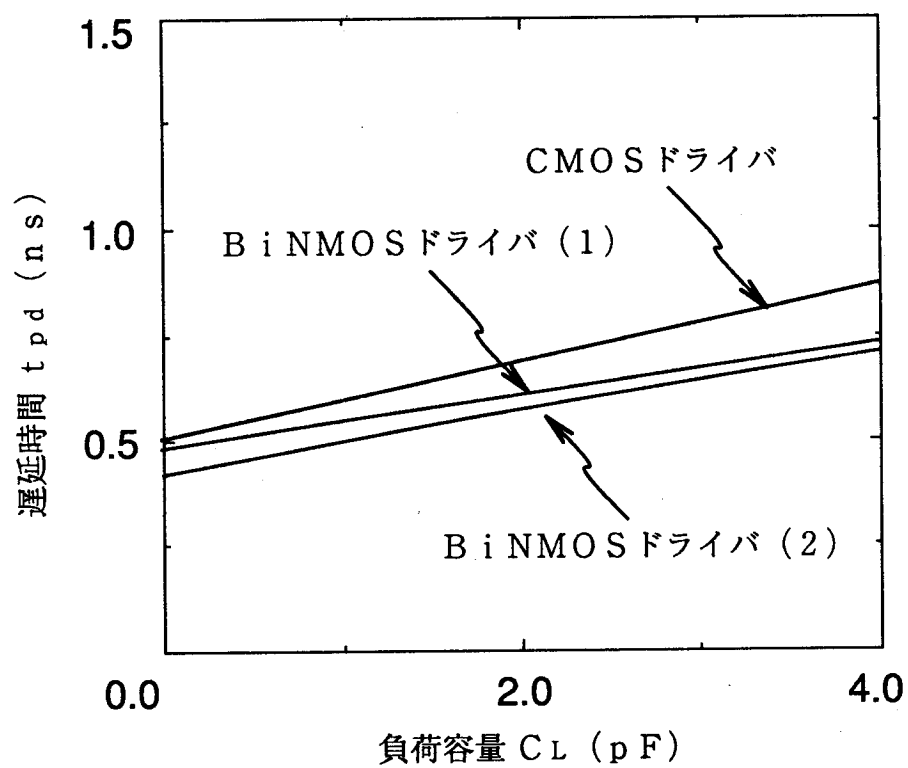


図3-3 BiNMOSドライバ回路の遅延時間の負荷容量依存性

3. 3 フィードフォワード形BiNMOSドライバ回路構成法

前節で述べたBiNMOSドライバ回路の速度性能を更に改善するために、BiNMOSインバータの駆動バイポーラ・トランジスタを、前々段のインバータで制御するフィードフォワード形BiNMOSドライバ（以下では、FF-BiNMOSドライバと略す。）回路を考案した⁽⁴³⁾。以下では、FF-BiNMOSドライバ回路の構成法、および、その特徴を述べる。

3.3.1 回路構成

FF-BiNMOSドライバ回路を図3-4に示す。初段のインバータで最終段のバイポーラ・トランジスタ Q_2 を駆動することにより、ドライバ回路の出力の立上りを加速した。また、ドライバ回路の入力により、中段のバイポーラ・トランジスタ Q_1 を駆動し、バイポーラ・トランジスタで、最終段のnMOSFETを高速に駆動することによって、ドライバ回路の出力の立下りを加速した。FF-BiNMOSドライバ回路は、フィードフォワード制御により、中段のインバータ回路の遅延時間がドライバ回路の遅延時間を決めるクリティカルパスに入らなくなるため、高速動作が可能となる。また、前節で述べたBiNMOSドライバ回路(2)と比較して、FF-BiNMOSドライバ回路は、中段および最終段を構成するBiNMOSインバータにおいて、CMOSインバータ部が不要となるため、インバータの入力容量が削減され高速動作が可能となる。

3.3.2 遅延時間の負荷容量依存性

FF-BiNMOSドライバ回路、およびBiNMOSドライバ回路の遅延時間を解析により求める。なお、前節で述べたBiNMOSインバータ単体の簡易遅延式

(3-1)式は、BiNMOSインバータを構成するCMOSインバータのインバータ・サイズのみを可変にして評価できないため、BiNMOSインバータの遅延式としては、2章で述べた厳密式(2-10)式を用いた。また、BiNMOSインバータとCMOSインバータの遅延時間の関係を明確にするため、CMOSインバータの遅延式としては、(2-11)式で与えられる遅延式を用いた。

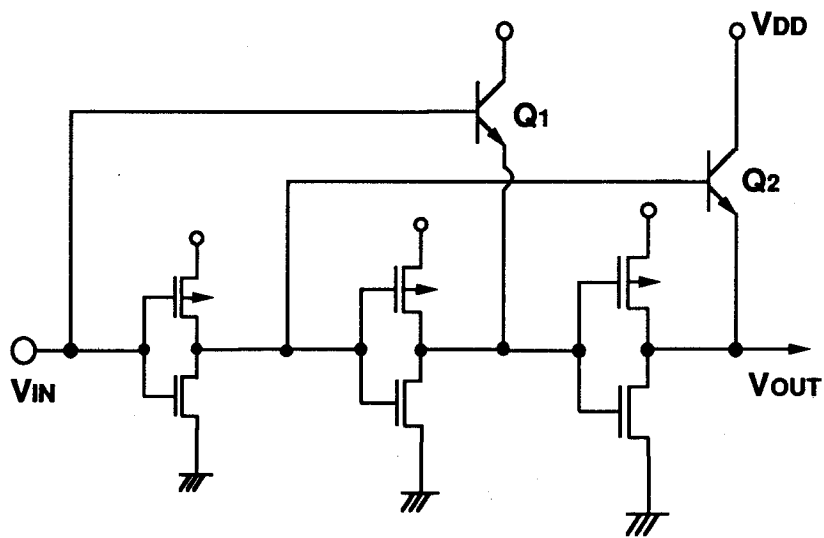


図3-4 フィードフォワード形 (FF) BiNMOSドライバ回路

まず、BiNMOSドライバ回路の遅延時間 $T_{pd}(BiN)$ を求める。初段のCMOSインバータの遅延時間 t_1 は、インバータを構成するMOSFETの駆動電流 I_1 、負荷容量 C_1 、および無負荷時の遅延時間 t_{10} を用いて次式で表される。

$$t_1 = t_{10} + \frac{1}{2} \frac{C_1 V_{DD}}{I_1} \quad (3-10)$$

また、最終段のBiNMOSインバータの遅延時間 t_3 は、CMOSインバータを構成するMOSFETの駆動電流 I_3 、負荷容量 C_L 、およびバイポーラ・トランジスタを駆動するのに要する遅延時間 t_{30} を用いて次式で表される。

$$t_3 = t_{30} + \left(\frac{\tau_1 C_L V_{DD}^{1/2}}{I_3} \right) \quad (3-11)$$

従って、BiNMOSドライバ回路の遅延時間 $T_{pd}(BiN)$ は、(3-10)式、および(3-11)式より、

$$\begin{aligned} T_{pd}(BiN) &= t_1 + t_2 + t_3 \\ &= t_{10} + \frac{1}{2} \frac{C_1 V_{DD}}{I_1} + t_2 + t_{30} + \left(\frac{\tau_1 C_L V_{DD}^{1/2}}{I_3} \right) \end{aligned} \quad (3-12)$$

となる。

一方、FF-BiNMOSドライバ回路の遅延時間 $T_{pd}(FF)$ は、次式で表される。

$$T_{pd}(FF) = t_{10} + k \frac{1}{2} \frac{C_1 V_{DD}}{I_1} + t_{10}' + \left(\frac{\tau_1 C_L V_{DD}^{1/2}}{I_1} \right) \quad (3-13)$$

ここで、 t_{10}' は初段のCMOSインバータが最終段のバイポーラ・トランジスタを駆動するのに要する遅延時間であり、 k はフィードフォワード制御により、中段インバータの入力容量が削減される割合を示した係数である。

(3-12)式、(3-13)式において、最終段のバイポーラ・トランジスタを駆動するのに要する遅延時間は、入力容量の小さいポリエミッタ形のバイポーラ・トランジスタを用いる場合、 $t_{30} \approx t_{10}'$ と近似できる。従って、BiNMOSドライバ回路とFF-BiNMOSドライバ回路の遅延時間差 ΔT_{pd} は次式で表される。

$$\begin{aligned} \Delta T_{pd} &= T_{pd}(BiN) - T_{pd}(FF) \\ &= t_2 + (t_1 - t_{10}) [1 - k \\ &\quad - 2 \left(1 - \left(\frac{I_1}{I_3} \right)^{1/2} \right) \left(\frac{1}{2} \frac{\tau_1}{t_1 - t_{10}} \frac{C_L}{C_1} \right)^{1/2}] \end{aligned} \quad (3-14)$$

0.5 μm BiCMOSデバイスでドライバ回路を構成した場合の遅延時間差 ΔT_{pd} を(3-14)式により求める。ここでは、図3-1に示すBiNMOSドライバ回路(2)を対象に、FF-BiNMOSドライバ回路との遅延時間差を求めた。まず、BiNMOSドライバ回路において、初段のインバータと最終段のインバータの駆動電流比 (I_1 / I_3) 、および負荷容量比 (C_L / C_1) は、表3-1に示す各段のインバータ・サイズ、および負荷容量条件 $C_L = 2\text{ pF}$ ($W_3 = 25$)を用いて、

$$(I_1 / I_3) = (W_0 / W_2) = 0.16 \quad (3-15)$$

$$(C_L / C_1) = (W_3 / W_1) = 10.4 \quad (3-16)$$

となる。また、BiNMOSドライバ回路の初段インバータの遅延時間 $t_1 - t_{10}$ 、および中段インバータの遅延時間 t_2 は、(3-8)式、および(3-9)式より、 $t_1 - t_{10} = 0.15\text{ ns}$ 、 $t_2 = 0.16\text{ ns}$ となる。FF-BiNMOSドライバ回路における中段インバータの入力容量の削減率 $k = 1/2$ 、および、バイポーラ・トランジスタのベース走行時間 $\tau_1 = 13\text{ ps}$ を用いれば、BiNMOSドライバ回路とFF-BiNMOSドライバ回路の遅延時間差 ΔT_{pd} は、 $\Delta T_{pd} = 0.11\text{ ns}$ となる。

FF-BiNMOSドライバ回路の遅延時間の負荷容量依存性を、回路シミュレーションにより求めた結果を図3-5に示す。負荷容量が 2 pF の場合には、FF-BiNMOSドライバ回路、およびBiNMOSドライバ回路の遅延時間は、それぞれ、 0.57 ns 、 0.45 ns であり、各ドライバ回路の遅延時間差 ΔT_{pd} は 0.12 ns となる。

解析式、および回路シミュレーションを通して、FF-BiNMOSドライバ回路が従来のドライバ回路に比べて高速動作が可能となる理由を明確にした。

3.3.3 遅延時間の配線長依存性

ドライバ回路では、高負荷を高速に駆動する機能に加えて、長配線を通して負荷を高速に駆動する機能が必要となる。特に、メモリ回路では、外部制御信号を、メモリの周辺回路からセルアレイ内に伝播させる場合、その信号線は数mmまでに達する。長配線を駆動するドライバ回路では、配線抵抗による配線遅延も含んだ遅延時間評価が必要となる。本節では、長さ数mmの配線長が存在しても、FF-BiNMOSドライバ回路により、高速化が可能となることを解析により求める。

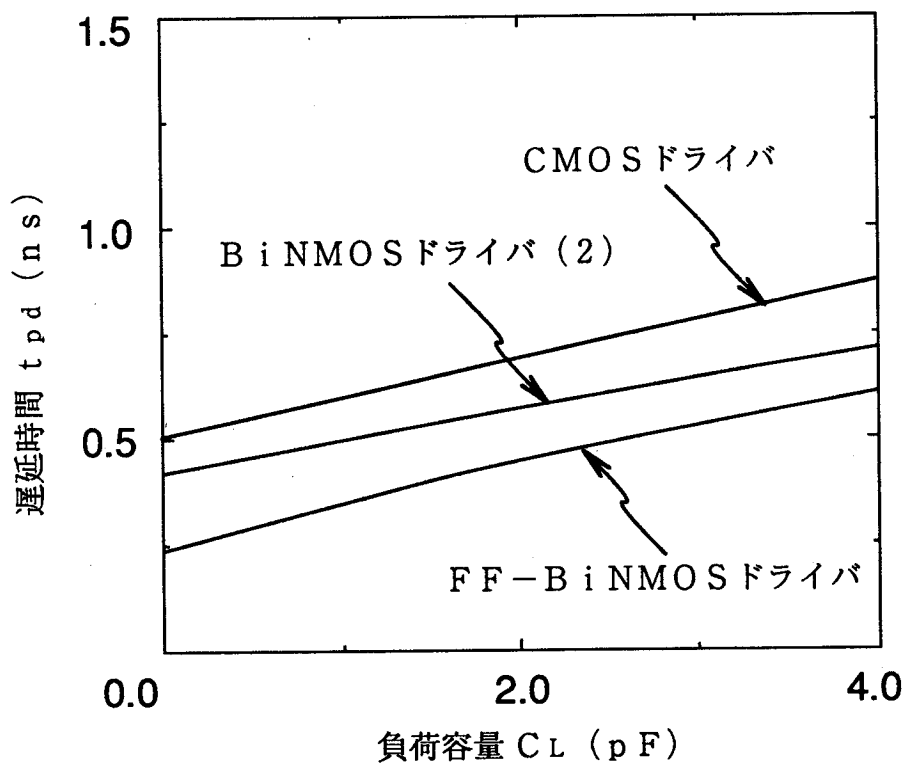


図3-5 FF-BiNMOSドライバ回路の遅延時間の負荷容量依存性

なお、以下では、出力特性の異なるFF-BiNMOSドライバ回路とCMOSドライバ回路を対象に各回路の遅延式を導出する。BiNMOSドライバ回路の遅延式は、FF-BiNMOSドライバ回路の遅延式を用いて導出できるため、ここでは、省略した。

配線遅延RCを含むドライバ回路の簡易モデルを図3-6(a)に、また、FF-BiNMOSドライバ回路およびCMOSドライバ回路の出力波形を図3-6(b)に示す。FF-BiNMOSドライバ回路で配線負荷を駆動する場合、その遅延時間は電源電圧からバイポーラ・トランジスタのビルトイン電圧 V_B だけ低下した出力振幅 $(V_{DD} - V_B)$ で決まるため、出力波形としては0Vから $V_{DD} - V_B$ で動作する波形を用いた。各ドライバ回路の遅延時間は、図3-6(a)に示す等価回路において、出力 V_{OUT} が $V_{DD}/2$ に到達する遅延時間で近似できる⁽⁴⁴⁾。図3-6(b)に示す出力波形を用いて、CMOSドライバ回路およびFF-BiNMOSドライバ回路の遅延時間を求めた結果を以下に示す。

$$T_{pd}(CMOS) = t_{om} + RC \cdot \ln \left[\frac{RC}{T_M} \frac{1}{1 - h_M} \left(\exp \left(\frac{T_M}{RC} \right) - 1 \right) - h_M T_M \right] \quad (3-17)$$

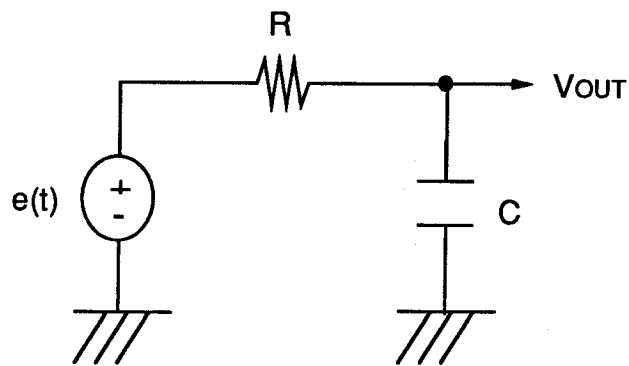
$$T_{pd}(FF) = t_{off} + RC \cdot \ln \left[\frac{RC}{T_{FF}} \frac{1}{1 - h_{FF}} \left(\exp \left(\frac{T_{FF}}{RC} \right) - 1 \right) - h_{FF} T_{FF} \right] \quad (3-18)$$

ここで、 t_{om} 、 t_{off} は、各ドライバ回路の出力の立上り開始時間を、 T_M 、 T_{FF} は出力の立上り時間を示したものである。また、 h_M 、 h_{FF} は、各ドライバの出力振幅に対して、出力 V_{OUT} が $V_{DD}/2$ に到達するまでの電圧比を示したものであり、次式で与えられる。

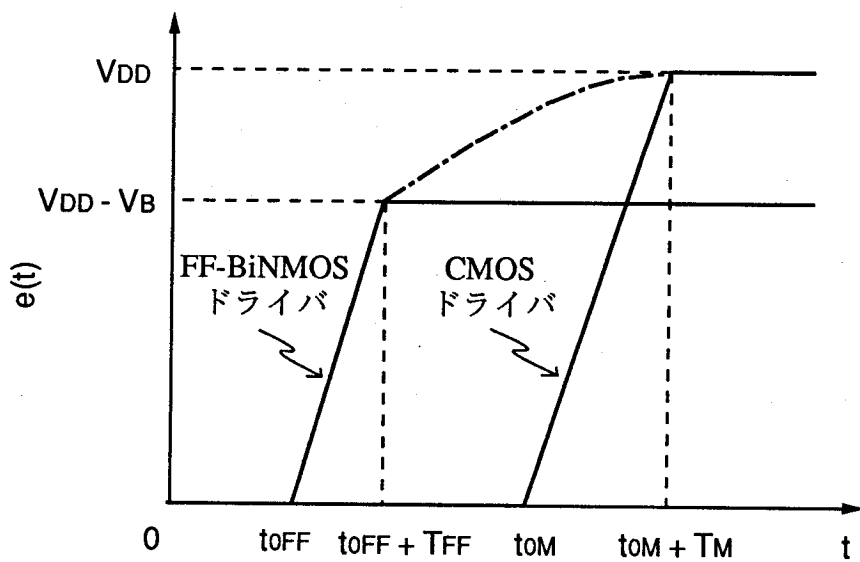
$$h_M = (V_{DD}/2) / V_{DD} = 1/2 \quad (3-19)$$

$$h_{BIN} = (V_{DD}/2) / (V_{DD} - V_B) \quad (3-20)$$

FF-BiNMOSドライバ回路がCMOSドライバ回路に比べて配線負荷を高速に駆動できる条件は、 $T_{pd}(FF) \leq T_{pd}(CMOS)$ であるから、(3-17)式および(3-18)式より次式となる。



(a) 配線負荷等価モデル



(b) ドライバ出力波形

図 3 - 6 配線負荷を含んだドライバ等価回路

$$t_{OM} - t_{OFF} \geq RC \cdot \ln \left[\frac{1 - h_M}{1 - h_{FF}} \cdot \frac{T_M}{T_{FF}} \cdot \frac{\exp(T_{FF}/RC) - 1}{\exp(T_M/RC) - 1} \right] - (h_{FF}T_{FF} - h_M T_M) \quad (3-21)$$

FF-BiNMOSドライバ回路とCMOSドライバ回路の出力の立上り時間が等しく、FF-BiNMOSドライバ回路の出力の立上り時間が、

$$T_{FF} = T_M (1 - V_B / V_{DD}) \quad (3-22)$$

で表される簡易高速化条件としては、(3-22)式を(3-21)式に代入して、

$$t_{OM} - t_{OFF} \geq RC \cdot \ln \left[\left(1 - \frac{V_B}{V_{DD}}\right) \left(1 - \frac{2V_B}{V_{DD}}\right)^{-1} \right] > 0 \quad (3-23)$$

となる。

0.5 μ m BiCMOSデバイスでドライバ回路を構成した場合の高速化条件を求める。(3-23)式において、FF-BiNMOSドライバ回路とCMOSドライバ回路の出力の立上り開始時間差を0.15 ns、バイポーラ・トランジスタのビルトイン電圧 V_B を0.6Vとした場合、FF-BiNMOSドライバ回路で高速動作できる配線遅延 RC は0.6 nsとなる。簡易高速化条件式の有用性を確かめるために、(3-21)式で与えられる高速化条件を求めた結果を図3-7に示す。ここでは、CMOSドライバ回路の立上り時間 T_M を $T_M = 0.25$ ns、FF-BiNMOSドライバ回路の立上り時間 T_{FF} を $T_{FF} = 0.20$ nsとして高速化条件を求めた。FF-BiNMOSドライバ回路は、配線遅延(RC)が0.6 nsとなる長配線が存在しても、CMOSドライバ回路に比べて高速駆動が可能な条件を満足していることがわかる。

FF-BiNMOSドライバ回路の遅延時間の配線長依存性を、回路シミュレーションにより求めた結果を図3-8に示す。出力の立上り開始時間が削減できるFF-BiNMOSドライバ回路は、CMOSドライバ回路、BiNMOSドライバ回路に比べて高速化が可能となる。特に、FF-BiNMOSドライバ回路は、5 mmの配線長(配線遅延0.6 nsに相当)が存在しても、ファンアウト数16の負荷を高速に駆動できることがわかる。また、メモリ規模16 Kbの周辺長に相当する長さ4 mmの配線駆動に対して、FF-BiNMOSドライバ回路は、CMOSドライバ回路に比べて遅延時間を20%、BiNMOSドライバに比べて遅延時間を10%削減できる。

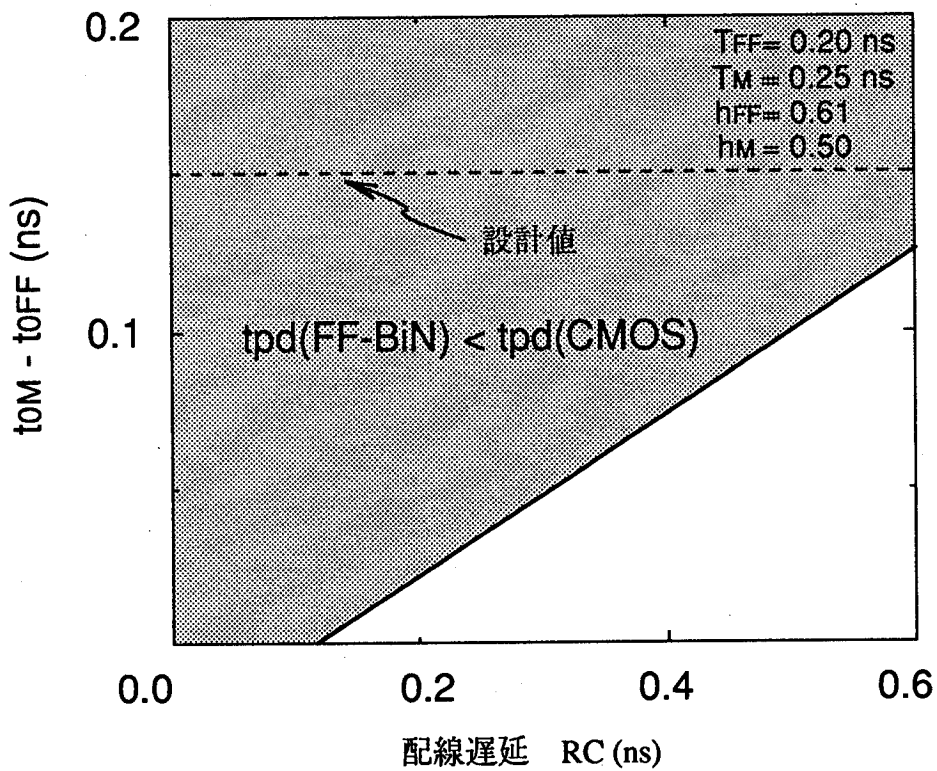


図 3 - 7 高速動作可能な FF - BiNMOS ドライバ回路の
立上り開始時間と配線遅延の関係

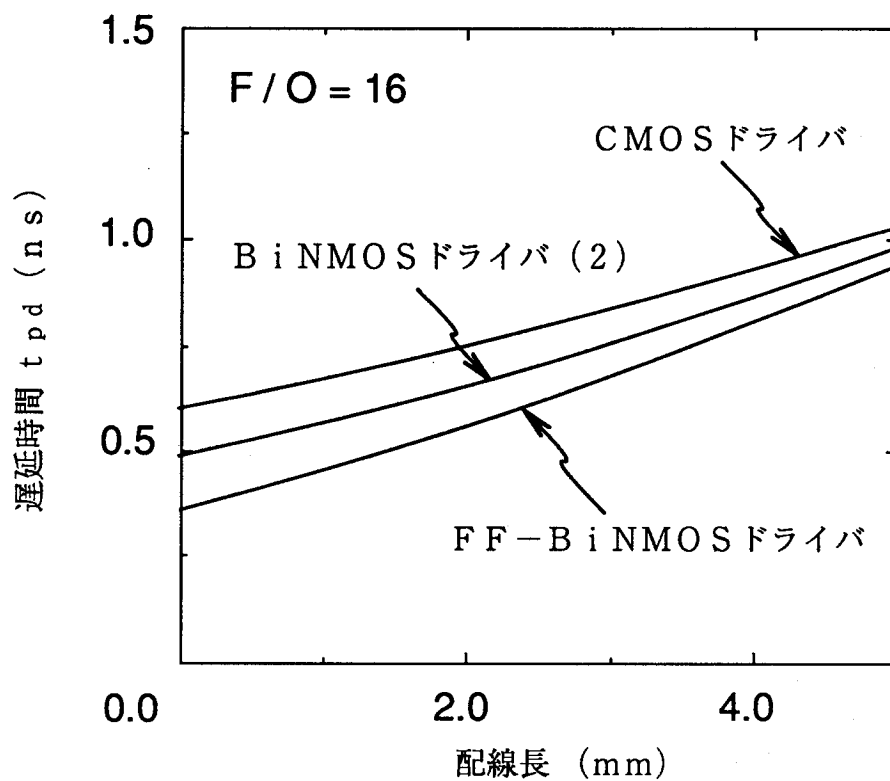


図3-8 FF-BiNMOSドライバ回路の遅延時間の配線長依存性

3. 4 試作および評価

前節で述べたBiNMOSドライバ回路の有用性を実証するために、 $0.5\mu\text{m}$ BiCMOSプロセスで、ドライバ回路を設計・試作し、各ドライバ回路の遅延時間を評価した。代表的なデバイス特性を表3-2に示す。バイポーラ・トランジスタには、ベース回りの寄生容量を低減できるポリエミッタ形式のバイポーラ・トランジスタを、また、配線系にはアルミ2層配線を用いた。試作した遅延時間評価TEGを図3-9に示す。チップサイズは、 $2\text{mm} \times 2\text{mm}$ である。TEGには、FF-BiNMOSドライバ回路、およびBiNMOSドライバ回路を搭載した。特に、チップの右側にデコーダ回路を配置し、入出力信号を共通化することによって、各種ドライバ回路の遅延時間のファンアウト特性が評価できるようにした。なお、搭載した各ドライバ回路の入力容量は、スタンダードセルに用いる基本CMOSインバータ⁽⁴³⁾の入力容量に一致させた。遅延時間評価としては、ドライバ回路を通過した場合と、ドライバ回路を通過しない場合の出力波形の差分で遅延時間を評価した。特に、ドライバ回路を複数個直列に接続して、出力波形の差分に誤差が生じないようにした。

FF-BiNMOSドライバ回路、およびBiNMOSドライバ回路により、ファンアウト数18の出力負荷を駆動した場合の各ドライバ回路の出力波形を図3-10に示す。図3-10は、4段のドライバ回路を通過した場合の出力波形を示している。FF-BiNMOSドライバ回路、およびBiNMOSドライバ回路の1段当たりの遅延時間は、それぞれ、 0.54ns 、 0.67ns であり、FF-BiNMOSドライバ回路はBiNMOSドライバ回路に比べて、遅延時間を約20%削減できることを実証した。また、各ドライバの消費電流は、動作周波数が 40MHz の場合、それぞれ、 0.14mA 、 0.12mA であり、フィードフォワード制御による消費電流の増分は小さいことを確認した。

各ドライバ回路の速度性能評価として、遅延時間のファンアウト数依存性を図3-11(a)に示す。各ドライバの遅延時間は、ファンアウト数が大きくなると配線遅延の影響が含まれるため、負荷容量のみを駆動する場合の遅延時間に比べて大きくなるが、FF-BiNMOSドライバ回路はファンアウト数40の駆動に対しても、BiNMOSドライバ回路に比べて高速動作が可能となることがわかる。各ドライバ回路の遅延時間の配線長依存性を図3-11(b)に示す。ここでは、配線抵抗の影響

表 3-2 0.5 μm BiCMOS デバイス特性

MOSFET	
ゲート長	0.55 μm
ゲート酸化膜厚	11 nm
ドレイン飽和電流	
nMOSFET	360 μA/μm
pMOSFET	180 μA/μm
バイポーラ・トランジスタ	
エミッタサイズ	0.6 × 10 μm ²
遮断周波数	12 GHz
電流利得	80

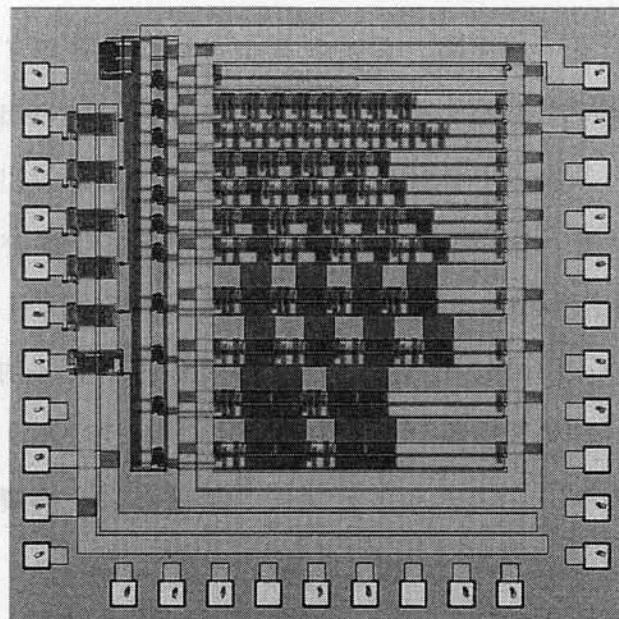
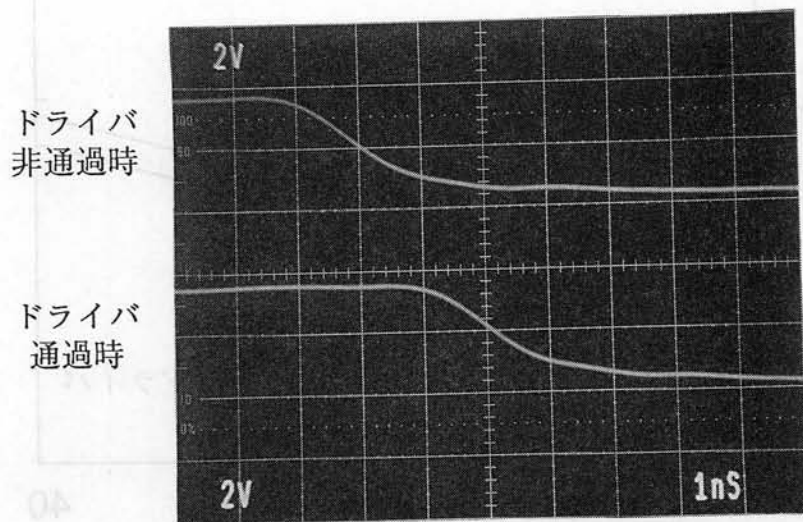
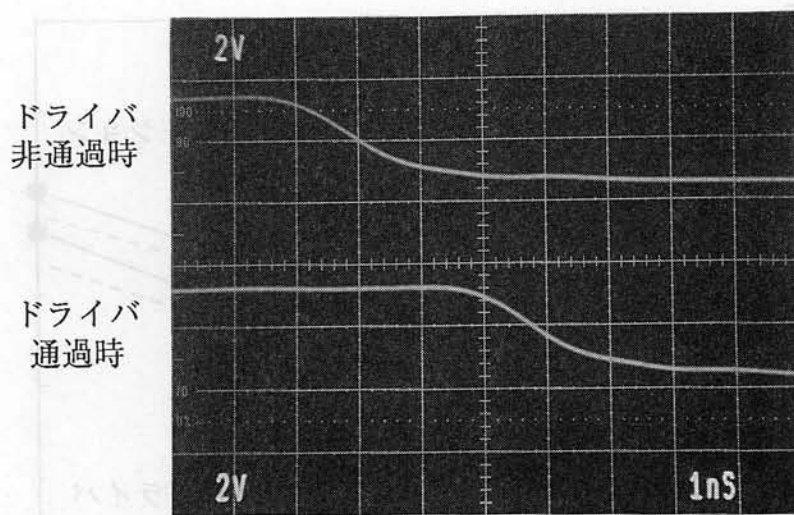


図 3-9 ドライバ回路遅延時間評価 TEG

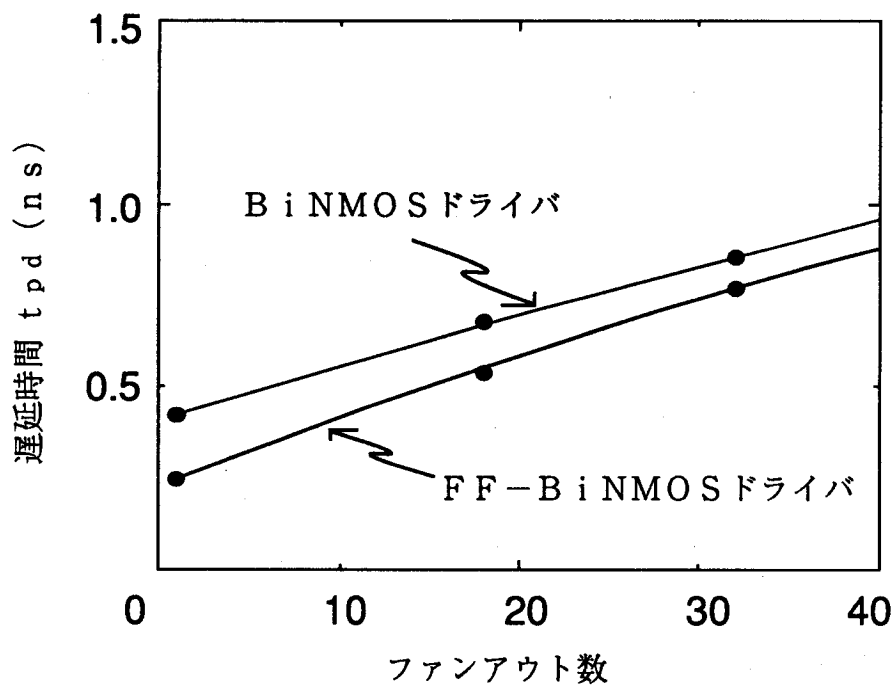


(a) FF-BiNMOSドライバ

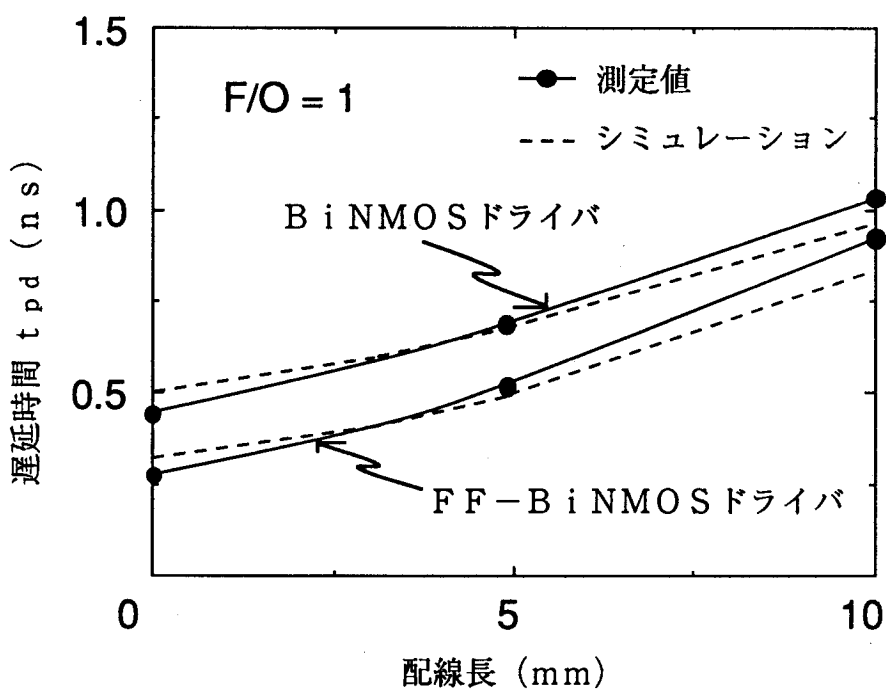


(b) BiNMOSドライバ

図3-10 各ドライバ回路の実測波形



(a) 遅延時間のファンアウト数依存性



(b) 遅延時間の配線長依存性

図3-11 BiNMOSドライバ回路の遅延特性 (実測値)

が顕著になるように、ファンアウト数を1として、10 mmの配線駆動に要する遅延時間が評価できるようにした。測定値とシミュレーション値は比較的よく一致しており、配線長が10 mm存在しても、FF-BiNMOSドライバ回路は、BiNMOSドライバ回路に比べて高速化が可能となることがわかった。

3. 5 まとめ

本章では、高負荷を多段接続のインバータで駆動するドライバ回路として、最終段にBiNMOSインバータを用いたBiNMOSドライバ回路の最適構成法を述べた。また、遅延時間を更に削減できるドライバ回路として、フィード・フォワード制御を用いたドライバ回路の構成法を述べた。以下に得られた結果を要約する。

(1) ドライバ回路の遅延時間を最小にする、各段のインバータ構成、および、インバータ・サイズが導出できる最適設計手法を明確にした。特に、ドライバ回路の占有面積を一定にしてインバータ・サイズを最適化する設計手法を明らかにした。

(2) BiNMOSドライバ回路の遅延時間をさらに削減するために、BiNMOSインバータの駆動バイポーラ・トランジスタのベースを前々段のインバータで制御するフィード・フォワード形(FF)BiNMOSドライバ回路を提案するとともに、その高速化条件を解析式で明らかにした。

(3) 各種ドライバ回路を0.5 μ m BiCMOSプロセスで試作・評価し、FF-BiNMOSドライバ回路が、配線遅延を含む高負荷駆動に最も有用であることを実証した。

第 4 章 E C L - C M O S メ モ リ 構 成 法

4. 1 ま え が き

メモリの電源電圧は、主に MOSFET のドレイン・ソース間耐圧、および、ゲート・基板間耐圧で決まる。メモリの各要素回路をバイポーラ ECL (Emitter Coupled Logic) 回路と CMOS 回路に分離し、CMOS 回路の印加電圧のみを低電圧化すれば、ECL 回路の高速性能と CMOS 回路の高集積性能を同時に実現できる。本章では、メモリセルを除く周辺回路を ECL 回路で構成し、メモリセルの低電位電源 (V_{ss}) を昇圧して、CMOS メモリセルの印加電圧を低電圧化した ECL-CMOS メモリ構成⁽²⁵⁾⁽⁴⁵⁾を述べる。特に、ECL-CMOS メモリ構成における ECL レベルから MOS レベルへのレベル変換方式、および電源変換方式を従来メモリ構成と比較することによって、その有用性を明確化する。

4. 2 E C L 回 路 と メ モ リ 構 成

典型的なバイポーラ ECL 回路を図 4-1 に示す。ECL 回路は、電源電圧に比べて小振幅の ECL レベル (高レベル-0.8 V、低レベル-1.6 V) の信号で動作する回路であり、入力信号の検出を行う電流切り換え回路と、高負荷容量を駆動するエミッタフォロワ回路からなる。ECL 回路は入出力信号を高電位電源側で小振幅動作させるため、電流切り換え回路を構成する駆動バイポーラ・トランジスタ Q_1 、 Q_2 のコレクタ・エミッタ間電圧を小さくできる。特に、駆動バイポーラ・トランジスタの最大コレクタ・エミッタ間電圧 $V_{CE(max)}$ は、入力信号レベルを判定する基準電圧 V_{REF} (-1.2 V)、およびバイポーラ・トランジスタのビルトイン電圧 (V_B) を用いて次式で表される。

$$V_{CE(max)} = |V_{REF}| + V_B < |V_{EE}| \quad (4-1)$$

このため、ECL 回路では、外部電源電圧 (V_{EE}) を低下させずにコレクタ・エミッタ間耐圧の小さいバイポーラ・トランジスタが搭載できる。

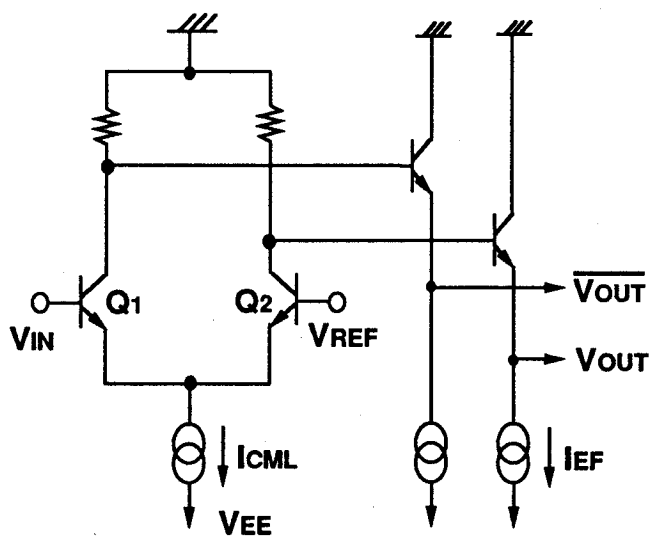


图 4 - 1 ECL 回路構成

メモリの周辺回路をECL回路で構成し、メモリセル部をCMOS回路で構成し、さらには、CMOSメモリセル部の低電位電源（ V_{ss} ）を昇圧したECL-CMOSメモリ構成を図4-2に示す。周辺回路にバイポーラECL回路を用いると、小振幅信号で番地選択、および読出し動作が実現できるため高速動作が可能となる。更には、CMOS回路の低電位電源を昇圧することによって、メモリセル部に耐圧の小さいMOSFETが搭載できるとともに、ECLレベルからMOSレベルへのレベル変換が高速化できる。

以下では、ECL-CMOSメモリ構成におけるレベル変換方式、および電源変換方式の特徴を従来方式と比較して述べる。

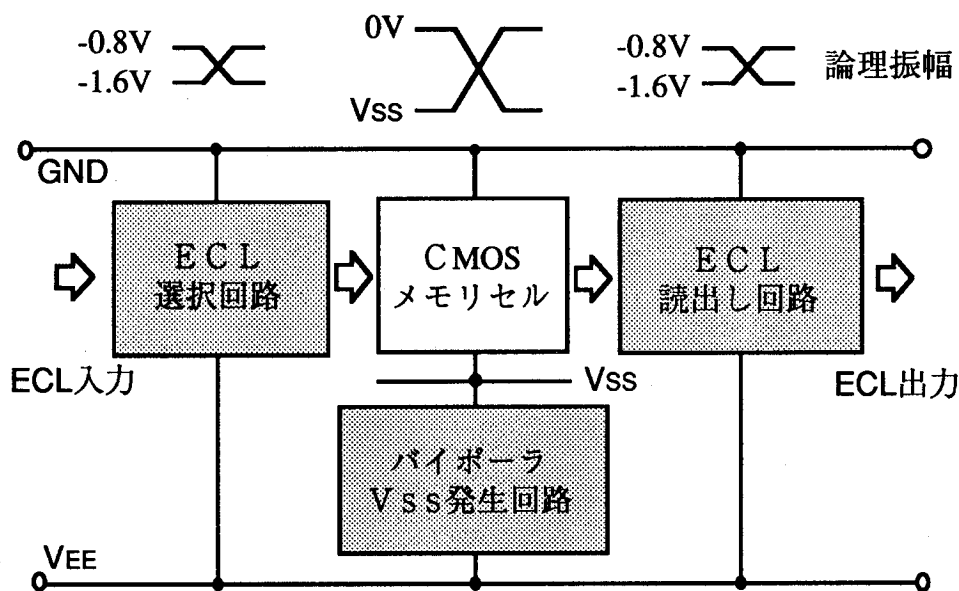


図4-2 ECL-CMOSメモリ構成

4. 3 レベル変換方式の比較

ECL-CMOSメモリ構成および従来のメモリ構成における番地選択回路のレベル変換方式を図4-3に示す。ECL-CMOSメモリ構成では、ECLレベルの信号で番地選択を行い、セルの直前で小振幅信号をCMOSレベルの信号にレベル変換することにより、高速動作を実現している。一方、従来のメモリ構成では、ECLレベルの信号を直ちにCMOSレベルに変換し、CMOSレベルの信号で番地選択を行っている。以下では、各レベル変換方式の性能を遅延時間、および消費電力の点から比較する。

4.3.1 遅延時間の比較

本節では、レベル変換の遅延時間を決めているドライバ回路を対象に、小振幅動作のECL回路と3章で述べた大振幅動作のBiNMOSドライバ回路の遅延時間を比較する。

ECL回路の遅延時間 $t_{pd}(ECL)$ は、図4-1に示すように、バイポーラ電流切り換え回路での遅延時間 $t_{pd}(CML)$ とエミッタフォロワ回路での遅延時間 $t_{pd}(EF)$ の和で表される。エミッタフォロワ回路の遅延時間として、2章の(2-6)式で表される遅延式を用いれば、ECL回路の遅延時間は次式で表される⁽⁴⁶⁾。

$$\begin{aligned} t_{pd}(ECL) &= t_{pd}(CML) + t_{pd}(EF) \\ &= t_{pd}(CML) + \frac{1}{2} \left(\left(\frac{\tau_i V_{ECL} C_L}{I_{CML}} \right)^{1/2} + \frac{1}{2} \frac{V_{ECL} C_L}{I_{EF}} \right) \end{aligned} \quad (4-2)$$

τ_i : 駆動トランジスタのベース走行時間

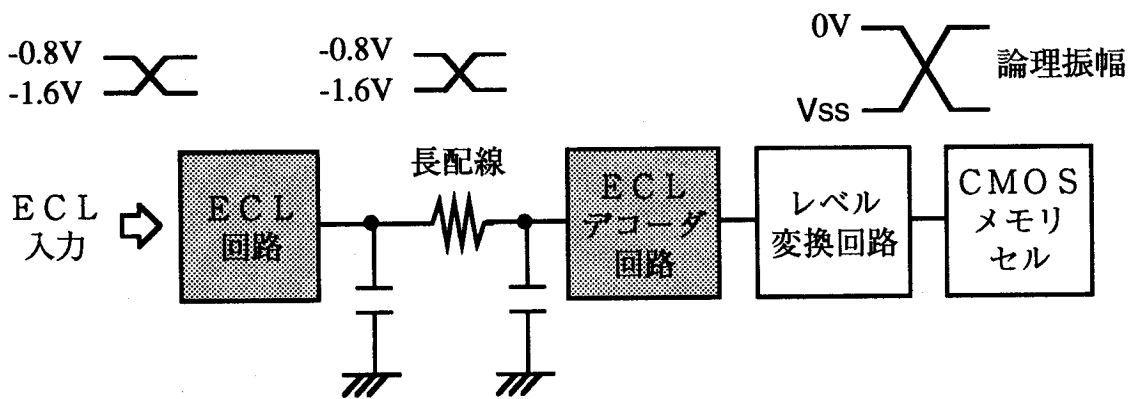
V_{ECL} : ECL回路の信号振幅

C_L : 外部負荷容量

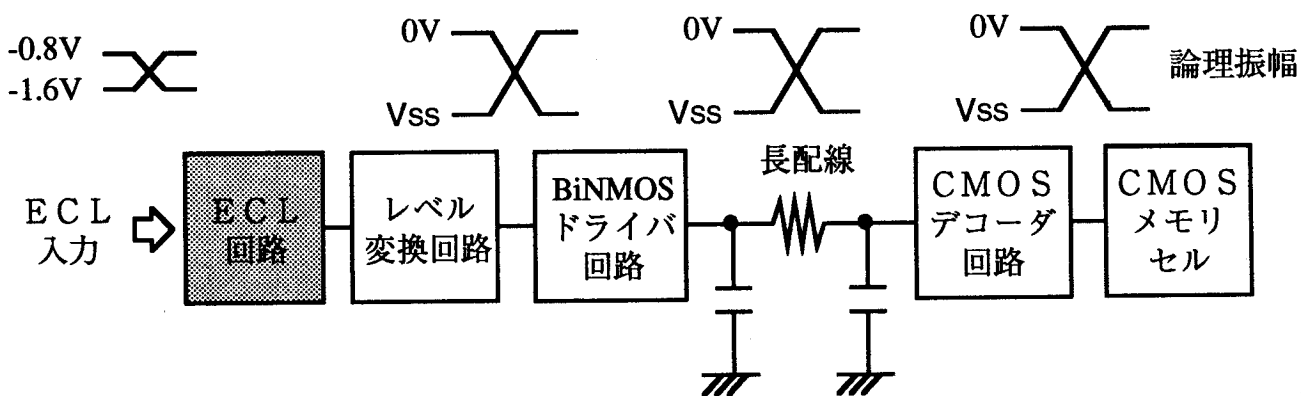
I_{CML} : バイポーラ電流切り換え回路の定電流源の電流値

I_{EF} : エミッタフォロワ回路の定電流源の電流値

(4-2)式において、右辺第2項が出力の立上り時のエミッタフォロワ回路の遅延時間を、第3項が出力の立下り時の遅延時間を示している。



(a) ECL-CMOSメモリ構成



(b) BiNMOSメモリ構成

図4-3 レベル変換方式の比較

ECL回路とBiNMOSドライバ回路の遅延時間を、(4-2)式の右辺第2項、および(3-12)式の最終項で与えられるエミッタフォロワ回路の遅延式を用いて比較する。

ECL回路の信号振幅を0.8V、BiNMOS回路の信号振幅を3.3Vとした場合、ECL回路はBiNMOS回路に比べて、信号振幅を約1/4に削減できる。(4-2)式、および(3-12)式より、各回路の駆動電流を同一とした場合($I_{CML} = I_3$)、ECL回路は信号振幅の小振幅化により、BiNMOS回路に比べて遅延時間を1/2に削減できることがわかる。

ドライバ回路の遅延時間の配線長依存性を、0.5 μ m BiCMOSデバイスを用いて、回路シミュレーションにより求めた結果を図4-4に示す。配線長が15mm存在しても、ECL回路は信号振幅の小振幅化により、BiNMOSドライバ回路に比べて高速動作を行えることが分かる。特に、配線長が10mm存在した場合には、ECL回路はBiNMOSドライバ回路に比べて遅延時間を40%、フィードフォワード(FF)形BiNMOSドライバ回路に比べて、遅延時間を20%削減できる。

4.3.2 消費電流の比較

本節では、レベル変換の消費電流を決めているデコード回路を対象に、ECLデコード回路と従来のCMOSデコード回路の消費電力を比較する。なお、ECLデコード回路としては、図4-5(a)に示すような選択したトランジスタにしか電流を流さないシリーズ・ゲート回路を用いた。

ECLデコード回路の消費電流 $I_{(ECL)}$ は、定電流源を用いるため、動作周波数に係わらず、定電流値 I_{CML} を用いて次式で近似できる。

$$I_{(ECL)} = I_{CML} \quad (4-3)$$

一方、CMOSデコード回路は、電源電圧(V_{SS})レベルで負荷容量 C_L を充放電するため、その消費電流 $I_{(CMOS)}$ は動作周波数 f を用いて次式で表される。

$$I_{(CMOS)} = 2 C_L |V_{SS}| f \quad (4-4)$$

各デコード回路の消費電流の動作周波数依存性を図4-6に示す。ECLデコード回路の定電流値 I_{CML} を1mAとし、CMOSデコード回路の負荷容量 C_L を0.2pF、電源電圧を $V_{SS} = -3.3$ Vとした場合、動作周波数 $f = 757$ MHzで各論理回路の消費電流が等しくなる。メモリの目標動作周波数は、200MHz以上(アク

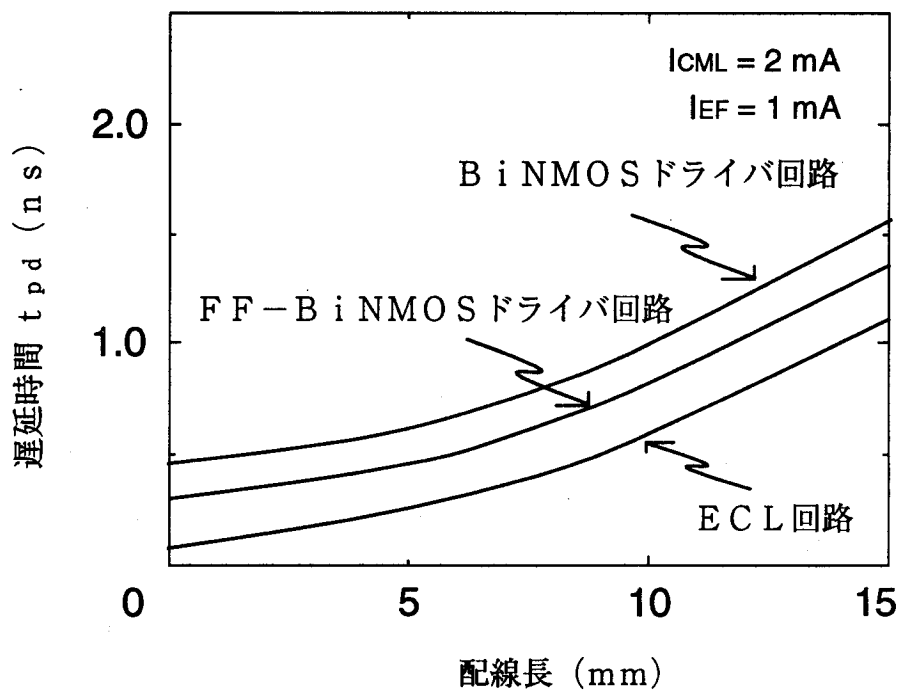
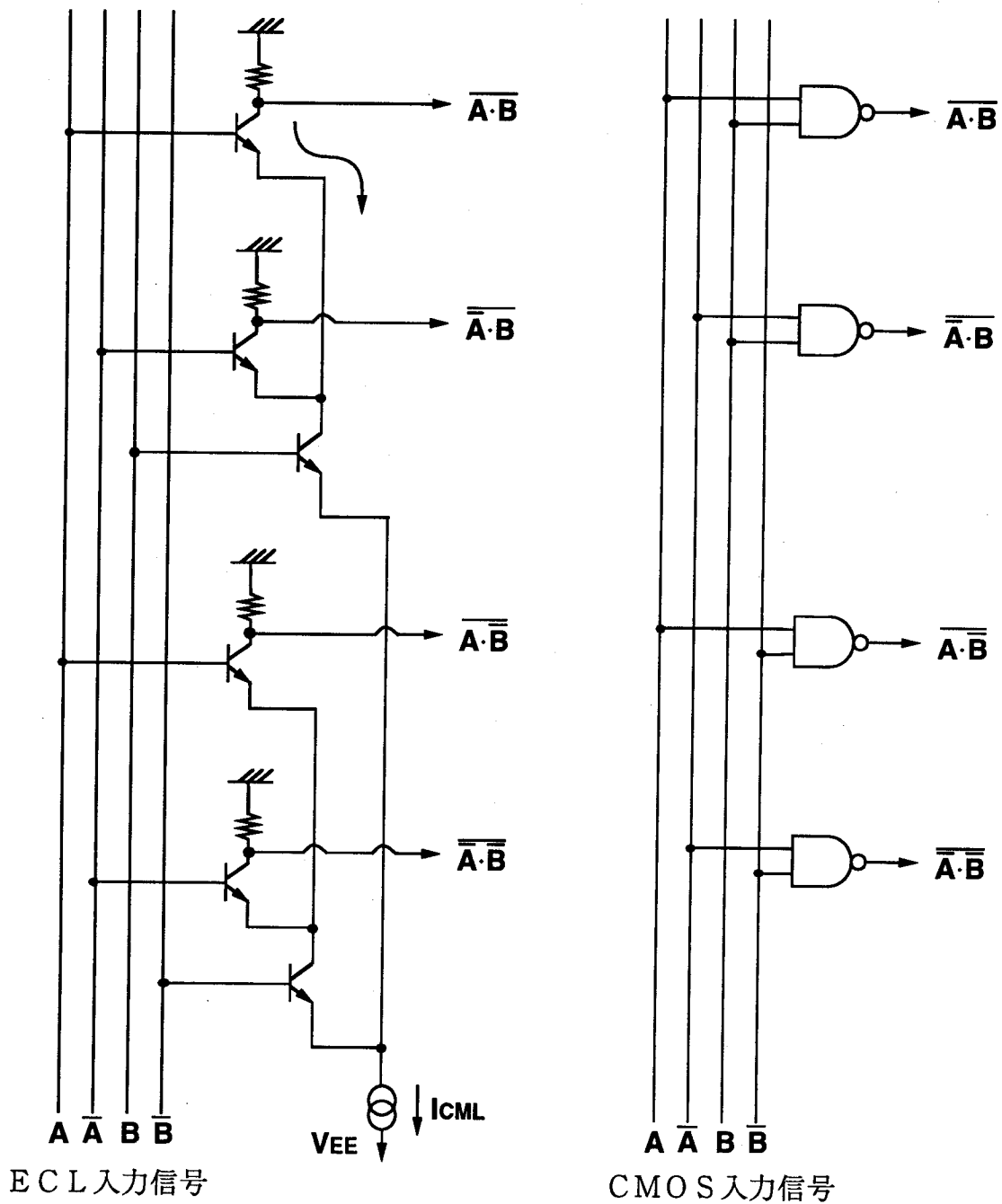


図4-4 ドライバ回路の遅延時間の配線長依存性



(a) シリーズ・ゲート形ECLデコーダ回路 (b) CMOSデコーダ回路

図4-5 デコーダ回路構成

セス時間 5 ns 以下) であり、動作周波数の向上とともに ECL デコーダ回路と CMOS デコーダ回路の消費電流の差がなくなること示した。

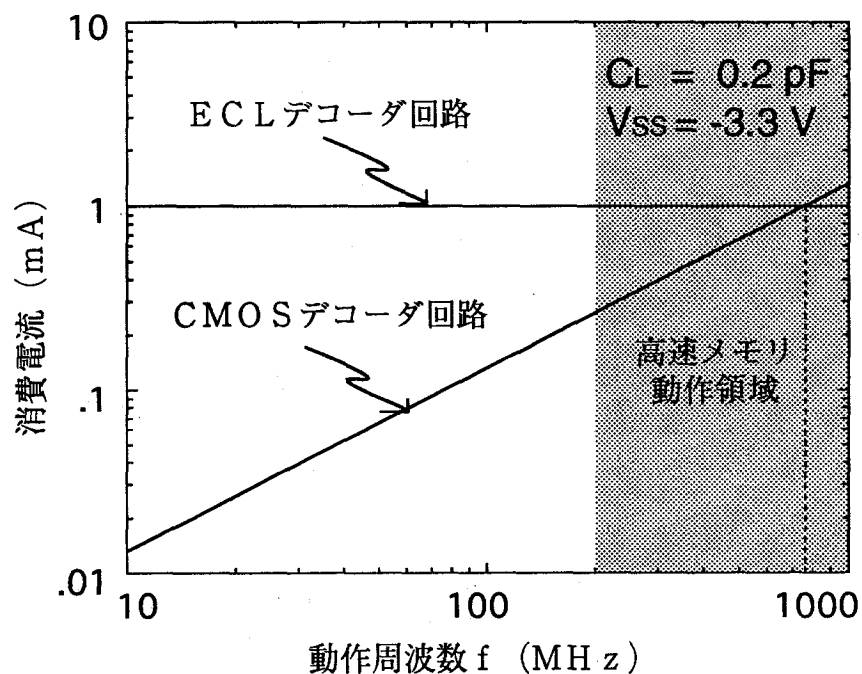


図 4-6 デコーダ回路の消費電流の動作周波数依存性

4. 4 電源変換方式の比較

電源変換回路によりCMOSメモリセル部の印加電圧を低電圧化する手法として、セルの高電位電源 (V_{DD}) を降圧する手法がTTLインタフェイスの論理回路で用いられている⁽⁴⁷⁾。本方式をECL-CMOSメモリ構成に適用した場合には、高レベル側で発生した番地選択信号を低電位側にレベルシフトする回路が必要となるため、遅延時間、および消費電力が増大する。ここでは、レベルシフトが不要な電源変換方式として、メモリセルの低電位電源 (V_{SS}) を昇圧する構成を提案した。

以下では、 V_{SS} 昇圧方式と V_{DD} 降圧方式の比較を行い、ECL-CMOSメモリ構成では、 V_{SS} 昇圧方式が有用となることを示す。

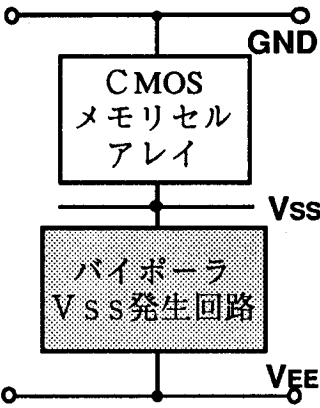
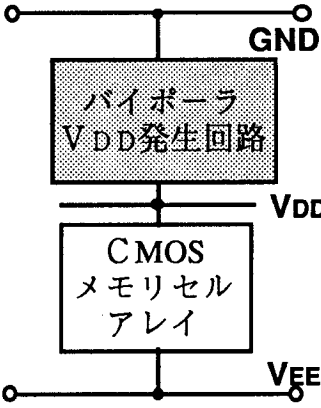
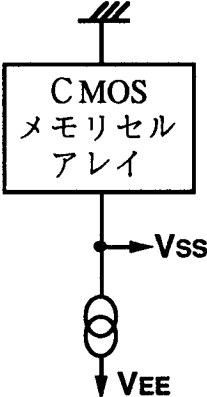
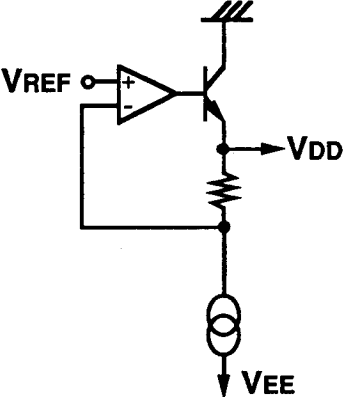
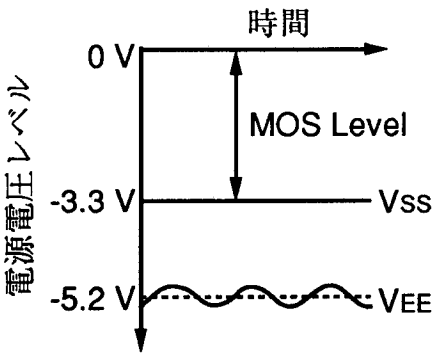
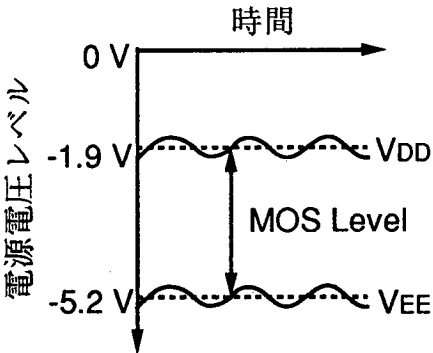
4.4.1 V_{SS} 昇圧方式と V_{DD} 降圧方式

V_{SS} 昇圧方式と V_{DD} 降圧方式を表4-1に示す。 V_{SS} 昇圧方式は、メモリセル部の低電位電源 V_{SS} を昇圧する電源変換方式であり、一定のセル電流を定電流源で吸収することにより V_{SS} レベルを昇圧できる。定電流源により、 V_{SS} レベルは外部電源変動の影響を受けず、一定のCMOSレベルが高電位電源側で得られる。このため、ECL周辺回路からCMOS回路へのレベル変換が容易となり、MOSレベルが小さくなるほど、 V_{SS} レベルが高電位電源側に接近し、レベル変換を高速化できる。

一方、 V_{DD} 降圧方式は、メモリセル部の高電位電源 V_{DD} を降圧する電源変換方式であり、定電圧源 V_{REF} を用いたフィードバック回路により V_{DD} レベルが降圧できる。フィードバック回路により、 V_{DD} レベルは外部電源変動とともに変動し、MOSレベルを一定に保つため、ECLレベルからMOSレベルへのレベル変換が外部電源電圧の影響を直接受けることになる。又、MOSレベルが小さくなるほど、 V_{DD} レベルは低電位電源側に接近し、ECL回路からCMOS回路へのレベル変換に要する遅延時間が増大する。

以上のことから、本メモリ構成では電源変換方式として、 V_{SS} 昇圧方式を採用した。

表 4 - 1 電源変換方式の比較

	VSS昇圧方式	VDD降圧方式
回路方式		
電源変換回路構成		
電源変換回路の出力レベル		

4.4.2 BiCMOSデバイス構成

V_{ss} 昇圧方式でCMOS回路をpタイプのシリコン基板（以下、p基板と略す。）上に形成する場合、nMOSFETに印加する基板電圧に対して、次のような問題点が生じる。

（1）nMOSFETの基板電圧をp基板と同じ最低電位 V_{EE} にした場合。

nMOSFETのゲート・基板間に高電圧が印加され、ゲート酸化膜耐圧が問題となる。また、nMOSFETのソース電位が基板電位に比べて上昇するため、バックゲート効果によりしきい値電圧が上昇する。更には、メモリセル・アレイ内に基板電位固定用の外部低電位電源線を通過させなければならないため、セル面積が増大する。

（2）nMOSFETの基板電圧を内部昇圧電位 V_{ss} にした場合。

nMOSFETの基板端子からp基板を通してリーク電流が増大する。

上記（1）、（2）の問題点を解決するため、ここでは、図4-7に示すように、nMOSFETをpウェル内に形成し、pウェルをバイポーラ・トランジスタの形成に用いる高不純物濃度の n^+ 埋込み層、および n^+ コレクタ補償層で囲むpウェル分離を行った。pウェル分離により、nMOSFETの基板端子に内部電源 V_{ss} を印加しても、 n^+ 埋込み層によりp基板へのリーク電流が抑制できる。特に、pMOSFETを構成するnウェルも n^+ 埋込み層で囲むことによって⁽⁴⁵⁾、ラッチアップ耐性、およびメモリセルで問題となる α 線によるソフトエラー耐性を強化した。

ラッチアップは、図4-8に示すように、nウェル中の寄生pnpトランジスタとpウェル中の寄生npnトランジスタによりサイリスタ回路が構成され、CMOS回路のスイッチング時の基板電流等によってサイリスタ回路が動作し、電流が流れ続ける現象である。両ウェルを n^+ 層で囲むデバイス構成〔図4-8（b）参照〕は、pウェルのみを n^+ 層で囲むデバイス構成〔図4-8（a）参照〕に比べて、nウェルの等価抵抗 R_s を小さくできるのでラッチアップ耐性が向上する⁽⁴⁸⁾。なお、本デバイス構成のラッチアップ耐性を更に向上させるデバイス構成として、両ウェル分離に溝分離加工技術を用い、寄生バイポーラ・トランジスタができないようにする構成も、小中らによって報告されている⁽⁴⁹⁾。

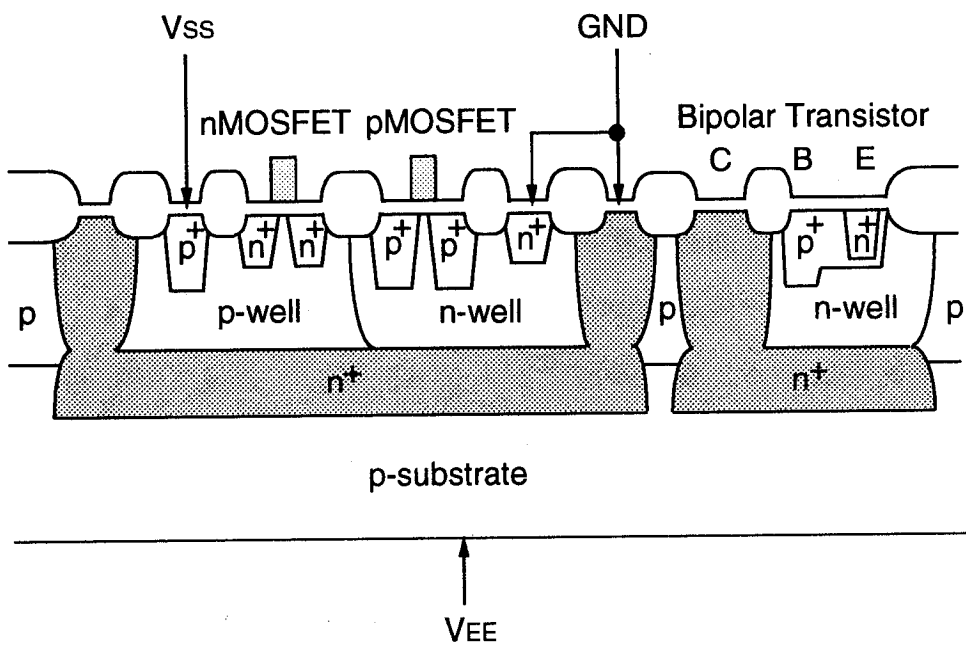
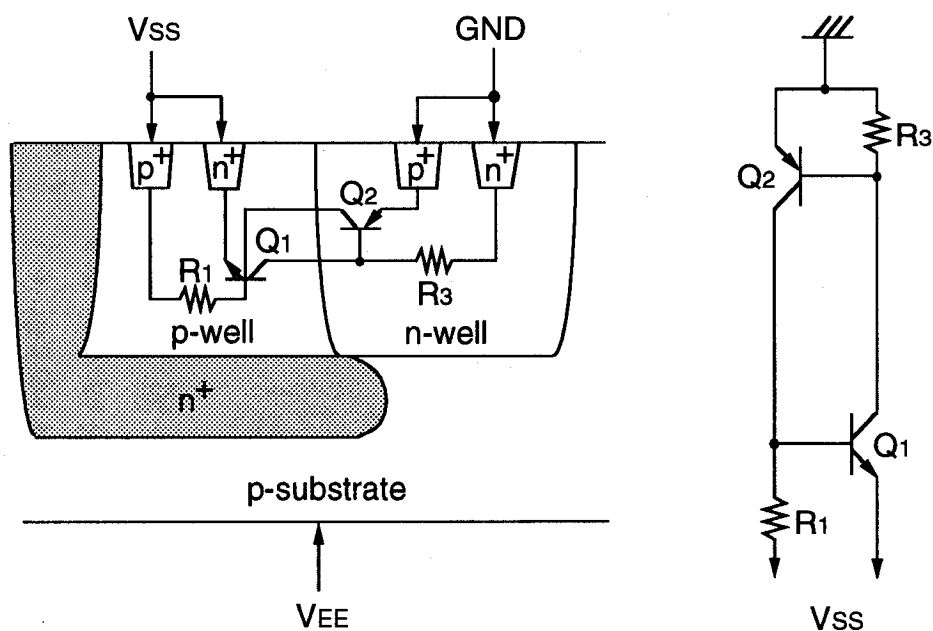
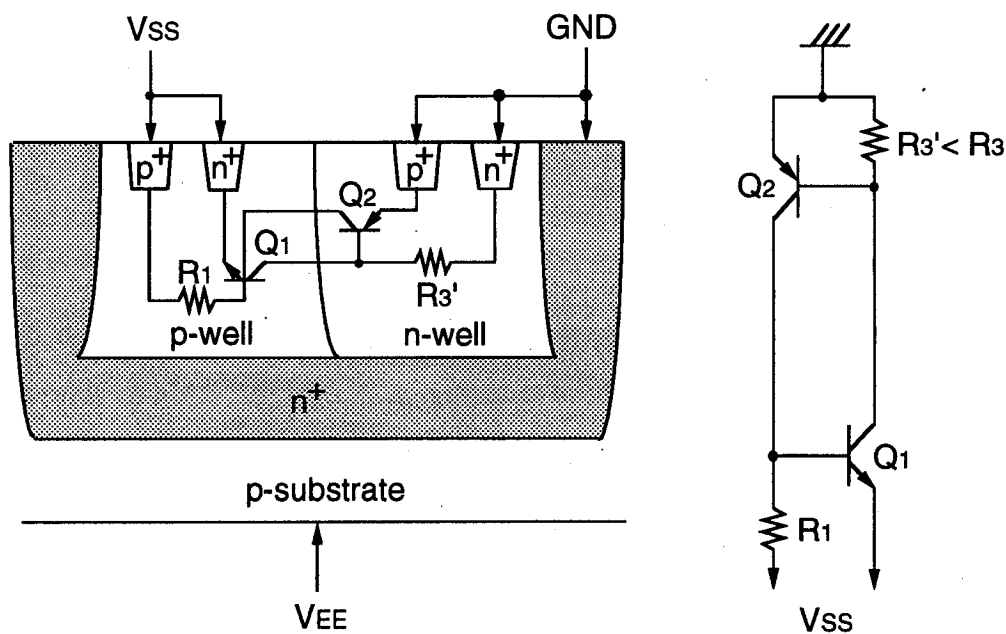


図 4 - 7 ウェル分離形 BiCMOS デバイス構成



(a) p ウェル分離形 BiCMOS デバイス構造と等価回路



(b) 両ウェル分離形 BiCMOS デバイス構造と等価回路

図 4 - 8 ウェル分離形 BiCMOS デバイスのラッチアップ耐性

ソフトエラーは、パッケージ等から放出された α 線がシリコン基板中に進入した場合に生じるメモリセルの情報破壊である。特に、シリコン基板中に生じた過剰電子がメモリセルの高レベルを保持しているnMOSFETのドレイン端子に吸収され、ドレイン・基板間に過渡電流が流れることにより、メモリセルの情報破壊が生じる。両ウェルを n^+ 層で囲むウェル分離構成では、シリコン基板中に生じた過剰電子が n^+ 層で吸収され、MOSFETを構成しているウェル内部への過剰電子の影響が緩和されるためソフトエラー耐性が向上する⁽⁵⁰⁾。

ウェル分離構成の $0.8\mu\text{m Bi CMOS}$ プロセスで256Kb用メモリセルを試作し、そのソフトエラー耐性を評価した⁽⁵¹⁾。ソフトエラー耐性評価には、実験が容易なパルス・レーザテスタ⁽⁵²⁾を用いた。比較のために、同一プロセスでウェル分離のない256Kb用メモリセル、 $2\mu\text{m CMOS}$ プロセスの64Kb用メモリセル⁽⁵³⁾、および $4\mu\text{m CMOS}$ プロセスの1Kb用メモリセル⁽⁵³⁾のソフトエラー耐性も評価した。評価結果を図4-9に示す。ソフトエラー耐性としては、 α 線がシリコン基板中を通過する際に失うエネルギー（阻止能〔LET〕）で評価している。LETと α 線の持つエネルギーの関係は、次式で与えられる⁽⁵³⁾。

$$1 \text{ (LET)} = 1 \text{ (MeV/(mg/cm}^2\text{))} = 0.232 \text{ (MeV/}\mu\text{m)} \quad (4-5)$$

(4-5)式の右辺は、例えば、5MeVのエネルギーをもつ α 線は、シリコン中を約 $25\mu\text{m}$ まで進入することを示しており、LETの値が大きい程ソフトエラー耐性が向上していることを示している。 α 線によりソフトエラーが生じるLETの領域を網掛けで示した。図4-9より、ウェル分離構成を用いた256Kb用メモリセルは、ウェル分離のないメモリセルに比べてソフトエラー耐性が約1.5倍大きくなる。ウェル分離のない256Kb用メモリセルも、シリコン基板が高不純物濃度のエピタキシャル・ウエハを用いているために、64Kb用および1Kb用メモリセルに比べてソフトエラー耐性が向上しているが⁽⁵³⁾、今後の低電圧化によりメモリセルのソフトエラー耐性が低下することを考慮すると、ウェル分離構成が有用となる。

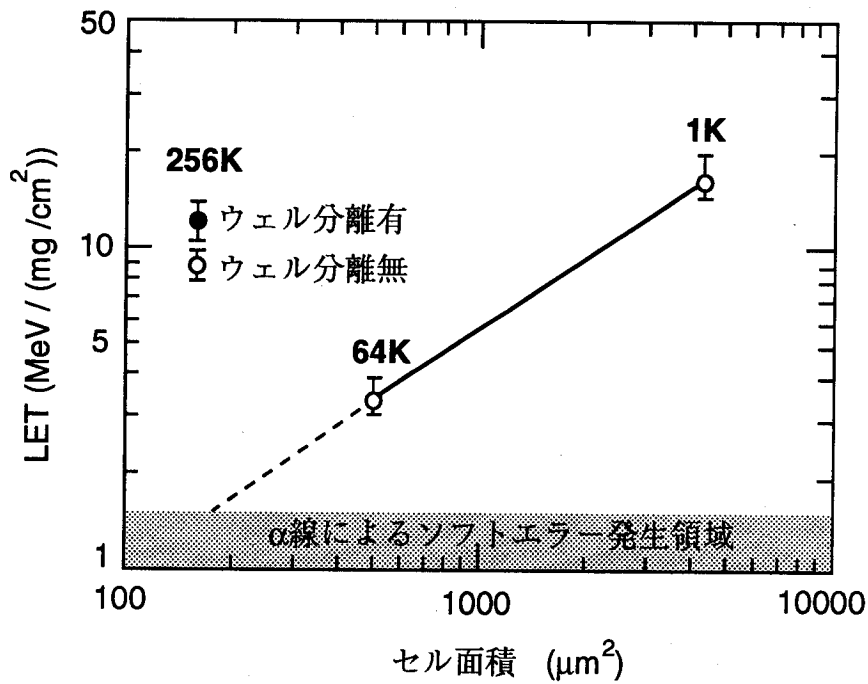


図 4 - 9 ウェル分離形 BiCMOS デバイスを用いた CMOS メモリセルのソフトエラー耐性

4. 5 まとめ

本章では、高速動作可能な低電圧メモリ構成として、メモリセルを除く周辺回路をバイポーラECL回路で構成し、CMOSメモリセルの低電位電源 V_{ss} を外部低電位電源 V_{EE} に比べて昇圧し、メモリセルの印加電圧を低電圧化したECL-CMOSメモリの構成法を述べた。特に、ECL-CMOSメモリ構成におけるレベル変換方式、およびメモリセル部の電源変換方式の特徴を明確にした。以下に得られた結果を要約する。

(1) ECLレベルからCMOSレベルへのレベル変換方式として、ECLレベルの小振幅信号で番地選択を行い、メモリセルの直前でECLレベルの信号をCMOSレベルの信号にレベル変換する方式が、従来のCMOSレベルの信号で番地選択を行うレベル変換方式に比べて高速動作が可能となることを明確化した。

(2) ECL-CMOSメモリ構成におけるメモリセルの電源変換方式として、セルの低電位電源 V_{ss} を昇圧する電源変換方式が、セルの高電位電源 V_{DD} を降圧する電源変換方式に比べて、高速かつ安定なレベル変換に適していることを明確化した。また、セルの低電位電源 V_{ss} を昇圧する電源変換方式に必要なデバイス構成として、nMOSFETを形成するpウェルを、高不純物濃度の n^+ 埋込み層でシリコン基板と分離するpウェル分離構成の特徴を明確化した。

第 5 章 バイポーラ周辺回路構成法

5. 1 まえがき

ECL-CMOSメモリ構成における周辺回路をバイポーラECLメモリと同じ周辺回路⁽⁵⁴⁾で構成した場合には、セルの番地選択を行う電流切り換え形の論理回路がセル毎に必要となるため、選択回路の消費電力が大きくなる。このため、従来の周辺回路構成は、メモリ規模が256Kb以上の大容量メモリに適用できなくなる。また、ECL-CMOSメモリ構成では、ECLレベルからCMOSレベルへのレベル変換回路や、メモリセルの低電位電源(V_{ss})を発生する V_{ss} 発生回路が必要となる。

本章では、大容量メモリに適用可能なバイポーラ周辺回路構成として、まず、選択回路では、選択されたトランジスタにしか電流が流れないシリーズ・ゲート回路を主体とした低電力デコード回路の構成法を述べる。また、電流切り換え回路を用いたレベル変換回路の構成法を述べる。つぎに、読出し回路では、大規模メモリに適用可能な回路構成として、出力バッファ回路にもマルチプレクシング機能を備えた多段マルチプレクシング方式⁽⁵⁶⁾を述べる。最後に、 V_{ss} 発生回路では、メモリセル電流が変動しても一定の低電位電源が供給できる電流源の構成法を述べる。

5. 2 選択回路の構成法

ECL-CMOSメモリ構成における選択回路構成を図5-1に示す。選択回路は、プリデコード回路、メインデコード回路、およびワードドライバ回路からなる。選択回路の消費電力を低減するために、デコード数の多いメインデコード回路には、選択されたトランジスタにしか電流を流さないシリーズ・ゲート回路を用いた。また、シリーズ・ゲート回路の動作を可能とするために、前段のプリデコード回路には、高レベル選択可能なコレクタドットティング回路⁽⁵⁵⁾を用いた。また、高速動作を行うために、各回路ブロックの信号振幅を小振幅化するとともに、各回路ブロックの回路機能を複合化し、プリデコード回路でECLレベルの検出とデコードを、また、メインデコード回路でデコードとECLレベルの増幅を、1段の回路で実現することによって回路段数を削減した。

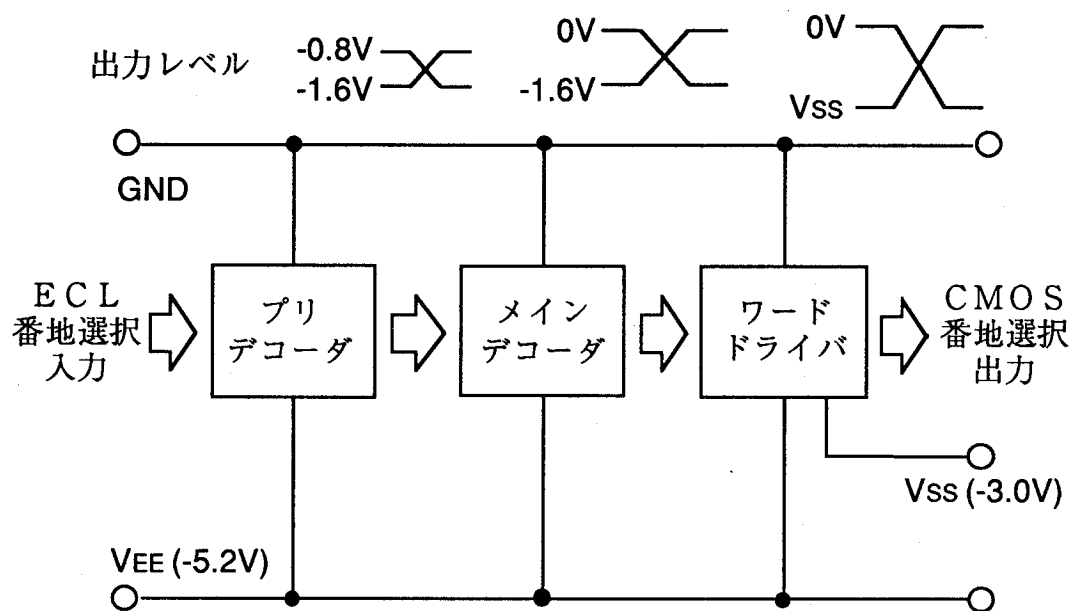


図5-1 ECL-CMOSメモリにおける選択回路構成

以下では、選択回路を構成する各回路ブロックの構成法を述べる。

5.2.1 プリデコード回路の構成法

コレクタ・ドットティング回路を用いたプリデコード回路を図5-2に示す。コレクタ・ドットティング回路でECLレベルの検出およびデコードを行い、エミッタフォロワ回路で高負荷を高速に駆動している。コレクタ・ドットティング回路は、図5-2

(a)に示すように、複数のECL回路のコレクタを共通化し、共通の負荷抵抗に電流を流さない入力との組合せにより、高レベル選択を行う回路である。ここでは、負荷抵抗と並列にダイオードを接続し、低レベルが一定(-0.8V)となるようにして、低レベルから高レベルへの変換に速度ばらつきが生じないようにした。コレクタ・ドットティング回路の入力ビット数を n 、駆動トランジスタ1個あたりに流れる電流値を I_{ECL} とすれば、遅延時間 $t_{pd}(CD)$ は次式で与えられる⁽⁴⁶⁾。

$$\begin{aligned}
 t_{pd}(CD) = & \tau_i + R_B C_D + R_B C_{BC} \left(1 + \frac{R_L}{r_D}\right) \\
 & + R_L C_{BC} \left(1 + \frac{r_D}{R_L}\right) + R_L (n C_{CS} + (n-1) C_{BC}) \\
 & + (R_L + R_{BF}) C_{BCF}
 \end{aligned} \quad (5-1)$$

τ_i : 駆動トランジスタのベース走行時間

R_B : " ベース抵抗

C_D : " 拡散容量 ($C_D = \tau_i I_{ECL} / 0.15$)

C_{BC} : " ベース・コレクタ間容量

r_D : " 順方向ダイオード等価抵抗 ($r_D = 0.15 / I_{ECL}$)

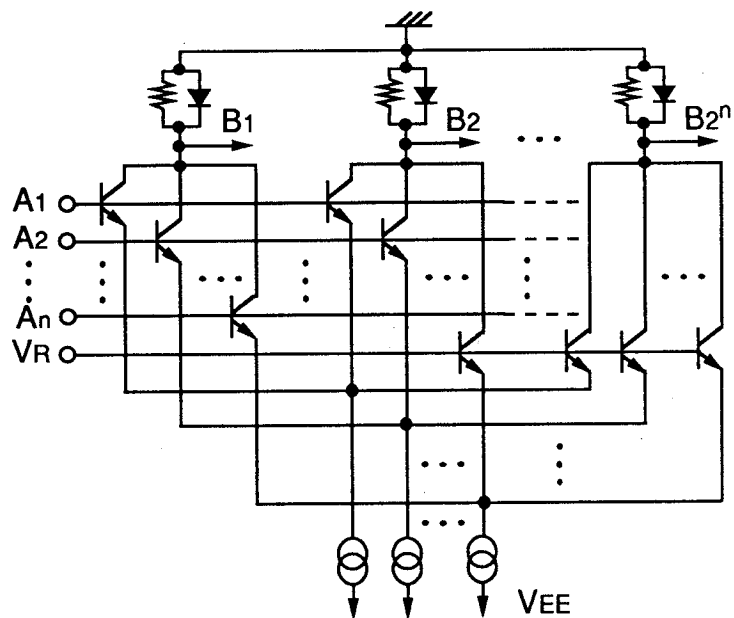
C_{CS} : " コレクタ・基板間容量

R_L : 電流切り換え回路の負荷抵抗

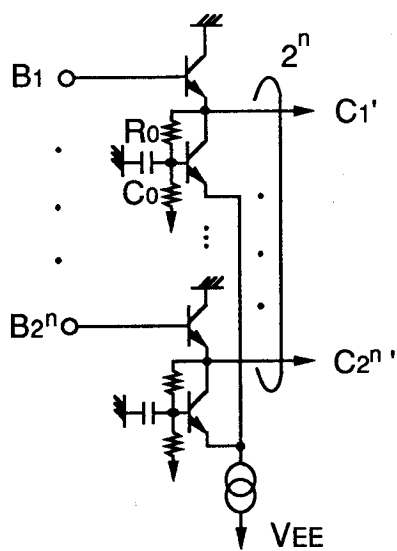
R_{BF} : エミッタフォロワ駆動トランジスタのベース抵抗

C_{BCF} : " ベース・コレクタ間容量

(5-1)式を表5-1に示す $0.8\mu m BiCMOS$ プロセスのバイポーラ・トランジスタに適用して、遅延時間の入力ビット数依存性を求めた結果を図5-3(a)に示す。コレクタ・ドットティング回路では、入力ビット数の増加による遅延時間の増加は、入力ビット数当たり約 $0.05 ns$ と小さいことがわかる。



(a) コレクタ・ドッティング回路

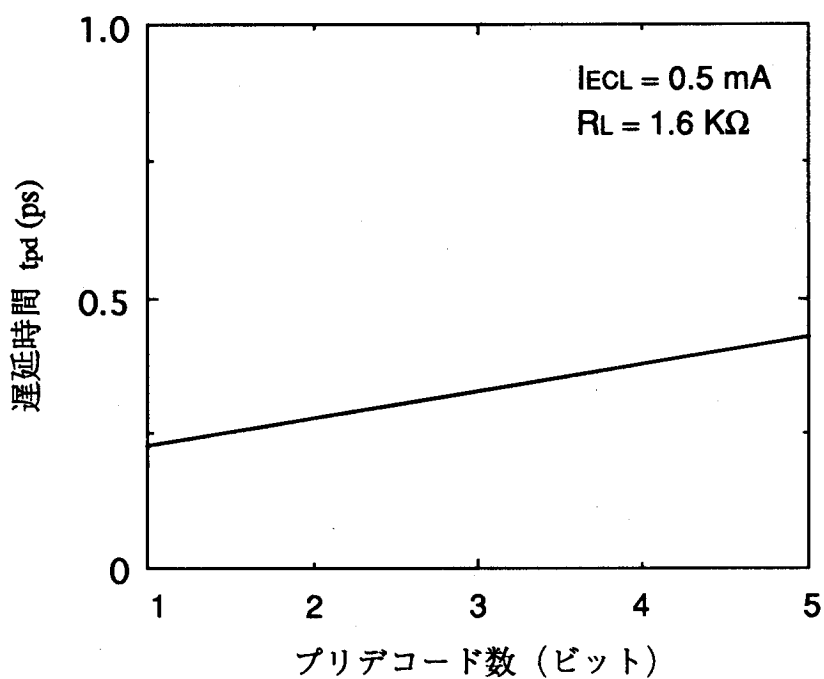


(b) ダイナミック・エミッタフォロワ回路

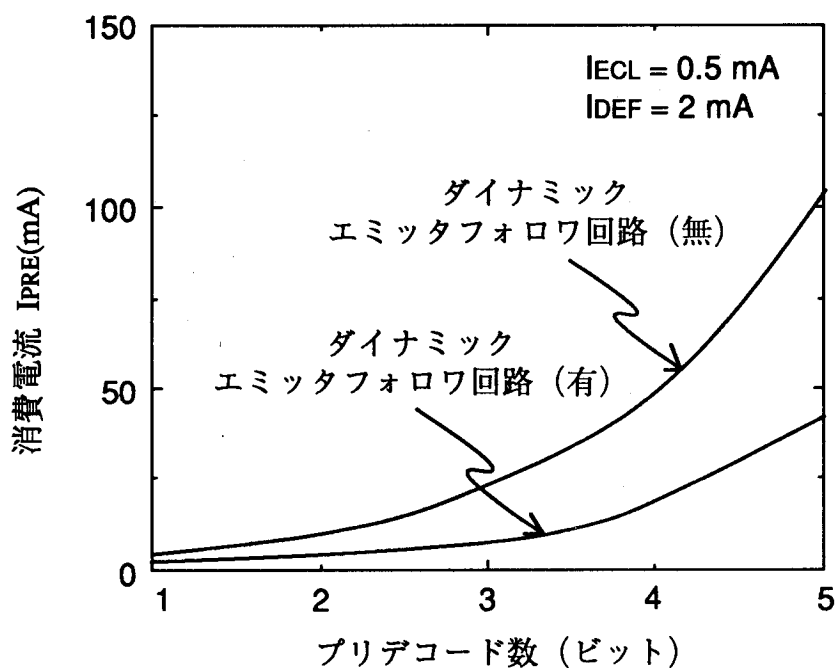
図5-2 プリデコーダ回路構成

表5－1 バイポーラトランジスタのデバイスパラメータ
(0.8 μ mBiCMOSプロセス)

パラメータ	パラメータ名	パラメータ値
τ_i	ベース走行時間	13.5 (ps)
R_B	ベース抵抗	340 (Ω)
R_{BF}	ベース抵抗 (エミッタフォロワ部)	170 (Ω)
C_{BC}	ベース・コレクタ容量	25 (fF)
C_{BCF}	ベース・コレクタ容量 (エミッタフォロワ部)	50 (fF)
C_{CS}	コレクタ・基板間容量	35 (fF)



(a) コレクタ・ドットイング回路の遅延時間の入力ビット数依存性



(b) プリデコーダ回路の消費電流の入力ビット数依存性

図5-3 プリデコーダ回路の性能

つぎに、高負荷を駆動するエミッタフォロワ回路の構成法を述べる。エミッタフォロワ回路は、第4章で述べたように高負荷に対して高速駆動が可能であるが、各回路に定電流源が必要となる。プリデコード回路では、エミッタフォロワ回路がコレクタ・ドットイング回路の各出力に必要であり、コレクタ・ドットイング回路の各出力は、入力ビット数の2の中乗に比例して増加するため、エミッタフォロワ回路での消費電流も同様に増加する。ここでは、図5-2(b)に示すように、エミッタフォロワ回路の負荷素子にバイポーラ・トランジスタを用い、選択されたエミッタフォロワ回路にのみ電流を流す電流切り換え形のダイナミック・エミッタフォロワ回路⁽⁵⁶⁾を用いた。特に、負荷素子に用いるバイポーラ・トランジスタのコレクタ・ベース間にRC回路で構成した遅延素子を挿入することによって、出力の立下りを定電流で高速に駆動できるようにした。

ダイナミック・エミッタフォロワ回路による消費電力の削減効果を解析により求める。エミッタフォロワ回路1段当たりの電流値を I_{DEF} とした場合、プリデコード回路での消費電流 $I_{PRE}(\text{new})$ は次式で与えられる。

$$I_{PRE}(\text{new}) = n 2^{n-1} I_{ECL} + I_{DEF} \quad (5-2)$$

また、従来のエミッタフォロワ回路を用いたプリデコード回路の消費電流 $I_{PRE}(\text{CONV})$ は、

$$I_{PRE}(\text{CONV}) = n 2^{n-1} I_{ECL} + 2^n I_{DEF} \quad (5-3)$$

となる。(5-2)式、および(5-3)式において、 $I_{ECL} = 0.5\text{mA}$ 、 $I_{DEF} = 2\text{mA}$ とした場合の、プリデコード回路の消費電流の入力ビット数依存性を図5-3(b)に示す。入力ビット数が増加するほど、ダイナミック・エミッタフォロワ回路によって低消費電力化が図れることがわかる。特に、プリデコード回路の入力ビット数が4ビットの場合、本形式を用いることにより消費電流を50%以上削減できる。

尚、ダイナミック・エミッタフォロワ回路での遅延時間 $t_{pd}(\text{DEF})$ は、(4-2)式より、負荷容量を C_L 、信号振幅を V_{ECL} とすれば次式で与えられる。

$$t_{pd}(\text{DEF}) = \frac{1}{2} \left[\left(\frac{\tau_i C_L V_{ECL}}{I_{ECL}} \right)^{1/2} + \frac{C_L V_{ECL}}{2 I_{DEF}} \right] \quad (5-4)$$

5.2.2 メインデコード回路の構成法

シリーズ・ゲート回路を用いたメインデコード回路構成を図5-4(a)に示す。縦積み3段のシリーズ・ゲート回路を用いることにより、各段のプリデコード数を分散して大容量デコードが可能になるようにした。シリーズ・ゲート回路は、選択されたトランジスタにしか電流を流さない回路であるため、デコード数が増大しても消費電力は増大しない。シリーズ・ゲート回路で構成したデコード回路の消費電流のデコード数依存性を図5-5(a)に示す。比較のために、デコードの出力毎に電流切り換え形論理回路を用いる従来のバイポーラ・デコード回路⁽⁵⁴⁾の消費電流特性も示した。従来のバイポーラ・デコード回路の消費電流は、デコード数に比例して増加するのに対して、シリーズ・ゲート回路によるデコード回路の消費電流は一定となる。デコード数が1024を越えると、シリーズ・ゲート回路を用いたデコード回路は、従来のデコード回路に比べて消費電流を3桁削減できる。

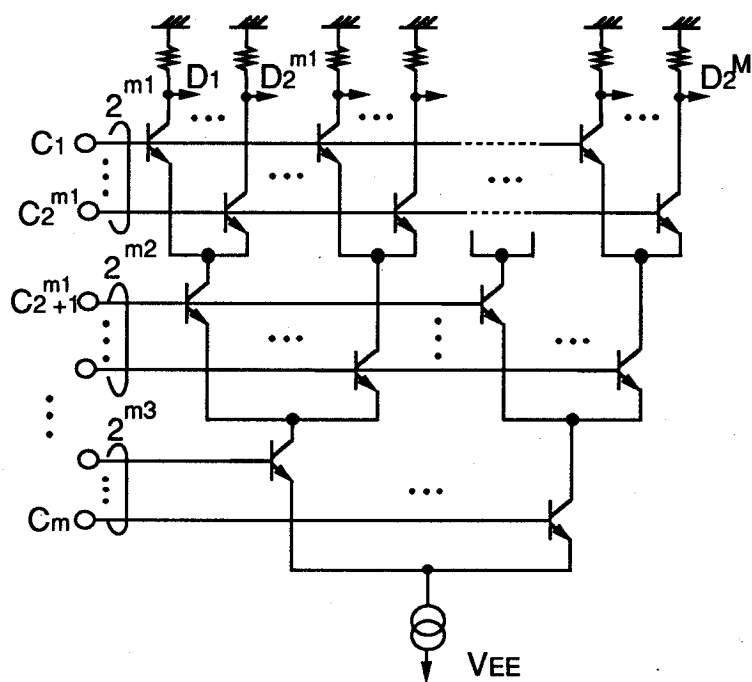
シリーズ・ゲート回路の高速化については、メモリ容量が大規模化するにつれて増加する上段ゲートの入力容量を削減するために、シリーズ・ゲート回路前段にエミッタフォロワ回路を挿入して負荷容量を分散させた(図5-4(b)参照)。また、エミッタフォロワ回路の消費電流を削減するために、ダイナミック・エミッタフォロワ回路同様、負荷素子に選択機能を設けた電流切り換え形の選択機能付エミッタフォロワ回路⁽⁵⁶⁾を用いた。

選択機能付エミッタフォロワ回路の有用性を解析式により導出する。まず、シリーズ・ゲート回路の上段、中段、および下段のデコード数を、 2^{m1} 、 2^{m2} 、 2^{m3} とし、総デコード数を 2^M とする。このとき、各デコード変数に対して次式が成立する。

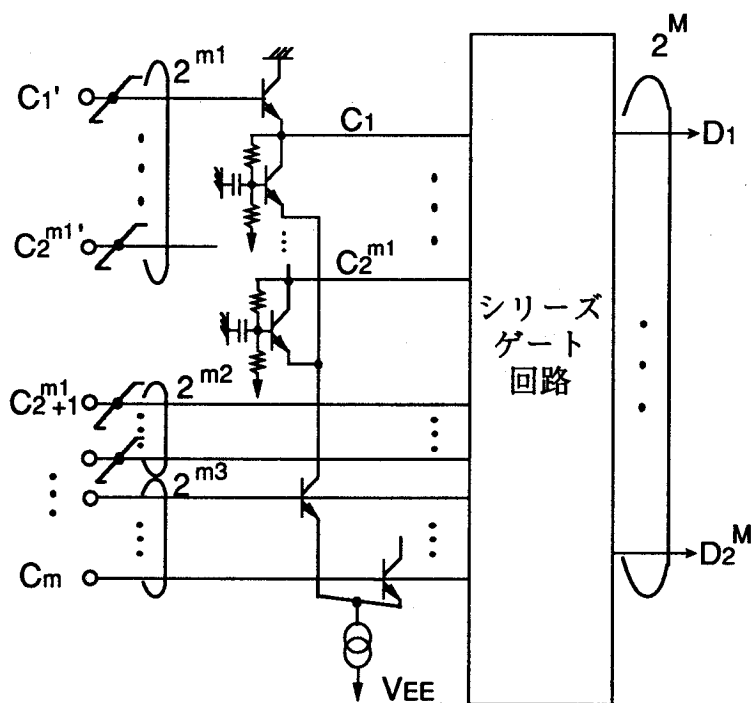
$$M = m1 + m2 + m3 \quad (5-5)$$

デコード回路の遅延時間 T_{DEC} は、プリデコード回路のダイナミック・エミッタフォロワ回路での遅延時間とメインデコード回路での遅延時間の和で表される。シリーズ・ゲート回路のみで構成したデコード回路の遅延時間 $T_{DEC}(\text{conv})$ は、(5-4)式で与えられるダイナミック・エミッタフォロワ回路の遅延時間、および(4-2)式で与えられるシリーズ・ゲート回路の遅延時間 $t_{pd}(\text{SG})$ を用いれば、

$$T_{DEC}(\text{conv}) = \frac{1}{2} \left[\left(\frac{\tau_i C_{L1} V_{ECL}}{I_{ECL}} \right)^{1/2} + \frac{C_{L1} V_{ECL}}{2 I_{DEF}} \right] + t_{pd}(\text{SG}) \quad (5-6)$$

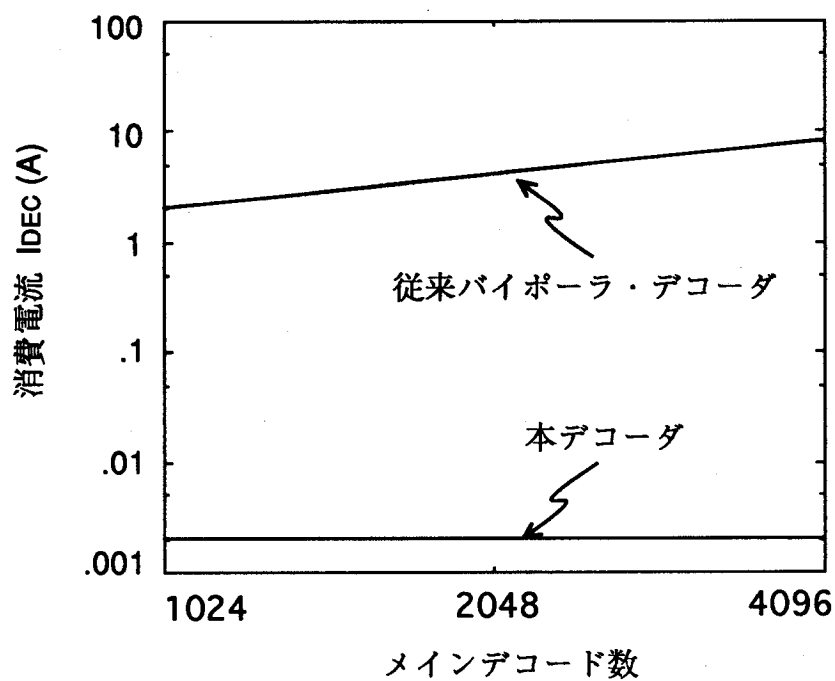


(a) シリーズゲート回路

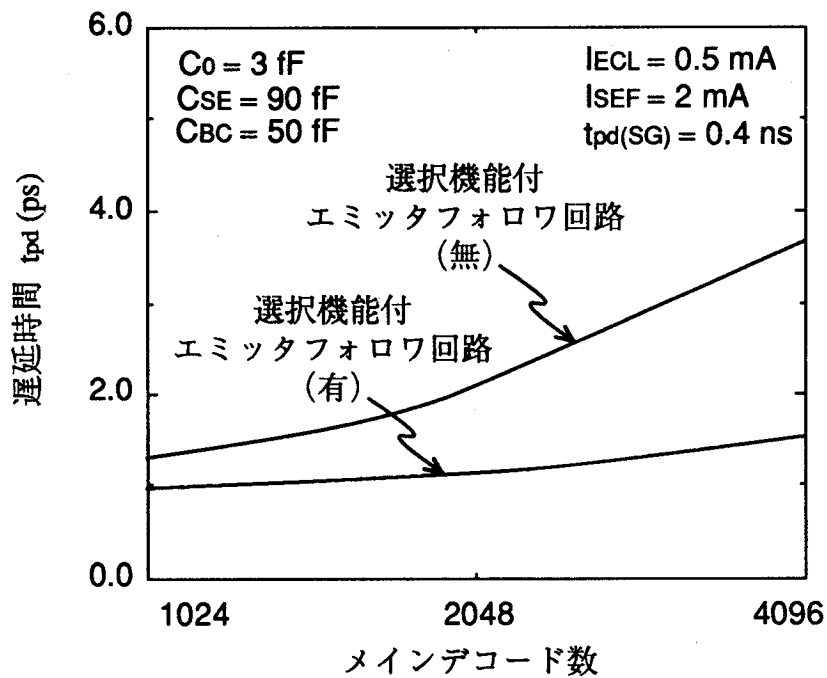


(b) 選択機能付エミッタフォロワ回路

図 5 - 4 メインデコード回路構成



(a) 消費電流のデコード数依存性



(b) 遅延時間のデコード数依存性

図 5-5 メインデコーダ回路の性能

となる。ここで、 C_{L1} はダイナミック・エミッタフォロワ回路の負荷容量であり、シリーズ・ゲート回路の1駆動トランジスタ当たりの入力容量 C_{SE} 、および配線容量 C_0 を用いて次式で表される。

$$C_{L1} = C_{SE} 2^{M-m1} + C_0 \cdot 2^{M-1} \quad (5-7)$$

一方、選択機能付エミッタフォロワ回路とシリーズ・ゲート回路を用いたデコード回路の遅延時間 $T_{DEC} (new)$ は、シリーズ・ゲート回路の 2^{m2} 個の上段ゲートを、消費電流 I_{SEF} のエミッタフォロワ回路で駆動する場合、次式で表される。

$$\begin{aligned} T_{DEC} (new) = & \frac{1}{2} \left[\left(\frac{\tau_i C_{L2} V_{ECL}}{I_{ECL}} \right)^{1/2} + \frac{C_{L2} V_{ECL}}{2 I_{DEF}} \right] \\ & + \frac{1}{2} \left[\left(\frac{\tau_i C_{L3} V_{ECL}}{I_{DEF}} \right)^{1/2} + \frac{C_{L3} V_{ECL}}{2 I_{SEF}} \right] + t_{pd} (SG) \end{aligned} \quad (5-8)$$

ここで、(5-8)式の右辺第1項はダイナミック・エミッタフォロワ回路での遅延時間であり、第2項が選択機能付エミッタフォロワ回路での遅延時間である。また、 C_{L2} はダイナミック・エミッタフォロワ回路の負荷容量であり、選択機能付エミッタフォロワ回路の入力容量 C_{BC} を用いて次式で表される。

$$C_{L2} = C_{BC} 2^{M-(m1+m2)} + C_0 \cdot 2^{M-1} \quad (5-9)$$

さらに、 C_{L3} は選択機能付エミッタフォロワ回路の負荷容量であり、シリーズ・ゲート回路上段ゲートの駆動トランジスタ数 2^{m2} 個を用いて次式で表される。

$$C_{L3} = (C_{SE} + C_0 \cdot 2^{m1}) \cdot 2^{m2} \quad (5-10)$$

(5-6)式～(5-10)式において、上段ゲートのデコード数を $16(m1=4)$ 、中段ゲートのデコード数を $8(m2=3)$ とし、 $0.8\mu m BiCMOS$ デバイスでデコード回路を構成した場合の遅延時間のデコード数依存性を図5-5(b)に示す。デコード数の増加とともに、選択機能付エミッタフォロワ回路により遅延時間を削減できることがわかる。特に、デコード数が $2048(M=11)$ の場合には、本形式を用いることにより遅延時間を約50%削減できる。

5.2.3 ワードドライバ回路の構成法

CMOSメセリセルを駆動するワードドライバ回路には、セルのワード線を駆動するドライバ回路の他に、前段のシリーズ・ゲート回路の出力をCMOSレベルに増幅するレベル変換回路が必要となる。ここでは、高速動作可能な電流切り換え回路を用いてレベル変換回路を構成した^(5,6) (図5-6参照)。レベル変換回路は、ダイオード付CMOSインバータと電流切り換え回路からなる。ダイオード付CMOSインバータにより、入力信号を反転し、その出力信号を低レベル側にレベルシフトすることによって、後段の電流切り換え回路が高速に動作できるようにした。また、電流切り換え回路では負荷抵抗と並列にバイポーラ・トランジスタを接続し、レベル変換回路の入力信号でバイポーラ・トランジスタを駆動することによって、出力の立上り時間を加速した。

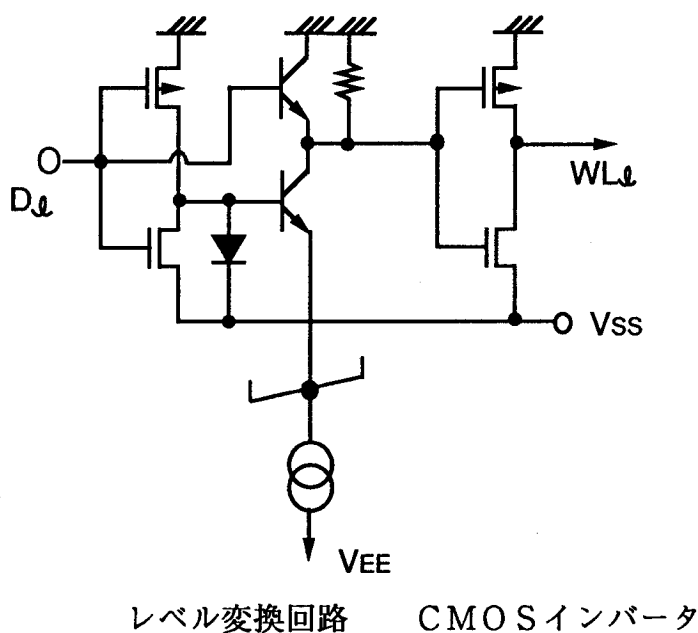


図5-6 ワードドライバ回路構成

レベル変換回路の遅延時間の入力振幅依存性を解析により求める。まず、ダイオード付CMOSインバータの遅延時間を求める。インバータ回路を構成するpMOSFETの駆動電流 I_P は、入力電圧 V_{IN} 、および $V_{DS} = V_{GS} = V_{SS}$ の場合の飽和電流 I_{P0} を用いて次式で表される。

$$I_P = I_{P0} \left(\frac{V_{IN} - \nu_T}{1 - \nu_T} \right)^\alpha \quad (5-11)$$

ここで、 ν_T は電源電圧で規格化したしきい値電圧であり、 α は飽和電流のゲート電圧依存性を示す係数である。(5-11)式より、ダイオード付CMOSインバータの出力が、 V_{SS} レベルから10%上昇するまでの遅延時間 t_{pdH} は、入力の立下り時間 t_T 、および負荷容量 C_L を用いて次式で近似できる⁽⁴¹⁾。

$$t_{pdH} = \left\{ \nu_T + \left(\frac{0.1 | V_{SS} | C_L}{I_{P0}} \right) \frac{(1 + \alpha) (1 - \nu_T)^\alpha}{(V_{SS}/V_{IN}) t_T} \right\} \frac{1}{(1 + \alpha)} \\ \times \left(\frac{V_{SS}}{V_{IN}} \right) t_T - \frac{t_T}{2} \quad (5-12)$$

また、ダイオード付CMOSインバータの出力が、 V_{SS} レベルからバイポーラトランジスタのビルトイン電圧 V_B だけ上昇した電圧値 $(V_{SS} - V_B)$ から電源電圧の90%まで下降するまでの遅延時間 t_{pdL} は、インバータの出力が $(V_{SS} - V_B)$ となる入力電圧 V_{IN}' 、およびnMOSFETの等価抵抗 R_N を用いて次式で近似できる。

$$t_{pdL} = t_T (1 - V_{IN}' / V_{IN}) + R_N C_L - t_T / 2 \quad (5-13)$$

(5-12)式、(5-13)式、および電流切り換え回路での遅延時間 $t_{pd}(CML)$ を用いれば、レベル変換回路での遅延時間 $t_{pd}(LEV)$ は次式となる。

$$t_{pd}(LEV) = (1/2) (t_{pdH} + t_{pdL}) + t_{pd}(CML) \\ = \frac{1}{2} \left(\left\{ \nu_T + \left(\frac{0.1 | V_{SS} | C_L}{I_{P0}} \right) \frac{(1 + \alpha) (1 - \nu_T)^\alpha}{(V_{SS}/V_{IN}) t_T} \right\} \frac{1}{(1 + \alpha)} \right. \\ \left. \times (V_{SS}/V_{IN}) t_T + R_N C_L - t_T \frac{V_{IN}'}{V_{IN}} \right) + t_{pd}(CML) \quad (5-14)$$

(5-14) 式を $0.8\mu\text{mBiCMOS}$ デバイスに適用して、レベル変換回路の遅延時間の入力振幅依存性を求めた結果を図5-7に示す。比較のために、シミュレーションにより求めた結果も示した。図5-7より、解析式とシミュレーションは比較的良好に一致しており、広範囲の入力振幅に対して、遅延時間の変動の少ないレベル変換が可能となる。

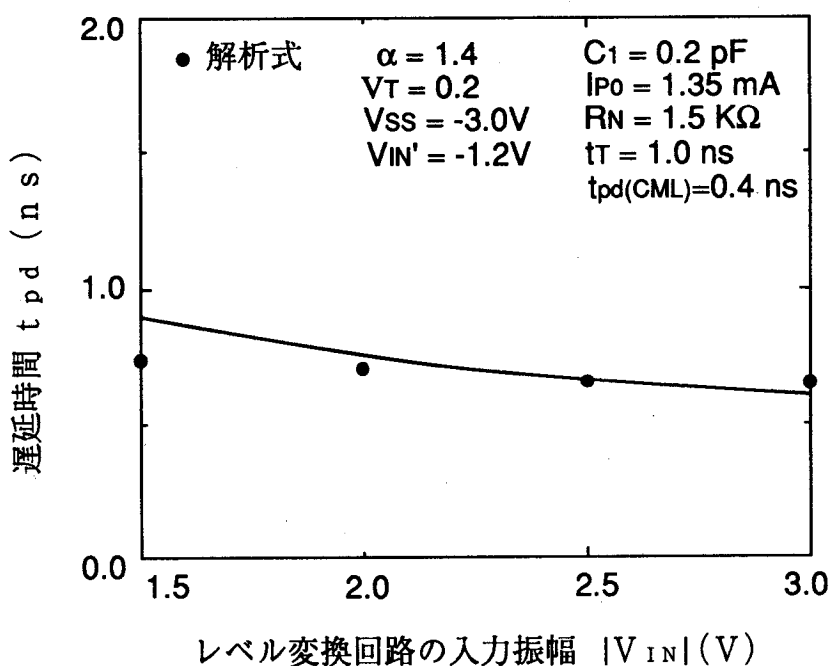


図5-7 レベル変換回路の遅延時間の入力振幅依存性

5.2.4 選択回路の性能比較

0.8 μ m BiCMOS プロセスでメモリ規模 256 Kb を想定して、周辺回路の選択回路を構成した場合、遅延時間 2.9 ns、消費電流 150 mA の性能が得られた。選択回路での遅延時間の内訳を図 5-8 に示す。比較のために、BiCMOS 論理ゲートで構成した従来の選択回路⁽¹⁵⁾の遅延時間も示した。ECL-CMOS メモリ構成では、デコード後にレベル変換を行う回路構成となるため、レベル変換機能を含むワードドライバ回路での遅延時間は従来回路に比べてわずかに増加する。しかしながら、デコード回路で信号振幅、および回路段数を削減できる本回路構成は、選択回路全体の遅延時間を従来回路に比べて 1/2 に削減できる。特に、遅延時間の削減効果は、回路段数を従来の 7 段から 3 段に削減できるプリデコード回路での効果が大きいことがわかる。

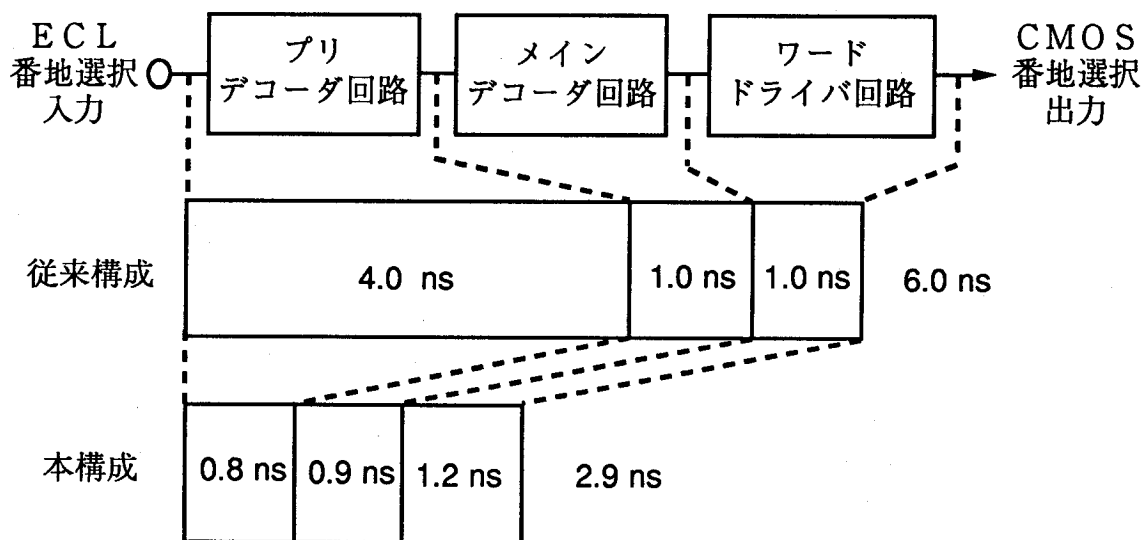


図 5-8 選択回路の速度性能比較

5. 3 読出し回路の構成法

ECL-CMOSメモリ構成における読出し回路構成を図5-9に示す。読出し回路は、マルチプレクサ回路、およびセンスアンプ／出力バッファ回路からなる。読出し回路は、メモリセルの情報を小振幅信号のまま外部に出力できるため、選択回路に比べて高速動作が可能となる。ここでは、大容量メモリに適用可能な回路構成として、出力バッファ回路にもマルチプレクシング機能を持たせた多段マルチプレクシング方式⁽⁵⁶⁾を述べる。

以下では、多段マルチプレクシング方式を構成する各回路ブロックの回路構成法を述べる。

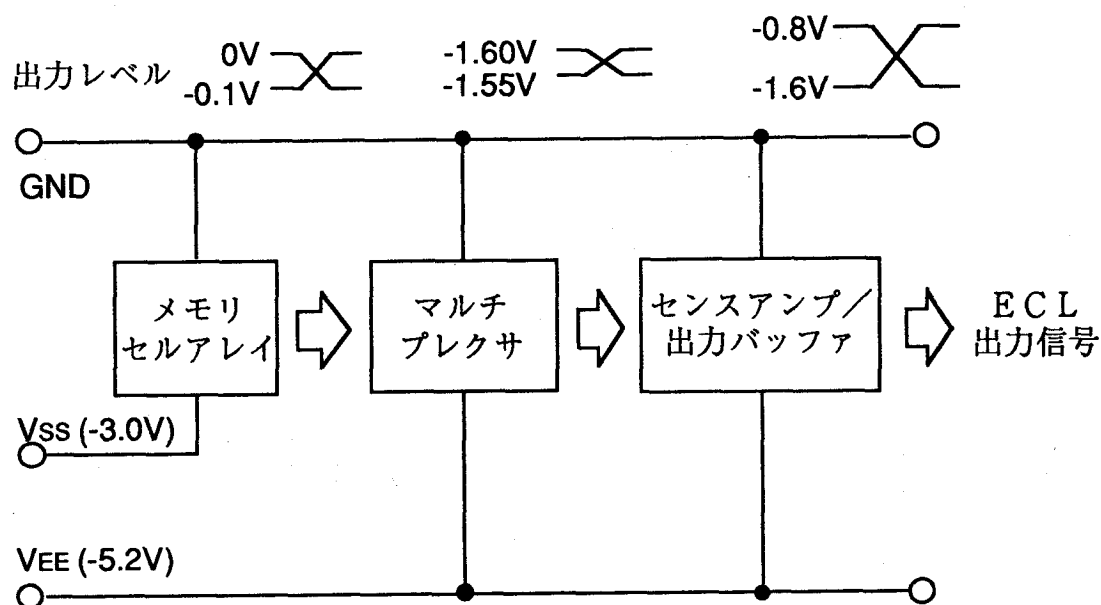


図5-9 ECL-CMOSメモリにおける読出し回路構成

5.3.1 マルチプレクサ回路の構成法

マルチプレクサ回路には、高速動作可能なエミッタ・ドット回路を用いた。マルチプレクサ回路は、エミッタ・ドット回路、列選択回路、および読出し加速回路からなる（図5-10参照）。エミッタ・ドット回路は、負荷容量の大きい共通データ線をエミッタフォロワ回路で駆動できるため高速動作が可能となる。ここでは、エミッタフォロワ回路の出力をダイオードでレベルシフトすることによって、後段のセンスアンプが高速動作できるようにした。また、エミッタ・ドット回路の負荷素子に電流切り換え形の電流源を用い、選択したブロックにのみ電流が流れるようにして消費電流を削減した。マルチプレクシング動作を行う列選択回路では、選択列のビット線を高電位電源（0 V）でプルアップし、非選択列のビット線を電源 V_P （-0.8 V）でプルアップすることにより、エミッタ・ドット回路の出力に選択したメモリセル情報が発生するようにした。読出し加速回路では、各ビット線対にエミッタフォロワ回路を設け、メモリの読出し動作時に、ビット線をエミッタフォロワ回路で昇圧することによって、ビット線振幅が書込み動作時の大振幅信号から読出し動作時の小振幅信号に変化する際の遅延時間を削減した（図5-11（a）参照）。

エミッタ・ドット回路を用いたマルチプレクサ回路の有用性を解析式により求める。マルチプレクシング数を 2^i 、共通データ線に接続するエミッタフォロワ回路1ビット当たりの負荷容量を C_{EF} 、選択ビット線の信号振幅を ΔV_B 、メモリセル電流を I_{CELL} 、および、エミッタ・ドット回路の駆動電流を I_{MUX} とすれば、マルチプレクサ回路での遅延時間 $T_{MUX} (new)$ は、（4-2）式より、

$$T_{MUX} (new) = \frac{1}{2} \left\{ \left(\frac{\tau_i \cdot 2^i \cdot C_{EF} \Delta V_B}{I_{CELL}} \right)^{1/2} + \frac{1}{2} \frac{2^i \cdot C_{EF} \Delta V_B}{\gamma I_{MUX}} \right\} \quad (5-15)$$

となる。ここで、 γ （ $\gamma < 1$ ）は、エミッタフォロワ回路の入力振幅がデジタル動作可能な信号振幅（150 mV）以下になった場合の減衰係数である。

一方、pMOSFETで構成したトランスファ回路による従来のマルチプレクサ回路の遅延時間 $T_{MUX} (conv)$ は、pMOSFETの等価抵抗を R_P 、およびトランスファ回路1回路当たりの負荷容量を C_{TG} とすれば次式となる。

$$T_{MUX} (conv) = R_P \cdot 2^i \cdot C_{TG} \quad (5-16)$$

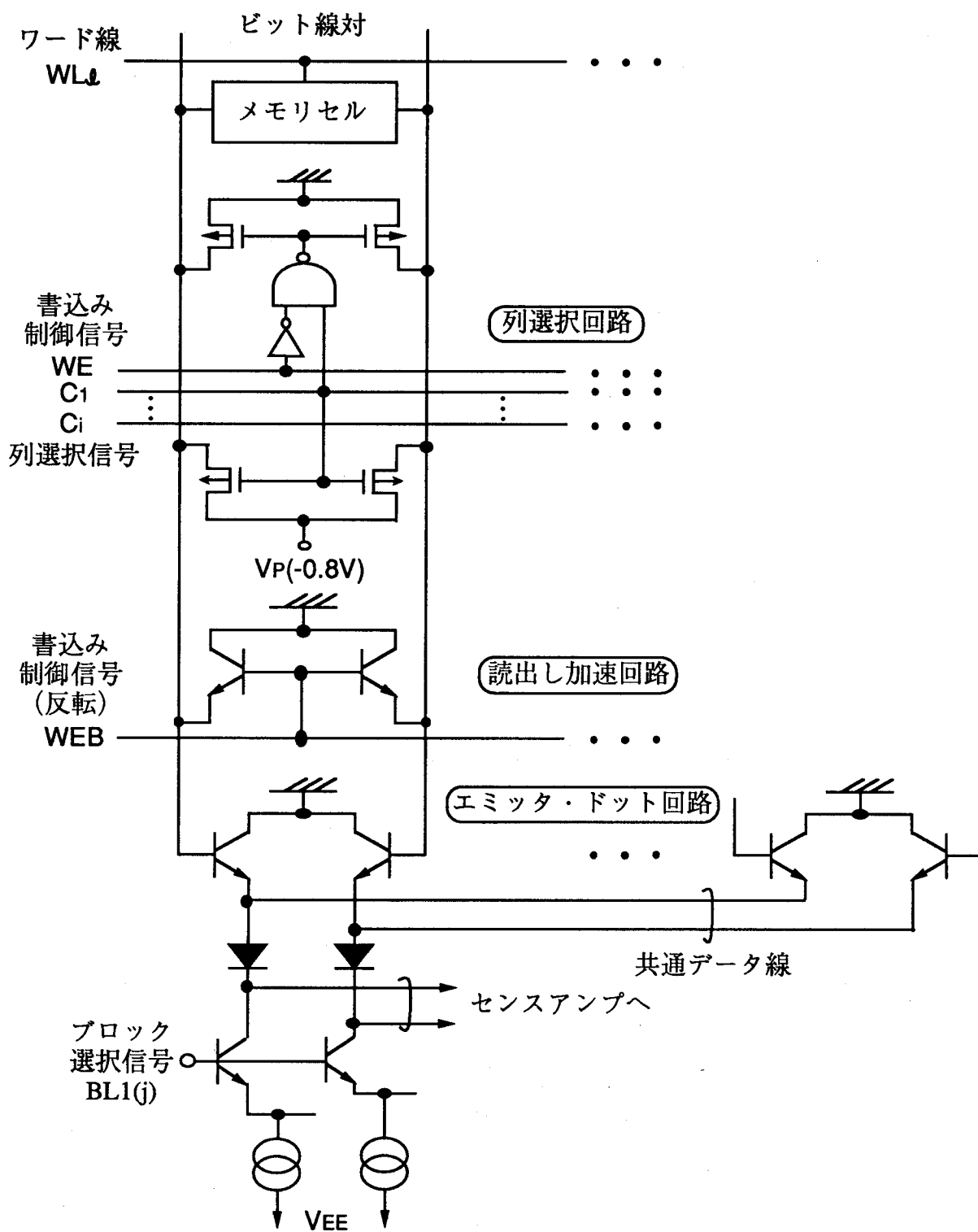
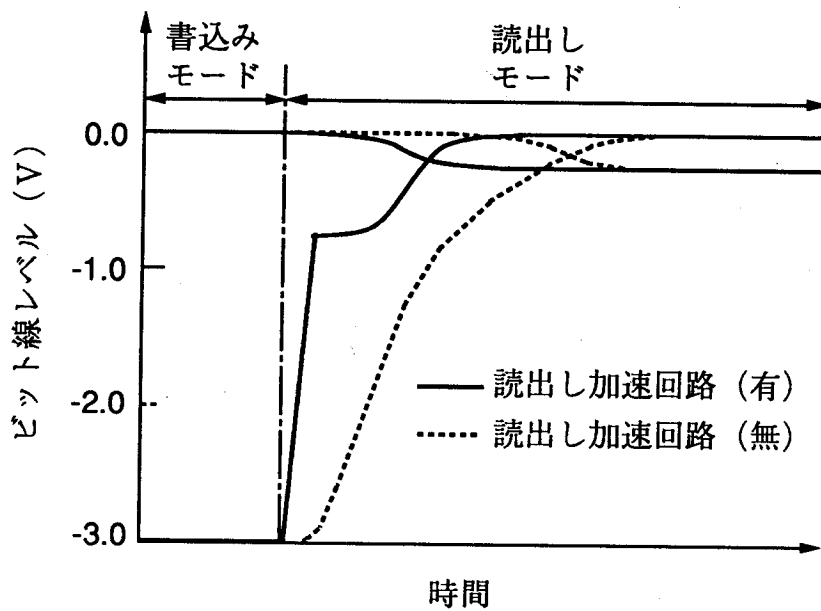
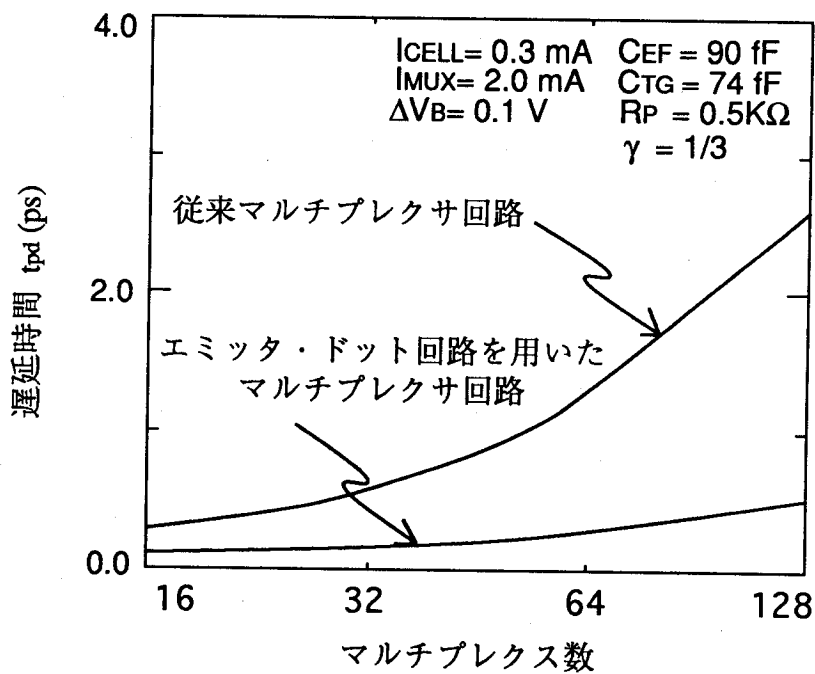


図5-10 マルチプレクサ回路構成



(a) 読出し加速回路を用いた場合のビット線波形



(b) 遅延時間のマルチプレクス数依存性

図5-11 マルチプレクサ回路の速度性能

(5-15) 式、および (5-16) 式を $0.8\mu\text{m BiCMOS}$ デバイスに適用して、マルチプレクサ回路の遅延時間のマルチプレクス数依存性を求めた結果を図 5-11 (b) に示す。エミッタ・ドット回路を用いることにより、マルチプレクス数が増大しても、遅延時間の増分は小さいことがわかる。特に、マルチプレクス数が 64 の場合、本マルチプレクサ回路は、従来回路に比べて遅延時間を約 80% 削減できる。

5.3.2 センسアンプ／出力バッファ回路の構成法

出力バッファ回路にもマルチプレクシング機能を設けたセンサアンプ／出力バッファ回路構成を図 5-12 に示す。センサアンプ回路には、微小信号の検出および増幅が可能なカスコード形差動増幅回路を用いた。カスコード形差動増幅回路は、従来の差動増幅回路の駆動トランジスタと負荷抵抗の間に、ベース接地したトランジスタを挿入した回路である。ベース接地トランジスタにより、出力ノードと負荷容量の大きいデータ線が分離でき、さらには、データ線の電位変動を小さく抑えることができるため高速動作が可能となる⁽¹⁵⁾。出力バッファ回路では、シリーズ・ゲート回路とコレクタ・ドットイング回路を複合化した ECL 論理回路を用い、シリーズ・ゲート回路にマルチプレクシング機能を持たせた。

本回路構成の有用性を解析式により導出する。カスコード形差動増幅回路は、4 章で述べたデジタル系の ECL 論理回路と異なり、入力振幅が小さく、各駆動トランジスタに電流が流れる回路構成となる。このため、遅延式を導出する場合、ECL 回路の遅延式に補正が必要となる。また、ベース接地トランジスタの効果が重要となる。ここでは、(5-1) 式で与えられるコレクタ・ドットイング回路の遅延式において、順方向ダイオード等価抵抗 r_D に入力振幅の減衰係数 α を導入する。また、ベース接地のバイポーラ・トランジスタに対して、データ線の配線抵抗 r_L およびデータ線の駆動に必要な等価抵抗 R_D を導入する。ここで、等価抵抗 R_D は接地トランジスタの電流差 I_{AMP} 、およびデータ線の電位差 ΔV_D を用いて、 $R_D = \Delta V_D / I_{AMP}$ で表される抵抗である。データ線の負荷容量として、配線容量を C_{DL} 、差動増幅回路 1 回路当たりの負荷容量を C_{AMP} 、差動増幅回路の個数を 2^j とし、後段の出力バッファ回路を駆動するエミッタフォロワ回路の遅延時間を t_{EF} とすれば、カスコード形差動増幅回路での遅延時間 T_{AMP} は次式となる。

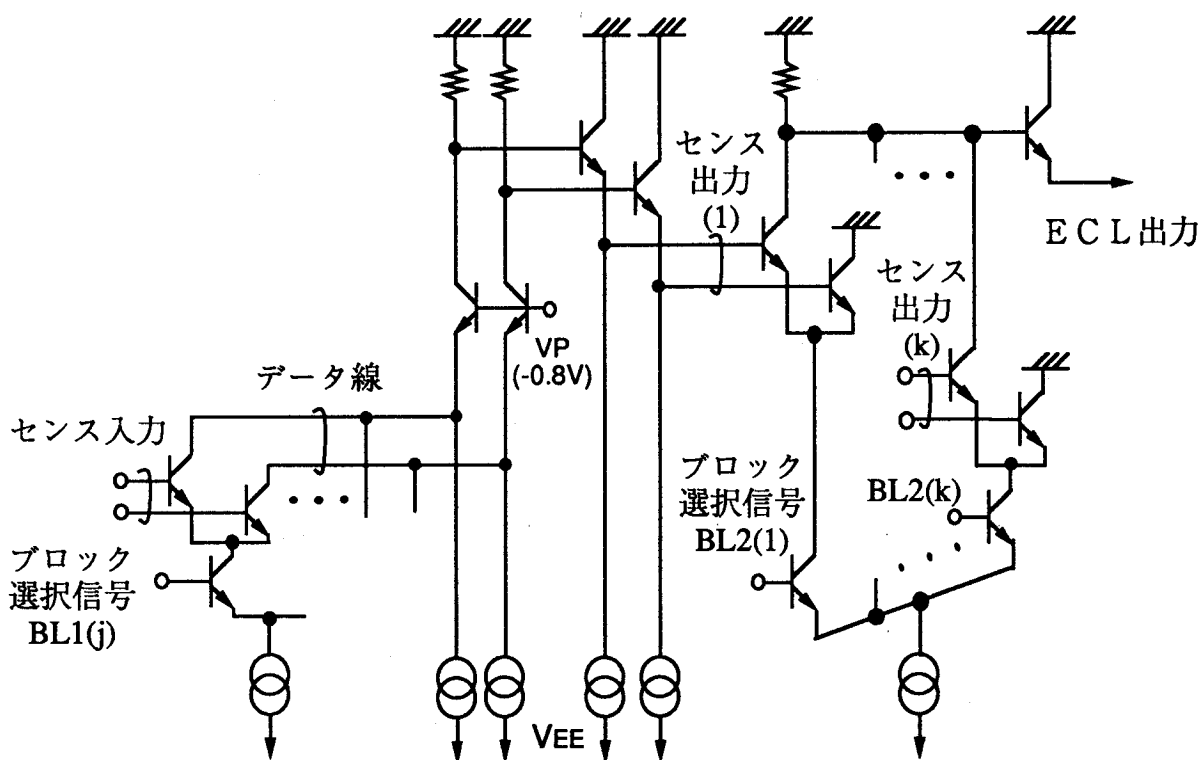


図 5 - 1 2 センスアンプ／出力バッファ回路構成

$$T_{AMP} = T_{AMP0} + C_{AMP} 2^j \left(r_L + \frac{\Delta V_D}{I_{AMP}} \right) \quad (5-17)$$

ここで、 T_{AMP0} は、バイポーラ・トランジスタのデバイス性能で決まる遅延時間であり、データ線駆動に必要な等価抵抗 R_D を用いて次式で与えられる。

$$\begin{aligned} T_{AMP0} = & \tau_i + \frac{R_B C_D}{\zeta} + R_B C_{BC} \left(1 + \frac{r_L + R_D}{\zeta r_D} \right) \\ & + (r_L + R_D) C_{BC} \left(1 + \frac{\zeta r_D}{r_L + R_D} \right) + R_L (C_{CS} + C_{BC}) \\ & + (R_L + R_{BF}) C_{BCF} + t_{EF} + C_{DL} (r_L + R_D) \end{aligned} \quad (5-18)$$

出力バッファ回路の遅延時間 T_{OB} は、(5-1)式で与えられるコレクタ・ドットティング回路の遅延式において、マルチプレクシング数を 2^k 、駆動電流を I_{OB} とすれば、次式で近似できる。

$$T_{OB} = T_{OB0} + 2^k \frac{(C_{CS} + C_{BC}) V_B}{I_{OB}} \quad (5-19)$$

ここで、 T_{OB0} はバイポーラ・トランジスタのデバイス性能で決まる遅延時間であり、次式で与えられる。

$$\begin{aligned} T_{OB0} = & \tau_i + R_B C_D + R_B C_{BC} \left(1 + \frac{R_L}{r_D} \right) \\ & + R_L C_{BC} \left(1 + \frac{r_D}{R_L} \right) + (R_L + R_{BF}) C_{BCF} \end{aligned} \quad (5-20)$$

(5-17)式および(5-19)式で与えられる各回路の遅延式を用いて、センスアンプ／出力バッファ回路全体の遅延式を求める。センスアンプ回路でのマルチプレクシング数を 2^N 、カスコード形差動増幅回路でのマルチプレクシング数を 2^j 、および、出力バッファ回路でのマルチプレクシング数を 2^k とした場合、

$$N = j + k \quad (5-21)$$

が成立する。(5-21)式を(5-17)式に代入することにより、センスアンプ／出力バッファ回路回路の遅延時間 T_{SA} が次のように求まる。

$$\begin{aligned} T_{SA} &= T_{AMP} + T_{OB} \\ &= T_{AMP0} + C_{AMP} 2^{N-k} \left(r_L + \frac{\Delta V_D}{I_{AMP}} \right) + T_{OB0} + 2^k \frac{(C_{CS} + C_{BC}) V_B}{I_{OB}} \end{aligned} \quad (5-22)$$

(5-22) 式を $0.8\mu\text{mBiCMOS}$ デバイスに適用して、センスアンプ／出力バッファ回路の遅延時間のマルチプレクシング数依存性を求めた結果を図5-13に示す。マルチプレクシング数が大きくなるほど、出力バッファ回路にもマルチプレクシング機能を設けた多段マルチプレクシング方式が有利となることがわかる。特に、マルチプレクシング数が64の場合、本形式を用いることによって、遅延時間を従来回路に比べて20%削減できる。

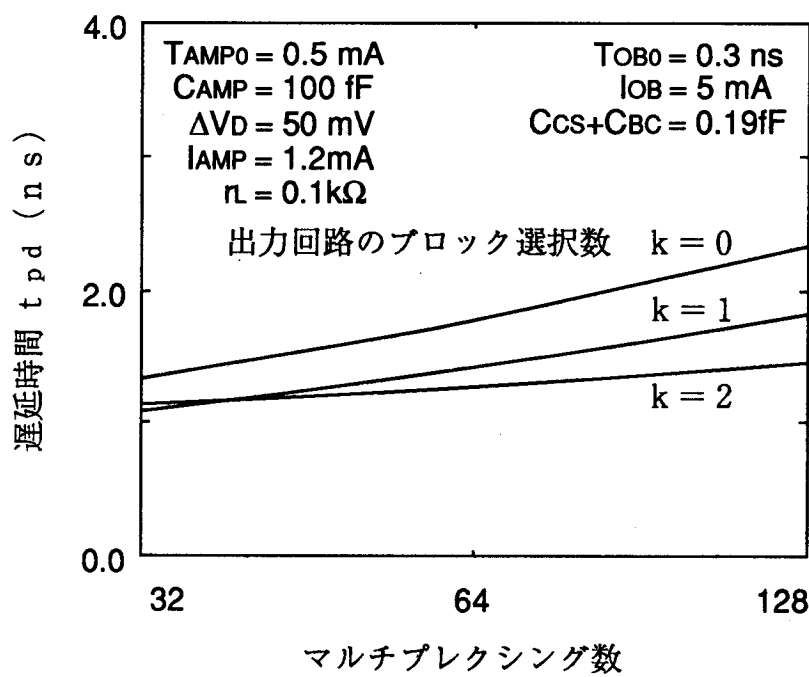


図5-13 センスアンプ／出力バッファ回路の遅延時間のマルチプレクシング数依存性

5.3.3 読出し回路の性能比較

0.8 μm BiCMOS デバイスでメモリ規模 256 Kb を想定し、多段マルチプレクシング方式により読出し回路を構成した場合、遅延時間 1.9 ns、消費電流 80 mA の性能が得られた。読出し回路の遅延時間の内訳を図 5-14 に示す。比較のために、マルチプレクサ回路にトランスファ回路を用いた従来の読出し回路の遅延時間も示した。本読出し回路構成では、エミッタ・ドット回路によるマルチプレクサ回路、および多段マルチプレクシング方式により、センスアンプのマルチプレクシング数を削減できるため、従来構成に比べて遅延時間を約 30 % 削減できる。

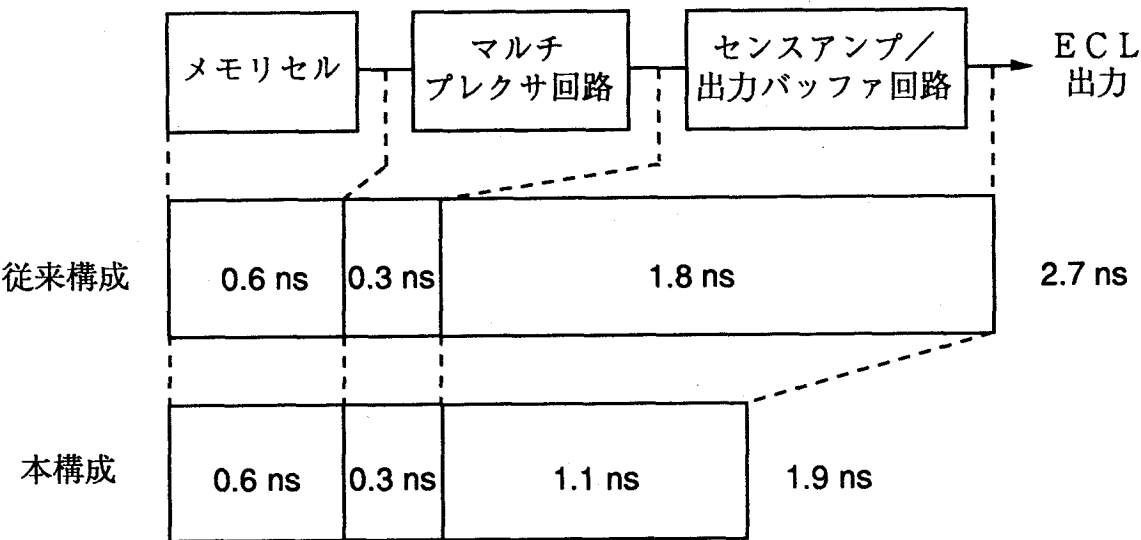


図 5-14 読出し回路の速度性能比較

5. 4 V_{ss} 発生回路の構成法

ECL-CMOSメモリ構成では、周辺回路をバイポーラ電流切り換え回路で構成するため定電流源が必要となる。メモリセルの低電位電源を昇圧させる V_{ss} 発生回路においても、セル電流を吸収する電流源が必要となる。特に、周辺回路には、縦積み段数の多いシリーズ・ゲート回路を動作させるため、各駆動バイポーラ・トランジスタを飽和領域で動作させないためには、定電流源を低電位電源(V_{EE})近傍で構成する必要がある。また、 V_{ss} 発生回路では、定電流源の他に、メモリセル電流が、プロセス変動等により変動しても、一定の V_{ss} レベルを発生する電流源が必要となる。

以下では、メモリの周辺回路に適用可能な定電流源の構成法、および V_{ss} 発生回路に用いる定電流源の構成法を述べる。

5.4.1 定電流源の構成法

従来のバイポーラ電流切り換え回路で使用されている定電流源を図5-15(a)に示す。バンドギャップ・リファレンス回路⁽⁵⁷⁾により、電源変動および温度変動を補償した定電流制御電圧 V_{CS} を用い定電流 I_1 を発生している。定電流値 I_1 は、定電流制御電圧 V_{CS} 、バイポーラ・トランジスタのビルトイン電圧 V_B 、および外部低電位電源 V_{EE} を用いて次式で表される。

$$I_1 = (V_{CS} - V_B - V_{EE}) / R \quad (5-23)$$

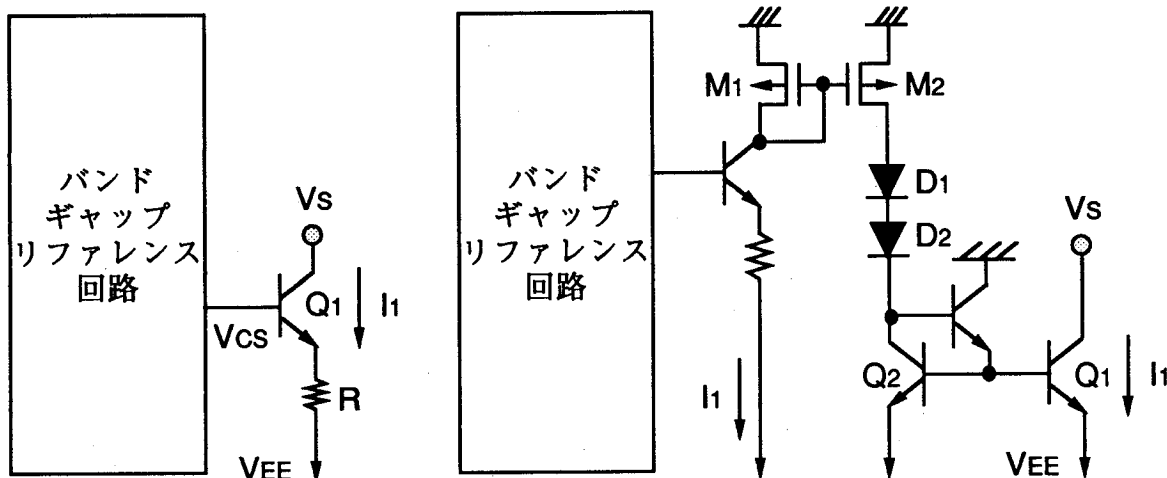
定電流制御電圧 V_{CS} と外部電源 V_{EE} の電位差は、バンドギャップ・リファレンス回路によって一定となるため、バンドギャップ・リファレンス回路によって決まる定電圧 ΔV_{BGR} を $\Delta V_{BGR} \equiv V_{CS} - V_B - V_{EE}$ とすれば、定電流 I_1 は(5-23)式より、次式で表される。

$$I_1 = \Delta V_{BGR} / R \quad (5-24)$$

つぎに、定電流が発生可能なバイポーラ・トランジスタの最低コレクタ電位 V_S を求める。定電流源を構成するバイポーラ・トランジスタのコレクタ・エミッタ間電圧 V_{CE} は次式で与えられる。

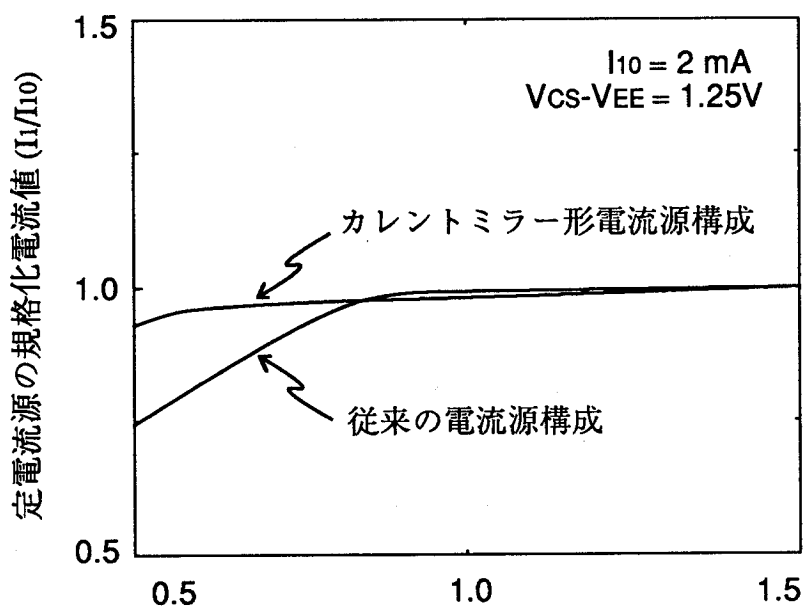
$$V_{CE} = V_S - (V_{CS} - V_B) = (V_S - V_{EE}) - \Delta V_{BGR} \quad (5-25)$$

定電流が発生可能なバイポーラ・トランジスタの最低コレクタ・エミッタ間電位を V_{CE} とすれば、定電流特性が維持できる電流源のバイポーラ・トランジスタの最低コ



(a) 従来回路構成

(b) カレントミラー形電流源の回路構成



電流源を構成するバイポーラトランジスタのコレクタ電位 ($V_S - V_{EE}$)

(c) 電流源の定電流特性

図 5-15 電流源の回路構成と定電流特性

コレクタ電位 V_S は、定電流条件 $V_{CE} > \Delta V_{CE}$ 、および (5-25) 式を用いて、

$$V_S - V_{EE} > \Delta V_{BGR} + \Delta V_{CE} \quad (5-26)$$

となる。

ここでは、定電流源の動作範囲を拡大するために、図 5-15 (b) に示すようなカレントミラー回路による電流源を用いた。特に、pMOSFET で構成したカレントミラー回路とバイポーラ・トランジスタによるカレントミラー回路を用いることにより、高電位側で発生した定電流を低レベル側にレベルシフトすることにより、低電位電源側で定電流特性を実現した。本回路構成では、定電流源に抵抗を必要としないため、 $\Delta V_{BGR} \approx 0$ と近似できる。このため、定電流源を構成するバイポーラ・トランジスタの最低コレクタ電位は、

$$V_S - V_{EE} > \Delta V_{CE} \quad (5-27)$$

となり、従来回路に比べて低電位電源側で定電流特性が実現できる。

カレントミラー回路による電流源を $0.8\mu\text{m BiCMOS}$ デバイスで実現した場合の定電流特性を図 5-15 (c) に示す。従来の電流源を構成するバイポーラ・トランジスタのコレクタ最低電位は 0.9V であるのに対して、本電流源では最低コレクタ電位を 0.5V と小さくできる。

5.4.2 V_{ss} 発生回路における電流源の構成法

V_{ss} 発生回路では、前節で述べた定電流源の他に、メモリセル電流がプロセス変動等により変動した場合にも、一定の V_{ss} レベルを発生させる電流源が必要となる。ここでは、定電流源に制御電流源を付加し、セル電流が変動した場合の変動電流を制御電流源で吸収することにより、 V_{ss} レベルが一定となるようにした。

制御電流源を用いた電流源の回路構成を図 5-16 に示す。制御電流源は、 V_{ss} レベルの変動を検出してセル電流を調節するフィード・バック形の可変電流源、および V_{ss} レベルの低電位電位側への変動を抑えるクランプ回路 (バイポーラ・トランジスタ Q_4) からなる。なお、フィード・バック制御等に必要な定電圧 (V_R) は、バンドギャップ・リファレンス回路で発生した。

制御電流源を用いることにより、セル電流が基準値より小さくなった場合には、バイポーラ・トランジスタ Q_4 により、 V_{ss} レベルがクランプされる。バイポーラ・トランジスタ Q_4 のベース電位は、そのエミッタ出力が V_{ss} レベルになるように調整し

であるため、一定の V_{SS} レベルが得られる。一方、セル電流が基準値より大きくなった場合には、フィード・バック回路により、制御電流源に過剰セル電流値 ΔI_{CELL} が流れるため、一定の V_{SS} レベルが得られる。

V_{SS} 発生回路を $0.8\mu\text{mBiCMOS}$ プロセスで設計・試作し、 V_{SS} レベルの定電圧特性を評価した結果を図 5-17 に示す。 V_{SS} レベルのセル電流依存性を図 5-17 (a) に示す。制御電流源がない場合には、セル電流が基準値 (12mA) を越えると V_{SS} レベルが急激に上昇するのに対して、制御電流源を用いた場合には一定電圧が得られており、その変動率は斜線で示したセル電流の許容範囲に対して約 5% と小さい。メモリセルを V_{SS} 発生回路に接続した場合の V_{SS} レベルの電源電圧・温度依存性を図 5-17 (b) に示す。いずれの場合においても、 V_{SS} レベルの変動は小さく、 V_{SS} レベルの変動率を 5% 以下に抑えられる。

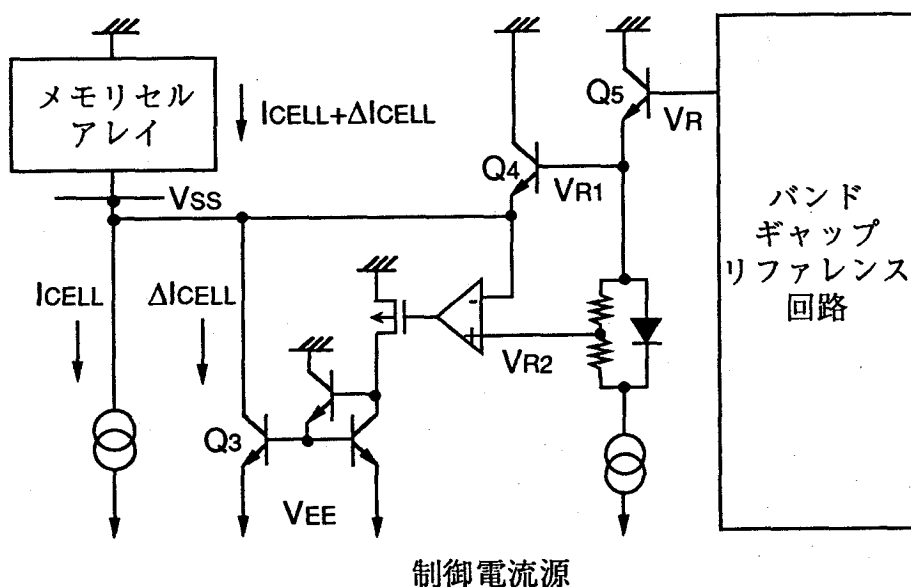
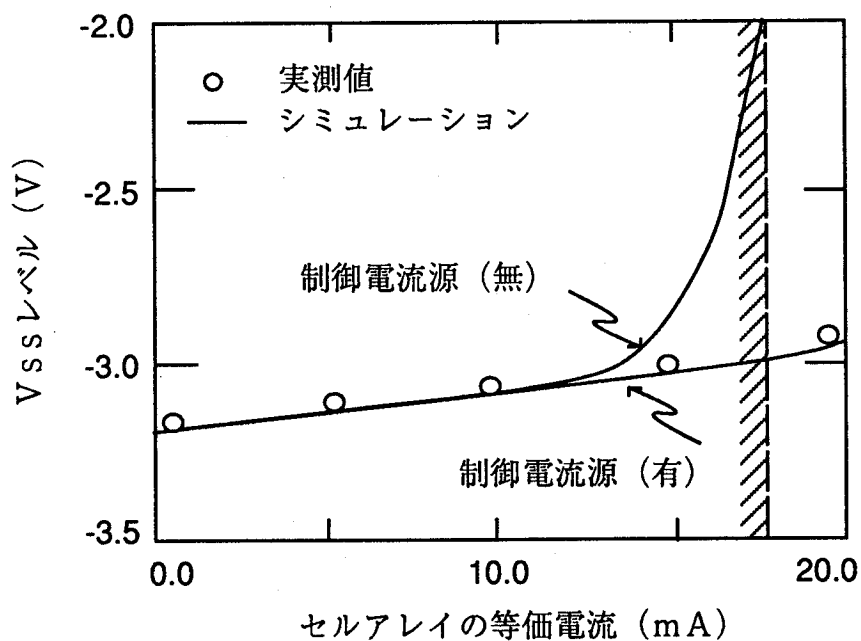
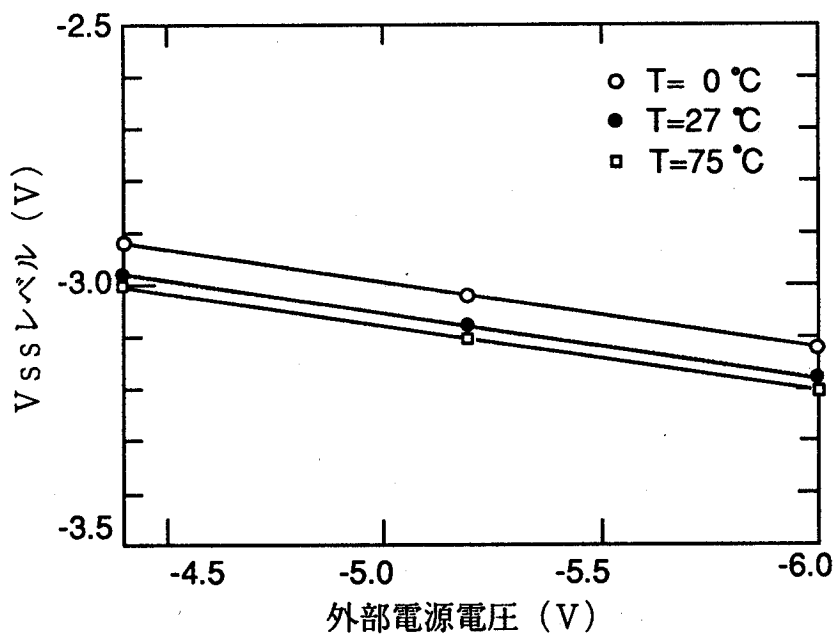


図 5-16 V_{SS} 発生回路における電流源の回路構成



(a) Vssレベルのセル電流依存性



(b) Vssレベルの外部電源電圧・温度依存性

図5-17 Vss発生回路の出力特性

5. 5 まとめ

本章では、ECL-CMOSメモリ構成に必要な要素回路として、バイポーラ電流切り換え回路を用いた周辺回路の構成法を述べた。まず、選択回路では、選択トランジスタにしか電流を流さないシリーズ・ゲート回路主体の低電力デコード回路を中心に、その構成法を明らかにした。つぎに、読出し回路では、大容量メモリに適用可能なマルチプレクシング法を中心に、各回路の構成法を明確化した。最後に、CMOSメモリセル部の低電位電源を昇圧する V_{ss} 発生回路では、メモリセル電流を吸収する電流源の構成法を述べ、電流源により一定の V_{ss} レベルが昇圧できることを明らかにした。以下に得られた結果を要約する。

(1) コレクタ・ドットイング回路とシリーズ・ゲート回路を用いたデコード回路の構成法を述べ、信号振幅および回路段数を削減することにより、高速かつ低電力な選択回路が実現できることを明らかにした。また、電流切り換え回路を用いたECL-CMOSレベル変換回路の構成法を明確化した。

(2) 大容量メモリに適用可能な読出し回路として、エミッタ・ドット回路を用いたマルチプレクサ回路、カスコード形電流切り換え回路によるセンスアンプ回路、およびマルチプレクシング機能付出力バッファ回路からなる多段マルチプレクシング方式を述べ、その有用性を明確化した。

(3) V_{ss} 発生回路に用いる電流源として、低電圧化に有用なBiCMOSカレントミラー型電流源の構成法を明らかにした。特に、フィード・バック制御を用いた電流源の構成法を述べ、セル電流が変動しても一定の低電位電源が得られることを明確化した。

第 6 章 低電圧バイポーラ周辺回路構成法

6. 1 まえがき

前章では、ECL-CMOSメモリ構成における周辺回路の構成法として、外部電源電圧を維持したまま、バイポーラECL回路で周辺回路を構成する手法を述べた。ECL-CMOSメモリ構成で、メモリ全体の消費電力をさらに削減するためには、外部電源電圧を低電圧化することが必要となる。前章で述べた周辺回路の電源電圧を低電圧化する場合、選択回路のメインデコード回路を構成しているシリーズ・ゲート回路の縦積みゲート段数が制約を受けるため、シリーズ・ゲート回路だけでは大規模デコードを行うことができず、メインデコード回路のデコード数を補う回路構成が必要となる。

本章では、デコード回路の後段にECL回路を並列接続し、各ECL回路の電流源を切り換えることによりデコード数を補うバイポーラ分割ワード線構成を提案する。バイポーラ分割ワード線構成に必要なメインデコード回路、およびセクションデコード回路の構成法を述べるとともに、バイポーラ分割ワード線構成による効果を明確にする。

6. 2 バイポーラ分割ワード線構成法

低電圧選択回路構成として提案したバイポーラ分割ワード線構成⁽³⁸⁾を図6-1に示す。メインデコード回路を構成しているシリーズ・ゲート回路は、低電圧化とともに縦積みゲート段数が制約を受けるため、シリーズ・ゲート回路だけでは大規模デコードを行うことができず、メインデコード回路のデコード数を補う回路構成が必要となる。ここでは、デコード回路の後段にECL回路を並列接続し、各ECL回路の電流源をセクション・デコード回路で切り換えることにより、メインデコード回路のデコード数を補うバイポーラ分割ワード線構成を提案した。本分割ワード線構成は、メインデコード回路に縦積み2段のシリーズ・ゲート回路が適用できるため、電源電圧が従来の-5.2 Vから-4 Vに低下しても、従来の低消費電流で主ワード線選択を高速に行うことができる。また、本分割ワード線構成は、配線長の長い主ワード線とセ

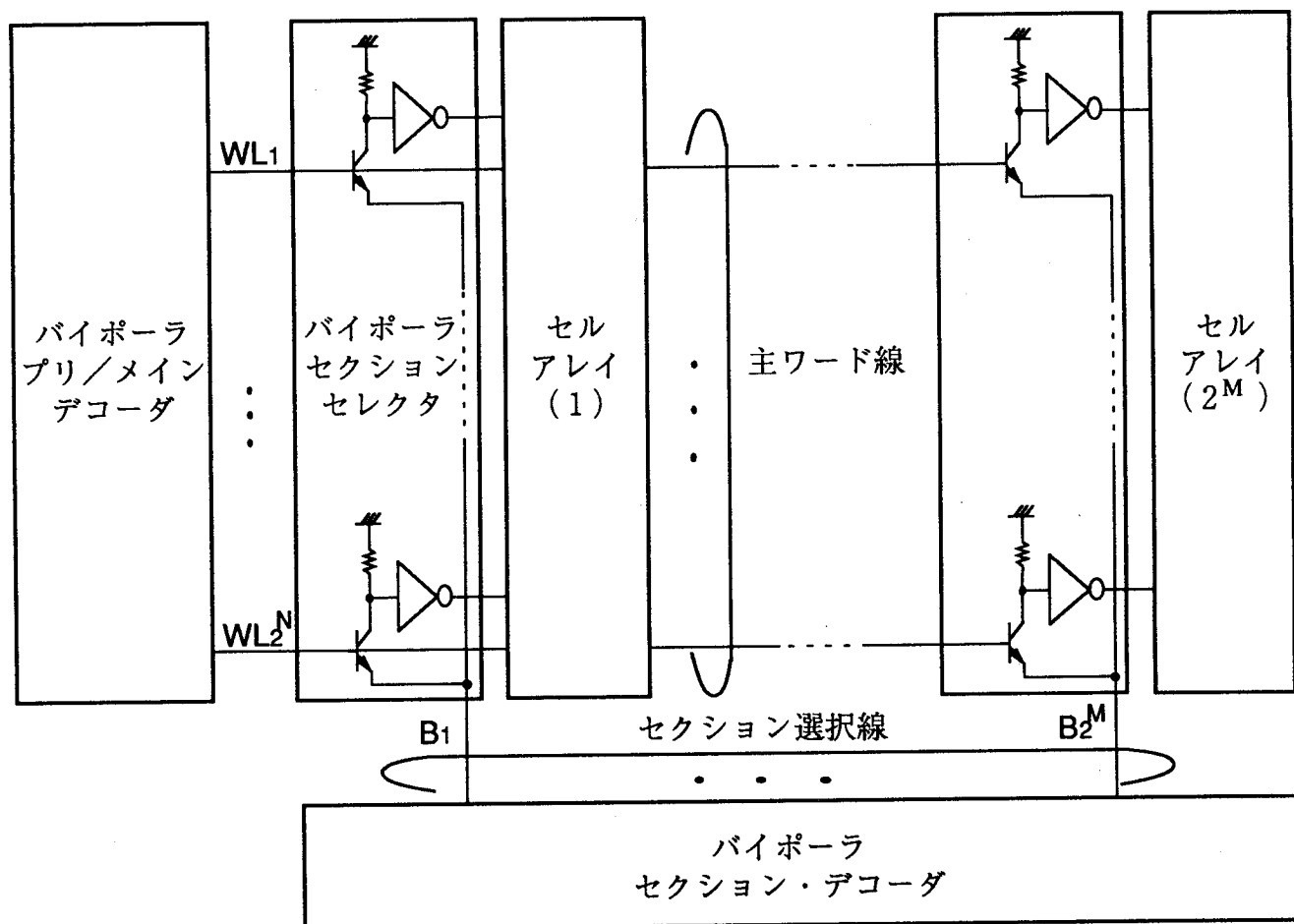


図 6-1 バイポーラ分割ワード線構成

クショ選択線を、バイポーラ電流切り換え回路で小振幅駆動し、配線長の短い副ワード線のみを、MOSレベルの大振幅信号で駆動するため、電源電圧が低下しても高速動作を行うことができる。

以下では、バイポーラ分割ワード線構成に必要な各デコード回路の構成法を述べる。

6. 3 デコード回路の構成法

6.3.1 プリデコード回路の構成法

プリデコード回路は、後段のシリーズ・ゲート回路を動作させるために、高レベル選択が必須となる。電流切り換え回路でプリデコード回路を構成する場合には、非選択のすべての負荷抵抗に電流を流すNOR形の論理回路構成が必要となる。前章で述べたコレクタ・ドットイング回路は、低電圧動作は可能であるが、各非選択の負荷抵抗に必要以上の電流を流す回路構成となるため消費電流が大きく、消費電力の削減効果は小さい。ここでは、プリデコード回路での消費電流を削減するために、ダイオード結合形論理回路⁽⁵⁸⁾を用いた。

ダイオード結合形論理回路を図6-2に示す。ダイオード結合形論理回路は、前章で述べたコレクタ・ドットイング回路同様、負荷抵抗を各電流切り換え回路の正転出力、あるいは反転出力に接続し、負荷抵抗に電流を流さない組合せにより高レベル選択を行う回路である。特に、各電流切り換え回路の電流値を削減するために、負荷抵抗と電流切り換え回路を結ぶ共通デコード線の間ダイオード群を接続した回路である。ダイオード群により電流切り換え回路の消費電流が削減できることを以下に示す。ダイオード群を共通データ線に接続することにより、非選択の出力ビットに接続している共通デコード線がクランプされる。特に、すべてのダイオードに電流が流れる非選択の出力ビットでは、共通デコード線がすべてクランプされるため、各ダイオードに流れる電流値は、負荷抵抗に流れる電流値に対してダイオードの個数分だけ減少する。各ダイオード電流が減少することにより、電流切り換え回路の電流値が削減できる。ダイオード結合形論理回路では、電流切り換え回路の消費電流を削減するとともに、負荷容量の大きい共通デコード線をエミッタフォロワ回路で駆動し、出力の立上りを加速することによって、入力ビット数が増加しても論理回路の遅延時間が急激に増加しないようにしている。

ダイオード結合形論理回路による消費電力の削減効果を解析により求める。ダイオード結合形論理回路の入力数を n 、初段のレベルシフト回路の電流値を I_1 、電流切り換え回路での電流値を I_2 、共通データ線を駆動する ECL 回路の電流値を I_3 、および各負荷抵抗に流す電流値を I_{ECL}' とした場合、ダイオード結合形論理回路の消費電流 I_{DI} は、次式で与えられる。

$$\begin{aligned} I_{DI} &= n (I_2 + I_1 + I_3) \\ &= (2^n - 1) I_{ECL}' + n I_1 + n I_3 \end{aligned} \quad (6-1)$$

レベルシフト回路、および ECL 回路の電流値を、負荷抵抗に流す電流値と等しくする場合には ($I_1 = I_3 = I_{ECL}'$)、(6-1) 式は、

$$I_{DI} = (2^n - 1 + 2n) I_{ECL}' \quad (6-2)$$

と簡略化される。一方、5章で述べたコレクタ・ドッティング回路の消費電流 I_{CD} は、駆動トランジスタ 1 個あたりに流す電流値を I_{ECL} とすれば、(5-2) 式より、

$$I_{CD} = n 2^{n-1} I_{ECL} \quad (6-3)$$

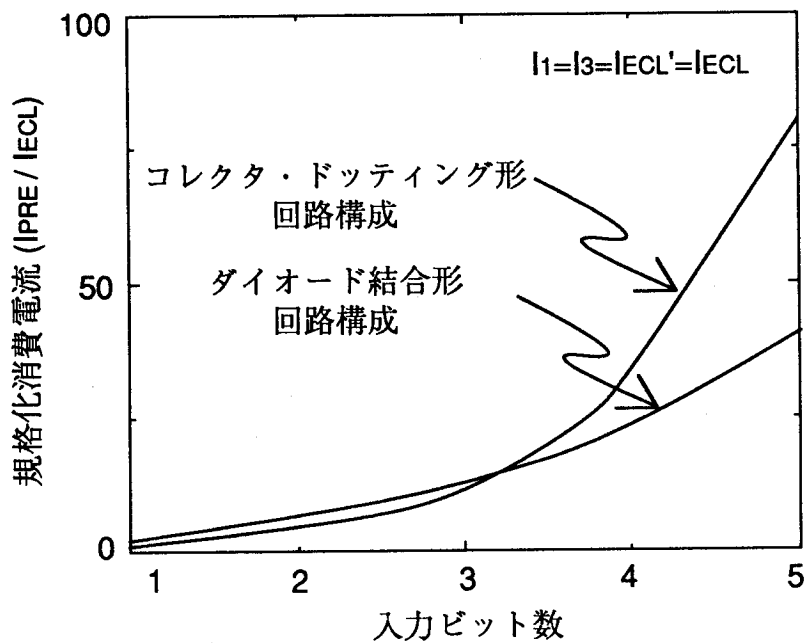
となる。

(6-2) 式、および (6-3) 式において、 $I_{ECL}' = I_{ECL}$ とし、各デコード回路の消費電流の入力数依存性を求めた結果を図 6-3 (a) に示す。ダイオード結合形デコード回路は、3 ビット以上のデコードに有用となる。特に、4 ビット・デコードでは、コレクタ・ドッティング回路に比べて消費電流を約 30% 削減できる。

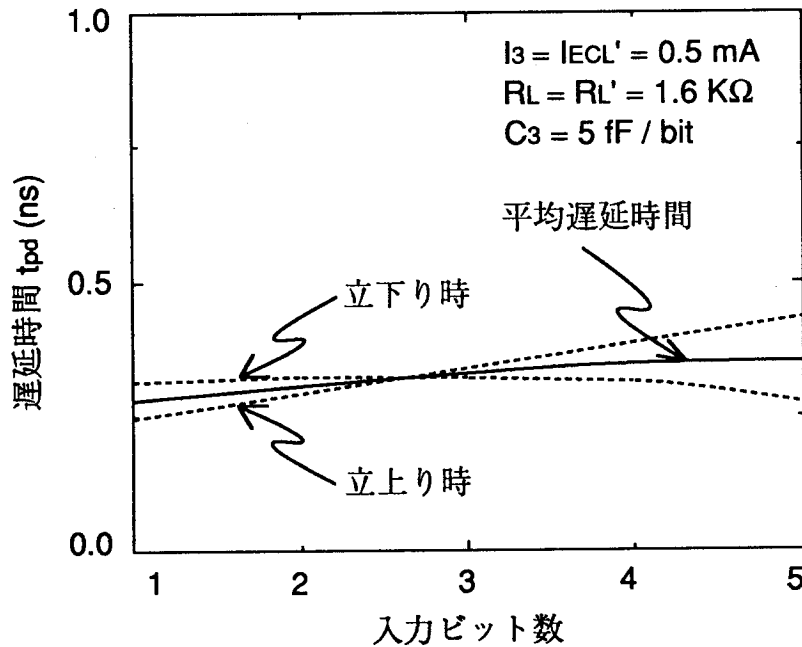
次にダイオード結合形論理回路の遅延時間の入力ビット数依存性を解析により求める。初段のレベルシフト回路での遅延時間を無視すれば、まず、ダイオード結合形論理回路の出力の立上り時の遅延時間 $t_{pdr} (DI)$ は、ECL 回路の負荷抵抗を R_L' 、共通デコード線の出力ビット数当たりの負荷容量を C_3 とすれば、

$$\begin{aligned} t_{pdr} (DI) &= \tau_i + R_B C_D + R_B C_{BC} \left(1 + \frac{R_L'}{r_D}\right) + R_L' C_{BC} \left(1 + \frac{r_D}{R_L'}\right) \\ &\quad + \left(\frac{\tau_i 2^n (C_3 + (1/2) C_{BE}) V_{B1/2}}{I_3} \right) \\ &\quad + R_L n (C_{CS} + C_{BE}) + (R_L + R_{BF}) C_{BCF} \end{aligned} \quad (6-4)$$

となる。(6-4) 式の右辺第 5 項は、エミッタフォロワ回路で共通デコード線を駆動する場合の遅延時間であり、(5-1) 式で与えられる従来のコレクタ・ドッティング回路の遅延式に新たに付加した項である。また、右辺第 6 項が負荷抵抗 R_L で n



(a) 消費電流の入力ビット数依存性



(b) 遅延時間の入力ビット数依存性

図 6-3 ダイオード結合形プリデコーダ回路の性能

個のダイオードの寄生容量を駆動する場合の遅延時間を示している。

また、出力の立下り時の遅延時間 $t_{pdf} (DI)$ は、次式で与えられる。

$$t_{pdf} (DI) = \tau_i + R_B C_D + R_B C_{BC} \left(1 + \frac{R_L'}{r_D}\right) + R_L' C_{BC} \left(1 + \frac{r_D}{R_L}\right) \\ + \frac{1}{2} \frac{2^n (C_3 + (1/2) C_{BE}) V_B}{I_2} \\ + \frac{1}{2} \frac{V_B}{I_2} (C_{CS} + C_{BE}) + \left(\frac{1}{2} \frac{V_B}{I_2} + R_{BF}\right) C_{BCF} \quad (6-5)$$

(6-5) 式の右辺第5項が、エミッタフォロワ回路での遅延式であり、定電流源で共通デコード線を駆動する場合の遅延時間を示している。(6-5) 式で与えられる定電流源の電流値 I_2 は、負荷抵抗 R_L に流す電流値を入力ビット数 n に対して一定電流 (I_{ECL}') とした場合、次式で与えられる。

$$I_2 = [(2^n - 1) / n] I_{ECL}' \quad (6-6)$$

(6-4) 式～(6-6) 式を、表5-1に示す $0.8\mu m BiCMOS$ デバイスに適用し、デコード回路の各遅延時間を求めた結果を図6-3 (b) に示す。出力の立下り時の遅延時間は、(6-4) 式の右辺第6項に示すように、入力ビット数が増加するとダイオードの個数とともに、その寄生容量が増加するため遅延時間が増加する。一方、立下り時の遅延時間は、(6-5) 式の右辺第6項、第7項に示すように、入力ビット数が増加すると、電流切り換え回路の駆動電流 I_2 が(6-6) 式に従って増加するため、その遅延時間は減少する。このため、各遅延時間を平均化した平均遅延時間の入力ビット数依存性は小さくなる。ダイオード結合形論理回路の入力ビット数に対する遅延時間の増分は、入力ビット数当たり $0.023 ns$ であり、前章で述べたコレクタ・ドット回路に比べて小さくなる。

6.3.2 メインデコード回路の構成法

主ワード線の選択、および小振幅駆動を行うメインデコード回路の回路構成を図6-4に示す。主ワード線の選択に、低電圧動作が可能な縦積み2段のシリーズ・ゲート回路を用い、主ワード線の小振幅駆動にエミッタフォロワ回路を用いた。また、最終段のエミッタフォロワ回路が動作できるように、シリーズ・ゲート回路の後段に高レベル選択を行うインバータ回路を挿入した。特に、インバータ回路では、高レベル

側で小振幅の反転出力が高速に得られるように、低電位電源が -0.8 V のpMOSインバータ構成を用いた。さらに、インバータを構成する下段pMOSFETのゲートには、シリーズ・ゲート回路の上段ゲートの入力電圧を印加することにより、出力の立下りを加速した。エミッタフォロワ回路では、前章で述べた消費電流の小さいダイナミック・エミッタフォロワ回路を2つ使い、前段のエミッタフォロワ回路で入力信号のレベルシフトを、後段のエミッタフォロワで主ワード線の駆動を行うことによって、ダイオードによる駆動力の劣化を補償した。

まず、メインデコード回路の消費電流を求める。メインデコード回路の消費電流は、主にシリーズ・ゲート回路とダイナミック・エミッタフォロワ回路の定電流源の電流値で決まる。シリーズ・ゲート回路での電流値を I_{SG} 、ダイナミック・エミッタフォロワ回路前段の駆動電流を I_{DEF1} 、後段の駆動電流を I_{DEF2} とすれば、メインデコード回路での消費電流 I_M は、

$$I_M = I_{SG} + I_{DEF1} + I_{DEF2} \quad (6-7)$$

となり、メインデコード回路での消費電流を小さくできる。

つぎに、メインデコード回路の速度性能を解析により求める。メインデコード回路により、 2^M 個のセクション・セクタ回路を駆動する場合の遅延時間 $t_{p4M}(\text{new})$ は、(5-4)式で与えられるダイナミック・エミッタフォロワ回路での遅延式を用いて次式で近似できる。

$$\begin{aligned} t_{p4M}(\text{new}) &= t_0 + \frac{1}{2} \left[\left(\frac{\tau_i (2^M C_{SE} + C_{LM}) \Delta V(\text{ECL})}{I_{DEF1}} \right)^{1/2} \right. \\ &\quad \left. + (2^M C_{SE} + C_{LM}) \frac{\Delta V(\text{ECL})}{2 I_{DEF2}} \right] \\ &\approx t_0 + (2^M C_{SE} + C_{LM}) \frac{\Delta V(\text{ECL})}{4 I_{DEF2}} \quad (6-8) \end{aligned}$$

ここで、 t_0 はシリーズ・ゲート回路とpMOSインバータ回路での遅延時間であり、 C_{SE} はセクション・セクタ回路1段当たりの入力容量を、 C_{LM} は配線容量を示している。また、 $\Delta V(\text{ECL})$ は主ワード線の信号振幅である。

比較のために、従来のBiCMOS論理ゲートでメインデコード回路を構成した場合⁽⁵⁹⁾の遅延時間を求める。セクション・セクタ回路1段当たりの入力容量を C_{IN} 、主ワード線を駆動するBiCMOS論理ゲートの駆動電流を I_M とした場合、メイン

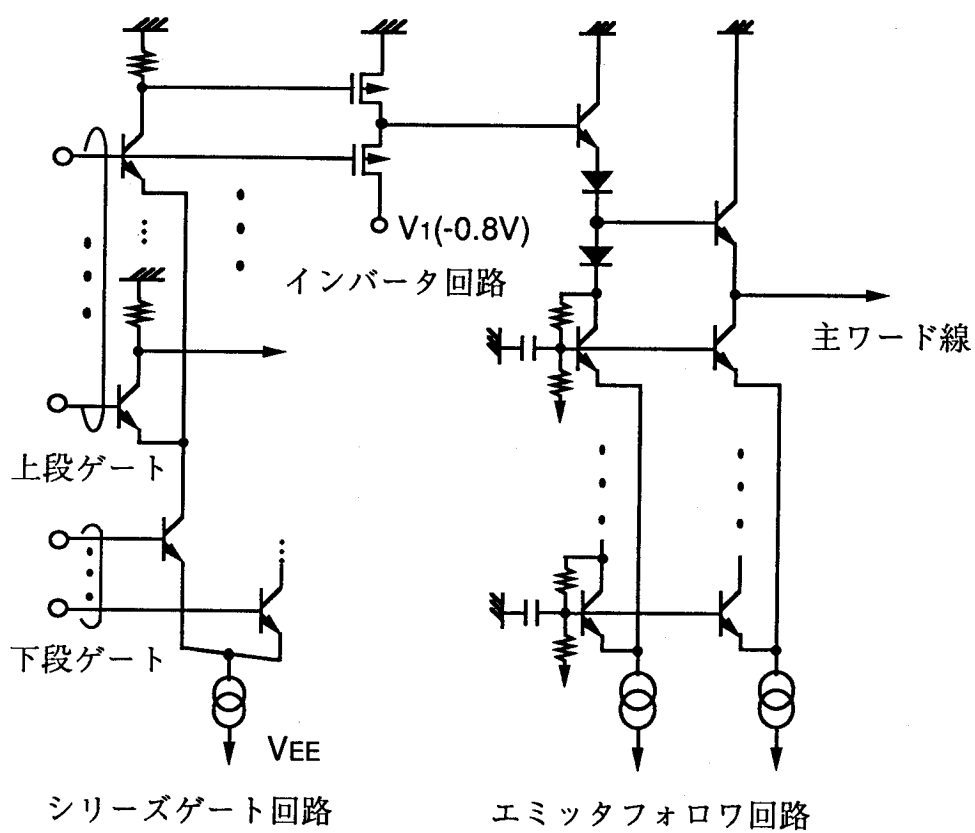


図 6 - 4 メインデコード回路構成

デコーダ回路での遅延時間 $t_{pdM}(\text{conv})$ は、次式で与えられる。

$$t_{pdM}(\text{conv}) = (2^M C_{IN} + C_{LM}) \frac{\Delta V(\text{CMOS})}{2 I_M} \quad (6-9)$$

ここで、 $\Delta V(\text{CMOS})$ は主ワード線の信号振幅である。

(6-8) 式、および (6-9) 式において、各電流値を $I_{DEF2} = 2 \text{ mA}$ 、 $I_M = 7.5 \text{ mA}$ とし、各式を $0.8 \mu\text{m BiCMOS}$ デバイスに適用して、デコーダ回路の遅延時間のセクション・セクタ数依存性を求めた結果を図 6-5 に示す。本デコーダ回路では、主ワード線の信号振幅を従来のデコーダ回路の約 $1/6$ に削減できるため高速動作が可能となる。セクション・セクタ数が 16 の場合、本デコーダ回路は、従来回路に比べて遅延時間を 35% 削減できる。

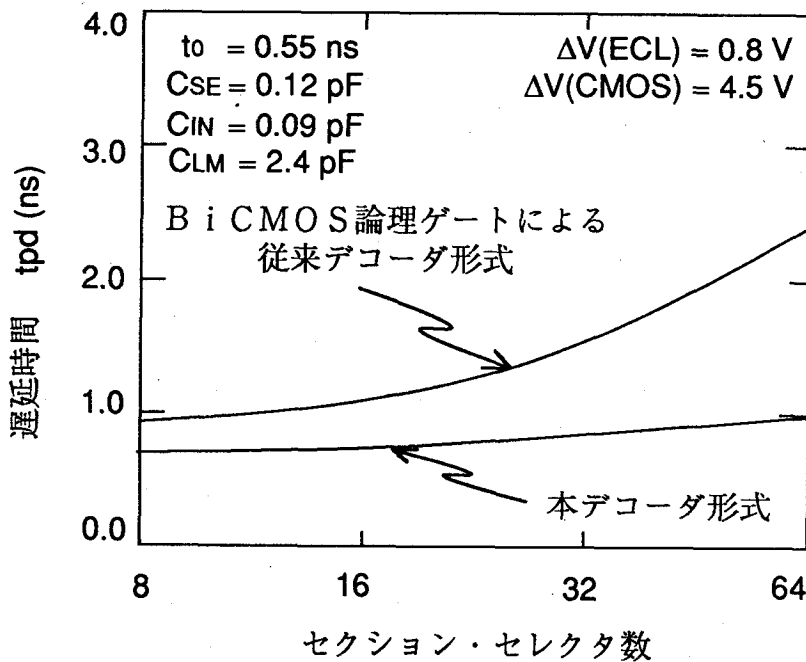


図 6-5 メインデコーダ回路の遅延時間のセクション・セクタ数依存性

6.3.3 セクション・デコーダ回路の構成法

セクション・デコーダ回路には、各セクション・セクタ回路の電流源を切り換える電流源切り換え回路が必要となる。電流源切り換え回路を用いたセクション・デコーダ回路を図6-6に示す。ここでは、電流源切り換え回路を定電流源、および可変電流源で構成し、定電流源で発生した定電流 I_1 を pMOSFET を用いた pMOS カレントミラー回路により可変電流源に伝播させることによって、可変電流源に定電流を発生させた。特に、pMOS カレントミラー回路を、直列接続した pMOSFET (M_2 、 M_3)、pMOSFET (M_5 、 M_6)、およびスイッチング用 pMOSFET (M_1 、 M_4) で構成することにより、選択時の可変電流源に定電流 I_1 が、また、非選択時の可変電流源に定電流 I_0 ($I_0 < I_1$) が発生できるようにした。

定電流源では、選択時の可変電流源の入力信号に等しい電圧をスイッチング用 pMOSFET (M_1) のゲートに印加することにより、選択時の可変電流源に定電流 I_1 が発生できるようにした。可変電流源では、カレントミラー回路を構成する pMOSFET (M_5) により、非選択時の可変電流源の定電流値 I_0 を調整した。pMOS カレントミラー回路で得られた可変電流をバイポーラ・カレントミラー回路でレベルシフトすることにより、セクション・セクタ回路の電流源切り換え回路を実現した。

セクション・デコーダ回路の消費電流を求める。セクション・デコーダ回路での消費電流は、定電流源、および可変電流源の電流値で決まる。定電流源の電流値、および可変電流源の選択回路の電流値を I_1 、非選択回路の電流値を I_0 とし、セルアレイのセクション数を 2^M とすれば、セクション・デコーダ回路での消費電流 I_s は、

$$I_s = 2 I_1 + (2^M - 1) I_0 \quad (6-10)$$

と求まる。(6-10) 式より、可変電流源において、非選回路の電流値 I_0 を選択回路の電流値 I_1 の $1/20$ 程度に設定すれば、セルアレイのセクション数が 32

($M=5$) まで増加しても、非選択回路の消費電流を選択回路の消費電流と同程度までに抑えられることがわかる。

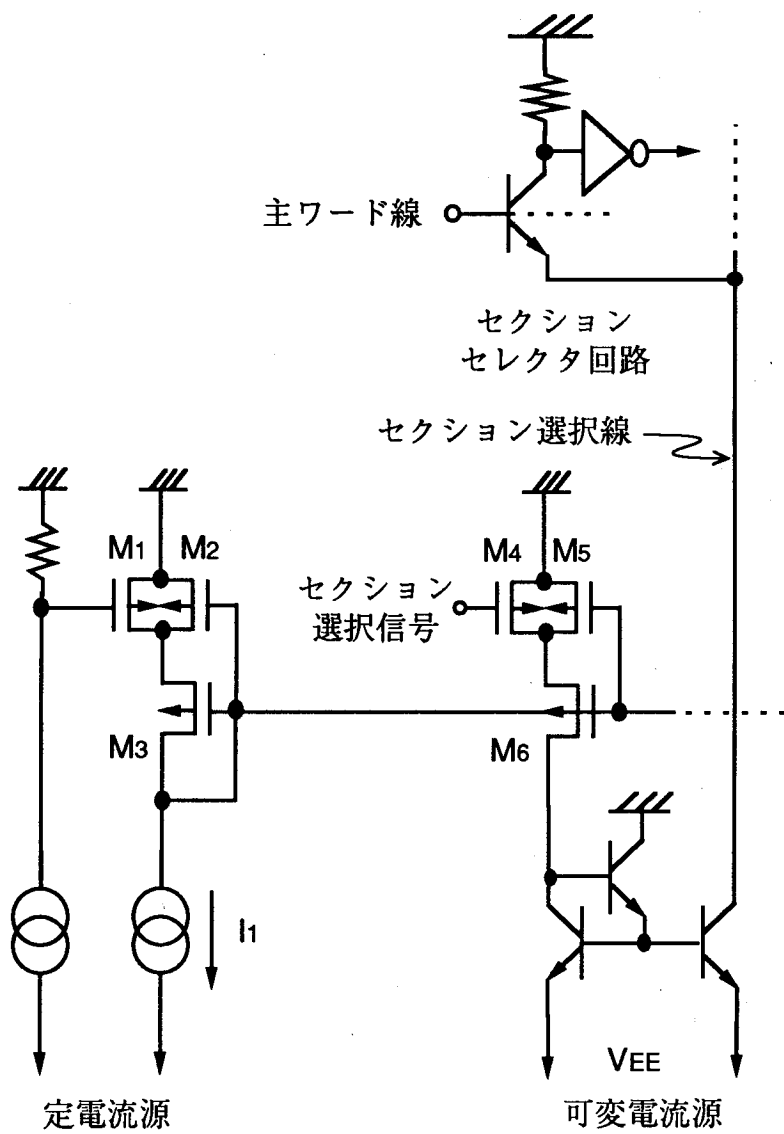


図 6 - 6 セクション・デコーダ回路構成

つぎに、セクション・デコード回路の速度性能を解析により求める。セクション・デコード回路により、 2^N 個のセクション・セクタ回路を駆動する場合の遅延時間 $t_{pds}(\text{new})$ は、(5-17) 式で与えられるベース接地トランジスタを用いたカスコード形センスアンプの遅延式において、配線抵抗を無視すれば次式で近似できる。

$$t_{pds}(\text{new}) = t_1 + 2^N (C_{BE} + C_{LS1}) \frac{\Delta V_S}{(I_1 - I_0)} \quad (6-11)$$

ここで、 t_1 は、可変電流源の pMOSFET (M_4) がバイポーラ・カレントミラー回路を駆動するまでの遅延時間であり、 C_{BE} 、および C_{LS1} は、セクション・セクタ回路 1 段当たりの寄生容量であり、 C_{BE} はセクション・セクタ回路を構成する駆動バイポーラ・トランジスタのベース・エミッタ容量を、 C_{LS1} はセクション選択線の配線容量を示している。また、 ΔV_S はセクション選択線の信号振幅である。

比較のために、従来の BiCMOS 論理ゲートでセクション・デコード回路を構成した場合⁽⁵⁹⁾ の遅延時間を求める。セクション・セクタ回路 1 段当たりの入力容量を C_{IN} 、配線容量を C_{LS2} 、およびセクション選択線を駆動する BiCMOS 論理ゲートの駆動電流を I_M' とした場合、セクション・デコード回路での遅延時間 $t_{pds}(\text{conv})$ は、次式で与えられる。

$$t_{pds}(\text{conv}) = 2^N (C_{IN} + C_{LS2}) \frac{\Delta V(\text{CMOS})}{2 I_M'} \quad (6-12)$$

ここで、 $\Delta V(\text{CMOS})$ はセクション選択線の信号振幅である。

(6-11) 式、および (6-12) 式において、可変電流源の選択電流 I_1 を 2 mA、非選択電流 I_0 を 0.1 mA、および BiCMOS 論理ゲートの駆動電流 I_M' を 6 mA とし、各式を $0.8 \mu\text{m}$ BiCMOS デバイスに適用して、デコード回路の遅延時間のセル行数依存性を求めた結果を図 6-7 に示す。本デコード回路では、セクション選択線の信号振幅を、従来のデコード回路の $1/30$ に削減できるため高速動作が可能となる。セル行数が 256 の場合、本デコード回路は、従来回路に比べて遅延時間を 50% 削減できる。

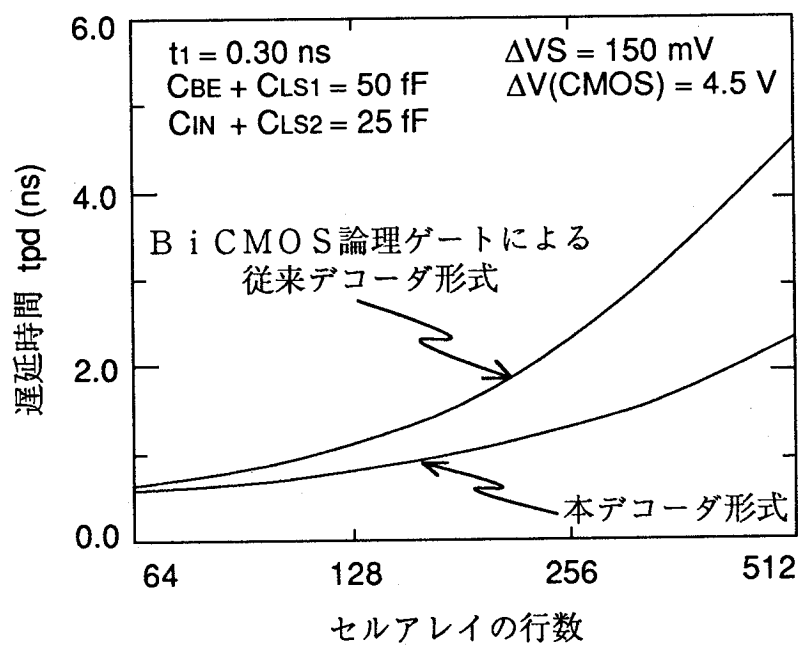


図 6 - 7 セクションデコーダ回路の遅延時間のセルアレイ行数依存性

6. 4 バイポーラ分割ワード線構成を用いた選択回路の性能

外部電源電圧を従来の -5.2 V から -4.5 V に低電圧化したECL100 Kインタフェイスメモリに、バイポーラ分割ワード線構成を適用した場合の回路性能を述べる。 $0.8\mu\text{m BiCMOS}$ デバイスを想定し、メモリ規模 256 kb のメモリに分割ワード線構成を適用した場合、選択回路の性能として、遅延時間 2.5 ns 、消費電流 149 mA が得られた。選択回路の遅延時間の内訳を図6-8に示す。比較のために、前章で述べた選択回路の遅延時間の内訳も示した。バイポーラ分割ワード線構成では、主ワード線を小振幅駆動できること、同一ワード線につながるメモリセルの数を削減でき、ワード線の負荷容量を削減できることから、メインデコード回路、およびワードドライバ回路での遅延時間を削減できる。選択回路全体としては、分割ワード線構成を用いることにより遅延時間を 15% 削減できる。

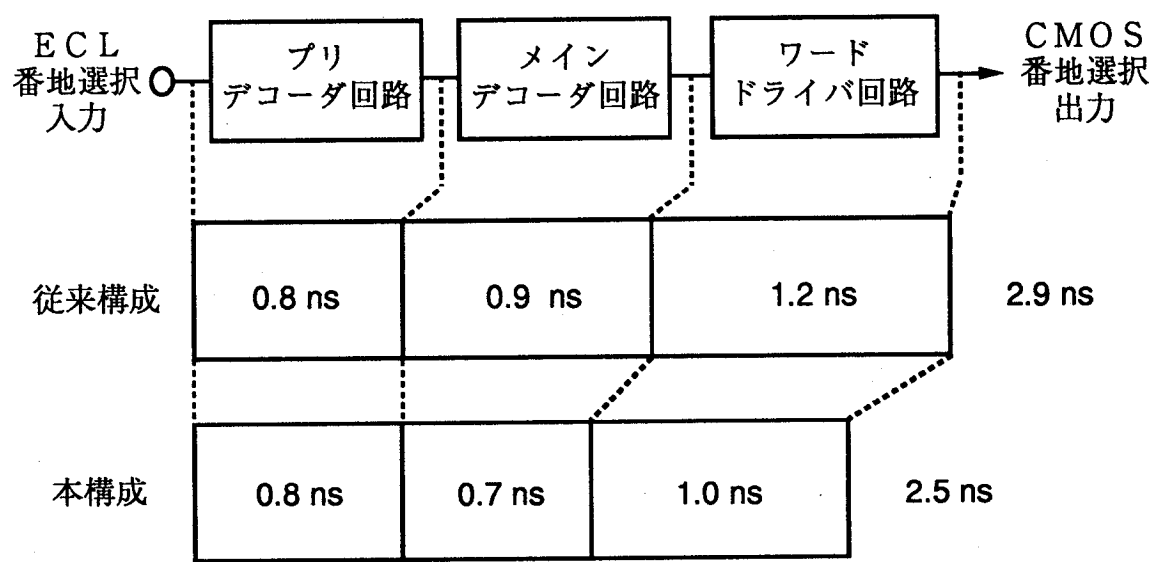


図6-8 選択回路の遅延時間の内訳

選択回路の消費電流の内訳を図 6 - 9 に示す。遅延時間の場合と同様、比較のために、前章で述べた選択回路の消費電流の内訳も示した。分割ワード線構成では、同一ワード線で動作するメモリセル数が削減できるため、メモリセル電流を小さくできる。また、プリデコーダ回路にダイオード結合形論理回路を用いることで、消費電流を小さくできる。選択回路全体としては、分割ワード線構成により、消費電流を 15 % 削減できる。分割ワード線構成では、選択回路の電源電圧を従来の -5.2 V から -4.5 V に低電圧化できることを考慮すると、分割ワード線構成を用いた選択回路は、25 % の低消費電力化が可能となる。

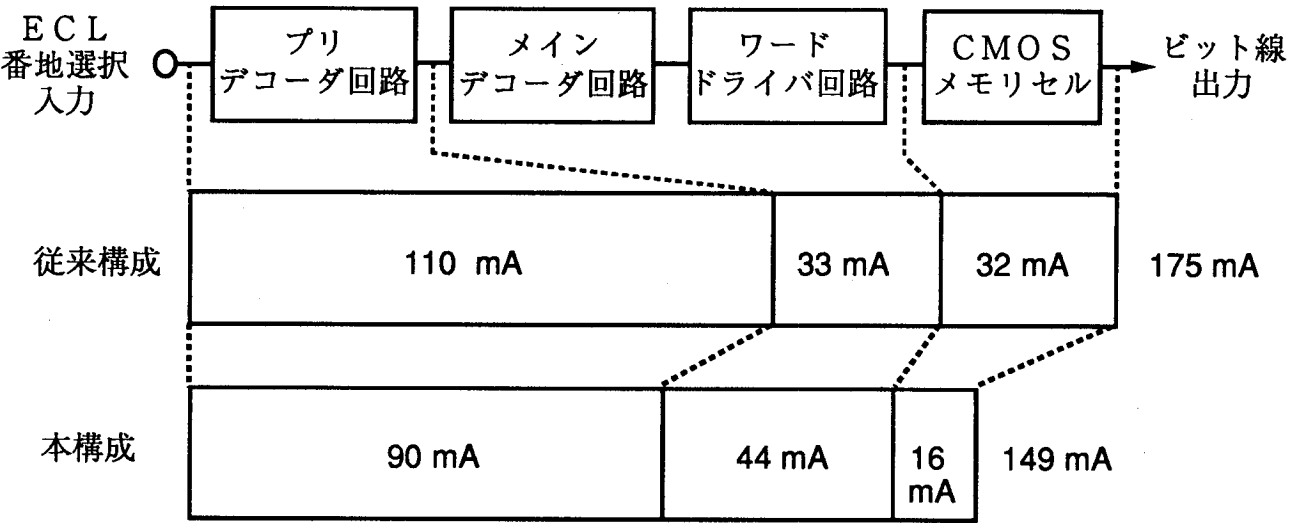


図 6 - 9 バイポーラ分割ワード線構成による消費電流の削減効果

6. 5 まとめ

本章では、ECL-CMOSメモリ構成に必要な低電圧バイポーラ周辺回路構成として、特に、低電圧選択回路構成として提案したバイポーラ分割ワード線構成を述べた。バイポーラ分割ワード線構成の特徴を明確にするとともに、本分割ワード線構成に必要なメインデコード回路、およびセクション・デコード回路の構成法を明らかにした。また、本分割ワード線構成の効果を選択回路の回路性能で明らかにした。

以下に得られた結果を要約する。

(1) 外部電源電圧が低電圧化しても大規模デコード可能なバイポーラ周辺回路構成として、デコード回路の後段にECL回路を並列接続し、各ECL回路の電流源をセクション・デコード回路で切り換えるバイポーラ分割ワード線構成を提案するとともに、その特徴を明らかにした。

(2) メインデコード回路を縦積み2段のシリーズ・ゲート回路で構成することによって、低電流化と低電圧化を同時に満足しながら、高速ワード線選択を実現できることを明確にした。また、配線長の長い主ワード線を小振幅駆動し、配線長の短い副ワード線をMOSレベル信号で大振幅駆動することによって、ワード線選択が高速化できることを明らかにした。

(3) ECL回路の電流源切り換えを行うセクション・デコード回路を、カレントミラー形のBiCMOS電流源で構成することにより、長配線のセクション選択線を小振幅駆動でき、セクション選択が高速化できることを明らかにした。

(4) バイポーラ分割ワード線構成は、高速性能を維持したまま外部電源電圧を低電圧化できるとともに、消費電流が削減できることを示し、メモリの低エネルギー化の点からも有用となることを明らかにした。

第7章 低電圧CMOSメモリセル設計法

7.1 まえがき

ECL-CMOSメモリ構成では、CMOSメモリセル部の低電位電源を外部電源電圧に比べて昇圧することにより、メモリセル部の印加電圧を低電圧化して、耐圧の小さい微細MOSFETの搭載を可能にしている。メモリセル部の印加電圧を従来の5Vから3.3Vに、あるいは、それ以下に低電圧化した場合には、メモリセルのノイズマージンが電源電圧に比例して低下する。特に、高集積化のために各トランジスタ・サイズを小さくして、アナログ動作で書込み・読出し動作を行うメモリセルは、デジタル動作のCMOS論理回路に比べてノイズマージンが小さくなる。メモリセルを構成する各トランジスタのサイズを微細化していく場合、素子ばらつきや、ソフトウェア等による外部雑音電圧が電源電圧とともにスケールアップされないこと、また、チャネル長がハーフミクロン以下の微細MOSFETでは、キャリア移動度の劣化やソース・ドレイン部の寄生抵抗により飽和電流が劣化する⁽⁴¹⁾こと等を考慮すると、低電圧メモリセルではセルのマージン設計が重要となる。

本章では、低電圧メモリセルの設計法として、まず、読出し時・書込み時のメモリセルのノイズマージンを、作図および解析式を用いて評価する手法を述べる。つぎに、ノイズマージン評価手法を用いた低電圧メモリセルの設計法として、微細MOSFETにも適用可能なセルの設計法を示す。最後に、メモリセルのノイズマージンと遅延時間の関係を述べる。

7.2 ノイズマージン評価法

メモリセルのノイズマージンを、セル情報が反転するメモリセル内部の臨界雑音電圧で評価した。特に、読出し時、および書込み時に分離して、メモリセルのノイズマージンが評価できるようにした。以下では、まず、各ノイズマージン（以下、読出しマージン、および書込みマージンと略す。）を評価する作図法を述べる。なお、メモリセルの電源電圧は、解析を容易とするために正電源とした。このため、高電位電源に V_{DD} 端子を用いている。

7.2.1 読出しマージン評価法

読出し時のノイズマージン評価モデルを図7-1に示す。読出し時のメモリセルは、ビット線を高電位電源側にプルアップし、ビット線を小振幅動作させることにより高速な読出し動作を行っている。このため、メモリセルの等価回路としては、図7-1 (a)に示すように、各ビット線を高電位電源に接続した回路で近似できる。読出しマージンを、セル情報が破壊される内部臨界雑音電圧 V_{NR} と定義した場合、読出しマージンは図7-1 (b)に示すように、メモリセルを構成する2つの読出しインバータ ($Inv A$ 、 $Inv B$) の入出力特性に内接する最大正方形で評価できる⁽⁶⁰⁾。最大正方形の大きさが大きくなる程、正方形の一片の長さで表される臨界雑音電圧が大きくなるため、読出しマージンが増加する。

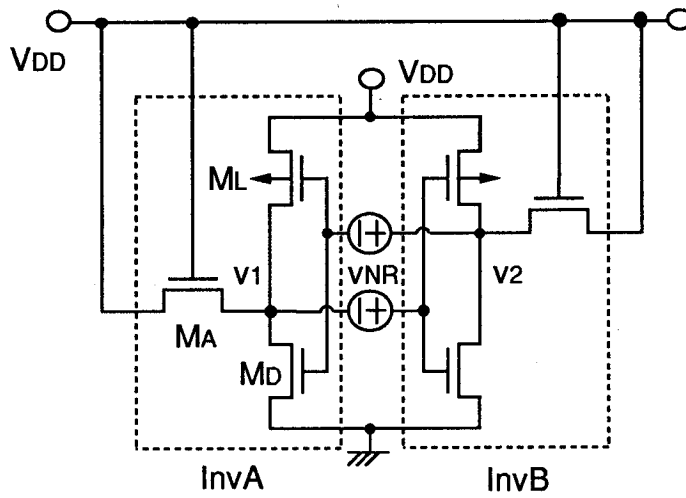
ここでは、読出しマージンを解析式により見通しよく評価できるようにするため、読出しマージン V_{NR} を、セル内部の負荷トランジスタ M_L と駆動トランジスタ M_D からなるCMOSインバータの論理しきい値 V_{THL} と、読出しインバータの最小出力 V_{RO} を用いて次式で近似した。

$$V_{NR} = A_0 (V_{THL} - V_{RO}) \quad (7-1)$$

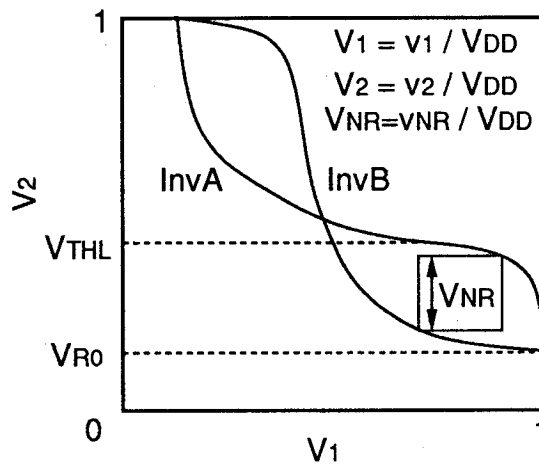
ここで、各電圧値は電源電圧で規格化した値であり、 A_0 は各読出しインバータの出力特性の傾きを考慮した定数である。

7.2.2 書込みマージン評価法

書込み時のノイズマージン評価モデルを図7-2に示す。書込み時のメモリセルは、一方のビット線電位を高電位電源レベルにして、もう一方のビット線電位を低電位電源レベルにすることにより、ビット線を大振幅動作させて書込み動作を行っている。このため、メモリセルの等価回路としては、図7-2 (a)に示すような回路で近似できる。書込みマージンを、書込み動作可能な内部臨界雑音電圧 V_{NW} と定義した場合、書込みマージンは図7-2 (b)に示すように、メモリセルを構成する書込みインバータ ($Inv C$) と読出しインバータ ($Inv B$) の入出力特性に内接する最小正方形で評価できる⁽⁶¹⁾。図7-2 (b)において、頂点が直線 $V_2 = V_1$ に接する正方形は、内接正方形が単調に減少していく場合の正方形の最小値を示している。最小正方形の大きさが大きくなる程、正方形の一片の長さで表される臨界雑音電圧 V_{NW} が大きくなるため、書込みマージンが増加する。

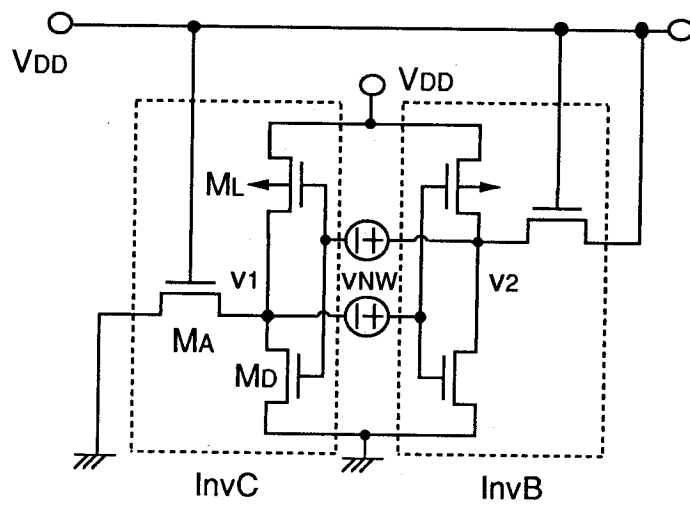


(a) メモリセル等価回路

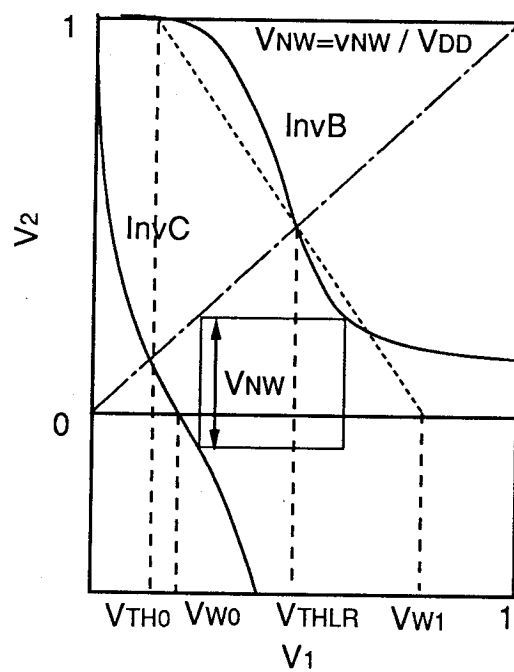


(b) 作図による読出しマージン評価

図7-1 CMOSメモリセルの読出しマージン評価法



(a) メモリセル等価回路



(b) 作図による書込みマージン評価

図7-2 CMOSメモリセルの書込みマージン評価法

ここでは、書込みマージンを解析式により見通しよく評価できるようにするため、書込みマージン V_{NW} を、読出しインバータの論理しきい値電圧 V_{THLR} 、しきい値電圧 V_{TH0} 、および書込みインバータの最大出力 V_{W0} を用いて次式で近似した。

$$V_{NW} = A_1 \left(V_{THLR} \frac{1 - V_{TH0}}{1 - V_{THLR}} - V_{W0} \right) \quad (7-2)$$

ここで、各電圧値は電源電圧で規格化した値であり、 A_1 は書込みインバータ、および読出しインバータの出力特性の傾きを考慮した定数である。また、(7-2) 式の右辺第1項は、読出しインバータ (InvB) の出力特性を、入力電圧がしきい値電圧 V_{TH0} の場合の出力電圧値、および入力電圧が論理しきい値電圧 V_{THLR} の場合の出力電圧値の2点を通る直線で近似した場合、その直線が V_1 軸と交わる入力電圧値を示している。

7. 3 微細MOSFETを用いた低電圧メモリセルの設計法

チャネル長がハーフミクロン以下の微細MOSFETでは、キャリア移動度のゲート電圧依存性、およびキャリアの速度飽和が顕著になり、ドレイン飽和電流がゲート電圧に対して2乗特性から1乗特性に接近する。また、ソース・ドレイン部の拡散抵抗等の寄生抵抗によっても、飽和電流が減少する。特に、微細MOSFETでは、コンタクト径に逆比例するコンタクト抵抗の増大が問題となる⁽⁶²⁾。

ここでは、まず、MOSFETの移動度劣化と寄生抵抗がメモリセルのノイズマージンに及ぼす影響を調べる。尚、以下の解析では、メモリセルの駆動トランジスタとアクセス・トランジスタの駆動電流比を η 、負荷トランジスタとアクセス・トランジスタの駆動電流比を ξ とした。

7.3.1 移動度劣化の影響

キャリア移動度の劣化がセルのノイズマージンに及ぼす影響を調べるために、まず、移動度劣化を含むMOSFETの電流式として、線形動作領域も精度よく近似した次の電流式を用いた⁽⁶³⁾。

〔飽和領域〕

$$I_{D(SAT)} = I_{D0} \left(\frac{V_{GS} - V_{TH0}}{1 - V_{TH0}} \right)^\alpha \quad (7-3)$$

〔線形領域〕

$$I_{D(LIN)} = I_{D(SAT)} \left(2 - \frac{V_{DS}}{V_{DSAT}} \right) \frac{V_{DS}}{V_{DSAT}} \quad (7-4)$$

$$V_{DSAT} = V_{D0} \left(\frac{V_{GS} - V_{TH0}}{1 - V_{TH0}} \right)^m \quad (7-5)$$

ここで、各電圧値は電源電圧で規格化した値であり、各電圧・電流値、および、パラメータは以下の通りである。

V_{GS} : ゲート・ドレイン電圧

V_{DS} : ドレイン・ゲート電圧

V_{TH0} : しきい値電圧

I_{D0} : 最大ドレイン飽和電流

V_{D0} : 最大ピンチオフ電圧

α : 移動度劣化係数

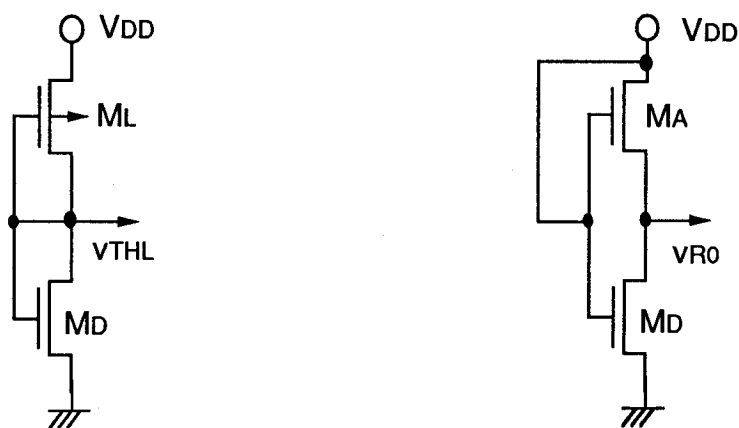
m : ピンチオフ係数

以下では、(7-3) 式～(7-5) 式を用いて、メモリセルのノイズマージンを解析式により求める。

(a) 読出しマージン

メモリセルの読出しマージンは、(7-1) 式に示すように、駆動トランジスタとアクセス・トランジスタからなるCMOSインバータの論理しきい値電圧 V_{THL} と読出しインバータの最小出力電圧 V_{Ro} の差で近似できる。各インバータの等価回路を図7-3に示す。CMOSインバータの論理しきい値電圧 V_{THL} は、各トランジスタが飽和領域で動作することを考慮すれば、次式で表される。

$$V_{THL} = \frac{V_{TH0} \left(1 - \left(\frac{\xi}{\eta} \right)^{1/\alpha} \right) + \left(\frac{\xi}{\eta} \right)^{1/\alpha}}{1 + \left(\frac{\xi}{\eta} \right)^{1/\alpha}} \quad (7-6)$$



(a) 読出しインバータの論理しきい値電圧を導出するための等価回路 (b) 読出しインバータの最低出力電圧を導出するための等価回路

図 7-3 読出しマージン導出時の等価回路

表 7-1 読出しマージンと移動度劣化の関係 ($A_0=0.60$)

	0.8 μ m MOSFET		0.2 μ m MOSFET	
	α	V_{TH0}	V_{D0}	V_{THL}
α	1.40	0.20	0.60	0.36
V_{TH0}	0.20	0.20	0.60	0.33
V_{D0}	0.60	0.60	0.80	0.33
V_{THL}	0.36	0.33	0.16	0.11
V_{RO}	0.13	0.14	0.16	0.10
V_{NR}	0.14	0.11	0.10	

また、読出しインバータの最小出力電圧 V_{Ro} は、アクセス・トランジスタが飽和領域で、駆動トランジスタが線形領域で動作することを考慮すれば、次式で表される。

$$V_{Ro} = V_{Do} \left[\left(1 + \frac{V_{Do}}{2\eta} \frac{\alpha}{1 - V_{Th0}} \right) - \left(\left(1 + \frac{V_{Do}}{2\eta} \frac{\alpha}{1 - V_{Th0}} \right)^2 - \frac{1}{\eta} \right)^{1/2} \right] \quad (7-7)$$

メモリセルの駆動トランジスタとアクセス・トランジスタの駆動電流比 η を $\eta = 2$ 、負荷トランジスタとアクセス・トランジスタの駆動電流比 ξ を $\xi = 0.5$ とし、(7-6) 式、および (7-7) 式を、 $0.8\mu\text{m CMOS}$ デバイス⁽⁴⁵⁾ と $0.2\mu\text{m CMOS}$ デバイス⁽⁶⁴⁾ に適用して、読出しマージンを求めた結果を表 7-1 に示す。表 7-1 では、MOSFET の微細化効果を区別するため、 $0.2\mu\text{m CMOS}$ デバイス特性として、移動度劣化のみを考慮した特性と、後述の寄生抵抗によるピンチオフ電圧の増分も含んだ特性も示した。表 7-1 より、MOSFET の微細化により、移動度が劣化すると、セル内部の CMOS インバータの論理しきい値電圧 V_{Thl} が減少するため、読出しマージンが 20% 以上劣化する。更に、寄生抵抗等によりピンチオフ電圧 V_{Do} が増大すると、読出しインバータの最小出力電圧 V_{Ro} が増加するため、読出しマージンが更に 10% 以上減少する。

(b) 書込みマージン

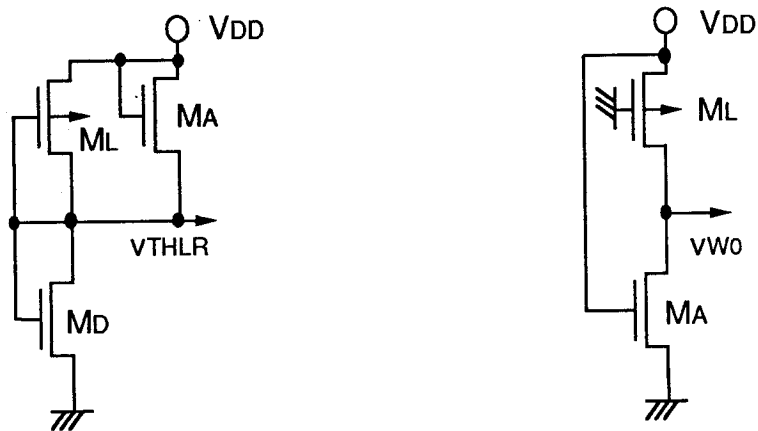
メモリセルの書込みマージンは、(7-2) 式に示すように、読出しインバータの論理しきい値電圧 V_{Thlr} と書込みインバータの最大出力電圧 V_{Wo} の差で近似できる。各インバータの等価回路を図 7-4 に示す。読出しインバータの論理しきい値電圧 V_{Thlr} は、各トランジスタが飽和領域で動作することを考慮すれば、次式で表される。

$$V_{Thlr} = \frac{V_{Th0} \left(1 - \left(\frac{1 + \xi}{\eta} \right)^{1/\alpha} \right) + \left(\frac{1 + \xi}{\eta} \right)^{1/\alpha}}{1 + \left(\frac{1 + \xi}{\eta} \right)^{1/\alpha}} \quad (7-8)$$

また、書込みインバータの最大出力電圧 V_{Wo} は、アクセス・トランジスタが線形領域で、負荷トランジスタが飽和領域で動作することを考慮すれば、次式で表される。

$$V_{Wo} = V_{Do} \left(1 - (1 - \xi)^{1/2} \right) \quad (7-9)$$

(7-8) 式、および (7-9) 式を $0.8\mu\text{m CMOS}$ デバイスと $0.2\mu\text{m CMOS}$ デバイスに適用して、書込みマージンを求めた結果を表 7-2 に示す。表 7-2 で



(a) 書込みインバータの論理しきい値電圧を導出するための等価回路

(b) 書込みインバータの最大出力電圧を導出するための等価回路

図 7-4 書込みマージン導出時の等価回路

表 7-2 書込みマージンと移動度劣化の関係 ($A_1=0.72$)

	0.8 μ m MOSFET	0.2 μ m MOSFET	
α	1.40	1.10	1.10
V_{TH0}	0.20	0.20	0.20
V_{D0}	0.60	0.60	0.80
V_{THLR}	0.47	0.46	0.46
V_{W0}	0.18	0.18	0.23
V_{NW}	0.38	0.36	0.33

は、表 7-1 と同様、MOSFET の微細化効果を区別するため、 $0.2\mu\text{m CMOS}$ デバイス特性として、移動度劣化のみを考慮した特性と、後述の寄生抵抗によるピンチオフ電圧の増分も含んだ特性も示した。表 7-2 より、移動度劣化が書込みマージンに及ぼす影響は、読出しマージンに比べて小さいことがわかる。これは、読出しインバータの論理しきい値電圧 V_{THLR} が、アクセス・トランジスタにより移動度劣化の影響を小さくしていること、また、書込みインバータの最大出力電圧が移動度劣化の影響を受けないことが挙げられる。このため、書込みマージンの劣化は、寄生抵抗等によるピンチオフ電圧の上昇が主となる。ピンチオフ電圧 V_{D0} の上昇により、書込みインバータの最大出力電圧が増加し、書込みマージンが 15% 劣化する。

7.3.2 寄生抵抗の影響

MOSFET のソース・ドレイン部の寄生抵抗を考慮したメモリセルの等価回路を図 7-5 に示す。寄生抵抗の影響がメモリセルのノイズマージンに及ぼす影響を解析式を用いて調べるために、まず、ソース・ドレイン部の寄生抵抗 (R_s 、 R_D) を含む MOSFET の電流式を、寄生抵抗が無い場合の電流式をもとに、ゲート電圧 V_{GS0} 、およびドレイン電圧 V_{DS0} の近傍で、次式で近似する。

$$\begin{aligned} & \text{〔飽和領域〕} \\ & I_{D0} \left(\frac{V_{GS} - V_{TH0}}{1 - V_{TH0}} \right)^\alpha \\ I_{D(SAT)} = & \frac{\alpha R_s I_{D0} \left(\frac{V_{GS0} - V_{TH0}}{1 - V_{TH0}} \right)^\alpha}{1 + \frac{\alpha R_s I_{D0} \left(\frac{V_{GS0} - V_{TH0}}{1 - V_{TH0}} \right)^\alpha}{V_{GS0} - V_{TH0}}} \quad (7-10) \end{aligned}$$

$$\begin{aligned} & \text{〔線形領域〕} \\ & 2 \left(1 - \frac{V_{DS0}}{V_{D0}} \right) V_{DS} + \left(\frac{V_{DS0}}{V_{D0}} \right)^2 V_{D0} \\ I_{D(LIN)} = I_{D(SAT)} & \frac{V_{DS0} + 2 \left(1 - \frac{V_{DS0}}{V_{D0}} \right) (R_s + R_D) I_{D0}}{V_{D0} + 2 \left(1 - \frac{V_{DS0}}{V_{D0}} \right) (R_s + R_D) I_{D0}} \quad (7-11) \end{aligned}$$

(7-11) 式の分子は、ドレイン・ソース間電圧 V_{DS} の 2 乗特性で表される MOSFET の線形領域の電流式を、直線近似したものであり、第 1 項の V_{DS} の係数がドレイン電圧 V_{DS0} での傾きを、第 2 項が直線のオフセット値を示している。

以下では、(7-10) 式、および (7-11) 式を用いて、寄生抵抗がメモリセルのノイズマージンに及ぼす影響を調べる。

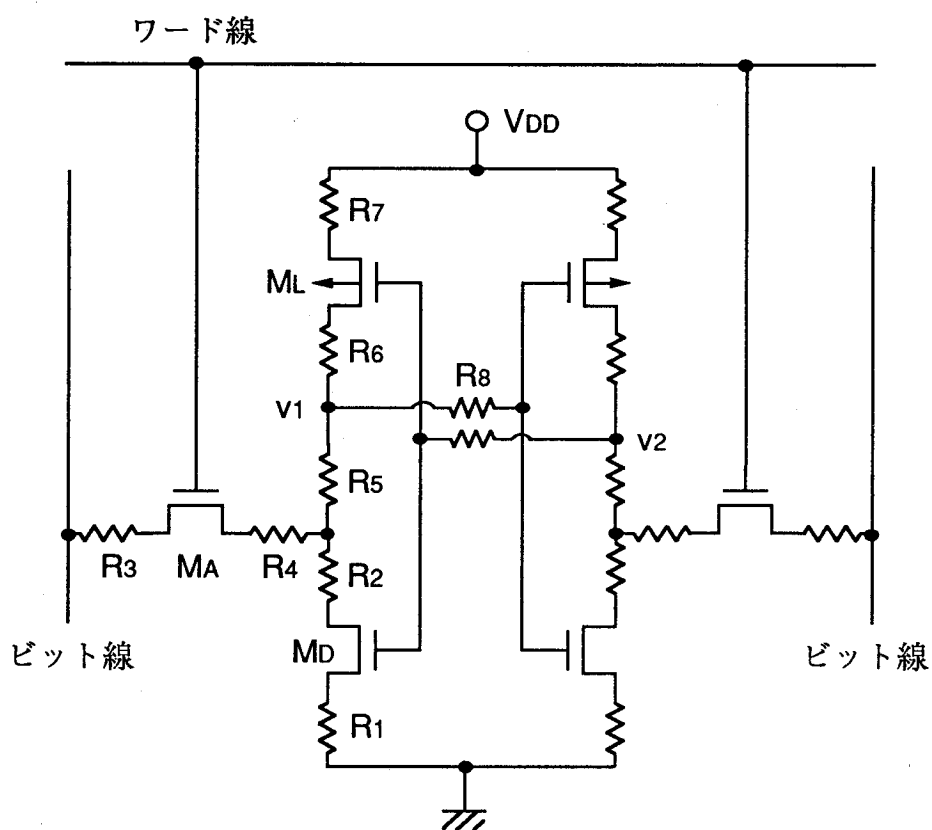


図 7-5 寄生抵抗を含んだメモリセル等価回路

(a) 読出しマージン

寄生抵抗を含むセル内部の読出しインバータの等価回路を図7-6に示す。寄生抵抗が存在した場合のCMOSインバータの論理しきい値電圧 V_{THL}' は、寄生抵抗が存在しない場合の論理しきい値電圧 V_{THL} を用いて次式で近似できる。

$$V_{THL}' = \frac{V_{TH0} \left(1 - \left(a_0 \frac{\xi}{\eta} \right)^{1/\alpha} \right) + \left(a_0 \frac{\xi}{\eta} \right)^{1/\alpha}}{1 + \left(a_0 \frac{\xi}{\eta} \right)^{1/\alpha}} \quad (7-12)$$

$$a_0 = \frac{1 + \left\{ 1 - (\alpha - 1) \frac{1 - V_{THL}}{1 - V_{TH0}} \right\} \frac{\alpha \eta R_1 I_{A0}}{1 - V_{TH0}}}{1 + \left\{ 1 - (\alpha - 1) \frac{V_{THL}}{1 - V_{TH0}} \right\} \frac{\alpha \xi R_7 I_{A0}}{1 - V_{TH0}}} \quad (7-13)$$

ここで、 I_{A0} はアクセス・トランジスタの飽和電流である。

読出しインバータの最小出力電圧 V_{R0}' は、駆動トランジスタが線形領域で、アクセス・トランジスタが飽和領域で動作することを考慮すれば、寄生抵抗が無い場合の出力電圧 V_{R0} を用いて次式で近似できる。

$$V_{R0}' = \frac{1 - \frac{V_{D0} (V_{DS0} / V_{D0})^2}{V_{D0} + \eta (R_1 + R_2) I_{A0}} \eta \left(1 + \frac{\alpha R_4 I_{A0}}{1 - V_{TH0}} \right)}{\frac{\alpha}{1 - V_{TH0}} + \frac{2 (1 - V_{DS0} / V_{D0})}{V_{D0} + \eta (R_1 + R_2) I_{A0}} \eta \left(1 + \frac{\alpha R_4 I_{A0}}{1 - V_{TH0}} \right)} \quad (7-14)$$

ここで、 R_1 、 R_2 は駆動トランジスタの寄生抵抗であり、 R_4 はアクセス・トランジスタのソース抵抗を、また、 R_7 は負荷トランジスタのソース抵抗を示している。

(7-12)式～(7-14)式を用い、各寄生抵抗がメモリセルの読出しマージンに及ぼす影響を調べた結果を表7-3に示す。評価デバイスとしては、寄生抵抗の影響の小さい $0.8\mu\text{m}$ CMOSデバイスを用いた。また、寄生抵抗による電圧降下が電源電圧の10%となる場合について感度解析を行った。表7-3より読出しマージンの劣化は、駆動トランジスタのドレイン部の寄生抵抗(R_2)の影響が大きい。駆動トランジスタのドレイン部に寄生抵抗が存在すると、駆動トランジスタのピンチオフ電圧が等価的に増加するため、読出しインバータの最小出力 V_{R0}' が上昇し、読出しマ-

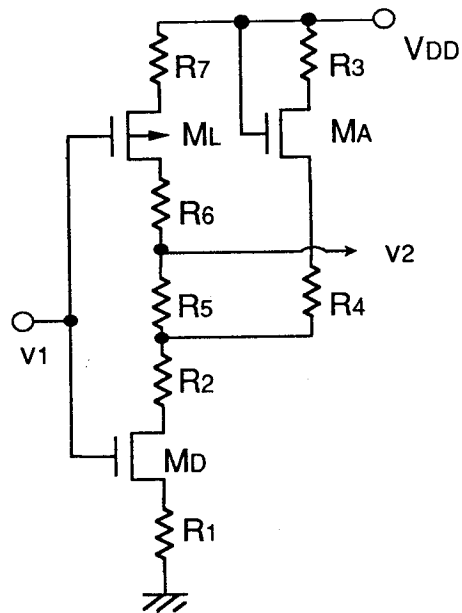


図 7-6 寄生抵抗を考慮した読出しインバータの等価回路

表 7-3 読出しマージンと寄生抵抗の関係

	R=0	R ₁	R ₂	R ₄	R ₇
V _{THL'}	0.36	0.38	0.36	0.36	0.34
V _{RO'}	0.13	0.16	0.16	0.11	0.13
V _{NR}	0.14	0.13	0.12	0.15	0.13

ジンは減少することがわかる。

(b) 書込みマージン

寄生抵抗が存在した場合の読出しインバータの論理しきい値電圧 V_{THLR}' は、図7-6に示す読出しインバータの等価回路を用いて次式で近似できる。

$$V_{THLR}' = \frac{V_{TH0} \left(1 - \left(\frac{b_0 + a_0 \xi}{\eta} \right)^{1/\alpha} \right) + \left(\frac{b_0 + a_0 \xi}{\eta} \right)^{1/\alpha}}{1 + \left(\frac{b_0 + a_0 \xi}{\eta} \right)^{1/\alpha}} \quad (7-15)$$

$$b_0 = \frac{1 + \left(1 - (\alpha - 1) \frac{1 - V_{THLR}}{1 - V_{TH0}} \right) \frac{\alpha \eta R_1 I_{A0}}{1 - V_{TH0}}}{1 + \left(1 - (\alpha - 1) \frac{V_{THLR}}{1 - V_{TH0}} \right) \frac{\alpha \xi R_4 I_{A0}}{1 - V_{TH0}}} \quad (7-16)$$

ここで、 V_{THLR} は、寄生抵抗がない場合の読出しインバータの論理しきい値電圧であり、 R_4 はアクセス・トランジスタのソース抵抗である。

書込みインバータの最大出力電圧 V_{w0}' は、図7-7に示す書込みインバータの等価回路を用い、アクセス・トランジスタが線形領域で、負荷トランジスタが飽和領域で動作することを考慮すれば、次式で近似できる。

$$V_{w0}' = \frac{\xi (V_{D0} + (R_3 + R_4 + R_5) I_{A0})}{2 \left(1 - \frac{V_{w0}}{V_{D0}} \right) \left(1 + \frac{\alpha \xi R_7 I_{A0}}{1 - V_{TH0}} \right)} - \frac{(V_{w0}/V_{D0}) V_{D0}}{2 \left(1 - \frac{V_{w0}}{V_{D0}} \right)} \quad (7-17)$$

ここで、 V_{w0} は寄生抵抗がない場合の書込みインバータの最大出力電圧であり、 $R_3 \sim R_5$ はアクセス・トランジスタの寄生抵抗である。

(7-15) 式～(7-17) 式を、 $0.8 \mu m$ CMOS デバイスに適用して、寄生抵抗が書込みマージンに及ぼす影響を調べた結果を表7-4に示す。書込みマージンの劣化は、アクセス・トランジスタのドレイン部の寄生抵抗 (R_4) の影響が大きい。アクセス・トランジスタのドレイン部に寄生抵抗が存在すると、アクセス・トランジスタのピンチオフ電圧が等価的に上昇するため、読出しインバータの論理しきい値電圧 V_{THLR}' が減少し、書込みインバータの最大出力電圧 V_{w0}' が増加して、書込みマージンの劣化が最も大きくなる。

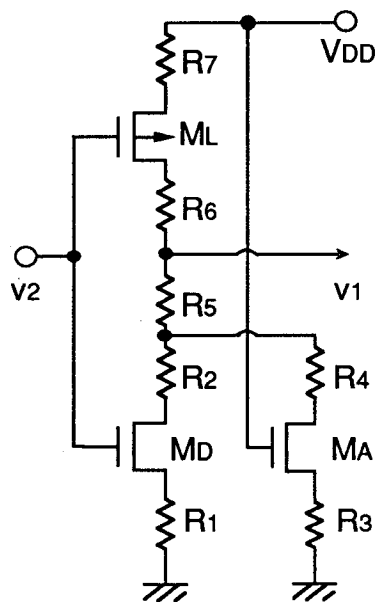


図 7-7 寄生抵抗を考慮した書込みインバータの等価回路

表 7-4 書込みマージンと寄生抵抗の関係

	R=0	R ₁	R ₃	R ₄	R ₅	R ₇
V _{THLR'}	0.47	0.49	0.47	0.46	0.47	0.46
V _{WO'}	0.18	0.18	0.21	0.21	0.21	0.16
V _{NR}	0.38	0.42	0.36	0.34	0.36	0.38

7.3.3 メモリセル設計法

前節の解析により、微細CMOSメモリセルを従来と同じセル定数で設計した場合、メモリセルのノイズマージンが低下することを示した。メモリセルの読出しマージンを増加させるためには、セル内部のCMOSインバータの論理しきい値電圧 V_{THL} を増加させ、読出しインバータの最小出力 V_{R0} を減少させることが必要となる。また、メモリセルの書込みマージンを増加させるためには、読出しインバータの論理しきい値電圧 V_{THLR} を増加させ、書込みインバータの最大出力 V_{W0} を減少させる必要がある。

以下では、所望の読出しマージン V_{NR0} 、および書込みマージン V_{NW0} を確保するためのメモリセルの設計法を示す。

(a) 読出しマージン

所望の読出しマージン V_{NR0} を満足するためには、各読出しインバータの出力特性に内接する最大正方形の一片の長さを V_{NR0} よりも大きくなるようにすればよい。上記条件式を満足するセル定数としきい値電圧の関係を求める。まず、読出しマージン V_{NR0} に対する条件式を以下に示す。

$$V_{NR0} \leq \frac{V_{THLR} + V_{TH0}}{2} - \left[V_{R0} + \frac{V_{R0} - V_{R01}}{V_{TH0}} (1 - V_{THLR}) \right] \quad (7-18)$$

$$\begin{aligned} V_{R01} = & V_{DSAT} \left[\left(1 + \frac{V_{DSAT}}{2\eta} \frac{\alpha}{1 - V_{TH0}} \right) \left(1 + \frac{\alpha V_{TH0}}{1 - V_{TH0}} \right) \right. \\ & - \left(\left(1 + \frac{V_{DSAT}}{2\eta} \frac{\alpha}{1 - V_{TH0}} \right) \left(1 + \frac{\alpha V_{TH0}}{1 - V_{TH0}} \right) \right)^2 \\ & \left. - \frac{1}{\eta} \left(1 + \frac{\alpha V_{TH0}}{1 - V_{TH0}} \right)^{1/2} \right] \quad (7-19) \end{aligned}$$

$$V_{DSAT} = V_{D0} \left(\frac{1 - 2V_{TH0}}{1 - V_{TH0}} \right)^m \quad (7-20)$$

(7-18) 式の右辺は、読出しインバータの出力特性の傾きも考慮したノイズマージン評価式である。(7-18) 式の右辺第1項は、最大正方形が内接する読出しインバータ (Inv A) の入力電圧に相当するものであり、ここでは、内接電圧を読出しインバータの論理しきい値電圧と、しきい値電圧の平均値で近似した〔図7-1 (b) 参照〕。また、(7-18) 式の右辺第2項は、最大正方形が外接する読出しインバータ (Inv B) の出力電圧に相当するものである。ここでは、読出しインバータの入

力電圧が $V_1 = 1 - V_{TH0}$ となる場合の出力電圧 V_{RO1} ((7-19) 式、(7-20) 式参照) を用いて、読出しインバータの出力特性を $(1 - V_{TH0}, V_{RO1})$ 、および $(1, V_{RO})$ の 2 点を通る直線で近似した場合に、その直線が $V_1 = V_{THLR}$ と交わる出力電圧で外接電圧を近似した。

(7-18) 式を読出しインバータの論理しきい値電圧 V_{THLR} について解くことにより、次の条件式を得る。

$$V_{THLR} \geq \frac{V_{NR0} + V_{RO} + ((V_{RO} - V_{RO1}) / V_{TH0}) - V_{TH0} / 2}{((V_{RO} - V_{RO1}) / V_{TH0}) + 1 / 2}$$

$$\equiv V_{THLR}(\min) \quad (7-21)$$

(7-21) 式、および (7-8) 式より、所望のノイズマージンを確保するための、セル定数としきい値電圧の関係が次式のように求まる。

$$\xi \geq \eta \left(\frac{V_{THLR}(\min) - V_{TH0}}{1 - V_{TH0} - V_{THLR}(\min)} \right)^\alpha - 1 \quad (7-22)$$

(b) 書込みマージン

所望の書込みマージン V_{NW0} を満足するためには、読出しインバータ、および書込みインバータの各出力特性に内接する最大正方形の一片の長さを V_{NW0} よりも大きくなるようにすればよい。上記条件式を満足するセル定数としきい値電圧の関係を求める。まず、書込みマージン V_{NW0} に対する条件式を以下に示す。

$$V_{NW0} \leq V_{W1}' - V_{W0} \quad (7-23)$$

$$V_{W1}' = \frac{(1 - V_{W0})(V_{THLR} - V_{W0})}{1 - V_{THLR}} + V_{W0} \quad (7-24)$$

(7-23) 式の右辺は、読出しインバータの出力特性の傾きも考慮した書込みマージン評価式である。(7-23) 式の右辺第 1 項は、最小正方形が読出しインバータ (In v B) に内接する場合の読出しインバータの入力電圧に相当するものである。ここでは、読出しインバータの内接電圧を (7-24) 式で近似した。(7-24) 式は、読出しインバータの出力特性を $(V_{W0}, 1)$ 、および (V_{THLR}, V_{THLR}) の 2 点を通る直線で近似した場合に、その直線が $V_2 = V_{W0}$ と交わる入力電圧値を示している [図 7-2 (b) 参照]。

(7-23) 式、および (7-24) 式を読出しインバータの論理しきい値電圧 V_{THLR} について解くことにより、次の条件式を得る。

$$V_{THLR} \leq \frac{V_{NW0} + (1 - V_{W0}) V_{W0}}{V_{NW0} + (1 - V_{W0})} \equiv V_{THLR}(\max) \quad (7-25)$$

(7-25) 式、および (7-8) 式より、所望のノイズマージンを確保するための、セル定数としきい値電圧の関係が次式のように求まる。

$$\eta \geq (1 + \xi) \left(\frac{V_{THLR}(\max) - V_{TH0}}{1 - V_{TH0} - V_{THLR}(\max)} \right)^{-\alpha} \quad (7-26)$$

(7-22) 式、および (7-26) 式を $0.2 \mu m$ CMOS デバイスに適用した場合の、セル定数としきい値電圧の関係を図 7-8 に示す。ここでは、 $0.8 \mu m$ CMOS セルと同等なノイズマージン（読出しマージン； $V_{NR0} = 0.14$ ，書込みマージン； $V_{NW0} = 0.38$ ）を得るためのセル定数としきい値電圧の関係を示した。CMOS メモリセルの設計例として、規格化しきい値電圧 V_{TH0} を 0.3、駆動トランジスタとアクセス・トランジスタの駆動電流比 (η) を 3、負荷トランジスタとアクセス・トランジスタの駆動電流比 (ξ) を 0.4 とし、シミュレーションによりメモリセルの読出しマージン、および書込みマージンを求めた結果、 $V_{NR} = 0.21$ 、 $V_{NW} = 0.39$ が得られた。各ノイズマージンは、所望のノイズマージンを満足しており、本手法の有効性が確められた。

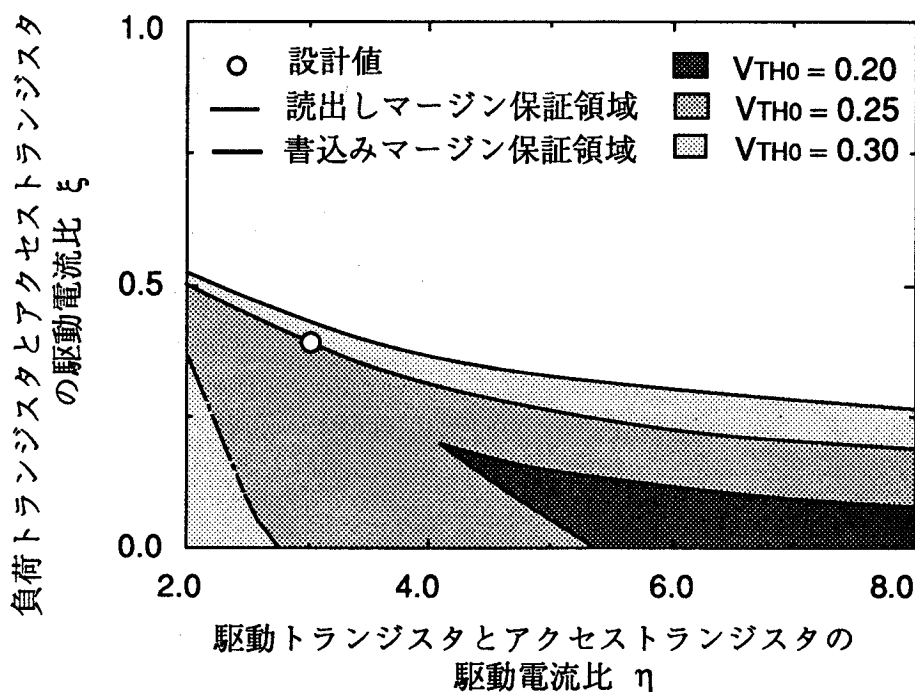
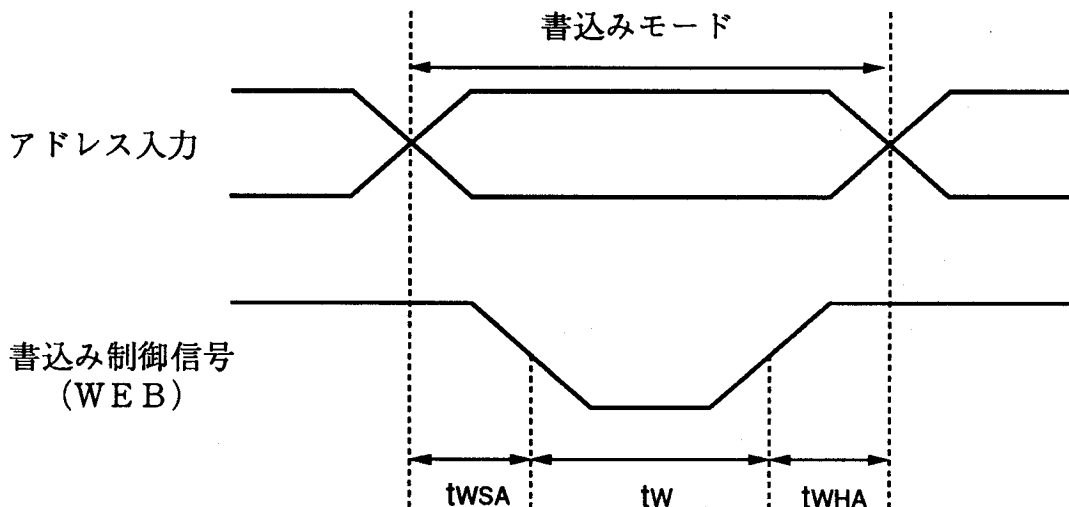


図 7-8 ノイズマージンを保証したセル定数比の領域

7. 4 ノイズマージンとメモリセルの遅延時間の関係

メモリセルでの遅延時間は、ビット線を小振幅動作させる読出し動作時の遅延時間よりも、ビット線を電源電圧レベルで大振幅動作させる書込動作時の遅延時間が問題となる。書込動作時のアドレス入力と書込み制御信号（WEB）のタイミング図を図7-9に示す。書込み時のアドレスサイクルは、書込み制御信号に対して、アドレス・セットアップ時間、ライトパルス幅、および、アドレス・ホールド時間（以下では、ライトリカバリ時間と略す。）でできる。特に、データを書込むためのライトパルス幅、および、書込み後にビット線の大振幅信号を読出し時の小振幅信号にもどすまでのライトリカバリ時間は、メモリセル自体のセル定数、およびビット線の負荷容量で決まる。以下では、前節までで述べた書込みマージンとメモリセルの遅延時間の関係を述べる。



t_{WSA} : アドレス・セットアップ時間

t_w : ライトパルス幅

t_{WHA} : アドレス・ホールド時間（ライトリカバリ時間）

図7-9 書込み動作時のメモリの速度性能

7.4.1 書込みマージンとビット線の臨界雑音電圧の関係

メモリセルの書込み時の遅延時間を導出する場合、図7-10 (a) に示すようなビット線の臨界雑音電圧評価⁽⁶⁵⁾が有用である。書込み動作可能なビット線の臨界雑音電圧を評価することにより、ライトパルス幅やライトリカバリ時間の評価が可能となる。ここでは、まず前節で述べた書込みマージン評価で、ビット線の臨界雑音電圧が評価できることを示す。

ビット線に臨界雑音電圧が存在した場合の、書込みインバータの等価回路を図7-10 (b) に示す。臨界雑音電圧を V_{BL} 、メモリセル内部ノードの電圧値を V_{10} 、および V_{20} とした。書込みインバータの出力電圧 V_{10} は、書込みインバータの負荷トランジスタが飽和領域で、アクセス・トランジスタが線形領域で動作していることを考慮すれば、MOSFETの電流式 (7-3) 式～ (7-5) 式を用いて、次式で近似できる。

$$V_{10} = \frac{\xi V_{D0}}{2} \left(1 - \frac{\alpha V_{20}}{1 - V_{TH0}}\right) \left(1 + \frac{\alpha V_{BL}}{1 - V_{TH0}}\right) \left(1 - \frac{m V_{BL}}{1 - V_{TH0}}\right) + V_{BL} \quad (7-26)$$

ここで、各電圧値は電源電圧で規格化した値である。

一方、メモリセル内部に臨界雑音電圧 V_{BL} が存在した場合の、書込みインバータの等価回路を図7-10 (c) に示す。書込みインバータに、図7-10 (b) に示すインバータと同一の入力電圧 V_{20} を印加した場合、その出力電圧 V_{10}' は、

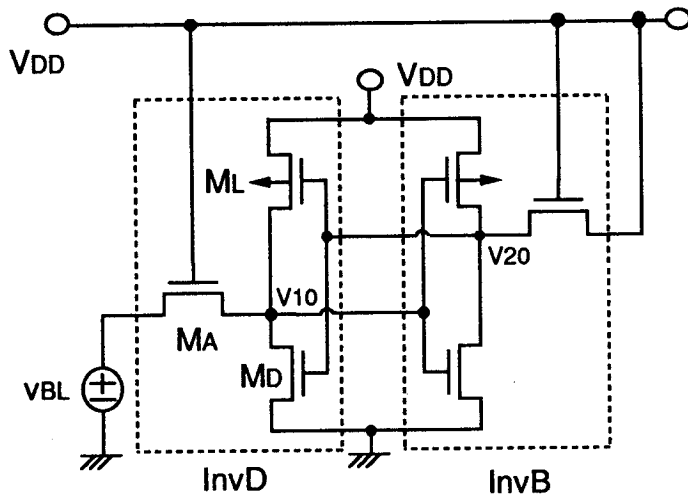
$$V_{10}' = \frac{\xi V_{D0}}{2} \left(1 - \frac{\alpha V_{20}}{1 - V_{TH0}}\right) \left(1 + \frac{\alpha V_{BL}}{1 - V_{TH0}}\right) \quad (7-27)$$

となる。(7-27) 式の各電圧値は、(7-26) 式同様、電源電圧で規格化した値である。

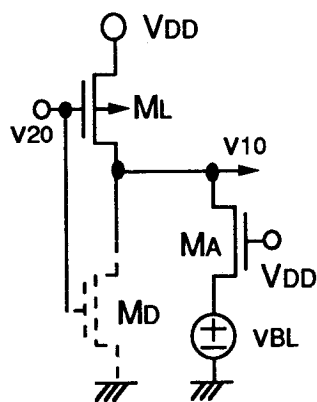
書込みインバータの出力 V_{10}' と図7-10 (b) に示すインバータの出力 V_{10} との電圧差は、(7-26) 式、および (7-27) 式より、次式で近似できる。

$$\begin{aligned} V_{10}' - V_{10} &= \frac{\xi V_{D0}}{2} \left(1 - \frac{\alpha V_{20}}{1 - V_{TH0}}\right) \left(1 + \frac{\alpha V_{BL}}{1 - V_{TH0}}\right) \left(\frac{m V_{BL}}{1 - V_{TH0}}\right) - V_{BL} \\ &\approx \frac{\xi}{2} \frac{V_{D0}}{1 - V_{TH0}} m V_{BL} - V_{BL} \end{aligned} \quad (7-28)$$

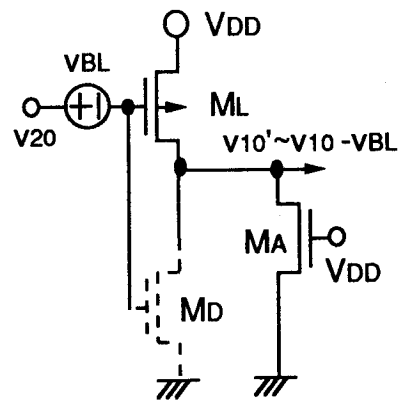
書込みインバータを構成する負荷トランジスタとアクセス・トランジスタの電流比 ξ



(a) ビット線の臨界電圧評価法



(b) ビット線の臨界電圧評価時の
書込みインバータ等価回路



(c) 書込みマージン評価時の
書込みインバータ等価回路

図 7-10 書込みマージンとビット線の臨界電圧の関係

は、セルの書込みマージンを確保するために、通常 $\xi \leq 1/2$ とし、書込みインバータの負荷トランジスタを飽和領域で、アクセス・トランジスタを線形領域で動作させている。 $\xi \leq 1/2$ なるセル定数条件、および $V_{D0} < 1 - V_{TH0}$ 、 $m \approx 1$ なるデバイス条件を考慮すると、(7-28) 式の右辺第1項は、第2項に比べて十分小さく、(7-28) 式に示す書込みインバータの出力電圧 V_{10}' は、さらに次式で近似できる。

$$V_{10}' \approx V_{10} - V_{BL} \quad (7-29)$$

図7-10(c)に示す書込みインバータの入出力条件は、書込みインバータの入力電圧がビット線の臨界雑音電圧 V_{BL} だけ減少した場合、その出力も(7-29)式により V_{BL} だけ減少することを示している。セル内部の書込みインバータと読出しインバータが、ビット線の臨界雑音電圧評価時に内部電圧 (V_{10} 、 V_{20}) で接することを考慮すれば、書込みインバータと読出しインバータの内側に、一辺がビット線の臨界雑音電圧 V_{BL} となる内接正方形が存在する。さらに、書込みインバータの出力特性が、ビット線の雑音電圧に対して、なめらかな単調増加関数であることを考慮すると、内接正方形は最小の内接正方形となり、書込みマージン評価時の定義と一致する。従って、ビット線の臨界雑音電圧 V_{BL} は、書込みマージン V_{NW} で近似できる。

7.4.2 書込みマージンと最小ライトパルス幅の関係

書込み動作開始時のメモリセルの等価回路を図7-11に示す。ここでは、ビット線 BLB の電位を、マルチプレクサ回路で低レベルにすることにより書込み動作を行う場合を示した。このため、ビット線 BLB の初期電位 $v_B(0)$ 、およびビット線 BLB につながるメモリセルノードの初期電位 $v_1(0)$ は、 $v_B(0) = v_1(0) = V_{DD}$ としている。前節で述べた書込みマージン V_{NW} を用いれば、ビット線を V_{DD} から V_{NW} まで降下させることにより、書込み動作が可能となる。マルチプレクサ回路の等価コンダクタンスを g_{MPX} 、メモリセルのアクセス・トランジスタの等価コンダクタンスを g_{AC} 、ビット線容量を C_B 、およびメモリセルの内部容量を C_N とすれば、最小ライトパルス幅 $t_{pd}(WP)$ は、次式で与えられる⁽⁶⁶⁾。

$$t_{pd}(WP) = 2 \frac{C_B}{g_{MPX}} (1 - V_{NW}) + \frac{C_N}{g_{AC}} \frac{1 - V_{THL}}{1 - V_{NW}} \quad (7-30)$$

ここで、 V_{NW} 、および V_{THL} は、電源電圧で規格化した書込みマージンとメモリセルを構成するCMOSインバータの論理しきい値電圧である。(7-30)式の右辺第1

項が、マルチプレクサ回路でビット線を電源電圧から書込みマージン V_{NW} まで下げるための遅延時間であり、右辺第2項がメモリセル内部の寄生容量の放電に必要な遅延時間である。

(7-30) 式を $0.8\mu\text{m CMOS}$ デバイスに適用して、最小ライトパルス幅と書込みマージンの関係を求めた結果を図7-12に示す。メモリセルの書込みマージンを大きくするほど、(7-30) 式の右辺第1項に示すように、ビット線電位を低レベル側にレベルシフトするレベルシフト量を削減できるため、最小ライトパルス幅が小さくなる。また、(7-30) 式より、最小ライトパルス幅を小さくするためには、マルチプレクサ回路の等価コンダクタンスを大きくすればよいことがわかる。

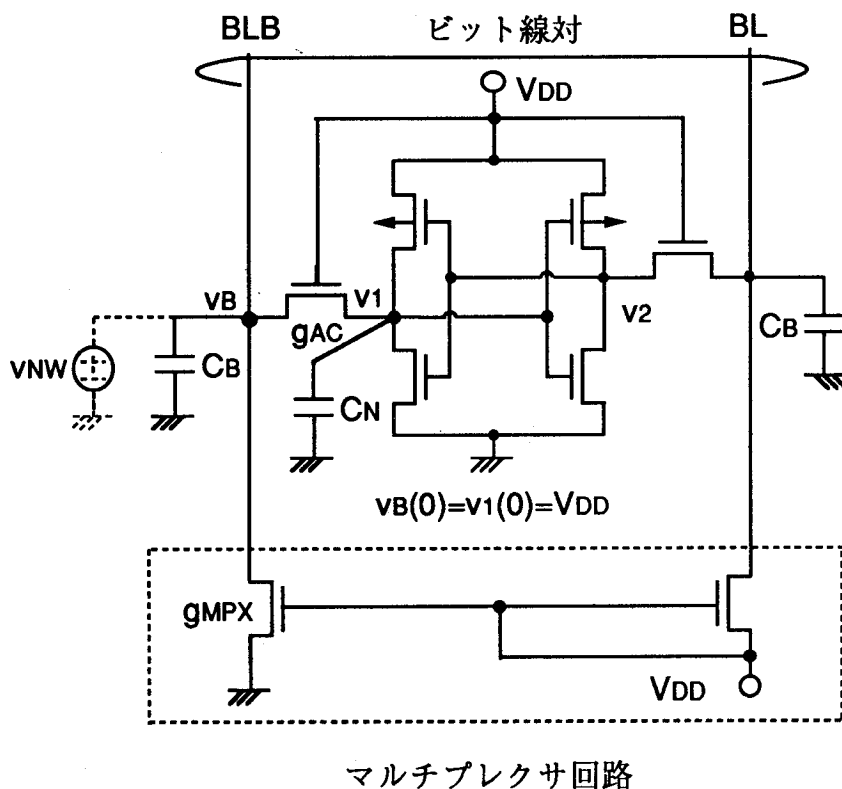


図7-11 最小ライトパルス幅導出時のメモリセル等価回路

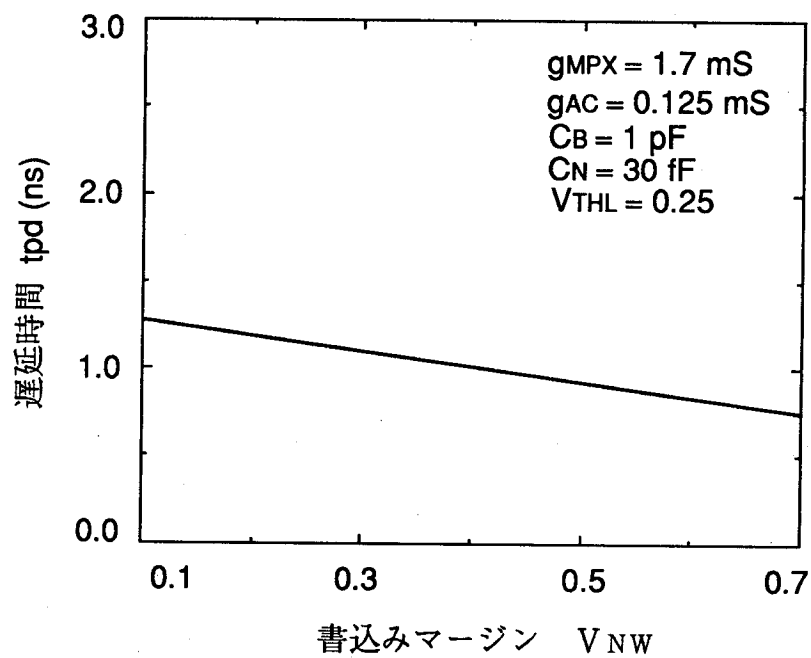


図7-12 最小ライトパルス幅と書込みマージンの関係

7.4.3 書込みマージンと最小ライトリカバリ時間の関係

書込み動作終了直後の読出し時のメモリセル等価回路を図7-13に示す。ここでは、ビット線BLBの初期電位が低電位電源 ($v_B(0) = 0V$) で、ビット線BLBにつながるメモリセルのノードが高電位電源に保持されている場合 ($v_I(0) = V_{DD}$) を示した。図7-13に示すメモリセルの等価回路において、ビット線容量がセル内部の寄生容量に比べて十分大きい場合には、メモリセルの保持情報が破壊される。メモリセルの情報を保持するためには、ビット線を書込みマージン V_{NW} まで上昇させることが必要となる。ここでは、最小ライトリカバリ時間を、書込み直後にビット線を書込みマージン V_{NW} まで上昇させるための遅延時間として導出した⁽⁶⁷⁾。

最小ライトリカバリ時間 $t_{pd}(WR)$ は、プルアップ回路の等価コンダクタンスを g_{PUL} 、メモリセルのアクセス・トランジスタの等価コンダクタンスを g_{AC} とすれば、次式で与えられる。

$$t_{pd}(WR) = 2 \frac{C_B}{g_{PUL}} V_{NW} - \frac{C_N}{g_{AC}} \frac{1 - V_{THL}}{1 - V_{NW}} \quad (7-31)$$

(7-31) 式において、各電圧値は電源電圧で規格化した値であり、右辺第1項が、プルアップ回路でビット線を書込みマージンまで上昇させるための遅延時間を、右辺第2項がメモリセル内部の寄生容量の放電に必要な遅延時間を示したものである。

(7-31) 式を $0.8\mu m$ CMOS デバイスに適用して、最小ライトリカバリ時間と書込みマージンの関係を求めた結果を図7-14に示す。ライトパルス幅とは逆に、メモリセルの書込みマージンを大きくするほど、(7-31) 式の右辺第1項に示すように、ビット線の昇圧電位が大きくなるため、最小ライトリカバリ時間が増大する。また、(7-31) 式より、最小ライトリカバリ時間を削減するためには、プルアップ回路の等価コンダクタンスを大きくすればよいことがわかる。ECL-CMOSメモリ構成では、第5章で述べたように、読出し加速回路により、バイポーラ・エミッタフォロウ回路でビット線のプルアップを行うため、その等価コンダクタンスはMOSFETに比べて十分大きく、ライトリカバリ時間の短縮に有用となる。

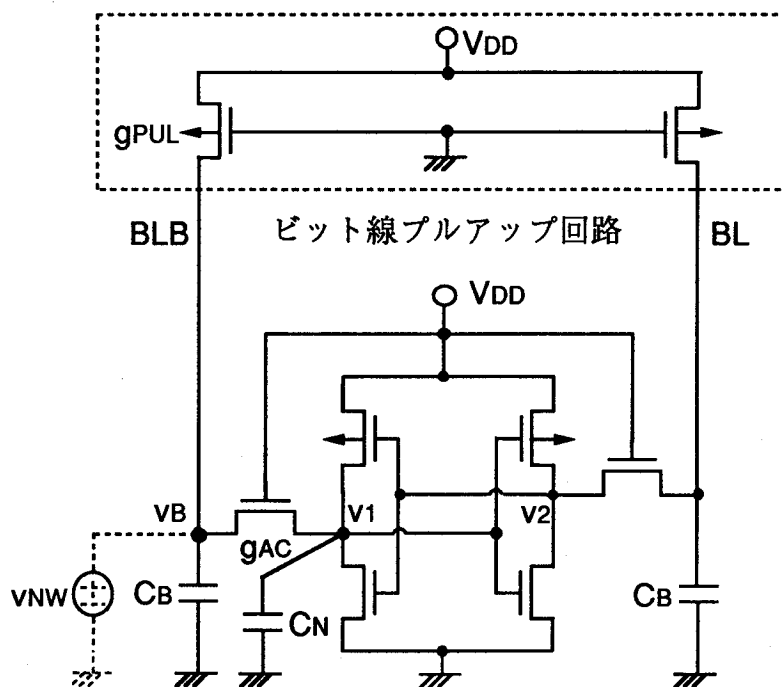


図 7-13 最小ライトリカバリ時間導出時のメモリセル等価回路

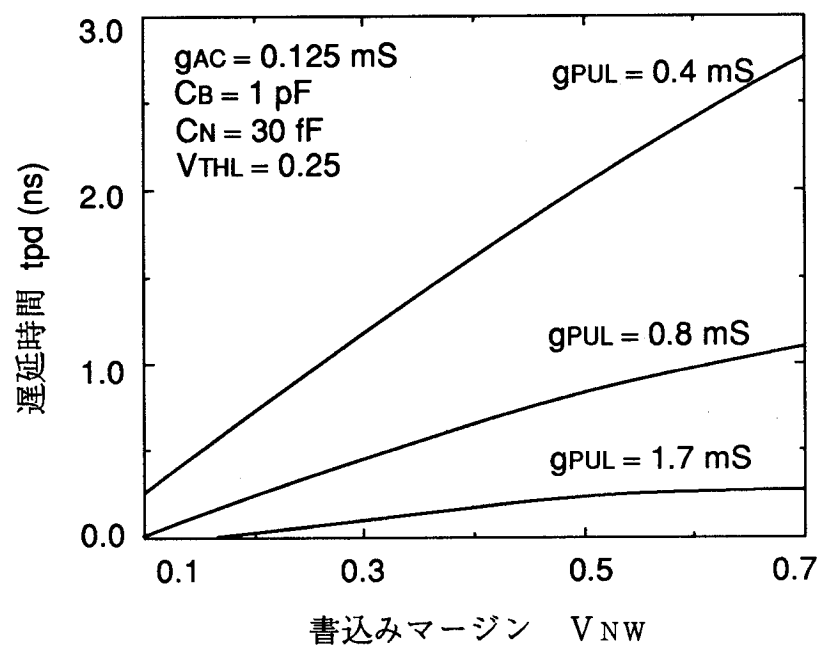


図 7-14 最小ライトリカバリ時間と書込みマージンの関係

7. 5 まとめ

本章では、ECL-CMOSメモリ構成に搭載する低電圧CMOSメモリセルの設計法を述べた。特に、電源電圧とともに低下するメモリセルのノイズマージンを確保するためのメモリセル設計法を明確化した。以下に得られた結果を要約する。

(1) 読出し時、および書込み時のメモリセルのノイズマージンを作図、および解析式により評価する手法を明らかにした。

(2) ノイズマージン評価式を微細CMOSメモリセルに適用した場合のセルの設計法を明らかにした。MOSFETの微細化にともなう、キャリア移動度の劣化や、ソース・ドレイン抵抗が、ノイズマージンに及ぼす影響を明らかにするとともに、所望のノイズマージンを確保するためのセル定数、およびしきい値電圧の設定法を明確化した。

(3) 評価したノイズマージンとメモリセルの遅延時間の関係、およびメモリセルの遅延時間を削減するための高速化条件を明らかにした。特に、ノイズマージンと遅延時間の関係として、書込みマージンとメモリの書込みサイクルを決める最小ライトパルス幅、およびライトリカバリ時間の関係を明確化した。

第 8 章 B i C M O S メモリの設計・試作

8. 1 まえがき

B i C M O S 技術による低電圧メモリ構成法として、メモリの周辺回路を B i N M O S 論理ゲートで構成するメモリ構成法と、周辺回路をバイポーラ E C L 回路で構成し、メモリセル部を C M O S 回路で構成する E C L - C M O S メモリ構成法を述べてきた。本章では、各メモリ構成の有用性を確めるために設計・試作したメモリの概要、および評価結果を述べる。

8. 2 低電圧メモリ構成の特徴

B i N M O S 論理ゲートによるメモリ構成、および E C L - C M O S メモリ構成の特徴を表 8 - 1 にまとめる。B i N M O S 論理ゲートによるメモリ構成では、B i N M O S 論理ゲートをメモリの周辺回路に適用することによって、外部電源電圧が低下しても高速動作が可能となるようにした。本メモリ構成は、配線遅延の影響が小さい中規模メモリに特に有用であり、C M O S メモリ並の消費電力でバイポーラ E C L メモリ並の速度性能を実現できる。一方、E C L - C M O S メモリ構成では、周辺回路に E C L 回路を用い、C M O S メモリセル部の印加電圧を低電圧化することにより、外部電源電圧を維持したまま高速動作が可能となるようにした。また、バイポーラ分割ワード線構成を用いることにより、外部電源電圧が低下しても高速動作が可能となるようにした。E C L - C M O S メモリ構成は、長配線を E C L 回路で駆動できるため、チップサイズが 10 mm 角を越える大規模メモリでも、バイポーラ E C L メモリ並の速度性能を実現できる。また、周辺回路を、選択したトランジスタにしか電流を流さないシリーズ・ゲート回路主体に構成することにより、その消費電力を C M O S メモリ並の消費電力までに削減できる。

本章では、まず、B i N M O S 論理ゲートによるメモリ構成として、メモリ規模 8 K b の 2 ポート・メモリの設計・試作例を述べる。つぎに、E C L - C M O S メモリ構成として、メモリ規模 256 K b の E C L 10 K インタフェイス・メモリ、およびバイポーラ分割ワード線を用いたメモリ規模 256 K b の低電圧 E C L 100 K イン

表 8-1 BiCMOS 技術による低電圧メモリ構成の特徴

	BiNMOS 論理ゲート を用いたメモリ構成	ECL-CMOS メモリ構成	
低電圧化手法	外部電源電圧の 低電圧化	V _{ss} 昇圧回路 による内部 CMOS 回路の低電圧化	外部電源電圧の 低電圧化
周辺回路構成	BiNMOS 論理ゲート	ECL 回路	ECL 回路 (分割ワード線構成)
最適メモリ規模	中	大	大
アクセス時間	小 (バイポーラメモリ並)	小	小
消費電力	小 (CMOS メモリ並)	中	小
試作メモリ	2ポート 8Kb メモリ	ECL 10K インタフェース 256Kb メモリ	ECL 100K インタフェース 256Kb メモリ

タフェイス・メモリの設計・試作例を述べる。

8. 3 2ポート8Kbメモリの設計・試作

BiNMOS論理ゲートによるメモリ構成の有用性を確かめるために、 $0.5\mu\text{m}$ BiCMOSプロセス⁽³⁸⁾で、メモリ規模8Kbの論理LSI搭載用2ポートメモリを設計・試作した。2ポートメモリは、データの書込み・読出しを独立かつ並列に処理できるメモリであり、パイプライン処理を行う高速デジタル信号処理LSI⁽⁶⁸⁾等に必須となるメモリである。2ポート用メモリセルを図8-1に示す。CMOSメモリセルのアクセス・トランジスタを2組設け、信号線を2組のワード線とビット線対で構成することによって、各ポート（Aポート、およびBポート）からデータの書込みと読出しが独立に行えるようにしている。

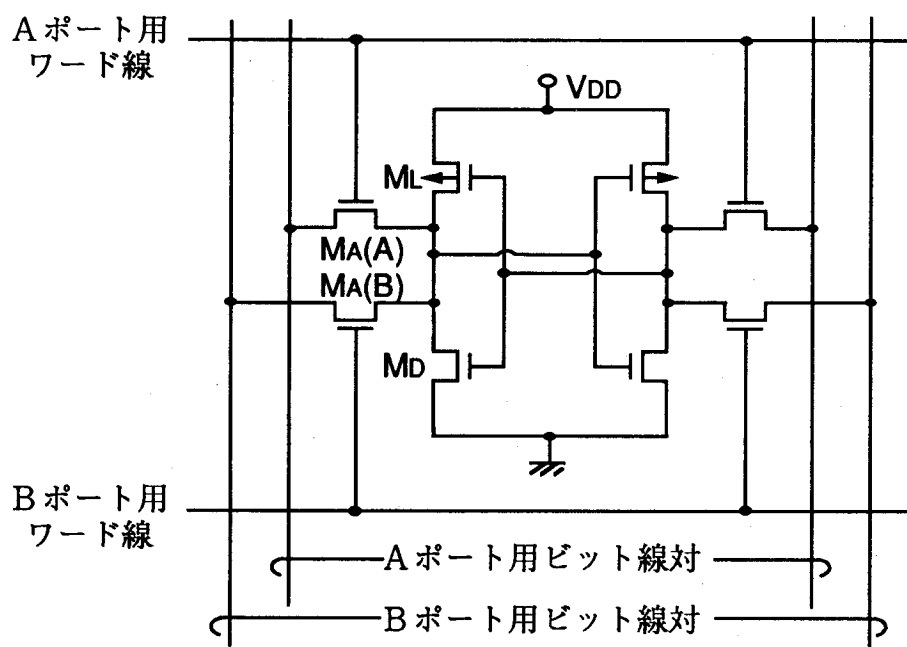


図8-1 2ポートメモリセル構成

設計した2ポートメモリのブロック構成を図8-2に示す。2章および3章で述べたBiNMOS論理ゲート主体に周辺回路を構成した。センスアンプ回路には、微小信号の検出が可能なバイポーラ電流切り換え回路を用いた。特に、両ポートの信号処理を可能とするため、周辺回路には、Aポート用、およびBポート用の回路ブロックを配置した。また、ビット線のプルアップ制御を行う書込み制御回路には、3章で述べたフィードフォワード形(F F) BiNMOSドライバ回路を用いた。書込み制御回路の回路構成を図8-3に示す。初段の回路には、入力容量の条件からCMOS・NOR回路を用い、書込み制御信号(WEB)とチップ選択信号(CSB)の論理により、書込みかつチップ選択の状態、ビット線のプルアップ動作を遮断し、メモリセルへの書込みが容易に行えるようにした。特に、NOR回路の後段にFF-BiNMOSドライバを用い、FF-BiNMOSドライバ回路で高負荷のプルアップ回路を駆動する回路構成とした。メモリセルには、図8-1に示した2ポート用セルを用い、セルアレイ構成は512ワード×16ビット構成とした。メモリセルを構成する各トランジスタのセル定数比としては、7章で述べた解析式を用いて、駆動トランジスタとアクセス・トランジスタの駆動電流比 η として $\eta=4.0$ 、負荷トランジスタとアクセス・トランジスタの駆動電流比 ξ として $\xi=0.2$ を用いた。

設計した2ポートメモリのチップ写真を図8-4に、BiCMOSデバイス特性を表8-2に示す。MOSFETには、高耐圧化が可能なLDD(Lightly Doped source-Drain)構造を用いた。また、バイポーラ・トランジスタには、寄生容量の小さいポリエミッタ構造を用いた。配線系は、2層ポリシリコン、2層アルミ配線を用いた。設計したメモリのチップ面積は、 $4\text{ mm} \times 4\text{ mm} = 16\text{ mm}^2$ であり、メモリコア部の面積は $2.1\text{ mm} \times 2.4\text{ mm} = 5.0\text{ mm}^2$ である。

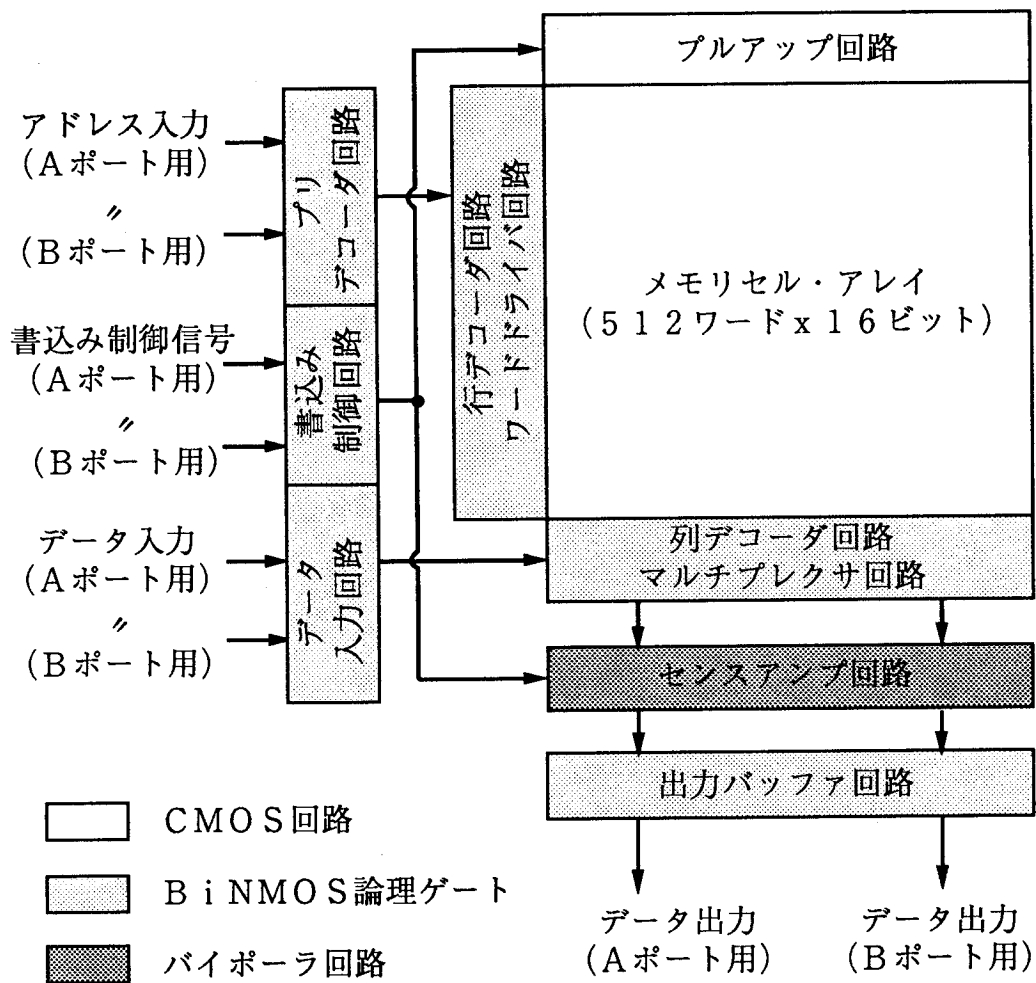


図8-2 2ポート8Kbメモリのブロック図

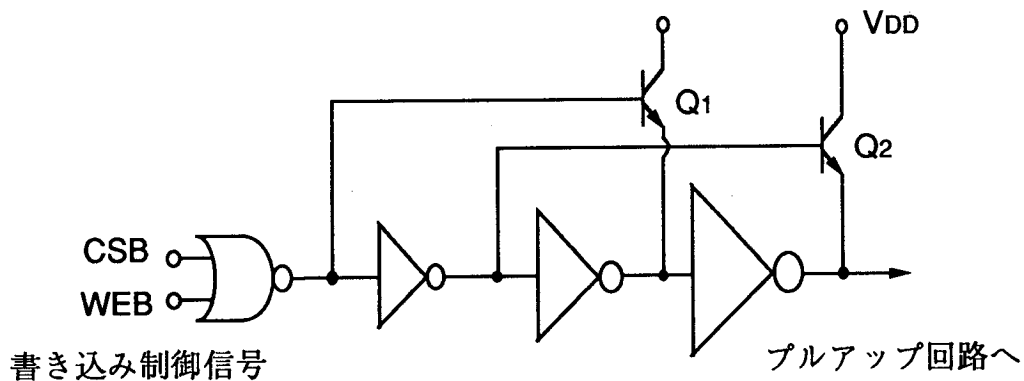


図8-3 書込み制御回路構成

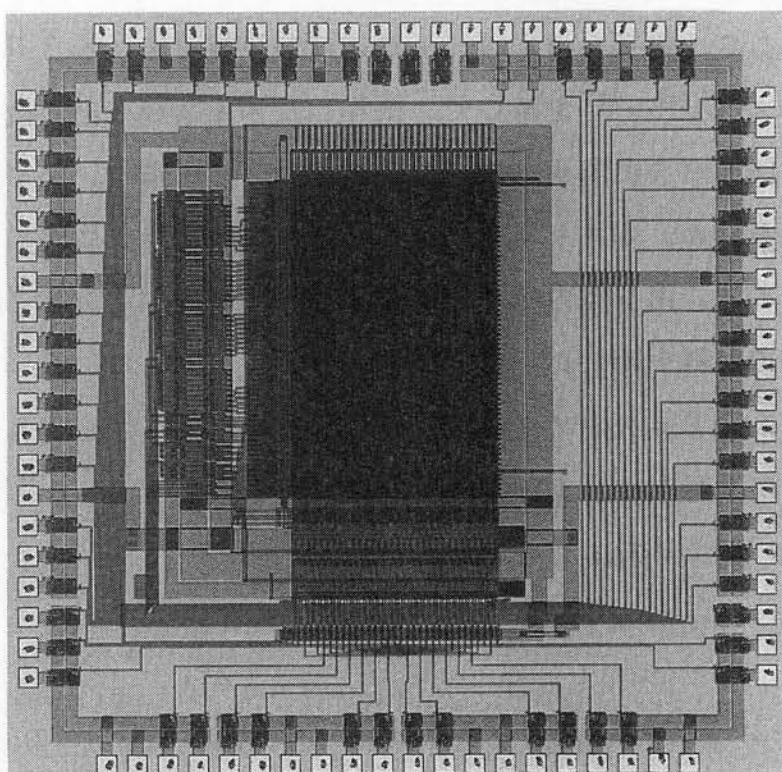


図8-4 2ポート8Kbメモリのチップ写真

表8-2 0.5 μ m BiCMOSデバイス特性

MOSFET	
ゲート長	0.55 μ m
ゲート酸化膜厚	11nm
バイポーラ・トランジスタ	
エミッタサイズ	0.6 x 10 μ m ²
遮断周波数	12GHz
電流利得	80

本メモリの速度性能を評価する場合、本メモリは論理LSIに搭載して使用するため、メモリコア部のアクセス時間評価が必要となる。ここでは、メモリコア部のアクセス時間評価に、LSI内部の信号線の伝播遅延が評価可能なEB (Electron Beam) テスタ^{(69) (70)}を用いた。試作したメモリの入出力波形をEBテストで評価した結果を図8-5に示す。電源電圧が3.3Vの場合、アドレス・アクセス時間2.7nsが得られた。本メモリ構成はCMOSメモリ構成に比べて、アクセス時間を40%削減できる。消費電力は40MHz動作時に430mWであり、CMOSメモリ並の消費電力が得られた。

試作したメモリのアドレス・アクセス時間の電源電圧依存性を図8-6に示す。3.3Vの電源電圧に対して、電源変動10%以内では、アドレス・アクセス時間の変動は25%以内に抑えられることがわかった。

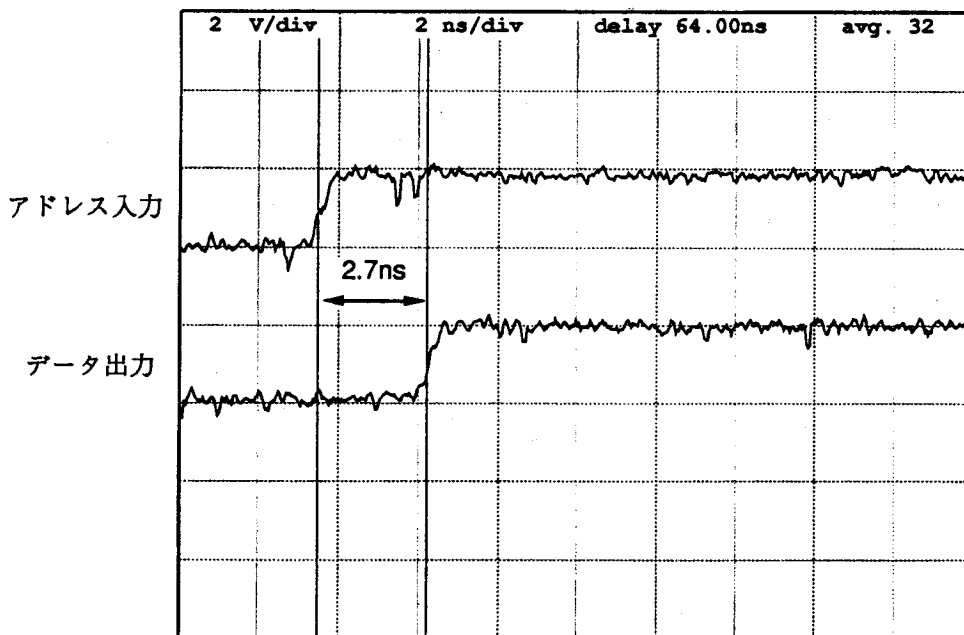


図8-5 EBテストによるメモリの入出力波形観察

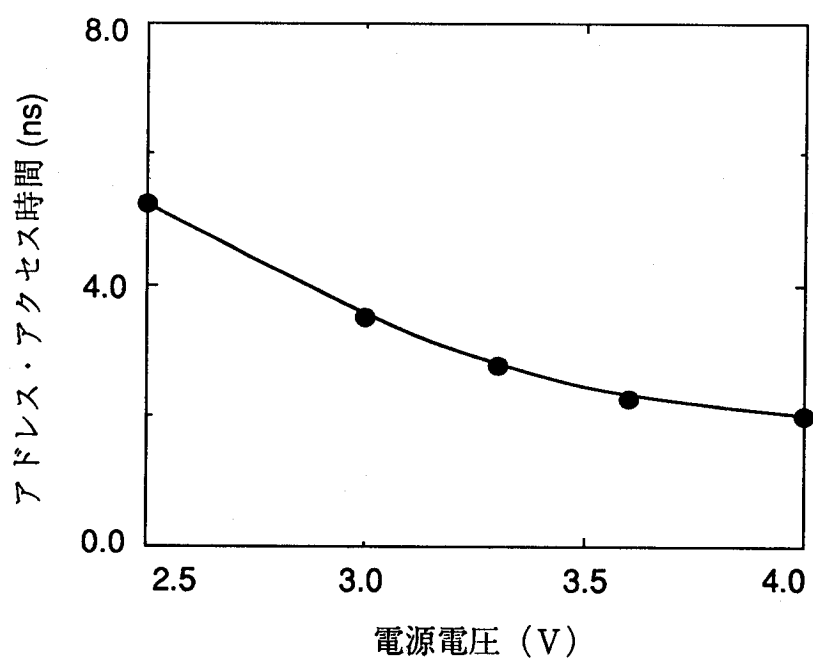


図 8 - 6 アクセス時間の電源電圧依存性

8. 4 ECL10Kインタフェイス256Kbメモリの設計・試作

ECL-CMOSメモリ構成の有用性を確めるために、 $0.8\mu\text{m BiCMOS}$ プロセスで、メモリ規模256KbのECL10Kインタフェイスメモリを設計・試作した⁽⁴⁵⁾。設計したメモリのブロック構成を図8-7に示す。周辺回路をECL回路で構成し、メモリセル部をCMOS回路で構成した。特に、周辺回路の選択回路では、プリデコード回路、デコード回路、およびレベル変換回路を、選択したトランジスタにしか電流を流さないシリーズ・ゲート回路主体に構成することによって、消費電力を削減しつつ高速動作を実現した。また、読出し回路では、マルチプレクサ回路、センスアンプ回路に加えて、出力バッファ回路にもマルチプレクシング機能を設けた3段マルチプレクシング方式により高速動作を実現した。更には、バイポーラ V_{ss} 発生回路をメモリの左右に配置し、CMOSメモリセル部の低電位電源 V_{ss} を -3V に昇圧することによって、CMOS回路の低電圧化を図った。メモリセルには、第7章で述べた6トランジスタ形のCMOSセルを用い、セルアレイは高速化の点から8ブロック分割とし、各ブロックのメモリ規模を32Kbとした。

設計したメモリのチップ写真を図8-8に、用いたBiCMOSデバイス特性を表8-3に示す。MOSFETには、シングル・ドレイン構造を用い、バイポーラ・トランジスタには、プロセス工程が容易なメタルエミッタ構造を用いた。また、配線系は、1層ポリシリコン、2層アルミ配線を用いた。設計したメモリのチップ面積は、 $11.6 \times 8.75 = 101.5\text{mm}^2$ である。

試作したメモリの入出力波形を図8-9に示す。電源電圧 V_{EE} が -5.2V の場合、アドレス・アクセス時間 5.0ns の性能が得られた。ECL-CMOSメモリ構成を用いることにより、従来のBiCMOS論理ゲートを用いるメモリ構成に比べて、アクセス時間を $1/2$ 以下に削減できた。

アドレス・アクセス時間の電源電圧依存性を図8-10に示す。ECL-CMOSメモリ構成は高速動作に加えて、周辺回路の各要素回路に定電流源を用いるため、アクセス時間の電源電圧依存性が小さく、一定のアクセス時間が得られた。

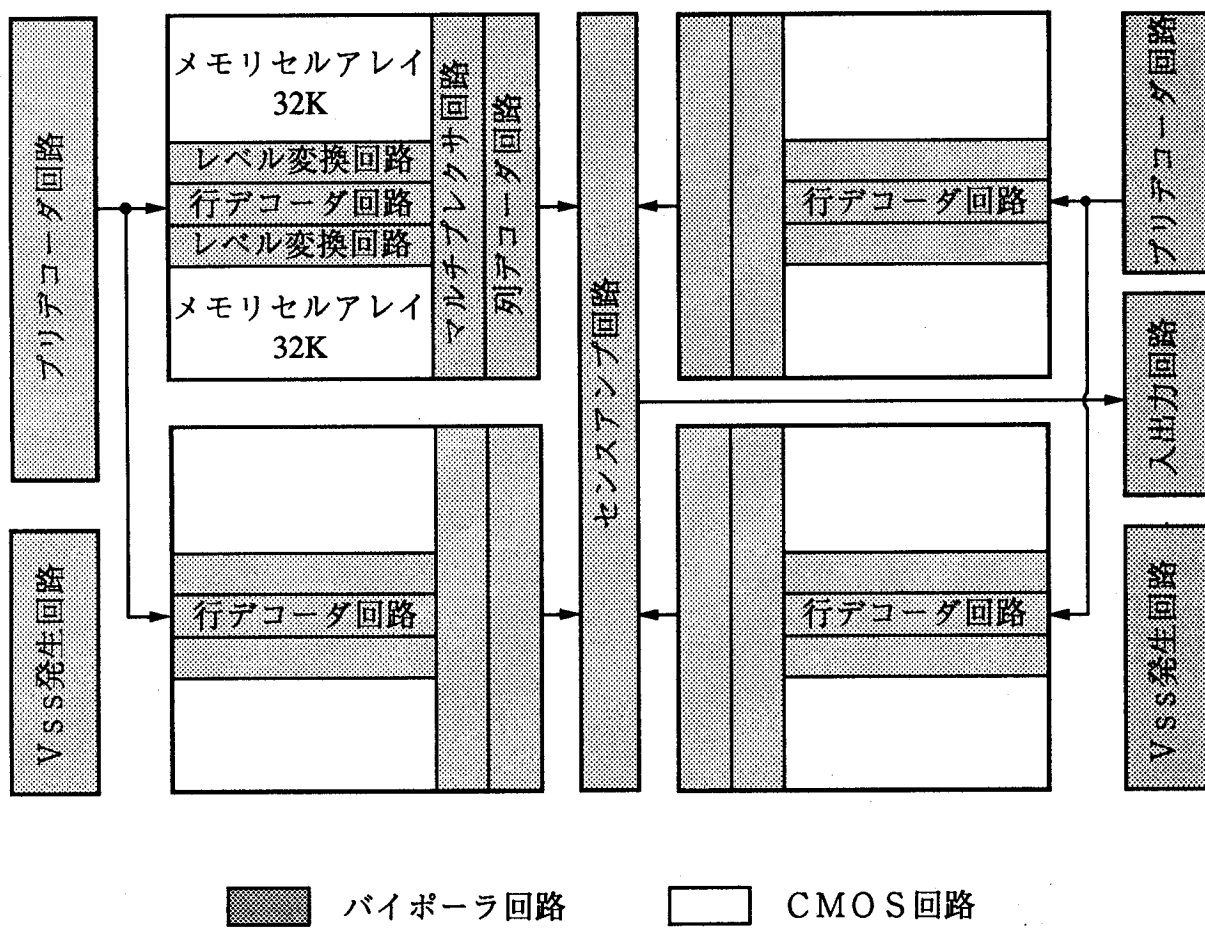


図8-7 ECL 10Kインタフェイス256Kbメモリのブロック構成

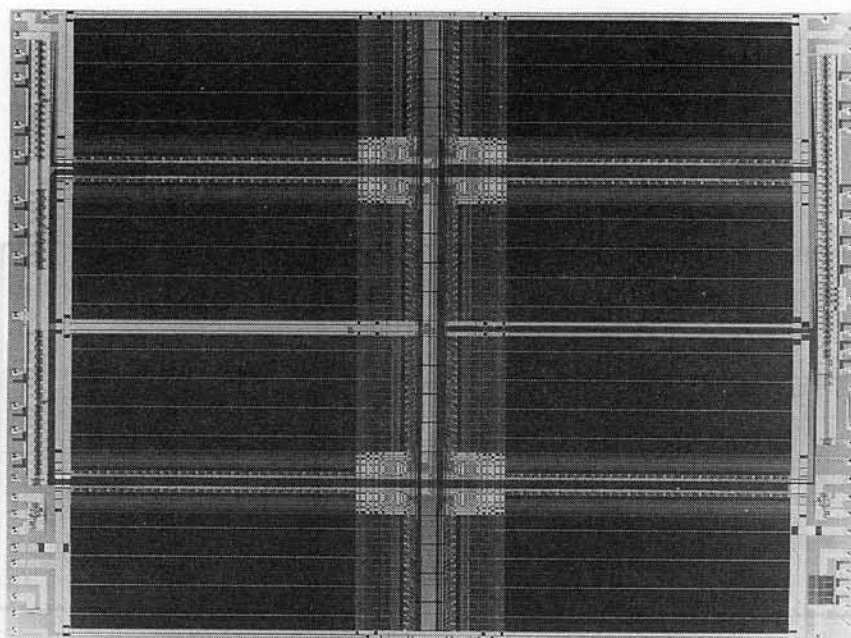


図8-8 ECL 10Kインタフェース256Kbメモリのチップ写真

表8-3 0.8 μ m BiCMOSデバイス特性

MOSFET	
ゲート長	nMOSFET 0.8 μ m pMOSFET 1.0 μ m
ゲート酸化膜厚	11 nm
バイポーラ・トランジスタ	
エミッタサイズ	2.0 x 10 μ m ²
遮断周波数	8 GHz
電流利得	80

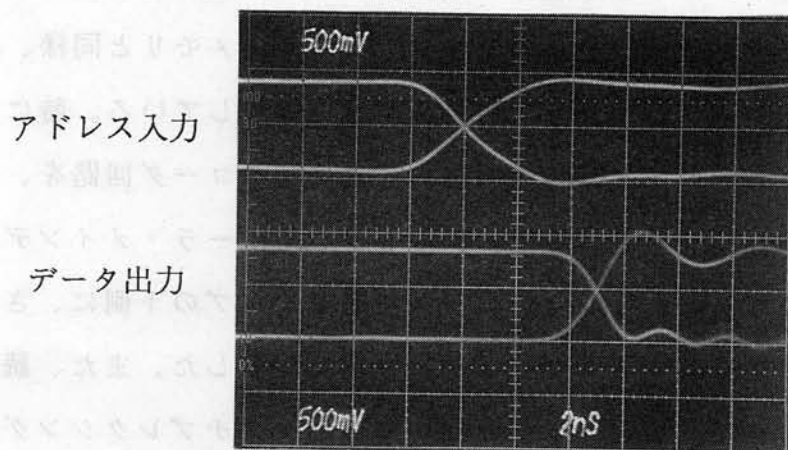


图 8-9 入出力波形

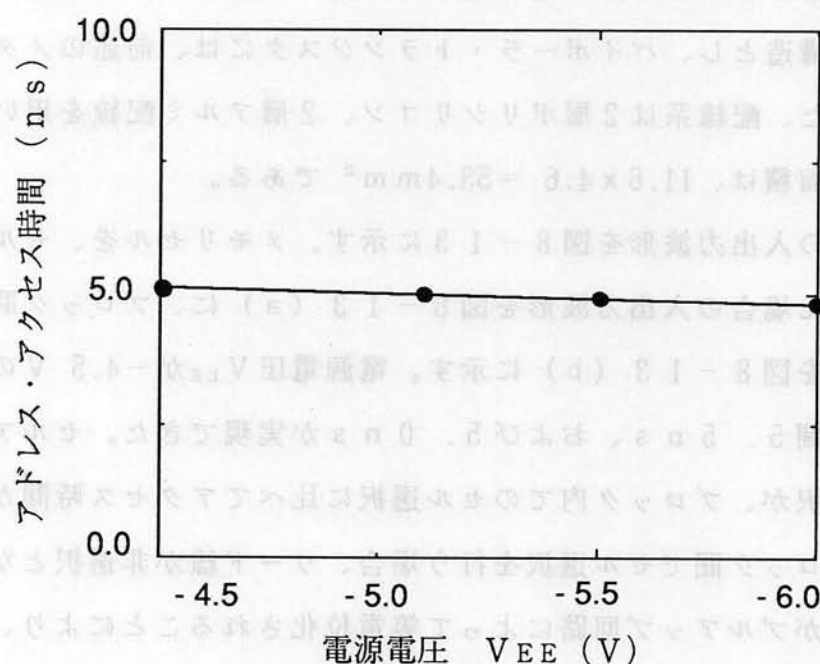


図 8-10 アドレス・アクセス時間の電源電圧依存性

8. 5 ECL100Kインタフェイス256Kbメモリの設計・試作

外部電源電圧が低下しても高速動作が可能なバイポーラ分割ワード線構成の有用性を確めるために、 $0.8\mu\text{m}$ BiCMOSプロセスでメモリ規模256KbのECL100Kインタフェイスメモリを設計・試作した⁽³⁸⁾。設計したメモリのブロック構成を図8-11に示す。ECL10Kインタフェイス・メモリと同様、周辺回路をECL回路で構成し、メモリセル部をCMOS回路で構成している。特に、周辺回路の選択回路では、ダイオード結合形論理回路によるプリデコード回路を、チップの左右に配置した。また、分割ワード線構成に必要な、バイポーラ・メインデコード回路をセルアレイの左側に、セクション・デコード回路をチップの下側に、さらには、セクション・セクタ回路を各メモリブロックの左側に配置した。また、読出し回路には、ECL10Kインタフェイス・メモリ同様、3段のマルチプレクシング方式を採用した。メモリセルには、高集積化が可能な高抵抗負荷形セルを用い、セルアレイは高速化の点から16分割とし、各メモリブロックのメモリ規模を16Kbとした。

設計したメモリのチップ写真を図8-12に、用いたBiCMOSデバイス特性を表8-4に示す。MOSFETは、電源電圧($V_{EE} = -4.5\text{ V}$)の関係から、高耐圧化が可能なLDD構造とし、バイポーラ・トランジスタには、前述のメタルエミッタ構造を用いた。また、配線系は2層ポリシリコン、2層アルミ配線を用いた。設計したメモリのチップ面積は、 $11.6 \times 4.6 = 53.4\text{ mm}^2$ である。

試作したメモリの入出力波形を図8-13に示す。メモリセルを、セルアレイ・ブロック内で選択した場合の入出力波形を図8-13(a)に、ブロック間で選択した場合の入出力波形を図8-13(b)に示す。電源電圧 V_{EE} が -4.5 V の場合、アドレス・アクセス時間 5.5 ns 、および 5.0 ns が実現できた。セルアレイ・ブロック間でのセル選択が、ブロック内でのセル選択に比べてアクセス時間が小さくなる理由としては、ブロック間でセル選択を行う場合、ワード線が非選択となる期間が存在し、ビット線対がプルアップ回路によって等電位化されることにより、最終段の出力回路も自動的に等電位化されて、アクセス時間が削減することが挙げられる。

試作したメモリのアドレス・アクセス時間の電源電圧依存性を図8-14に示す。比較のために、前節で述べたECL10Kインタフェイスメモリの性能も示した。ECL10Kインタフェイスメモリは、メインデコードに縦積み3段構成のシリーズ・

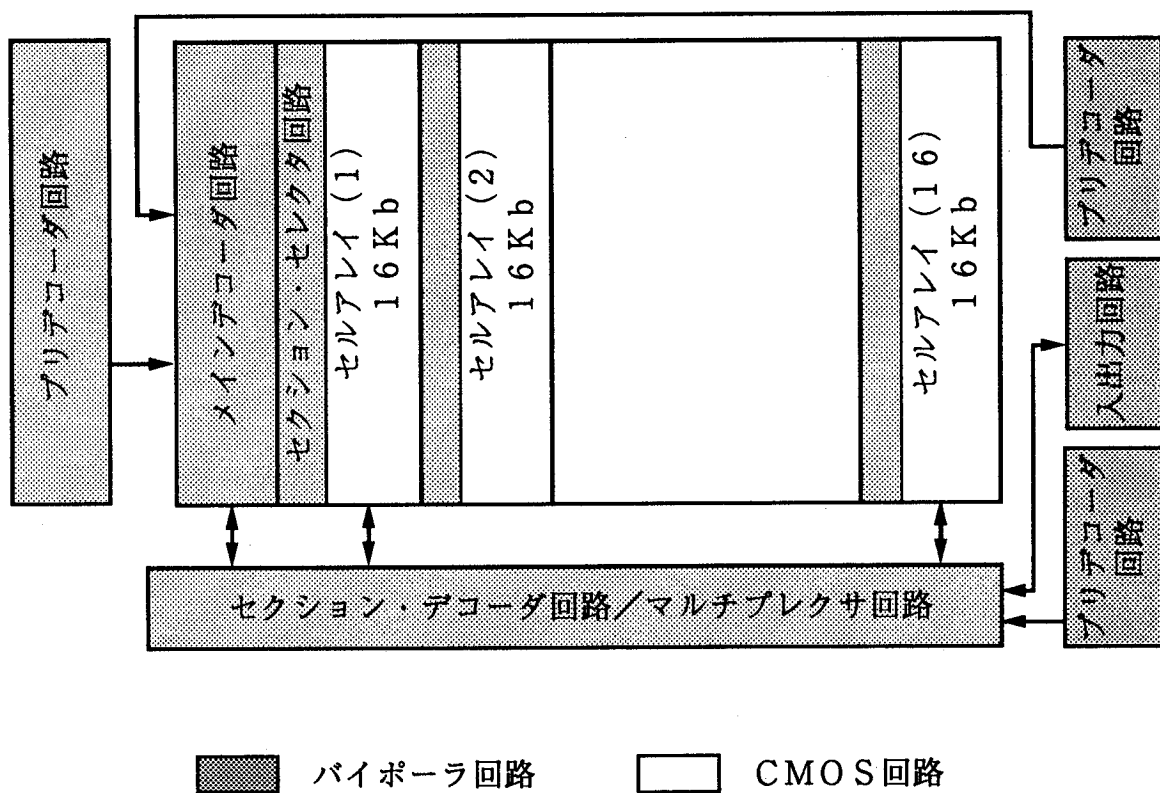


図8-11 ECL100Kインタフェイス256Kbメモリのブロック構成

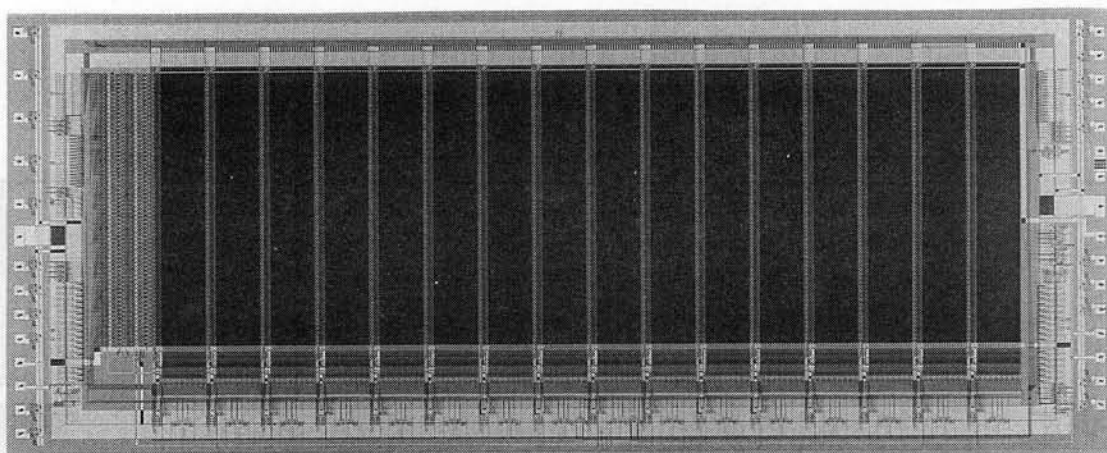


図8-12 ECL100Kインタフェイス256Kbメモリのチップ写真

表8-4 0.8 μ mBiCMOSデバイス特性

MOSFET

ゲート長 0.8 μ m

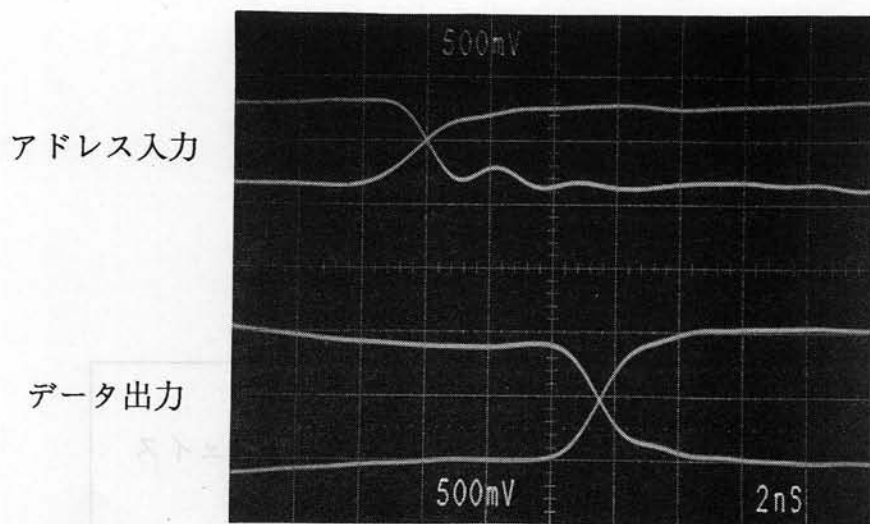
ゲート酸化膜厚 15 nm

バイポーラ・トランジスタ

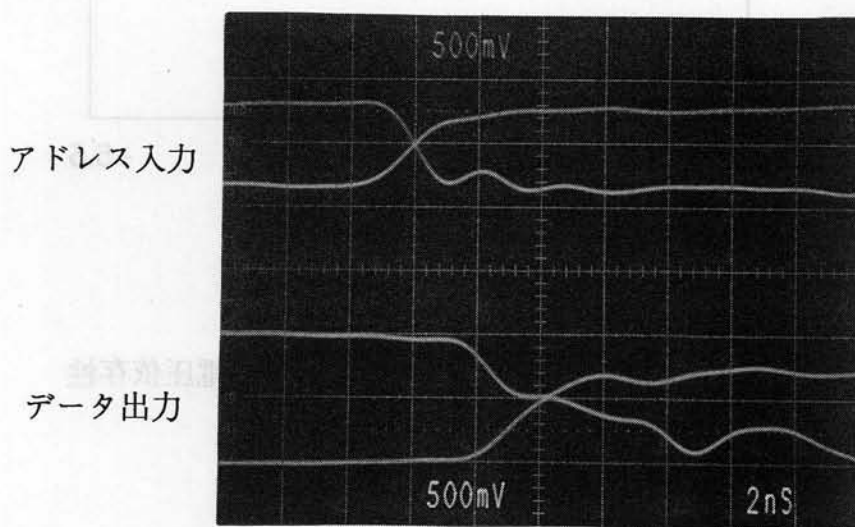
エミッタサイズ 2.0 x 10 μ m²

遮断周波数 8 GHz

電流利得 80



(a) セルアレイ内選択



(b) セルアレイ間選択

図8-13 入出力波形

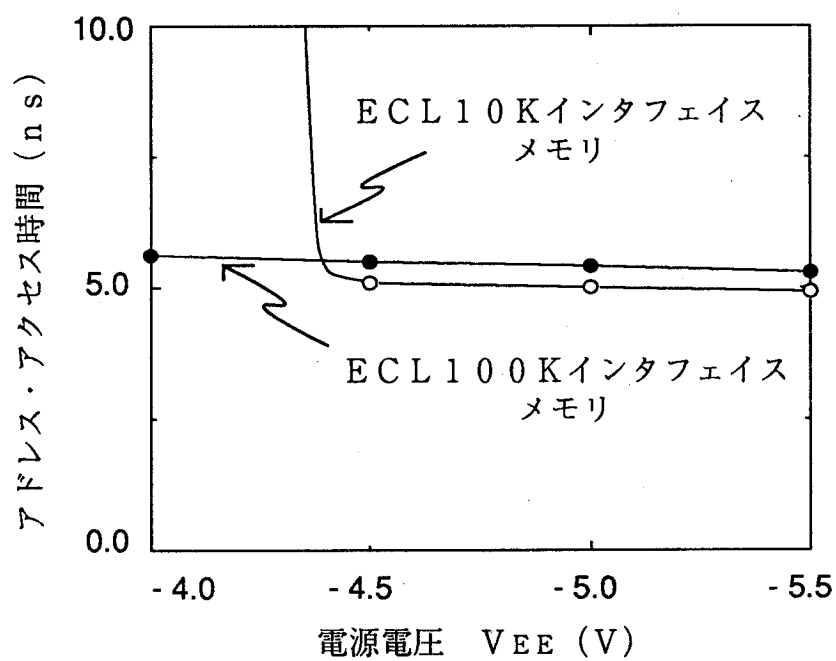


図 8-14 アドレス・アクセス時間の電源電圧依存性

ゲート回路を用いているため、電源電圧が -4.5 V 近傍でアクセス時間が急激に増加する。一方、本ECL100Kインタフェースメモリは、バイポーラ分割ワード線構成により、メインデコードを縦積み2段構成のシリーズ・ゲート回路で実現できるため、電源電圧が -4 V に低電圧化しても一定のアクセス時間が得られている。

8. 6 まとめ

本章では、前章までで述べた低電圧メモリ構成の有用性を確かめるために設計・試作したメモリの評価結果を述べた。具体的には、BiNMOS論理ゲートによるメモリ構成として、2ポート8Kbメモリを、ECL-CMOSメモリ構成として、ECL10Kインタフェース256Kbメモリ、およびECL100Kインタフェース256Kbメモリを設計・試作し、各メモリの評価を通して、低電源電圧での高速動作を実証した。各メモリの特徴を表8-5にまとめる。

表8-5 設計・試作した低電圧BiCMOSメモリの特徴

	2ポート 8Kbメモリ	ECL10K インタフェース 256Kbメモリ	ECL100K インタフェース 256Kbメモリ
外部電源電圧	3.3V	-5.2 V (-3.0 V)*	-4.5 V
ワード構成	512ワード x16ビット	256Kワード x1ビット	256Kワード x1ビット
アドレス アクセス時間	2.7ns	5.0ns	5.5ns
消費電力	430mW	1.2W	750mW
メモリセル 面積	$180\mu\text{m}^2$	$159\mu\text{m}^2$	$63.8\mu\text{m}^2$
チップ面積	5.0mm^2 **	101.5mm^2	53.4mm^2
I/O インタフェース	CMOS	ECL10K	ECL100K
プロセス	0.5 μm BiCMOS	0.8 μm BiCMOS	0.8 μm BiCMOS

* CMOSメモリセル部の内部低電源電圧

** メモリマクロ・コア部

第9章 BiCMOSメモリの今後の課題

9.1 まえがき

BiCMOS技術による低電圧メモリ構成法として、BiNMOS論理ゲートによるメモリ構成法と、ECL-CMOSメモリ構成法を述べ、その有用性を示してきた。前者のメモリ構成では、電源電圧を従来の5V電源から3V電源に低電圧化しても高速化が可能となることを示した。また、電源電圧を2Vに低電圧化しても、CMOS論理ゲートに対する速度性能の改善効果は小さくなるが、BiNMOS論理ゲートの優位性が保たれることを示してきた。一方、後者のECL-CMOSメモリ構成では、バイポーラ分割ワード線構成を用いることにより、外部電源電圧を-4Vまで低電圧化しても高速動作が可能であることを示し、ECL100Kインタフェース仕様を満足することを示してきた。

本章では、本研究を通じて明らかになった低電圧メモリ構成の今後の課題について考察する。まず、ECL論理回路自体の低電圧回路技術を考察する。現状のECL回路のインタフェース条件としては、電源電圧が-4.5VのECL100Kインタフェース仕様までしか明確化されていないが、ECL回路の低消費電力化を考慮すると、今後、低電源電圧のECLインタフェースは必須となる。ECL-CMOSメモリ構成においても、低電源インタフェースに対応したメモリ構成が必要となる。多ビット論理が可能な低電圧ECL回路の構成例を示すとともに、今後のECL論理回路の設計指針を考察する。つぎに、低電圧・高速メモリを設計する際に必要となる回路シミュレーション技術の現状の問題点を整理するとともに、高精度回路シミュレーション技術の今後の課題を考察する。

9.2 低電圧ECL回路技術

ECL回路で多ビット論理をとる場合、選択したトランジスタにしか電流を流さないシリーズ・ゲート回路が有用である。しかしながら、シリーズ・ゲート回路の電源電圧を低下させた場合、トランジスタの縦積み段数は、電源電圧とバイポーラ・トランジスタの飽和動作条件の関係から2段に限定され、3ビット以上の論理動作が不能

となる。このため、低電圧ECL回路技術としては、電源電圧が低下しても多ビット論理が可能なシリーズ・ゲート回路構成を考察することが重要となる。

多ビット論理が可能な低電圧ECL回路構成の一例として、シリーズ・ゲート回路を横方向に展開した回路構成を図9-1に示す。2組のECL回路において、前段のECL回路の各出力にエミッタフォロワ回路を付加し、その出力を後段のECL回路の出力に接続して、後段の出力をクランプした。クランプ回路により、表9-1の真理値表に示すように、選択された出力端子にのみ低レベルの出力電圧が発生できる。

ECL-CMOSメモリ構成に有用なレベル変換機能付低電圧ECL論理回路構成例を図9-2に示す。レベル変換機能付ECL論理回路は、図9-1に示す低電圧ECL論理回路に、反転、およびECLレベルからCMOSレベルへのレベル変換機能を設けた回路である。最終段のCMOSインバータの論理しきい値電圧を $-V_{BE}$

(-0.8 V)以下に設定することにより、多ビット論理とレベル変換が同時に実現できる(表9-2参照)。今後のECL-CMOSメモリ構成では、バイポーラ分割ワード線構成に加えて、図9-2に示すようなECL回路とCMOS回路をブロック毎に組合せる回路構成が、外部電源電圧の低電圧化に有用になると思われる。

9.3 高精度回路シミュレーション技術

BiCMOS技術による低電圧メモリ構成を用いれば、デバイスのスケーリングとともに、メモリの高速化が更に進み、アクセス時間が 1 ns を切る超高速メモリも近い将来実現されるであろう。今後、超高速メモリの設計を考慮すると、実測値と設計値の誤差の小さい高精度回路シミュレーション技術が重要となる。回路シミュレータとしては、大規模回路のシミュレーションが可能なSPICE⁽⁷¹⁾やHSPICE⁽⁷²⁾が有用である。各シミュレータとも回路解析自体の精度は高いため、シミュレーション精度を向上させるためには、デバイスモデル、および配線遅延モデルの高精度化を図る必要がある。

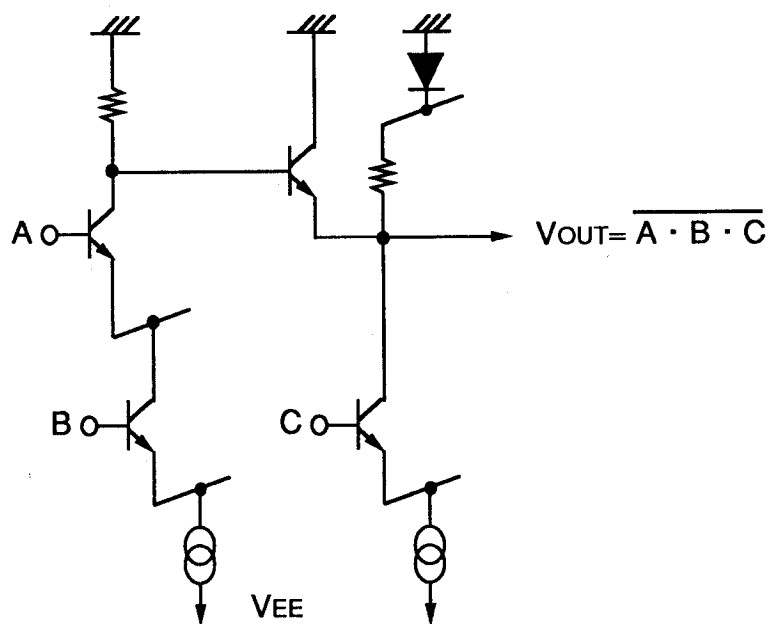


図 9 - 1 低電圧 E C L 論理回路

表 9 - 1 低電圧 E C L 論理回路の真理値表

A	B	C	V_{OUT}
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

A High ; -0.8 V, Low ; -1.6 V V_{OUT} High ; -0.8 V, Low ; -1.6 V
 B High ; -1.6 V, Low ; -2.4 V
 C High ; -1.6 V, Low ; -2.4 V

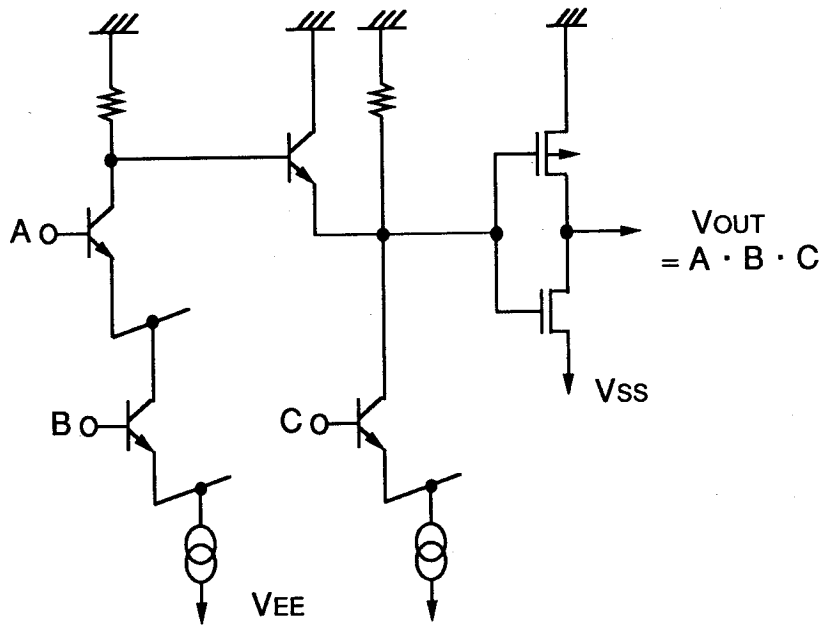


図 9 - 2 レベル変換機能付低電圧論理回路

表 9 - 2 レベル変換機能付低電圧 E C L 論理回路の真理値表

A	B	C	V_{OUT}
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

V_{OUT} High ; 0 V, Low ; $V_{SS} = -2$ V

高精度回路シミュレーション技術に必要な項目と今後の課題を表9-3にまとめる。
以下では、各項目の今後の課題を詳細に述べる。

表9-3 高精度回路シミュレーション技術の課題

検討項目		課題
デバイス	デバイスモデル	ばらつきを考慮したモデル
	デバイス パラメータ評価法	しきい値電圧評価法 接合容量評価法 寄生容量評価法
配線系	配線遅延モデル	隣接配線等の配線形状を考慮したモデル

9.3.1 デバイスモデル

MOSFETの電流モデルに、短チャネル効果を考慮したBSIM(Berkeley Short-Channel IGFET Model)⁽⁷³⁾を用いれば、測定値と誤差の小さいシミュレーションが可能である。同様に、バイポーラ・トランジスタの電流モデルに、Gummel-Poonモデル⁽⁷⁴⁾を用いれば精度良いシミュレーションが可能である。しかしながら、特に、MOSFETでは、チャネル長のスケージングとともに、ゲート長の加工ばらつきや、しきい値電圧のばらつきが大きくなり、電流特性の変動が大きくなる。このため、ばらつきを正確にシミュレーションできるデバイスモデルが必要となる。特に、ばらつきが生じた場合、各パラメータの値は、パラメータ間で互いに影響を受けながら変動するため、ばらつきの相関を考慮したデバイスモデルが必須となると思われる。

9.3.2 デバイスパラメータ評価法

デバイスの静特性評価では今後、MOSFETのしきい値電圧評価が重要になると思われる。しきい値電圧は、CMOSメモリセルのリーク電流や、動作マージンを決める主要パラメータである。現状のしきい値電圧評価法には、飽和領域のドレイン電流特性を直線で近似し、直線の外挿点でしきい値電圧を決めるドレイン電流の外挿法や、一定のドレイン電流が流れるゲート電圧をしきい値電圧とする定電流法があるが、いずれの手法もしきい値電圧の設定に曖昧さがある。前者の手法は、MOSFETのリーク電流を決めるしきい値電圧以下でのサブ・スレッシュホールド電流との連続性が、また、後者の手法は定電流値をいくつにするかの問題がある。今後のしきい値電圧の高精度評価法としては、しきい値電圧の物理モデルに従い、しきい値電圧を、MOSFETの電流モードが拡散からドリフト主体に変わる電圧値と定義するのが妥当である。MOSFETの拡散電流がゲート電圧に対して指数関数的に増加するのに対して、ドリフト電流がゲート電圧のべき乗で増加することを考慮すれば、しきい値電圧を、ドレイン電流 (I_{DS}) のゲート電圧 (V_{GS}) に関する2階微分 [$\Delta \log^2(I_{DS}) / \Delta V_{GS}^2$] が最小値となるゲート電圧と定義する手法⁽⁷⁵⁾等が有効であると思われる。

デバイスの動特性評価では、接合容量評価や寄生容量評価が重要になると思われる。特に、MOSFETの接合容量評価において、フリンジ容量がチャンネル側と分離側で異なる。また、回路シミュレーションでは、接合容量が任意のチャンネル幅に対して、シミュレーション値と実測値が一致しなければならない。このため、接合容量の評価では、接合の底面部とフリンジ部を正確に分離して評価する手法が必要である。接合容量の評価法としては、接合面積の異なる容量評価により、底面部の容量パラメータとフリンジ部の容量パラメータを分離して評価する従来手法に加えて、高精度化のためには、STM (Scanning Tunneling Microscopy) による接合部の不純物濃度プロファイルの直接観察、およびデバイス・シミュレーションによる容量評価を組み合わせた手法⁽⁷⁶⁾が、今後、有効であると思われる。また、寄生容量評価では、特に、MOSFETの微細化とともに速度性能に大きな影響を及ぼすゲート・オーバーラップ容量⁽⁷⁷⁾の評価が重要となる。高周波の実動作状態で評価可能なSパラメータを用い、オーバーラップ容量を評価する手法が有用であると思われる⁽⁷⁷⁾。

9.3.3 配線遅延モデル

配線遅延モデルは、配線抵抗と配線容量によるはしご形の分布定数回路で近似できる。配線遅延モデルの高精度化のためには、モデルに用いる配線抵抗や配線容量値を正確に見積もる必要がある。特に、隣接配線、層間配線、および交差配線等の各配線形状を考慮した配線抵抗や配線容量の見積りが重要になると思われる。図9-3に $0.5\mu\text{mBiCMOS}$ プロセスで設計した、2ポートメモリセルのレイアウト図を示す。トランジスタ・サイズの微細化とともに、両ポートのビット線が接近し、カップリング容量により遅延時間が増大する。遅延時間を削減するためにはビット線分割が必要であり、ビット線の分割数を最適化するためにも、配線モデルの高精度化が重要となる。

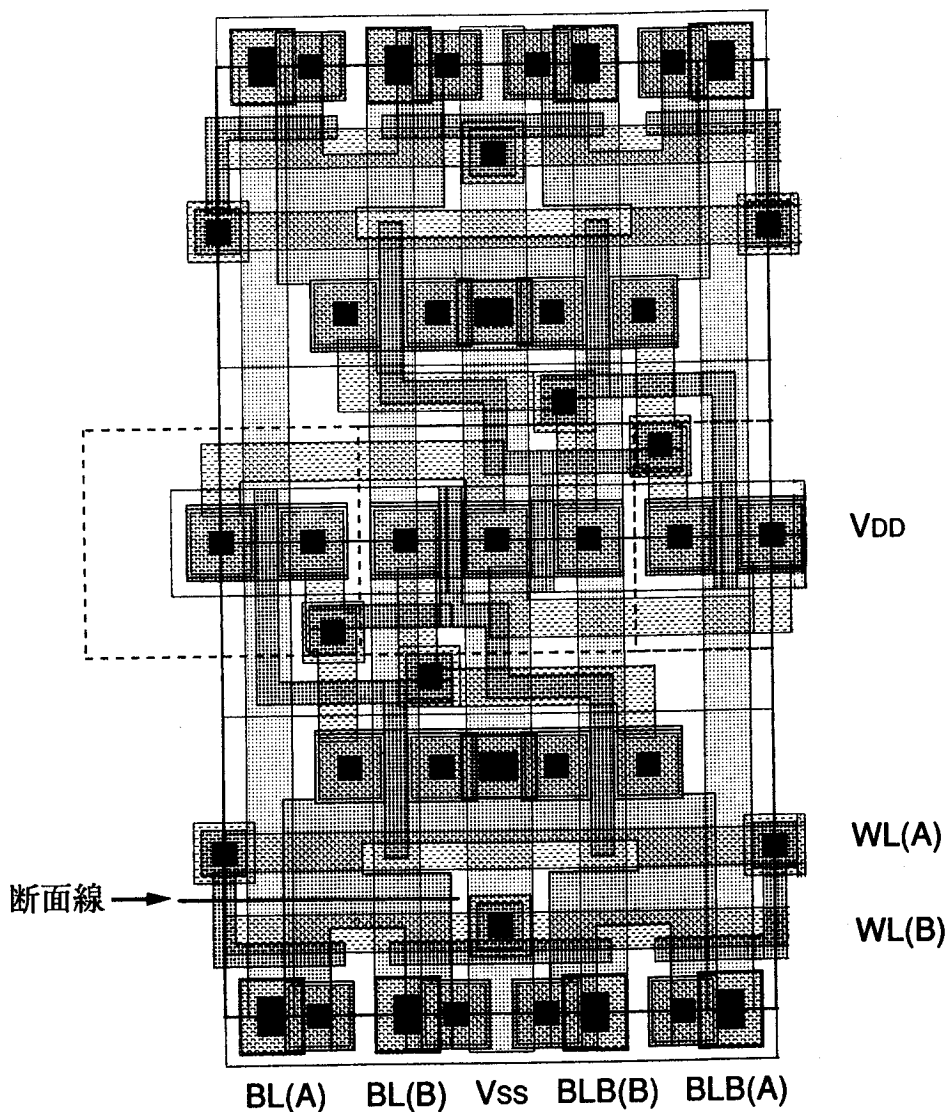


図9-3 2ポートメモリセルのパターン図

また、現状の配線モデルでは、配線を平行平板で近似しているが、実際のLSIでは、配線工程で段差が生じるため、配線形状が段差の影響を受ける。図9-3に示すメモリセルのビット線形状を、断面形状表示プログラムTIGER (Topography Image GEneration Routine) ⁽⁷⁸⁾ で解析した結果を図9-4に示す。ポリシリコン層の隣接配線による段差により、Aポート側のビット線形状は、もはや平行平板ではなく、傾斜していることがわかる。配線形状を考慮したパラメータ評価が今後重要になると思われる。

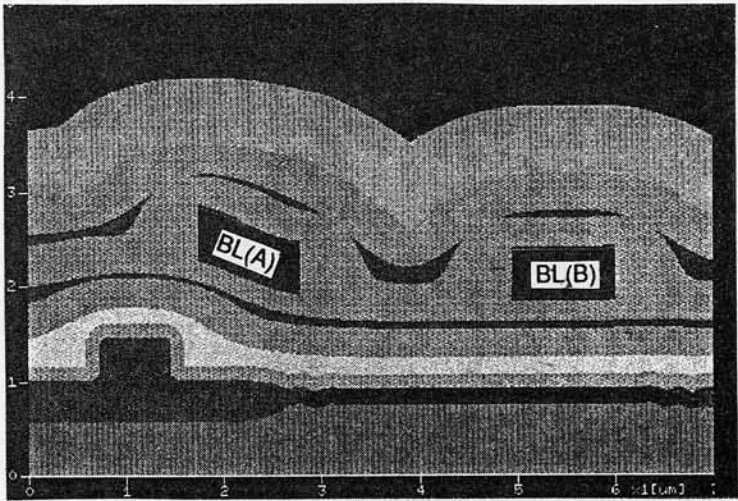


図9-4 LSI内部配線の配線形状

9. 4 まとめ

本章では、本研究を通じて明らかになった低電圧メモリLSI構成の今後の課題を考察した。以下に得られた結果を要約する。

(1) ECL-CMOSメモリ構成の今後の課題として、ECL論理回路自体の低電圧化が残っていることを示した。低電源電圧で多ビット論理が可能なECL回路構成法を示すとともに、今後のECL-CMOSメモリ構成では、ECL回路とCMOS回路をブロック毎に組合せる論理回路構成が、外部電源電圧の低電圧化に有用となることを示した。

(2) 高性能メモリの設計に必要な高精度回路シミュレーション技術の今後の課題として、デバイス系では、特に、MOSFETのデバイスモデル、およびデバイスパラメータ評価手法の高精度化が、また、配線系では、配線形状を考慮した配線遅延モデルが重要となることを示した。

本論文は、BiCMOS デバイスのスケーリングに対応可能なメモリ構成として、電源電圧が低下しても高速動作が可能な低電圧メモリの構成法を明らかにしたものである。本研究では、BiCMOS 技術による低電圧メモリ構成として、メモリの周辺回路を BiCMOS 論理ゲートで構成する手法と、ECL 回路で構成する手法を考察し、その実現手法を明らかにした。前者の手法としては、外部電源電圧が低下しても高速動作が可能な BiNMOS 論理ゲートを提案し、その有用性および構成法を明らかにした。後者の手法としては、周辺回路を ECL 回路で構成し、CMOS メモリセルの低電位電源を昇圧して CMOS 回路の印加電圧を低電圧化する ECL-CMOS メモリ構成を提案し、その有用性および構成法を明らかにした。また、低電圧メモリ構成を用いたメモリ LSI を設計・試作し、その評価を通して各メモリ構成の有用性を実証した。

以下に本研究で得られた主要な結果を要約する。

- (1) BiNMOS 論理ゲートによるメモリ構成法として、メモリの周辺回路を構成する従来の BiCMOS 論理ゲートの電源電圧を、従来の 5 V から 3 V に低電圧化した場合、バイポーラ・トランジスタのビルトイン電圧の影響により、遅延時間が急激に上昇することを明らかにした。また、ビルトイン電圧の影響を受けない論理ゲートとして、出力の立下りを MOSFET で駆動する BiNMOS 論理ゲートを提案し、低電源電圧でも高速に動作することを明らかにした (2 章)。
- (2) BiNMOS インバータを多段接続した BiNMOS ドライバ回路の構成法として、遅延時間を最小にする各段のドライバの種類、およびドライバサイズを求める設計手法を明らかにした。また、最終段の駆動バイポーラ・トランジスタを前々段のインバータで制御するフィードフォワード形 (FF) BiNMOS ドライバ回路を提案し、試作および評価を通して、その高速性能を実証した (3 章)。
- (3) ECL-CMOS メモリ構成として、高速動作に有用な信号伝播方式、および電源変換方式を比較・考察した。その結果、小振幅の入力信号を ECL 回路によりメモリセル直前まで増幅せずに伝播させる方式が高速化に適していること、また、CMOS 回路の低電源電圧を昇圧させる電源変換方式が、ECL レベルから

CMOSレベルへのレベル変換の高速化に適していることを明確化した（4章）。

（4）ECL-CMOSメモリ構成における周辺回路の構成法として、バイポーラ・電流切り換え回路による選択回路、および読出し回路の構成法を明らかにした。また、CMOSメモリセル部の低電位電源 V_{ss} を昇圧する V_{ss} 発生回路の構成法を明らかにした。特に、選択回路では、選択したトランジスタにしか電流を流さないシリーズ・ゲート回路主体の低電力デコード回路の構成法を、読出し回路では、出力バッファ回路にもマルチプレクシング機能を設けた大容量メモリ向きの多段マルチプレクシング方式の構成法を明確化した。また、 V_{ss} 発生回路では、メモリセル電流が変動しても一定の V_{ss} レベルが発生できる電流源の構成法を明確化した。（5章）。

（5）ECL-CMOSメモリ構成における低電圧バイポーラ周辺回路構成として、デコード回路に縦積みゲート段数の小さいシリーズ・ゲート回路が適用可能なバイポーラ分割ワード線構成を提案した。デコード回路の後段にECL回路を並列接続し、各ECL回路の電流源を切り換える分割ワード線構成を述べ、低電圧でも大規模デコードが可能となることを明確にした。また、長配線の主ワード線、およびセクション選択線を小振幅駆動することにより、低電圧でも高速動作が実現できることを明確にした（6章）。

（6）両メモリ構成に用いる低電圧CMOSメモリセルの設計法として、電源電圧とともに減少するセルのノイズマージンに着目したメモリセルの設計手法を明らかにした。特に、読出し時、および書込み時のセルのノイズマージンを作図法、および解析式で評価する評価法を示すとともに、ノイズマージン評価手法を用いたメモリセルの設計例を通して、本設計手法の有用性を明確化した（7章）。

（7）低電圧メモリ構成に基づき設計・試作したBiCMOSメモリの評価を通して各メモリ構成の有用性を実証した（8章）。

（8）本研究を通じて明らかとなった低電圧メモリ構成に関する今後の課題について考察した。まず、ECL回路自体の低電圧回路技術が残されていることを示した。消費電流を低減できるシリーズ・ゲート形の低電圧ECL回路構成例を示すとともに、今後のECL-CMOSメモリ構成では、ECL回路とCMOS回路をブロック毎に組合せる回路構成が、外部電源電圧の低電圧化に有用となることを示した。つぎに、高性能メモリの設計に必要な高精度回路シミュレーション技術が

残されていることを示した。デバイス系では、特に、MOSFETのデバイスパラメータの評価法の高精度化が、また、配線系では、配線形状を考慮した配線遅延モデルの高精度化が重要となることを示した（9章）。

本研究により、外部電源電圧が低電圧化しても高速動作可能なBiCMOSメモリが実現できることを明らかにし、BiCMOSメモリも、CMOSメモリ同様、デバイスのスケーリングにより、メモリ性能が向上できることを明らかにした。本研究で提案した2つの低電圧メモリ構成は、現在、両構成ともLSI産業界で広く適用され始めており、本メモリ構成の応用展開は、ますます広がるものと確信している。今後のBiCMOS回路全体の技術動向としては、ECL-CMOSメモリ構成に示すように、回路ブロックをECL回路ブロックとCMOS回路ブロックに分離し、各回路ブロックの特徴を最大限に活かす回路手法が主流になると考える。また、ECL回路ブロックに限れば、ECL回路の低電圧化をMOSFETが促進する、ECL回路主体のBiCMOS回路技術が有用になると考える。

本論文をまとめるにあたり、御指導と御助言ならびに御高配を賜った大阪大学工学部情報システム工学科寺田浩詔教授に深甚なる感謝の意を表します。また、御指導、御助言を頂いた大阪大学工学部情報システム工学科白川功教授、藤岡弘教授、電子工学科児玉慎三教授に深く感謝いたします。更には、本論文作成で御指導頂いた大阪大学工学部情報システム工学科西尾章治郎教授、薦田憲久教授、鈴木胖教授、ならびに日頃より御指導頂いている福井大学工学部松本忠教授に深く感謝いたします。

本研究を開始するにあたっては、数多くの御指導、御鞭撻を賜りましたNTT LSI研究所堀口勝治回路技術研究部長、浅岡敬史元集積回路研究部記憶回路研究室長（現NTTエレクトロニクス株式会社副本部長）に深く感謝いたします。

本研究は1982年から1983年にわたって日本電信電話公社武蔵野電気通信研究所集積回路研究部記憶回路研究室で、1983年から1985年にわたって厚木電気通信研究所集積回路研究部記憶回路研究室で、1985年から1987年にわたってNTT厚木電気通信研究所集積回路研究部記憶回路研究室で、1987年から1990年にわたってNTT LSI研究所カスタム化技術研究部メモリ応用研究グループで、1990年から1992年にわたってNTT LSI研究所回路技術研究部メモリ回路研究グループにて行ったものである。本研究について終始御指導と御助言を賜ったNTT LSI研究所家田信明前回路技術研究部長（現NTTエレクトロニクス株式会社）、真野恒夫前グループリーダー、設計システム研究部武谷健グループリーダー、回路技術研究部山田順三グループリーダーに厚く御礼申し上げます。

本研究の遂行にあたり、NTT LSI研究所大森康生主幹員（現グループ事業推進本部）には、入社以来一貫して御指導頂きました。特に、本研究で提案したECL-CMOSメモリアーキテクチャは、大森主幹員との共同の研究によるものです。深く感謝いたします。また、種々の討論と協力を頂いたNTT LSI研究所谷本正文主幹員、沢田博俊主幹員、大友祐輔主任員、武藤伸一郎研究主任、青山一生研究主任、松谷康之主幹員、束原恒夫主任員、吉野秀男主幹員（現グループ事業推進本部）、田辺泰之主任員（現グループ事業推進本部）、植木武美研究主任、久慈憲夫主任員、白川千洋研究主任、田沢聰主幹員の方々に深謝いたします。

最後に、本論文作成を支えてくれた妻君子、子供達佑佳、明奈に感謝します。

参 考 文 献

- (1) H. C. Lin, J. C. Ho, R. R. Iyer, and K. Kwong : " Complementary MOS-Bipolar Transistor Structure", IEEE Trans. on Electron Devices, Vol. ED-16, pp. 945-951, Nov. 1969.
- (2) J. K. Ayling and R. D. Moore : " A High-Performance Monolithic Store", in ISSCC Dig. Tech. Papers, Feb. 1969, pp. 36-37.
- (3) B. Agusta : " A 64-Bit Planar Double-Diffused Monolithic Memory Chip", in ISSCC Dig. Tech. Papers, Feb. 1969, pp. 38-39.
- (4) J. H. Friedrich : " A Coincident-Select MOS Storage Array", in ISSCC Dig. Tech. Papers, Feb. 1968, pp. 104-105.
- (5) 赤羽功司, 坪根衡 : " Bi-CMOSデバイス", 電子材料, pp. 44-49, 1979.
- (6) R. N. Noyce and M. E. Hoff, Jr. : " A History of Microprocessor Development at Intel", IEEE MICRO, pp. 8-21, Feb. 1981.
- (7) D. MacGregor, D. Mothersole, and B. Moyer : " The Motorola MC68020", IEEE MICRO, pp. 101-118, Aug. 1984.
- (8) H. Momose, H. Shibata, Y. Mizutani, K. Kanzaki, and S. Kohyama : " High Performance $1.0\mu\text{m}$ N-Well CMOS/Bipolar Technology", in Symp. VLSI Technology Dig. Tech. Papers, Sept. 1983, pp. 40-41.
- (9) J. Miyamoto, S. Saitoh, H. Momose, H. Shibata, K. Kanzaki, and S. Kohyama : " A $1.0\mu\text{m}$ N-Well CMOS/Bipolar Technology for VLSI Circuits", in IEDM Tech. Dig., Dec. 1983, pp. 63-66.
- (10) Y. Nishio, I. Masuda, T. Ikeda, M. Iwamura, K. Ogiue, and Y. Suzuki : " A Subnanosecond Low Power Advanced Bipolar-CMOS Gate Array", in Proc. ICCD, Oct. 1984, pp. 428-433.
- (11) Y. Enomoto, T. Sasaki, S. Tsutsumi, and S. Tone : " A 200K Gate $0.8\mu\text{m}$ Mixed CMOS/BiCMOS Sea-of-Gates", in ISSCC Dig. Tech. Papers, Feb. 1990, pp. 92-93.
- (12) 増田郁郎, 特願昭57-119815 , US Patent No. 4719373.

- (13) E. L. Hudson and S. L. Smith : " An ECL Compatible 4K CMOS RAM",
in ISSCC Dig. Tech. Papers, Feb. 1982, pp. 248-249.
- (14) J. Miyamoto, S. Saitoh, H. Momose, H. Shibata, K. Kanzaki, and
T. Iizuka : " A 28ns CMOS SRAM with Bipolar Sense Amplifiers",
in ISSCC Dig. Tech. Papers, Feb. 1984, pp. 224-225.
- (15) K. Ogiue, M. Odaka, S. Miyaoka, I. Masuda, T. Ikeda, K. Tonomura,
and T. Ohba : " A 13ns/500mW 64Kb ECL RAM", in ISSCC Dig. Tech.
Papers, Feb. 1986, pp. 212-213.
- (16) M. Takada, K. Nakamura, T. Takeshima, K. Furuta, T. Yamazaki, K. Imai,
S. Ohi, Y. Fukuda, Y. Minato, and H. Kimoto : " A 5ns 1Mb ECL BiCMOS
SRAM", in ISSCC Dig. Tech. Papers, Feb. 1990, pp. 138-139.
- (17) 道関隆国, 大森康生 : "BiCMOS技術による大容量・高速SRAMの構成法",
電子情報通信学会論文誌, C 分冊, Vol. J70-C, No. 6, pp. 783-790, 1987.
- (18) T. Douseki and Y. Ohmori : " BiCMOS Circuit Technology for a High
Speed SRAM", in 1987 Symp. VLSI Circuits Dig. Tech. Papers, May 1987,
pp. 77-78.
- (19) T. S. Young, M. A. Horowitz, and B. A. Wooley : " A 4-ns 4K x 1-bit
Two-Port BiCMOS SRAM", IEEE J. of Solid-State Circuits, Vol. 23,
No. 5, pp. 1030-1040, Oct. 1988.
- (20) M. Suzuki, S. Tachibana, A. Watanabe, S. Shukuri, H. Higuchi,
T. Nagano, and K. Shimohigashi : " A 3.5 ns, 500mW 16Kb BiCMOS ECL
RAM", in ISSCC Dig. Tech. Papers, Feb. 1989, pp. 32-33.
- (21) A. E. Gamal, J. L. Kouloheris, D. How, and M. Morf : " BiNMOS :
A Basic Cell for BiCMOS Sea-of-Gates", in Proc. IEEE 1989 CICC,
May 1989, pp. 8.3.1-8.3.4.
- (22) H. J. Shin, C. L. Chen, E. D. Johnson, Y. Taur, S. Ramaswamy, and
G. Boudon : " Full-Swing Complementary BiCMOS Logic Circuits",
in BCTM Tech. Dig., 1990, pp. 229-232.

- (23) A. Watanabe, T. Nagano, S. Shukuri, and T. Ikeda : " Future BiCMOS Technology for Scaled Supply Voltage", in IEDM Tech. Dig., Dec. 1989, pp. 429-432.
- (24) M. Fujishima, K. Asada, and T. Sugano : " Appraisal of BiCMOS from Circuit Voltage and Delay Time", in 1990 Symp. VLSI Circuits Dig. Tech. Papers, June 1990, pp. 91-92.
- (25) T. Douseki, Y. Ohmori, H. Yoshino, and J. Yamada : " Fast-Access BiCMOS SRAM Architecture with a Vss Generator", in 1987 Symp. VLSI Circuits Dig. Tech. Papers, June 1990, pp. 45-46.
- (26) 武藤伸一郎, 道関隆国 : "フィードフォワード型低電圧 BiCMOS ドライバの提案", 電子情報通信学会技術研究報告, ICD90-96, pp. 81-86, 1990.
- (27) P. Raje, R. Ritts, K. Cham, J. Plummer, K. Saraswat : " MBiCMOS : A Device and Circuit Technique Scalable to the Sub-micron, Sub-2V, Regime", in ISSCC Dig. Tech. Papers, Feb. 1991, pp. 150-151.
- (28) H. Hara, T. Sakurai, M. Noda, T. Nagamatsu, S. Kobayashi, K. Seta, H. Momose, Y. Niitsu, H. Miyakawa, K. Maeguchi, Y. Watanabe, and F. Sano : " 0.5 μ m 2M-Transistor BipnMOS Channelless Gate Array", in ISSCC Dig. Tech. Papers, Feb. 1991, pp. 148-149.
- (29) K. Yano, M. Hiraki, S. Shukuri, Y. Sawahata, M. Hirano, N. Ohki, T. Nishida, K. Seki, and K. Shimohigashi : " Quasi-Complementary BiCMOS for Sub-3V Digital Circuits", in 1991 Symp. VLSI Circuits Dig. Tech. Papers, May 1991, pp. 123-124.
- (30) K. Yano, M. Hiraki, S. Shukuri, M. Hanawa, M. Suzuki, S. Morita, A. Kawamata, N. Ohki, T. Nishida, and K. Seki : " 3.3-V BiCMOS Circuit Techniques for 250-MHz RISC Arithmetic Modules", in Proc. IEEE 1991 CICC, May 1991, pp. 15.8.1-15.8.4.
- (31) T. Nagamatsu, T. Sakurai, H. Hara, S. Kobayashi, K. Seta, M. Noda, M. Uchida, Y. Watanabe, and F. Sano : " A 1.9ns BiCMOS CAM Macro with Double Match Line Architecture", in Proc. IEEE 1991 CICC, May 1991, pp. 14.3.1-14.3.4.

- (32) I. Young, M. Denham, J. Greason, G. Kaveh, J. Kolousek, and K. Sarkez : " A High Performance 256K TTL SRAM Using 0.8 μ m Tripple-Diffused BiCMOS with 3V Circuit Techniques", in 1991 Symp. VLSI Circuits Dig. Tech. Papers, May 1991, pp. 17-18.
- (33) H. Nambu, K. Kanetani, Y. Idei, K. Yamaguchi, N. Homma, T. Hiramoto, N. Tamba, M. Odaka, K. Watanabe, T. Ikeda, K. Ohhata, and Y. Sakurai : " A 1.5ns, 64Kb ECL-CMOS SRAM", in 1991 Symp. VLSI Circuits Dig. Tech. Papers, May 1991, pp. 11-12.
- (34) K. Kato, A. Suzuki, T. Hamano, T. Kobayashi, K. Sato, T. Nakayama, H. Gojohbori, T. Maeda, and K. Ochii : " A 9ns 4Mb BiCMOS SRAM with 3.3V Operation", in ISSCC Dig. Tech. Papers, Feb. 1992, pp. 210-211.
- (35) H. Hara, T. Sakurai, T. Nagamatu, S. Kobayashi, K. Seta, H. Momose, Y. Niitsu, H. Miyakawa, T. Kuroda, K. Matsuda, Y. Watanabe, F. Sano and A. Chiba : " 0.5 μ m BiCMOS Standard-Cell Macros Including 0.5W 3ns Register File and 0.6W 5ns 32KB Cache", in ISSCC Dig. Tech. Papers, Feb. 1992, pp. 46-47.
- (36) K. Nakamura, T. Oguri, T. Atsumo, M. Takada, A. Ikemoto, H. Suzuki, T. Nishigori, and T. Yamazaki : " A 6ns 4Mb ECL I/O BiCMOS SRAM with LV-TTL Mask Option", in ISSCC Dig. Tech. Papers, Feb. 1992, pp. 62-63.
- (37) Y. Yokoyama, K. Nakagawa, N. Akiyama, T. Ohta, T. Someya, A. Tamba, H. Miyazawa, K. Miyazawa, J. Murata, and Y. Kobayashi : " Circuit Technologies for a 12ns 4Mb TTL BiCMOS DRAM at 3.3V Operation", in 1992 Symp. VLSI Circuits Dig. Tech. Papers, June 1992, pp. 62-63.
- (38) T. Douseki, T. Nagayama, and Y. Ohmori : " A Bipolar Divided Word-Line Scheme for a High-speed and Large-capacity BiCMOS SRAM", Trans. IEICE, Vol. E75-C, No. 11, pp. 1364-1368, Nov. 1992.
- (39) R. H. Dennard, F. H. Gaensslen, H. W. Yu, V. L. Rideout, E. Bassous, and A. R. Lebac : " Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions", IEEE J. of Solid-State Circuits, Vol. SC-9, No. 9, pp. 256-268, Oct. 1974.

- (40) 電子情報通信学会編：“BiCMOS 技術”，pp. 30-32, コロナ社, 1990.
- (41) T. Sakurai and A. R. Newton : “ Alpha-Power Low MOSFET Model and its Applications to CMOS Inverter Delay and Other Formulas”, IEEE J. of Solid-State Circuits, Vol. 25, No. 2, pp. 584-594, Apr. 1990.
- (42) T. Sakurai : “ A Unified Theory for Mixed CMOS/BiCMOS Buffer Optimization”, IEEE J. of Solid-State Circuits, Vol. 27, No. 7, pp. 1014-1019, July 1992.
- (43) T. Douseki and S. Mutoh : “ A High-Speed Feed-Forward BiNMOS Driver for Low-Voltage LSIs”, Trans. IEICE, Vol. E76-C, No. 5, pp. 687-694, May 1993.
- (44) L. Wissel and E. L. Gould : “ Optimal Usage of CMOS within a BiCMOS Technology”, IEEE J. of Solid-State Circuits, Vol. 27, No. 3, pp. 300-306, Mar. 1992.
- (45) T. Douseki, Y. Ohmori, H. Yoshino, and J. Yamada : “ Fast-Access BiCMOS SRAM Architecture with a Vss Generator”, IEEE J. of Solid-State Circuits, Vol. 26, No. 4, pp. 513-517, Apr. 1991.
- (46) P. K. Tien : “ Propagation Delay in High Speed Silicon Bipolar and GaAs HBT Digital Circuits”, Int. J. of High Speed Electronics, Vol. 1, No. 1, pp. 101-124, 1990.
- (47) H. Fukuda, S. Horiguchi, M. Urano, K. Fukami, K. Matsuda, N. Ohwada, and H. Akiya : “ A BiCMOS Channelless Masterslice with On-Chip Voltage Converter”, in ISSCC Dig. Tech. Papers, Feb. 1989, pp. 176-177.
- (48) T. Ikeda, A. Watanabe, Y. Nishio, I. Masuda, N. Tamba, M. Odaka, and K. Ogiue : “ High-Speed BiCMOS Technology with a Buried Twin Well Structure”, IEEE Trans. on Electron Devices, Vol. 34, No. 6, pp. 1304-1310, June 1989.
- (49) S. Konaka, T. Kobayashi, T. Matsuda, M. Ugajin, K. Imai, and T. Sakai : “ HSST/BiCMOS Technology with 26ps ECL and 45ps 2V CMOS Inverter”, in IEDM Tech. Dig., Dec. 1990, pp. 493-496.

- (50) M. Minami, Y. Wakui, H. Matsuki, and T. Nagano : " A New Soft-Error-Immune Static Memory Cell Having a Vertical Driver MOSFET with a Buried Source for the Ground Potential", IEEE Trans. on Electron Devices, Vol. 36, No. 9, pp. 1657-1662, Sept. 1989.
- (51) 道関隆国, 植木武美 : "埋込み層分離ウェル構造を用いたBiCMOS SRAM のソフトエラー耐性", 1990 年電子情報通信学会秋季全国大会, C-468.
- (52) 植木武美, 塩野登, 坂川義満 : "パルスレーザによるシングリイベント耐量評価", 日本学術振興会荷電粒子ビームの工業への応用, 第132 委員会, 第113 回研究会資料, pp. 1-6, 1990.
- (53) N. Shiono, Y. Sakagawa, and M. Sekiguchi : " Single Event Effects in High Density CMOS SRAMs", IEEE Trans. on Nuclear Science, Vol. 33, No. 6, pp. 1632-1636, Dec. 1986.
- (54) 永田穰 : "超高速バイポーラ・デバイス", 培風館, 1985.
- (55) T. Douseki and Y. Ohmori : " BiCMOS Circuit Technology for a High-Speed SRAM", IEEE J. of Solid-State Circuits, Vol. 23, No. 1, pp. 68-73, Jan. 1988.
- (56) 道関隆国, 大森康生 : "バイポーラ論理回路を用いた高速・大容量BiCMOS SRAMの構成法", 電子情報通信学会論文誌, C-II分冊, Vol. J74-C-II, No. 9, pp. 690-699, 1991.
- (57) P. R. Gray and R. G. Meyer : " Analysis and Design of Analog Integrated Circuits, Second Edition", John Wiley and Sons, 1984.
- (58) N. Homma, K. Yamaguchi, H. Nanbu, K. Kanetani, Y. Nishioka, A. Uchida, and K. Ogiue : " A 3.5-ns, 2-W, 20-mm², 16-kbit ECL Bipolar RAM", IEEE J. of Solid-State Circuits, Vol. 21, No. 5, pp. 675-680, Oct. 1986.
- (59) M. Matsui, H. Momose, Y. Urakawa, T. Maeda, A. Suzuki, N. Urakawa, K. Sato, J. Matsunaga, and K. Ochii : " An 8-ns 1-Mbit ECL BiCMOS SRAM with Double-Latch ECL-to-CMOS-Level Converters", IEEE J. of Solid-State Circuits, Vol. 24, No. 5, pp. 1226-1232, Oct. 1989.

- (60) E. Seevinck, F. List, and J. Lohstroh : " Static-Noise Margin Analysis of MOS SRAM Cells", IEEE J. of Solid-State Circuits, Vol. 22, No. 5, pp. 748-754, Oct. 1987.
- (61) 道関隆国, 武藤伸一郎 "微細CMOSメモリセルのスタティックノイズマージン解析", 電子情報通信学会論文誌, C-II分冊, Vol. J75-C-II, No. 7, pp. 350-361, 1992.
- (62) H. H. Berger : " Models for Contacts to Planar Devices", Solid-State Electronics, Vol. 15, No. 2, pp. 145-158, 1972.
- (63) T. Sakurai, and A. R. Newton : " Delay Analysis of Series-Connected MOSFET Circuits", IEEE J. of Solid-State Circuits, Vol. 26, No. 2, pp. 122-131, Feb. 1991.
- (64) Y. Okazaki, T. Kobayashi, S. Konaka, T. Morimoto, M. Takahashi, K. Imai, and Y. Kado : " New Well Structure for Deep sub- μ m CMOS/BiCMOS Using Thin Epitaxy over Buried Layer and Trench Isolation", in Symp. VLSI Technology Dig. Tech. Papers, June 1990, pp. 83-84.
- (65) K. Anami, M. Yoshimoto, H. Shinohara, Y. Hirata, and T. Nakano : " Design Consideration of a Static Memory Cell", IEEE J. of Solid-State Circuits, Vol. 18, No. 4, pp. 414-418, Aug. 1983.
- (66) 武藤伸一郎, 道関隆国 : "高速SRAMにおける最小ライトパルス幅の解析", 1990年電子情報通信学会春季全国大会, C-694.
- (67) 武藤伸一郎, 道関隆国 : "高速SRAMにおけるライトリカバリ時間の解析", 1991年電子情報通信学会秋季全国大会, C-428.
- (68) T. Minami, R. Kasai, H. Yamauchi, Y. Tashiro, J. Takahashi, and S. Date : " A 300-MOPS Video Signal Processor with a Parallel Architecture", IEEE J. of Solid-State Circuits, Vol. 26, No. 12, pp. 1868-1875, Dec. 1991.
- (69) 古川康男, 後藤善郎、稲垣雄史 : " LSI の診断に威力を発揮する電子ビーム・プロービング", 日経エレクトロニクス, No. 3, pp. 172-201, 1982.

- (70) N. Kuji, T. Tamama, and T. Yano : " A Fully-Automated Electron Beam Test System for ULSI Circuits", IEEE Design & Test of Computers, pp. 74-82, Oct. 1985.
- (71) L. W. Nagel : " SPICE2 : A Computer Program to Simulate Semiconductor Circuits", Ph. D. dissertation, College of Eng., University of California, Berkeley, May 1975.
- (72) HSPICE User's Manual H9007, Meta-Software, Inc., Campbell, CA, 1990.
- (73) B. J. Sheu, D. L. Scharfetter, P. K. Ko, and M. C. Jeng : " BSIM : Berkeley Short-Channel IGFET Model for MOS Transistors", IEEE J. of Solid-State Circuits, Vol. 22, No. 4, pp. 558-566, Aug. 1987.
- (74) H. K. Gummel and H. C. Poon : " An Integral Charge Control Model of Bipolar Transistors", The Bell System Technical Journal, Vol. 49, pp. 827-851, 1970.
- (75) 青山一生, 道関隆国 : " 閾値電圧値導出のための一手法", 1993年電子情報通信学会春季全国大会, C-544, 1993.
- (76) M. Tanimoto, T. Douseki, and T. Takigami : " Analysis of $p^+ - n$ Junction Capacitance with Three-Dimensional Impurity Profiling Method Using Scanning Tunneling Microscopy", Japanese Journal of Applied Physics, Vol. 30, No. 12B, pp. 3638-3641, Dec. 1991.
- (77) T. Douseki, K. Aoyama, and Y. Omura : " Dependence of CMOS/SIMOX Inverter Delay Time on Gate Overlap Capacitance", Trans. IEICE, Vol. E76-C, No. 8, pp. 1325-1332, Aug. 1993.
- (78) 田沢聰, 落合克幸, 中島蕃 : "LSI 断面構造高速表示プログラム", 1993 年春季応用物理学会予稿集, p1316, 29a-E-5, 1993.

本研究に関する発表文献

(* 印 : 関連研究)

I. 論文 (学会論文誌)

- (1) 道関隆国、大森康生 : “BiCMOS技術による大容量・高速SRAMの構成法”, 電子情報通信学会論文誌、C, Vol.J70-C, No.6, pp. 783-790, June 1987.
- (2) T. Douseki and Y. Ohmori : “BiCMOS Circuit Technology for a High-Speed SRAM”, IEEE J. Solid-State Circuits, Vol.23, No.1, pp. 68-73, Feb. 1988.
- (3) T. Douseki, Y. Ohmori, H. Yoshino, and J. Yamada : “Fast-Access BiCMOS SRAM with a Vss Generator”, IEEE J. Solid-State Circuits, Vol.24, No.4, pp. 513-517, Apr. 1991.
- (4) 道関隆国、大森康生 : “バイポーラ論理回路を用いた高速・大容量BiCMOS SRAMの構成法”, 電子情報通信学会論文誌、C-II, Vol.J74-C-II, No.9, pp. 690-699, Sep. 1991.
- * (5) M. Tanimoto, T. Douseki, and T. Takigami : “An Analysis of $p^+ - n$ Junction Capacitance with Three-Dimensional Impurity Profiling Method Using Scanning Tunneling Microscopy”, Japanese Journal of Applied Physics, Vol.30, No.12B, pp.3638-3641, Dec. 1991.
- (6) 道関隆国、武藤伸一郎 : “微細CMOSメモリセルのスタティックノイズマージン解析”, 電子情報通信学会論文誌、C-II, Vol.J75-C-II, No.7, pp. 350-361, July 1992.
- (7) T. Douseki, T. Nagayama, and Y. Ohmori : “A Bipolar Divided Word-line Scheme for a High-speed and Large-capacity BiCMOS SRAM”, Trans. IEICE, Vol.E75-C, No.11, pp. 1364-1368, Nov. 1992.
- (8) T. Douseki, and S. Mutoh : “A High-Speed Feed-Forward BiNMOS Driver for Low Voltage LSIs”, Trans. IEICE, Vol.E76-C, No. 5, pp. 687-694, May 1993.
- (9) T. Douseki, K. Aoyama, and Y. Omura : “Dependence of CMOS/SIMOX Inverter Delay Time on Gate Overlap Capacitance”, Trans. IEICE, Vol.E76-C, No. 8, pp. 1325-1332, Aug. 1993.

II. 論文 (査読付国際会議)

- (1) T. Douseki and Y. Ohmori : "BiCMOS Circuit Technology for a High-Speed SRAM", in Dig. Tech. Papers, 1987 Symp. VLSI Circuits, May 1987, pp. 77-78.
- (2) T. Douseki, Y. Ohmori, H. Yoshino, and J. Yamada : "Fast-Access BiCMOS SRAM with a Vss Generator", in Dig. Tech. Papers, 1990 Symp. VLSI Circuits, June 1990, pp. 45-46.
- * (3) M. Tanimoto, T. Douseki, and T. Takigami : " An Analysis of $p^+ - n$ Junction Capacitance with Three-Dimensional Impurity Profiling Method Using Scanning Tunneling Microscopy", in Extended Abstracts of Solid State Device and Materials, Aug. 1991, pp. 50-52.

III. 論文 (研究会)

- (1) 沢田博俊、道関隆国、大森康生 : "ECL コンパチブルCMOSスタティックメモリにおける入出力インタフェース回路の構成法", 電子通信学会技術研究報告, SSD84-94, pp. 91-98, 1984.
- (2) 道関隆国、大森康生 : " BiCMOS技術によるSRAMの高速化 ", 電子通信学会技術研究報告, SSD86-5, pp. 31-38, 1986.
- (3) 道関隆国、大森康生、吉野秀男、山田順三 : " V_{ss} 電源変換回路を用いた高速SRAM回路技術", 電子情報通信学会技術研究報告, ICD90-75, pp. 15-22, 1990.
- (4) 武藤伸一郎、道関隆国 : " フィードフォワード型低電圧BiCMOSドライバの提案 ", 電子情報通信学会技術研究報告, ICD90-96, pp. 81-86, 1990.
- (5) 道関隆国、永山正、大森康生 : " バイポーラ分割ワード線を用いた高速BiCMOS SRAM構成 ", 電子情報通信学会技術研究報告, ICD91-50, pp. 91-96, 1991.
- (6) 道関隆国、青山一生、大村泰久 : " CMOS/SIMOXインバータ遅延のゲート・オーバーラップ容量依存性 ", 電子情報通信学会技術研究報告, ICD92-47, pp. 39-44, 1992.

VI. 論文 (講演会)

- (1) 道関隆国、沢田博俊：“差動増幅器を用いた ECL入力インタフェース回路”，昭和59年度電子通信学会総合全国大会，512，1984.
- (2) 道関隆国、沢田博俊：“ECL コンパチブルCMOS SRAM における出力インタフェース回路”，昭和60年度電子通信学会総合全国大会，543，1985.
- (3) 道関隆国、大森康生：“BiCMOS SRAM におけるマルチプレクサ回路の高速化”，昭和60年度電子通信学会半導体・材料部門全国大会，212，1985.
- (4) 道関隆国、大森康生：“BiCMOS SRAM におけるデコード回路の高速化”，昭和61年度電子通信学会総合全国大会，466，1986.
- (5) 道関隆国、大森康生：“BiCMOS SRAM におけるメモリセルアレイ最適構成法”，昭和62年度電子情報通信学会総合全国大会，415，1987.
- (6) 大友祐輔、道関隆国、大森康生：“SRAM高速デコード回路”，1989年電子情報通信学会春季全国大会，C-344，1989.
- (7) 道関隆国、武藤伸一郎、大森康生：“CMOSメモリセルの書込みマージン評価法”，1989年電子情報通信学会秋季全国大会，C-141，1989.
- (8) 道関隆国、後藤義徳：“BiCMOSインバータ遅延の配線抵抗依存性”，1990年電子情報通信学会春季全国大会，C-623，1990.
- (9) 武藤伸一郎、道関隆国：“高速SRAMにおける最小ライトパルス幅の解析”，1990年電子情報通信学会春季全国大会，C-694，1990.
- (10) 道関隆国、植木武美：“埋込み層分離ウェル構造を用いたBiCMOS SRAM のソフトエラー耐性”，1990年電子情報通信学会秋季全国大会，C-468，1990.
- (11) 武藤伸一郎、道関隆国、井上順一：“寄生抵抗を考慮したSRAMのスタティック・ノイズマージン”，1990年電子情報通信学会秋季全国大会，C-566，1990.
- (12) 道関隆国、大森康生：“BiCMOS SRAM における高速バイポーラ・デコード法”，1991年電子情報通信学会春季全国大会，C-642，1991.
- (13) 武藤伸一郎、道関隆国：“フィード・フォワード型BiCMOSインバータを用いたレベル変換回路”，1991年電子情報通信学会春季全国大会，C-578，1991.
- (14) 道関隆国、武藤伸一郎：“微細CMOSセルのスタティック・ノイズマージン”，1991年電子情報通信学会秋季全国大会，C-426，1991.

- (15) 武藤伸一郎、道関隆国：“高速SRAMにおけるライトリカバリ時間の解析”，
1991年電子情報通信学会秋季全国大会，C-428，1991.
- * (16) 青山一生、道関隆国：“サブスレッショルドスイング評価”，
1991年電子情報通信学会秋季全国大会，C-379，1991.
- (17) 道関隆国、青山一生、大村泰久：“薄膜SOI/CMOSインバータ遅延の容量依存性”，
1992年電子情報通信学会春季全国大会，C-517，1992.
- (18) 道関隆国、武藤伸一郎：“フィードフォワード形BiNMOSインバータ遅延の配線
抵抗依存性”，1992 年電子情報通信学会秋季全国大会，C-433，1992.
- * (19) 青山一生、道関隆国：“閾値電圧値導出のための一手法”，
1993年電子情報通信学会春季全国大会，C-554，1993.
- (20) 道関隆国、青山一生、大村泰久：“CMOS/SIMOXインバータ遅延におけるフィード
フォワード効果”，1993 年電子情報通信学会春季全国大会，C-574，1993.