



Title	スケーラブルセンサネットワークのための回路技術に関する研究
Author(s)	井田, 司
Citation	大阪大学, 2008, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/121
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

スケーラブルセンサネットワークのための 回路技術に関する研究

2008

井田 司

内容梗概

本論文は、著者が大阪大学大学院工学研究科電気電子情報工学専攻集積エレクトロニクス講座(谷口研究室)において行ったスケーラブルセンサネットワークのための回路技術に関する研究をまとめたものであり、以下の6章で構成されている。

第1章

本章では、本研究の背景であるセンサネットワーク、および研究の目的を述べる。

第2章

本章ではセンサ部のアナログフロントエンド回路に使用する極低消費電力 $\Delta\Sigma$ モジュレータの設計に関する研究について述べる。センサネットワークのノードは通常、電池駆動のため、回路の省電力化が要求される。本研究では CMOS デジタル回路との集積化の親和性を考慮して、センサノードのアナログフロントエンド部の MOS トランジスタを弱反転領域で動作させることで、大幅な消費電力の低減を図っている。弱反転領域動作 MOSFET を使用したオペアンプのスルーレートが $\Delta\Sigma$ モジュレータ性能に最も大きな影響を与えることを数値シミュレーションで確認した。この極低消費電力 $\Delta\Sigma$ モジュレータ固有の問題を解決するため、電流量を差動入力電位差に応じて動的に制御し、スルーレートを増強する適応型バイアスオペアンプを組み込んだ $\Delta\Sigma$ モジュレータを提案した。0.25 μm CMOS プロセスを用いて $\Delta\Sigma$ モジュレータの設計・試作を行った。実測の結果、従来の定電流バイアスを用いたモジュレータと比較して、同一消費電流で約 15~20 dB の SNDR の改善が得られた。消費電力は 13 nW となった。

第3章

本章では弱反転動作 MOS トランジスタを用いた適応型バイアスオペアンプについて述べる。省電力化が求められるセンサネットワークのノードでは、同一の消費電力でより良い特性を持つオペアンプが必須である。通常、低電力化のために電流を削減すると、オペアンプの性能が悪化する。第2章で述べたように、 $\Delta\Sigma$ モジュレータの高速化には、オペアンプのスルーレート特性を改善することが最も効果的である。このため、入力振幅の絶対値をモニタし、その大きさに応じて電流値を制御する適応型バイアス回路を提案した。MOS トランジスタの弱反転領域で動作する適応型バイアスを用いたスルーレートブーストオペアンプは、スイッチトキャパシタ回路の消費電流を抑制したまま、高速動作を実現することができる。スイッチトキャパシタ積分器にスルーレートブーストオペアンプを用いた回路を試作し、実測の結果、従来回路と比較して、セトリング時間が約 12 倍改善されることを確認した。消費電力は約 7 nW となった。

第4章

本章ではセンサの計測データを転送する有線 CDMA インタフェースの可変ゲインアンプについて述べる。多重化が容易な有線 CDMA インタフェースはセンサネットワークに必要な配線数の大幅な削減が可能であることに加え、TDMA(Time Division Multiple Access) のような接続数に応じた通信のタイミング制御が不要である。そのため、有線 CDMA インタフェー

スはセンサネットワークのノード部におけるセンサ数を動的に増減させることができる。しかし、キャパシタカップリングを用いて電荷で信号を送出する有線 CDMA インタフェースのバス電圧の振幅はバス容量に依存し、接続する送信器数によっては正常に通信できなくなる。そこで、本章ではインタフェースの送信器の増減やバス長の増減によるバスの特性変化の影響を抑制する可変ゲインアンプ (VGA) を提案している。センサネットワークシステム内の可変ゲインアンプの必要条件を数値シミュレーションで検討した結果、必要とされる特性条件が Multiple-Differential-Pair 構成の増幅器で実現できることを確認した。また、ゲイン設定値とアンプの線形性を改善する可変電流源と、温度変化の影響を軽減するバイパス回路についても検討した。可変電流源とバイパス回路を用いることで約 5 倍のバス容量の変化に対応できる可変ゲインアンプの非線形性と温度特性の影響を抑制できることを確認した。

第 5 章

本章ではオーバーサンプリングを用いた広帯域 CDR (Clock and Data Recovery) 回路について述べる。様々な種類のセンサが接続されるセンサネットワークでは、測定対象やアプリケーションによってその情報量、通信頻度は大幅に変化する。そのため、インタフェースのビットレートをアプリケーションに合わせて増減させ、インタフェースにおける消費電力の低減を図る必要がある。また、第 4 章で検討を行った有線 CDMA インタフェースではクロック信号を伝送しないため、受信部において送信データからクロックを復元する必要がある。通常、広帯域の受信データからクロックを復元する CDR 回路では所望のクロック周波数の通倍の周波数でロックする擬似ロックの問題が生じる。そこで、本研究では最大連続同符号長が既知の信号に対して、データエッジごとに連続同符号長を確認・更新する回路ブロックの導入により擬似ロックを回避する新しい CDR 回路を提案する。提案回路について、シミュレーションを行ったところ、二桁以上の入力ビットレートの変化に対して正常に動作することを確認した。

第 6 章

本章では、本研究の結論について述べる。

目次

第 1 章 序論	1
1.1 研究の背景	1
1.2 本論文の目的と構成	2
第 2 章 極低消費電力 $\Delta\Sigma$ モジュレータ	7
2.1 まえがき	7
2.2 動作原理	7
2.3 省電力化の影響	14
2.3.1 特性劣化の要因	14
2.3.2 オペアンプの特性検討	16
2.4 設計回路	17
2.5 チップ測定	19
2.5.1 測定機器・条件	19
2.5.2 測定結果	20
2.6 まとめ	24
第 3 章 低電力・低電源電圧スルーレートブーストオペアンプ	27
3.1 まえがき	27
3.2 弱反転領域動作	27
3.3 スルーレート調整方法	29
3.4 提案回路	30
3.5 シミュレーション結果	34
3.6 チップ測定	36
3.6.1 測定機器・条件	36
3.6.2 測定結果	37
3.7 まとめ	41
第 4 章 可変ゲインアンプを用いた有線 CDMA インタフェース	45
4.1 まえがき	45
4.2 CDMA の原理	45
4.3 有線 CDMA インタフェース	48
4.3.1 回路構成	48
4.3.2 有線 CDMA インタフェースの問題点	51
4.3.3 提案構成	51
4.4 可変ゲインアンプの必要条件検討	52
4.4.1 シミュレーション条件	53
4.4.2 バス容量依存性	54
4.4.3 必要入力レンジ	54
4.4.4 必要ゲイン線形性	55

4.5	設計回路	58
4.5.1	可変ゲインアンプ	58
4.5.2	ゲインコントロール回路	60
4.5.3	バイアス回路	61
4.6	シミュレーション結果	63
4.7	まとめ	66
第 5 章	オーバーサンプリングを用いた広帯域 CDR 回路	69
5.1	まえがき	69
5.2	提案手法	70
5.2.1	回路構成	70
5.2.2	回路動作	71
5.2.3	連続同符号長検出器の動作	72
5.3	特性検討	74
5.3.1	絶対位相誤差	75
5.3.2	ジッタ	75
5.4	シミュレーション結果	76
5.5	まとめ	83
第 6 章	結論	87
付 録 A	スイッチトキャパシタ回路のシミュレーションモデル	89
付 録 B	CMFB 回路特性式導出	93
付 録 C	可変ゲインアンプ入出力特性導出	95
謝辞		99
研究業績		101

第1章 序論

1.1 研究の背景

現在、センサネットワーク関連の研究が広く行われている。一つのノードにセンサ、マイクロプロセッサ、通信機能、電源を組み込み、多数のノードが自律協調動作を行うセンサネットワーク(図1.1)はネットワークとセンシングシステムの結合により、新たなマーケットを開拓すると期待されている。

センサネットワークは1999年にDARPA(Defense Advanced Research Projects Agency)のSmart Dustプロジェクト[1]の発表をきっかけに研究分野として大きく認識されるようになった。その後、米国ではNITRD(Networking and Information Technology Research & Development)計画に基づき、NSF(全米科学財団)とDARPAの両機関が提供する資金の下で研究が行われている。米国では当初、軍事主導で広域向けのアプリケーションを想定したセンサネットワークが多く研究されていたが、最近ではIEEEが小規模の自律ネットワークプロトコルであるzigbee[2]などの通信規格を制定した結果、MOTE[3]などのモジュール販売により、民生市場への展開を待つ段階にきている。

一方、日本では広義のセンサネットワークとして、地域気象観測システムであるAMeDAS(Automated Meteorological Data Acquisition System)や道路交通モニタリングといったセンサネットワーク技術が1970年代から実用化されている。また、新しいセンサネットワーク技術に関する研究も大学や企業で行われており、要素技術の研究も民間主導で盛んに行われている。

現在のペンダ毎の閉鎖的な規格で構成されているセンサネットワーク間の相互接続性を高め、様々なアプリケーションに拡張できるオープン型センサネットワークが近年の研究テーマとなっている

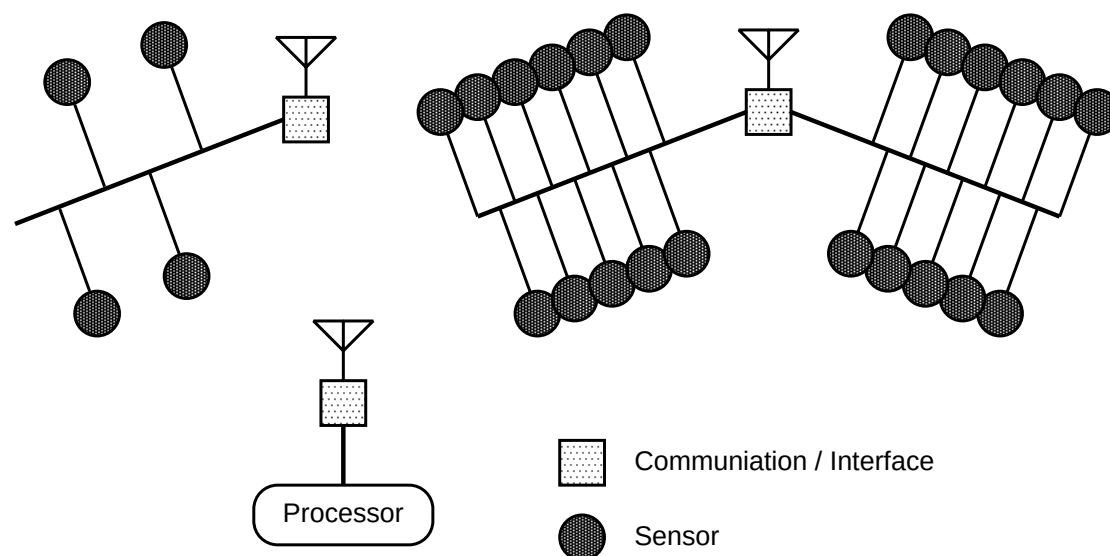


図 1.1: センサネットワーク センサノードは1つ以上のセンサ部と1つの通信部から構成され、センサ情報の取得、およびノード間の通信を行う

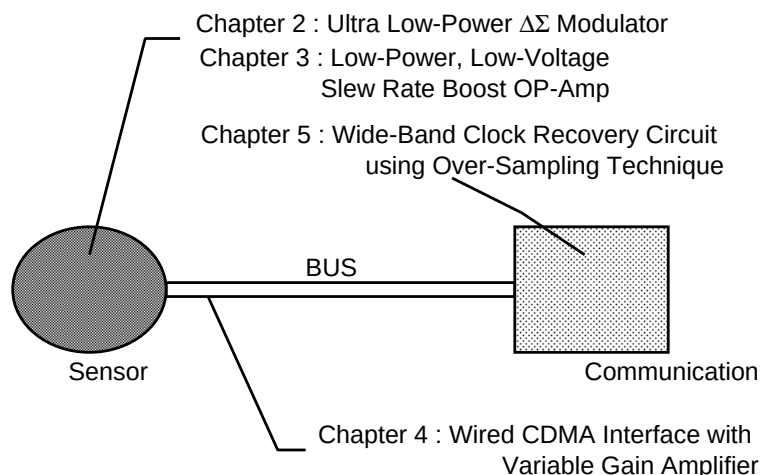


図 1.2: 本論文の構成 第2章, 第3章ではセンサ部, 第4章でバス, 第5章で通信部のスケーラビリティ向上について取り扱う

[4]. また, オープン型センサネットワークとユビキタス技術を組み合わせることで, 日常生活の中に様々なセンサを配置し, それを基にした多様なサービスを提供するユビキタスセンサネットワークも提唱されている.

1.2 本論文の目的と構成

本論文では, センサネットワークについて, 単一の回路構成で様々な用途のセンサに対応できるよりスケーラブルなセンサネットワークを実現するための回路技術の検討を目的とする. 本論文の構成を図 1.2 に示す.

極低消費電力 $\Delta\Sigma$ モジュレータ

第2章ではセンサで計測したアナログ信号をデジタル変換するための極低消費電力 $\Delta\Sigma$ モジュレータについて述べている. 全ての MOSFET を確実に弱反転領域で動作させるため, 電源電圧は 500 mV と設定して低消費電力化を図り, 電池による長時間の駆動が可能となる設計を行った. $\Delta\Sigma$ モジュレータ内のオペアンプのスルーレートがモジュレータの特性に大きな影響を与えることをシミュレーションで確認した. このため, スルーレートを強化する適応型バイアスオペアンプと定バイアスオペアンプを用いて $\Delta\Sigma$ モジュレータを設計・試作した. クロック周波数 5 kHz のとき, SNDR は信号入力域の全域にわたり約 10 dB 改善した. 消費電力は 13 nW であった. また, スルーレートブーストオペアンプを用いれば, クロック周波数を増加させても通常のオペアンプと比較して SNDR の劣化が少ないことを確認した. 本研究で設計した $\Delta\Sigma$ モジュレータを用いることで電池駆動であるセンサノードの動作時間が改善する.

低電力・低電源電圧スルーレートブーストオペアンプ

第3章は低電力・低電源電圧スルーレートブーストオペアンプについて述べている. 省電力化が求められるセンサネットワークのノードでは, 同一の消費電力でより良い特性を持つオペアンプが必須である. 通常, 低電力化のために電流を削減すると, オペアンプの性能が悪化する. 本研究ではスルーレート特性改善のため, バイアス電流を入力振幅の絶対値の大きさに応じて動的に変更する適応型バイアス回路を提案している. MOS トランジスタの弱反

転領域で動作する適応型バイアスオペアンプは、スイッチトキャパシタ回路の消費電流を抑制したまま、高速動作を実現することができる。スイッチトキャパシタ積分器にスルーレートブーストオペアンプを用いた回路を試作し、実測の結果、従来回路と比較して、セトリング時間が約 12 倍改善されること確認した。消費電力は約 7 nW となった。本研究で設計したオペアンプを $\Delta\Sigma$ モジュレータで用いることで、第 2 章で述べるように SNDR が大幅に改善する。

可変ゲインアンプを用いた有線 CDMA インタフェース

第 4 章はセンサネットワークにおけるセンサ数のスケーラビリティを容易に実現できる可変ゲインアンプを用いた有線 CDMA インタフェースについて述べている。有線 CDMA インタフェースは容易に多重通信を実現できるが、バス電圧の振幅はバス容量に依存し、接続する送信器数によっては正常に通信できなくなる。そこで、本研究ではバスの特性変化の影響を抑制する可変ゲインアンプ (VGA) を提案している。センサネットワークシステム内の可変ゲインアンプの必要条件を数値シミュレーションで検討した結果、必要とされる特性条件が Multiple-Differential-Pair 構成の増幅器で実現できることを確認した。また、ゲイン設定値とアンプの線形性を改善する可変電流源と、温度変化の影響を軽減するバイアス回路についても検討した。可変ゲインアンプの導入で約 5 倍のバス容量の変化に対応できることを確認した。そのため、可変ゲインアンプを用いた有線 CDMA インタフェースはセンサネットワークのノード部におけるセンサ数の増減やバス長の増減による特性変化に対応することができる。

オーバーサンプリングを用いた広帯域 CDR

第 5 章は受信したビットストリームからクロックを復元し、送信データを正しく受信することができるオーバーサンプリングを用いた広帯域 CDR について述べている。インタフェースは通信量に見合ったビットレートに設定することで消費電力の低減を図ることができる。また、第 4 章で検討を行う有線 CDMA インタフェースではクロック信号は伝送しないため、受信部において送信データからクロックを復元する必要がある。通常、広帯域の受信データからクロックを復元する CDR 回路では所望のクロック周波数の通倍の周波数でロックする擬似ロックの問題が生じる。そこで、本研究では最大連続同符号長が既知の信号に対して、データエッジごとに連続同符号長を確認・更新する回路ブロックの導入により擬似ロックを回避する新しい CDR 回路を提案する。提案回路について、シミュレーションを行ったところ、二桁以上の入力ビットレートの変化に対して正常に動作することを確認した。提案した CDR 回路を様々な種類のセンサが接続されるセンサネットワークに用いると、単一回路で幅広いビットレートでの通信が実現し、電力効率が向上する。

結論

本論文での研究についてまとめる。

参考文献

- [1] J. M. Kahn, R. H. Katz, and K. S. J. Pister, “Next century challenges: Mobile networking for “smart dust”,” 5th annual ACM/IEEE International Conference on Mobile Computing and Networking(MOBICOM), pp. 271–278, Seattle, 1999.
- [2] 鄭 立, ZigBee 開発ハンドブック, リックテレコム, 2006.
- [3] 無線センサーネットワーク MOTE オフィシャルページ, <http://xbow.jp/motemica.html>.
- [4] ユビキタスセンサーネットワーク技術に関する調査研究会, ユビキタスセンサーネットワークの実現に向けて 最終報告, 総務省, 2004.

第2章 極低消費電力 $\Delta\Sigma$ モジュレータ

2.1 まえがき

デジタル信号を扱うセンサネットワークでは、センサの出力信号をデジタル変換する必要がある。本研究では、電池のように電力容量の小さな電源環境で動作するセンサノードを長時間動作させるための省電力の AD 変換部について検討を行う [1]。設計に際して、アナログ・デジタル回路の混載が可能な CMOS プロセスを用い、製造、組み立てコストの削減を図った。しかし、強反転領域で動作する通常の CMOS アナログ回路は大きな駆動電力を必要とするため、弱反転領域動作回路を採用することで消費電力の大幅な低減を実現した [2, 3]。弱反転領域動作回路は、動作速度やノイズ耐性といった、回路の諸特性を悪化させる。本研究では、図 2.1 に示す AD 変換部の省電力化について検討を行った。表 2.1 に代表的な AD 変換方式、動作速度と特徴を示す。この表より、 $\Delta\Sigma$ モジュレータは動作速度は遅いものの、高精度が得られることがわかる。一方、抵抗を用いた積分型 AD 変換方式は、製造ばらつきの影響を大きく受ける。そこで、本研究では温度などの低速のセンサ信号を想定したデータコンバータ用の弱反転領域動作 $\Delta\Sigma$ モジュレータについて、数値シミュレーションを用いて詳しく解析した。さらに省電力化による特性の悪化要因を克服する回路を提案し、チップ試作・測定を行い、所望の回路動作を確認した。

2.2 動作原理

本節では $\Delta\Sigma$ 型 AD コンバータ [4] とそのコア回路となる $\Delta\Sigma$ モジュレータ [5] の動作について述べる。

$\Delta\Sigma$ 型 AD コンバータ

オーディオ機器などで広く用いられている $\Delta\Sigma$ 型 AD コンバータは図 2.2 に示すように、 $\Delta\Sigma$ モジュレータとデシメーションフィルタで構成される。

$\Delta\Sigma$ 型 AD コンバータに入力されたセンサからのアナログ信号は AD コンバータの出力レートの数倍～数百倍の周波数でオーバーサンプリングされ、図 2.3 に示すように、 $\Delta\Sigma$ モジュレータで

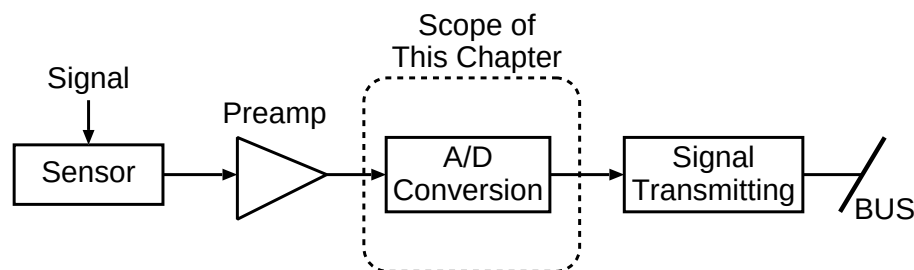


図 2.1: センサノードのブロック図 本研究ではプリアンプで増幅された信号をデジタル化するための変換回路について検討する

表 2.1: AD 変換方式

	速度	精度	特徴
フラッシュ型	超高速	低	レイテンシー小
パイプライン型	高速	中	デジタルコレクション
$\Delta\Sigma$ 型	低速	高	ノイズシェーピング
逐次比較型	低速	中	キャパシタ面積大
積分型	低速	高	精度が素子依存

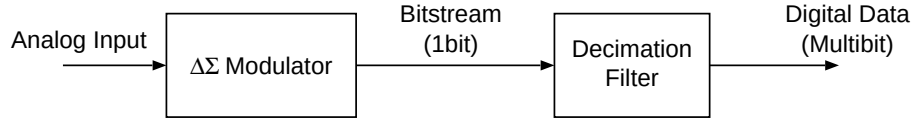


図 2.2: $\Delta\Sigma$ 型 AD コンバータのブロック図 入力されたアナログ信号は $\Delta\Sigma$ モジュレータとデシメーションフィルタでデジタル信号に変換される

パルス密度変調 (PDM) 形式と呼ばれるデジタルビットストリームに変換される。 $\Delta\Sigma$ モジュレータ出力のビットストリームは入力信号振幅が大きいときには '1' が多く出力され、入力信号振幅が小さいときには '0' が多く出力される。デシメーションフィルタは $\Delta\Sigma$ モジュレータ出力を信号処理によってデータレートを下げるデジタルフィルタである。

$\Delta\Sigma$ モジュレータ

入力信号を 1 ビット幅のデジタルビットストリームに変換する $\Delta\Sigma$ モジュレータは、図 2.4 に示すように、ループフィルタと量子化器から構成される。フィードバック経路には通常、アナログ入力のモジュレータであれば DA コンバータが挿入される。また、量子化雑音 $E(z)$ は量子化器での加算ノイズ源として取り扱う。

入力信号側のループフィルタの伝達関数を $L_0(z)$ 、フィードバック側のループフィルタの伝達関数を $L_1(z)$ としたときの入力 $S(z)$ と出力 $V(z)$ 、量子化雑音 $E(z)$ の関係は、

$$V(z) = L_0(z)S(z) + L_1(z)V(z) + E(z) \quad (2.1)$$

$$\therefore V(z) = \frac{L_0(z)S(z) + E(z)}{1 - L_1(z)} \quad (2.2)$$

$$= \frac{L_0(z)}{1 - L_1(z)}S(z) + \frac{1}{1 - L_1(z)}E(z) \quad (2.3)$$

と表せる。式 (2.3) より、係数 $L_0(z)/(1 - L_1(z))$ は入力信号 $S(z)$ に影響を及ぼし、 $1/(1 - L_1(z))$ は量子化雑音 $E(z)$ に影響することがわかる。前者を信号伝達関数 (STF, Signal Transfer Function)、後者を雑音伝達関数 (NTF, Noise Transfer Function) と定義する。このとき、

$$STF = 1 \quad (2.4)$$

$$NTF = (1 - z^{-1})^n \quad (2.5)$$

であれば、それぞれの周波数特性は図 2.5 に示すように、入力信号波形は変わらず、低周波の量子化雑音が抑制される。この高域側に量子化雑音が押しやられる現象がノイズシェーピングである。量子化ノイズ抑制帯域に信号帯域を設定することで実効的な雑音量が減るため、SN 比の向上が期待できる。

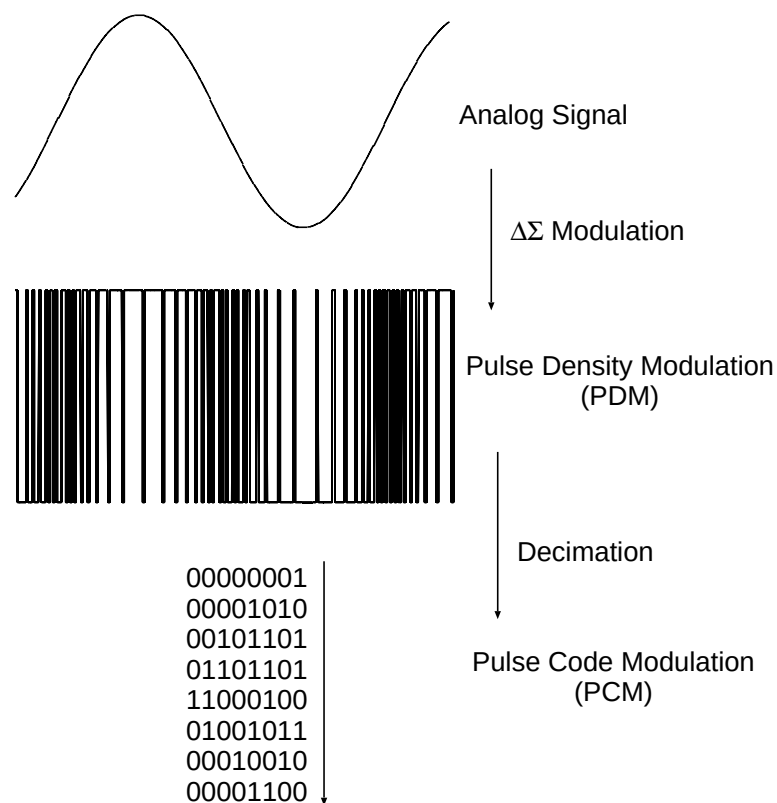


図 2.3: 信号変化フロー 入力されたアナログ信号は $\Delta\Sigma$ モジュレータでパルス密度変調形式に変換され、さらにデシメーションフィルタでパルス符号変調形式に変換される

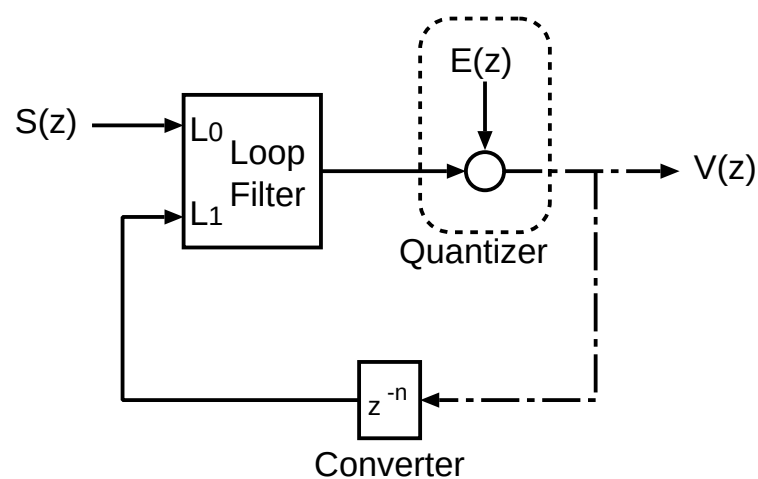


図 2.4: $\Delta\Sigma$ モジュレータの基本形 ループフィルタ、量子化器、信号変換器から構成されるフィードバックループが存在する

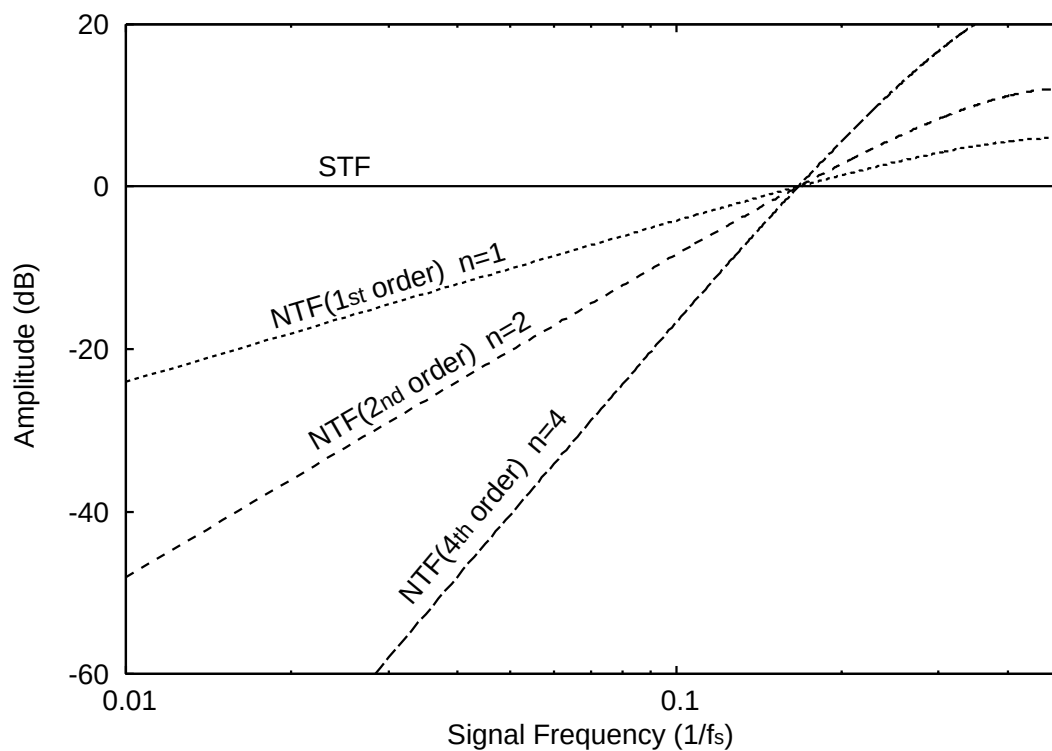


図 2.5: $\Delta\Sigma$ モジュレータの STF と NTF の特性 次数が上がるとノイズシェーピングの効果は大きくなる

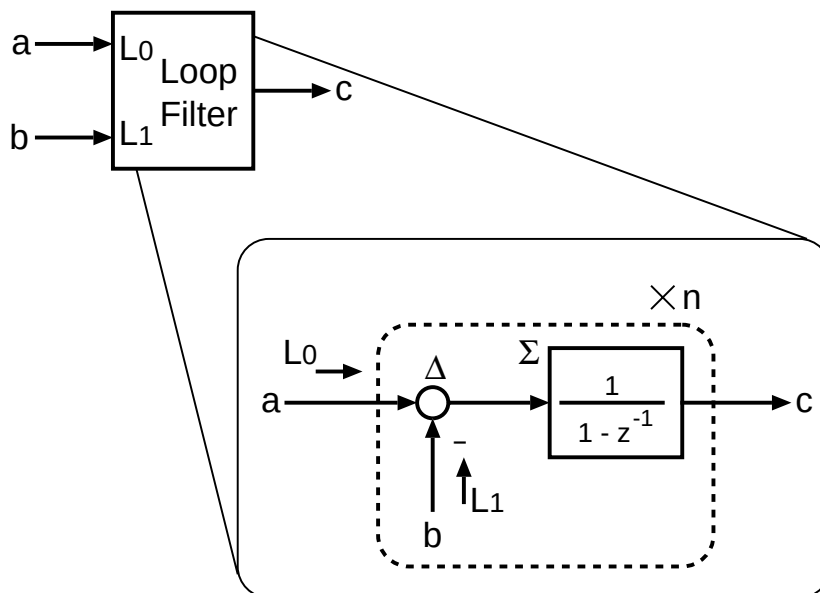


図 2.6: $\Delta\Sigma$ モジュレータのループフィルタ構成 ループフィルタ内に差分 (Δ) と積分 (Σ) の機能を持つ

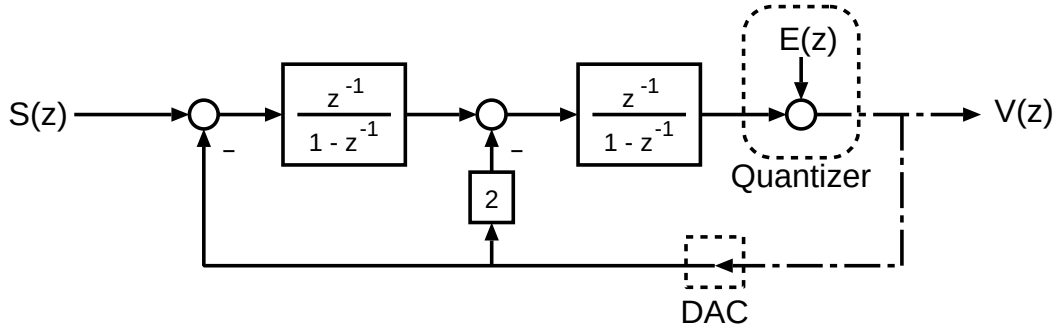


図 2.7: 2 次の $\Delta\Sigma$ モジュレータ 2つの積分器が直列接続され、2 次のノイズシェーピング特性を持つ

式 (2.4),(2.5) の条件を満たすループフィルタは図 2.6 に示すように、入力と出力の差分をとるための差分器 (Δ) と信号を累算するための積分器 (Σ) から構成される. n は次数であり, n 次のモジュレータの場合, 積分器が n 個直列に接続される. また, 図 2.5 より, 次数が高いほど低周波ノイズの減衰量が大きくなり, ノイズシェーピングの効果が大きいことが確認できる. 通常, 3 次以上のモジュレータは不安定となりやすく, 安定動作のために回路構成や係数を調整する必要がある.

図 2.7 に本研究で設計した 2 次の Boser-Wooley 型 [6] のモジュレータのブロック図を示す. モジュレータには遅延特性を持つスイッチトキャパシタ型積分器を使用した. このときのモジュレータの伝達関数は

$$V(z) = z^{-2}S(z) + (1 - z^{-1})^2 E(z) \quad (2.6)$$

であり,

$$STF = z^{-2} \quad (2.7)$$

$$NTF = (1 - z^{-1})^2 \quad (2.8)$$

となる. ここで, 式 (2.8) は式 (2.5) に示した NTF の式と一致し, 2 次のノイズシェーピング特性を持つ. 一方, STF は 2 次の時間遅れが生じるが, 信号の内容は変化しない.

$\Delta\Sigma$ モジュレータで使用する量子化器と帰還部のコンバータはそれぞれオフセットや非線形性などの非理想性を持つ. このうち, 量子化雑音と同一箇所で発生する量子化器の非理想性はノイズシェーピングされ, モジュレータの性能にはほとんど悪い影響を及ぼさない. 一方, 入力信号と同一箇所で発生する帰還部のコンバータで生じる図 2.8(a) のような非線形性は, モジュレータの性能に深刻な影響を与える. したがって, 図 2.8(b) のように, 本質的に線形である 2 値量子化を用いると, 帰還部のコンバータの非理想性は回避される. そのため, モジュレータ内部の量子化器は 1 ビット出力のコンパレータがよく使用される.

デシメーションフィルタ

デシメーションフィルタ [7] には, 次の 3 つの役割がある.

- 高域に存在する量子化雑音を取り除く
- サンプリング周波数を下げる
- 出力ビット幅を増やす

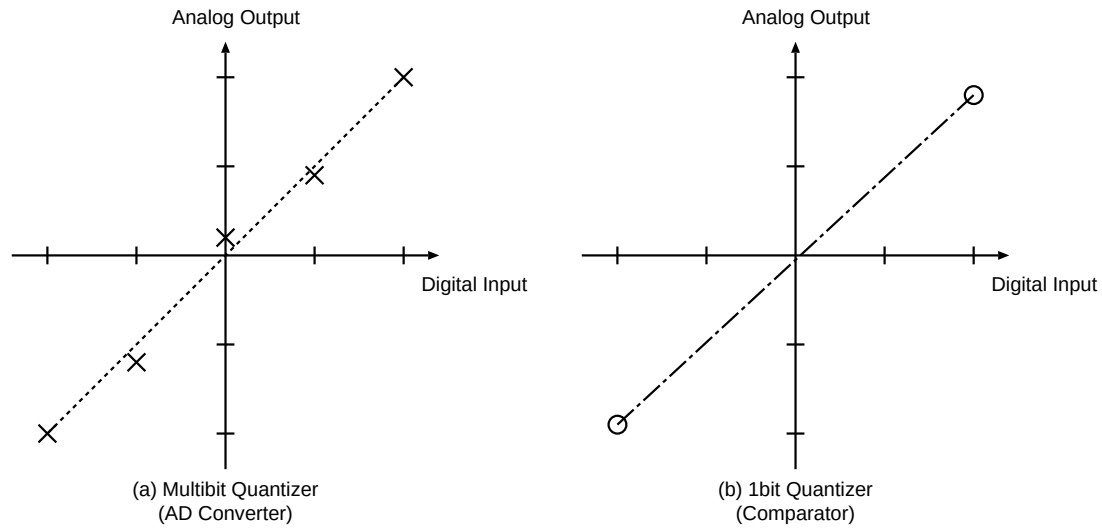


図 2.8: コンパレータと DA コンバータの線形性

(a) マルチビット量子化器 (AD コンバータ)

(b) 1 ビット量子化器 (コンパレータ)

1 ビット出力では常に線形性が維持される

$\Delta\Sigma$ 型 AD コンバータ用のデシメーションフィルタには、通常、sinc フィルタと FIR(Finite Impulse Response) フィルタや IIR(Infinite Impulse Response) フィルタの組み合わせが使用される。図 2.9 にデシメーションフィルタの入出力スペクトルの模式図を示す。この図に示すように、デシメーションフィルタの出力では、サンプリング周波数が下がり、高域に存在していた量子化ノイズがカットされる。

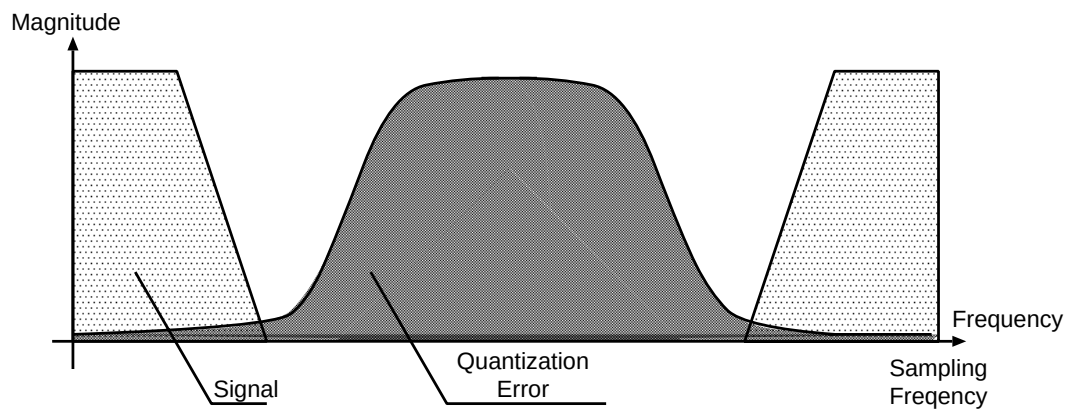
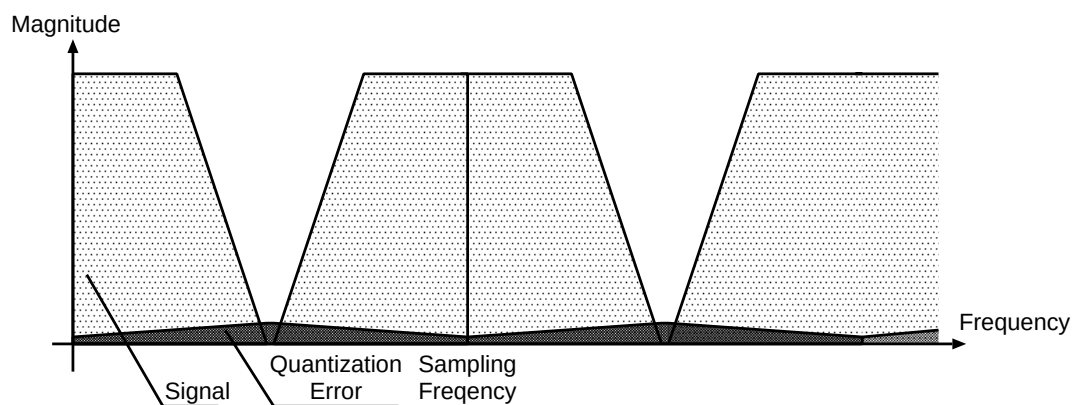
(a) Output Spectrum of $\Delta\Sigma$ Modulator(b) Output Spectrum of $\Delta\Sigma$ ADC with Quantization Noise Suppressed by Decimation Filter

図 2.9: 周波数スペクトルの変化 (a) $\Delta\Sigma$ モジュレータの出力スペクトル (b) デシメーションフィルタによって量子化ノイズが抑圧された $\Delta\Sigma$ 型 AD コンバータの出力スペクトル $\Delta\Sigma$ モジュレータ出力に含まれる量子化ノイズはデシメーションフィルタで大部分が除去される

表 2.2: $\Delta\Sigma$ モジュレータの設計条件

電源電圧	500 mV
信号帯域	DC~50 Hz
クロック周波数	5 kHz 以上
SNDR	30 dB 以上 (5 bit 以上)
消費電力	50 nW 以下

2.3 省電力化の影響

本節では、電流削減に起因する $\Delta\Sigma$ モジュレータの性能劣化要因について検討する。電源電圧 500 mV を前提にし、表 2.2 に示す $\Delta\Sigma$ モジュレータの設計条件を定めた。回路動作に用いるボタン電池の容量 10 mAh から 10 年以上の動作を想定して消費電力を 50 nW 以下とした。

2.3.1 特性劣化の要因

本研究では受動素子の絶対誤差の影響を受けないスイッチトキャパシタ回路を積分器として用いた $\Delta\Sigma$ モジュレータについて検討する。図 2.10 に示す $\Delta\Sigma$ モジュレータは以下の 4 つの要素回路から構成される。

- デジタル回路
- コンパレータ
- スイッチ
- オペアンプ

以下に省電力化によるこれらの要素回路の特性劣化について検討する。

デジタル回路

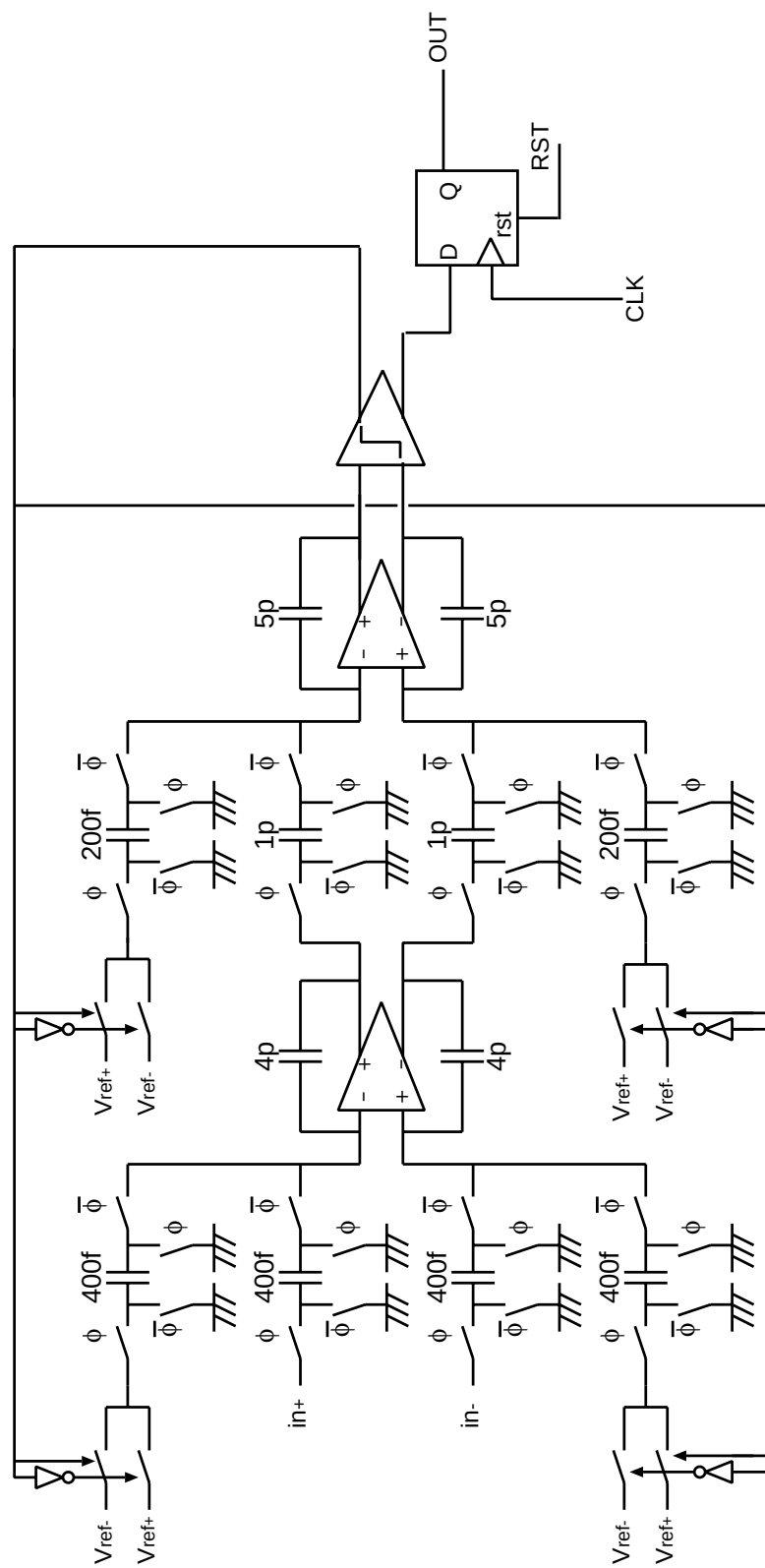
低電源電圧化によって、デジタル回路を弱反転領域で動作させると、MOS トランジスタの ON 電流が小さくなり、出力ノードが所定の電圧に達するまでの時間が長くなり、動作速度の低下を招く。また、更に電源電圧を下げて ON 電流を削減すると、OFF 電流 (漏れ電流) との差が減少し、論理動作の確保が困難になる [8]。本研究では $V_{DD} = 500$ mV と設定し、ON 電流と OFF 電流の差を確保して、論理の出力に影響を及ぼさないよう配慮した。

コンパレータ

コンパレータはモジュレータの最終段の積分値の値をもとに 1 ビットのデジタル値を出力する。コンパレータで生じる非理想性は次のものがあげられる。

- オフセット

先述したように、コンパレータのオフセットは量子化ノイズと等価であり、NTF により低域成分のノイズシェーピング効果によって、モジュレータ全体の特性にはほとんど影響しない。

図 2.10: 本論文で設計した $\Delta\Sigma$ モジュレータ

- 変換遅延時間

離散時間動作 $\Delta\Sigma$ モジュレータでは、変換遅延時間はクロック周期の半分以下ならば許容されるが、それ以上の遅延が生じるとモジュレータの特性に影響を与える。特に、NTF によるノイズシェーピング特性の悪化は、モジュレータの特性に大きな影響を与える。

出力がデジタル値であるデジタル回路、およびコンパレータは、次段の回路でクロックに同期して情報処理を行うまでに論理が判別できる電圧が出力されていればよい。このため、回路に要求される条件は出力の立ち上がり/立ち下がり時間であり、それらは設計の段階で容易に決定できる。

スイッチ

スイッチトキャパシタ回路内のスイッチとして使用する MOS トランジスタの実効的なスイッチの抵抗値はゲート-ソース間電圧に依存する。低電源電圧の下では、スイッチ素子に流れる電流が減少するため、出力電位が所定の値に達するまでの時間が増加し、回路の動作速度が低下する。しかし、MOS トランジスタのアスペクト比を変えることで、実効的なスイッチの抵抗値を最適化できる。

オペアンプ

オペアンプの非理想性は $\Delta\Sigma$ モジュレータの伝達関数が理論式から乖離する原因となる。省電力オペアンプには動作速度と消費電流のトレードオフが存在する。このトレードオフの下でオペアンプの諸特性が $\Delta\Sigma$ モジュレータの特性に与える影響を把握することが重要となる。

以上のように、低電源電圧化、低消費電力化を行うと、モジュレータ内の回路の各部で動作速度をはじめとした特性の劣化が生じる。

本研究ではシミュレーションにより、 $\Delta\Sigma$ モジュレータのスイッチトキャパシタ積分器で用いているオペアンプの諸特性が $\Delta\Sigma$ モジュレータの特性、特に SNDR に与える影響について検討した。

2.3.2 オペアンプの特性検討

本節では、オペアンプの非理想性がモジュレータに与える影響について述べる。オペアンプの非理想性は以下の3点である。

- ゲイン
- 出力抵抗 (帯域)
- スルーレート

オペアンプを用いた積分器出力の模式図を図 2.11 に示す。積分器の最終到達出力値と理想出力値との乖離の原因であるゲインは、 z 領域でモデリングしたときの伝達関数に影響する。オペアンプのゲインが有限であれば不感帯を生じ、小振幅信号に対する感度が低下する。ゲインが A のとき、2 次の $\Delta\Sigma$ モジュレータの不感帯幅は原点を中心に $1.5/A^2$ で表される [9]。

オペアンプの出力抵抗とスルーレートは、積分器の動的な特性に影響を与える。すなわち、最終出力値に達するまでの過渡特性に影響を及ぼすが、これらの特性が $\Delta\Sigma$ モジュレータの特性に与える影響について、定式化するのは困難である。

そこで、付録 A に示したスイッチトキャパシタ回路のシミュレーションモデルを用い、数値シミュレーションによる解析を行った。図 2.10 に示す 2 次の $\Delta\Sigma$ モジュレータに対して、表 2.3 の条件

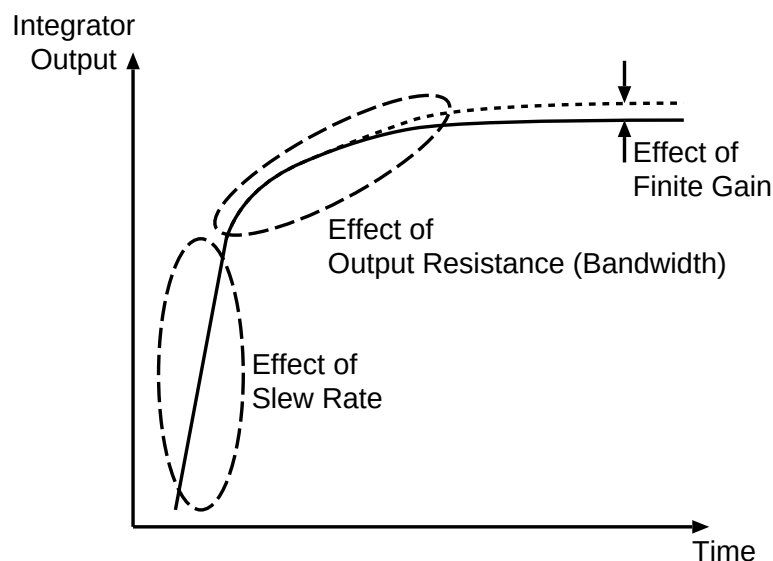


図 2.11: オペアンプの非理想性による積分器出力への影響 ゲインは静的な特性に、出力抵抗とスルーレートは動的な特性に影響を及ぼす

表 2.3: シミュレーション条件

ゲイン (デフォルト値)	40 dB
スルーレート (デフォルト値)	100 V/sec
出力抵抗 r_{amp} (デフォルト値)	200 M Ω
オペアンプの最大出力値	300 mV
オペアンプの最小出力値	100 mV
クロック周波数	5 kHz
信号周波数	43 Hz
信号振幅	240 mV _{p-p}
オーバーサンプリング倍率	16 倍
V_{ref+}	300 mV
V_{ref-}	100 mV

下でオペアンプの出力抵抗 (r_{amp}), スルーレート, ゲインを変化させ, それぞれの SNDR (Signal to Noise plus Distortion Ratio) を計算した. その結果を図 2.12 に示す.

この図より, スルーレート, 出力抵抗, ゲイン, いずれの性能が向上しても SNDR が改善することがわかる. このうち, スルーレートと出力抵抗については大幅な SNDR の向上が確認でき, 出力抵抗が 50 倍変化すると, SNDR が約 27 dB 向上するのに対し, スルーレートはわずか 2.5 倍の変化に対して約 23 dB 向上している. このシミュレーション結果から, スルーレートを増強することが省電力化による特性劣化にもっとも効果的であることがわかる.

2.4 設計回路

今回設計した 2 次の $\Delta\Sigma$ モジュレータの回路図を図 2.10 に示す. 回路設計は 0.25 μm メタル 5 層ポリシリコン 1 層の CMOS プロセスを用いて行った. 電源電圧 500 mV の下では, 全ての MOS トランジスタは弱反転領域で動作する. 以下に回路の詳細について述べる.

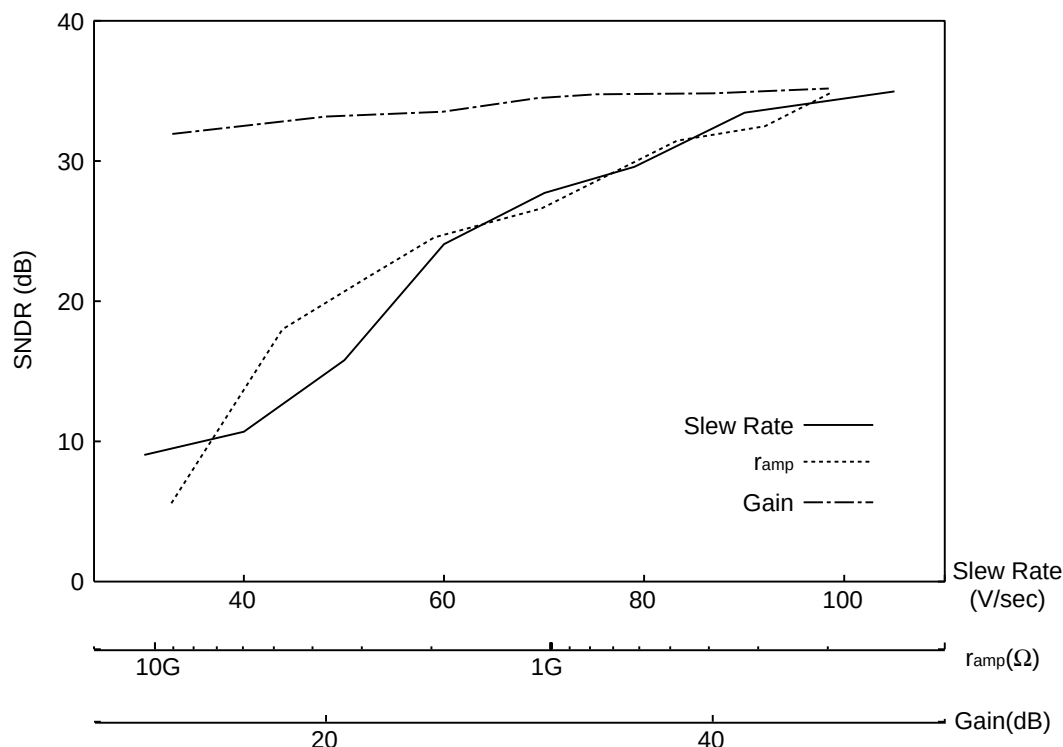


図 2.12: オペアンプのスルーレート、出力抵抗、ゲインを変化させたときの $\Delta\Sigma$ モジュレータの SNDR のシミュレーション結果 スルーレートの増加に対する SNDR の向上量がもっとも大きい

オペアンプ

シミュレーション結果より、オペアンプのスルーレートを上げるとモジュレータの特性が大幅に改善されることを受け、オペアンプは第3章で述べる適応型バイアスを用いたスルーレートブーストオペアンプを用いた。ノイズ耐性と出力振幅の観点からオペアンプは完全差動構成とした。また、スルーレートブーストによる特性の改善を確認するため、比較用として一定電流バイアスのオペアンプを用いた $\Delta\Sigma$ モジュレータも試作した。

スイッチ

スイッチとしては一般的には、Nチャネル MOS トランジスタと Pチャネル MOS トランジスタを組み合わせたトランスミッションゲートが用いられるが、本研究では Nチャネル MOS トランジスタを用いた。これは、電源電圧 500 mV、Nチャネル MOS トランジスタのしきい値電圧約 600 mV、Pチャネル MOS トランジスタのしきい値電圧約 800 mV を考慮した結果、Pチャネル MOS トランジスタではゲート電圧を印加しても抵抗値が十分に下がらないと判断したためである。したがって、同一の占有面積であれば、トランスミッションゲートよりも、Nチャネル MOS トランジスタを並列接続した方がゲート電圧印加時での抵抗値の低下が期待できる。

コンパレータ

コンパレータはクロックの変化時にのみ電流が流れる図 2.13 に示す構成を使用し、消費電力の低減を図った [10]。このコンパレータはオペアンプ同様、完全差動型であり、クロックが High の時には両方の出力が VDD に固定され、クロックが Low になったときに入力を比較してその結果

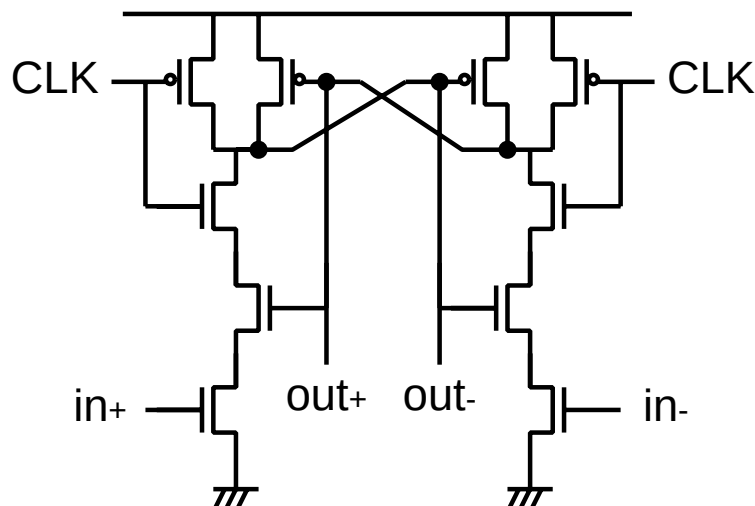
図 2.13: $\Delta\Sigma$ モジュレータで用いたコンパレータ

表 2.4: 測定に使用した装置

デジタル信号発生装置 (DG)	Sony Tektronix DG2020A
出力ポッド	Sony Tektronix P3240
任意波形発生装置 (AWG)	Sony Tektronix AWG2021
電源 (PWR18-2TP)	Kenwood PWR18-2TP
電源 (R6243)	Advantest R6243(2 台)
オシロスコープ (Main Osc.)	Tektronix TDS5104
オシロスコープ (Sub Osc.)	Tektronix TDS3054B
ロジックアナライザ (Logic Analyzer)	Tektronix TLA5202

を出力する。出力のラッチ部分は負荷容量のアンバランスに敏感であるため、2つの出力の直後に挿入したインバータバッファで負荷容量の微調整を行った。

デジタル回路

先述したように、電源電圧 500 mV のときの ON 電流と OFF 電流の差は十分に確保されるため、一般的な CMOS デジタル回路セルを使用した。

2.5 チップ測定

本節では、 $\Delta\Sigma$ モジュレータの測定結果を示す。メタル 5 層ポリシリコン 1 層の 0.25 μm CMOS プロセスで試作した。適応型バイアスオペアンプ組み込み $\Delta\Sigma$ モジュレータのチップ写真を図 2.14 に示す。回路のサイズは 720×320 μm である。

2.5.1 測定機器・条件

$\Delta\Sigma$ モジュレータの測定に使用した装置を表 2.4 に、測定装置の接続構成を図 2.15 に示す。

任意波形発生装置 (AWG) で生成したアナログ信号を被測定回路の入力に接続した。AWG の出力は 50 Ω 終端にしたオシロスコープと被測定回路を並列に接続し、正確な振幅の入力信号を得た。

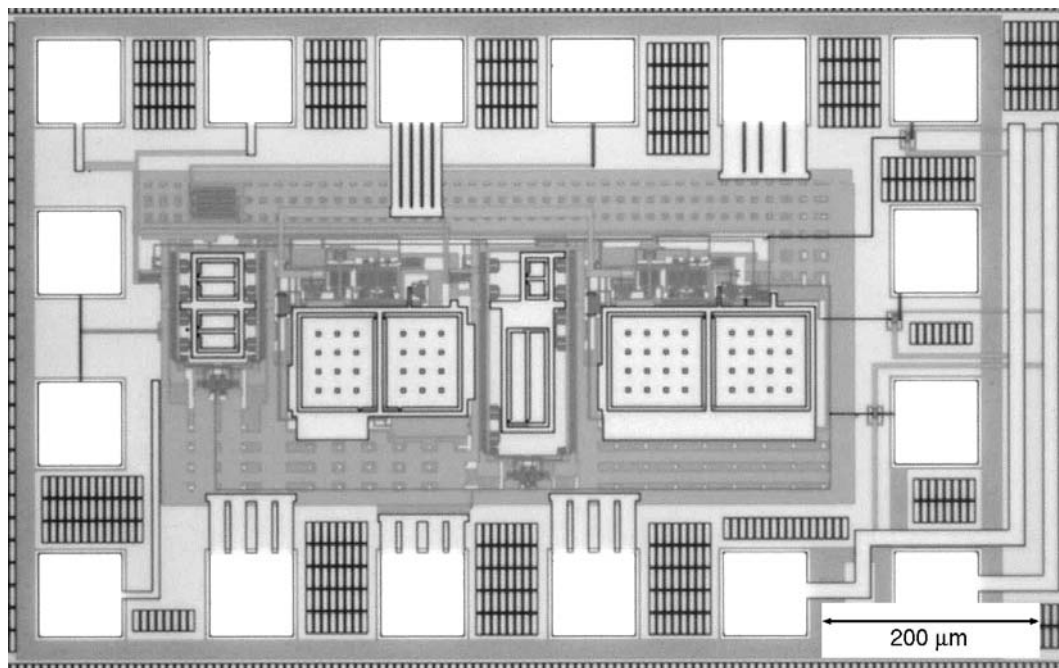


図 2.14: 適応型バイアスオペアンプを用いた $\Delta\Sigma$ モジュレータのチップ写真

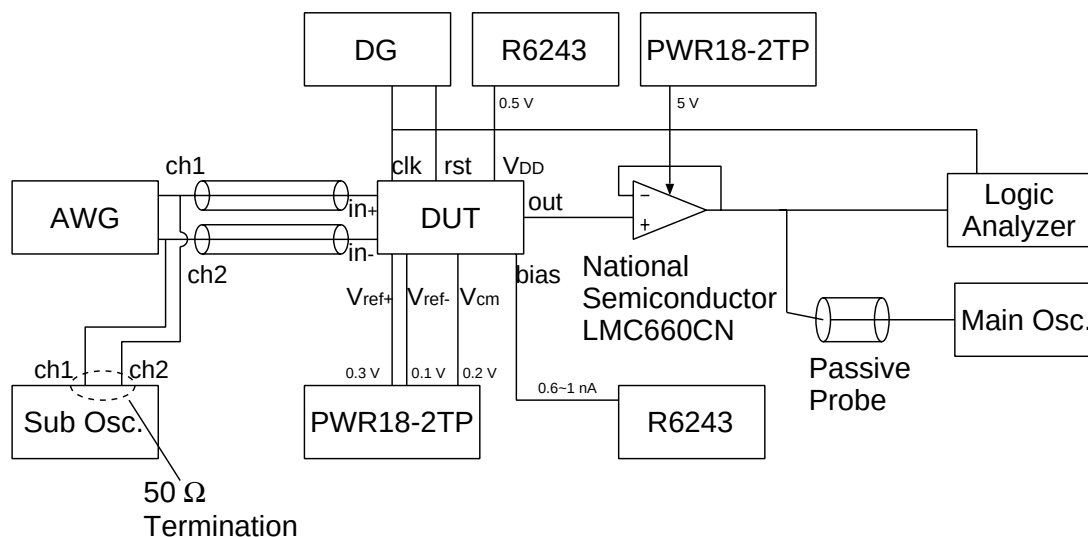
今回の評価に使用した入力信号は周波数が極めて低いため、インピーダンス不整合による反射の影響は受けない。試作回路内の出力ノードに挿入したバッファの電源電圧は 500 mV で、弱反転領域動作しているため、出力インピーダンスは高い。一方、オシロスコープのプロープに存在する 10k~10 M Ω 程度の抵抗成分のため、回路の出力をプロープに接続するときに、LMC660CN(National Semiconductor) をユニティゲインアンプとして用いている。試作チップ内のバッファの出力インピーダンスと比較すると、LMC660CN の入力インピーダンスは 1 T Ω 以上 [11] と非常に大きく、信号を大きく劣化させるような影響はない。

コモンモード電圧 V_{CM} は 200 mV、リファレンス電圧 V_{ref+} , V_{ref-} はそれぞれ 300 mV, 100 mV とした。スルーレートブーストオペアンプを用いた $\Delta\Sigma$ モジュレータと定電流バイアスオペアンプを用いた比較用モジュレータの総消費電力が等しくなるようバイアス電流値を調整して実測を行った。

2.5.2 測定結果

表 2.5 に示した条件下で出力振幅を変化させたときの $\Delta\Sigma$ モジュレータの SNDR 特性を図 2.16 に、最大 SNDR のときの $\Delta\Sigma$ モジュレータの出力スペクトルを図 2.17 に示す。図 2.16 より、スルーレートブーストオペアンプを用いた $\Delta\Sigma$ モジュレータで最大 33 dB、定電流バイアスオペアンプ使用のモジュレータで最大 22 dB の SNDR が得られ、入力範囲の全域にわたって、消費電流 26 nA の下で約 10 dB 向上した。また、図 2.17 より、モジュレータの出力スペクトルに含まれているトーンの影響により、SNDR は悪くなっている。オペアンプの帯域、スルーレート、ゲイン特性の不足により、積分器の特性が悪化し、モジュレータの伝達関数が式 (2.6) から乖離することがトーンの発生要因である。SNDR 向上のためにこれらの特性を改善すると、回路規模や消費電流の増加につながる。本研究では省電力化を重視し、設計条件を満たす範囲で消費電流の削減を行った。

高精度の AD 変換を実現するには信号帯域に応じてオーバーサンプリング倍率を上げればよいが、クロック周波数を高くすると消費電流 I_{SS} も増加する。そこで、表 2.6 に示した条件下で、バイアス電流と動作周波数を変化させてスルーレートブーストの有無による $\Delta\Sigma$ モジュレータの SNDR

図 2.15: $\Delta\Sigma$ モジュレータの測定装置の接続構成表 2.5: 振幅を変化させたときの $\Delta\Sigma$ モジュレータの測定条件

電源電圧	500 mV
クロック周波数	5 kHz
信号周波数	39 Hz
オーバーサンプリング倍率	16 倍
バイアス電流 (スルーレートブーストオペアンプのみ)	1.0 nA

測定を行った．図 2.18 に SNDR 特性のグラフを，表 2.7 にバイアス電流値と消費電流値を示す．この結果，定電流バイアスオペアンプを使用したモジュレータでは，バイアス電流を減少させると特性が急激に劣化するが，スルーレートブーストオペアンプを用いると，より少ないバイアス電流でも高い精度を維持して動作させることができる．スルーレートブーストを導入すると，クロック周波数依存性においても，SNDR の減少が緩和されるため，消費電力の増加を抑制しつつ，より高速の信号を処理できることを確認した．

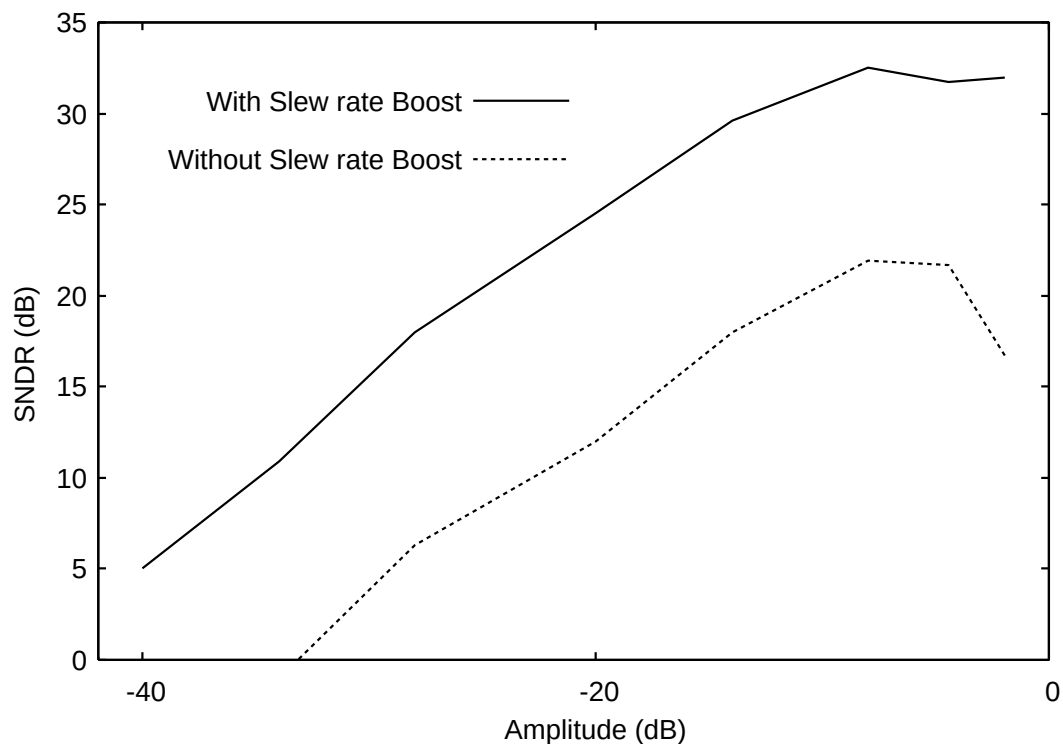


図 2.16: 振幅を変化させたときの $\Delta\Sigma$ モジュレータの SNDR スルーレートブーストを導入することで SNDR が約 10 dB 改善した

表 2.6: バイアス電流, 動作周波数を変化させたときの $\Delta\Sigma$ モジュレータの測定条件

電源電圧	500 mV
クロック周波数	5,6,7,8,9,10 kHz
信号周波数	クロック周波数の 1/128
オーバーサンプリング倍率	32 倍
信号振幅	160 mV _{p-p}
バイアス電流 (スルーレートブーストオペアンプのみ)	1.0 nA, 0.8 nA, 0.6 nA

表 2.7: バイアス電流と動作周波数を変化させたときの電流値

I_{bias} (nA) (Slew Rate Boost OPamp)	Clock Frequency(kHz)	5	6	7	8	9	10
1	I_{bias} (nA) (Constant Bias OPamp)	1.7	1.7	1.8	1.8	1.8	1.9
	I_{ss} (nA)	26	27	28	29	30	31
0.8	I_{bias} (nA) (Constant Bias OPamp)	1.4	1.4	1.4	1.5	1.5	1.6
	I_{ss} (nA)	22	24	25	26	27	29
0.6	I_{bias} (nA) (Constant Bias OPamp)	1.2	1.1	1.2	1.2	1.3	1.3
	I_{ss} (nA)	20	21	22	24	25	26

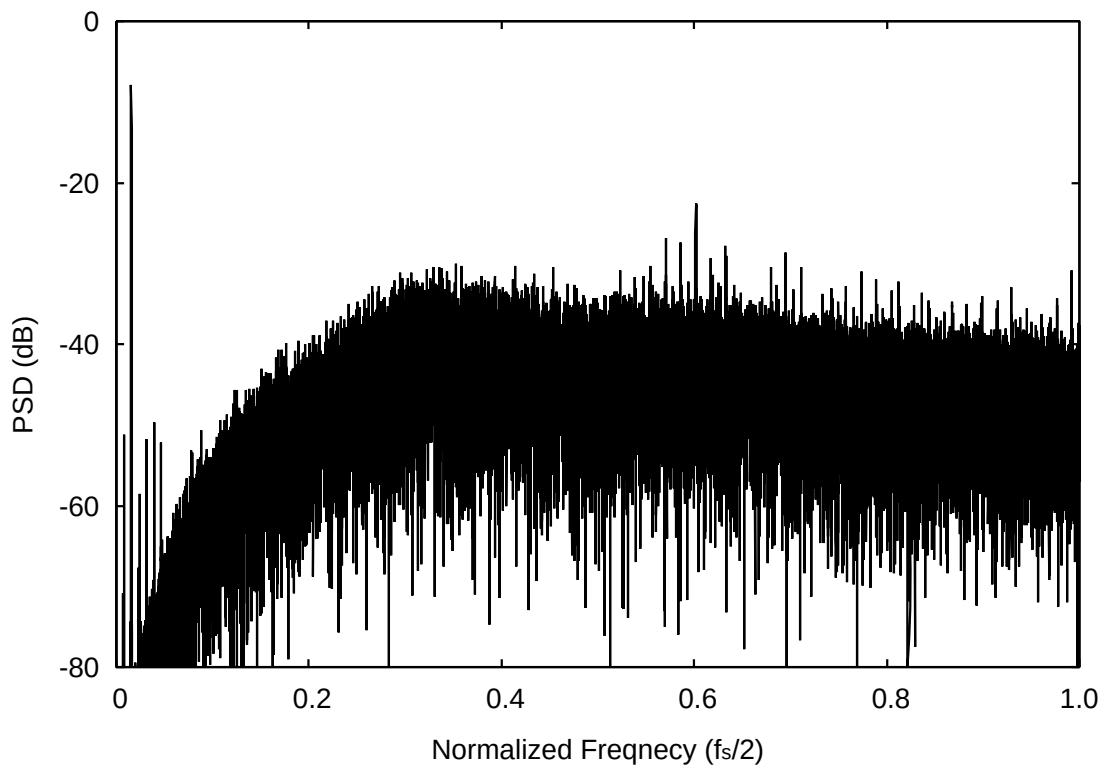


図 2.17: $\Delta\Sigma$ モジュレータの出力スペクトル 信号付近の周波数にトーンが発生している

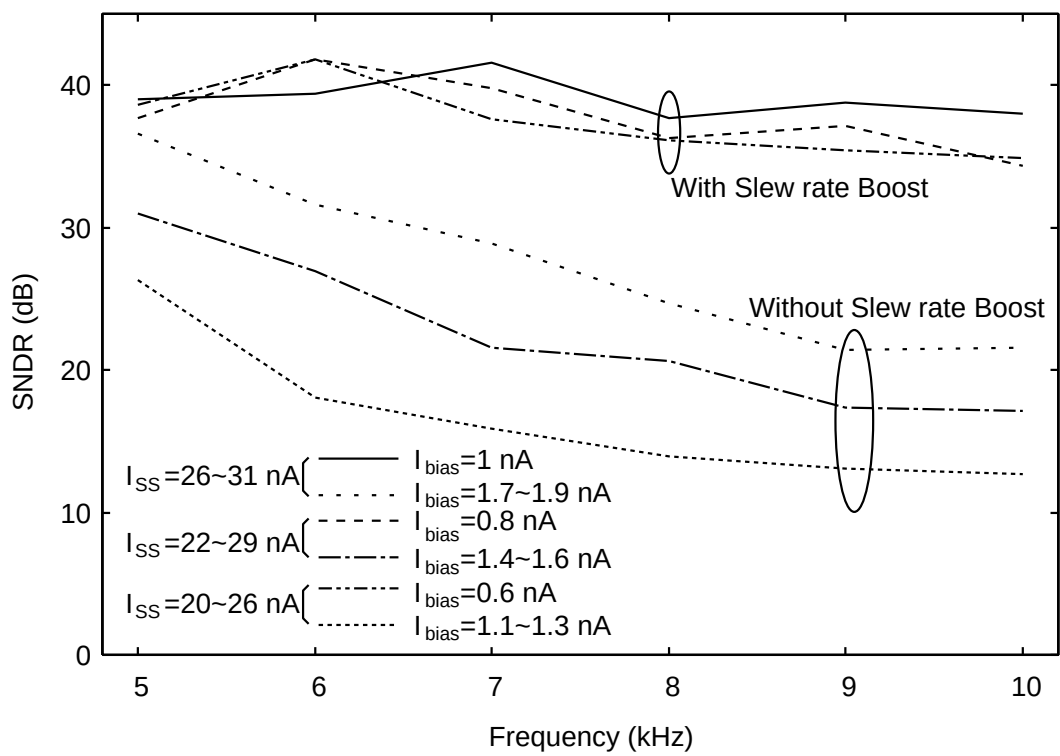


図 2.18: バイアス電流と動作周波数を変化させたときの $\Delta\Sigma$ モジュレータの SNDR スルーレートブーストの導入により、高速動作による SNDR の劣化を抑制できる

2.6 まとめ

弱反転領域 MOS トランジスタを用いた極低消費電力 $\Delta\Sigma$ モジュレータについて設計、試作、測定を行った。低電源電圧化、低消費電力化が $\Delta\Sigma$ モジュレータの SNDR 特性に与える影響について検討し、モジュレータで使用されるスイッチトキャパシタ回路内のオペアンプのスルーレート特性を改善することで $\Delta\Sigma$ モジュレータの SNDR が大幅に改善されることを数値シミュレーションで確認した。この結果を基に、第3章で述べる適応型バイアスを用いてスイッチトキャパシタ回路内のオペアンプにスルーレートブースト特性を持たせた $\Delta\Sigma$ モジュレータを設計・試作・測定した。全ての MOS トランジスタを確実に弱反転動作させるため、電源電圧を 500 mV とした。測定の結果、バイアス電流が 1 nA のとき、スルーレートブーストを導入すると、信号振幅の全域で SNDR が約 10 dB 改善することを確認した。消費電流は 26 nA となった。バイアス電流をさらに低い 0.6 nA としても 10 kHz のクロック周波数まで精度を維持したまま AD 変換ができることを確認した。したがって、本研究で設計した回路をセンサのアナログフロントエンド回路として用いると、同一消費電力でより高精度の信号変換ができ、電池駆動でも長期間の動作が可能となり、より広いアプリケーションに対応できる。

参考文献

- [1] 井田 司, 田中智之, 松岡俊匡, 谷口研二, “生体センシング用途向け低消費電力 $\Delta\Sigma$ モジュレータ,” 電子情報通信学会論文誌 C, vol.J90-C, no.10, pp.662–670, Oct. 2007.
- [2] E. Vittoz and J. Fellrath, “CMOS analog integrated circuits based on weak inversion operation,” IEEE Journal of Solid-State Circuits, vol.SC-12, no.3, pp.224–231, Jun. 1977.
- [3] R. Harrison and C. Charles, “A low-power low-noise CMOS amplifier for neural recording applications,” IEEE Journal of Solid-State Circuits, vol.38, no.6, pp.958–965, Jun. 2003.
- [4] R.J. Plassche, “A sigma-delta modulator as an A/D converter,” IEEE Transactions on Circuit and Systems, vol.CAS-25, no.7, pp.510–514, Jul. 1978.
- [5] H. Inose, Y. Yasuda, and J. Murakami, “A telemetering system by code modulation - $\Delta - \Sigma$ modulation,” IRE Transaction on Space Electronics and Telemetry, vol.SET-8, pp.204–209, Sep. 1962.
- [6] B.E. Boser and B.A. Wooley, “The design of sigma-delta modulation analog-to-digital converters,” IEEE Journal of Solid-State Circuits, vol.23, no.6, pp.1298–1308, Dec. 1988.
- [7] J.C. Candy, “Decimation for sigma delta modulation,” IEEE Transactions on Communications, vol.COM-34, no.1, pp.72–76, Jan. 1986.
- [8] A. Wang and A. Chandrakasan, “A 180mv FFT processor using subthreshold circuit techniques,” 2004 IEEE International Solid-State Circuits Conference(ISSCC), pp.292–293, 2004.
- [9] 和保孝夫, 安田 彰, $\Delta\Sigma$ 型アナログ/デジタル変換器入門, 丸善, 2007.
- [10] P.E. Allen and D.R. Holberg, CMOS Analog Circuit Design, Oxford University Press, 2002.
- [11] National Semiconductor, LMC660 CMOS Quad Operational Amplifier Datasheet.

第3章 低電力・低電源電圧スルーレートブーストオペアンプ

3.1 まえがき

電池駆動など、電源が限定された条件のもとで動作するセンサネットワークのセンサノードは省電力化が要求される。CMOS アナログ回路ではMOS トランジスタを弱反転動作させて大幅に消費電力を削減することができる [1, 2]。しかし、省電力動作はオペアンプにおいて、帯域の減少、スルーレートの悪化を招く。第2章で、 $\Delta\Sigma$ モジュレータの SNDR 特性がスルーレートに大きく依存することを述べた [3]。そこで、本研究ではスイッチトキャパシタ回路におけるオペアンプのスルーレート特性を改善するための適応型バイアス回路を提案し、チップ試作、測定を行い、動作を確認した [4]。

3.2 弱反転領域動作

本節では、MOS トランジスタの弱反転領域動作について述べる。MOS トランジスタの動作領域として、次の二つが存在する。

- 強反転領域
- 弱反転領域

以下に、それぞれの動作領域について述べる。

強反転領域

通常、CMOS アナログ回路では必要とされる動作速度や駆動力を考慮して強反転領域動作が用いられる。

強反転領域は、MOS トランジスタのゲート-ソース間電圧 (V_{GS}) がしきい値電圧 (V_{th}) 以上のときの動作領域であり、図 3.1 の右半分に相当する。飽和特性のとき、ドレイン-ソース電流は次式で表される [5]。

$$I_{DS} = \frac{\beta}{2}(V_{GS} - V_{th})^2(1 + \lambda V_{DS}) \quad (3.1)$$

ここで、 β は MOS トランジスタのトランスコンダクタンス ($= \mu C_{ox} \frac{W}{L}$)、 λ はチャネル長変調係数、 V_{DS} はドレイン-ソース間電圧である。

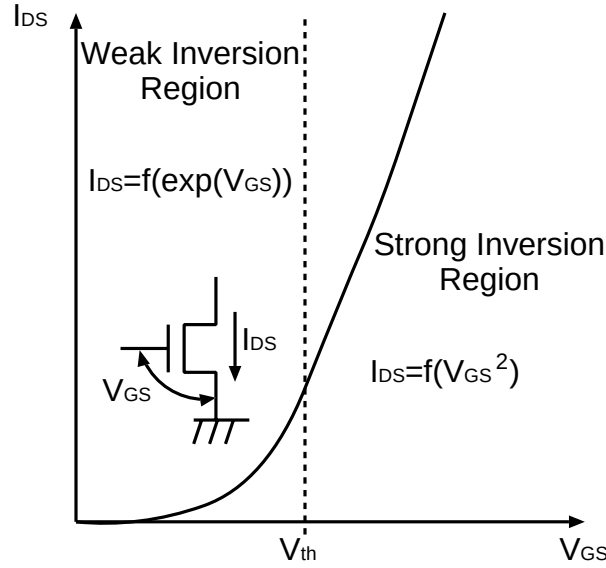


図 3.1: MOS トランジスタの $V_{GS} - I_{DS}$ 特性 (飽和特性動作) ゲート-ソース間電圧としきい値電圧の大小関係で特性が変化する

弱反転領域

弱反転領域はゲート-ソース間電圧がしきい値電圧より小さいときの、図 3.1 の左半分に示す動作領域である。強反転領域と比較すると、ドレイン-ソース電流は大幅に減少する。弱反転領域ではドレイン-ソース電流はゲート-ソース間電圧に対して指数関数的な特性を持ち、次式で表される [6]。

$$I_{DS} = I_{S0} \exp\left(\frac{(1-\kappa)V_{BS}}{V_T}\right) \exp\left(\frac{\kappa V_{GS}}{V_T}\right) \left(1 - \exp\left(-\frac{V_{DS}}{V_T}\right) + \frac{V_{DS}}{V_0}\right) \quad (3.2)$$

ただし、 I_{S0} , κ , V_0 は定数、 V_{BS} は基板-ソース間電圧、 V_T は熱電圧 ($\sim 26\text{mV}@300\text{K}$) である。

$V_{DS} > 4V_T$ のとき、基板-ソース間電圧やドレイン-ソース間電圧の影響は無視でき、飽和特性領域となり、特性式は

$$I_{DS} = I_{S0} \exp\left(\frac{\kappa V_{GS}}{V_T}\right) \quad (3.3)$$

と近似できる。

弱反転領域は、以下に示す理由から集積回路で用いられることは少ない。

- 製造ばらつきの影響が大きい

強反転領域ではドレイン-ソース電流はしきい値電圧の 2 次関数となるのに対し、弱反転領域ではドレイン-ソース電流はしきい値電圧の指数関数となる。そのため、しきい値電圧のばらつきに起因するドレイン-ソース電流の変動は強反転領域と比較すると非常に大きい。この問題に対しては、カレントミラー回路のようなしきい値ばらつきの影響の小さい回路を用いたり、レイアウトで MOS トランジスタ間のしきい値電圧の相対誤差を減らす必要がある。

- 出力電流が小さい

消費電流の低減は同時に駆動力の低下を引き起こす。弱反転領域動作を用いることで、消費電力は大幅に減少するが、同時に容量性負荷に一定電圧を充電するまでの時間は大幅に増加する。したがって、回路の動作速度が低下する。

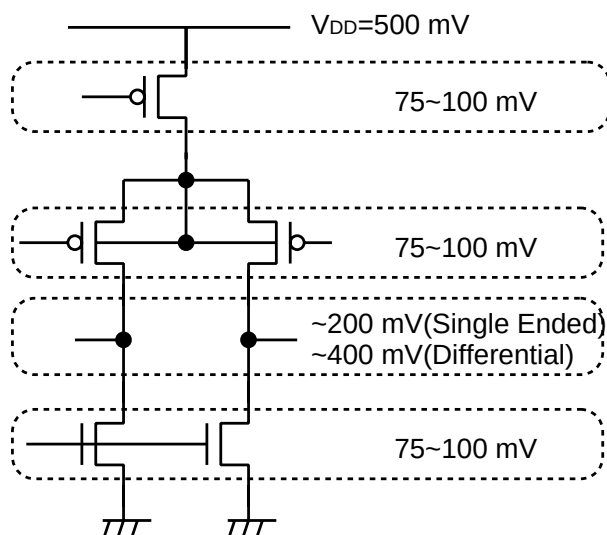


図 3.2: 電源電圧の割り振り 飽和領域で動作させるために MOS トランジスタの積層段数を 3 段以下に制限した

上記に示したように、弱反転領域の回路動作は様々な問題点が存在するが、その一方で消費電力が非常に小さいことは大きな利点である。本研究で想定している電池での長期間駆動といった条件下では省電力化は必須の条件となる。そこで、本研究では MOS トランジスタの動作領域として弱反転領域を選択した。

電源電圧

弱反転領域動作の回路を実現するには、MOS トランジスタのゲート-ソース間電圧をしきい値電圧以下に抑える必要がある。MOS トランジスタのしきい値電圧は製造プロセスによって異なる。本研究で用いた $0.25\ \mu\text{m}$ CMOS プロセスにおけるしきい値電圧は、n チャネル MOS トランジスタで約 $600\ \text{mV}$ 、p チャネル MOS トランジスタで約 $800\ \text{mV}$ である。そこで、確実に弱反転領域で動作させるため、電源電圧をしきい値電圧以下の値である $500\ \text{mV}$ に設定した。また、出力振幅範囲を維持しつつ、ドレイン-ソース間電圧の変化がドレイン-ソース電流に影響及ぼさないようドレイン-ソース間電圧を $75\ \text{mV}$ 以上確保した [5]。ノイズ等を考慮し、増幅器の信号出力レンジを $200\ \text{mV}$ とすると、図 3.2 に示すように、回路で用いることのできる MOS トランジスタの積層段数は 3 段以下となる。

3.3 スルーレート調整方法

図 3.3 にスイッチトキャパシタ回路、およびクロックの相が変化したときのオペアンプの入力電位の変化を示す。本研究では耐ノイズ性能と信号振幅確保の観点から、完全差動構成で設計した。この図において、オペアンプの入力はクロックの相が ϕ のとき同電位である。クロックの相が $\bar{\phi}$ に変化したとき、サンプリングキャパシタ C_s に蓄積された電荷が C_f に移動する。このとき、オペアンプの入力は $\bar{\phi}$ になった瞬間に電位が変動し、次第に仮想接地へと収束する。仮想接地になるまでの速度はオペアンプのスルーレートと帯域に依存し、入力された電荷量が多い場合には、スルーレートの影響が、また小さい場合には帯域が支配的となる。そこで、オペアンプの入力をモニタリングし、入力振幅に対応した電流をアンプに流すことで、スルーレートを改善することができ、低消費電力のスイッチトキャパシタ回路が実現できる。本研究では入力振幅の検知を行う絶対

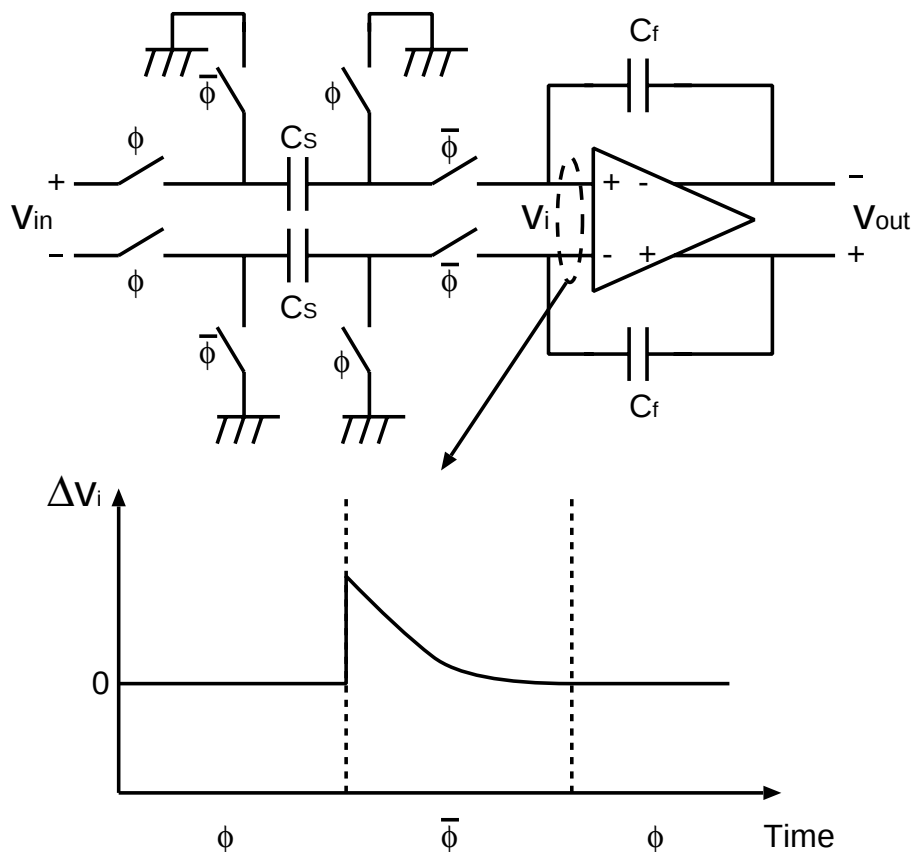


図 3.3: スイッチトキャパシタ回路とスイッチ切り替え時の入力端子電圧の過渡特性 クロックの相が $\bar{\phi}$ に変化すると同時に、オペアンプの入力に電位差が発生する

値検出回路とオペアンプに流れる電流を調整するための可変電流源から構成される適応型バイアス回路を提案する．スイッチトキャパシタ積分器においてスルーレートを改善するためにオペアンプをバイパスして出力に直接電流を流し込む方法 [7] が提案されているが、この方式ではオペアンプで同相出力電圧を制御することが困難なため、完全差動構成には不適である．そこで、本研究では、同相出力電圧を調整する際にバイアス電流の変化の影響を取り入れたコモンモードフィードバック回路を採用した．

3.4 提案回路

図 3.4 にオペアンプのブロック図を、図 3.5 に回路図を示す．オペアンプは差動対、適応型バイアス回路、CMFB(Common Mode FeedBack) 回路から構成される．0.25 μm CMOS プロセスのデバイスモデルを用いて設計を行った．

差動対

差動対はカスコード等の特殊な構成を一切用いず、通常の差動対で設計を行った．弱反転領域動作とすることで、出力抵抗値が大きくなるため、ゲインは強反転領域動作よりも高く、バイアス電流に関わらず一定となる [8]．

差動対はバイアス電流が 0.5~20 nA の範囲で増幅器として動作するよう設計した．適応型バイアス回路による一時的な電流増加に対しては 100 nA まで増加しても正常動作することを回路シ

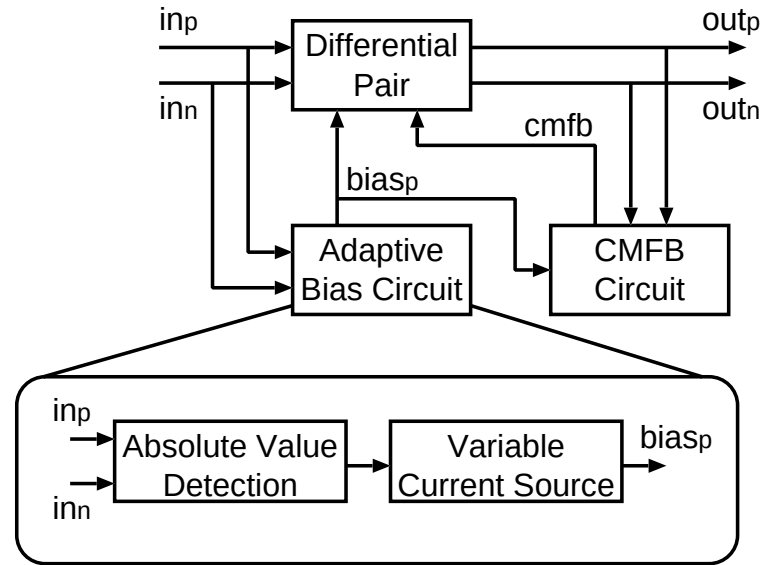


図 3.4: オペアンプのブロック図 ノイズ耐性と出力振幅確保の観点から完全差動構成とした

表 3.1: 差動対の性能 (負荷容量: 3 pF)

利得	36 dB
位相余裕	92°
ユニティゲイン周波数	600 Hz

ミュレーションを用いて確認した。テール電流源 2 nA, 負荷容量 3 pF のとしたときの回路シミュレーション結果は表 3.1 となった。

適応型バイアス回路

絶対値検出回路である二組の差動対と可変電流源から構成される適応型バイアス回路は入力振幅の絶対値を基に電流の制御を行う。図 3.5 において, M4–M13 が絶対値検出回路, M14, M15 が可変電流源に相当する。M6–M9 で入力振幅をモニタし, M14, M15 で電流に変換する。適応型バイアス回路内の M6 と M7, M8 と M9 から構成される二つの差動対の負荷容量はそれぞれ M14, M15 のゲート容量である。したがって, オペアンプの負荷容量と比較して M14, M15 のゲート容量を十分に小さくして, 二組の差動対をスイッチトキャパシタ回路の帯域よりも十分に高い周波数まで動作させることが可能となる。また, コンパレータとして動作する M6 と M7, M8 と M9 の二組の差動対の MOS トランジスタのサイズ比を等しくすると, 論理しきい値が $\Delta V_{in} = 0$ V に位置し, 無信号時に差動対の出力が不安定になる上, ノイズの影響を受けやすくなる。そこで, 差動対の入力段の MOS トランジスタのサイズ比をアンバランスにし, それぞれの差動対に入力オフセットを持たせることで, $\Delta V_{in} = 0$ V 付近に不感帯を持たせた。したがって, 入力オフセットにより入力振幅が小さいときには定電流バイアスのオペアンプとして動作し, 無信号時の消費電流の低減, ならびにノイズ耐性の向上を図った。無入力時の出力電流値は M17 の定電流源で決定される。絶対値検出回路動作時の電流値は差動対の正常動作範囲内で変化するように M14, M15 のサイズを調整して決定する。

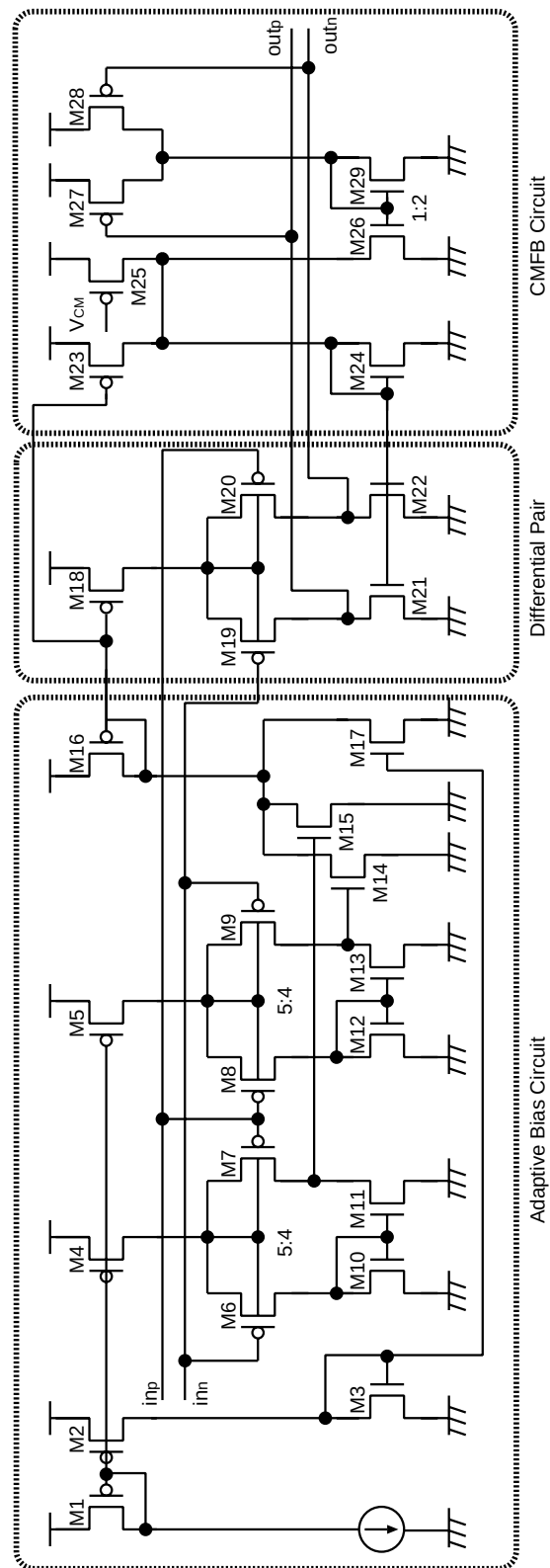


図 3.5: 適応型バイアスを用いたオペアンプ 適応型バイアス回路, 差動対, コモンモードフィードバック回路から構成される

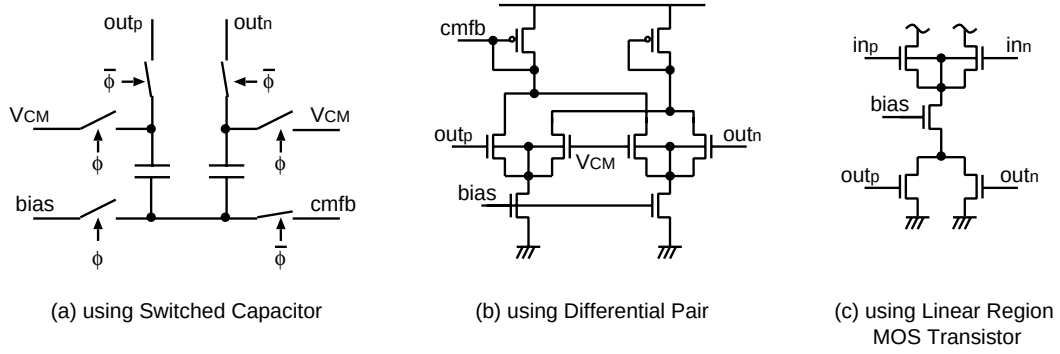


図 3.6: 一般的に用いられる CMFB 回路構成

(a) スイッチトキャパシタ構成 (b) 差動対構成 (c) 線形領域 MOS トランジスタの使用

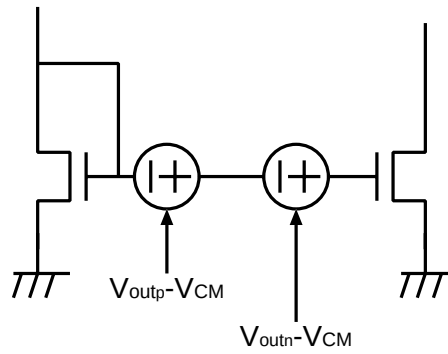


図 3.7: 電圧制御電圧源を用いた理想 CMFB 回路

CMFB 回路

クロックを用いるスイッチトキャパシタ回路では通常、図 3.6(a) に示す離散時間型の CMFB 回路 [9] が多く用いられる。適応型バイアスを用いる場合、クロックの相内でバイアス電流変化に起因するコモンモード電圧の大幅な変化が生じる可能性があるため、連続時間型の CMFB 回路を用いなければならない。しかし、差動対構成の連続時間型 CMFB 回路 [10](図 3.6(b)) は出力可能範囲が狭い。また、線形領域で MOS トランジスタを動作させる手法 [11](図 3.6(c)) はバイアス電流が変化すると動作点も変化するため、常に線形領域で動作させることは困難である。そこで、動的に変化するバイアス電流に追従しつつ、同相出力電圧の誤差の検出を実現する CMFB 回路を図 3.5 に示す。全ての MOS トランジスタは弱反転領域の飽和特性で動作する。

通常、強反転動作を前提とした CMFB 回路では V_{CM} を同相出力電圧の設定値とすると、

$$V_{outp} + V_{outn} - 2V_{CM} = 0 \quad (3.4)$$

となるようにバイアス電流を調整し、電圧制御電圧源 (VCVS) を用いた場合、図 3.7 のように、差動対のテール電流源へのカレントミラー回路の間に挿入することで実現できる。本回路ではカレントミラー回路を用いて、コモンモード電圧の誤差の検出を電流の加減算で実現する。

M24 に流れるドレイン電流 $I_{D,M24}$ は

$$I_{D,M24} = I_{D,M23} + I_{D,M25} - \frac{1}{2}(I_{D,M27} + I_{D,M28}) \quad (3.5)$$

と表せる。入力振幅と V_{CM} の差が十分に小さいとき、式 (3.5) を付録 B に示すように、テイラー

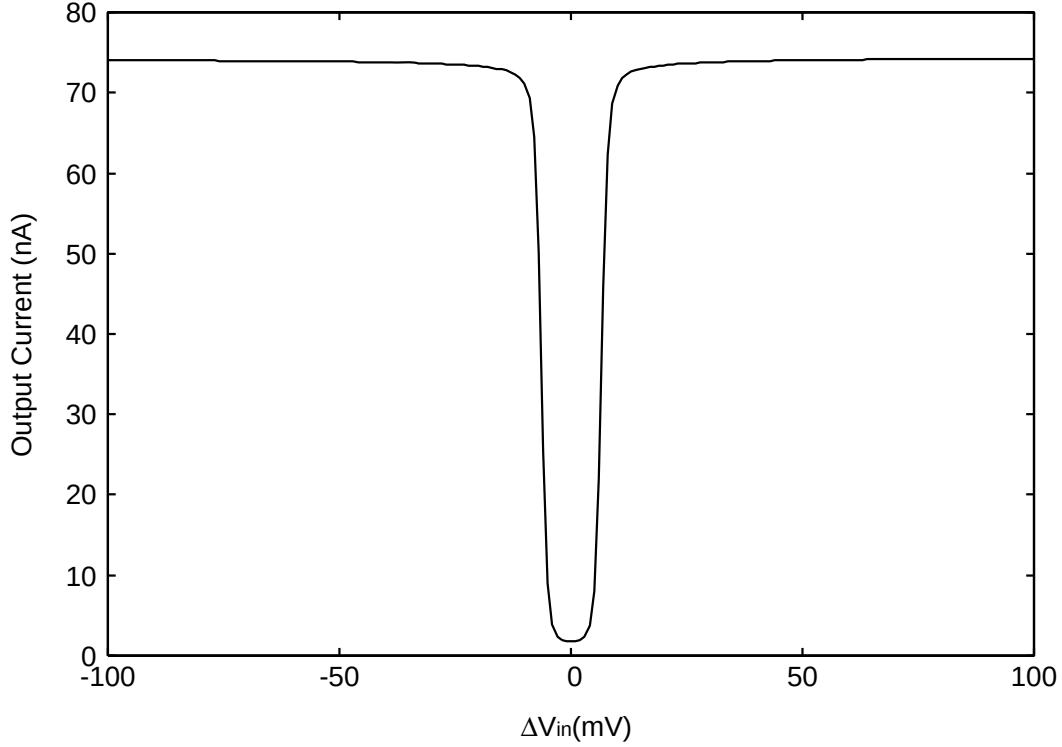


図 3.8: 適応型バイアス回路のシミュレーション結果 $\Delta V_{in} = 0$ を中心に不感帯が存在する

展開し、オーダを考慮して近似すると

$$I_{D,M24} = I_{D,M23} + \frac{\kappa I_{S0}}{V_t} (V_{av} - V_{CM}) \exp\left(-\kappa \frac{V_{av}}{V_t}\right) \quad (3.6)$$

と表せる。ただし、 $V_{av} = \frac{V_{outp} + V_{outn}}{2}$ である。第2項がコモンモード電圧の誤差の補正項となり、 $V_{av} - V_{CM}$ が0となるように $I_{D,M24}$ が調整され、式(3.4)を満たすようにCMFB回路が動作する。

3.5 シミュレーション結果

回路シミュレーションを用いて横軸に差動入力電圧、縦軸に適応型バイアス回路の出力電流をプロットしたグラフを図3.8に示す。本研究では絶対値検出回路内の差動対のサイズ比を5:4とした。この図より、 $\Delta V_{in} = 0$ V 付近に不感帯が存在し、 $\Delta V_{in} = 5 \sim 10$ mV 程度で急激に電流量が増加していることが確認できる。 ΔV_{in} が不感帯に位置するとき、オペアンプは定電流バイアスのオペアンプとみなすことができる。不感帯幅は絶対値検出回路内の差動対のサイズ比を調整することで決定できる。出力電流は入力振幅に応じて2~75 nAの範囲で変化することが確認できる。

適応型バイアス回路を使用したオペアンプと定電流バイアスを使用したオペアンプのそれぞれにおいて、表3.2に示す条件で理想スイッチを用いたスイッチトキャパシタ回路の回路シミュレーションを行った。図3.9に出力波形と差動対のテール電流値を示す。この図より、適応型バイアスを使用し、スルーレートを改善することで、より高い周波数でスイッチトキャパシタ回路が動作することがわかる。また、消費電力が出力の変化時のみ大幅に増加しており、低消費電力を維持しつつ、特性の向上が実現できる。

表 3.2: シミュレーション条件

電源電圧	500 mV
コモンモード電圧	200 mV
差動信号振幅	100 mV
サンプリングキャパシタ容量	5 pF
フィードバックキャパシタ容量	5 pF
定常状態での差動対のテール電流	2 nA

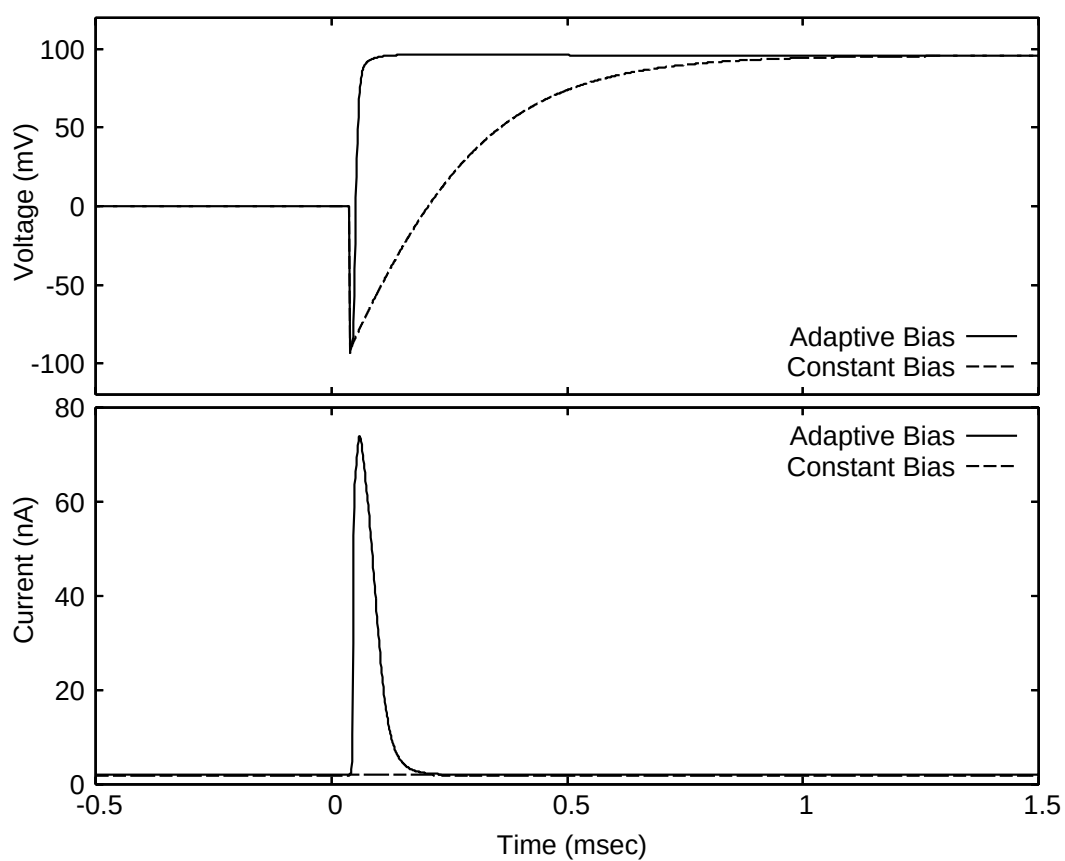


図 3.9: 出力波形と消費電流のシミュレーション結果 適応型バイアスの導入により，出力変化に応じて消費電流が変化している

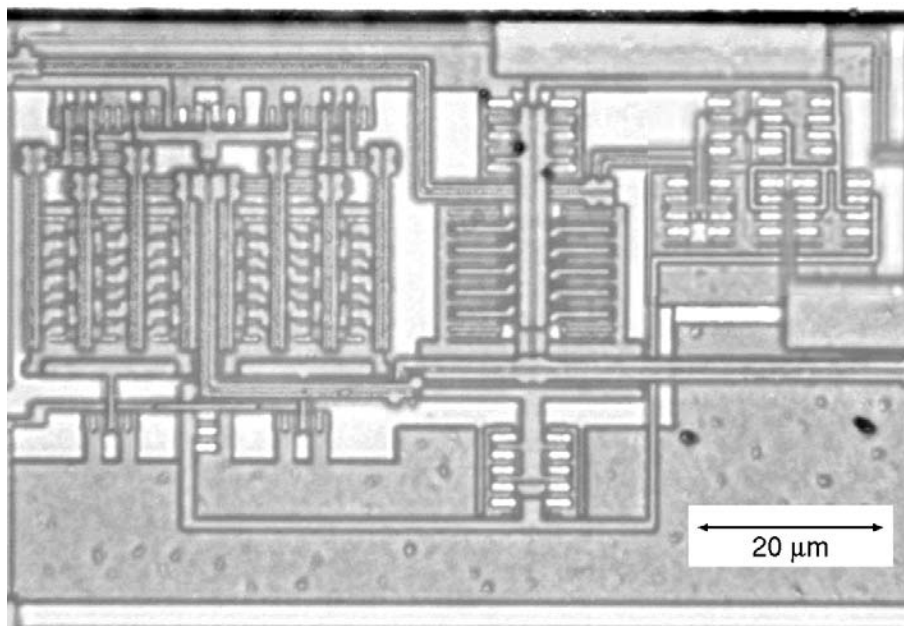


図 3.10: 適応型バイアスオペアンプのチップ写真

表 3.3: 測定装置一覧

オシロスコープ (Main Osc.)	Tektronix TDS5104
オシロスコープ (Sub Osc.)	Tektronix TDS3054B
デジタル信号発生装置 (DG)	Sony Tektronix DG2020A
出力ポッド	Sony Tektronix P3240
電源 (PWR18-2TP)	Kenwood PWR18-2TP(2 台)
電源 (R6243)	Advantest R6243(2 台)
任意波形発生装置 (AWG)	Tektronix AWG2021

3.6 チップ測定

設計した回路をメタル5層ポリシリコン1層の0.25 μm CMOS プロセスで試作を行った。

適応型バイアスオペアンプのチップ写真を図 3.10 に、定バイアスオペアンプのチップ写真を図 3.11 に示す。適応型バイアスオペアンプのサイズは100 μm ×50 μm ，定バイアスオペアンプで50 μm ×50 μm となった。また，適応型バイアスオペアンプを用いたスイッチトキャパシタ回路のチップ写真を図 3.12 に示す。

3.6.1 測定機器・条件

測定装置を表 3.3 に，測定時の接続状況を図 3.13 に示す。本チップ測定において，第2章の $\Delta\Sigma$ モジュレータと同様，任意波形発生装置 (AWG) のインピーダンスを整合させるため，入力にオシロスコープを並列接続した。また，設計回路とプローブの寄生抵抗のアンバランスを解消するため，CMOS オペアンプ (LMC660CN, National Semiconductor) を用いたユニティゲインアンプを使用した。コモンモード電圧 (V_{CM}) は 200 mV とした。

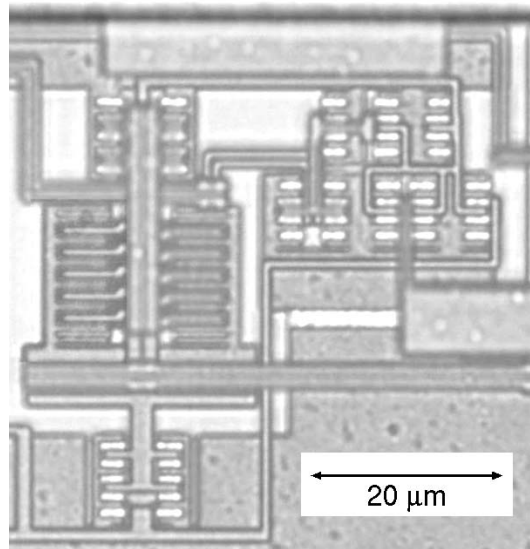


図 3.11: 定バイアスオペアンプのチップ写真

3.6.2 測定結果

適応型バイアスの有効性を確認するため、図 3.14 のスイッチトキャパシタ回路について、適応型バイアスオペアンプと定バイアスオペアンプを用いたときの出力の実測結果を図 3.15 に示す。定常バイアス電流は 1 nA とし、入力には 100 mV の直流電圧を加えた。この図より、負荷容量 40 pF のとき、最終出力値の 90 % に達するまでのセトリング時間は、それぞれ 1.1 msec, 13.7 msec となり、適応型バイアスを用いることで約 1/12 に改善され、スルーレートの向上で実効的なユニティゲイン周波数が改善されて、より高い周波数でスイッチトキャパシタ回路を駆動させることができる。消費電流は適応型バイアスオペアンプで 12 nA, 定バイアスオペアンプで 10 nA となった。なお、負荷容量 C_L はケーブルの寄生容量とバッファ用 CMOS オペアンプの入力容量の合計値である。

また、同様の条件で差動出力電圧を横軸にとったときの同相出力電圧の測定結果を図 3.16 に示す。

この図より、差動出力電圧が増加すると、式 (3.6) で用いた近似による誤差が増加するため、同相出力電圧と設定値 (V_{CM}) の差も増加することが確認できる。増幅器が正常に動作するためには差動対の全ての MOS トランジスタが飽和特性で動作しなければならないことを考慮すると、同相出力電圧の上限は 250 mV 程度となり、最大差動出力電圧は 180 mV 程度まで許容されることがわかる。

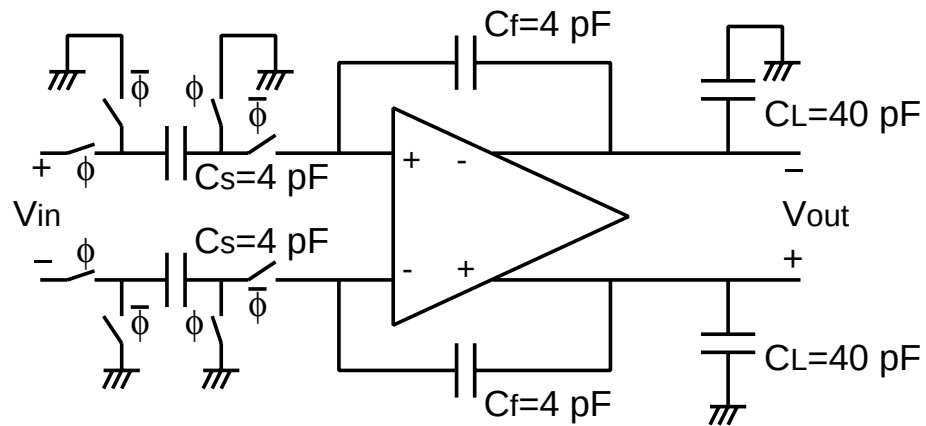


図 3.14: オペアンプ検証用スイッチトキャパシタ回路の回路図 負荷容量 C_L はケーブルの寄生容量とバッファの入力容量を含んだ値である

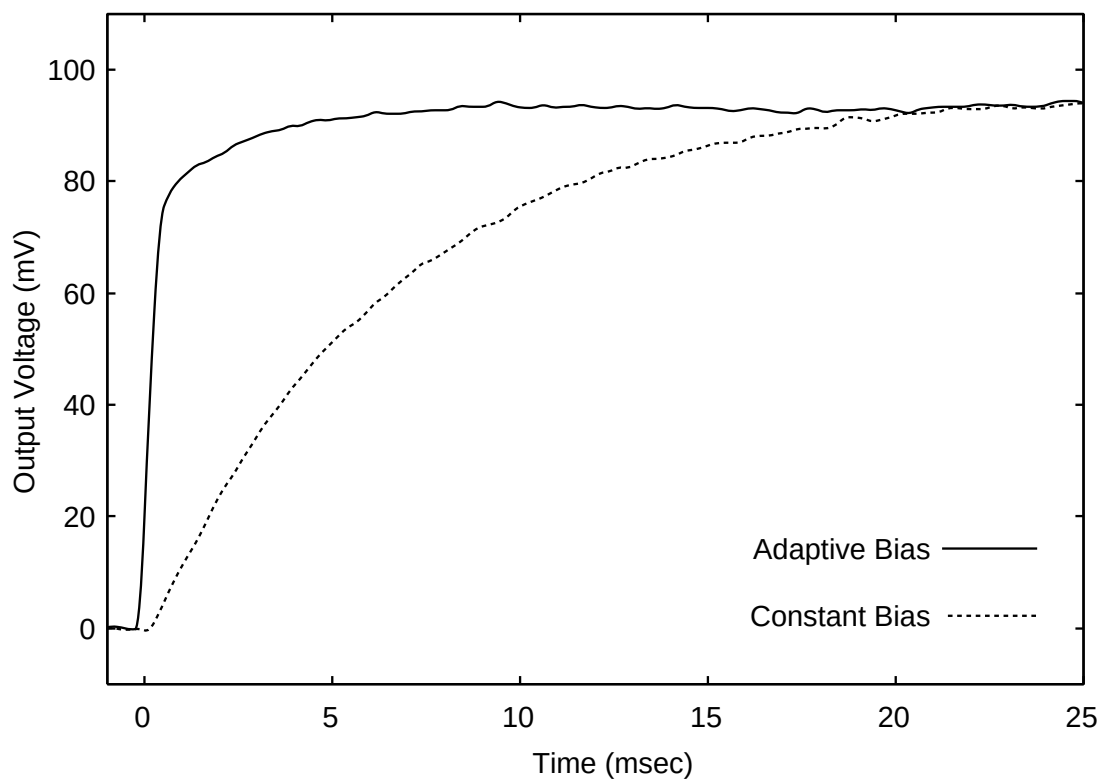


図 3.15: スwitchトキャパシタ回路の測定結果 (負荷容量: 40 pF) 適応型バイアスを導入することでセトリング時間が約 12 倍改善した

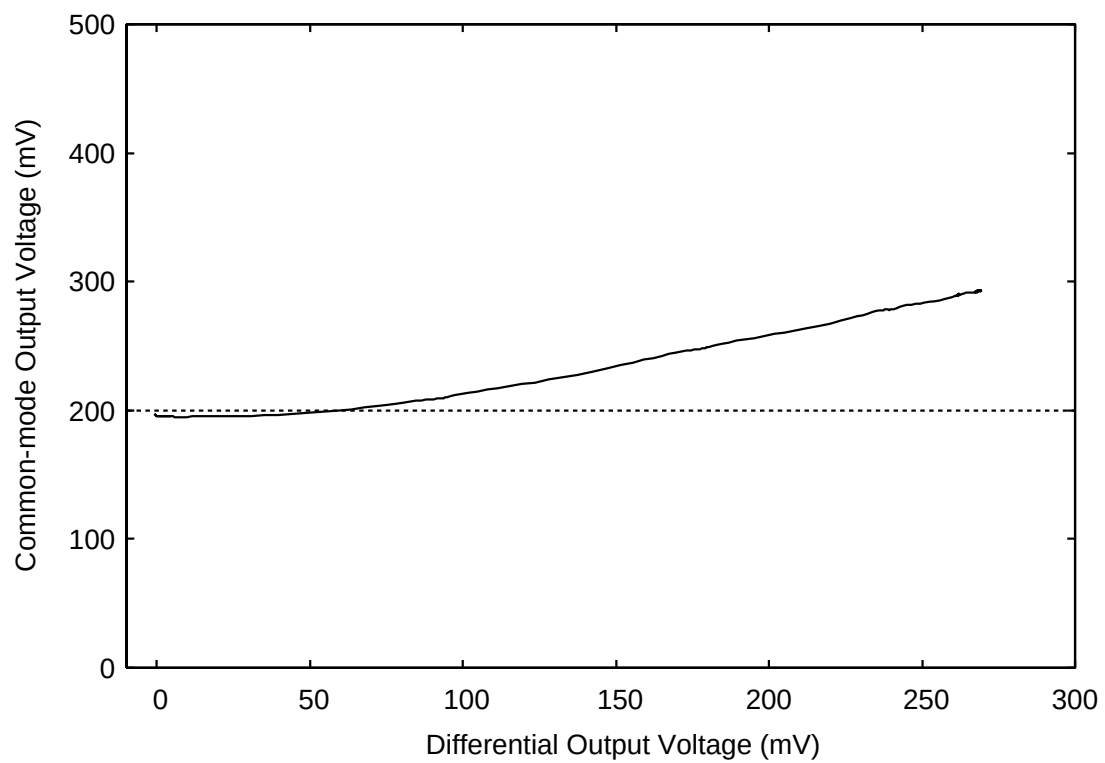


図 3.16: オペアンプの差動出力-同相出力特性 差動出力振幅が増加すると、線形近似の誤差が増加し、同相出力電圧は理想値から乖離する

3.7 まとめ

MOS トランジスタの弱反転領域で動作するスルーレートブーストオペアンプについて設計・試作・実測を行った。スイッチトキャパシタ回路において、オペアンプの入力が仮想接地か否かを判別し、入力振幅に応じてバイアス電流を調整する適応型バイアス回路を提案した。適応型バイアス回路は絶対値検出回路と可変電流源から構成され、入力振幅が小さいときには定電流バイアスのオペアンプとして動作するようオフセット特性を持たせている。また、適応型バイアス回路の特性に対応したカレントミラーを使用した CMFB 回路を提案した。提案回路をスイッチトキャパシタ回路に組み込み、 $0.25\ \mu\text{m}$ CMOS プロセスを用いて試作・実測したところ、従来の定電流バイアスオペアンプと比較してセトリング時間が約 12 倍改善されることを確認した。本提案回路を第 2 章で述べた $\Delta\Sigma$ モジュレータに応用することで消費電力 26 nA のとき、SNDR 特性が約 10 dB 改善する。

参考文献

- [1] E. Vittoz and J. Fellrath, “CMOS analog integrated circuits based on weak inversion operation,” *IEEE Journal of Solid-State Circuits*, vol.SC-12, no.3, pp.224–231, Jun. 1977.
- [2] R.R. Harrison and C. Charles, “A low-power low-noise CMOS amplifier for neural recording applications,” *IEEE Journal of Solid-State Circuits*, vol.38, no.6, pp.958–965, Jun. 2003.
- [3] 井田 司, 田中智之, 松岡俊匡, 谷口研二, “生体センシング用途向け低消費電力 $\Delta\Sigma$ モジュレータ,” *電子情報通信学会論文誌 C*, vol.J90-C, no.10, pp.662–670, Oct. 2007.
- [4] 井田 司, 田中智之, 石原寛明, 松岡俊匡, 谷口研二, “Adaptive bias 回路を用いたスイッチトキャパシタ回路用省電力演算増幅器,” *電子情報通信学会論文誌 C*, vol.J89-C, no.10, pp.645–647, Oct. 2006.
- [5] D.A. Johns and K. Martin, *Analog integrated circuit design*, Wiley, 1996.
- [6] A.G. Andreou, K.A. Boahen, P.O. Puliuen, A. Pavasovic, R.E. Jenkins, and K. Strohhahn, “Current-mode subthreshold MOS circuits for analog VLSI neural systems,” *IEEE Transaction on Neural Networks*, vol.2, no.2, pp.205–213, Mar. 1991.
- [7] A.E. Stevens and G.A. Miller, “A high-slew integrator for switched-capacitor circuits,” *IEEE Journal of Solid-State Circuits*, vol.29, no.9, pp.1146–1149, Sep. 1994.
- [8] P.R. Gray and R.G. Meyer, “MOS operational amplifier design a tutorial overview,” *IEEE Journal of Solid-State Circuits*, vol.SC-17, no.6, pp.969–982, Dec. 1982.
- [9] D. Senderowicz, S.F. Dreyer, J.H. Huggins, C.F. Rahim, and C.A. Laber, “A family of differential NMOS analog circuits for a PCM codec filter chip,” *IEEE Journal of Solid-State Circuits*, vol.SC-17, no.6, pp.1014–1023, Dec. 1982.
- [10] T. Kwan and K. Martin, “An adaptive analog continuous-time CMOS biquadratic filter,” *IEEE Journal of Solid-State Circuits*, vol.26, no.6, pp.859–867, Jun. 1991.
- [11] T.C. Choi, R.T. KaneShiro, R.W. Brodersen, P.R. Gray, W.B. Jett, and M. Wilcox, “High-frequency CMOS switched-capacitor filters for communications application,” *IEEE Journal of Solid-State Circuits*, vol.SC-18, no.6, pp.652–664, Dec. 1983.

第4章 可変ゲインアンプを用いた有線 CDMA インタフェース

4.1 まえがき

様々なアプリケーションでの使用が想定されるセンサネットワークでは、センサノードに接続されるセンサ数が大きく変動する。図 4.1(a) に示す全ての送信器が受信器との直接のバスを持つスター型トポロジでは、他の送信器の通信状態に関わらず通信ができるが、センサの増加とともに配線数が増大する問題を抱えている。一方、図 4.1(b) のバス型トポロジでは、配線数の増加は抑えられるが、複数の送信器が同時に出力すると、データを正常に取得できない。このため、一定時間ごとに通信ノードを割り当てる TDMA(Time Division Multiple Access, 時分割多重接続) 方式が用いられるが、TDMA 方式では、時間ごとに送信器に送信権限を割り当てる回路が必要となり、コストの増加が避けられない。

有線 CDMA インタフェース [1] を用いるとこれらの問題は解決する。有線 CDMA インタフェースは、携帯電話などの無線通信で用いられている CDMA(Code Division Multiple Access, 符号分割多重接続) 通信 [3] によって、送受信器間に直接の経路が仮想的に生成される。複数の送信器が一本のバスに同時に信号を送出しても同時に受信できるので、バス型トポロジを維持しつつ、スター型トポロジの利点を取り入れた構成となり、配線数の低減が実現できる。しかし、キャパシタカップリングを用いた有線 CDMA インタフェースでは、バス上の信号振幅はバス容量に依存し、センサ数の増減やバス長の変化によって正常に通信できなくなる恐れがある。本研究では受信器に可変ゲインアンプを設置した有線 CDMA インタフェースを提案し、数値シミュレーションによる可変ゲインアンプの要求条件の確認、ならびに要求条件を満たす回路構成についての検討を行った [2]。また、ゲイン調整の線形性改善、及び温度特性の影響を緩和する周辺回路についても検討し、シミュレーションで動作を確認した。

4.2 CDMA の原理

スペクトル拡散

スペクトル拡散通信は、情報信号を固有の帯域幅よりも広い帯域幅に拡散させて送信する方式である。図 4.2 にスペクトル拡散の概略を示す。送信側は情報信号をそれより高いビットレート(チップレート)の拡散符号で変調(拡散)し、送信する。受信側では、送信側と同じ拡散符号を用いて受信信号を復調(逆拡散)して、元の情報信号を取り出す。元々、情報信号は狭い周波数帯に大きなスペクトル密度を持っているが、拡散符号で変調されると周波数帯域が広げられ、スペクトル密度は小さくなる。したがって、伝送中に狭帯域雑音が入っても、受信側で雑音成分のスペクトルが拡散されて、耐雑音性の高い通信ができる。

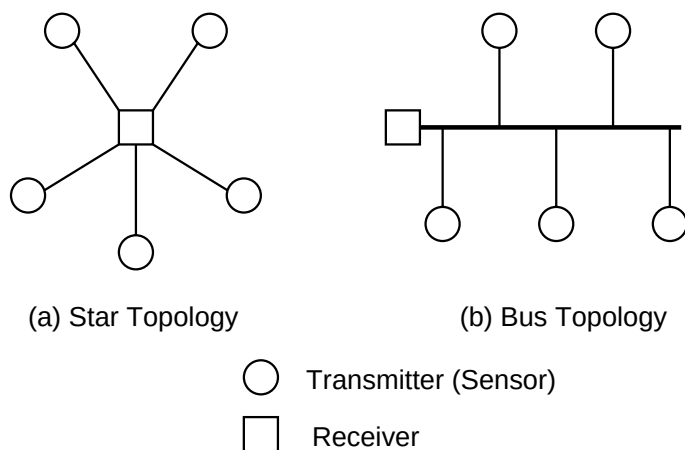


図 4.1: インタフェースのトポロジ
(a) スター型トポロジ (b) バス型トポロジ

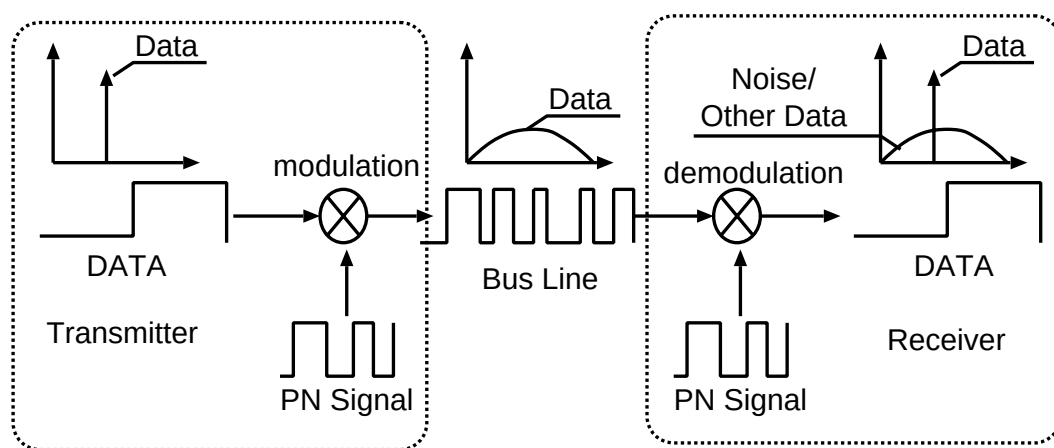


図 4.2: スペクトル拡散通信 狭帯域の入力信号は拡散符号によって広帯域に拡散されて通信路に送出される

拡散符号

拡散符号は情報信号の拡散やチャネルの識別など、CDMA 通信において重要な役割を果たしている。拡散符号は、自己相関特性が高く相互相関は小さい。この特性により、希望信号が抽出され、他の信号からの干渉は小さくなる。このような特性を引き出す条件は下記のとおりである。

1. 拡散符号 1 周期内の 0 と 1 の出現回数の差は一回以下
2. 拡散符号中の 0 と 1 の統計的分布が同じ

本研究では拡散符号として最大長系列 (maximum length 系列: M 系列) を用いている。M 系列の生成には線形帰還シフトレジスタ (Linear Feedback Shift Register: LFSR)(図 4.3) を用いている。一般に n 段のシフトレジスタを持つ拡散符号生成器の符号長は $2^n - 1$ である。本研究では 7 段のシフトレジスタを用い、符号の最後に 0 を 1 bit 加えることで拡散符号長 128 の符号を用いている。この操作を行うと、拡散符号中の 0 と 1 の数が同数となり、符号長も 2 のべき乗となるため、回路の設計が容易となる。

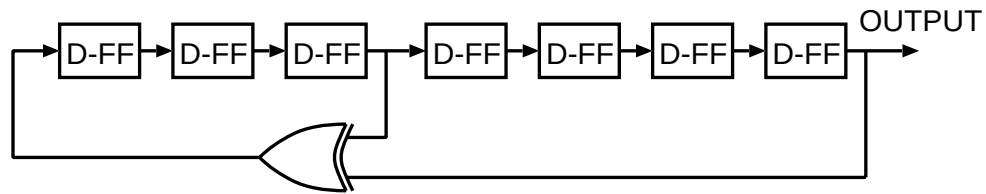


図 4.3: 線形帰還シフトレジスタ

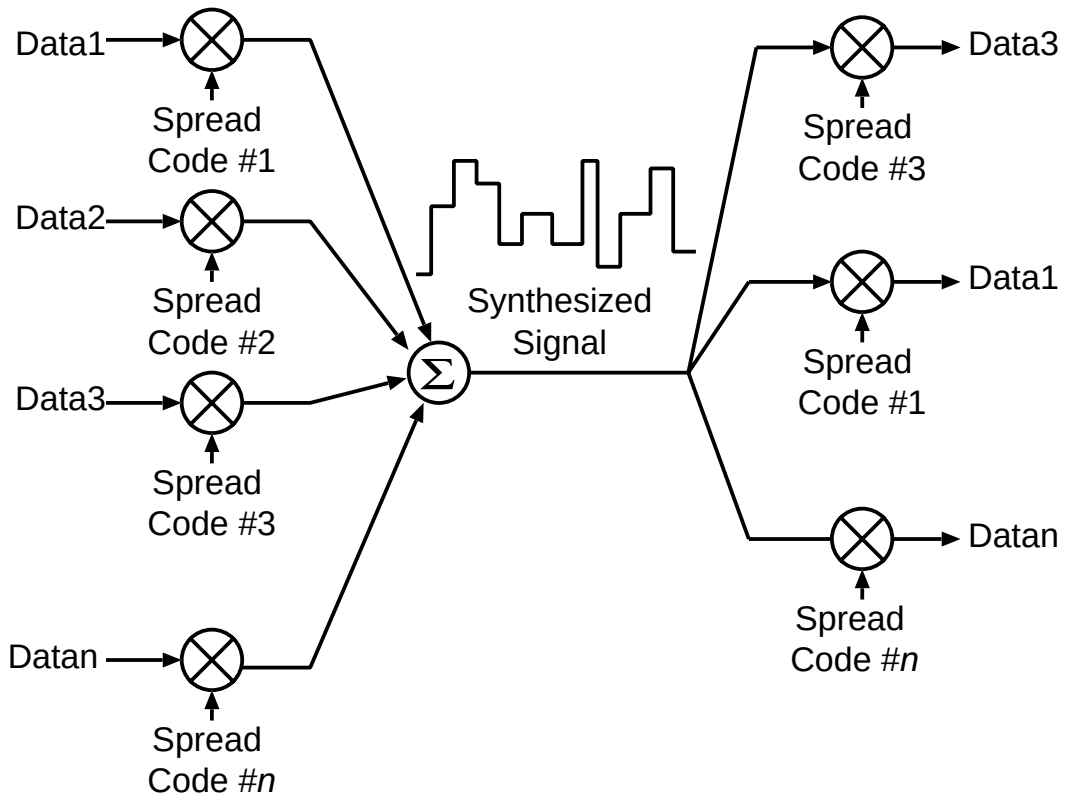


図 4.4: CDMA 通信 それぞれの送信器が異なる拡散符号を用いることで、複数の送信器が同時に通信路に信号を送出できる

符号分割多重接続 (CDMA)

情報信号を変調する際に用いる拡散符号は、自己相関が高く、相互相関は低い。この特性により、図 4.4 に示すように、ある拡散符号で変調した送信波を、変調時と同じ拡散符号で復調すると、その相関値の高さから論理"0", "1"を判断することができる(図 4.5(a))。変調と復調に用いる拡散符号が異なる時は、その相関値はほぼ0となる(図 4.5(b))。したがって、異なった拡散符号で変調された複数の信号が同一周波数帯域内に混在していても、受信側では変調した拡散符号と同一の符号を用いて混在波を復調することで所望の信号を得ることができる。

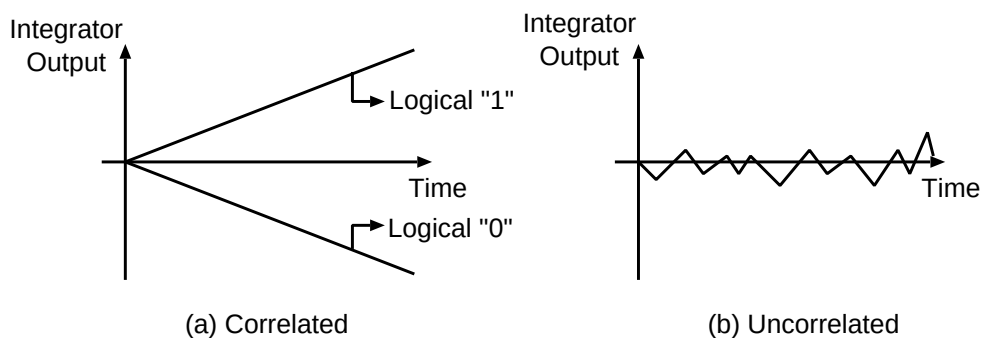


図 4.5: 相関のある場合の出力波形とない場合の出力波形

(a) 相関あり (b) 相関なし

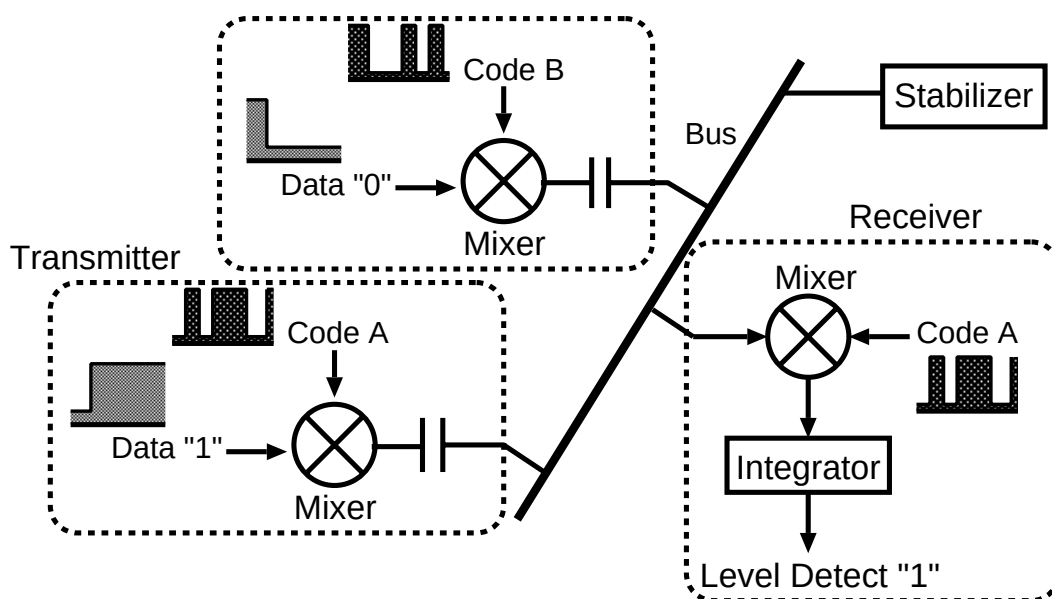


図 4.6: 有線 CDMA インタフェース インタフェースは送信器, 受信器, バス安定化回路から構成される

4.3 有線 CDMA インタフェース

4.3.1 回路構成

有線 CDMA インタフェースの構成を図 4.6 に示す。送信器に入力された信号は送信器固有の拡散符号とかけ合わされ、バスに送出される。バスでは各送信器から出力された信号が足し合わされる。受信器ではバス信号に受信したい信号と同じ拡散符号をかけ合わせ、その時間積分値(相関値)から送信信号を得る。相関は正の相関、負の相関、相関無し(0)の3つのいずれかがあり、相関の正負が論理"1", "0"に対応する。相関の無い場合、同一の拡散符号を持つ送信器はデータを送出していない状態にある。また、送受信器の他に、バスの電位を安定させるための安定化回路が設置される。

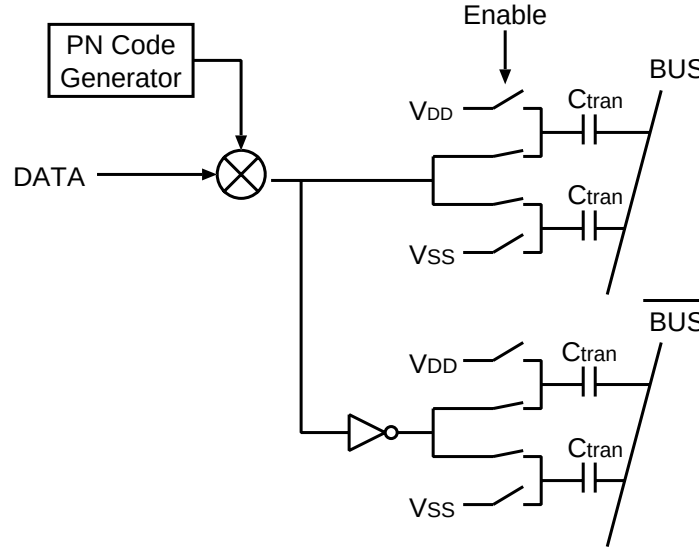


図 4.7: 送信回路 キャパシタカップリングを用いて信号の同時出力を実現している

送信回路

送信回路を図 4.7 に示す。拡散符号生成回路 (PN Code Generator) で生成した拡散符号を用いてミキサ回路で送信信号のスペクトルを拡散させる。信号伝送方式として電荷保存則を利用したキャパシタカップリングを用いる。これは、インバータやオープンドレイン電流源のようにバスを直接駆動する形ではなく、送信器出力部の小容量送信用キャパシタで、受け側となる大容量バスキャパシタに電荷を送り出す伝送法である。なお外部ノイズ対策として本方式は差動のバス構成にした。本構成では図中の Enable で信号送出の有無を選択し、信号送出時には出力論理に応じてキャパシタの接続ノードを切り替える。

1 送信器あたり 2 つの送信用キャパシタを用いて 1 本のバスラインを駆動する。初期状態では図 4.8(c) に示すようにキャパシタを接続する。このときのバスの電位を V_{ref} とする。

通信を開始すると、各送信器は以下に示す動作をしながらデータを転送する。

1. 送信データ”1” のとき:両方のキャパシタを V_{DD} に接続 (図 4.8(a))
2. 送信データ”0” のとき:両方のキャパシタを V_{SS} に接続 (図 4.8(b))
3. データを送信しない時:片方のキャパシタを V_{DD} , 他方のキャパシタを V_{SS} に接続 (図 4.8(c))

送信器の数を N 個、送信器内のキャパシタの一個当たりのキャパシタンスを C_{tran} 、バスの配線容量を C_{BUS} とし、”0” を出力している送信器の数を m 個、”1” を出力している送信器の数を n 個とすると、バス振幅は電荷保存則より次式ようになる。

$$V_{BUS} = \frac{(n - m)C_{tran}V_{DD} + C_{BUS}V_{ref}}{2NC_{tran} + C_{BUS}} \quad (4.1)$$

本回路構成はバスに接続するすべてのキャパシタをデジタル回路で駆動するため、設計が容易である。

受信回路

従来型の受信回路を図 4.9 に示す。バス上の信号をバッファで受けて、ミキサ回路で受信した

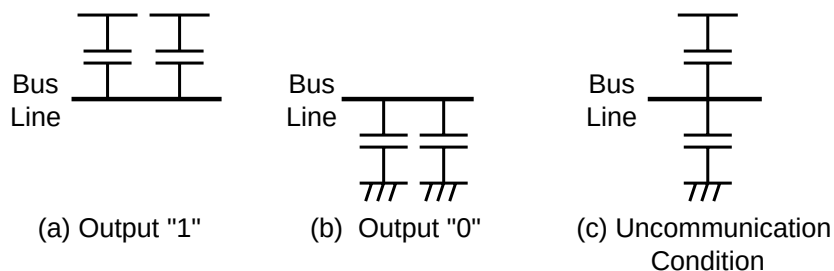


図 4.8: キャパシタカップリングによる信号送出

(a) 出力 "1" (b) 出力 "0" (c) 無通信状態

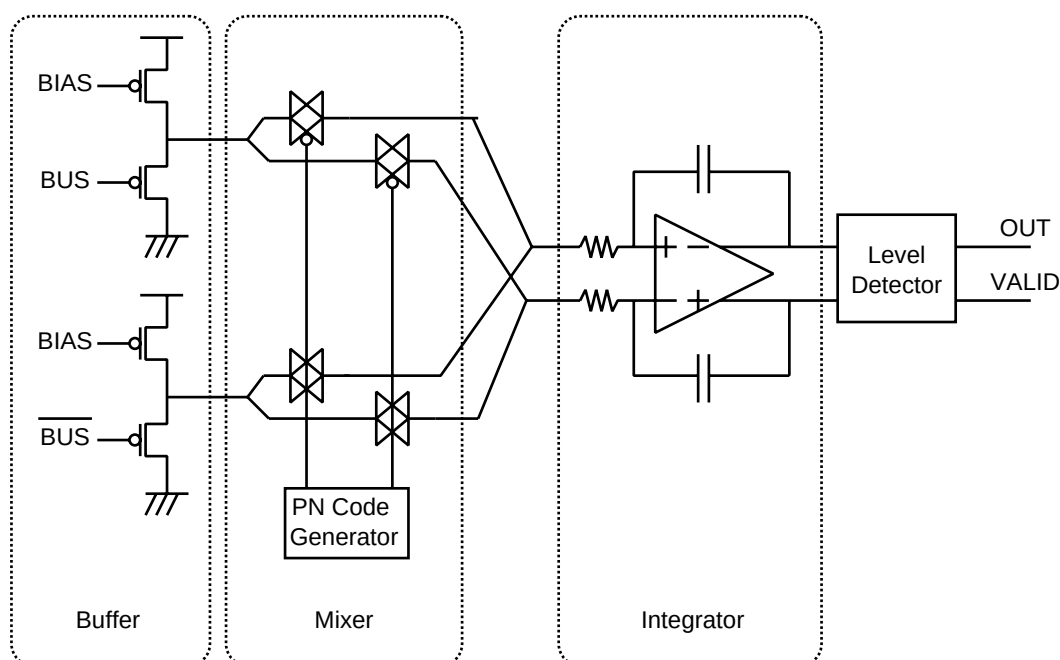


図 4.9: 従来型受信回路 バッファ、ミキサー、積分器、レベルディテクタから構成される

いチャネルの拡散符号をかけ合わせ、積分器で相関を得る。拡散符号の性質上、ミキシングした後、相関があれば一定の値が得られ、送信ビットデータを復調できる。相関のない符号で拡散された信号は検出されない。

レベルディテクタでは、得られた相関値のレベル判定を行う。図 4.10 に示すように、レベルディテクタはオフセット特性を持つ二つのコンパレータと相関判別回路で構成され、出力には論理出力 (OUT) と受信状態判定出力 (VALID) がある。相関値が一定値以上であれば、論理を出力し、相関値が低い場合は無相関状態と見なし、データが送信されていないものとして取り扱う。

バス電位安定回路

送信器はキャパシタカップリングで信号をバスに出力するため、フローティングノードのバス電位は、送信器を接続しても確定しない。そのため、無信号時のバス電位 V_{ref} を決めるバス電位安定回路が必要である。図 4.11 にバス安定化回路を示す。バス上の信号成分は維持したまま、回路内の低域通過フィルタ (LPF) 機能により、バスの直流電位をモニタし、それがユニティゲインアンプであらかじめ設定した同相電圧 V_{CM} と等しくなるよう回路が動作する。

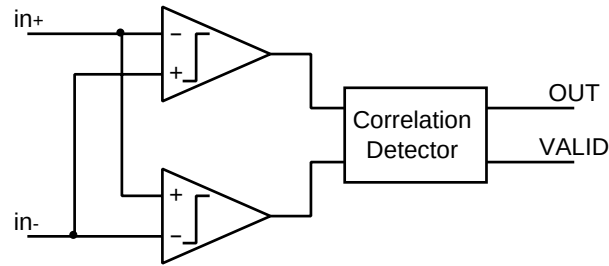


図 4.10: レベルディテクタ オフセットを持つコンパレータと相関判定回路から構成される

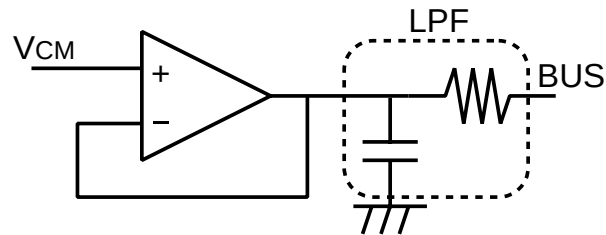


図 4.11: バス安定化回路 回路内の低域通過フィルタにより、バス上の信号成分に影響を与えずに同相電圧の調整ができる

4.3.2 有線 CDMA インタフェースの問題点

バス長や接続される送受信器数が変わるとバス容量が変化し、式 (4.1) に示すように、バス上の信号電圧に影響する。従来型の有線 CDMA インタフェースでは、運用時にセンサ数が増えると、設計時に想定した回路定数 (積分定数, レベル検出器の参照電圧) のままでは、受信回路における積分値が論理判定値まで達せず、図 4.12 に示すように、通信状態の正常な判別ができない可能性がある。

4.3.3 提案構成

バス容量が変化して、バス振幅が変動しても、正常に通信ができるためには、次の 3 つのアプローチが考えられる。

1. バスへの転送電荷量を制御する

送信器内のキャパシタ容量 C_{tran} を変化させる方法とキャパシタに印加する送信電圧を変化させる方法がある。前者は複数のキャパシタを切り替えて容量を変化させるため、面積の大幅な増加が見込まれる。後者はキャパシタ印加電圧を可変にするため、送信器にアナログ回路を追加する必要がある。

2. レベルディテクタ内の論理判定のしきい値電圧を制御する

図 4.10 に示したレベルディテクタ内のコンパレータのオフセット値を調整することで、相関/無相関の判定のしきい値を調整する方法である。バス振幅が小さくなると相関値の分布が 0 を中心に比例圧縮され、ノイズマージンが減少し、ビットエラーレートが悪化する。

3. 受信器内でバス振幅を増幅する

増幅回路の追加により、回路規模と消費電力の増加を招くが、送信器、受信器ともに既存の回路が使用できる。また、受信器内のバッファを増幅器に置き換えれば、受信器の回路規模の増大を抑えることができる。

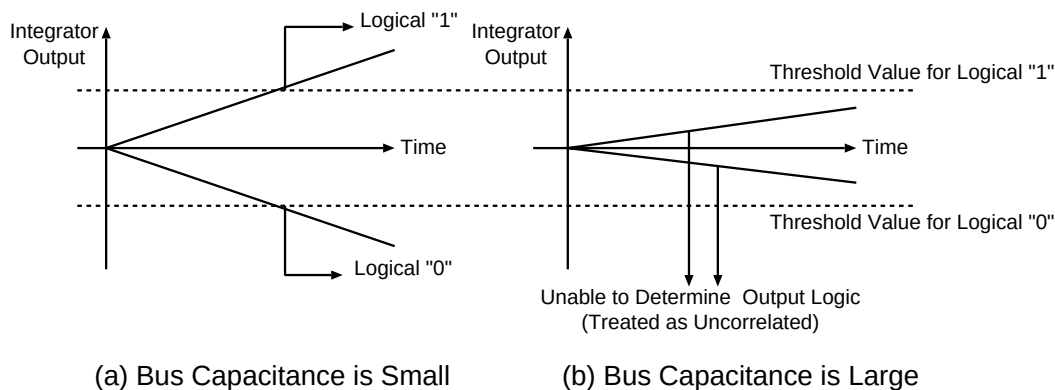


図 4.12: バス容量と信号判別の関係

(a) バス容量が小さいとき (b) バス容量が大きいとき

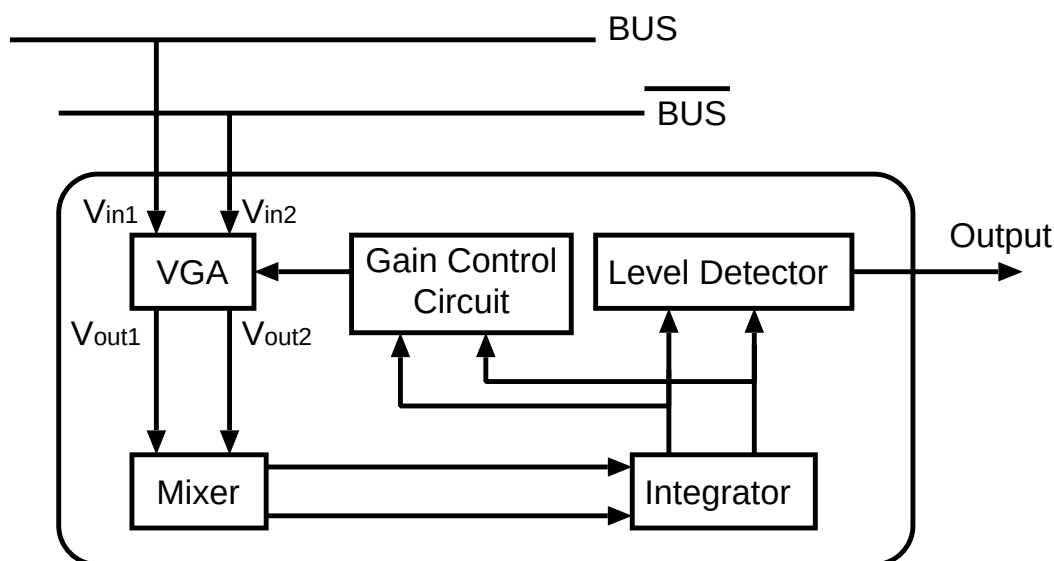


図 4.13: 受信器のブロック図 ミキサーの前段に可変ゲインアンプを設けることで一定の相関値が得られる

本研究では 3. の方法を採用し、受信器内でバス信号を増幅する可変ゲインアンプについて検討・設計した。

4.4 可変ゲインアンプの必要条件検討

受信器のブロック図を図 4.13 に示す。バスとミキサーの間に可変ゲインアンプ (VGA) が置かれており、バス振幅が変化しても一定の相関値が得られるようにアンプの利得を調整する。バスの配線長や送受信器の接続数に応じて、バス振幅は大きく変化するため、可変ゲインアンプは広い入力信号レンジを持つことが要求される。また、入力信号レンジ内での可変ゲインアンプの線形性が悪いと積分相関値に影響し、ビットエラーの発生原因となる。本節では有線 CDMA インタフェースのシミュレーションを用いて、可変ゲインアンプの入力信号レンジと線形性について検討する。

表 4.1: シミュレーション条件

送信器数 (多重度)	60
受信器数 (相関あり)	60
受信器数 (相関なし)	60
積分器時定数	76.8 nsec
設定ゲイン	3
チップレート	50 MHz
データレート	390.625 kHz
一送信器あたりバス振幅	10 mV
ゲイン 1 での積分値	0.33 V
ゲイン 3 での積分値	1 V
データ送信回数	100000
拡散符号長	128

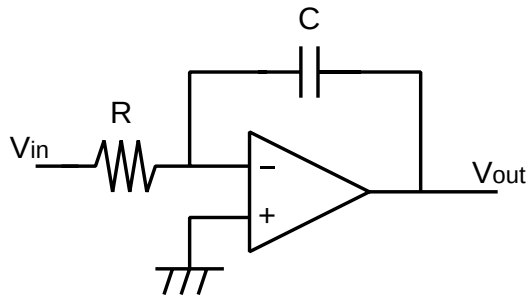


図 4.14: フィードバック型の RC 積分器

4.4.1 シミュレーション条件

表 4.1 に可変ゲインアンプ付き有線 CDMA インタフェースのシミュレーション条件を示す. このシミュレーション条件でバス容量依存性, 及び可変ゲインアンプの必要入力レンジ, 必要ゲイン線形性についてシミュレーションを行った. 拡散符号長が 128 なので, 送信器数は同時に最大で 128 まで接続可能であるが, 伝送路の遅延やクロックスキューの影響により, 相関値の特性が悪化する [4] を考慮して, 送信器数を最大 60 とした. また, 全ての送信器が同一の論理を出力したときに, バス振幅は $\pm 600 \text{ mV} (\pm V_{BUSMAX})$ となる.

図 4.14 に示す RC 積分器の時間 t における出力電圧は

$$V_{out}(t) = -\frac{1}{RC} \int_0^t V_{in}(T) dT \quad (4.2)$$

で表される. 本シミュレーションでは各チップ毎で入力電圧 $V_{in}(t)$ は一定であると想定し, 一データ周期経過後の出力電圧は,

$$V_{out} = \sum_{n=1}^{L_{chip}} \frac{T_{chip}}{RC} V_{in}[n] \quad (4.3)$$

と表せる. ここで, L_{chip} は拡散符号長 ($=128$), T_{chip} はチップ周期 ($=1/50 \times 10^{-6} \text{ sec}$) で, RC は積分器時定数 ($=76.8 \times 10^{-9} \text{ sec}$), $V_{in}[n]$ は n チップ目のミキサの出力値である.

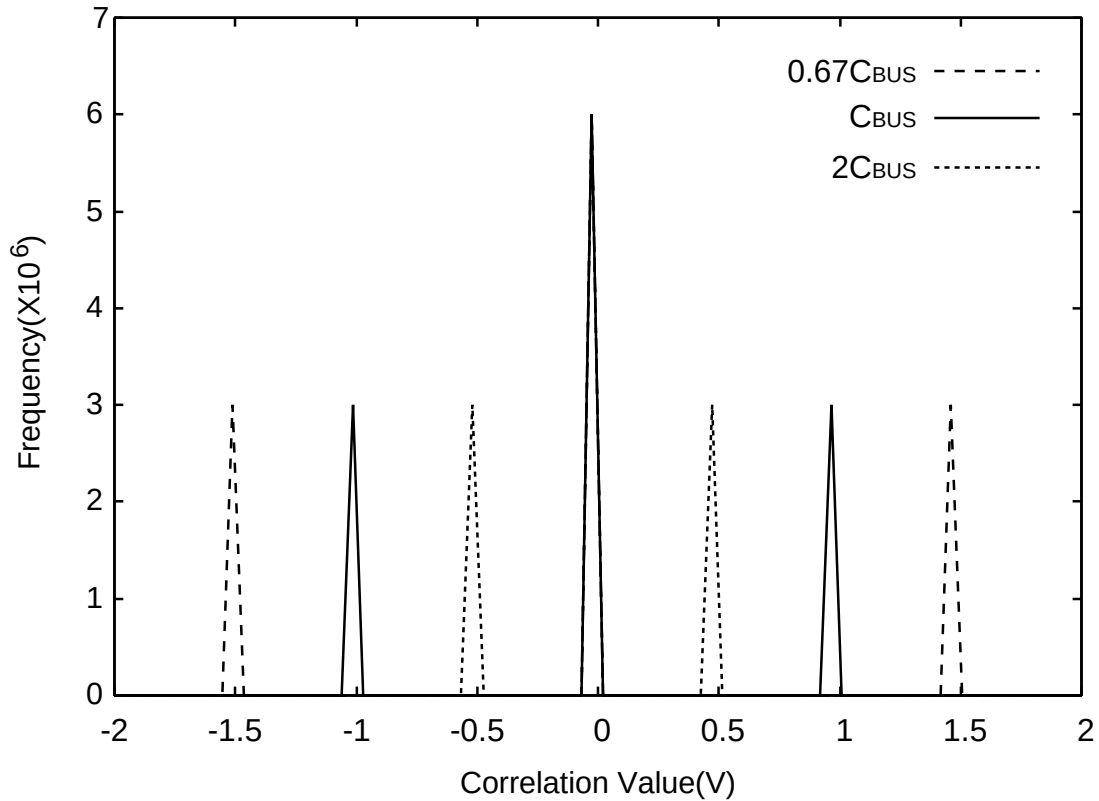


図 4.15: 相関値のバス容量依存性のシミュレーション 相関値はバス容量に反比例する

4.4.2 バス容量依存性

バス容量を変化させてシミュレーションし、バス容量が積分相関値に与える影響を調べた。図 4.15 に示すように、相関値の分布は鋭いピークを持つ。このシミュレーション結果より、バス容量と相関値は反比例の関係にあることが確認できる。

4.4.3 必要入力レンジ

ここでは可変ゲインアンプの入力信号レンジが受信器内の相関値に与える影響について検討する。アンプに最大入力レンジ以上の振幅の信号を入力すると出力は最大入力レンジの信号を入力したときの振幅でリミットする。一方、有線 CDMA インタフェースのバス振幅が理論的な最大値に達することは極めて稀であり、 n 多重のときには $1/2^n$ の確率でしか発生しない。そのため、バス振幅が可変ゲインアンプの最大入力振幅を多少上回っても相関値に与える影響は軽微であることが予想される。

可変ゲインアンプの最大入力レンジを V_{inmax} とし、 V_{inmax} を変化させてシミュレーションを行ったときの相関値の分布を図 4.16 に示す。 $V_{BUSMAX} \leq V_{inmax}$ であれば、相関値は $V_{inmax}/V_{BUSMAX} = 100\%$ のときと同様、送信器との相関があれば ± 1.0 V、相関がなければ 0 V に鋭いピークを持つ。このグラフより、 V_{inmax}/V_{BUSMAX} の値が低下、すなわち、バスの最大振幅に対して可変ゲインアンプの最大入力レンジが小さくなるにつれ、相関値の分布は広がることが確認できる。また、 $V_{inmax}/V_{BUSMAX} = 8\%$ のように、可変ゲインアンプの最大入力レンジが極端に小さくなると、相関の有無の判別が不可能となり、正常に通信できない。したがって、相関の有無による相関値の分布が完全に分離されることが正常通信のための条件となる。レベル判定回路での論理判定の

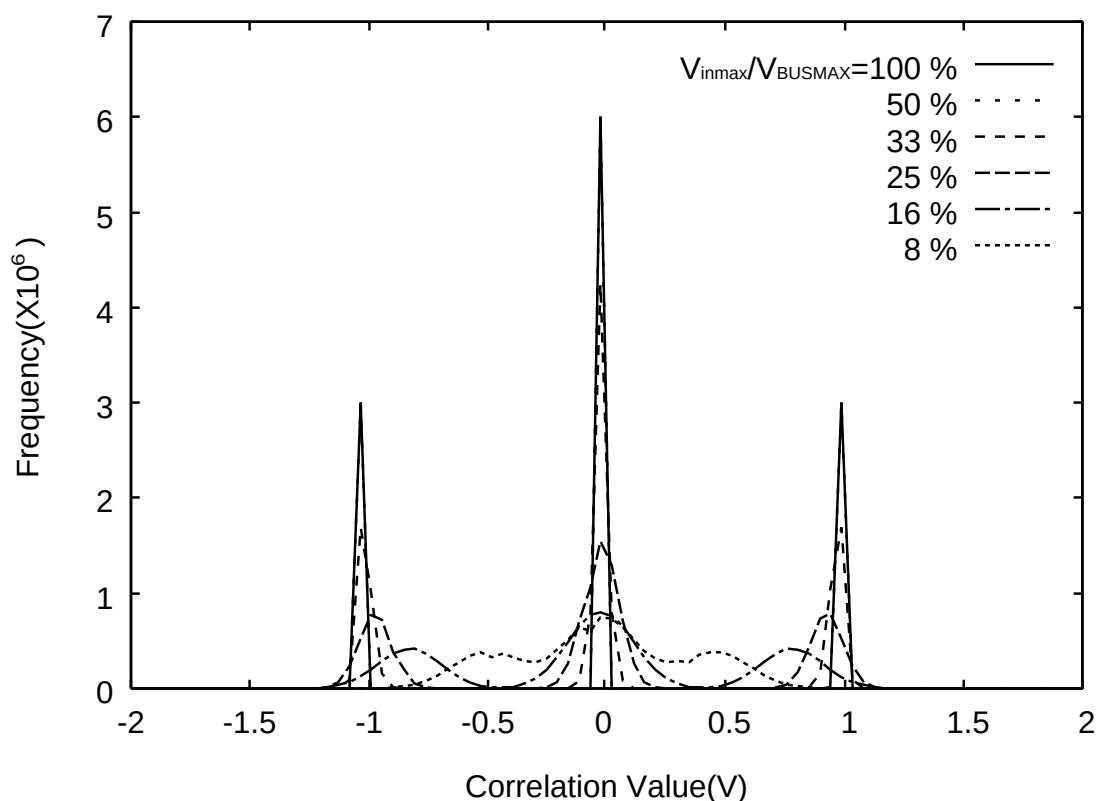


図 4.16: 可変ゲインアンプの最大入力レンジをパラメータとしたときの有線 CDMA インタフェースのシミュレーション結果 最大入力レンジが小さくなると相関値の分布が広がり、出力の判定が難しくなることがわかる

しきい値が ± 0.5 V であれば, V_{inmax} は V_{BUSMAX} の 25 % まで減少してもエラーが生じないことがわかる。

4.4.4 必要ゲイン線形性

理想的な増幅器はどのような振幅の信号が入力されても正確にゲイン倍して出力する。しかし、実際の回路では広い信号振幅域の信号を正確に増幅することは困難で、ゲインは入力信号振幅に依存する。本節では、可変ゲインアンプの線形性が相関値に与える影響を調べるため、シミュレーションを行った。図 4.17 にシミュレーションで用いた可変ゲインアンプのゲインモデルを示す。ゲインモデルは単純化のため、線形に変化し、 $A(V_{BUSMAX}) = A(-V_{BUSMAX})$ とする。また、線形性の指標 G を入力が 0 のときのゲインとバスの最大振幅のときのゲインの比とする。 $G = A(V_{BUSMAX})/A(0)$ と定義し、 G が 1 であれば、一定のゲインであることを示している。

図 4.18 に G を変化させたときのシミュレーション結果を示す。この図より、グラフに示した範囲内では、相関の有無によらず相関値の分布が明確に分離されており、有線 CDMA インタフェースは増幅器の線形性に対する許容度が大きいことがわかる。ただし、最大入力レンジのシミュレーションと同様にレベル判定回路のしきい値を ± 0.5 V と設定すると、許容される G の範囲は 0.5 ~ 2 となる。

上記のシミュレーション結果より、有線 CDMA インタフェースにおける可変ゲインアンプの動作条件として、

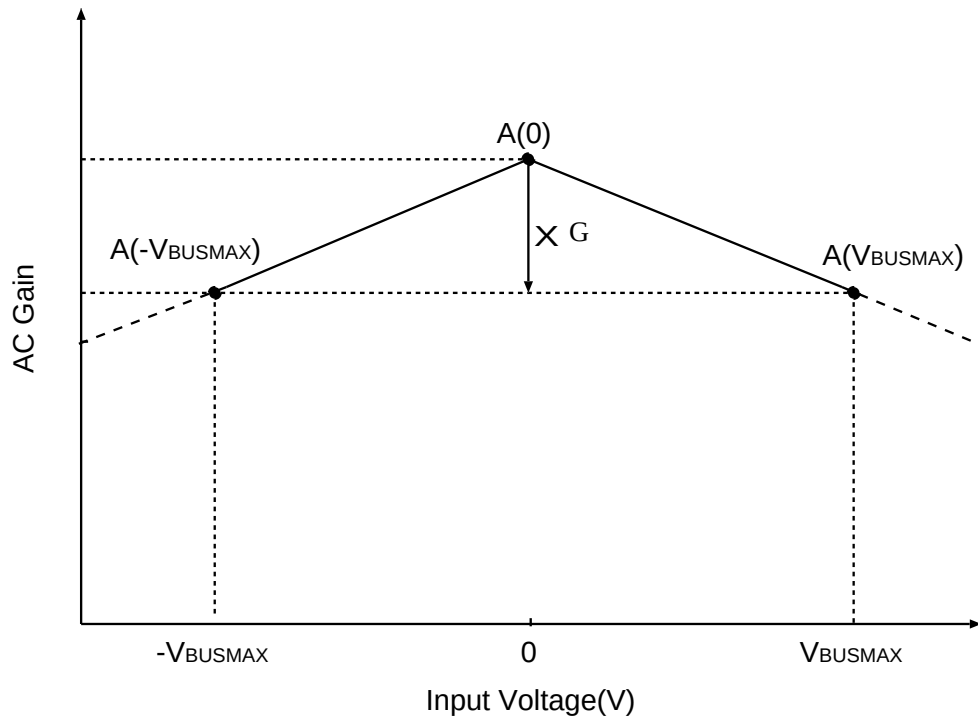


図 4.17: ゲイン線形性をパラメータとしたシミュレーションで用いた可変ゲインアンプのゲインモデル $G=1$ のとき, ゲイン特性は平坦となる

1. $V_{inmax}/V_{BUSMAX} > 0.25$: 入力信号レンジがバスの最大振幅の 25 %以上であること
2. $G = A(V_{BUSMAX})/A(0)$ が 0.5 から 2 の範囲にあること

の二つが得られた.

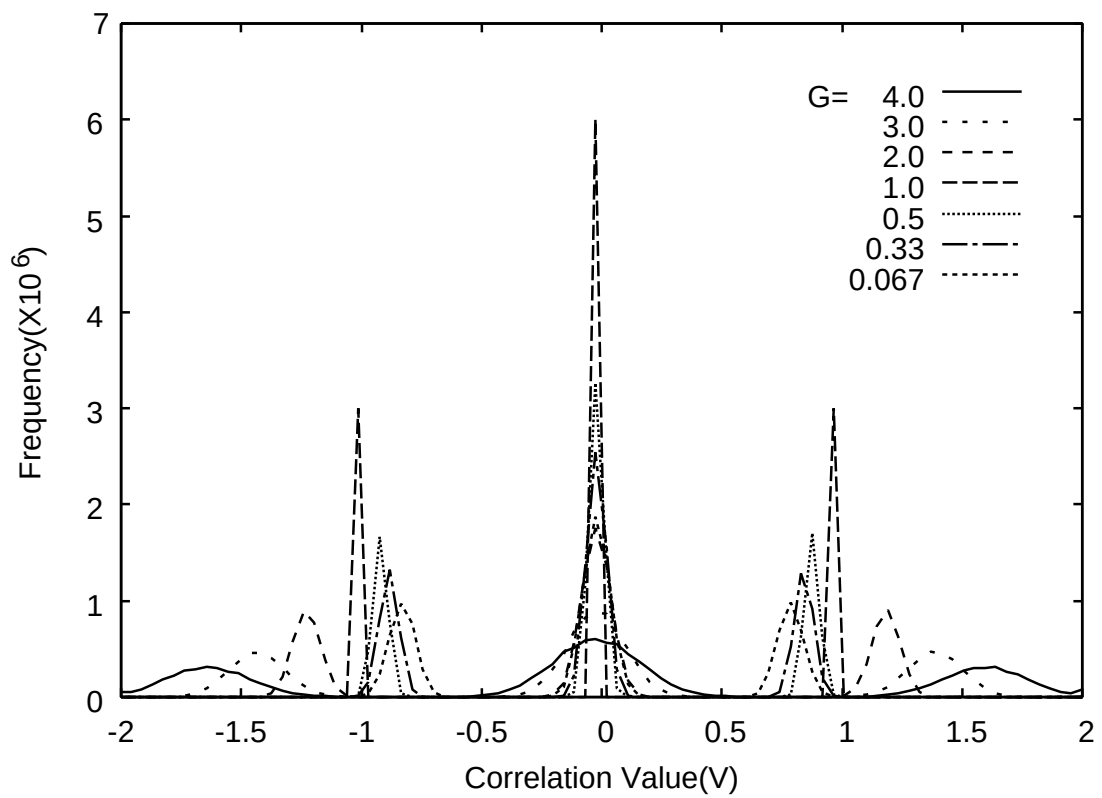


図 4.18: 可変ゲインアンプの線形性をパラメータとしたときの有線 CDMA インタフェースのシミュレーション結果 ゲインの線形性が悪化すると相関値の分布が広がることが確認できる

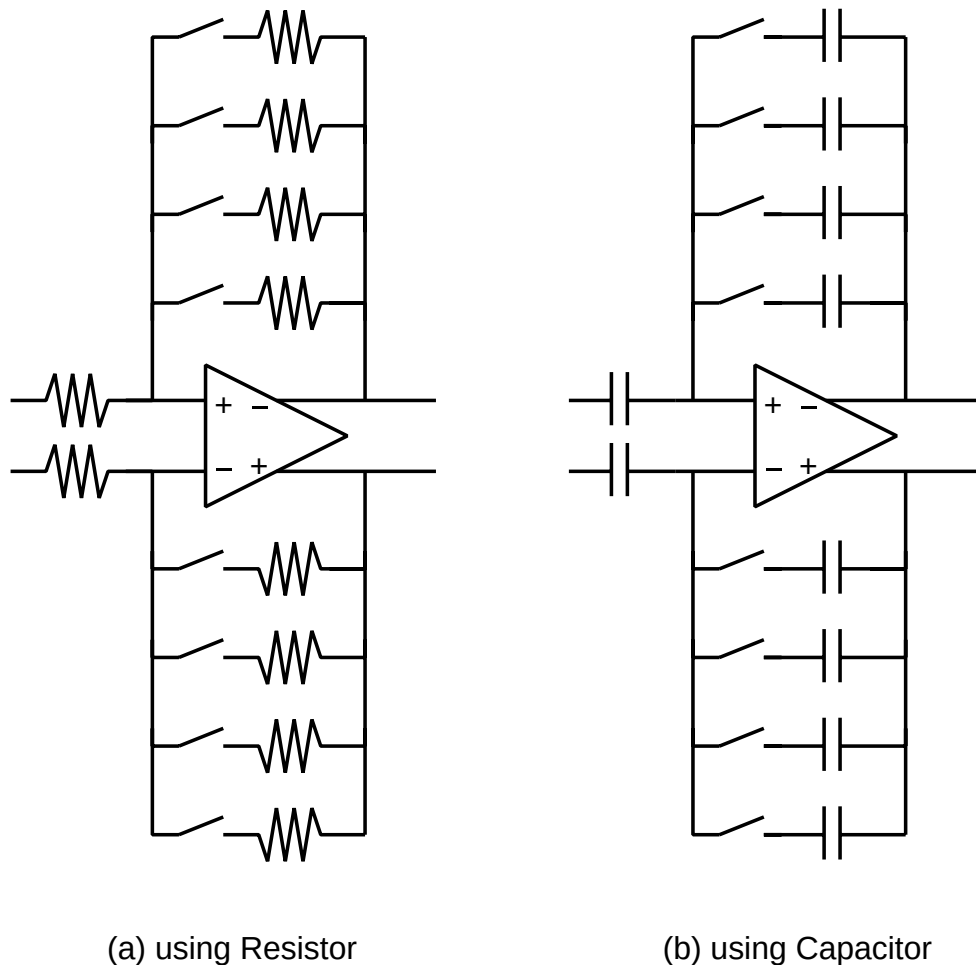


図 4.19: フィードバックを用いた可変ゲインアンプ
(a) 抵抗を使用した構成 (b) キャパシタを使用した構成

4.5 設計回路

本節では可変ゲインアンプの回路構成について述べ、可変ゲインアンプの特性を改善するための可変電流源とバイアス回路について検討する。

4.5.1 可変ゲインアンプ

増幅器のゲインを可変にする方法として次の二種類がある。

1. 回路構成を変更する

フィードバックのループ定数を変えると可変ゲインアンプができる。ループ定数を変更して、所望のゲインを正確に得、かつ、フィードバック構成によりパラメータ変動の影響を低減できる。図 4.19 のように抵抗、もしくはキャパシタをスイッチで繋ぎかえて所望のゲインを実現するが、大面積化が免れない。

2. 電圧/電流を変更する

電圧/電流を調整して増幅器の特性を変化させることができるが、特性変化の影響が抑圧されるフィードバック構成を避け、オープンループ構成にする必要がある。また、非線形特性

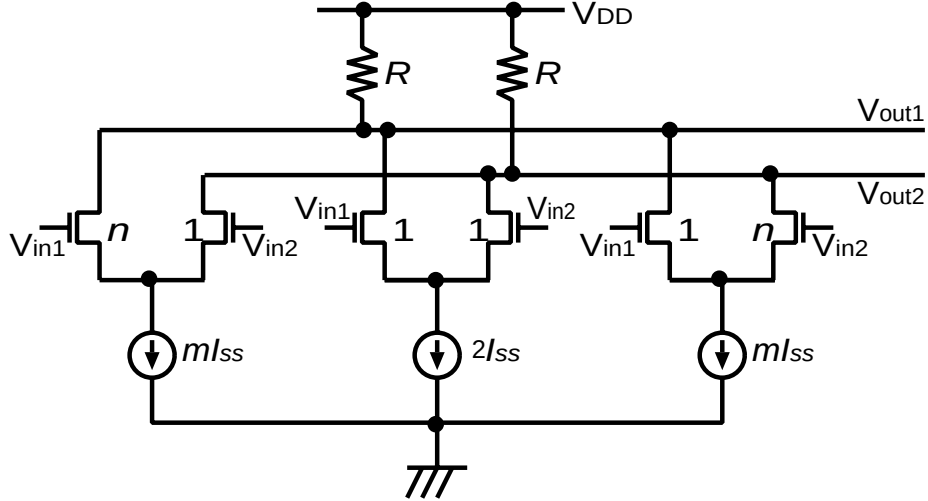


図 4.20: 可変ゲインアンプ 差動対を並列接続することで、線形性と最大入力レンジを改善した

を持つトランジスタを使用すると、ゲイン特性も非線形となる．一方、電圧/電流の調整は受動素子が不要なので、回路の面積増加は大幅に抑えられる．

本研究では小面積化の観点から、増幅器に流れる電流を調整する可変ゲインアンプを設計した．有線 CDMA インタフェースにおける可変ゲインアンプの設計条件を満たすため、Multiple-Differential-Pair[5, 6] 構成を用いて、ゲインの線形性と入力信号レンジの向上を図った．図 4.20 に可変ゲインアンプの回路図を示す．差動対の並列接続数を増加させると、ゲインの線形性と入力信号レンジは改善するが、消費電力と面積が増加するため、差動対数を 3 とした．ゲインは可変電流源の値 I_{SS} を変更して調整する．大出力振幅時の特性変化を抑制するため、可変ゲインアンプは抵抗負荷とした．

同相出力電圧は、 $V_{DD} - \frac{RI_{SS}(m+2+m)}{2}$ となり、 I_{SS} により、ゲインを変化させると同相出力電圧も変化する．また、同相出力電圧が下がりすぎると電流源の MOS が線形特性動作となり、可変ゲインアンプが正常に動作しなくなるため、出力電圧の下限は 1 V 程度となる．次段の積分器内で用いるオペアンプの CMRR(Common Mode Rejection Ratio) を十分確保すれば、同相出力電圧の変化による相関値への影響を抑えることができる．

図 4.20 において、3 組の差動対の入力段 MOS トランジスタのサイズ比をそれぞれ $n : 1, 1 : 1, 1 : n$ とし、テール電流の比を $m : 2 : m$ とした．入力段の MOS トランジスタのサイズ比を非対称にした差動対は入出力特性にオフセットがある．図 4.21(a) に示すようにオフセットを適切に設定した差動対を複数並列接続すると、増幅器全体では、これらの和特性となるため、図 4.21(b) に示す特性が得られ、単体の差動対と比較すると入力信号レンジが改善する．

付録 C で示した導出手順により、可変ゲインアンプの入出力特性は次式で表される．

$$\Delta V_{out} = -R \left(\frac{4\beta n \Delta V_{in}}{(n+1)^2} \sqrt{-n \Delta V_{in}^2 + \frac{2m(n+1)}{\beta} I_{SS}} + \frac{\beta}{2} \Delta V_{in} \sqrt{-\Delta V_{in}^2 + \frac{8}{\beta} I_{SS}} \right) \quad (4.4)$$

さらに付録 C に示すように、パラメータのオーダを考慮して近似すると、式 (4.4) は次式で表される．

$$\Delta V_{out} = -R \Delta V_{in} \left(\frac{4n}{(n+1)^2} \sqrt{2\beta m(n+1) I_{SS}} + \sqrt{2\beta I_{SS}} \right) \quad (4.5)$$

この式より、出力電圧は入力電圧に比例することがわかる．

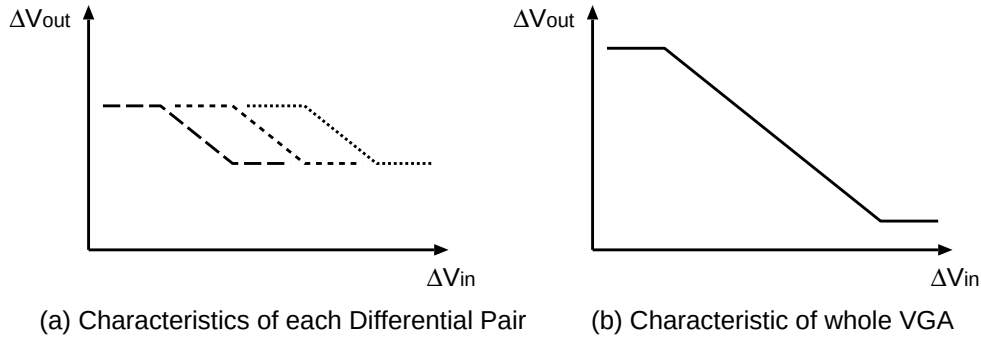


図 4.21: 可変ゲインアンプのゲイン特性

(a) それぞれの差動対の特性 (b) 可変ゲインアンプ全体の特性

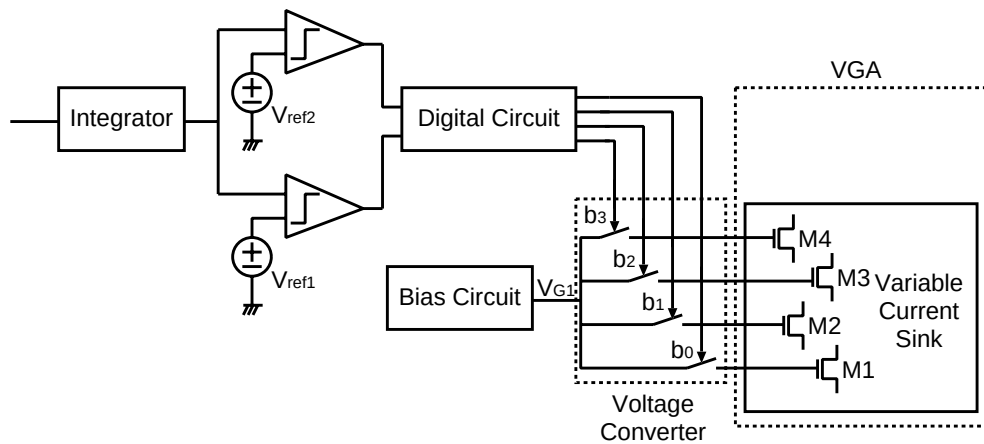


図 4.22: ゲインコントロール回路のブロックダイアグラム 積分相関値が一定の範囲内かどうかを判別し、ゲインを調節する

4.5.2 ゲインコントロール回路

本研究で設計した可変ゲインアンプはテール電流でゲインを調整するため、デジタル回路でゲイン制御するには、デジタル値から電流値への変換が必要である。式 (4.5) より、ゲインは電流値の $1/2$ 乗に比例するため、ゲイン設定値の 2 乗に比例した電流を流すと、ゲイン設定値とゲインとの関係が線形となる。

図 4.22 にゲインコントロール回路のブロック図を示す。二つのコンパレータにはそれぞれ異なる基準電圧が入力されている。相関値が二つの基準電圧内にあるかどうかでゲインが適切であるかを判別し、その大小関係を基にゲインが調整される。本研究ではゲインのコントロールを 4 bit のデジタル信号を用いて行う。電圧変換回路ではデジタルの信号を電流源の制御を行うための電圧に変換する。

電圧変換回路を図 4.23 に示す。可変電流源には入力論理に応じてスイッチを切り替え、カレントミラー回路で生成した電位、もしくはグランド電位を入力する。

図 4.24 に可変電流源の回路図を示す。電圧変換回路で変換されたゲイン制御信号は重み付きの MOS トランジスタで設定値に比例した電流に変換される。設定値を k 、導通状態の M_1 に流れる

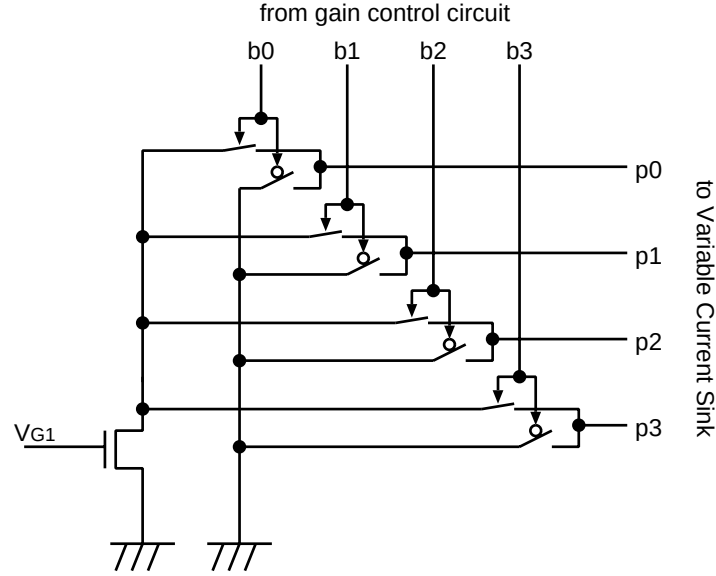


図 4.23: 電圧変換回路 デジタル信号から可変ゲインアンプのゲイン調整に用いる電圧レベルへの変換を行う

電流を I_{bias} とすると,

$$I_1 = kI_{bias} \quad (4.6)$$

$$I_2 = \frac{\beta_{p2}}{2} \left(\sqrt{\frac{2I_1}{\beta_{p1}}} + R_{CS}I_1 \right)^2 \quad (4.7)$$

となる．カレントミラー回路により，可変ゲインアンプのテール電流には I_2 に比例した電流が流れる． I_2 の第 2 項を支配的な項とすることで可変ゲインアンプに流れる電流は設定値の 2 乗に比例し，ゲイン設定値と実際のゲインを線形対応させることができる．

4.5.3 バイアス回路

MOS トランジスタの移動度 β は温度変化の影響を受けて，ゲインに温度依存性が生じる．移動度は素子間で相関があり，式 (4.5) より， $I_{ss} \propto \frac{1}{\beta}$ とすることで，移動度の温度変化の影響を軽減できる．そこで，バイアス回路は図 4.25 に示す構成 [7] を使用した．バイアス電流は

$$I_{bias} = \frac{1}{2R_{bias}^2\beta_{bp}}. \quad (4.8)$$

で表される．

このバイアス回路を図 4.24 の可変電流源と組み合わせると，可変ゲインアンプのゲイン G_{VGA} は次式で表される．

$$G_{VGA} = \sqrt{\frac{\beta_n\beta_{p2}}{\beta_{p1}\beta_{bp}}} \sqrt{k} \frac{R}{R_{bias}} + \frac{R_{CS}R}{2R_{bias}^2} \frac{\sqrt{\beta_n\beta_{p2}}}{\beta_{bp}} k \quad (4.9)$$

式 (4.9) より，温度変化で各素子の移動度が変化してもその影響は相殺される．また，集積回路内の抵抗値の相対誤差は 1 %以内であるため，抵抗のばらつきの影響も相殺される．

したがって，本研究で用いた可変電流源とバイアス回路を用いて，温度変化の影響を抑制しつつ，ゲイン設定値とゲインの線形性の改善ができる．

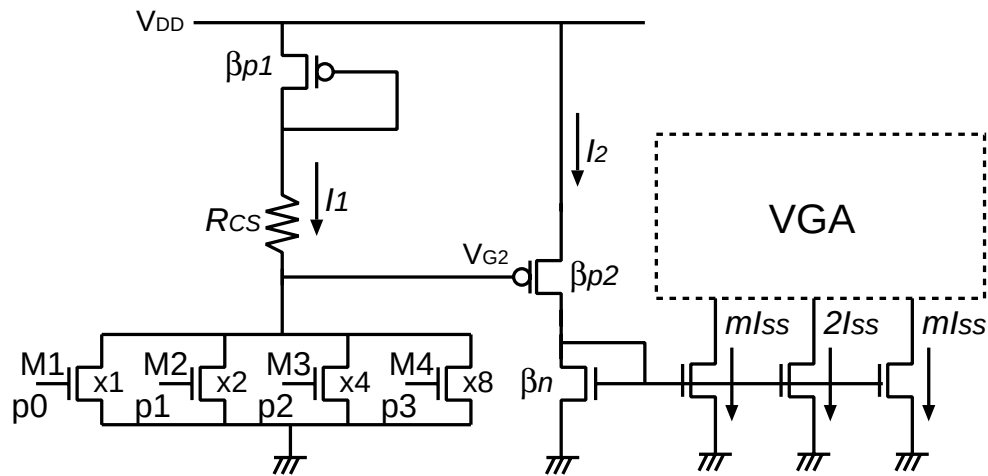


図 4.24: 可変電流源 MOS トランジスタの 2 乗則を用いてゲイン設定値の 2 乗に対応した電流を出力し、ゲイン設定値とゲインの線形性を改善する

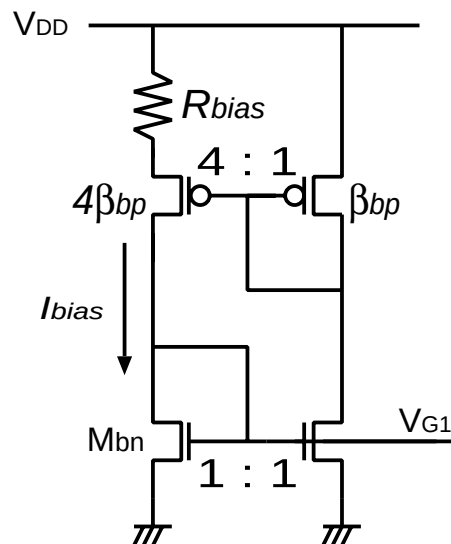


図 4.25: バイアス回路 電流を MOS トランジスタの移動度に反比例させ、可変ゲインアンプのゲインの温度依存性を軽減する

表 4.2: 可変ゲインアンプの設計パラメータ

n	16
m	6
R	16 k Ω
V_{DD}	3.3 V

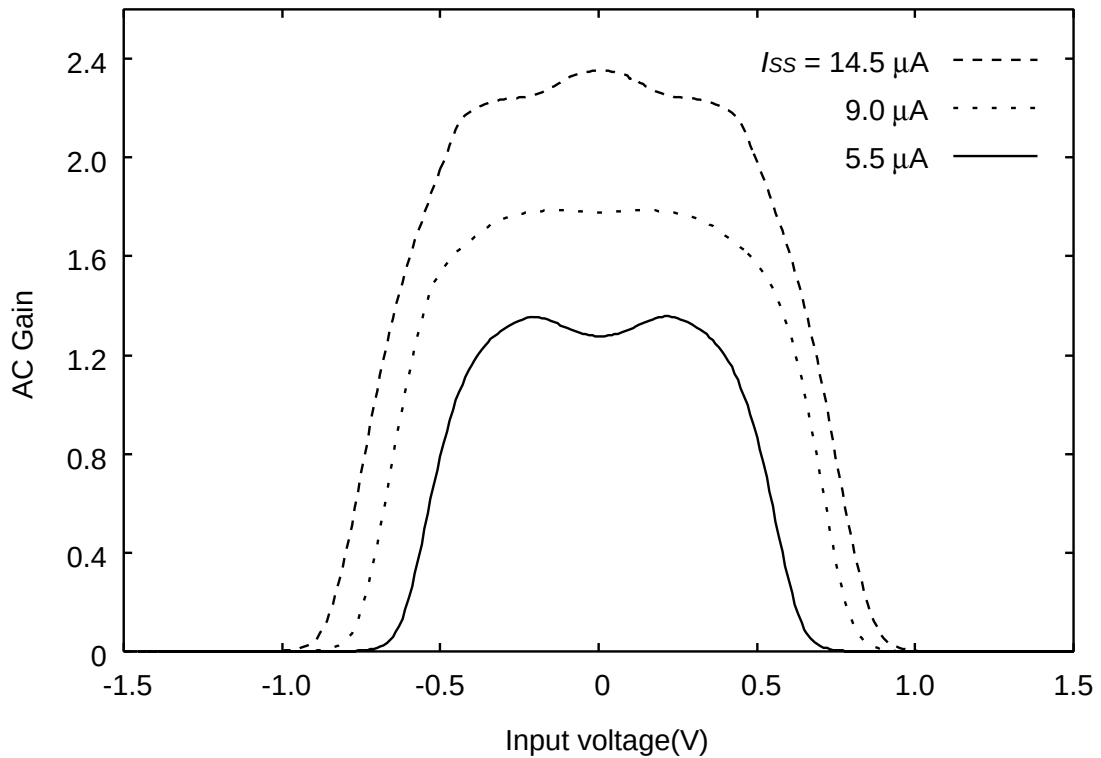


図 4.26: 可変ゲインアンプのシミュレーション結果 バイアス電流によってゲインが変化している

4.6 シミュレーション結果

本節では回路シミュレーションを用いて可変ゲインアンプの特性を確認した。回路シミュレーションは0.35 μm CMOS プロセスのデバイスモデルを使用し、可変ゲインアンプの設計パラメータは表 4.2 のように設定した。

図 4.26 に可変ゲインアンプのゲイン特性の回路シミュレーション結果を示す。この図より、電流値によりゲインが変化しており、広い入力振幅範囲で特性が平坦であることがわかる。消費電力はゲインによって変化し、174.9 ~ 1287 μW となった。

図 4.27 に図 4.24 の可変電流源と、設定値に比例する電流源のそれぞれを可変ゲインアンプに用いたときのゲイン特性のシミュレーション結果を示す。この図より、提案した可変電流源を用いると、ゲインの設定値とゲインの関係がより線形になっており、特にゲインの小さいところでの線形性が改善されている。

図 4.28 に図 4.25 のバイアス回路と定電流バイアス回路のそれぞれを可変ゲインアンプの基準電流源として用いたときの温度特性のシミュレーション結果を示す。この図より、図 4.25 のバイアス回路を用いると、温度変化によるゲイン変動量が減少し、温度特性が改善されていることが確認できる。

図 4.29 に可変電流源、バイアス回路を含めた可変ゲインアンプのゲイン特性のシミュレーション結果を示す。この図より、可変ゲインアンプのゲインは0.37~2 倍の間で変化し、約 5 倍のバス

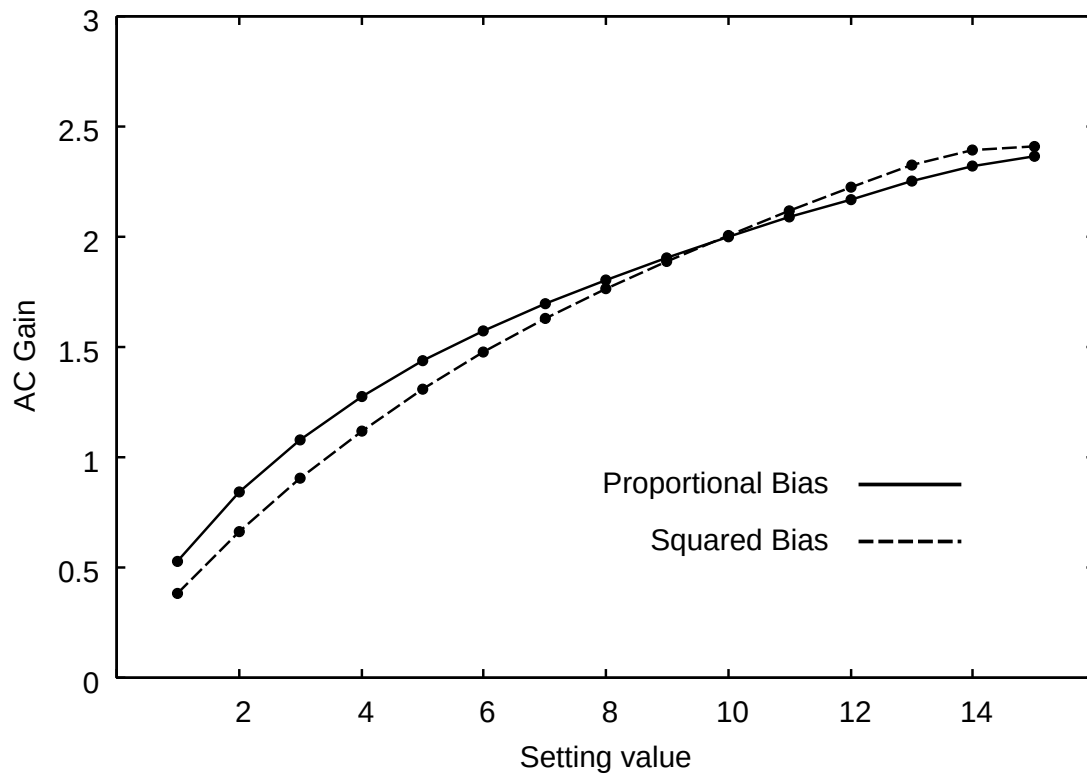


図 4.27: 可変ゲインアンプとゲイン調整回路のシミュレーション結果 ゲイン調整回路を用いることでゲインの低い部分を中心にゲイン設定値とゲインの線形性が改善している

容量変化に対応可能であることがわかる。

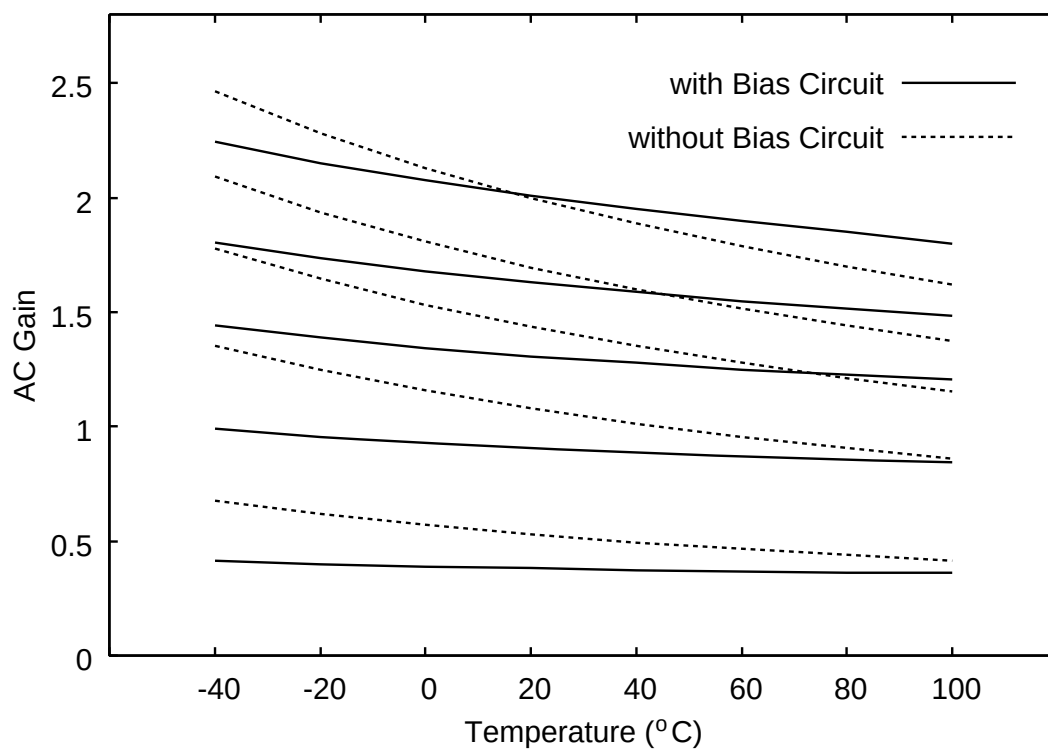


図 4.28: バイアス回路による温度依存性のシミュレーション結果 バイアス回路を用いることでゲインの温度依存性が改善している

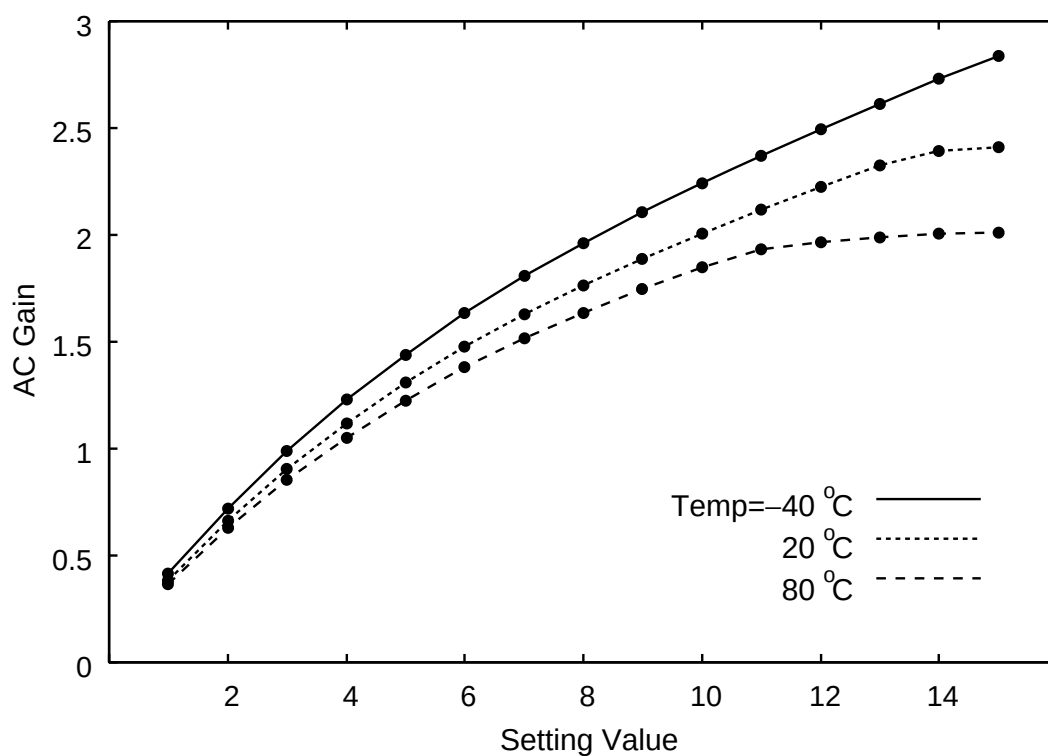


図 4.29: 可変ゲインアンプの温度依存性のシミュレーション結果 ゲインは約 5 倍の変化幅を持ち、5 倍程度のバス容量の変化に対応できる

4.7 まとめ

バス容量変化に対応できる有線 CDMA インタフェースについて検討、設計した。バス容量の変化に起因する信号振幅の変化に対応するため、受信器内に可変ゲインアンプとゲインコントロール回路を設けた。数値シミュレーションにより、可変ゲインアンプのゲイン線形性と最大入力振幅のそれぞれについて、相関値の統計をとり、正常に受信できる範囲を決定した。可変ゲインアンプの回路構成は Multiple-Differential-Pair 構成とし、最大入力振幅の増大とゲイン線形性の向上を図った。この可変ゲインアンプは、テール電流を変化させてゲインを調整することができる。

設計した可変ゲインアンプのゲインは 0.37 から 2.0 まで変化する。可変電流源としてはゲインの設定値とゲインの線形性を改善するため、設定値の 2 乗に比例した電流が流れる構成を用いた。また、バイアス回路は MOS トランジスタの移動度の温度依存性の影響を軽減する構成とした。

この可変ゲインアンプは有線 CDMA インタフェースのバス容量の変化によりバス振幅が変動しても、それを補正することができる。したがって、本研究で検討した可変ゲインアンプを用いた有線 CDMA インタフェースはスケーラビリティに優れており、センサネットワークのセンサノード内のインタフェースに用いることで、センサ数やバス長の変化によるバス容量の変化に対応可能である。

参考文献

- [1] 吉村隆治, Tan Boon Keat, 小川 徹, 谷口研二, “CDMA 方式を用いた有線インターフェース,” 電子情報通信学会論文誌 C-II, vol.J82-C-II, no.11, pp.631–636, Nov. 1999.
- [2] T. Ida, S. Shimizu, T. Matsuoka, and K. Taniguchi, “Wired CDMA interface with adaptivity for interconnect capacitances,” IEICE Transactions on Fundamentals, vol.E88-A, no.10, pp.2702–2706, Oct. 2005.
- [3] A.J. Viterbi, CDMA : Principles of Spread Spectrum Communication, Addison-Wesley, 1995.
- [4] 高橋 賢, Tan Boon-Keat, 岩村 宏, 谷口研二, “有線多値 CDMA バスの機能レベル解析,” 電子情報通信学会論文誌 C, vol.J86-C, no.2, pp.177–185, Feb. 2003.
- [5] A. Nedungadi and T.R. Viswanathan, “Design of Linear CMOS Transconductance Elements,” IEEE Transactions on Circuits and Systems, vol.CAS-31, no.10, pp.891–894, Oct 1984.
- [6] H. Tanimoto, M. Koyama, and Y. Yoshida, “Realization of a 1-V active filter using a linearization technique employing plurality of emitter-coupled pairs,” IEEE Journal of Solid-State Circuits, vol.26, no.7, pp.937–945, Jul 1991.
- [7] S.D. Willingham, K.W. Martin, and A. Ganesan, “A BiCMOS low-distortion 8-MHz low-pass filter,” IEEE Journal of Solid-State Circuits, vol.28, no.12, pp.1234–1245, Dec. 1993.

第5章 オーバーサンプリングを用いた広帯域 CDR 回路

5.1 まえがき

センサネットワークにおいて、センサ部はアプリケーションや測定対象によって測定頻度や精度が異なるため、通信データ量も用途毎に大幅に変わる。高速インタフェースでビットレートの低いデータを通信すると電力の浪費につながるので、センサの出力データ量に応じたビットレートで通信を行うことが電力効率を向上させる上で欠かせない。また、センサ部のデータ全てをまとめて送受信する通信ノード間では、ビットレートの高い通信が行われる。このように、センサネットワーク全体では様々なビットレートの通信が行われている。

近年、インタフェースは集積回路の高機能化とともに多様化、高速化している。そこでは、USB[1] やイーサネットのようにデータのみをシリアル伝送し、受信側でデータからクロックを復元する手法が主流となっている。シリアルインタフェースは受信データからクロックを復元する CDR (Clock and Data Recovery) 回路 [2] を使用する。センサネットワークのように、広い入力ビットレート範囲の通信方式に対応するには、汎用性の高い CDR 回路が必須となる。

一般的な CDR 回路は、図 5.1 に示すように、PLL (Phase Locked Loop) と類似の回路構成が用いられる。PD は位相検出器 (Phase Detector)、CP はチャージポンプ (Charge Pump)、LPF は低域通過フィルタ (Low-Pass Filter)、VCO は電圧制御発振器 (Voltage Controlled Oscillator) の略である。また、PD を PFD (Phase/Frequency Detector, 位相・周波数検出器) とし、ロック可能な信号帯域幅を向上させることも可能である [3]。CDR 回路における PD や PFD は入力信号や復元クロックのエッジを検出して、入力信号のビットレートと復元クロックの周波数との誤差を検出する。一般に CDR 回路を広帯域化すると、図 5.2 に示すような通信側クロックの通倍の周波数でロックする擬似ロック現象を引き起こす。擬似ロックを回避するため、CDR 回路はアプリケーションに合わせて狭帯域化したり、TMDS[4] のように、基準周波数信号を別配線で送出する。また、マルチフェーズ出力の VCO[5] を用いた位相補間方式 [6] の CDR 回路も報告されているが、外部のリファレンスクロックで駆動するこの方式の位相精度はリファレンスクロックの周波数で決まる。この方式による広帯域 CDR 回路は、想定される最大の入力ビットレートのリファレンスクロック周波数を使用するため、低いビットレートの信号を入力するとリファレンスクロック発生回路部で電力が無駄に消費される。

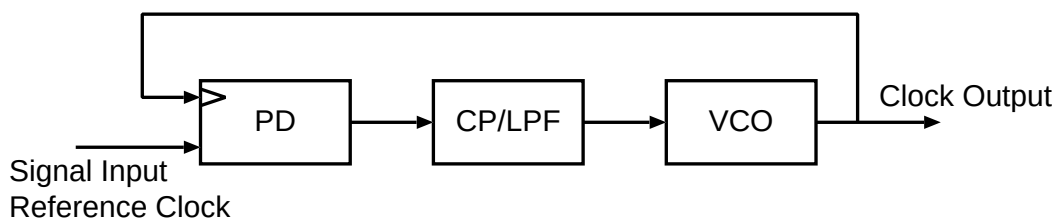


図 5.1: PLL/CDR の回路構成 位相比較器、チャージポンプ、低域通過フィルタ、電圧制御発振器から構成される

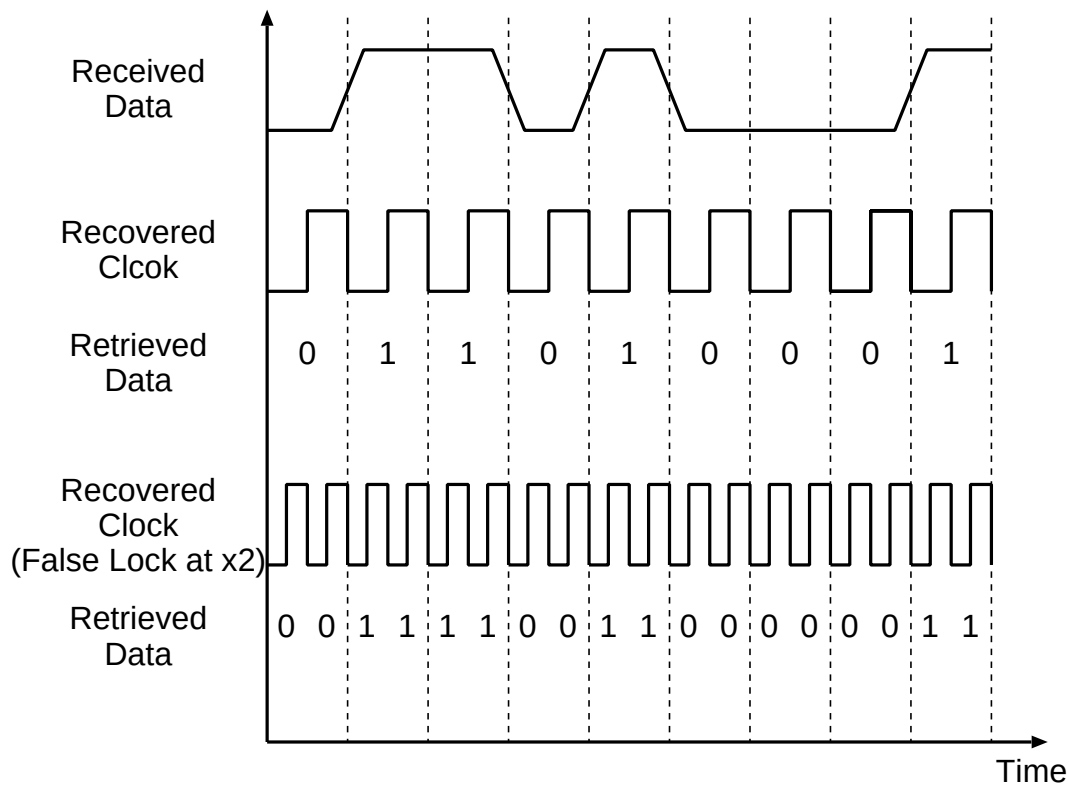


図 5.2: 擬似ロック 広帯域 CDR 回路では所望の周波数の通倍の周波数でロックする擬似ロックが問題となる

CDR 回路を使用するシリアルインタフェースでは、一定の頻度で論理の反転が生じる入力データを想定している。そこでは、同一論理の信号が長期間続いても正常な動作を保証するため、冗長ビットを付加して、意図的に論理の反転を生じさせて、同一論理の連続する数 (連続同符号長, CID (Consecutive Identical Digits)) を制限する手法が用いられる。一般的に 1 ビット単位の変換では Biphase 変調やマンチェスター符号などが用いられる。複数ビット単位の変換では、8b/10b 符号 [7] や EFM (Eight-to-Fourteen Modulation) [8] などが存在する。これらのデータ変換方式を用いると、最大連続同符号長が決定されたランレングス符号として取り扱うことができる。

本章では、最大連続同符号長が既知の信号に対して、リファレンスクロックが不要、かつ広帯域ロック可能な小規模 CDR 回路を提案する [9]。最大連続同符号長が既知の信号を用いることで、1 データあたりの長さが厳密に求められ、擬似ロックを防止しながら CDR を動作させることができる。

5.2 提案手法

5.2.1 回路構成

図 5.3 に提案する CDR 回路のブロック図を示す。この図において、PFD は VCO の出力クロックで動作するカウンタを含むデジタル回路である。VCO は入力ビットレートよりも速い周波数で動作し、ロック時には入力信号を一定の倍率でオーバーサンプリングする。なお、入力信号には最大連続同符号長が既知の信号を用いる。

また、CP と LPF は、図 5.1 に示す従来の CDR や PLL と同様、PFD で出力された信号を VCO の制御電圧に変換する回路である。この回路の VCO が所望の出力クロックの数倍～数十倍の周波

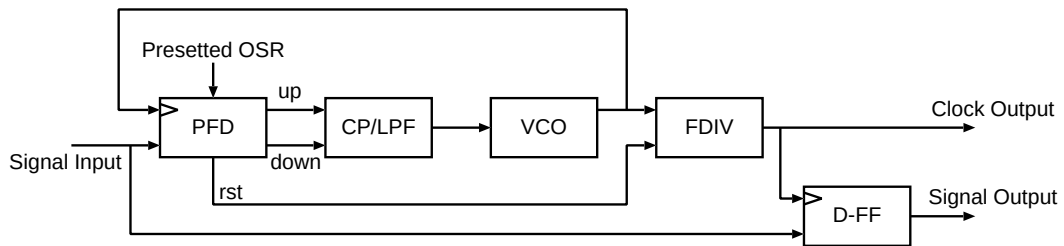


図 5.3: 提案する CDR 回路のブロック図 入力信号ビットレートより VCO の出力周波数を高くして擬似ロックを回避している

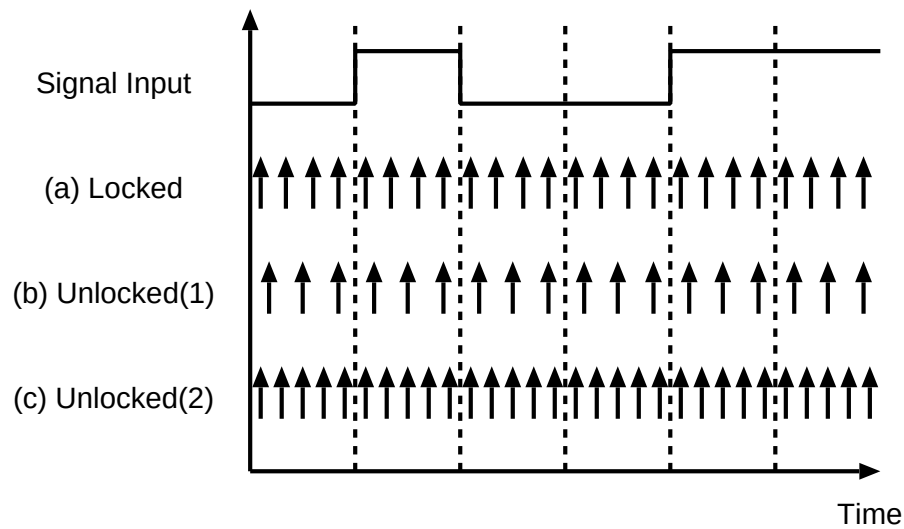


図 5.4: 入力信号と VCO 出力との関係 (OSR=4) 本提案構成では OSR をモニタして入力信号と出力クロックの誤差を検出する

数で発振するように、入力ビットレートと VCO の出力周波数の比 (OSR) を設定する。FDIV は分周器 (Frequency Divider) で、VCO の出力信号を分周し、信号ビットレートに対応した周波数にまでクロック周波数を落として出力する。また、分周器には入力信号と位相をあわせるための非同相リセット入力端子がある。フリップフロップ D-FF は、FDIV から出力されたクロックで入力信号をサンプリングして出力する。

上記の回路構成をとることで、単一の回路で広い帯域の信号に対応した CDR 回路ができる。

5.2.2 回路動作

本提案の回路構成は通常の PLL 型の CDR 回路と同様、入力信号と VCO の出力クロックを比較し、その誤差を VCO の制御電圧にフィードバックする。このとき、VCO の出力クロック周波数が正確に入力ビットレートの一定倍率 (OSR 倍) となるまで VCO の制御電圧が調整されるため、図 5.4(a) に示すように、ロック時には 1 データ長に VCO の出力パルス数が OSR 回入る。一方、図 5.4(b), (c) のようにカウント数に過不足がある場合、それを誤差として検知し、設定値へとフィードバックして、図 5.4(a) の状態に近づける。したがって、PFD では 1 データ長あたりの VCO の出力パルス数を得る必要がある。

図 5.5 に示すように、エッジ検出器、カウンタ、連続同符号長検出器、除算器、減算器、シリアライザから構成される PFD は、1 データ長あたりの VCO の出力パルス数を検出し、OSR との差

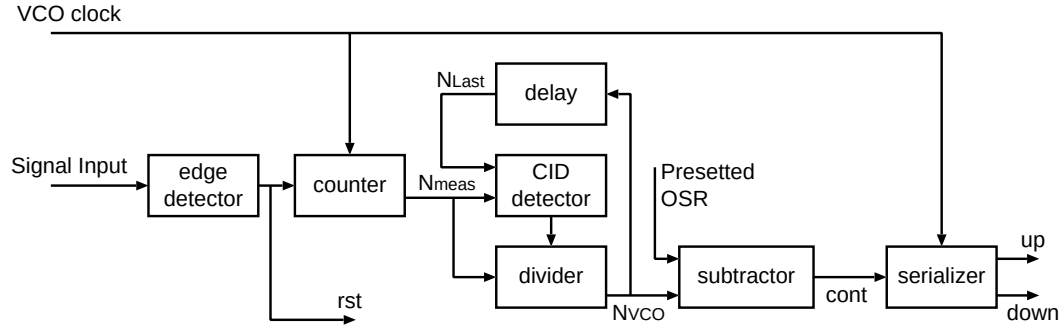


図 5.5: PFD の構成 入力信号と VCO のクロックから OSR を算出し、設定 OSR との誤差をパルスの形で出力する

を出力のパルス長の形で出力する。また、既知の OSR をあらかじめ差分器に入力しておく。カウンタとシリアライザは VCO のクロックに同期して動作するが、それ以外は全て入力信号のエッジを検出したタイミングでのみ動作する。カウンタでは VCO の出力パルス数を計数し、エッジ検出器で入力信号の論理が変化するタイミングでカウンタのリセットを行う。こうして、入力信号の論理が変化してから再び論理が変化するまでの VCO の出力パルス数を得る。このときの 1 データ長あたりの VCO の出力パルス数を N_{VCO} とすると、実際に測定される駆動回数 N_{meas} は入力信号の連続同符号長によって異なり、 $CID \cdot N_{VCO}$ ($CID = 1 \sim CID_{max}$ (CID_{max} は入力信号列の最大連続同符号長)), もしくはクロックのタイミングによっては、それに近い値となる。次に、連続同符号長検出器では、後述するアルゴリズムで N_{meas} の値から連続同符号長 CID を求め、この値から除算器で N_{VCO} を求める。

減算器では N_{VCO} とあらかじめ設定した OSR の値を比較し、その差分値 $cont$ を出力する。

シリアライザでは $cont$ の値を CP の入力に適した形式に変換する。up, down とともに 1bit 出力である。 $cont$ の値の符号を基に、up もしくは down にパルスを出力すると同時に、 $cont$ をカウンタアップ/ダウンし、 $cont$ の値が 0 になるまでパルスを出力し続ける。本 CDR では、up, down を各 1bit の出力にし、それを CP, LPF で処理して VCO への入力制御電圧の変化を緩やかにすると同時に CP, LPF 回路の単純化を図っている。一例として、OSR=4 のときの PFD の動作波形を図 5.6 に示す。この図のように、測定パルス数 N_{meas} が 1 データ長あたりのパルス数 N_{VCO} に変換され、設定 OSR との差分がパルス長の形で出力される。

PFD の出力を基に、1 データ長あたりの VCO の出力パルス数が正確に OSR 倍となるよう VCO の出力周波数が制御されるので、PFD は周波数検出器として動作する。また、ロックした時点で VCO の出力周波数は入力ビットレートの OSR 倍となり、PFD 内のカウンタは $nOSR$ ($n = 1 \sim CID_{max}$) のいずれかの値でリセットされる。したがって、FDIV の分周比を OSR とすると、このカウンタのリセットに同期して FDIV もリセットされることで、 $nOSR$ 、および $(n + 0.5)OSR$ のカウンタ値で出力のクロックの相が変化する。クロックの相がデータの中心部で変化するため、PFD が位相検出器としても機能していることがわかる。

例として、OSR=10, $CID_{max}=5$ の PFD を Verilog で実装し、論理合成したところ、ゲート数は 708 となり、図 5.5 に示す回路は比較的少ないゲート数で実装が可能であることを確認した。

5.2.3 連続同符号長検出器の動作

連続同符号長検出器 (CID detector) では直前に連続同符号長を求めたときの N_{VCO} の値を N_{Last} とすると、連続同符号長 CID を次のようにして検出する。

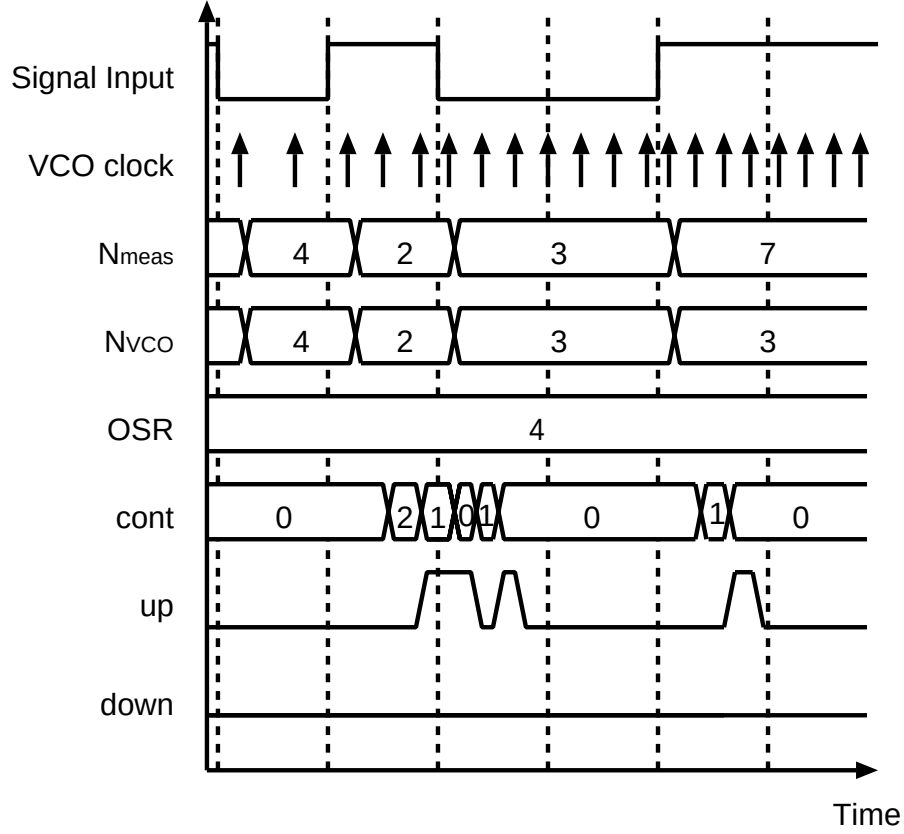


図 5.6: PFD の動作波形 (OSR=4) 1 データ長あたりの VCO の出力パルス数を取得し、設定 OSR との誤差が up, down にパルスで出力されている

- $0 < N_{meas} < 1.5N_{Last}$ のとき,

$$N_{VCO} = N_{meas} \quad (5.1)$$

- $(n - 0.5)N_{Last} < N_{meas} < (n + 0.5)N_{Last}$ ($n = 2, \dots, CID_{max} - 1$) のとき,

$$N_{VCO} = N_{meas}/n \quad (5.2)$$

- $(CID_{max} - 0.5)N_{Last} < N_{meas}$ のとき,

$$N_{VCO} = N_{meas}/CID_{max} \quad (5.3)$$

例として $CID_{max} = 5$ のときの様子を図 5.7 に示す. ただし, N_{Last} の値が不定である電源投入時などの初期状態における N_{Last} の値は次のように決定する.

1. N_{Last} が本来の値より大きい場合

例として, N_{Last} が本来の値の 2 倍のときの N_{meas} の連続同符号長の判別を図 5.8(a) に示す. このとき, 連続同符号長が 2 のデータは連続同符号長が 1 と誤認識されて, VCO は信号ビットレートの $OSR/2$ 倍の周波数で擬似ロックする. しかし, $CID = 1$ のデータが入力されると, $N_{meas} < N_{Last}$ となり, 式 (5.1) より N_{VCO} の値は N_{meas} に変更されて, N_{Last} の値は正常な値になる.

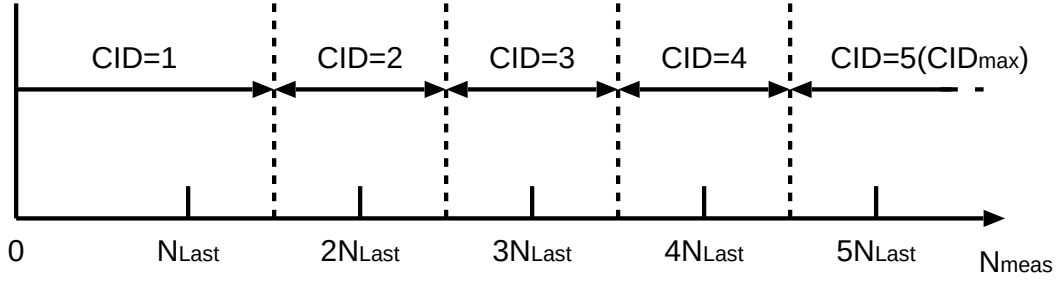


図 5.7: 連続同符号長の決定 ($CID_{max} = 5$) 算出された OSR の値が極端に小さいときには連続同符号長を 1, 極端に大きいときには連続同符号長を CID_{max} として取り扱うことで擬似ロックの発生を回避する

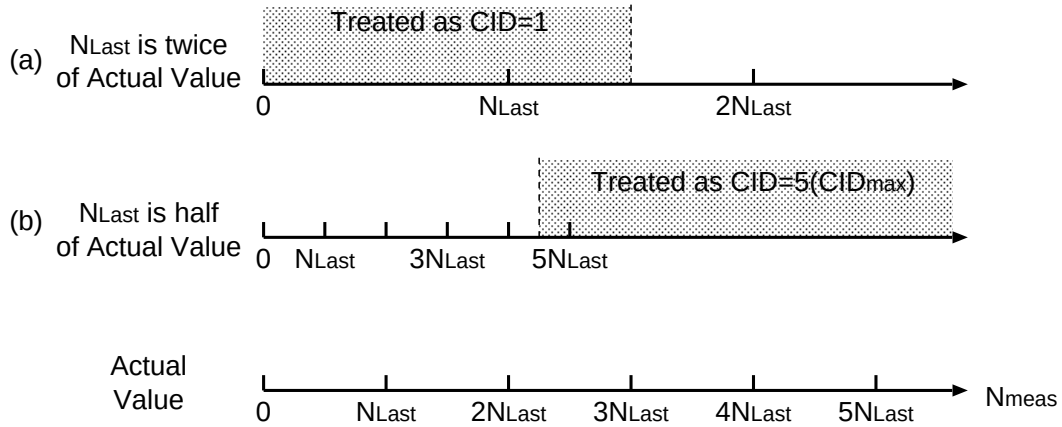


図 5.8: N_{Last} が本来の値と違うときの連続同符号長の決定 ($CID_{max} = 5$)

(a) N_{Last} が本来の値の 2 倍のとき (b) N_{Last} が本来の値の半分のとき

2. N_{Last} の値が本来の値より小さい場合

例として, N_{Last} が本来の値の $1/2$ 倍のときの N_{meas} の連続同符号長の判別を図 5.8(b) に示す. このとき, 連続同符号長が 1 のデータは連続同符号長が 2 と誤認識されて, VCO は信号ビットレート of $2OSR$ 倍の周波数で擬似ロックする. しかし, $CID = CID_{max}$ のデータが入力されると, $N_{meas} > N_{Last} \cdot CID_{max}$ となり, 式 (5.3) より N_{VCO} の値は N_{meas}/CID_{max} と変更されて, N_{Last} の値は正常な値になる.

以上の考察から分かるように, N_{Last} の初期値にかかわらず, $CID = 1$ と $CID = CID_{max}$ のデータが入力されると, N_{Last} には正確な 1 データ長あたりの VCO の出力パルス数が格納される. 一般の CDR では N_{Last} が本来の値の n 倍, もしくは $1/n$ 倍 (n は 2 以上の整数) となると擬似ロックが生じるが, 本構成では 1 データあたりの VCO の出力パルス数を正確に得られるため, 擬似ロックは生じない. N_{Last} の値を決定した後, 急激な VCO の出力周波数や入力ビットレートの変化がなければ, 1 データ長あたりの VCO の出力パルス数は N_{Last} と比較して大幅には変化しない. したがって, 図 5.7 のように, N_{Last} を用いて N_{meas} の連続同符号長を得ることができる.

5.3 特性検討

本回路構成の非理想性の要因としては, 絶対位相誤差とジッタが考えられる.

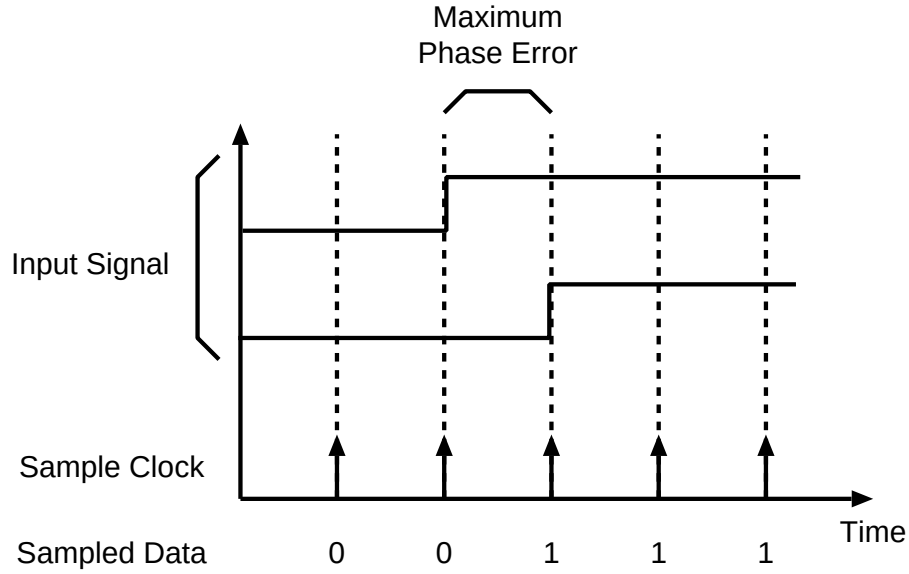


図 5.9: サンプリング時に生じる位相誤差 入力信号論理の変化はクロックエッジ間で生じるため、位相誤差は OSR に依存する

5.3.1 絶対位相誤差

CDR 回路がロックすると、VCO の出力周波数は正確に信号ビットレートの OSR 倍となる。入力論理の変化点でのサンプリング誤差は図 5.9 のように入力信号周期に対して最大で $\frac{2\pi}{OSR}(\text{rad})$ であり、この位相のずれがそのまま絶対位相誤差となる。したがって、絶対位相誤差の最大値は OSR を調節すれば制御可能であるが、その値は入力信号周期に対して一定の割合となる。

5.3.2 ジッタ

最大連続同符号長が増加すると入力信号の変化の頻度が少なくなるため、VCO の出力周波数は正確でなければならない。ここでは、信号を復元する際にエラーフリーとなる VCO の動作周期範囲から許容される位相差を算出し、それを PFD 起因の許容ジッタ生成とする。許容ジッタ生成が小さいと、許容される VCO の出力周波数範囲は狭くなり、収束の過程で正常なデータとクロックの復元ができるまでに時間がかかる。

提案回路では入力信号のエッジを検出して FDIV のカウンタがリセットされるため、下記の 2 つの条件を満たせば受信時にエラーを生じない。

1. $CID = CID_{max}$ のデータを受信したとき、 CID_{max} 番目のデータを正確に取得できること
2. $CID = CID_{max}$ のデータを受信したとき、 $CID_{max} + 1$ 番目のデータの取得までに入力の信号論理が変化すること

ここで、完全にロックしたときの VCO の動作周期を T_{ideal} 、実回路の VCO の動作周期を T_{real} とすると、条件 1. は $T_{real} > T_{ideal}$ のとき、条件 2. は $T_{real} < T_{ideal}$ のときに適用される。また、信号論理は PFD と FDIV のカウンタが $T_{real} \cdot OSR \cdot (n - 0.5) (n = 1 \sim CID_{max})$ となるとときに取得される。したがって、図 5.10 より、条件 1. から次式が得られる。

$$T_{real}(CID_{max} - 0.5)OSR + T_{real} < T_{ideal}CID_{max}OSR \quad (5.4)$$

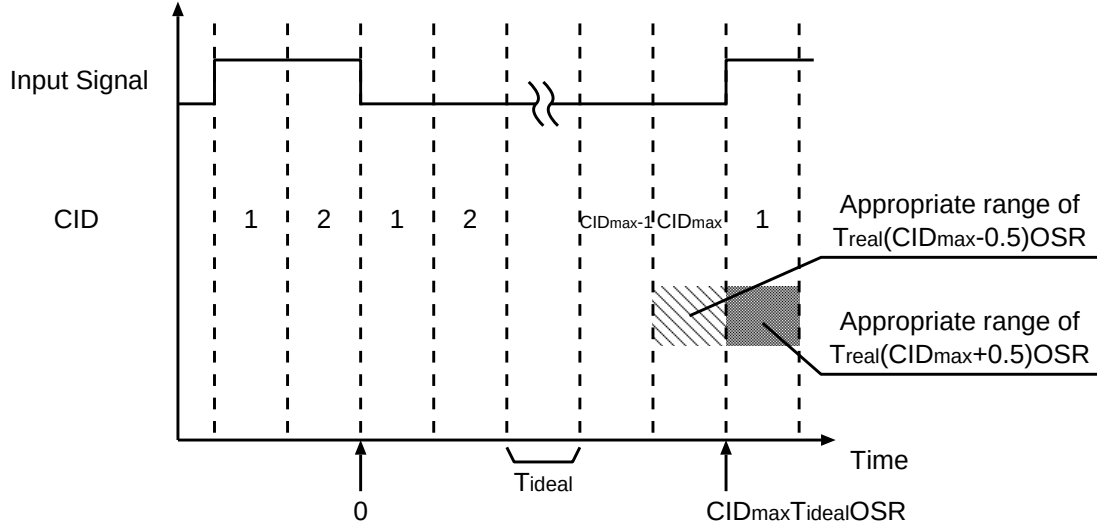


図 5.10: ジッタ生成条件の決定 連続同符号長が CID_{max} のときに正常通信できるための条件から許容ジッタ生成が得られる

なお、式 (5.4) の左辺で T_{real} が加算されている理由は入力信号論理が変化して PFD と FDIV のカウンタがリセットされてから VCO の出力パルスが入力されるまでの時間差が最大で T_{real} であることによる。

また、条件 1. と同様にして、条件 2. から次式が得られる。

$$T_{ideal}CID_{max}OSR < T_{real}(CID_{max} + 0.5)OSR \quad (5.5)$$

式 (5.4), (5.5) より、

$$\frac{CID_{max}}{CID_{max} + 0.5}T_{ideal} < T_{real} < \frac{CID_{max}OSR}{(CID_{max} - 0.5)OSR + 1}T_{ideal} \quad (5.6)$$

の関係が得られる。式 (5.6) より、正常に信号を復元するために許容されるジッタ生成を位相差で表すと、

$$\begin{aligned} & 2\pi \left(\frac{CID_{max}OSR}{(CID_{max} - 0.5)OSR + 1} - \frac{CID_{max}}{CID_{max} + 0.5} \right) \\ &= 2\pi \frac{CID_{max}(OSR - 1)}{CID_{max}^2OSR + CID_{max} - 0.25OSR + 0.5} \end{aligned} \quad (5.7)$$

となる。式 (5.7) において、 CID_{max} と許容ジッタ生成との関係を図 5.11 に示す。この図より、最大連続同符号長が増加すると、許容ジッタ生成は小さくなる。また、 OSR が極めて小さいときは OSR が増加すると許容ジッタ生成は大きく改善されるが、 OSR が増加するにつれて、許容ジッタ生成の改善幅は急激に減少する。

5.4 シミュレーション結果

提案回路の有効性を示すため、数値シミュレーションを行った。シミュレーションを簡略化するため、オシレータは NCO(Numeric Controlled Oscillator) として実装した。また、PFD 出力の up, down のパルス数を累算する NCO は CP, LPF の機能も内包している。NCO の精度は 1 Hz, OSR 設定値は 10 とした。また、本シミュレーションでは入力信号として長さ $2^8 - 1$ の LFSR によるランダムデータを用いた。このとき、 $CID_{max} = 8$ である。

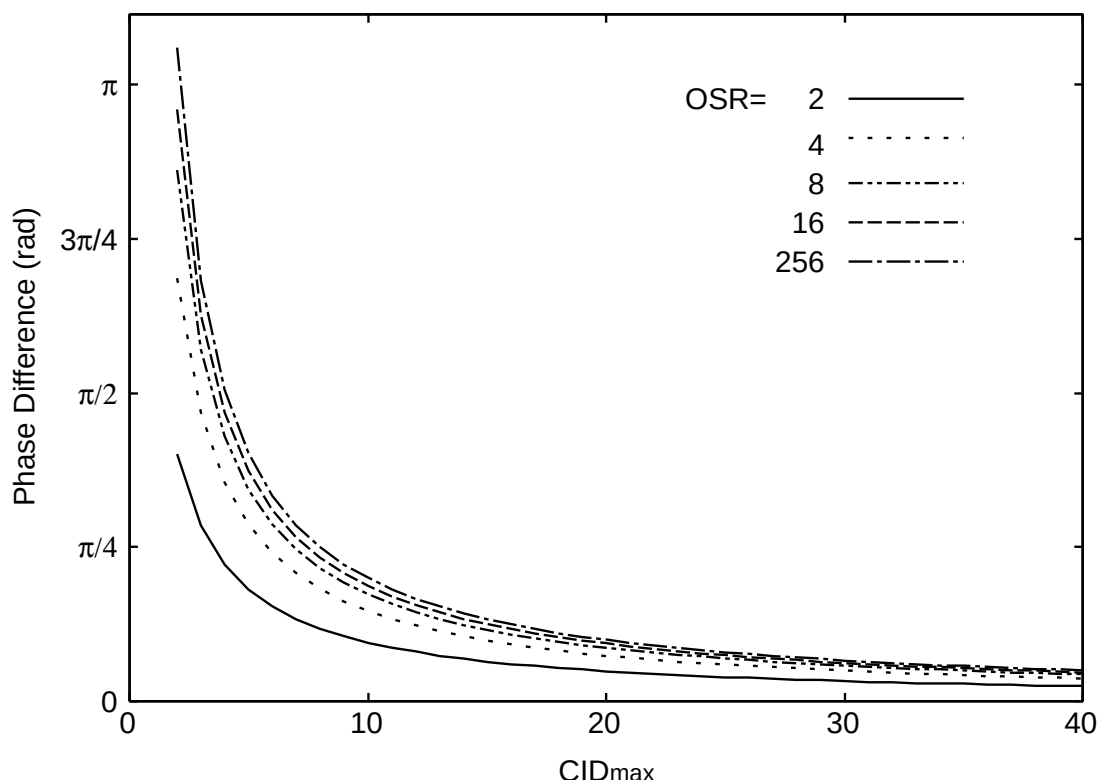


図 5.11: CID_{max} を変化させたときの許容ジッタ生成 OSR が一定値以上になると、許容ジッタ生成の改善量は極めて小さくなる

図 5.12 に入力ビットレートに対する VCO 出力周波数の収束値を示す。高い周波数側からと低い周波数側からの両方で正常にロックすることを確認するため、100 k~10 Mbps の信号ビットレートに対して、VCO の初期周波数 f_{VCO0} を 10 kHz と 200 MHz で行った。この結果、入力ビットレートの全域において、VCO の初期周波数にかかわらず、VCO が正常に信号ビットレートの 10 倍 (OSR 倍) の周波数でロックしていることが確認できる。

入力ビットレートが 100 kbps のとき、完全にロックしたときの入力信号、出力クロック、出力信号のシミュレーション結果を図 5.13 に示す。この図より、出力クロックは入力信号に対して、一定の絶対位相誤差を保ちつつ出力され、それに同期して出力信号が得られていることが確認できる。

図 5.14 は、入力ビットレートを 100 kbps、VCO の初期周波数 f_{VCO0} を 10 kHz、100 MHz としたときの VCO 周波数の収束過程を示している。この図からも提案回路が擬似ロックせず、所望の周波数にロックしていることが確認できる。周波数誤差が最終値の 1 % になるまでの時間はそれぞれ、8.1 sec, 17.5 sec であるが、以下の方法で収束時間の短縮を図ることは可能である。例えば、

1. NCO の精度を落とす、
2. N_{VCO} と OSR の差が大きいときには出力周波数の変化幅を大きくとる、
3. Dual-Loop 構成の CDR[10] を用い、本回路で擬似ロックが生じない周波数にまで VCO の制御電圧を制御し、その後の調整を収束時間の速い別の CDR で行う

などの例が考えられる。

式 (5.6) の検証を目的として、収束時にエラーフリーとなる境界周波数について、ロック周波数に対して高域側と低域側のそれぞれから表 5.1 に示す条件でシミュレーションを行った。VCO の初期周波数を表 5.1 に示した範囲内でランダムに設定した時の収束時にエラーフリーとなる境界周

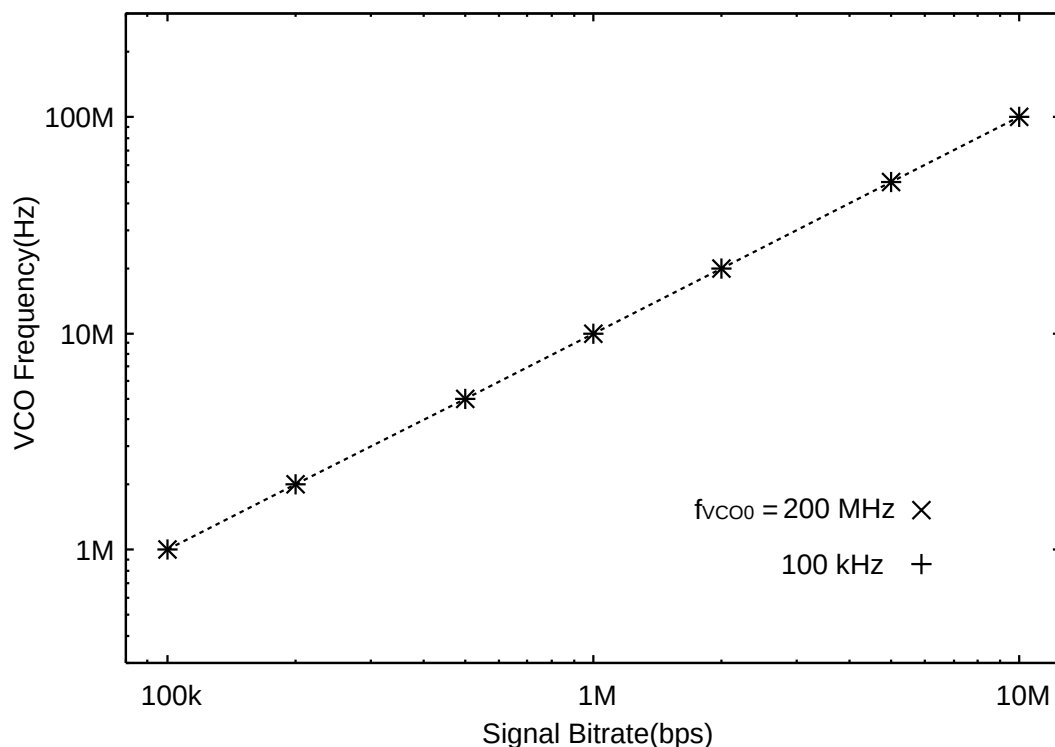


図 5.12: 入力ビットレートをパラメータとしたときの出力クロック周波数 二桁にわたる入力信号ビットレートの範囲で擬似ロックが発生していないことがわかる

表 5.1: 最大/最小エラー発生周波数を求めるためのシミュレーション条件

OSR	10
入力ビットレート	100 kbps
VCO 初期周波数 (高域側)	1.2~1.5 MHz
VCO 初期周波数 (低域側)	500~800 kHz
試行回数	各 10000 回

波数について、高域側からロックさせたときの結果を図 5.15 に、低域側からロックさせたときの結果を図 5.16 に示す。

このとき、式 (5.6) より、エラーを生じない T_{real} の範囲は

$$0.94118 < T_{real} < 1.05263(\mu\text{sec}) \quad (5.8)$$

となる。周波数 f_{real} に換算すると、

$$950 < f_{real} < 1062.5(\text{kHz}) \quad (5.9)$$

となる。図 5.15, 5.16 のそれぞれに式 (5.9) で示した理論境界周波数を点線で示す。また、図 5.15, 5.16 から得られた周波数範囲は

$$949.983 < f_{real} < 1062.52(\text{kHz}) \quad (5.10)$$

である。したがって、式 (5.6) から得られる周波数範囲条件はシミュレーション結果と一致し、この条件を満たすとエラーフリーとなる。

提案回路の過渡応答特性を確認するため、入力信号のビットレートと位相をロック後に変化させた例をシミュレーションした。計算例として入力ビットレートは 100 kbps, OSR=10 を用いた。ま

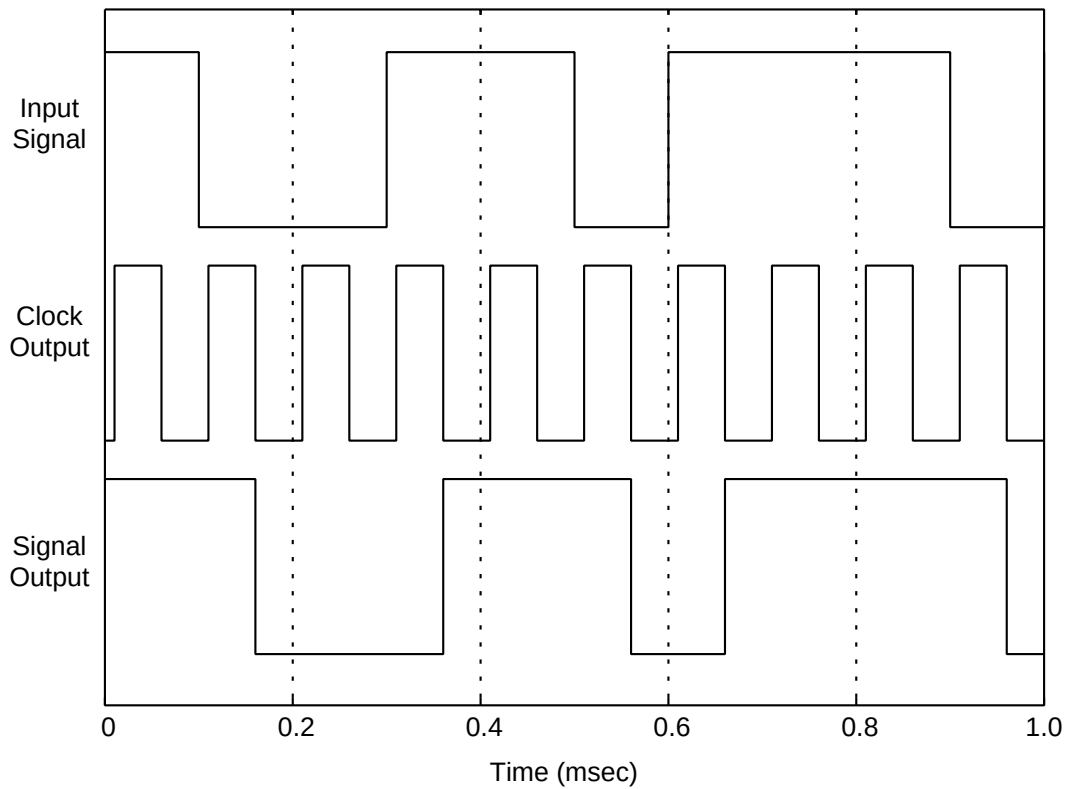


図 5.13: CDR 回路の入出力波形 入力信号に対して一定の位相ずれを持ったクロックが出力され、クロックに同期して信号が出力されている

ず、入力ビットレートを瞬時に 110 kbps に変化させたときの VCO の周波数の経時変化を図 5.17 に示す。図 5.14 と同様、入力ビットレートを変化させても所望の周波数へ収束している。図 5.18 は入力信号の位相を π 進めたときの入力信号と出力クロックの位相差を示している。この結果より、数データ長で出力の位相が追従していることが確認できる。これは入力信号のエッジが検出されると FDIV のカウンタがリセットされて位相が調節されることによる。また、入力信号の位相変化に起因する出力周波数の変化はみられなかった。

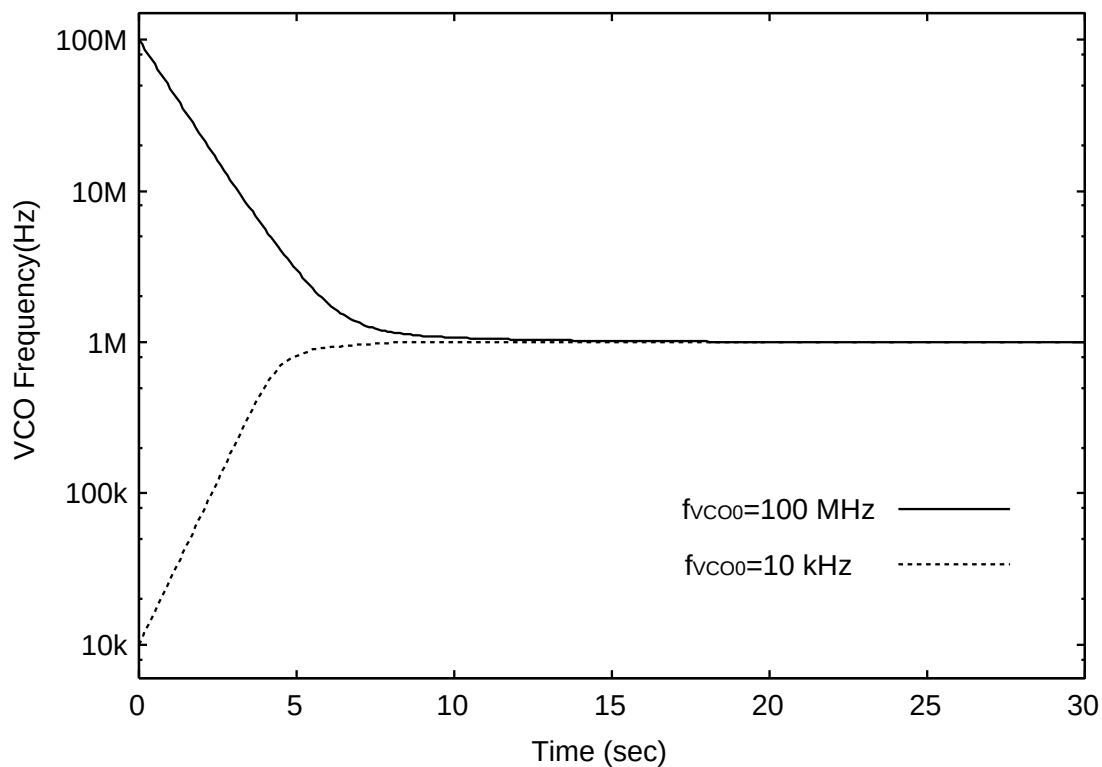


図 5.14: VCO の発振周波数の時間変化 初期周波数の高低に関係なく、正しい周波数に収束している

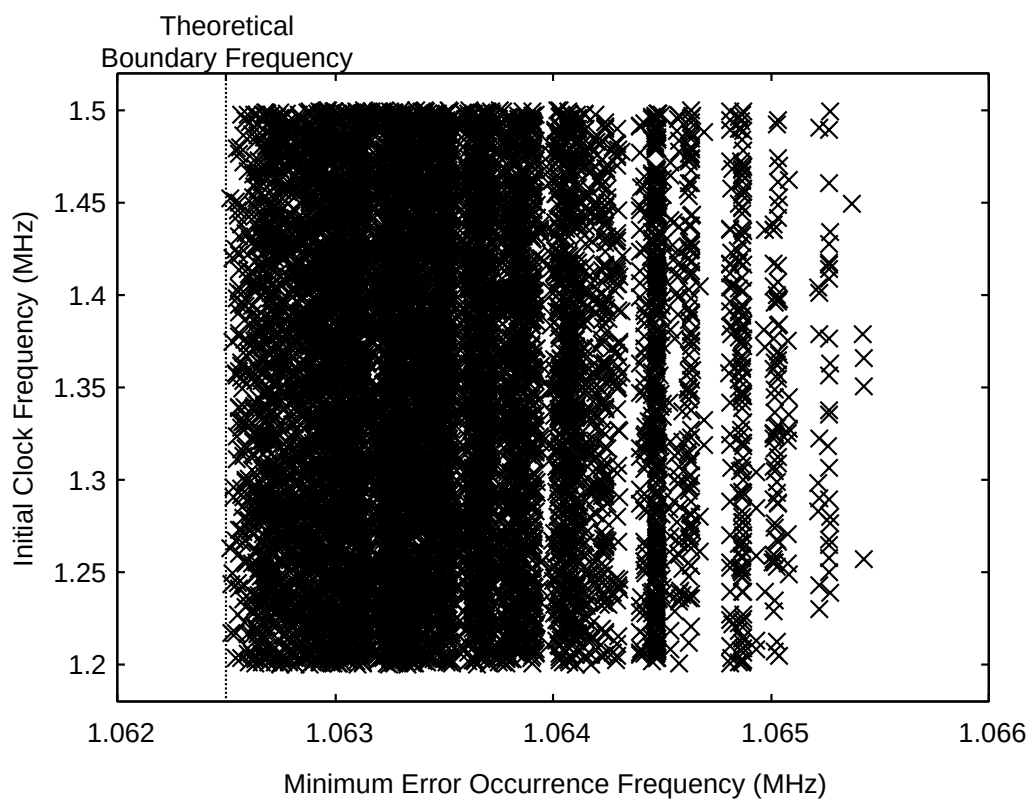


図 5.15: 高域側よりロックさせたときのエラー発生周波数の最小値 シミュレーションで得られたすべての境界周波数は理論境界周波数よりも高域側に存在している

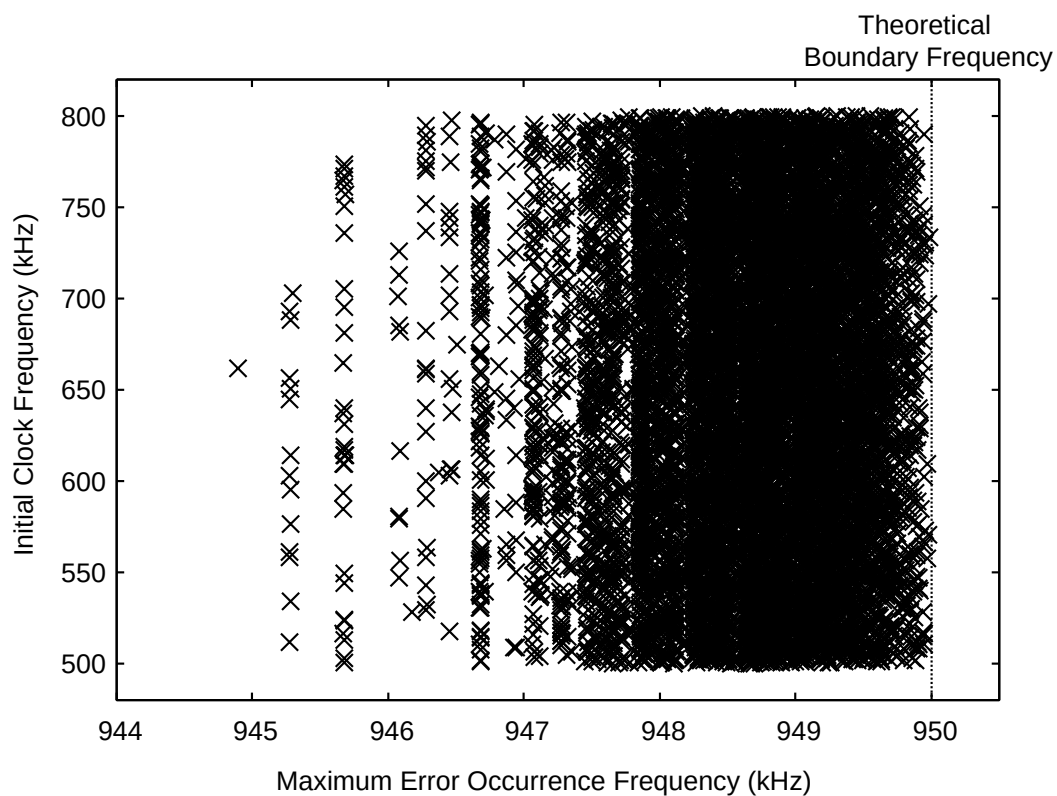


図 5.16: 低域側よりロックさせたときのエラー発生周波数の最大値 シミュレーションで得られたすべての境界周波数は理論境界周波数よりも低域側に存在している

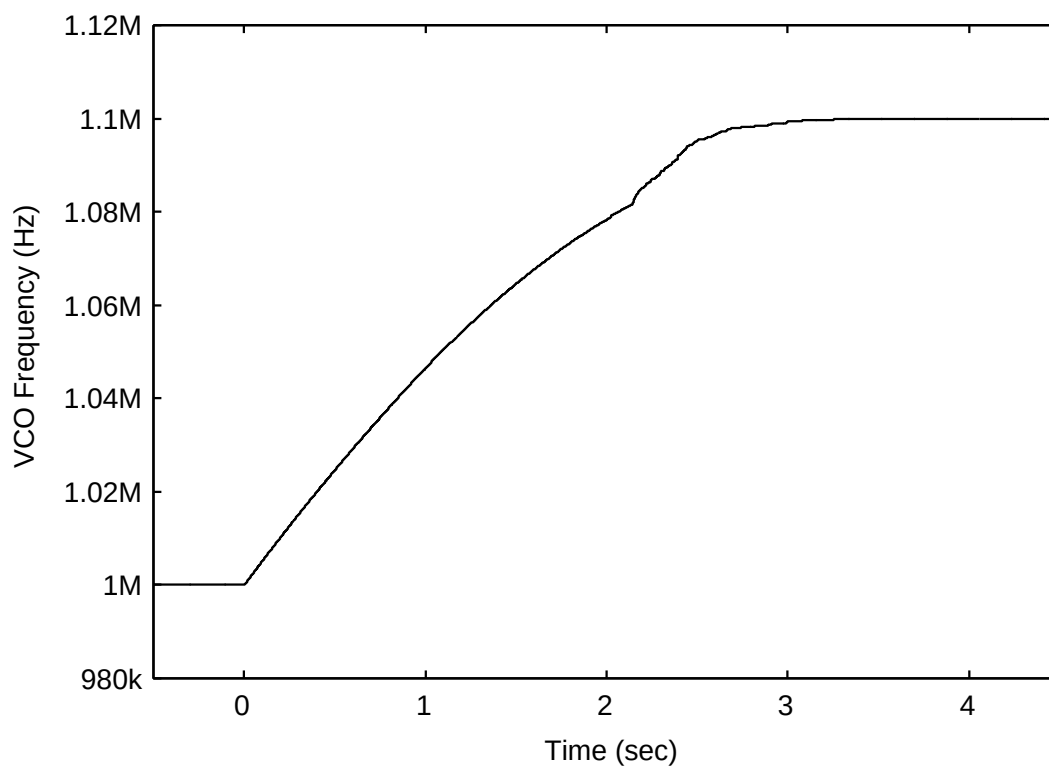


図 5.17: 入力信号のビットレートを変化させたときの VCO の周波数の変化 擬似ロックを生じず、本来の周波数へと収束している

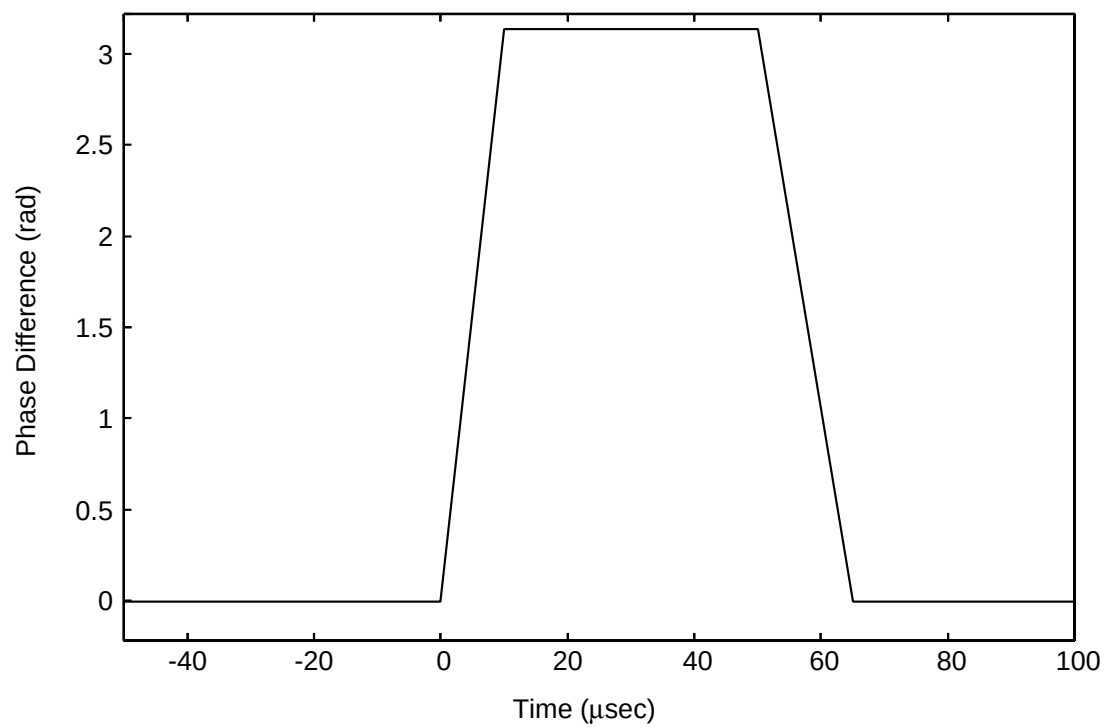


図 5.18: 入力信号の位相を変化させたときの位相差の変化 位相誤差が生じて、極めて短い時間で補正される

5.5 まとめ

最大連続同符号長が既知の入力信号に対して、擬似ロックを生じない広帯域 CDR 回路を提案した。本回路では VCO の発振周波数を入力ビットレートより高くし、入力信号をオーバーサンプリングすることで、VCO の発振周波数と入力ビットレートの比が予め指定した値と等しくなるよう、VCO の発振周波数を制御する。本構成における非理想性は、絶対位相誤差が OSR に依存することである。また、正常通信のために許容されるジッタ生成は位相で表され、OSR と最大連続同符号長に依存する。提案構成について、数値シミュレーションを行ったところ、二桁に渡る広い入力ビットレートの範囲で正常にロックすることを確認した。

本研究で提案した CDR 回路をセンサネットワーク内のインタフェースに使用することで、単一の回路構成を様々な測定頻度、測定条件のアプリケーションに用いることができる。

参考文献

- [1] Compaq, Hewlett-Packard, Intel, Lucent, Microsoft, NEC and Philips, Universal Serial Bus Specification Revision 2.0, 2000.
- [2] B. Razavi, “Challenges in the design of high-speed clock and data recovery circuits,” *IEEE Communications Magazine*, pp.94–101, Aug. 2002.
- [3] R. Yang, S.P. Chen, and S.I. Liu, “A 3.125Gb/s clock and data recovery circuit for the 10-Gbase-LX4 ethernet,” *IEEE Journal of Solid-State Circuits*, vol.39, no.8, pp.1356–1360, Aug. 2004.
- [4] Digital Display Working Group, Digital Visual Interface DVI Revision 1.0, 1999.
- [5] L. Lee, D. Weinlader, and C.K.K. Yang, “A sub-10-ps multiphase sampling system using redundancy,” *IEEE Journal of Solid-State Circuits*, vol.41, no.1, pp.265–273, Jan. 2006.
- [6] J. Kim, J. Yang, S. Byun, H. Jun, J. Park, C.S.G. Conroy, and B. Kim, “A four-channel 3.125-Gb/s/ch CMOS serial-link transceiver with a mixed-mode adaptive equalizer,” *IEEE Journal of Solid-State Circuits*, vol.40, no.2, pp.462–471, Feb. 2005.
- [7] A.X. Widmer and P.A. Franaszek, “A DC-balanced, partitioned-block, 8b/10b transmission code,” *IBM Journal of Research and Development*, vol.27, no.5, pp.440–451, Sep. 1983.
- [8] ECMA, Data interchange on read-only 120mm optical data disks(CD-ROM) (Standard EMCA-130), 1996.
- [9] 井田 司, 田中智之, 中尾 賢, 松岡俊匡, 谷口研二, “広い入力ビットレート範囲を持つクロックリカバリ回路,” *電子情報通信学会論文誌 C*, 採録予定, 2008.
- [10] M. Meghelli, B. Parker, H. Ainspan, and M. Soyuer, “SiGe BiCMOS 3.3-v clock and data recovery circuits for 10-GB/s serial transmission systems,” *IEEE Journal of Solid-State Circuits*, vol.35, no.12, pp.1992–1995, Dec. 2000.

第6章 結論

本論文ではセンサネットワークにおける回路部の設計・運用時のスケーラビリティを向上させるための回路構成・動作方式について提案し、その有効性を確認した。

第1章では研究の背景であるセンサネットワークと研究の概要について述べた。

第2章では極低消費電力 $\Delta\Sigma$ モジュレータについて述べた。電池のような電力容量の小さな電源環境での長期間動作を実現するため、弱反転領域動作回路として設計した。電源電圧は 500 mV に設定し、すべての MOS トランジスタを確実に弱反転領域で動作させて回路の安定化を図った。モジュレータ内のスイッチトキャパシタ積分器に用いたオペアンプの非理想性として、ゲイン、帯域 (出力抵抗)、スルーレートのそれぞれがモジュレータの SNDR に与える影響を数値シミュレーションを用いて確認したところ、スルーレートが最も影響を及ぼすことを確認した。そこで、2 次の $\Delta\Sigma$ モジュレータを 0.25 μm CMOS プロセスを用いて設計し、モジュレータ内で使用するオペアンプとして、第3章で提案した適応型バイアスを用いたスルーレートブーストオペアンプと定電流バイアスのオペアンプのそれぞれを組み込み、試作した。モジュレータの消費電流が等しくなるように、定電流バイアスを用いたモジュレータのバイアス電流を調整して実測したところ、適応型バイアスを用いたモジュレータのバイアス電流が 1 nA のとき、適応型バイアスオペアンプを導入することで入力振幅の全域において、定電流バイアスのモジュレータよりも SNDR が約 10 dB 改善された。消費電流は 26 nA であり、小型のボタン電池一個で 10 年以上の連続動作が可能である。また、適応型バイアスオペアンプのバイアス電流を 0.6 nA に設定し、クロック周波数を増加させたところ、適応型バイアスのモジュレータは定電流バイアスのモジュレータよりも SNDR が約 15~20 dB 改善した。したがって、本研究で提案したスルーレートブーストを用いた設計法を用いることで従来の AD 変換回路より高精度の AD 変換を同一消費電力で実現できる。本回路をセンサ部のアナログフロントエンド回路に用いると、精度の劣化を抑制しつつ、電池駆動でも長期間の駆動が可能となる。

第3章では、スイッチキャパシタ回路の特性を改善するためのスルーレートブーストオペアンプについて述べた。省電力を維持しつつスルーレートを改善するために、オペアンプの入力振幅をモニタし、その絶対値に対応した電流を出力する適応型バイアス回路を提案し、試作、測定を行った。絶対値検出回路と可変電流源から構成される適応型バイアス回路は、絶対値検出回路内の差動対の入力段の MOS トランジスタのサイズ比を非対称にして、故意に不感帯を設けて、入力振幅が小さいときに絶対値検出回路の誤動作を防いだ。適応型バイアスオペアンプと定電流バイアスオペアンプのそれぞれを用いてスイッチキャパシタ回路を 0.25 μm CMOS プロセスで試作し、実測したところ、適応型バイアスを用いることで、スイッチキャパシタ回路のセトリング時間が約 12 倍改善した。提案した適応型バイアスオペアンプは弱反転領域動作という極低消費電力の条件下における AD 変換回路の精度、速度の特性改善を実現することができる。

第4章では、可変ゲインアンプを用いた有線 CDMA インタフェースについて述べた。キャパシタカップリングを用い、電荷の形で信号をバスに送出する有線 CDMA インタフェースは、省電力を維持しつつ、容易に多重通信が可能であるが、送信器の増減などでバス容量が変化するとバス振幅も変化し、正常通信できなくなる可能性がある。そこで、受信器に可変ゲインアンプを組み込んだ構成を提案し、可変ゲインアンプの必要条件と回路構成を示した。可変ゲインアンプの最大入力レンジとゲインの線形性についてシステムシミュレーションを行って必要特性を確認し、最大入

カレンジは最大バス振幅の 25 %以上を確保，ゲインの線形性は最大入力振幅時のゲインと振幅 0 の時のゲインの比が 0.5~2 であれば正常通信可能であることを示した．必要特性を満たす回路構成として，Multiple-Differential-Pair 構成の可変ゲインアンプについて検討した．ゲインの調整は差動対に流れる電流量を調整することで実現した．可変電流源は，MOS トランジスタの二乗則を用いて設定値の 2 乗に対応した電流を出力し，ゲイン設定値とゲインの線形性を高める回路を提案した．提案した可変電流源により，ゲインが低いときの設定値とゲインの関係をより線形にすることが可能であることをシステムシミュレーションで確認した．可変ゲインアンプのゲインは約 0.37~2 倍の間で変化し，約 5 倍のバス容量の変化に対応可能であることを示した．本提案構成は動的に構成が変化する環境下での通信を容易に実現することができる．本回路をセンサ部と通信部との間のインタフェースに用いて，センサ数やバス長に起因するバス容量の変化に対応することが可能となる．

第5章では，広帯域のクロックリカバリ回路の動作手法について述べた．入力信号と出力クロックのエッジを基に出力周波数が制御される従来のクロックリカバリ回路に対し，本提案構成では VCO を入力信号よりも速く動作させて，オーバーサンプリング倍率を基に出力周波数を制御する．PFD 内で行われるオーバーサンプリング倍率の検出は，入力信号のエッジ間の VCO の駆動回数と前回算出したオーバーサンプリング倍率からデータ長を求めて算出される．データ長を得る際に，最大連続同符号長が既知の入力信号を想定し，最大連続同符号長よりも長いデータ長が算出されたときには最大連続同符号長のデータとして取り扱うことで擬似ロックを回避できることを示した．収束時にエラーが発生しないことを保証する周波数範囲を位相のずれに算出し直し，それを本提案構成におけるジッタ生成と定義し，その特性を示した．数値シミュレーションを行い，二桁以上の入力信号ビットレートに対して，擬似ロックを生じないことを示した．擬似ロックが生じないため，従来の回路では対応できない，広いビットレートの変化幅を持つインタフェースにも容易に対応することができる．本提案方式をセンサ部と通信部の間のインタフェースや通信ノード間同士のインタフェースに用いることで同一の回路構成で様々な測定条件や測定頻度のアプリケーションに対応することが可能となる．

付 録 A スイッチトキャパシタ回路のシミュレーションモデル

図 3.3 のスイッチトキャパシタ回路において、オペアンプの出力抵抗 r_{amp} とスルーレート sr の影響を考えないとき、差動入力電圧 v_{in} に対して、クロックの相が ϕ から $\bar{\phi}$ に変化したときの差動出力電圧 $v_{out,ideal}^+$ を求める。

C_s, C_f に蓄積される電荷 q_s, q_f は $t = 0^-$ で、

$$q_s^- = C_s \cdot v_{in} \quad (A.1)$$

$$q_f^- = C_f(v_{out}^- - v_i^-) \quad (A.2)$$

$$= C_f \left(v_{out}^- + \frac{v_{out}}{A} \right) \quad (A.3)$$

$$= C_f v_{out}^- \frac{A+1}{A} \quad (A.4)$$

$t = 0^+$ のとき、

$$q_s^+ = -C_s v_i^+ \quad (A.5)$$

$$= C_s \frac{v_{out,ideal}^+}{A} \quad (A.6)$$

$$q_f^+ = C_f(v_{out,ideal}^+ - v_i^+) \quad (A.7)$$

$$= C_f v_{out,ideal}^+ \frac{A+1}{A} \quad (A.8)$$

$$(A.9)$$

となる。ここで

$$q_s^- + q_f^- = q_s^+ + q_f^+ \quad (A.10)$$

なので、

$$C_s v_{in} + C_f v_{out}^- \frac{A+1}{A} = C_s \frac{v_{out,ideal}^+}{A} + C_f v_{out,ideal}^+ \frac{A+1}{A} \quad (A.11)$$

$$v_{out,ideal}^+ = \left(C_s v_{in} + C_f v_{out}^- \frac{A+1}{A} \right) \left(\frac{C_s}{A} + C_f \frac{A+1}{A} \right)^{-1} \quad (A.12)$$

$$= \left(C_s v_{in} + C_f v_{out}^- \frac{A+1}{A} \right) \left(\frac{C_s + C_f(A+1)}{A} \right)^{-1} \quad (A.13)$$

$$= \left(C_s v_{in} + C_f v_{out}^- \frac{A+1}{A} \right) \frac{A}{C_s + C_f(A+1)} \quad (A.14)$$

となる。ここで、 A はオペアンプのゲイン、 v_{out}^- はクロックの相が ϕ のときの差動出力電圧である。

出力抵抗とスルーレートの影響を考慮すると、出力抵抗のみを考慮したときの波形の傾き

$$\frac{dV_{rout}(t)}{dt} = \frac{(v_{out,ideal}^+ - v_{out}^-)}{r_{amp} C_L} \exp \left(\frac{-t}{r_{amp} C_L} \right) \quad (A.15)$$

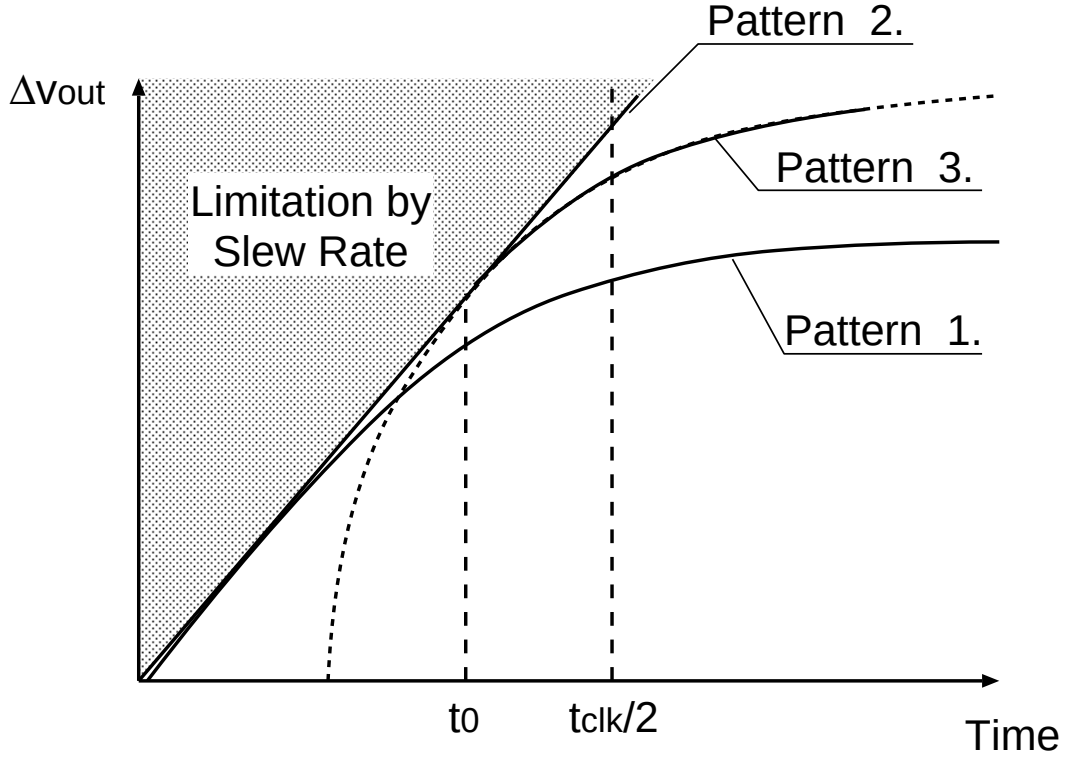


図 A.1: スイッチトキャパシタ回路のシミュレーションモデル スルーレートによる波形の傾きと、出力抵抗による波形の傾きを比較して、動作モデルを3つのパターンに分ける

とスルーレートのみを考慮したときの波形の傾き

$$\frac{dV_{sr}(t)}{dt} = sr \quad (\text{A.16})$$

が等しくなる時間 t_0 の値により、図 A.1 に示すように出力変化 Δv_{out} は次の3つのパターンに分けられる。なお、図中には3.における t_0 を示した。

このとき、 t_0 は次のようにして求められる。

$$\frac{dV_{rout}(t_0)}{dt} = \frac{dV_{sr}(t_0)}{dt} \quad (\text{A.17})$$

$$\frac{(v_{out,ideal}^+ - v_{out}^-)}{r_{amp}C_L} \exp\left(\frac{-t_0}{r_{amp}C_L}\right) = sr \quad (\text{A.18})$$

$$\exp\left(\frac{-t_0}{r_{amp}C_L}\right) = \frac{sr \cdot r_{amp}C_L}{v_{out,ideal}^+ - v_{out}^-} \quad (\text{A.19})$$

$$\frac{-t_0}{r_{amp}C_L} = \ln \frac{sr \cdot r_{amp}C_L}{v_{out,ideal}^+ - v_{out}^-} \quad (\text{A.20})$$

$$t_0 = -\ln \frac{sr \cdot r_{amp}C_L}{v_{out,ideal}^+ - v_{out}^-} \cdot r_{amp}C_L \quad (\text{A.21})$$

$$(\text{A.22})$$

1. $t_0 \leq 0$ のとき

出力変化は出力抵抗と負荷容量 C_L からなる時定数の影響を受け、次式で表される。

$$\Delta v_{out} = (v_{out,ideal}^+ - v_{out}^-) \cdot \left(1 - \exp\left(\frac{-t_{clk}}{2r_{amp}C_L}\right)\right) \quad (\text{A.23})$$

また, Δv_{out} は出力電位の変化量, t_{clk} はクロック周期である.

2. $t_0 \geq t_{clk}/2$ のとき

出力変化は次式のようにクロック周期との比例関係で表される.

$$\Delta v_{out} = sr \cdot \frac{t_{clk}}{2} \quad (\text{A.24})$$

3. $0 < t_0 < t_{clk}/2$ のとき

出力の変化はスルーレートと出力抵抗による影響のうち, 傾きの小さい方の影響を受ける.

$$\Delta v_{out} = sr \cdot t_0 + (v_{out,ideal}^+ - v_{out}^- - sr \cdot t_0) \cdot \left(1 - \exp \left(-\frac{\frac{t_{clk}}{2} - t_0}{r_{amp} C_L} \right) \right) \quad (\text{A.25})$$

シミュレーションでは, t_0 の値に応じて, 式 (A.23), (A.24), (A.25) をそれぞれ適用し, スイッチトキャパシタ回路にオペアンプの非理想性を適用した.

付 録 B CMFB 回路特性式導出

図 3.5 に示した CMFB 回路において,

$$I_{D,M24} = I_{D,M23} + I_{D,M25} - \frac{1}{2}(I_{D,M27} + I_{D,M28}) \quad (\text{B.1})$$

$$= I_{D,M23} + I_{V_{CM}} - \frac{1}{2}(I_{out_p} + I_{out_n}) \quad (\text{B.2})$$

ここで,

$$I_{V_{CM}} - \frac{1}{2}(I_{out_p} + I_{out_n}) = 0 \quad (\text{B.3})$$

となるようフィードバック制御されるため, $I_{V_{CM}} - \frac{1}{2}(I_{out_p} + I_{out_n})$ が誤差の検知項となる.

$\frac{V_{outp} + V_{outn}}{2} = V_{av}$ とし, M25, M27, M28 が p チャネル MOS トランジスタであることを考慮すると,

$$I_{V_{CM}} - \frac{1}{2}(I_{out_p} + I_{out_n}) = I_{S0} \left\{ \exp\left(-\frac{\kappa V_{CM}}{V_t}\right) - \frac{1}{2} \left(\exp\left(-\frac{\kappa V_{outp}}{V_t}\right) + \exp\left(-\frac{\kappa V_{outn}}{V_t}\right) \right) \right\} \quad (\text{B.4})$$

$$= I_{S0} \left\{ \exp\left(\kappa \frac{-V_{CM} + V_{av} - V_{av}}{V_t}\right) - \frac{1}{2} \left(\exp\left(\kappa \frac{-V_{outp} + V_{av} - V_{av}}{V_t}\right) + \exp\left(\kappa \frac{-V_{outn} + V_{av} - V_{av}}{V_t}\right) \right) \right\} \quad (\text{B.5})$$

$$= I_{S0} \exp\left(-\kappa \frac{V_{av}}{V_t}\right) \left\{ \exp\left(\kappa \frac{V_{av} - V_{CM}}{V_t}\right) - \frac{1}{2} \left(\exp\left(-\kappa \frac{V_{outp} - V_{outn}}{2V_t}\right) + \exp\left(\kappa \frac{V_{outp} - V_{outn}}{2V_t}\right) \right) \right\} \quad (\text{B.6})$$

x が微小量するとき, 2 次のテイラー展開は

$$\exp(x) \sim \left(\frac{x^2}{2} + x + 1 \right) \quad (\text{B.7})$$

と表せる。したがって,

$$I_{V_{CM}} - \frac{1}{2}(I_{out_p} + I_{out_n}) = I_{S0} \exp\left(-\kappa \frac{V_{av}}{V_t}\right) \left\{ \exp\left(\kappa \frac{V_{av} - V_{CM}}{V_t}\right) - \frac{1}{2} \left\{ \frac{\kappa^2 (-V_{out_p} + V_{out_n})^2}{4V_t^2} + \kappa \frac{-V_{out_p} + V_{out_n}}{2V_t} + 1 \right. \right. \\ \left. \left. + \frac{\kappa^2 (V_{out_p} - V_{out_n})^2}{4V_t^2} + \kappa \frac{V_{out_p} - V_{out_n}}{2V_t} + 1 \right\} \right\} \quad (B.8)$$

$$= I_{S0} \exp\left(\kappa \frac{-V_{av}}{V_t}\right) \left\{ \exp\left(\kappa \frac{V_{av} - V_{CM}}{V_t}\right) - \kappa^2 \frac{(V_{out_p} - V_{out_n})^2}{4V_t} - 1 \right\} \quad (B.9)$$

$$= I_{S0} \exp\left(-\kappa \frac{V_{av}}{V_t}\right) \left\{ \left(\kappa \frac{V_{av} - V_{CM}}{2V_t}\right)^2 + \kappa \frac{V_{av} - V_{CM}}{V_t} + 1 - \kappa^2 \frac{(V_{out_p} - V_{out_n})^2}{4V_t} - 1 \right\} \quad (B.10)$$

$$= I_{S0} \exp\left(-\kappa \frac{V_{av}}{V_t}\right) \left\{ \left(\kappa \frac{V_{av} - V_{CM}}{2V_t}\right)^2 + \kappa \frac{V_{av} - V_{CM}}{V_t} - \kappa^2 \frac{(V_{out_p} - V_{out_n})^2}{4V_t} \right\} \quad (B.11)$$

ここで, $V_{av} - V_{CM}$ は誤差成分であり, 小振幅と見なし,

$$(V_{av} - V_{CM})^2 \ll 1 \quad (B.12)$$

同様に, $V_{out_p} - V_{out_n}$ は信号の差動成分で, 小振幅と見なし,

$$(V_{out_p} - V_{out_n})^2 \ll 1 \quad (B.13)$$

式 (B.12),(B.13) より, 近似すると,

$$I_{V_{CM}} - \frac{1}{2}(I_{out_p} + I_{out_n}) = I_{S0} \kappa \exp\left(-\kappa \frac{V_{av}}{V_t}\right) \cdot \frac{V_{av} - V_{CM}}{V_t} \quad (B.14)$$

となる。したがって,

$$I_{D,M24} = I_{D,M23} + \frac{\kappa I_{S0}}{V_t} (V_{av} - V_{CM}) \exp\left(-\kappa \frac{V_{av}}{V_t}\right) \quad (B.15)$$

となる。

付 録 C 可変ゲインアンプ入出力特性導出

図 4.20 の回路において、MOS トランジスタの特性式とキルヒホッフの電流則より、次の式が得られる。

$$I_{11} = n \frac{\beta}{2} (V_{in1} - V_{C1} - V_{th})^2 \quad (C.1)$$

$$I_{12} = \frac{\beta}{2} (V_{in2} - V_{C1} - V_{th})^2 \quad (C.2)$$

$$I_{21} = \frac{\beta}{2} (V_{in1} - V_{C2} - V_{th})^2 \quad (C.3)$$

$$I_{22} = \frac{\beta}{2} (V_{in2} - V_{C2} - V_{th})^2 \quad (C.4)$$

$$I_{31} = \frac{\beta}{2} (V_{in1} - V_{C3} - V_{th})^2 \quad (C.5)$$

$$I_{32} = n \frac{\beta}{2} (V_{in2} - V_{C3} - V_{th})^2 \quad (C.6)$$

$$mI_{ss} = I_{11} + I_{12} \quad (C.7)$$

$$2I_{ss} = I_{21} + I_{22} \quad (C.8)$$

$$mI_{ss} = I_{31} + I_{32} \quad (C.9)$$

$$I_{r1} = I_{11} + I_{21} + I_{31} \quad (C.10)$$

$$I_{r2} = I_{12} + I_{22} + I_{32} \quad (C.11)$$

$$V_{out1} = V_{DD} - RI_{R1} \quad (C.12)$$

$$V_{out2} = V_{DD} - RI_{R2} \quad (C.13)$$

また、 β は差動対のアスペクト比が 1 の MOS トランジスタのトランスコンダクタンス ($= \mu C_{ox} \frac{W}{L}$) である。

この 13 個の式に対して、未知変数は I_{11} , I_{12} , I_{21} , I_{22} , I_{31} , I_{32} , V_{C1} , V_{C2} , V_{C3} , I_{r1} , I_{r2} , V_{out1} , V_{out2} の 13 個なので、上記の連立方程式は解くことができる。

式 (C.1), (C.2), (C.7) より,

$$n \frac{\beta}{2} (V_{in1} - V_{C1} - V_{th})^2 + \frac{\beta}{2} (V_{in2} - V_{C1} - V_{th})^2 = mI_{ss} \quad (C.14)$$

$$n \{ V_{in1}^2 - 2V_{in1}(V_{C1} + V_{th}) + (V_{C1} + V_{th})^2 \} + V_{in2}^2 - 2V_{in2}(V_{C1} + V_{th}) + (V_{C1} + V_{th})^2 = \frac{2m}{\beta} I_{ss} \quad (C.15)$$

$$(n+1)(V_{C1} + V_{th})^2 - 2(nV_{in1} + V_{in2})(V_{C1} + V_{th}) + nV_{in1}^2 + V_{in2}^2 - \frac{2m}{\beta} I_{ss} = 0 \quad (C.16)$$

式 (C.16) において、 $(V_{C1} + V_{th})$ を一変数として扱うと、二次方程式と考えることができるので、

$$V_{C1} + V_{th} = \frac{2(nV_{in1} + V_{in2}) \pm \sqrt{4(nV_{in1} + V_{in2})^2 - 4(n+1)(nV_{in1}^2 + V_{in2}^2 - \frac{2m}{\beta}I_{ss})}}{2(n+1)} \quad (C.17)$$

$$\begin{aligned} &= \frac{nV_{in1} + V_{in2}}{n+1} \\ &\pm \frac{\sqrt{n^2V_{in1}^2 + 2nV_{in1}V_{in2} + V_{in2}^2 - n^2V_{in1}^2 - nV_{in1}^2 - V_{in2}^2 - nV_{in2}^2 + \frac{2m(n+1)}{\beta}I_{ss}}}{n+1} \end{aligned} \quad (C.18)$$

$$= \frac{nV_{in1} + V_{in2} \pm \sqrt{-n(V_{in1} - V_{in2})^2 + \frac{2m(n+1)}{\beta}I_{ss}}}{n+1} \quad (C.19)$$

となる。したがって、 V_{C1} は、

$$V_{C1} = \frac{nV_{in1} + V_{in2} \pm \sqrt{-n(V_{in1} - V_{in2})^2 + \frac{2m(n+1)}{\beta}I_{ss}}}{n+1} - V_{th} \quad (C.20)$$

となる。ここで、式 (C.20) 中の $\pm$ について検討する。

I_{ss} が増加したときの V_{C1} の増減を考えると、テール電流源が増加するため、入力段 MOS トランジスタのゲート-ソース間電圧が増加し、 V_{C1} の電位は低下する。したがって、 V_{C1} は次式で表される。

$$V_{C1} = \frac{nV_{in1} + V_{in2} - \sqrt{-n(V_{in1} - V_{in2})^2 + \frac{2m(n+1)}{\beta}I_{ss}}}{n+1} - V_{th} \quad (C.21)$$

同様に、式 (C.3), (C.4), (C.8) と式 (C.5), (C.6), (C.9) より、

$$V_{C2} = \frac{V_{in1} + V_{in2} - \sqrt{-n(V_{in1} - V_{in2})^2 + \frac{8}{\beta}I_{ss}}}{2} - V_{th} \quad (C.22)$$

$$V_{C3} = \frac{V_{in1} + nV_{in2} - \sqrt{-n(V_{in1} - V_{in2})^2 + \frac{2m(n+1)}{\beta}I_{ss}}}{n+1} - V_{th} \quad (C.23)$$

が得られる。

式 (C.1), (C.21) より、

$$I_{11} = n\frac{\beta}{2} \left\{ V_{in1} - \left(\frac{nV_{in1} + V_{in2} - \sqrt{-n(V_{in1} - V_{in2})^2 + \frac{2m(n+1)}{\beta}I_{ss}}}{n+1} - V_{th} \right) - V_{th} \right\}^2 \quad (C.24)$$

$$= n\frac{\beta}{2} \left(\frac{V_{in1} - V_{in2} + \sqrt{-n(V_{in1} - V_{in2})^2 + \frac{2m(n+1)}{\beta}I_{ss}}}{n+1} \right)^2 \quad (C.25)$$

ここで、 $\Delta V_{in} = V_{in1} - V_{in2}$ とおくと、式 (C.25) は次のように表せる。

$$I_{11} = n \frac{\beta}{2} \left(\frac{\Delta V_{in} + \sqrt{-n\Delta V_{in}^2 + \frac{2m(n+1)}{\beta} I_{ss}}}{n+1} \right)^2 \quad (C.26)$$

$$= n \frac{\beta}{2} \frac{\Delta V_{in}^2 + 2\Delta V_{in} \sqrt{-n\Delta V_{in}^2 + \frac{2m(n+1)}{\beta} I_{ss}} + \frac{2m(n+1)}{\beta} I_{ss} - n\Delta V_{in}^2}{(n+1)^2} \quad (C.27)$$

$$= n \frac{\beta}{2} \frac{(1-n)\Delta V_{in}^2 + 2\Delta V_{in} \sqrt{-n\Delta V_{in}^2 + \frac{2m(n+1)}{\beta} I_{ss}} + \frac{2m(n+1)}{\beta} I_{ss}}{(n+1)^2} \quad (C.28)$$

同様に、式 (C.3), (C.22), 式 (C.5), (C.23), 式 (C.2), (C.21), 式 (C.4), (C.22), 式 (C.6), (C.23) より、次式のそれぞれが得られる。

$$I_{21} = I_{ss} + \frac{\beta}{4} \Delta V_{in} \sqrt{-\Delta V_{in}^2 + \frac{8}{\beta} I_{ss}} \quad (C.29)$$

$$I_{31} = \beta \frac{n(n-1)\Delta V_{in}^2 + 2n\Delta V_{in} \sqrt{-n\Delta V_{in}^2 + \frac{2m(n+1)}{\beta} I_{ss}} + \frac{2m(n+1)}{\beta} I_{ss}}{2(n+1)^2} \quad (C.30)$$

$$I_{12} = \beta \frac{n(n-1)\Delta V_{in}^2 - 2n\Delta V_{in} \sqrt{-n\Delta V_{in}^2 + \frac{2m(n+1)}{\beta} I_{ss}} + \frac{2m(n+1)}{\beta} I_{ss}}{2(n+1)^2} \quad (C.31)$$

$$I_{22} = I_{ss} - \frac{\beta}{4} \Delta V_{in} \sqrt{-\Delta V_{in}^2 + \frac{8}{\beta} I_{ss}} \quad (C.32)$$

$$I_{32} = n\beta \frac{(1-n)\Delta V_{in}^2 - 2\Delta V_{in} \sqrt{-n\Delta V_{in}^2 + \frac{2m(n+1)}{\beta} I_{ss}} + \frac{2m(n+1)}{\beta} I_{ss}}{2(n+1)^2} \quad (C.33)$$

式 (C.10), (C.11) と、式 (C.28)–(C.33) より、

$$I_{r1} = (m+1)I_{ss} + \frac{2\beta n\Delta V_{in}}{(n+1)^2} \sqrt{-n\Delta V_{in}^2 + \frac{2m(n+1)}{\beta} I_{ss}} + \frac{\beta}{4} \Delta V_{in} \sqrt{-\Delta V_{in}^2 + \frac{8}{\beta} I_{ss}} \quad (C.34)$$

$$I_{r2} = (m+1)I_{ss} - \frac{2\beta n\Delta V_{in}}{(n+1)^2} \sqrt{-n\Delta V_{in}^2 + \frac{2m(n+1)}{\beta} I_{ss}} - \frac{\beta}{4} \Delta V_{in} \sqrt{-\Delta V_{in}^2 + \frac{8}{\beta} I_{ss}} \quad (C.35)$$

式 (C.12), (C.13), (C.34), (C.35) より、

$$V_{out1} = V_{DD} - R \left\{ (m+1)I_{ss} + \frac{2\beta n\Delta V_{in}}{(n+1)^2} \sqrt{-n\Delta V_{in}^2 + \frac{2m(n+1)}{\beta} I_{ss}} + \frac{\beta}{4} \Delta V_{in} \sqrt{-\Delta V_{in}^2 + \frac{8}{\beta} I_{ss}} \right\} \quad (C.36)$$

$$V_{out2} = V_{DD} - R \left\{ (m+1)I_{ss} - \frac{2\beta n\Delta V_{in}}{(n+1)^2} \sqrt{-n\Delta V_{in}^2 + \frac{2m(n+1)}{\beta} I_{ss}} - \frac{\beta}{4} \Delta V_{in} \sqrt{-\Delta V_{in}^2 + \frac{8}{\beta} I_{ss}} \right\} \quad (C.37)$$

が得られる。したがって、 $\Delta V_{out} = V_{out1} - V_{out2}$ とおくと、 ΔV_{out} は次式で表される。

$$\Delta V_{out} = -R \left(\frac{4\beta n\Delta V_{in}}{(n+1)^2} \sqrt{-n\Delta V_{in}^2 + \frac{2m(n+1)}{\beta} I_{ss}} + \frac{\beta}{2} \Delta V_{in} \sqrt{-\Delta V_{in}^2 + \frac{8}{\beta} I_{ss}} \right) \quad (C.38)$$

ここで, $\sqrt{-n\Delta V_{in}^2 + \frac{2m(n+1)}{\beta}I_{ss}}$ と $\sqrt{-\Delta V_{in}^2 + \frac{8}{\beta}I_{ss}}$ について, それぞれのパラメータのオーダーを

$$\begin{aligned} n &\approx 10^0 \sim 10^1 \\ \Delta V_{in} &\approx 10^{-2} \sim 10^{-1} \\ m &\approx 10^0 \sim 10^1 \\ \beta &\approx 10^{-4} \sim 10^{-5} \\ I_{ss} &\approx 10^{-4} \sim 10^{-5} \end{aligned}$$

とすると,

$$-n\Delta V_{in}^2 \approx 10^{-3} \sim 10^{-1} \quad (C.39)$$

$$\frac{2m(n+1)}{\beta}I_{ss} \approx 10^0 \sim 10^2 \quad (C.40)$$

$$-\Delta V_{in}^2 \approx 10^{-4} \sim 10^{-2} \quad (C.41)$$

$$\frac{8}{\beta}I_{ss} \approx 10^0 \quad (C.42)$$

となり,

$$|-n\Delta V_{in}^2| << \left| \frac{2m(n+1)}{\beta}I_{ss} \right| \quad (C.43)$$

$$|-\Delta V_{in}^2| << \left| \frac{8}{\beta}I_{ss} \right| \quad (C.44)$$

となるため,

$$\sqrt{-n\Delta V_{in}^2 + \frac{2m(n+1)}{\beta}I_{ss}} \approx \sqrt{\frac{2m(n+1)}{\beta}I_{ss}} \quad (C.45)$$

$$\sqrt{-\Delta V_{in}^2 + \frac{8}{\beta}I_{ss}} \approx \sqrt{\frac{8}{\beta}I_{ss}} \quad (C.46)$$

と近似できる. したがって, 入出力特性の式 (C.38) は,

$$\Delta V_{out} = -R \left(\frac{4\beta n \Delta V_{in}}{(n+1)^2} \sqrt{2m(n+1) \frac{I_{ss}}{\beta}} + \frac{\beta}{2} \Delta V_{in} \sqrt{8 \frac{I_{ss}}{\beta}} \right) \quad (C.47)$$

$$= -R \Delta V_{in} \left(\frac{4n}{(n+1)^2} \sqrt{2\beta m(n+1)I_{ss}} + \sqrt{2\beta I_{ss}} \right) \quad (C.48)$$

となる.

謝辞

本研究は大阪大学大学院工学研究科電気電子情報工学専攻 谷口 研二教授の御指導の下に行われたものであり、本研究を遂行するにあたり終始有益な御助言を賜りましたことに厚く御礼申し上げます。

本論文の作成にあたり、有意義な御助言と御指導をいただいた大阪大学大学院工学研究科八木 哲也教授、松岡 俊匡准教授、大阪大学大学院情報科学研究科 橋本 昌宜准教授に御礼申し上げます。

本論文に対して御検討、御教示をいただきました大阪大学大学院工学研究科伊藤 利道教授、尾崎 雅則教授、片山 光浩教授、近藤 正彦教授、杉野 隆教授、栖原 敏明教授、森 勇介教授、森田 清三教授に御礼申し上げます。

本研究を遂行するにあたり、様々な御指導をいただいた大阪大学大学院工学研究科白川 二博士、河崎 達夫博士、瀬恒 謙太郎教授、鎌倉 良成助教、井戸 徹博士に深く感謝致します。

本研究を遂行するにあたり、有意義な議論をして頂きました古田 善一博士 (現ルネサステクノロジ)、清水 新策博士 (現大東電機工業)、車 承佑博士 (現ルネサステクノロジ)、高橋 賢氏 (現 NTT ドコモ)、嶋村 延幸氏 (現ソニー)、宮本 潤氏 (現 NTT ドコモ関西)、田中 智之氏、石原 寛明氏 (現東芝)、高橋 紀行氏 (現京セラ)、犬伏 裕基氏 (現キーエンス)、山越 陽夫氏 (現ローム)、中尾 賢氏に感謝致します。

研究の過程において幾多の御助言及び御協力を頂きました廣瀬 哲也博士 (現北海道大学)、清水 由幸博士 (現日本 Texas Instruments)、Kim Gue Chol 博士 (現松下電工)、辻 博史博士、古橋 壮之博士、洞木 吉博氏 (現中国電力)、大倉 俊介氏、舘 真透氏 (現ソニー)、細井 宏昭氏 (現四国電力)、西島 辰司氏 (現半導体エネルギー研究所)、上田 啓介氏 (現ルネサステクノロジ)、内田 雅也氏 (現リコー)、兼本 大輔氏、村上 豊生氏 (現デンソー)、木原 崇雄氏、後藤 克氏 (現デンソー)、三原 理氏 (現アジレント・テクノロジー) をはじめとする谷口研究室の方々に感謝致します。そして、事務的な面で多大なる御協力を頂き、また常に親切な心遣いを頂きました古田 典子秘書、野村 友子秘書に感謝致します。

最後に、本研究は終始精神的・経済的に支援していただいた両親の下で為し得たものであり、そのような環境を作ってくださったことに心より御礼申し上げ、本論文の締めくくりと致します。

研究業績

学術論文

1. T. Ida, S. Shimizu, T. Matsuoka, and K. Taniguchi, “Wired CDMA Interface with Adaptivity for Interconnect Capacitances,” IEICE Transactions on Fundamentals, vol.E88-A, no.10, pp.2702–2706, Oct. 2005.
2. 井田 司, 田中智之, 石原寛明, 松岡俊匡, 谷口研二, “Adaptive Bias 回路を用いたスイッチトキャパシタ回路用省電力演算増幅器,” 電子情報通信学会論文誌 C, vol.J89-C, no.10, pp.645–647, Oct. 2006.
3. 井田 司, 田中智之, 松岡俊匡, 谷口研二, “生体センシング用途向け低消費電力 $\Delta\Sigma$ モジュレータ,” 電子情報通信学会論文誌 C, vol.J90-C, no.10, pp.662–670, Oct. 2007.
4. 井田 司, 田中智之, 中尾 賢, 松岡俊匡, 谷口研二, “広い入力ビットレート範囲を持つクロックリカバリ回路,” 電子情報通信学会論文誌 C, 採録予定.

学術論文 (その他)

1. 清水新策, 田中智之, 井田 司, 宮本 潤, 松岡俊匡, 谷口研二, “低電源電圧動作可能な高速 CMOS デマルチプレクサ,” 電子情報通信学会論文誌 C, vol.J88-C, no.1, pp.66–67, Jan. 2005.
2. 車 承佑, 古屋英行, 清水由幸, 春岡正起, 井田 司, 松岡俊匡, 谷口研二, “Ask/CDMA 方式を用いた近距離無線通信のための 12GHz CMOS 変復調回路,” 電子情報通信学会論文誌 C, vol.J88-C, no.3, pp.187–194, Mar. 2005.
3. 清水新策, 田中智之, 井田 司, 宮本 潤, 松岡俊匡, 谷口研二, “オフセットキャンセル機能を有する DS-CDMA 用低消費電力アナログマッチドフィルタ,” 電子情報通信学会論文誌 C, vol.J88-C, no.8, pp.655–661, Aug. 2005.
4. G. Kim, K. Ueda, S. Cha, T. Ida, Y. Shimizu, T. Matsuoka, and K. Taniguchi, “Process Variation Compensation Technique for Voltage-controlled Ring Oscillator,” Transactions on Electrical and Electronic Engineering, vol.2, no.2, pp.189–191, Mar. 2007.
5. 田中智之, 井田 司, 松岡俊匡, 谷口研二, “帯域可変 Gm-C フィルタのチューニング技術に関する検討,” 電子情報通信学会論文誌 C, vol.J90-C, no.7, pp.582–585, Jul. 2007.

国際会議

1. T. Tanaka, S. Cha, S. Shimizu, T. Ida, H. Ishihara, T. Matsuoka, K. Taniguchi, A. Sugimori, and H. Hihara, “A Widely Tunable Gm-C Filter Using Tail Current Offset in Two

Differential Pairs,” 2005 IEEE International Symposium on Circuits and Systems(ISCAS), May 2005.

2. T. Ida, T. Tanaka, H. Ishihara, T. Matsuoka, and K. Taniguchi, “Low Power-Consumption OP-Amp Using Adaptive Biasing for Switched Capacitor Circuit,” The 2006 International Meeting for Future of Electron Devices, Kansai(IMFEDK), Apr. 2006.

国内会議

1. 井田 司, 清水新策, 嶋村延幸, 松岡俊匡, 谷口研二, “有線 CDMA バス用可変ゲインアンプ,” 電子情報通信学会 総合大会, Mar. 2003.
2. 井田 司, 清水新策, 嶋村延幸, 松岡俊匡, 谷口研二, “有線 CDMA インタフェース用可変ゲインアンプ,” 電気学会 電子回路研究会, Jun. 2003.
3. 宮本 潤, 清水新策, 井田 司, 松岡俊匡, 谷口研二, “PTAT 参照電圧生成回路を用いた弱反転動作 CMOS デジタル回路の低消費電力化に関する研究,” 電子情報通信学会 集積回路研究会, Mar. 2005.
4. 王 軍, 井田 司, 田中智之, 金 奎哲, 姚 崢山, 松岡俊匡, 谷口研二, “A Design of Gain-Boosted Folded-Cascode CMOS OP-Amp for SC Circuits,” 電子情報通信学会 電子回路研究会, Mar. 2006.
5. 田中智之, 井田 司, 松岡俊匡, 谷口研二, 檜原弘樹, “帯域可変 Gm-C フィルタに関する検討,” 電子情報通信学会 シリコンアナログ RF 研究会, Aug. 2006.
6. 井田 司, 田中智之, 松岡俊匡, 谷口研二, “Adaptive Biasing を用いた低電源電圧・省電力オペアンプ,” 電子情報通信学会 ソサイエティ大会, Sep. 2006.
7. 田中智之, 井田 司, 金 奎哲, 松岡俊匡, 谷口研二, “広帯域 VCO を用いた CDR の検討,” 電子情報通信学会 集積回路研究会, Jul. 2007.

訳書

8. 和保孝夫, 安田 彰 (編), $\Delta\Sigma$ 型アナログ/デジタル変換器入門, 第 3 章, pp.52-74. 丸善, Jul. 2007.