



Title	極薄ゲート酸化膜MOSFETにおけるホットキャリア効果に関する研究
Author(s)	松岡, 俊匡
Citation	大阪大学, 1996, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3110068
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

極薄ゲート酸化膜 MOSFET における
ホットキャリア効果に関する研究

1996 年

松 岡 俊 匡

**極薄ゲート酸化膜 MOSFET における
ホットキャリア効果に関する研究**

1996 年

松 岡 俊 匡

目次

1 序論	3
1.1 本研究の背景	3
1.1.1 スケーリング則とゲート酸化膜の薄膜化	3
1.1.2 低消費電力化とゲート酸化膜の薄膜化の必要性	4
1.1.3 極薄ゲート酸化膜の課題	5
1.1.4 N_2O 酸窒化	7
1.2 本研究の目的	7
1.3 本研究の内容	8
2 MOSFET の速度飽和領域長のゲート酸化膜厚依存性	13
2.1 序	13
2.2 MOSFET の速度飽和領域長のゲート酸化膜厚依存性	13
2.3 擬2次元モデルとの比較	16
2.4 速度飽和電界のユニバーサル性	20
2.5 結言	20
3 Fowler-Nordheim 注入ストレスにおける MOS 界面劣化特性	25
3.1 序	25
3.2 実験	26
3.3 Fowler-Nordheim 注入ストレスにおける界面劣化のストレス極性依存性	27
3.4 酸化膜中の捕獲中心の電荷捕獲・放出特性	29
3.5 反転電子移動度のホットキャリア劣化の解析	35
3.6 結言	39
付録 反転電子移動度の劣化の理論計算	39
4 ゲート酸化膜の N_2O 酸窒化によるホットキャリア劣化への影響	43
4.1 序	43
4.2 実験	43
4.3 NMOSFET における N_2O 酸窒化によるホットキャリア劣化の抑制	44
4.3.1 基板電流, ゲート電流特性	44
4.3.2 ホットキャリア劣化特性	48
4.3.3 考察	53
4.4 表面チャネル PMOSFET における N_2O 酸窒化のホットキャリア劣化への影響	56
4.4.1 基板電流, ゲート電流特性	56
4.4.2 ホットキャリア劣化特性	57

4.4.3 考察	60
4.5 N ₂ O 酸化の Si/SiO ₂ エネルギー障壁への影響	63
4.5.1 Si/SiO ₂ エネルギー障壁の評価	63
4.5.2 N ₂ O 酸化によるエネルギー障壁の変化の原因	68
4.6 結言	68
付録 2 ステップ・界面準位生成モデル	68
5 ゲート酸化膜の N₂O 酸化による絶縁破壊特性への影響	75
5.1 序	75
5.2 実験	75
5.3 N ₂ O 酸化の絶縁破壊特性への影響	76
5.4 絶縁破壊特性の膜厚依存性	78
5.5 N ₂ O 酸化のキャリア捕獲特性への影響	82
5.6 定電流絶縁破壊のストレス電流密度依存性	84
5.7 結言	85
6 直接トンネリング・ゲート酸化膜 MOSFET の特性	87
6.1 序	87
6.2 直接トンネリング・ゲート酸化膜 MOSFET	87
6.2.1 作製方法	87
6.2.2 絶縁膜特性	88
6.2.3 ボロンの突き抜け	88
6.2.4 基本素子特性	91
6.3 直接トンネリング・ゲート酸化膜 MOSFET のホットキャリア効果	91
6.4 直接トンネリング・ゲート酸化膜 MOSFET のゲート・リーク	92
6.5 結言	99
7 結論	101
研究業績	103
謝辞	107

第1章

序論

1.1 本研究の背景

1.1.1 スケーリング則とゲート酸化膜の薄膜化

Dennard等のMOSFETのスケーリング則の提案[1]以降、マイクロプロセッサやメモリを中心としたMOS-LSIの高集積化及び高速化は、リソグラフィ技術を中心とした微細加工技術の進歩により達成されてきた。CMOSデバイスの微細化による高速化は、 $0.2\text{--}0.25\mu\text{m}$ ルールになるとECL(Emitter-Coupled-Logic)を凌駕するとの報告もある[2]。さらに、現在研究開発段階では $0.1\mu\text{m}$ 程度のゲート長を有するCMOSデバイス的高速動作の報告がなされるに至っている[3]–[6]。このように、CMOSデバイスの微細化による高速化は、LSIの高速化には必要不可欠な技術として重要視されている。

MOSデバイスの微細化の基本概念としては、長年の間スケーリング則が用いられている。各種パラメータ(図1.1)のスケーリングの方法には、表1.1に示すように、定電界、定電圧、準定電圧のスケーリング則がある[7]。 $0.5\mu\text{m}$ のデザイン・ルールまでは、TTL(Transistor-Transistor Logic)との互換性を維持する

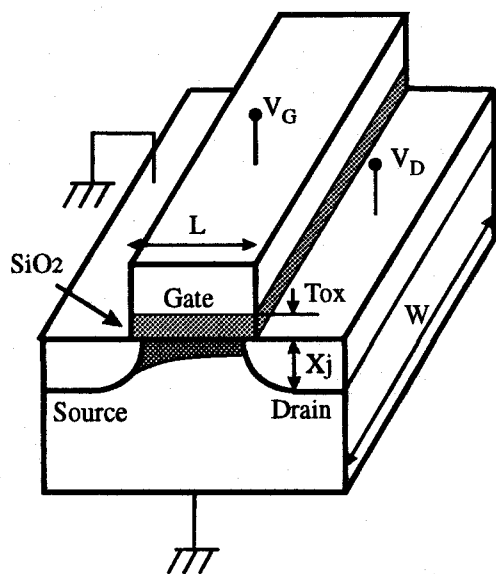


表1.1 スケーリング則

	定電界	定電圧	準定電圧
L	$1/\kappa$	$1/\kappa$	$1/\kappa$
W	$1/\kappa$	$1/\kappa$	$1/\kappa$
T_{OX}	$1/\kappa$	$1/\kappa^{1/2}$	κ
x_j	$1/\kappa$	$1/\kappa$	$1/\kappa$
N_A	κ	κ	κ
V_{DD}	$1/\kappa$	1	$1/\kappa^{1/2}$
遅延時間	$1/\kappa$	$1/\kappa^{3/2}$	$1/\kappa^{3/2}$
消費電力	$1/\kappa^2$	$\kappa^{1/2}$	$1/\kappa^{1/2}$

図1.1 MOSFETの基本構造

ために、5Vの定電圧スケールリングが採られていた。しかし、それ以降は素子の信頼性の確保のために、準定電圧スケールリングが用いられるようになったが、微細化による素子の性能向上は損なわれない事が示されている[8],[9]。各々のスケールリング則は、微細化とともに、ゲート酸化膜を薄膜化する事を必要としている。特に、 $1\mu\text{m}$ 以降の微細NMOSFETでは、電子の速度飽和現象[10]が素子性能を律速するので、スケールリング則に従ったゲート酸化膜の薄膜化が望まれる。従って、スケールリング則に従った微細MOSFETの高性能化にはゲート酸化膜の薄膜化は必要不可欠である。

1.1.2 低消費電力化とゲート酸化膜の薄膜化の必要性

集積回路におけるCMOS回路の採用により、高速化と同時に消費電力は年々低減している。しかし、近年携帯電子機器の普及につれて電池寿命の長期化の観点から、さらなる低消費電力化の需要が高まっている。このため、回路上の工夫[11]の他、並列処理を用いたシステム的な低消費電力化のアプローチ[12],[13]も行われるようになってきている。デバイス的なアプローチとしては、従来の高速化指向のスケールリングとは別に、低消費電力化指向も採られる傾向になっている[14]。

CMOS回路の消費電力 P 及びゲート遅延時間 τ_d は、それぞれ次のように与えられる。

$$P \approx \frac{1}{2}fCV_{DD}^2 \quad (1.1)$$

$$\tau_d \approx \frac{1}{2}CV_{DD} \left(\frac{1}{I_{DSAT,N}} + \frac{1}{I_{DSAT,P}} \right) \quad (1.2)$$

ここで、 f はクロック周波数、 C は負荷容量、 V_{DD} は電源電圧、 $I_{DSAT,N}$ 、 $I_{DSAT,P}$ は各々NMOS、PMOSの飽和ドレイン電流（駆動電流）を示す。この事から、性能（遅延時間）を劣化させずに消費電力を低減するには、高駆動電流を有する低電圧動作MOSFETが必要である事がわかる。このようなMOSFETを実現するには、次のような手法がある。

- 1) ゲート長の微細化
- 2) 閾値電圧の低減
- 3) ゲート酸化膜の薄膜化

しかし、1)については、リソグラフィ技術の進展を待たなければならない他、 $1\mu\text{m}$ 以下のゲート長のNMOSFETでは、電子の速度飽和現象[10]により、期待通りの駆動電流の向上が得られない。また、2)についても、サブスレシヨルド特性があまり改善されないの、待機電流を抑制するには、 $|V_{TH}| = 0.3 - 0.4\text{V}$ が下限となる。閾値電圧をこの限界以下にするには、様々な回路上の工夫[15]-[17]が必要となる。従って、3)のゲート酸化膜の薄膜化が低消費電力化に有望であると考えられる。実際、マイクロプロセッサにおいて、この手法が低消費電力化に有効である事が示されている[18]。

また、ゲート酸化膜の薄膜化は、短チャネル効果の抑制にも効果がある。一般に、閾値電圧の低減のためにチャネル不純物濃度を低くすると、短チャネル効果が起こり易くなる。短チャネル効果が抑制できる最小のチャネル長 L_{min} は、経験的に次のように与えられる[19]。

$$L_{min} = 0.4 [x_j T_{OX} (W_{sb} + W_{db})^2]^{1/3} (\mu\text{m}) \quad (1.3)$$

ここで、 W_{sb} 、 W_{db} がそれぞれソース側、ドレイン側の最大空乏層幅である。また、 T_{OX} は $\text{\AA}$ 、その他の寸法は μm での値である。上式に基づいて、 $L = 0.25\mu\text{m}$ 、 $V_D = 1\text{V}$ での短チャネル効果が抑制可能な最低閾値電圧のゲート酸化膜厚及びソース・ドレイン接合深さに対する依存性を計算した結果を図1.2に示す。この図より、ゲート酸化膜の薄膜化は低閾値電圧化に伴う短チャネル効果の増大を抑制する上で有効である

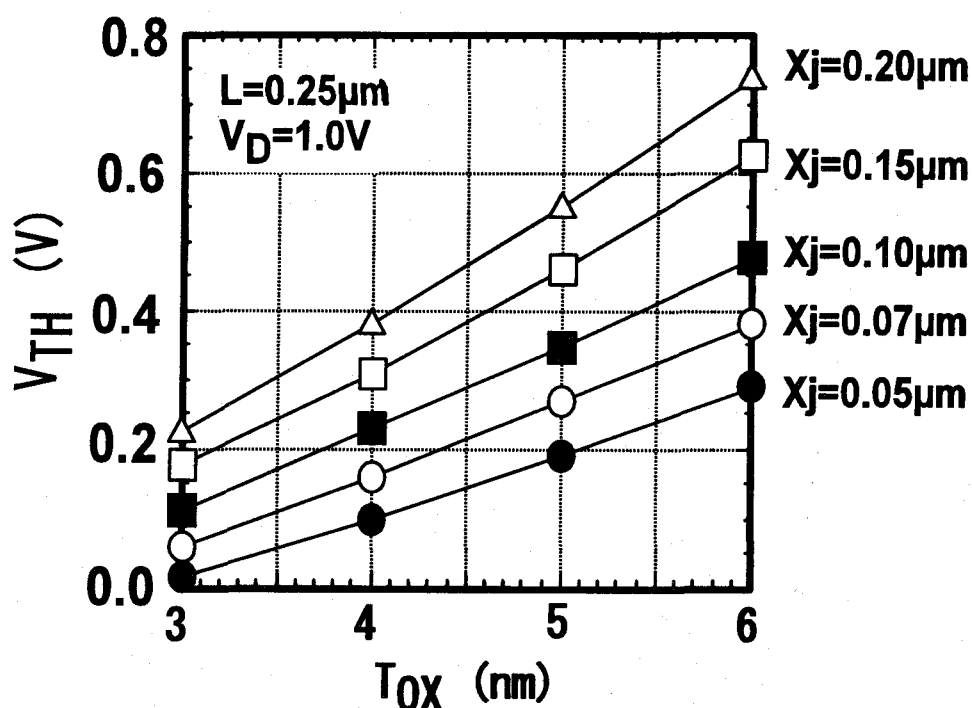


図 1.2 最小閾値電圧のゲート酸化膜厚依存性

事がわかる。ソース・ドレイン接合深さ x_j を浅くする事も有効であるが、一般に活性化アニールに伴う不純物拡散のため、 x_j を浅くする事は容易でない。

以上の事から、ゲート酸化膜の薄膜化は、低電圧でも高駆動力を有する MOS デバイスを実現する上で重要であり、MOS-LSI の低消費電力化に必要な技術である事がわかる..

1.1.3 極薄ゲート酸化膜の課題

図 1.3 に、各ゲート長 L_G に対して用いられてきているゲート酸化膜厚 T_{OX} を示す。この図より、 $T_{OX} = 20\text{nm}$ 以降ゲート酸化膜の薄膜化が鈍化して、スケーリング則から予想される値より厚くなっている事がわかる。 $L_G = 0.5\mu m$ 以降、ホットキャリア劣化による信頼性の低下のために、電源電圧が 5V 以下に下げられているにもかかわらず、この傾向は継続している。この原因としては、主に初期絶縁破壊の抑制（歩留まりの確保）が考えられる。

ゲート酸化膜を薄膜化するには、絶縁破壊耐圧の確保の他、MOSFET のゲート酸化膜・シリコン界面における界面準位の生成やゲート酸化膜におけるキャリア捕獲による素子特性の劣化にも注意する必要がある。図 1.4 に示すように、チャネルのドレイン端近傍の高電界領域において発生するホットキャリアは、 Si/SiO_2 界面のエネルギー障壁を越えてゲート酸化膜に注入される。ゲート酸化膜に注入されたキャリアは、その一部が捕獲されたり、界面準位を生成したりする。その結果、閾値電圧 V_{TH} のシフト、相互コンダクタンス g_m の低下、サブスレッショルド特性の劣化といった素子特性劣化を引き起こす。このホットキャリア劣化は、LSI の長期的信頼性を考える上で問題となる。

電子の方が正孔よりも軽い有効質量を有するので高エネルギーになりやすいが、このため、従来 NMOSFET

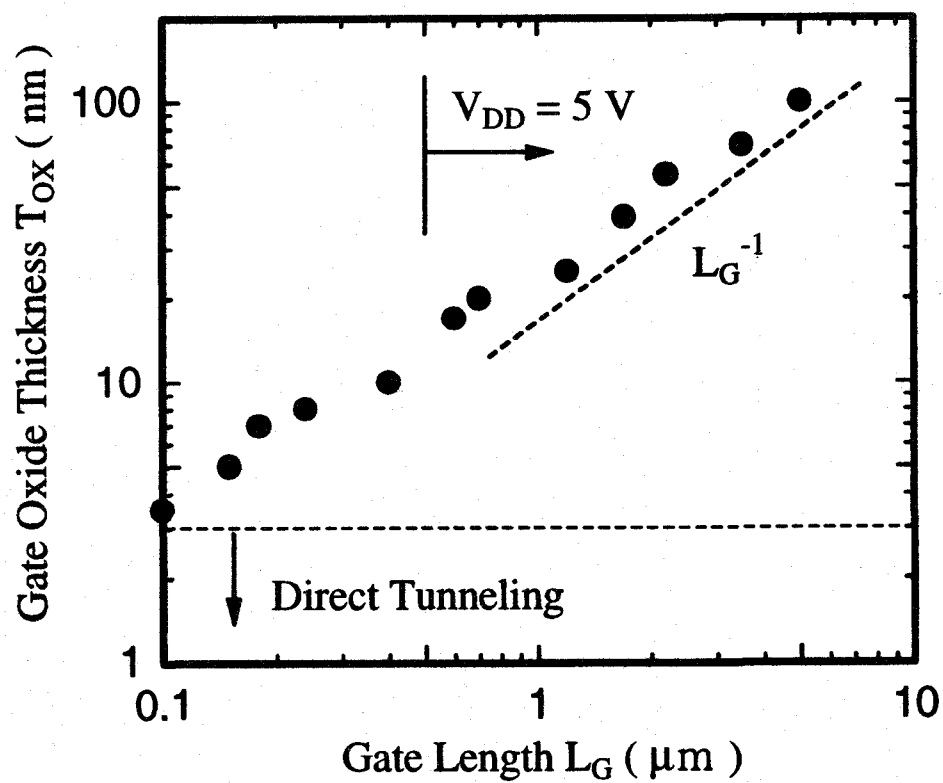


図 1.3 ゲート酸化膜厚の薄膜化の傾向

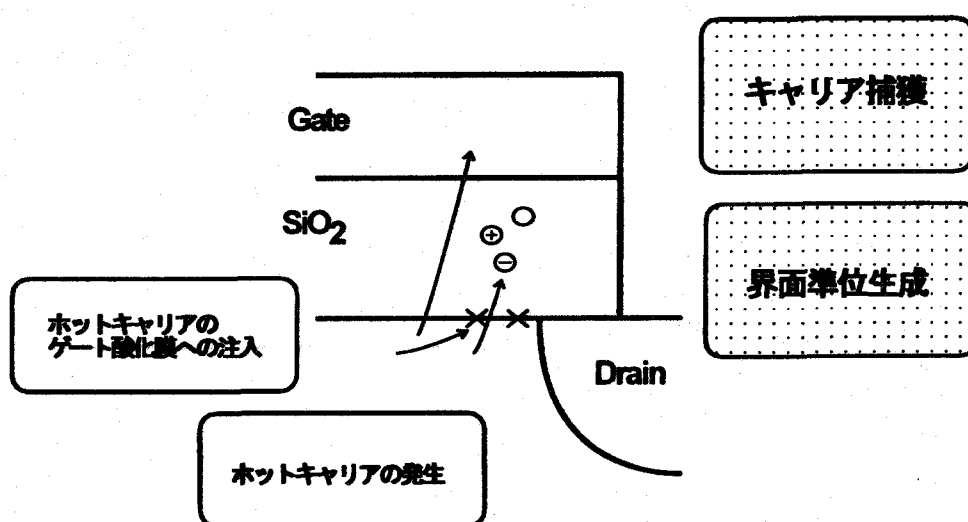


図 1.4 ホットキャリア劣化

のホットキャリア効果が主に議論されてきている。しかし、 $0.25\mu\text{m}$ 以降の CMOS では、Dual Gate CMOS が適用され、本構造では、従来の埋め込みチャネル型 PMOSFET に代わり表面チャネル型 PMOSFET が用いられる。これは、従来の PMOSFET よりも、サブスレッショルド特性が良好である事や短チャネル効果を抑制し易い事による。表面チャネル型 PMOSFET では、従来よりもゲート電界が強まるので、ホットキャリアがゲート酸化膜に注入され易くなり、劣化が著しくなる。このような状況を鑑みて、PMOSFET のホットキャリア効果の研究も近年盛んに行われている [20]-[27]。

以上の事より、CMOS 回路の高速化、低消費電力化のために、ゲート酸化膜を薄膜化を行うには、絶縁破壊特性を改善する事、及び NMOS と PMOS におけるホットキャリア劣化を抑制する事が重要となる。MOS 界面の現象はかなり複雑であり、絶縁破壊、界面準位生成、キャリア捕獲等に関しては、まだ解明されていない点が多い。

酸化膜の絶縁破壊現象も酸化膜中を走行するホットキャリアの挙動で理解できる点が多い事を考えると、極薄ゲート酸化膜のホットキャリア劣化や絶縁破壊は、MOSFET におけるホットキャリア効果を正確に把握する事により、かなり理解を深める事が可能と考えられる。

1.1.4 N_2O 酸窒化

以上述べてきたように、ゲート酸化膜の薄膜化に伴い、高信頼性を有する高品質のゲート絶縁膜が必要とされるようになってきている。過去 10 年間に於いて、次世代ゲート絶縁膜として、酸化と窒化を同時あるいは連続しておこなう事により形成する酸窒化膜に関する研究がかなり行われている [28]-[39]。現在、酸窒化膜の高信頼性は、 Si/SiO_2 界面近傍に存在する強固な Si-N 結合のためであると考えられている [30]-[32], [39], [40]。しかし、これに関しては、その機構等明確でない点が多い。

N_2O を用いた酸窒化は、 NH_3 による窒化よりも水素原子の関与がないので有望とされている [31]。つまり、 NH_3 窒化の場合、処理中において酸化膜中に水素原子が多量に取り込まれて電子トラップを形成してしまう。その低減には、RTP (Rapid Thermal Processing) を用いた軽い窒化や酸素アニールが必要となる [35], [39]。一方、 N_2O 酸窒化の場合、水素原子の関与がないので、電子トラップは形成されにくい。

N_2O 酸窒化プロセスは、炉プロセスと RTP の 2 つに大別される。Chu 等は、RTP で N_2O 酸窒化を行った場合、膜厚及び膜質の不均一性が生じてしまう事を示している [41]。また、 N_2O 酸窒化のみでは、成長速度が遅いので、 $5\text{-}10\text{nm}$ 程度の膜厚を得るには LSI 製造では不適用な長時間を要してしまう。このため、有望な N_2O 酸窒化膜形成プロセスとしては、予め通常の酸化膜を形成した後、 N_2O 酸窒化をおこなう事が考えられている [33], [36]。以下、他の N_2O 酸窒化プロセスと区別するため、この酸窒化膜を N_2O 酸窒化酸化膜と呼ぶ事にする。

1.2 本研究の目的

本研究の第 1 の目的は、極薄ゲート絶縁膜の信頼性に関連するホットキャリア劣化や絶縁破壊現象のメカニズムを明確化する事である。これにより、極薄ゲート酸化膜の信頼性の向上に必要な技術を開発する事が可能となる。このためには、チャネル中あるいはゲート酸化膜中におけるホットキャリアの挙動、及び界面準位や酸化膜中の捕獲電荷の発生機構について、正確に理解する事が必要である。

本研究の第 2 の目的は、 N_2O 酸窒化による信頼性の向上の要因を明確にする事である。 N_2O 酸窒化酸化膜は、ホット・エレクトロン注入による劣化が著しく抑制される事が示されている [33], [36]。これは、 Si/SiO_2 界面付近に窒素含有層が存在するためと考えられている。しかし、窒素含有層がどのような機構で劣化の抑制に寄与しているかについては不明である。さらに、 N_2O 酸窒化酸化膜の絶縁破壊特性に関しても、詳細な解析がなされていない。本研究では、 N_2O 酸窒化による信頼性向上の原因を、デバイス物理に基づいて、可能な限り調べる。

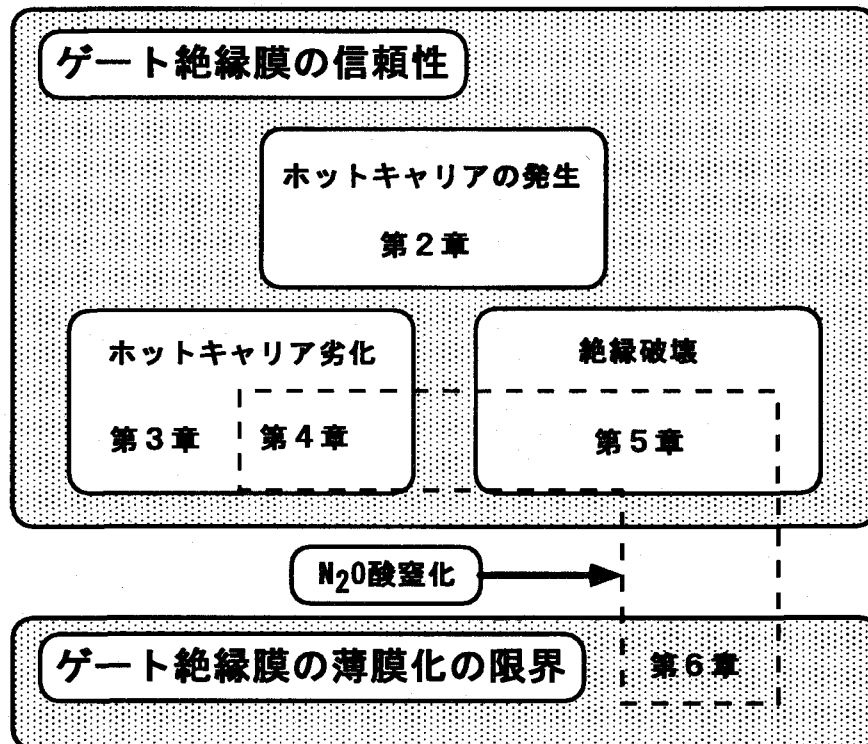


図 1.5 本論文の構成.

最後に、ゲート酸化膜の薄膜化を進めると、直接トンネル電流が流れる領域に入るが、このような領域でのMOSデバイス特性についても検討する。この結果により、将来のMOSデバイスの展望が可能となる。

1.3 本研究の内容

本章に引き続き、第2章では、ゲート酸化膜の薄膜化がMOSFETのチャネルを走行するキャリアに与える影響について述べる。MOSFETのホットキャリア効果を考える上で、キャリアが速度飽和を起こしてドレインに達するまでの走行距離である速度飽和領域長の把握は重要な点の1つである。本研究において、速度飽和領域長(L_{SAT})がゲート酸化膜厚(T_{OX})の薄膜化とともに短くなる事を実験的に確認した。また、速度飽和に関連して、速度飽和電界(E_{SAT})がソース端での界面に垂直な方向の電界(E_{EFF})に関してほぼユニバーサルな関係をもつ事も見出した。

第3章では、ゲート酸化膜に対する一様なストレスの1つとしてFowler-Nordheim電子注入ストレスについて取り上げ、このストレスによる界面準位生成、キャリア捕獲特性、及び移動度劣化特性について調べた結果を述べる。Fowler-Nordheim注入ストレスでは、ストレス電界極性により、Si/SiO₂界面で捕獲されるキャリアが異なる事がわかった。また、キャリア捕獲が飽和しないストレス領域において、捕獲キャリア密度と生成界面準位密度との間に1対1の対応が見られる事も見出した。これらの結果より、Fowler-Nordheim注入ストレスでの界面劣化モデルを提案した。さらに、Fowler-Nordheim注入ストレスでの移動度の劣化についても詳細に解析した結果、界面に垂直な方向の電界(E_{EFF})を一定にすると、移動度の逆数の変化量が生成界面準位密度に比例する事を見出した。本結果は、MOS反転層の2次元電子ガス・モデルを用いた移動度モデルで説明できる事も確認した。

近年、ゲート酸化膜の信頼性向上の1つの手法として、 N_2O 酸窒化の研究が活発に行われている。しかし、 N_2O 酸窒化がどのような機構により、ホットキャリア劣化が抑制されるのかについては明確になっていない。第4章では、NMOS及びPMOSにおいて、 N_2O 酸窒化がホットキャリア劣化に与える影響について詳細に解析した結果について述べる。

N_2O 酸窒化によりNMOSFETにおけるホットキャリア劣化が抑制される事について、ホットエレクトロンの電子温度の指標として基板電流を用いて通常の酸化膜と比較して明らかにした。界面準位生成エネルギーについては、 N_2O 酸窒化により大きな変化はなかった。さらに、 N_2O 酸窒化によるホットキャリア劣化の抑制には、Si/SiO₂界面近傍に偏析した窒素原子が水素分子の拡散を抑制している事が関与している事を見出した。

一方、 N_2O 酸窒化の表面チャネル型PMOSFETにおけるホットキャリア劣化への影響については、基板電流が最大となるDAHE(Drain Avalanche Hot Electron)注入条件では劣化が抑制されるが、正孔ゲート電流が流れるCHH(Channel Hot Hole)注入では劣化が増大する事がわかった。後者の原因としては、Si/SiO₂界面付近の窒素原子による応力の変化あるいは未結合手の増大により、正孔捕獲が増大した事が考えられる。

さらに、Si/SiO₂界面付近に存在する窒素原子がエネルギー障壁に与える影響を基板ホットキャリア注入を用いて評価した。本実験より、伝導帯のエネルギー障壁は増大するが、価電子帯では減少する事がわかった。この原因としては、窒素原子に起因した負電荷がSi/SiO₂界面付近に存在している事が考えられる。

第5章では、 N_2O 酸窒化酸化膜の絶縁破壊特性について調べた結果を述べる。 N_2O 酸窒化酸化膜の経時絶縁破壊(Time Dependent Dielectric Breakdown; TDDB)特性を調べた結果、真性破壊(故障率50%で評価)については、ゲート電極側から電子を注入するストレスに対しては N_2O 酸窒化による影響はほとんど見られなかったが、基板側から電子を注入するストレスについては大きな絶縁破壊特性の改善が見られた。また、両ストレスにおいて、初期破壊の抑制効果が見られた。

N_2O 酸窒化酸化膜の絶縁破壊の膜厚依存性に関してはあまり報告例がなく、本研究では定電流ストレスを用いてそれを評価した。 Q_{BD} (Charge-to-breakdown)は、ゲート側からの電子注入についてはやはり N_2O 酸窒化の影響は見られなかったが、基板側からの電子注入については N_2O 酸窒化による向上が見られ、この向上は10nm以下の膜厚になると顕著になる事がわかった。また、 Q_{BD} のストレス電流密度 J_{STRESS} 依存性を調べた結果、 $Q_{BD} \propto J_{STRESS}^{-n}$ を確認し、 n は膜質やストレス極性には依存せず、膜厚のみに依存する事がわかった。この事は、 n が酸化膜中でのホット・キャリアの挙動のみで決まる事を示唆するものと考えられる。

ゲート酸化膜の薄膜化が進むにつれて、直接トンネル電流が流れるような3nm以下の酸化膜に関しても近年研究が盛んになっている。第6章では、2.8nmの N_2O 酸窒化膜を有するMOSFETを作製し、本デバイスにおけるホットキャリア効果及び直接トンネル・ゲートリークについて述べる。2.8nmの N_2O 酸窒化膜を有するMOSFETを作製し、NMOS及びPMOS共に1Vで良好な動作を確認した。NMOSFETでは、 $V_D = 1V$ でも基板電流が観測されたが、この事は低電圧動作においてもインパクト・イオン化現象がある事を意味する。直接トンネルによるゲート・リーク電流に関しては、表面チャネル型PMOSFETの方がNMOSFETよりも少ない値を示す事がわかった。これは、表面チャネル型PMOSFETのゲート・リークが正孔によるものであり、電子よりもSi/SiO₂界面のエネルギー障壁が高い事によるものと考えられる。

第7章では、第2章から第6章までの研究成果を総括する

参考文献

- [1] R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassous and A. R. LeBlanc : IEEE J. Solid-State Circuits **SC-9** (1974) 256.
- [2] A. Masaki : Proc. IEEE **81** (1993) 1311.

- [3] A. Toriumi, T. Mizuno, M. Iwase, M. Takahashi, H. Niiyama, M. Fukumoto, S. Inaba, I. Mori and M. Yoshimi : Solid State Devices and Materials, p. 487, 1992.
- [4] Y. Taur, S. Wind, Y. J. Mii, Y. Lii, D. Moy, K. A. Jenkins, C. L. Chen, P. J. Coane, D. Klaus, J. Bucchignano, M. Rosenfield, M. G. R. Thomson, and M. Polcari : International Electron Devices Meeting, p. 127, 1993.
- [5] K. F. Lee, R. H. Yan, D. Y. Jeon, G. M. Chin, Y. O. Kim, D. M. Tennant, B. Razavi, H. D. Lin, Y. G. Wey, E. H. Westerwick, M. D. Morris, R. W. Johnson, T. M. Liu, M. Tarsia, M. Cerullo, R. G. Swartz and A. Ourmazd : International Electron Devices Meeting, p. 131, 1993.
- [6] T. Yamazaki, K. Goto, T. Fukano, Y. Nara, T. Sugii and T. Ito : International Electron Devices Meeting, p. 906, 1993.
- [7] P. K. Chatterjee, W. R. Hunter, T. C. Holloway and Y. T. Lin : IEEE Electron Device Lett. **EDL-1** (1980) 220.
- [8] M. Kakumu, M. Kinugawa and K. Hashimoto : IEEE Trans. Electron Devices **ED-37** (1990) 1334.
- [9] M. Kakumu and M. Kinugawa : IEEE Trans. Electron Devices **ED-37** (1990) 1902.
- [10] C. G. Sodini, P. K. Ko and J. L. Moll : IEEE Trans. Electron Devices **ED-31** (1984) 1386.
- [11] K. Shimohigashi and K. Seki : IEEE J. Solid-State Circuits **28** (1993) p. 408.
- [12] A. P. Chandrakasan, S. Sheng and R. W. Brodersen : IEEE J. Solid-State Circuits **27** (1992) 473.
- [13] S. Malhi and P. Chatterjee : IEEE Circuits & Devices, March 1994, p. 13.
- [14] C. Hu : Proc. IEEE **81** (1993) 682.
- [15] S. Mutoh *et al.* : Proc. IEEE 1993 ASIC Conf., p. 186
- [16] M. Horiguchi, T. Sakata and K. Itoh : Proc. IEEE 1993 Symposium on VLSI Circuits, p. 47.
- [17] T. Kobayashi and T. Sakurai : Proc. IEEE 1994 CICC, p. 271.
- [18] K. Bernstein, J. E. Bertsch, L. G. Heller, E. J. Nowak and F. R. White : IBM J. Res. Develop. **39** (1995) 33.
- [19] J. R. Brews, W. Fichtner, E. H. Nicollian and S. M. Sze : IEEE Electron Device Lett. **EDL-1** (1980) 2.
- [20] T. Tsuchiya, Y. Okazaki, M. Miyake and T. Kobayashi : IEEE Trans. Electron Devices **ED-39** (1992) 404.
- [21] I. C. Chen and S. J. Wang : IEEE Electron Device Lett. **EDL-14** (1993) 228.
- [22] K. S. Yang, J. T. Park and B. R. Kim : Jpn. J. Appl. Phys. **32** (1993) 429.
- [23] Y. Pan : IEEE Trans. Electron Devices **ED-41** (1994) 84.
- [24] M. Brox, A. Schwerin, Q. Wang and W. Weber : IEEE Trans. Electron Devices **ED-41** (1994) 1184.

- [25] R. Woltjer and G. M. Paulzen : IEEE Trans. Electron Devices **ED-41** (1994) 1639.
- [26] A. Bravaix and D. Vuillaume : IEEE Trans. Electron Devices **ED-42** (1995) 101.
- [27] R. Woltjer, G. M. Paulzen, H. G. Pomp, H. Lifka and P. H. Woerlee : IEEE Trans. Electron Devices **ED-42** (1995) 109.
- [28] E. Suzuki, K. Schroder and Y. Hayashi : J. Appl. Phys. **60** (1986) 3616.
- [29] X. R. Cheng, Y. C. Cheng and B. Y. Liu : J. Appl. Phys. **63** (1988) 797.
- [30] H. Fukuda, T. Arakawa and S. Ohno : Jpn. J. Appl. Phys. **29** (1990) L2333.
- [31] A. Uchiyama, H. Fukuda, T. Hayashi, T. Iwabuchi and S. Ohno : International Electron Devices Meeting, p. 425, 1990.
- [32] J. Ahn, W. Ting, T. Chu, S. N. Lin and L. Kwong : J. Electrochem. Soc. **138** (1991) L39.
- [33] J. Ahn, W. Ting and D. L. Kwong : IEEE Electron Device Lett. **EDL-13** (1992) 117.
- [34] T. Hori, T. Yasui and S. Akamatsu : IEEE Trans. Electron Devices **ED-39** (1992) 134.
- [35] T. Hori, S. Akamatsu and Y. Odake : IEEE Trans. Electron Devices **ED-39** (1992) 118.
- [36] H. Hwang, M. -Y. Hao, J. Lee, V. Mathews, P. C. Fazan and C. Dennison : Solid State Electron. **36** (1993) 749.
- [37] A. B. Joshi, G. Yoon, J. Kim, G. Q. Lo and D. -L. Kwong : IEEE Trans. Electron Devices **ED-40** (1993) 1437.
- [38] G. W. Yoon, J. Ahn, G. Q. Lo, and D. L. Kwong : Solid State Devices and Materials, p. 143, 1993.
- [39] H. S. Momose, T. Morimoto, Y. Ozawa, K. Yamabe and H. Iwai : IEEE Trans. Electron Devices **ED-41** (1994) 546.
- [40] E. C. Carr and R. A. Buhrman : Appl. Phys. Lett. **63** (1993) 54.
- [41] T. Y. Chu, W. T. Ting, J. Ahn and D. L. Kwong : J. Electrochem. Soc. **138** (1991) L13.

第2章

MOSFETの速度飽和領域長のゲート酸化膜厚依存性

2.1 序

MOSFETにおけるホットキャリアの平均エネルギーの指標として、基板電流がよく用いられる。これは、図2.1に示すような、ホットキャリアによるインパクト・イオン化現象により発生した過剰な多数キャリアが、基板側に流れるためである。図2.2に、NMOSFET($L = 1\mu\text{m}$)におけるインパクト・イオン化効率($I_{\text{SUB}}/I_{\text{D}}$)のゲート酸化膜厚(T_{OX})依存性を示す。この図より、ゲート酸化膜の薄膜化とともに、ホット・エレクトロンの平均エネルギーが向上する事がわかる。

このようなホットキャリア効果を理解するには、ドレイン端近傍の高電界領域におけるキャリアの走行の正確な理解が必要となる。このホットキャリアの走行を扱う上で、ドレイン側の高電界領域の長さを評価する事は重要である。この高電界領域においては、キャリアは速度飽和[1]を起こしている。そのため、この高電界領域を速度飽和領域、その長さを速度飽和領域長(L_{SAT})と呼ぶ。

本章では、ゲート酸化膜の薄膜化がMOSFETの速度飽和領域長 L_{SAT} に与える影響を評価した結果を述べる。また、速度飽和に関連して、速度飽和電界(E_{SAT})がゲート酸化膜の薄膜化とともにどのように変化するかについて評価した結果も述べる。

2.2 MOSFETの速度飽和領域長のゲート酸化膜厚依存性

速度飽和領域長 L_{SAT} の測定方法として、Takeuchi等の手法[2]を改良した手法を用いた。以下に、本手法を説明する。

図2.3に示すようなSodini等のキャリア速度飽和を取り入れたモデル[1]によれば、飽和領域でのドレイン電流 I_{D} は次のように与えられる。

$$I_{\text{D}} = WC_{\text{OX}}v_{\text{SAT}}(V_{\text{GT}} - V_{\text{DSAT}}) \quad (2.1)$$

ここで、 $V_{\text{GT}} = V_{\text{G}} - V_{\text{TH}}$ 、 W はチャネル幅、 C_{OX} は単位面積あたりのゲート・キャパシタンス。また、ドリフト速度 v には次の近似式を用いる。

$$v = \begin{cases} \mu_{\text{EFF}}E/(1 + E/E_{\text{SAT}}) & (E < E_{\text{SAT}}) \\ v_{\text{SAT}} & (E > E_{\text{SAT}}) \end{cases} \quad (2.2)$$

ここで、 μ_{EFF} は実効移動度、 v_{SAT} は飽和速度、 $E_{\text{SAT}} = 2v_{\text{SAT}}/\mu_{\text{EFF}}$ は速度飽和電界である。本モデルで

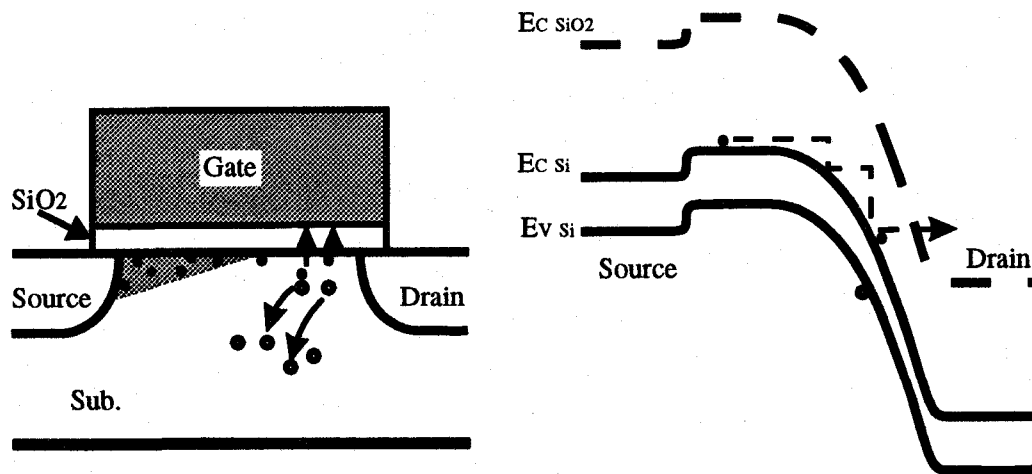
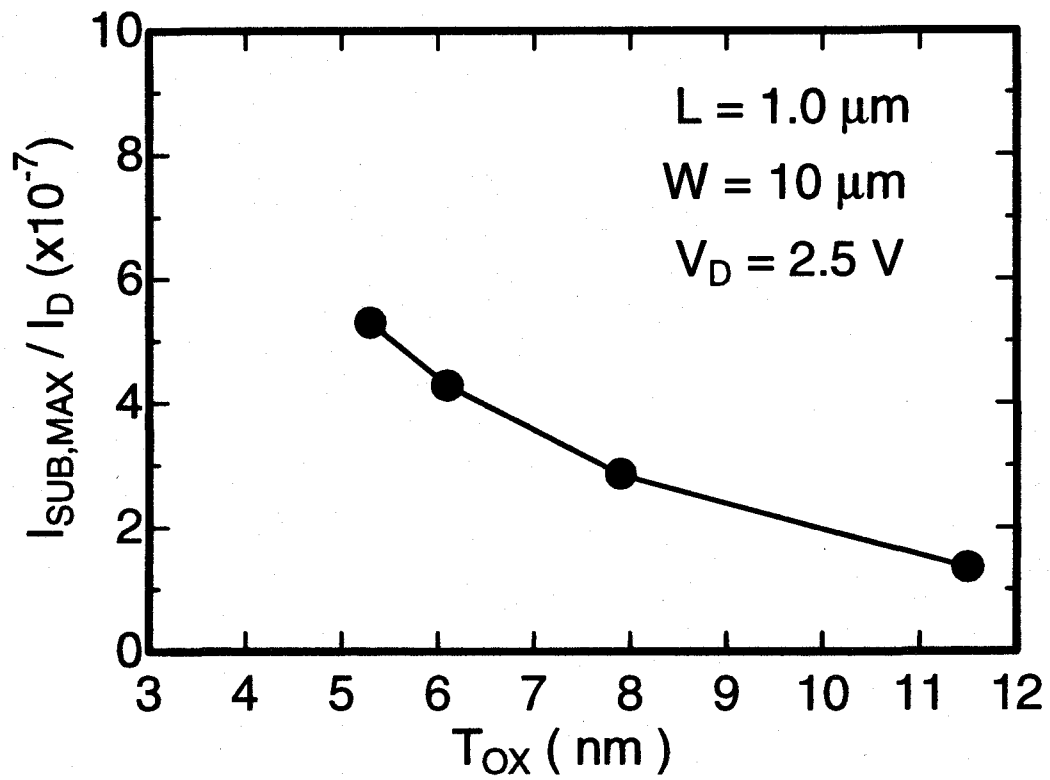


図 2.1 NMOSFET におけるインパクト・イオン化現象

図 2.2 インパクト・イオン化効率 ($I_{SUB,MAX}/I_D$) のゲート酸化膜厚 T_{OX} に対する依存性

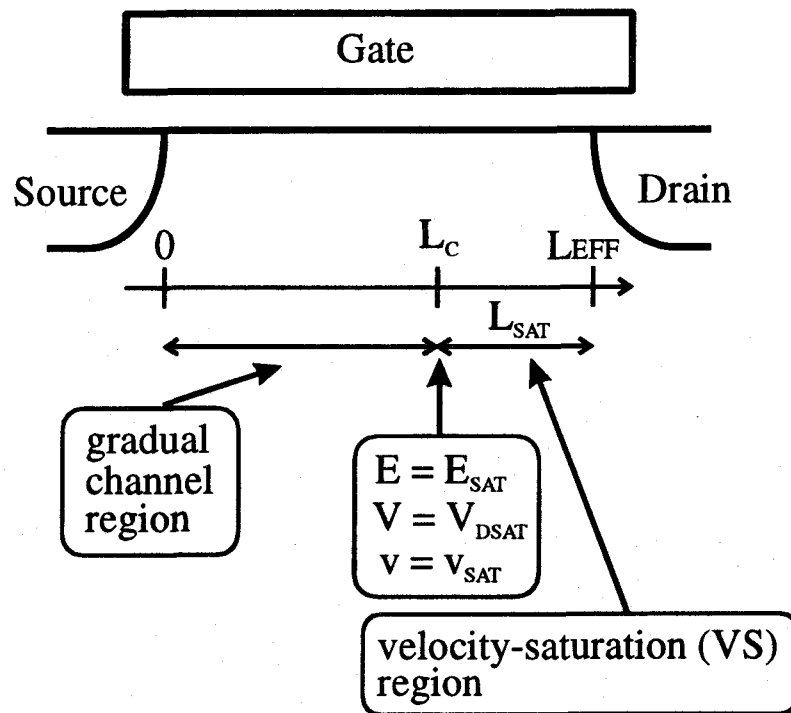
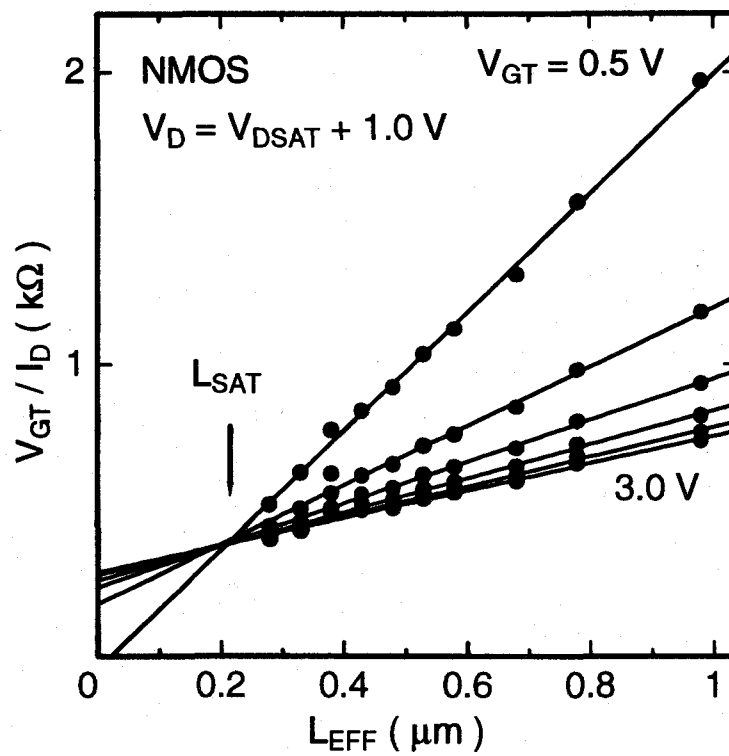


図 2.3 速度飽和モデル

図 2.4 L_{SAT} の測定例

は、ドレイン飽和電圧 V_{DSAT} は、

$$V_{DSAT} = \frac{V_{GT} E_{SAT} L_C}{V_{GT} + E_{SAT} L_C} \quad (2.3)$$

で与えられる。ここで、図2.3に示すように、 $L_C = L_{EFF} - L_{SAT}$ である。式(2.1)に式(2.3)を代入すると、次式が得られる。

$$\frac{V_{GT}}{I_D} = \frac{2}{W \mu_{EFF} C_{OX} V_{GT}} (L_{EFF} - L_{SAT}) + \frac{1}{W C_{OX} v_{SAT}} \quad (2.4)$$

この式から、 L_{SAT} を求めるには、縦軸に V_{GT}/I_D 、横軸に L_{EFF} をとり、得られる直線の V_{GT} に対する不動点を見つければ良い事がわかる。

Takeuchi等は、 V_D を固定して L_{SAT} を求めている。しかし、図2.3からわかるように、速度飽和領域の両端での電位差は $V_D - V_{DSAT}$ である。そこで、本研究では、 L_{SAT} を $V_D - V_{DSAT}$ の関数として求めた。なお、この L_{SAT} の評価方法では、実効チャネル長 L_{EFF} 及びドレイン飽和電圧 V_{DSAT} の評価が必要となるが、前者はDe La Moneda等の手法[3]、後者はTu等の手法[4]を用いた。

図2.4に L_{SAT} の測定例を示す。前述したように、 V_{GT} に対する不動点が存在しており、本評価法が有効である事がわかる。

図2.5(a)及び(b)に、ゲート酸化膜厚の異なるNMOSFET及びPMOSFET(表面チャネル型)における L_{SAT} の $V_D - V_{DSAT}$ 依存性を示す。ゲート長にバラツキがあるので、厳密な解析は困難であるが、ゲート酸化膜の薄膜化とともに L_{SAT} が小さくなる傾向がある事がわかる。

また、 L_{SAT} の $V_D - V_{DSAT}$ 依存性については、空乏層の伸びに対応した $(V_D - V_{DSAT})^{1/2}$ に比例する関係[5]は確認されない。 $V_D \leq V_{DSAT} + 0.5V$ までに急激に速度飽和領域が形成され、それ以上では L_{SAT} は緩やかに増大する。この傾向は、Takeuchi等により既に報告されている結果[2]と一致している。

次節では、以上の実験結果が擬2次元モデル[6]と対応している事を示す。

2.3 擬2次元モデルとの比較

擬2次元モデル[6]によれば、速度飽和領域長 L_{SAT} は、次式で与えられる。

$$L_{SAT} = \lambda \ln \frac{V_D - V_{DSAT} + \sqrt{(V_D - V_{DSAT})^2 + E_{SAT}^2} \lambda^2}{E_{SAT} \lambda} \quad (2.5)$$

ここで、 λ は

$$\lambda = \sqrt{\frac{\kappa_S}{\kappa_{OX}}} T_{OX} x_j \quad (2.6)$$

であるが、経験的には、

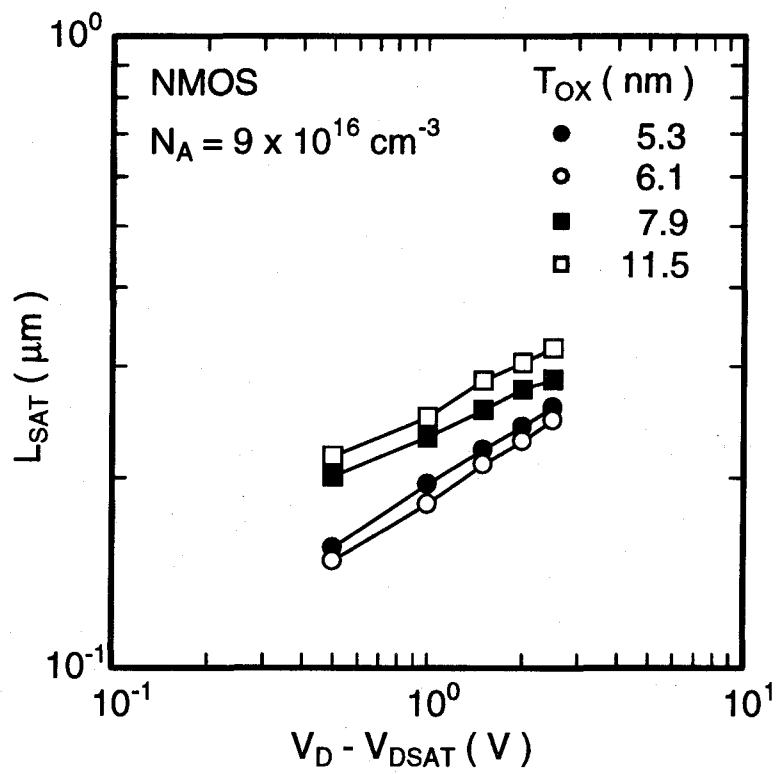
$$\lambda = 0.22 T_{OX}^{1/3} x_j^{1/2} \quad (2.7)$$

で与えられる。なお、式(2.7)で λ 、 T_{OX} 、及び x_j はcmでの値である。

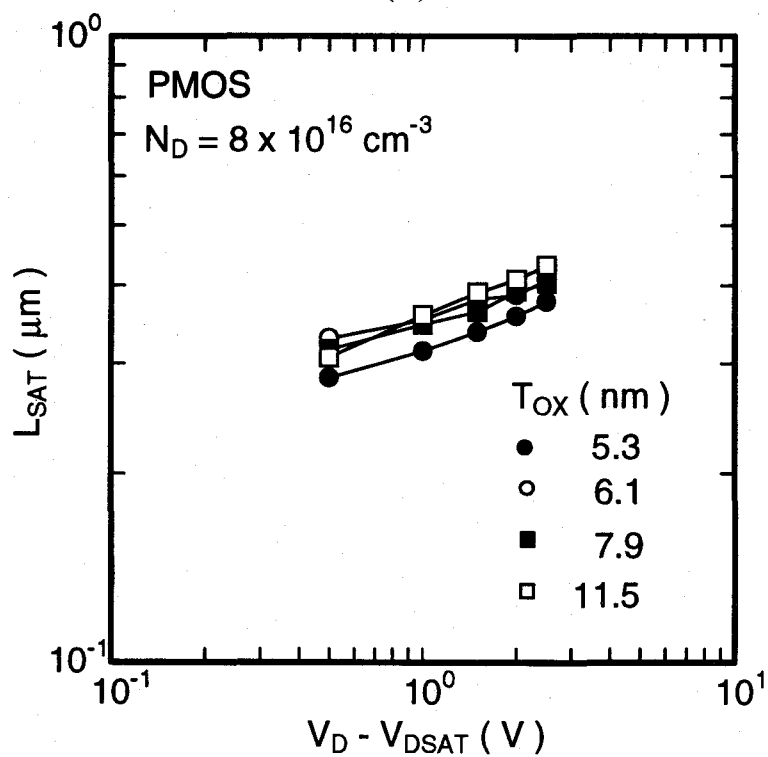
前節の L_{SAT} の測定結果が式(2.5)を満たしている事を見るために、測定結果を図2.6のようにプロットした。この図より、測定結果は、式(2.5)からずれている事がわかる。この原因としては、擬2次元モデルでは、簡略化のため、速度飽和点での電界方向をチャネル方向に取っている事が考えられる。そこで、速度飽和点での電界方向のチャネル方向からのずれを形状因子 α を導入する事で補正した。これにより、式(2.5)は次のように書き換えられる。

$$L_{SAT} = \lambda \ln \frac{V_D - V_{DSAT} + \sqrt{(V_D - V_{DSAT})^2 + \alpha^2 E_{SAT}^2} \lambda^2}{\alpha E_{SAT} \lambda} \quad (2.8)$$

補正した結果を図2.7に示す。これより、形状因子 α を導入して補正する事により、擬2次元モデルは、 L_{SAT} の測定結果との良い対応を示す事がわかる。



(a)



(b)

図 2.5 (a) NMSOFET 及び (b) 表面チャネル型 PMOSFET における L_{SAT} の $V_D - V_{DSAT}$ 依存性.

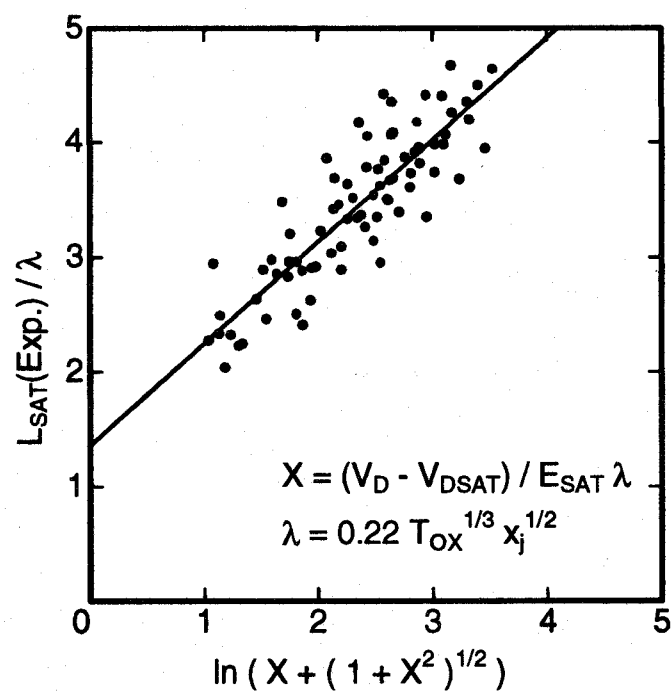


図 2.6 L_{SAT}/λ の $X = (V_D - V_{DSAT})/E_{SAT}\lambda$ との対応. L_{SAT} は測定値を用いている.

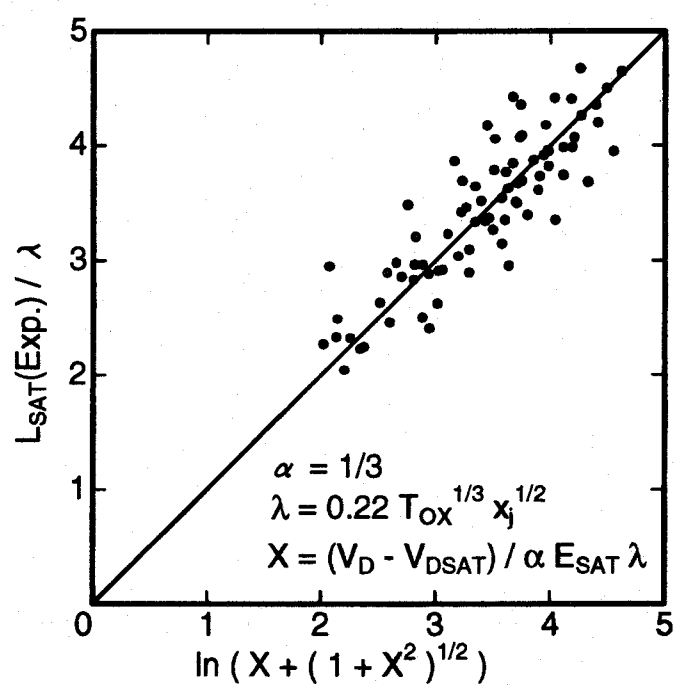


図 2.7 L_{SAT}/λ の $X = (V_D - V_{DSAT})/\alpha E_{SAT}\lambda$ (α は形状因子) との対応. L_{SAT} は測定値を用いている.

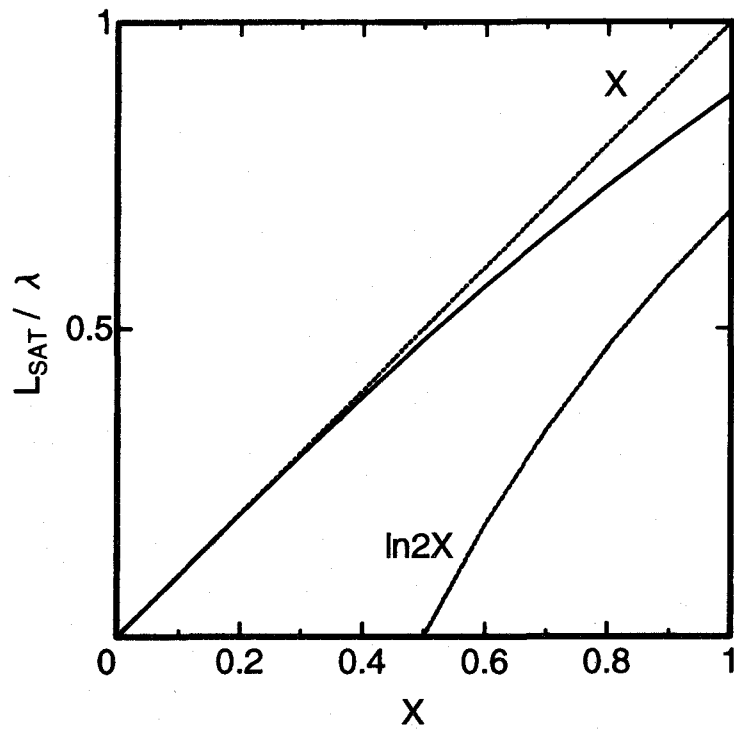


図 2.8 擬2次元モデルの L_{SAT} の計算結果. $X = (V_D - V_{DSAT})/E_{SAT}\lambda$ とする.

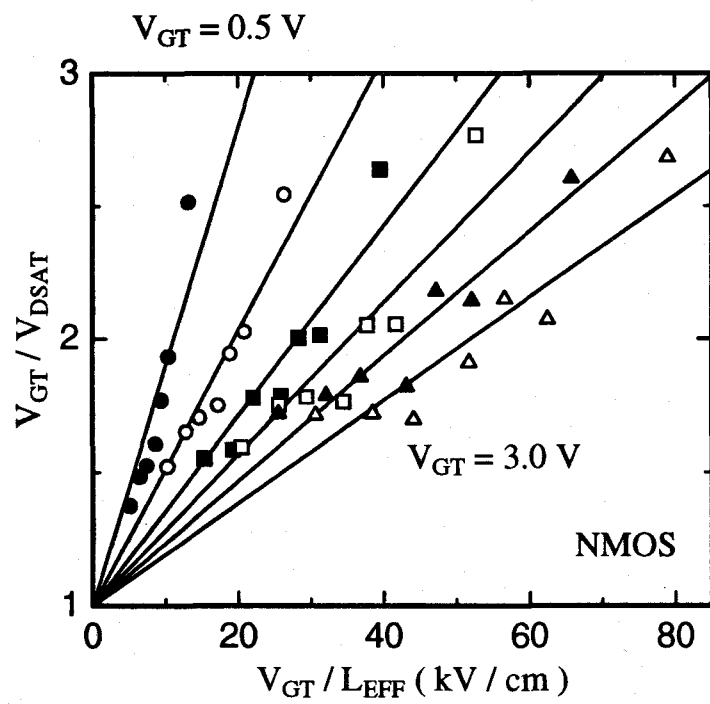


図 2.9 速度飽和電界 E_{SAT} の測定例.

図2.8には、擬2次元モデルによる L_{SAT} の計算結果を示す。ゲート酸化膜の薄膜化により、式(2.6) または(2.7)より、 λ も減少する。 $X = (V_D - V_{DSAT})/E_{SAT}\lambda$ とすると、 $X \ll 1$ の場合、

$$L_{SAT} \approx \lambda X = \frac{V_D - V_{DSAT}}{E_{SAT}} \quad (2.9)$$

となり、 λ には依存しなくなる。一方、 $X \gg 1$ では、

$$L_{SAT} \approx \lambda \ln(2X) \quad (2.10)$$

となり、ほぼ λ に比例するようになる。従って、 L_{SAT} の λ 依存性は、 X の値によって異なる事がわかる。

図2.5において、NMOSFETと比較して、表面チャネル型PMOSFETの方が L_{SAT} のゲート酸化膜 T_{OX} 依存性が小さい。これは、電子よりも正孔の方が E_{SAT} が高いため、 $X \ll 1$ の場合に近いからである。

2.4 速度飽和電界のユニバーサル性

ドレイン飽和電圧 V_{DSAT} に関する式(2.3)を変形すると、

$$\frac{V_{GT}}{V_{DSAT}} = 1 + \frac{1}{E_{SAT}} \frac{V_{GT}}{L_{EFF}} \quad (2.11)$$

となる。この式より、 V_{GT}/V_{DSAT} を V_{GT}/L_{EFF} に対してプロットし、その傾きを求める事により、速度飽和電界 E_{SAT} が実験的に求められる。図2.9にNMOSFETでの測定例を示す。

このプロットを用いると、速度飽和電界 E_{SAT} のゲート電圧依存性が得られる。NMOSFETについて得られた結果を図2.10に示す。ゲート酸化膜厚の異なる素子について調べているが、この結果より、ゲート酸化膜厚が薄い程、 E_{SAT} が大きくなる事がわかる。

$E_{SAT} = 2v_{SAT}/\mu_{EFF}$ であるので、ここで移動度に着目する。実効移動度 μ_{EFF} は、MOS界面に垂直な方向の実効電界 E_{EFF} に対して、高電界側でユニバーサルな関係にある事が知られている [8], [9]。 E_{EFF} は次式で与えられる。

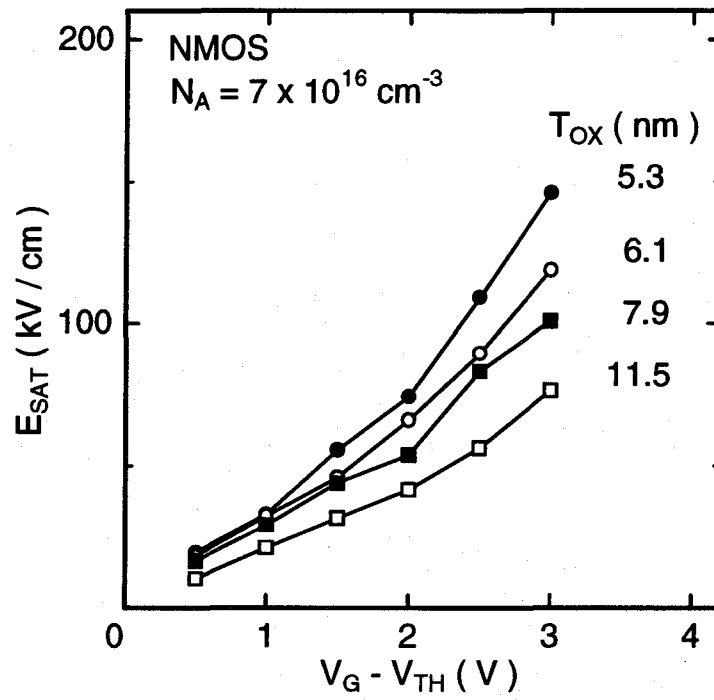
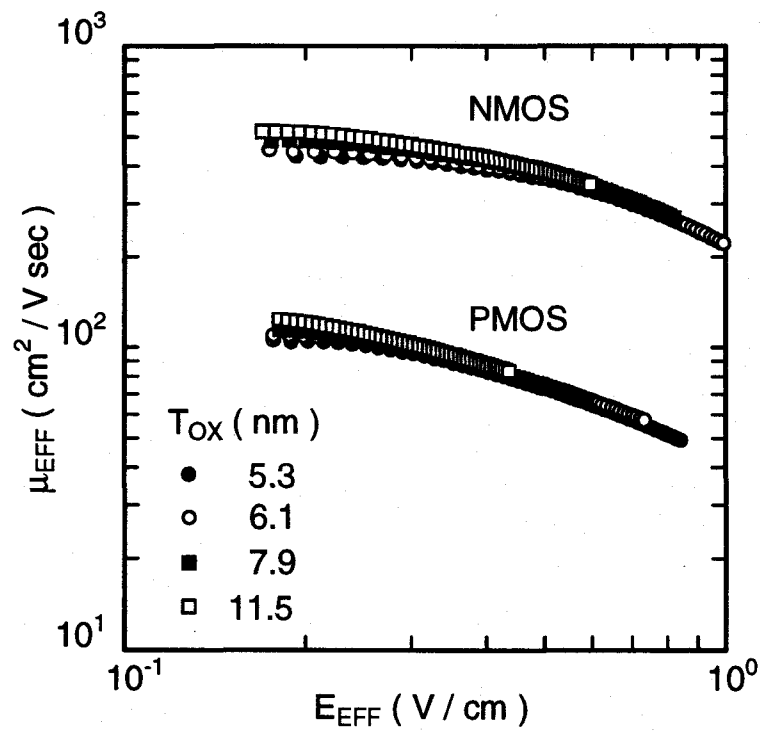
$$E_{EFF} = \frac{1}{\kappa_{Si}\epsilon_0} \left(\frac{1}{2} q N_{inv} + Q_{depl} \right) \quad (2.12)$$

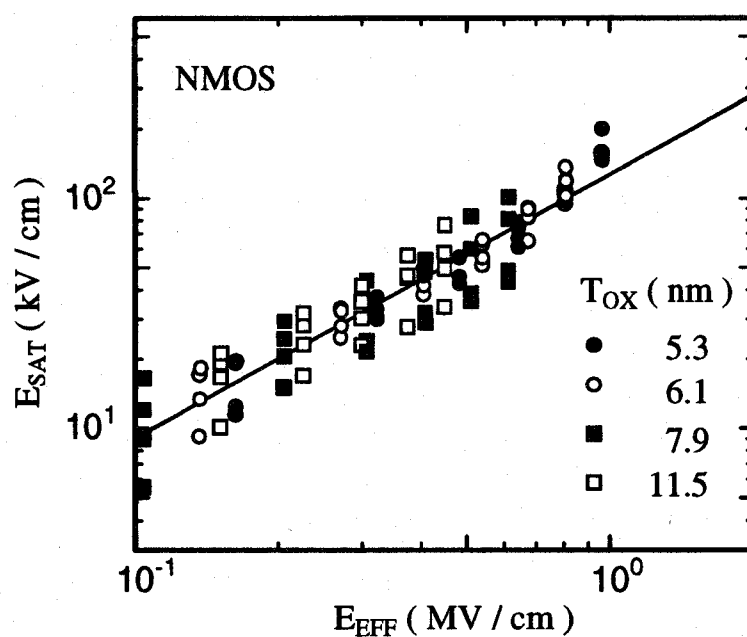
ここで、 N_{inv} は反転キャリア密度、 Q_{depl} は単位面積あたりの空乏層電荷である。図2.12に、NMOSFET及び表面チャネル型PMOSFETにおける実効移動度 μ_{EFF} の E_{EFF} 依存性の測定結果を示すが、界面ラフネス散乱が支配的となる高電界側においてユニバーサルな関係がある事がわかる。なお、図2.12で、低電界側において、ゲート酸化膜厚が薄くなると、移動度が減少する傾向が見られるが、これは薄い酸化膜程界面準位が多い事に起因するものと考えられる。

移動度の E_{EFF} に対するユニバーサルな関係を用いて、速度飽和電界 E_{SAT} をソース端での E_{EFF} に対してプロットした結果、図2.12に示す結果が得られた。ここには、ゲート酸化膜が同じでもチャネル不純物濃度の異なる素子についての結果を併せてプロットしている。この図から、NMOSFET及びPMOSFETにおいて、速度飽和電界 E_{SAT} がソース端での E_{EFF} に対してほぼユニバーサルな関係をもつ事がわかる。

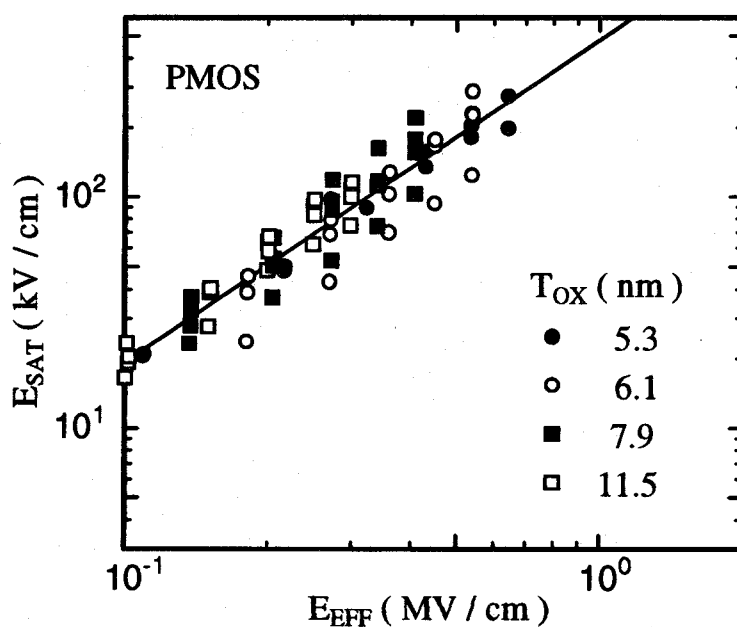
2.5 結言

インパクト・イオン化現象等のホットキャリア効果を調べる上で重要である速度飽和領域長 L_{SAT} 及び速度飽和電界 E_{SAT} に対するゲート酸化膜の薄膜化の影響を調べた。速度飽和領域長 L_{SAT} が、ゲート酸化膜の薄膜化とともに短くなる傾向を確認した。また、NMOSFETと比べて、表面チャネル型PMOSFETの L_{SAT} はゲート酸化膜厚 T_{OX} に対する依存性が小さい事がわかった。これは、電子よりも正孔の速度飽和電

図 2.10 速度飽和電界 E_{SAT} のゲート電圧依存性.図 2.11 NMOSFET 及び表面チャネル型 PMOSFET における実効移動度 μ_{EFF} の MOS 界面に垂直な方向の実効電界 E_{EFF} に対する依存性.



(a)



(b)

図 2.12 (a) NMOSFET 及び (b) 表面チャネル型 PMOSFET における速度飽和電界 E_{SAT} のソース端での MOS 界面に垂直な方向の実効電界 E_{EFF} に対する依存性.

界が高いからである。なお、擬2次元モデルは、形状因子 α を導入する事により、実験結果との良い対応を示す事もわかった。

速度飽和電界 E_{SAT} は、ソース端でのMOS界面に垂直な方向の実効電界 E_{EFF} とユニバーサルな関係をもつ事を示した。これは、実効移動度 μ_{EFF} の E_{EFF} に対するユニバーサルな関係のためである。

参考文献

- [1] C. G. Sodini, P. K. Ko and J. L. Moll : IEEE Trans. Electron Devices **ED-31** (1984) 1386.
- [2] K. Takeuchi and M. Fukuma : IEEE Trans. Electron Devices **ED-41** (1994) 1623.
- [3] F. H. De La Moneda, H. N. Kotecha and M. Shatzkes : IEEE Electron Device Lett. **EDL-3** (1982) 10.
- [4] R. Tu, J. H. Huang, P. Ko and C. Hu : Solid-State Electron **37** (1994) 1445.
- [5] V. G. K. Reddi and C. T. Sah : IEEE Trans. Electron Devices **ED-12** (1965) 139.
- [6] Y. A. El Mansy and A. R. Boothroyd : IEEE Trans. Electron Devices **ED-24** (1977) 254.
- [7] T. Y. Chan, P. K. Ko and C. Hu : IEEE Electron Device Lett. **EDL-6** (1985) 551.
- [8] S. Takagi, A. Toriumi, M. Iwase and H. Tango : IEEE Trans. Electron Devices **ED-41** (1994) 2357.
- [9] S. Takagi, A. Toriumi, M. Iwase and H. Tango : IEEE Trans. Electron Devices **ED-41** (1994) 2363.

第3章

Fowler-Nordheim 注入ストレス における MOS 界面劣化特性

3.1 序

MOSデバイスの劣化機構を詳細に検討するには、ドレイン端付近で発生するホットキャリアによる劣化ではなく、基板ホットキャリア注入あるいはFowler-Nordheim(F-N)電子注入のように、均一にMOS界面を劣化させるストレスを用いる事も必要である。なぜなら、前者では図1.4に示したようにドレイン端付近でのみ劣化しているので、正確な生成界面準位密度や捕獲電荷密度を評価しにくいからである。ここでは、絶縁破壊機構とも関連するF-N電子注入ストレスにおけるMOS界面の劣化特性を調べた結果を述べる。

F-N電子注入ストレスについては、多くの実験結果が報告されている[1]-[6]。しかし、界面準位生成と電荷捕獲に関して、系統的な劣化モデルを提案している例は少ない。3.3では、電荷捕獲や界面準位生成を酸化膜中での水素原子の解離に着目して、系統的に劣化機構を検討した結果を述べる。また、これと関連して、電荷捕獲及び放出の特性についても、3.4で述べる。

さらに、素子劣化を考える時、界面準位生成や酸化膜電荷捕獲とチャネル移動度との関係は重要である。これまで、キャリア移動度の劣化に関する研究はいくつか報告されている。SunとPlummerは、電子移動度と固定電荷密度との経験的な関係を報告している[7]。SchwarzとRussekは、反転層におけるキャリア・スクリーニング効果を考慮した電子移動度モデルを提案している[8]。また、ゲート電極側あるいは反転層からのFowler-Nordheim(F-N)電子トンネル注入後の移動度の劣化に関する研究も近年行われている[9]-[12]。基板ホット・エレクトロン注入後の移動度劣化も報告されている[13]。しかし、これらの研究はフィッティング・パラメータを用いた経験的な取り扱いに留まっている。

キャリア移動度を解析するために、MOSデバイスの反転層電子に対する輸送理論が報告されている[14],[19]。Brewsは、Si/SiO₂界面でのポテンシャルの揺らぎを取り入れて、MOSデバイスにおけるキャリア移動度モデルを提案している[14],[15]。しかし、このモデルではSi/SiO₂界面に垂直な方向の実効電界 E_{EFF} に対するキャリア移動度の依存性[7],[10]が無視されている。Sah等は、高温アニールで発生した酸化膜電荷と電子移動度との密接な関係を報告しているが、ここでは古典的な2次元電子ガスモデルが用いられている[16]。Ando等[17]やMasaki等[18],[19]は、劣化していないMOSデバイス電子移動度を量子論的な2次元電子ガス・モデルに基づいて計算し、 E_{EFF} に対する依存性を見事に説明している。

3.5では、F-N電子注入で発生する界面準位によるNMOSFETの反転層電子移動度の劣化の機構を明確にする。また、これと関連して、キャリア捕獲の移動度劣化への影響についても検討する。さらに、量子論的な2次元電子ガス・モデルに基づいて移動度劣化を計算した結果も述べる。

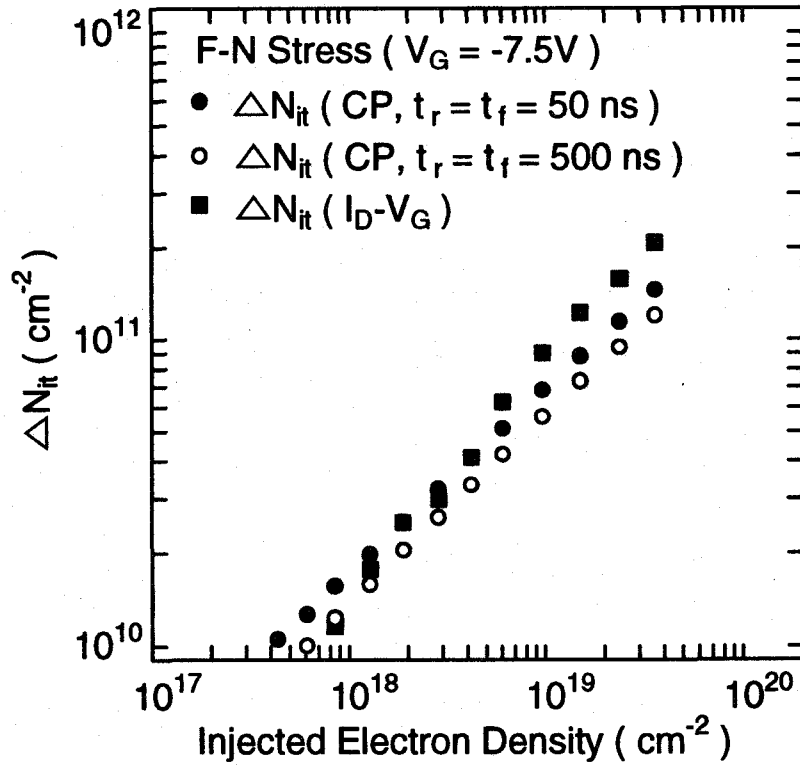


図 3.1 ゲート電極からのF-N電子注入ストレス(ストレス・ゲート電圧 $V_G = -7.5\text{ V}$)による生成界面準位密度 ΔN_{it} の注入電子密度依存性. 黒四角は, $I_D - V_G$ 特性から求めた測定結果である. 白丸及び黒丸は, 異なる立ち上がり時間 (t_r), 立ち下がり時間 (t_f) のパルスを用いたCP測定による結果である.

3.2 実験

本研究では, (100) p型ウェーハ上に通常のCMOSプロセスにより形成したゲート長 $L = 2\mu\text{m}$, ゲート幅 $W = 20\mu\text{m}$ のNMOSFETを用いた. ゲート酸化膜は膜厚 $T_{ox} = 7.7\text{nm}$ であり, 850°C , dry O_2/HCl 雰囲気中で形成した. イオン注入した不純物の活性化のため, 900°C , N_2 雰囲気中で10分のアニールをおこなった. 平均チャネル不純物濃度 N_A は, $1.5 \times 10^{17}\text{cm}^{-3}$ である. なお, $\langle 110 \rangle$ 方向にチャネル中の電子が流れるようなレイアウト・パターンを試料を用いた.

本研究では, ゲート電極あるいは反転層からのF-N電子トンネル注入を用いて, ゲート酸化膜と Si/SiO_2 界面を均一に劣化させた. F-N注入中のゲート電流を計測する事により, 注入電子数を求めた. また, 劣化の経時変化を評価するために, F-N注入を中断し, その直後に $V_D = 50\text{mV}$ で $I_D - V_G$ 特性を測定した.

捕獲キャリア密度 ΔN_{ot} 及び生成界面準位密度 ΔN_{it} を評価する方法として, McWhorter と Winokur の手法[20]を用いた. これらは, $I_D - V_G$ 特性から次式を用いて得る事ができる.

$$\Delta N_{ot} = -\frac{C_{ox}}{q} \Delta V_{MG} \quad (3.1)$$

$$\Delta N_{it} = \frac{C_{ox}}{q} (\Delta V_{TH} - \Delta V_{MG}) \quad (3.2)$$

ここで, C_{ox} は単位面積あたりのゲート酸化膜容量, ΔV_{TH} は生成界面準位 (NMOSFETの場合, アクセプタ型) 及び捕獲電荷による閾値電圧シフト, ΔV_{MG} は捕獲電荷によるミッドギャップ電圧シフトである.

ミッドギャップ電圧 V_{MG} は、 $I_D - V_G$ 特性より次式を用いて求めた [21].

$$I_D|_{V_G=V_{MG}} = \mu \frac{W}{2L} \frac{qN_A L_D}{\beta} \left(\frac{n_i}{N_A} \right)^2 \times e^{\beta\Phi_F} (\beta\Phi_F)^{-\frac{1}{2}} (1 - e^{-\beta V_D}) \quad (3.3)$$

ここで、 L_D はデバイ長で $L_D = (2\kappa_S\epsilon_0/\beta q N_A)^{1/2}$ と定義される。さらに、 $\beta = q/k_B T$ 、 n_i は真性キャリア密度、 κ_S は Si の比誘電率、 μ は電子移動度、 $\Phi_F = (k_B T/q) \ln(N_A/n_i)$ である。 $\mu W/L$ の値は、 $V_D = 50\text{mV}$ での相互コンダクタンスの最大値より求められる。ミッドギャップ状態でのドレイン電流 $I_D|_{V_G=V_{MG}}$ は通常 $0.01\text{--}0.1\text{ pA}$ の範囲であるので、サブスレッショルド曲線 ($\log I_D - V_G$) をこの電流範囲まで外挿して、 V_{MG} を求めた。 ΔV_{MG} が負の場合、ゲート酸化膜中に正孔が捕獲されている事を意味する。

図 3.1 に、本手法で評価した生成界面準位密度 ΔN_{it} の注入電子密度依存性を示す。この図には、参考のため、チャージ・ポンピング (Charge Pumping; CP) 法 [22] で評価した結果も示す。界面準位密度 N_{it} は、CP 電流 I_{CP} より以下の式を用いて求められる。

$$N_{it} = \frac{I_{CP}}{qfA} \quad (3.4)$$

ここで、 f はゲートに印加するパルスの周波数、 A はゲート面積である。図中の CP 法では、周波数 100kHz 、振幅 3.5V の方形波を用いており、立ち上がり時間 (t_r) 及び立ち下がり時間 (t_f) に異なる 2 組を用いている。図 3.1 より、CP 法で測定した生成界面準位密度 ΔN_{it} は、 t_r 、 t_f が短い方が大きい事がわかる。これは、CP 電流はミッドギャップを中心に $\pm 0.3\text{eV}$ 程度の範囲に存在する界面準位を介しての再結合電流である事、及び t_r 、 t_f が短い方が再結合の頻度が多い事を考えると理解できる。先述の $I_D - V_G$ 特性を用いた測定法を使った場合ほぼ CP 法と対応しているが、測定対象となるバンドギャップ内のエネルギー範囲の違いにより少しだけ違いが見られる。つまり、CP 法とは異なり、 $I_D - V_G$ 特性を用いた測定法では、NMOSFET の場合ミッドギャップより高いエネルギー範囲 (アクセプタ型) が測定対象となるためである。

実効移動度 μ_{EFF} は $I_D - V_G$ 特性から次式を用いて求められる。

$$\mu_{EFF} = \frac{L}{W} \frac{g_D}{q N_{inv}} \Big|_{V_D=\text{const}} \quad (3.5)$$

ここで、 $g_D = I_D/V_D$ はチャネル・コンダクタンス、 $N_{inv} = (C_{OX}/q)(V_G - V_{TH} - V_D/2)$ はチャネルにおける平均反転電子密度である。本研究では、簡単化のために上式を使うので、 μ_{EFF} と N_{inv} を強反転状態でのみ評価している。Si/SiO₂ 界面に垂直な方向の実効電界 E_{EFF} は、次式で与えられる。

$$E_{EFF} = \frac{1}{\kappa_S\epsilon_0} \left(\frac{1}{2} q N_{inv} + Q_{depl} \right) \quad (3.6)$$

ここで、 Q_{depl} は単位面積あたりの空乏層電荷である。

3.3 Fowler-Nordheim 注入ストレスにおける界面劣化のストレス極性依存性

図 3.2(a) 及び (b) に、F-N 電子注入ストレス中の捕獲キャリア密度 ΔN_{ot} と生成界面準位密度 ΔN_{it} の注入電子密度 N_{inj} 依存性を示す。図 3.2(a) 及び (b) において、各々ゲート電極と反転層より電子が注入される。図 3.2(a) に示すように、生成界面準位密度及び捕獲正孔密度は、 $N_{inj} = 10^{18}\text{cm}^{-2}$ まで線形に増加しているが、 $N_{inj} \geq 10^{19}\text{cm}^{-2}$ になると捕獲正孔密度のみ増加しなくなる。これは、捕獲正孔の飽和あるいは電子捕獲による中和のためである。図 3.2(a) から、生成界面準位密度と捕獲正孔密度が $N_{inj} \leq 10^{19}\text{cm}^{-2}$ ではストレス・ゲート電圧に対する強い依存性を示す事もわかる。一方、反転層からの F-N 電子注入ストレスの場合、図 3.2(b) に示されるように、生成界面準位密度及び捕獲電子密度は、 $N_{inj} = 10^{21}\text{cm}^{-2}$ まで単調

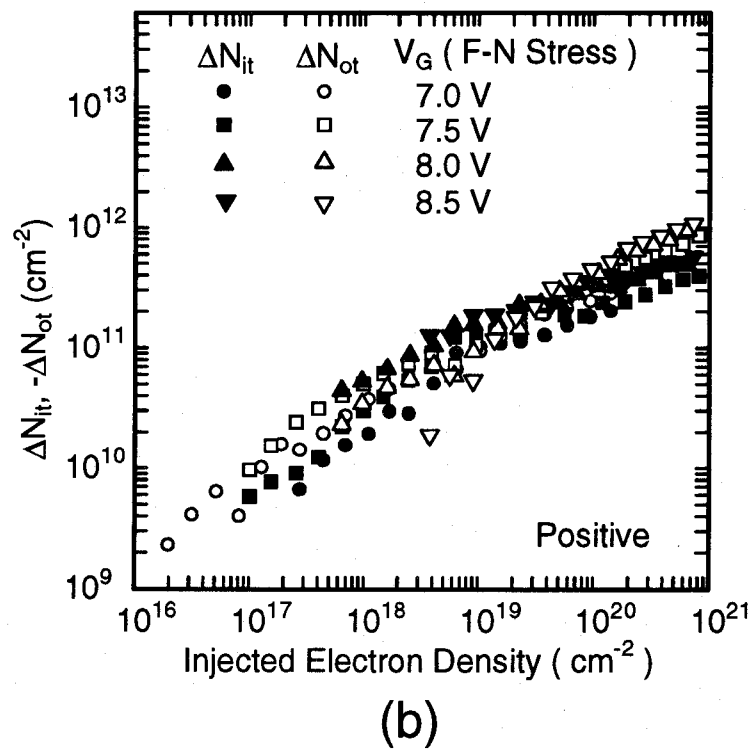
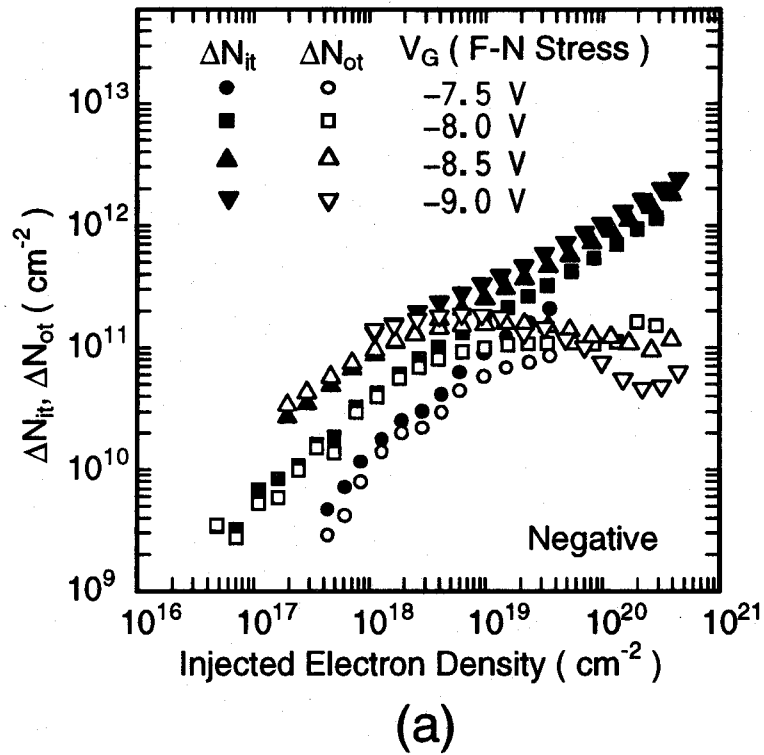
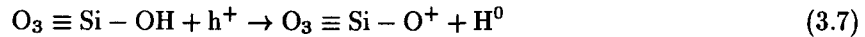


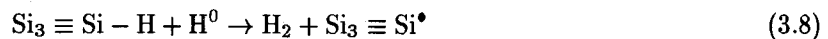
図 3.2 (a) ゲート電極(負ストレス・ゲート電圧) 及び (b) 反転層(正ストレス・ゲート電圧) からの F-N 電子注入ストレス中の捕獲キャリア密度 ΔN_{ot} (白印) と生成界面準位密度 ΔN_{it} (黒印) の注入電子密度依存性.

に増加している。また、図3.2(a)及び(b)を比較すると、捕獲電荷のタイプ（電子あるいは正孔）が異なる事がわかる。さらに、反転層からのF-N電子注入ストレスの場合、電子捕獲特性に大きな影響を及ぼす中性電子トラップ [23],[24] がSi/SiO₂界面付近に生成されている事もわかる。

次に、各ストレス極性に対して、この測定結果を説明できる界面劣化モデルを述べる。負バイアスの場合、図3.3に示すように、電子はゲート電極からゲート酸化膜に注入され、高エネルギーを得てSi基板に達する。このとき、Si基板において、このホット・エレクトロンがインバクト・イオン化により、電子・正孔対を発生させる。ここで、ホット・ホールはゲート酸化膜に注入される。注入された正孔は、酸化膜中に捕獲され、



の反応により水素原子を放出する。この水素原子がSi/SiO₂界面に拡散し、次式の反応により、界面準位 (Si₃ ≡ Si*) を生成する。

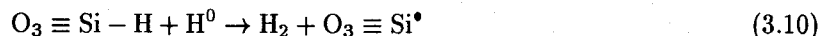


この正孔が関与する界面準位生成プロセスをプロセスAと呼ぶ事にする。プロセスAは正孔捕獲が飽和するまで起こる。正孔捕獲が飽和するようになると、酸化膜中のホット・エレクトロンによる界面準位生成が支配的となる。ゲート酸化膜に注入された電子は、陽極側のSi/SiO₂界面付近で高エネルギーをもつ。このホット・エレクトロンにより、以下の水素解離反応が起こる。



解離した水素原子は、プロセスAと同様の過程を経て、界面準位を生成する。このプロセスをプロセスBと呼ぶ事にする。なお、ゲート電極側においては、電子のエネルギーが低いので、電子が捕獲され易くなっている。これは、F-Nストレス中のゲート電流の経時変化より確認される。

次に、正バイアスのF-N電子注入ストレスでの劣化機構を考える。図3.3に、この場合の劣化機構を示す。この正バイアスのF-Nストレスでは、反転層よりゲート酸化膜中に電子が注入され、ゲート電極側で高エネルギーをもつ。このホット・エレクトロンは、ゲート電極においてインバクト・イオン化を起こし、発生した正孔の中で高エネルギーを持つものが、ゲート酸化膜中に注入される。しかし、この場合、Si/SiO₂界面側では電子のエネルギーが低いために電子捕獲が起こり易く、正孔捕獲は支配的にならない。従って、正バイアスでは、上述のプロセスBがSi/SiO₂界面の劣化を引き起こすと考えられる。つまり、陽極であるゲート電極側でホット・エレクトロンは、式(3.9)の水素解離反応を起こす。解離した水素原子はSi/SiO₂界面まで拡散して、式(3.8)により界面準位を生成する。負バイアスのF-NストレスのプロセスBとは異なり、この場合、解離した水素原子は、ほぼゲート酸化膜厚分の拡散を必要とする。このため、ストレスが進行するとともに、界面準位の生成が水素原子の拡散で律速され、反応が鈍化する。この傾向は、図3.2(b)でも見られている。また、解離した水素原子は、Si/SiO₂界面だけでなく、酸化膜中においても次の反応を引き起こす。



これにより、中性電子トラップ (O₃ ≡ Si*) が生成する。正バイアスのF-Nストレスの場合、Si/SiO₂界面付近で電子のエネルギーが低いので、中性電子トラップに捕獲され易い。このため、図3.2(b)に見られるような顕著な電子捕獲が起こる。

3.4 酸化膜中の捕獲中心の電荷捕獲・放出特性

本節では、正孔トラップや中性電子トラップの特性を見るため、電荷の捕獲・放出特性を調べた結果を述べる。

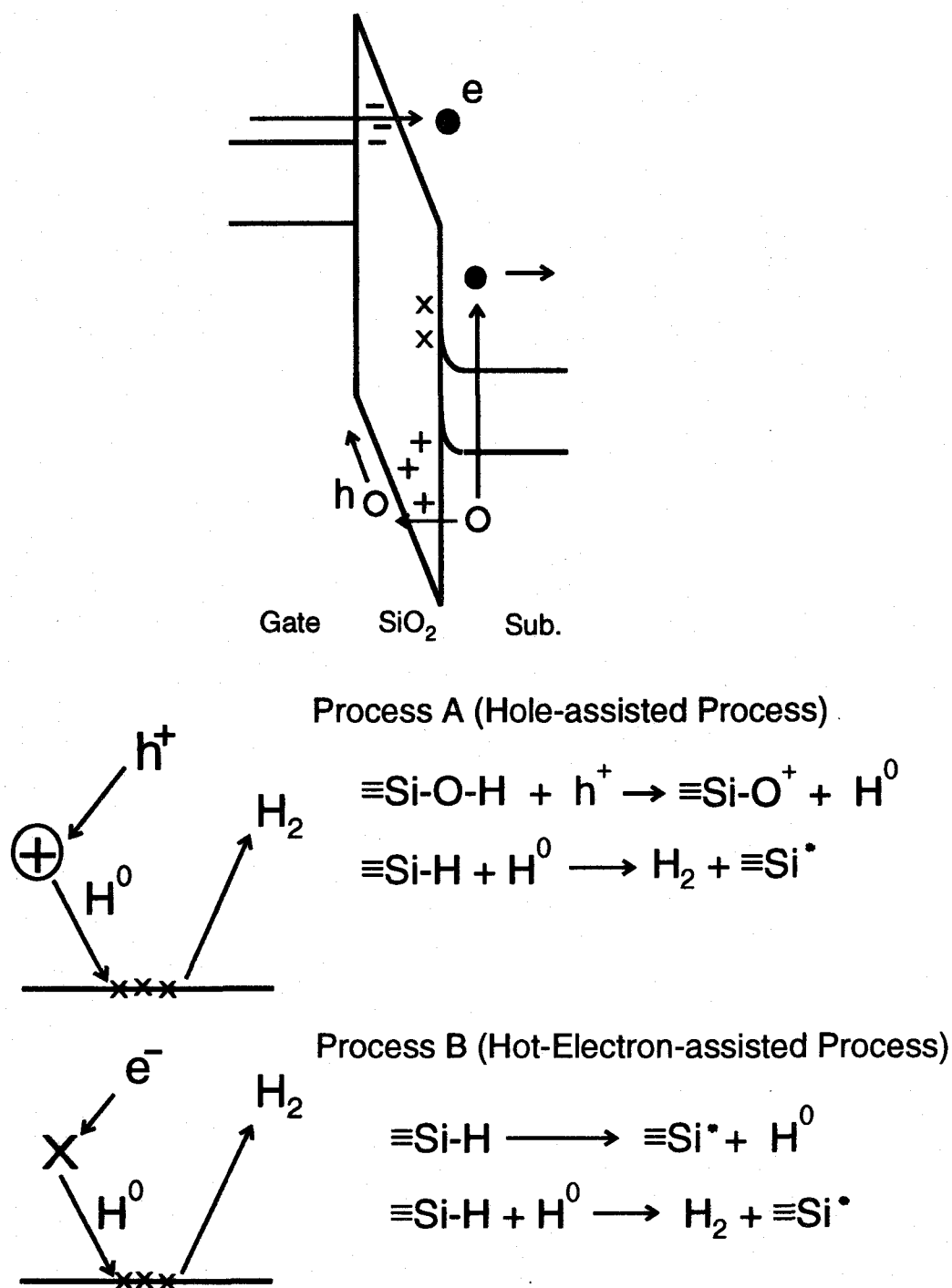
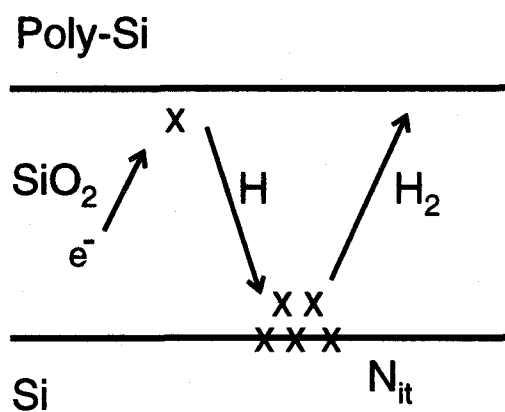
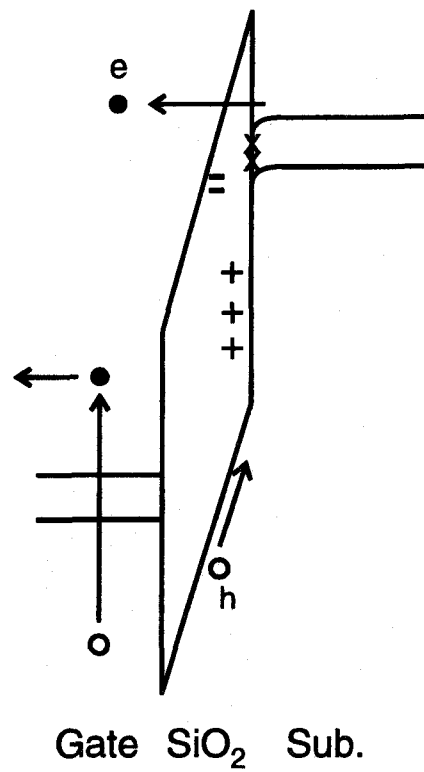


図 3.3 負バイアス F-N 注入での界面準位生成モデル。



Process B (Hot-Electron-assisted Process)

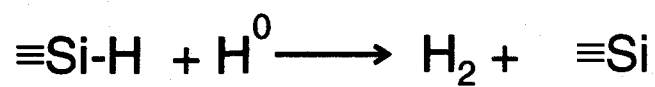
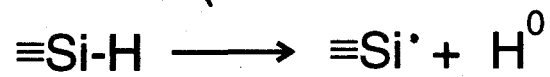
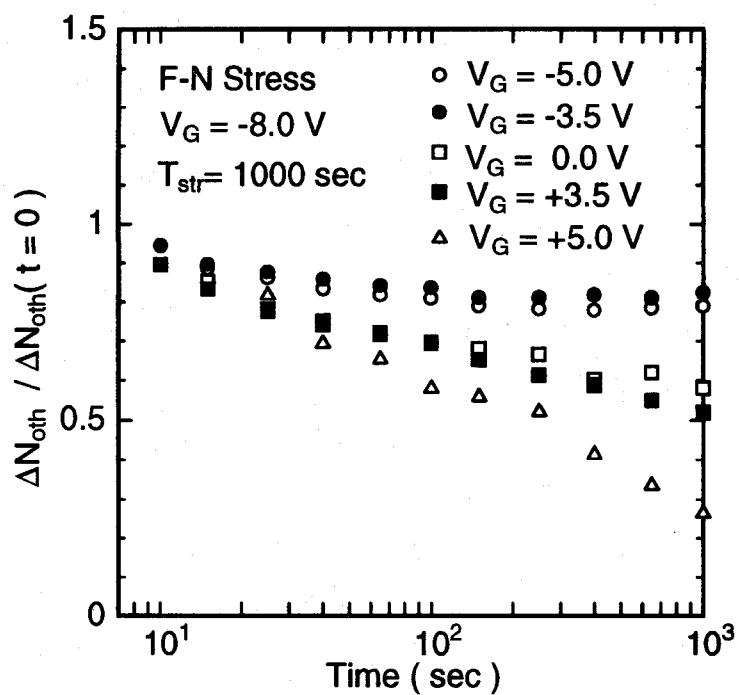
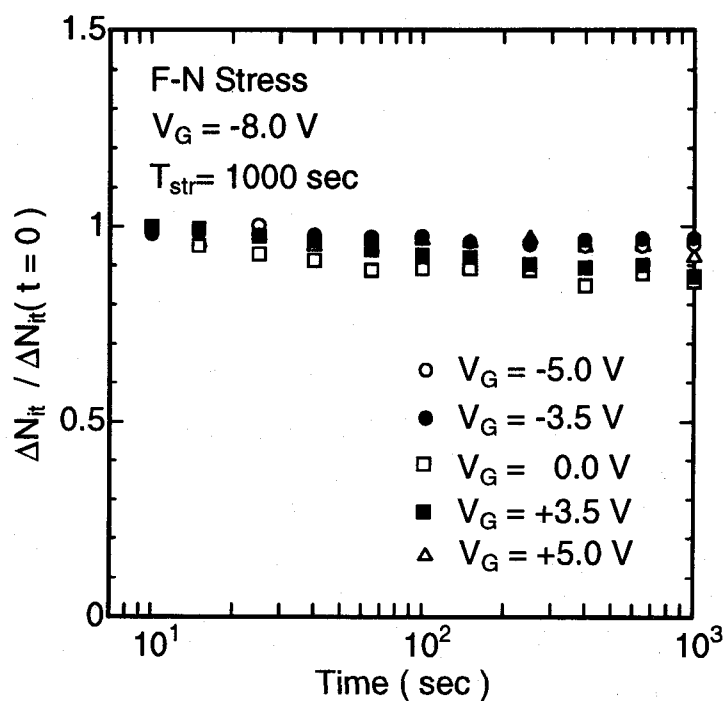


図 3.4 正バイアス F-N 注入での界面準位生成モデル。



(a)



(b)

図 3.5 負バイアスF-Nストレス ($V_G = -8.0 \text{ V}$, $T_{\text{str}} = 1000 \text{ sec}$) 印加後の (a) 捕獲正孔密度 ΔN_{oth} 及び (b) 生成界面準位密度 ΔN_{it} の回復特性. 回復時間中のゲート電圧は, -5.0 , -3.5 , 0.0 , 3.5 , 5.0 V としている.

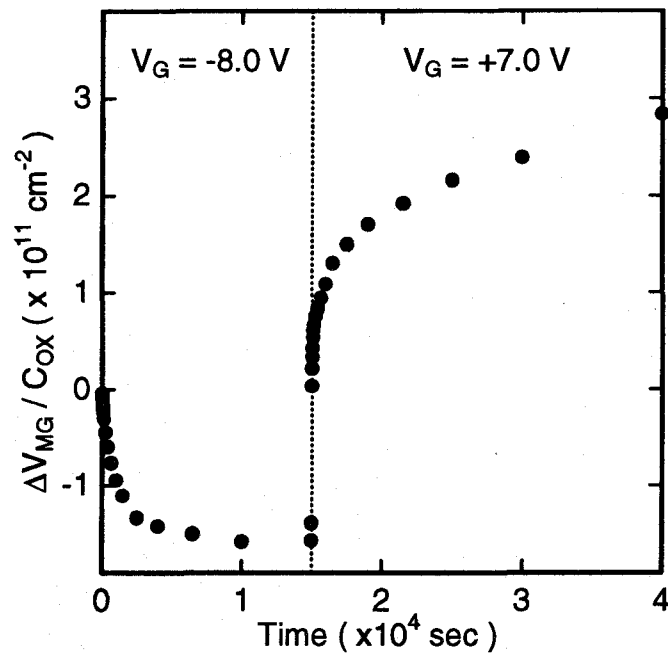


図 3.6 負バイアス F-N ストレス ($V_G = -8.0\text{V}$, $1.5 \times 10^4 \text{ sec}$) 印加後の正バイアス F-N ストレス ($V_G = 7.0\text{V}$) によるミッド・ギャップ電圧シフト。

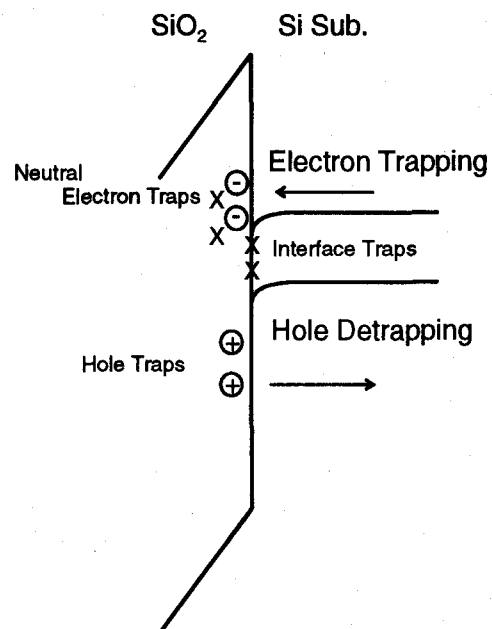
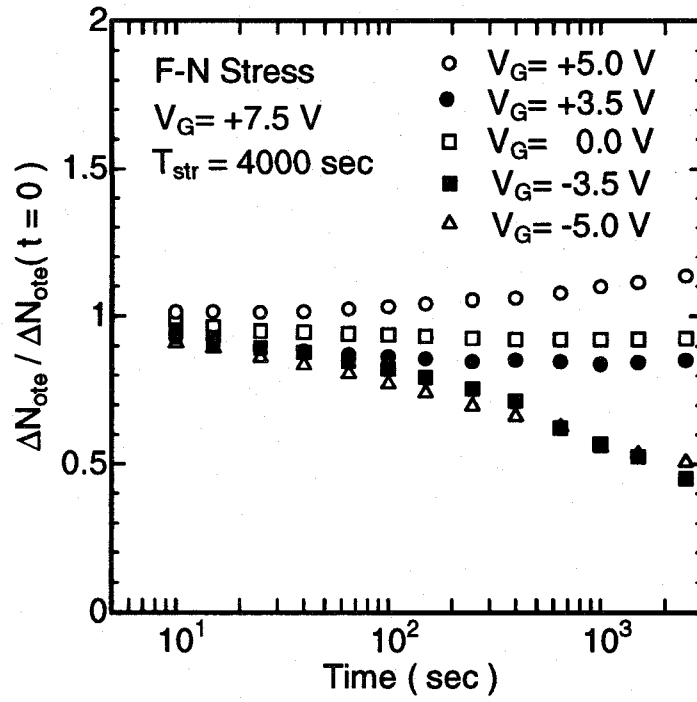
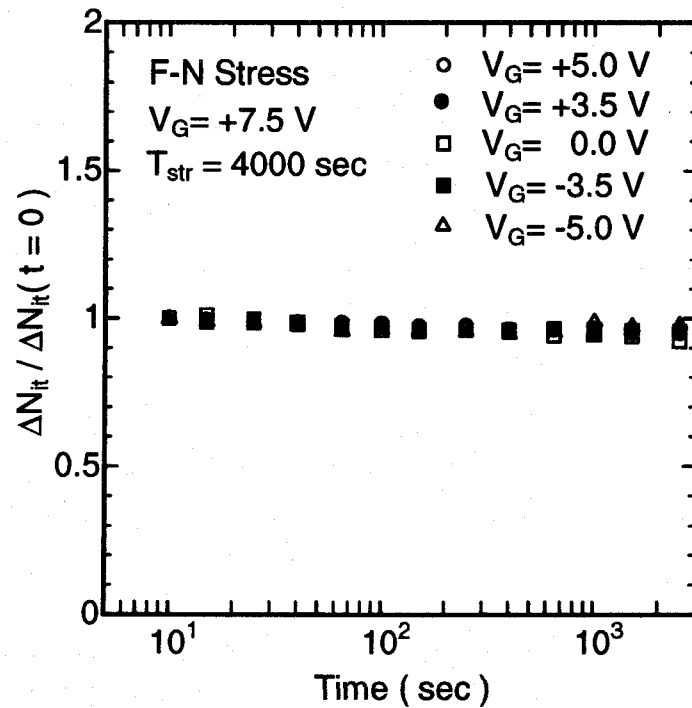


図 3.7 酸化膜中の正電荷の消滅過程。



(a)



(b)

図 3.8 正バイアス F-N ストレス ($V_G = 7.5$ V, $T_{\text{str}} = 4000$ sec) 印加後の (a) 捕獲電子密度 ΔN_{ote} 及び (b) 生成界面準位密度 ΔN_{it} の捕獲・放出特性。捕獲・放出時間中のゲート電圧は、 -5.0 , -3.5 , 0.0 , 3.5 , 5.0 V としている。

図3.5(a)には、負バイアスF-Nストレスによって酸化膜中に発生した捕獲正孔の回復特性を示している。図3.5(b)には、これに付随する界面準位密度の変化を示している。これら図より、 $V_G = \pm 5V$ を除いて、捕獲正孔の放出、及びこれに対応する界面準位密度の減少が見られている。近年、捕獲正孔密度と界面準位密度との間に1対1の関係がある事が報告されている[25],[26],[27]。これは、以下の反応が起こっているからであると考えられている。



図3.5(a),(b)の結果は、この報告と矛盾しない。また、捕獲正孔と界面準位との対応は、前節の界面準位生成におけるプロセスAが矛盾のないものである事を意味している。 $V_G = -3.5, -5.0V$ において、酸化膜中の正電荷が顕著に減少しているが、この状態では、反転層が形成されているため、電子が捕獲されている事が考えられる。

前節では見られなかったが、負バイアスF-Nストレスにおいても、発生した水素原子により中性電子トラップが生成されている事が考えられる。これを確かめるため、負バイアスF-Nストレス後に正バイアスF-Nストレスをおこなった場合のミッド・ギャップ電圧のシフトを測定した。測定結果を図3.6に示す。ストレス電界極性を逆にするると、急激にミッド・ミッドギャップ電圧が正にシフトし、その後緩やかに増加している事がわかる。この急激な ΔV_{MG} シフトは、負バイアスF-Nストレスで既に生成していた中性電子トラップが電子を捕獲している事を示唆する。従って、負バイアスF-Nストレスでも中性電子トラップは生成されているが、Si/SiO₂界面付近で電子が高エネルギーをもつために捕獲しにくくなっている事がわかる。

以上の事を、図3.7に図示する。捕獲正孔は低バイアスでは極性に依らずに起こり、それに対応して界面準位も消滅する。しかし、正バイアスでは、反転層からゲート酸化膜へのトンネリングによる電子捕獲が起こると考えられる。

正バイアスF-Nストレスで生成された中性電子トラップは、Si/SiO₂界面付近では電子を捕獲している。中性電子トラップの捕獲・放出特性を図3.8(a)に示す。また、それに付随する界面準位密度の変化も図3.8(b)に示す。 $V_G = 5V$ では、空の中性電子トラップに反転層の電子がトンネリングにより捕獲される。しかし、 $V_G = 5V$ 以下では、捕獲電子がトンネリング過程により放出されている事が伺える。さらに、中性電子トラップの電子捕獲・放出の際に、界面準位がほとんど変化していない事は、正孔捕獲の場合とは異なり、中性電子トラップの電子捕獲・放出の過程自体には水素が関与していない事が示唆される。

3.5 反転電子移動度のホットキャリア劣化の解析

図3.9に、ゲート電極からのF-N電子注入ストレスによる実効移動度 μ_{EFF} の実効電界 E_{EFF} 依存性を示す。低実効電界においては、イオン化不純物散乱が支配的な散乱機構であるが、この領域でのストレスによる移動度劣化が著しい事がわかる。一方、界面ラフネス散乱が支配的な高実効電界領域では、ストレスによる移動度劣化は小さくなっている。これは、界面準位や酸化膜中の捕獲電荷が反転層の電子によってスクリーニングされるからである。この結果は、ストレスによる移動度劣化が、Si/SiO₂に垂直な方向の実効電界 E_{EFF} あるいは反転層電子密度に対して強く依存している事を示唆する。

F-N電子注入ストレスで生成する界面準位や捕獲電荷による移動度の劣化は、次の近似式を用いて測定結果より求められる。

$$\Delta \left(\frac{1}{\mu_{EFF}} \right) = \frac{1}{\mu_{EFF}} \Big|_{\text{degraded}} - \frac{1}{\mu_{EFF}} \Big|_{\text{fresh}} \quad (3.13)$$

図3.10(a), (b)に、それぞれ $E_{EFF} = 0.283 \text{ MV/cm}$ 及び 0.621 MV/cm での $\Delta(1/\mu_{EFF})$ のゲート電極からのF-N電子注入ストレスによる生成界面準位密度 ΔN_{it} に対する依存性を示す。図3.10(a), (b)より、 $\Delta N_{it} \leq$

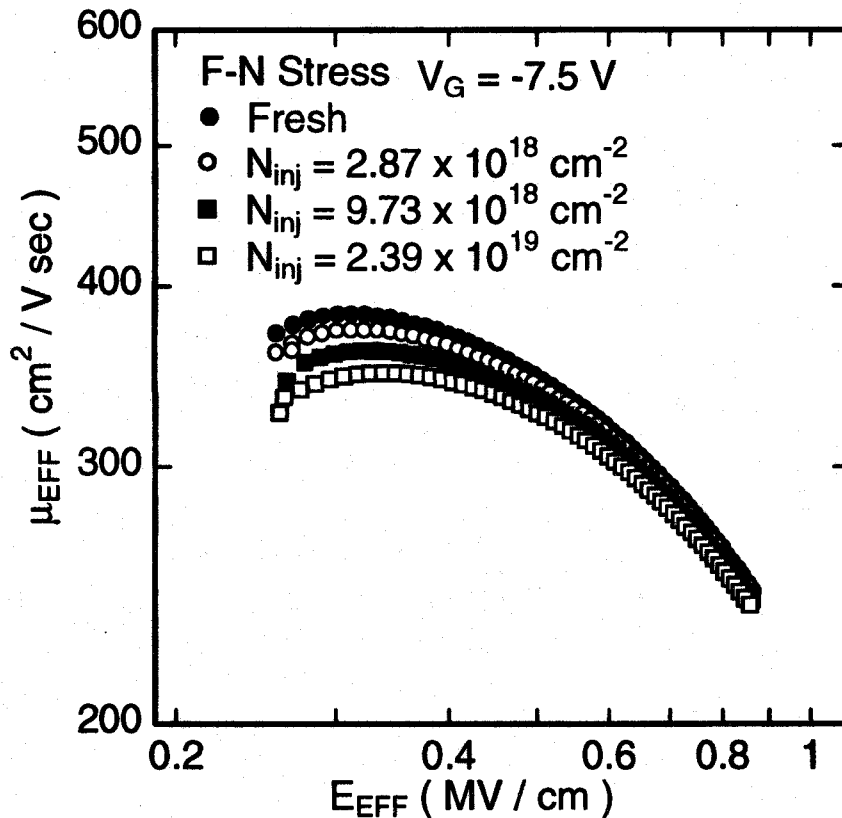


図 3.9 ゲート電極からの F-N 電子注入ストレス (ストレス・ゲート電圧 $V_G = -7.5$ V) による実効移動度 μ_{EFF} の実効電界 E_{EFF} 依存性. 注入電子密度 N_{inj} をパラメータとしている.

$4 \times 10^{11} \text{ cm}^{-2}$ では, $\Delta(1/\mu_{EFF})$ は ΔN_{it} に比例している事がわかる. しかし, 図 3.10(a) では, $\Delta N_{it} = 4 \times 10^{11} \text{ cm}^{-2}$ になると, 実測値がこの関係から少しずれている. これは, 多重散乱 [29] [30] が帯電した界面準位に対して起こっている事で説明できる. つまり, 低実効電界では, 反転層電子密度によるスクリーニング長が $N_{it}^{-1/2}$ よりも長くなるからである. これらの実験結果は, 反転層からの F-N 電子注入ストレスの場合でも確認される.

以下では, 簡単化のため, ゲート電極からの F-N 電子注入ストレスでの移動度のみを考える. 図 3.2(a) の実験結果では, 10^{18} cm^{-2} 以上の注入電子密度に対して捕獲電荷の挙動は, 界面準位のそれとは異なっている. これに基づくと, 酸化膜中の捕獲電荷は $\Delta(1/\mu_{EFF})$ には影響しない事が結論づけられる. これは, 図 3.2(a) から明らかなように, 10^{19} cm^{-2} 以上の注入電子密度に対しては, 電荷捕獲が飽和するのみ対して, $\Delta(1/\mu_{EFF})$ は単調に増加している事から理解できる. 実効移動度が酸化膜中の捕獲電荷に対してほとんど依存しない事は, 捕獲電荷が反転層から離れているからであると考えられる. 酸化膜中の捕獲電荷は, 瞬時のトンネリング・デトラッピングにより, Si/SiO₂ 界面から 2-3nm 以内にはほとんど存在しない事が報告されている [27]-[32].

移動度劣化の実験結果を説明するため, $\Delta(1/\mu_{EFF})/\Delta N_{ot}$ の反転層電子密度 N_{inv} 依存性を捕獲電荷の Si/SiO₂ 界面からの距離 z_{ot} をパラメータとして理論的に計算した. 本計算では, 2次元電子ガスの輸送理論 [17] を用いている. また, 簡単化のため, 反転層電子の Si/SiO₂ 界面に垂直な方向の波動関数には, Fang-Howard の試行関数 [28], [33] を用いた. 反転層電子は, 帯電した界面準位や捕獲電荷によりクーロン散乱さ

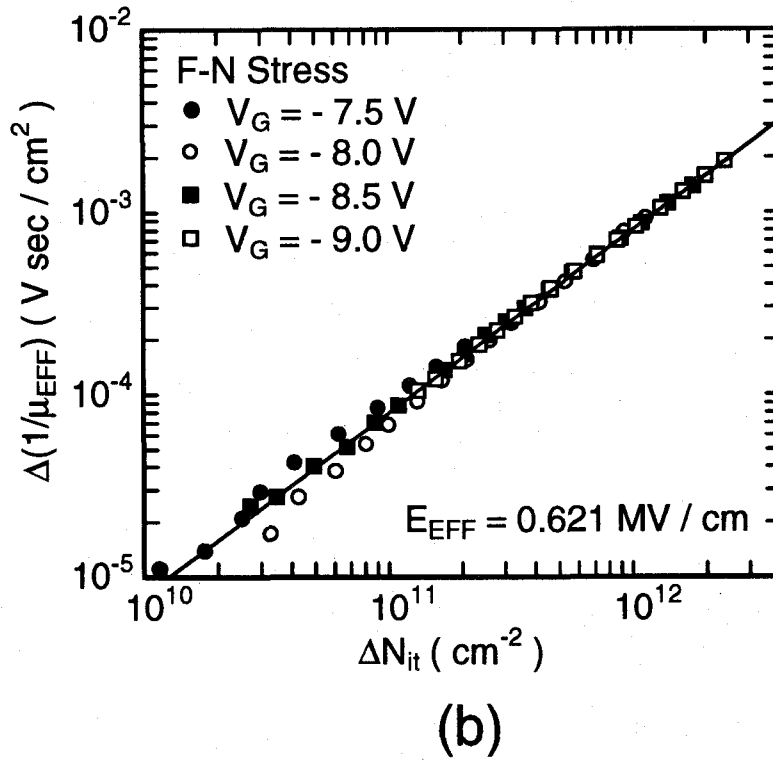
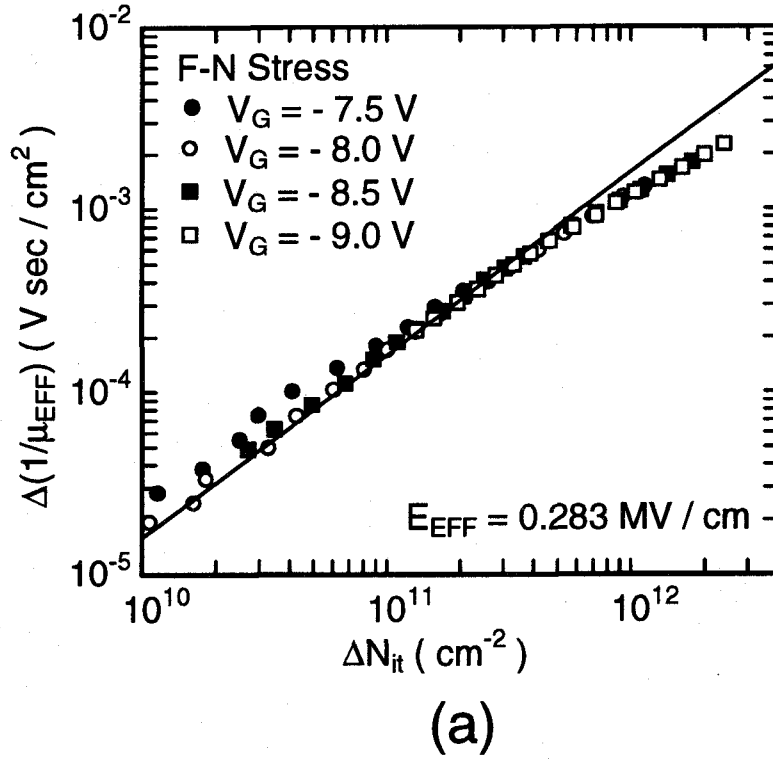


図 3.10 (a) $E_{\text{EFF}} = 0.283 \text{ MV/cm}$ と (b) 0.621 MV/cm における $\Delta(1/\mu_{\text{EFF}})$ の生成界面準位密度 ΔN_{it} 依存性. 実線は, $\Delta N_{\text{it}} \leq 4 \times 10^{11} \text{ cm}^{-2}$ での実験値に対してフィッティングした直線である.

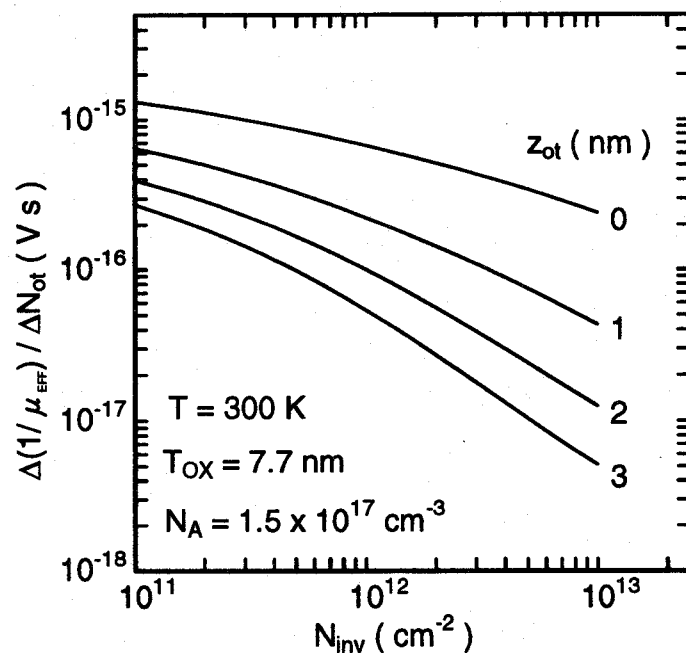


図 3.11 $\Delta(1/\mu_{\text{EFF}})/\Delta N_{\text{ot}}$ の反転層電子密度 N_{inv} 依存性の理論計算結果. 捕獲電荷の Si/SiO₂ 界面からの距離 z_{ot} をパラメータとしている.

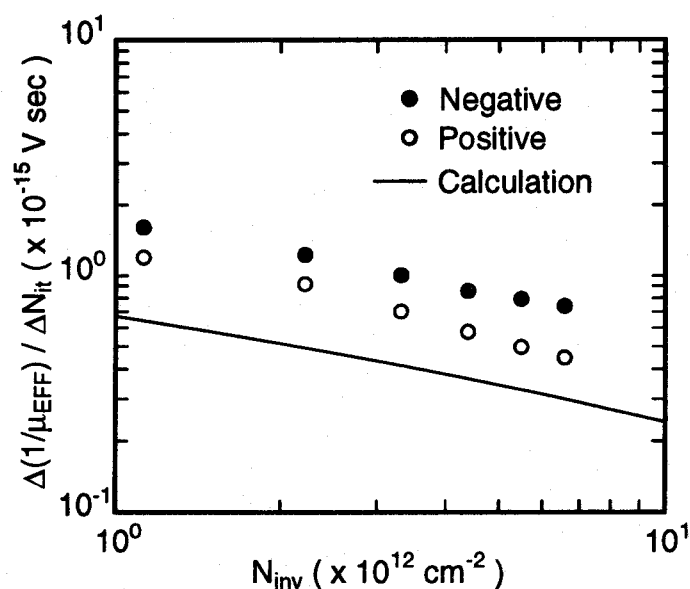


図 3.12 $\Delta(1/\mu_{\text{EFF}})/\Delta N_{\text{it}}$ の反転層電子密度 N_{inv} 依存性. 白丸及び黒丸は, 各々反転層とゲート電極からの F-N 電子注入ストレス (それぞれストレス・ゲート電圧が正及び負) での実験結果を示す. 実線は, 理論計算結果を示す.

れるが、反転層電子によるスクリーニング効果[34]を考慮している。本計算の詳細は、付録で述べている。図3.11に、 $\Delta(1/\mu_{\text{EFF}})/\Delta N_{\text{ot}}$ の N_{inv} 依存性を z_{ot} をパラメータとして理論的に計算した結果を示す。この図より、 $z_{\text{ot}} = 2 \text{ nm}$ 以上にある捕獲電荷は、帯電した界面準位($z_{\text{ot}} = 0$)に比べて、移動度の劣化への影響はかなり小さい事がわかる。

図3.10(a)及び(b)の結果は、実効電界 E_{EFF} あるいは反転層電子密度 N_{inv} が増加すると、反転層電子のスクリーニング効果により帯電した界面準位による散乱が減少する事を示している。これに関連して、図3.10(a), (b)のような直線の傾きから、 $\Delta(1/\mu_{\text{EFF}})/\Delta N_{\text{it}}$ を求めた。このようにして求めた $\Delta(1/\mu_{\text{EFF}})/\Delta N_{\text{it}}$ の N_{inv} 依存性を図3.12に示す。この図には、先述の理論計算で求めた $\Delta(1/\mu_{\text{EFF}})/\Delta N_{\text{it}}$ の N_{inv} 依存性も示している。実験より求めた $\Delta(1/\mu_{\text{EFF}})/\Delta N_{\text{it}}$ はほぼ $N_{\text{inv}}^{-1/4}$ に比例しているが、これは理論計算の結果と定性的に一致している。これは、移動度劣化の反転層電子密度依存性は、反転層電子のスクリーニングによるクーロン・ポテンシャルの変化が主要因である事を示している。理論計算結果と実験結果での定量的な差異は、本研究で用いた評価方法では生成界面準位密度を過小評価してしまうからと考えられる。

3.6 結言

F-N電子注入ストレスにおける界面準位生成及びキャリア捕獲について調べた。その結果、正孔やホット・エレクトロンによる水素原子の発生が、界面準位や中性電子トラップの生成を引き起こす事を見出した。特に、正バイアスF-N注入では、反転層から電子が注入されるために、顕著な電子捕獲が見られる。

また、正孔の放出は界面準位の消滅と対応しており、両者が水素原子の挙動に関連している事が伺えた。中性電子トラップへの電子の捕獲・放出については、界面準位への影響は観測されず、この過程は水素原子の挙動とは独立である事が示唆される。

また、F-N電子注入ストレスによる生成界面準位と電子移動度の劣化との相関を解析し、同一 E_{EFF} または N_{inv} において $\Delta(1/\mu_{\text{EFF}})$ が生成界面準位密度 ΔN_{it} に比例する事を確認した。捕獲電荷の移動度劣化への影響については小さく、これは捕獲電荷がSi/SiO₂界面より離れた位置にあるからである。移動度劣化の理論計算より、移動度の劣化は、生成界面準位が帯電した時のクーロン相互作用に起因する事がわかった。

付録 反転電子移動度の劣化の理論計算

捕獲電荷や帯電した界面準位による移動度の劣化は、クーロン相互作用を仮定する事により導出できる。本計算では、2次元電子ガスの輸送理論[17]を用いる。簡単のため、反転電子は基底サブバンド E_0 のみを占めているものとする。このサブバンドの電子のSi/SiO₂界面に垂直な方向(z 方向)の波動関数には、Fang-Howardの試行関数を用いる[28],[33]。

酸化膜中の捕獲電荷による散乱に対する運動量緩和時間 $\tau_{\text{ot}}(k)$ は、次のように与えられる。

$$\frac{1}{\tau_{\text{ot}}(k)} = \frac{m_d^* q^4 N_{\text{ot}}}{4\pi \hbar^3 \bar{\kappa}^2 \epsilon_0^2} \int_0^\pi \frac{J(Q(\theta), z_{\text{ot}})(1 - \cos \theta)}{[Q(\theta) + P(Q(\theta))H(Q(\theta))]^2} d\theta, \quad (3.14)$$

ここで、

$$Q(\theta) = 2k \sin \frac{\theta}{2}, \quad (3.15)$$

$$\bar{\kappa} = \frac{\kappa_{\text{S}} + \kappa_{\text{OX}}}{2}, \quad (3.16)$$

$$J(Q, z_{\text{ot}}) = \left| \int_0^\infty |\xi(z)|^2 \exp(-Q|z + z_{\text{ot}}|) dz \right|^2, \quad (3.17)$$

$$H(Q) = \frac{1}{2} \int_0^\infty dz_1 \int_0^\infty dz_2 |\xi(z_1)|^2 |\xi(z_2)|^2 \left[\left(1 + \frac{\kappa_{\text{OX}}}{\kappa_{\text{S}}}\right) \exp(-Q|z_1 - z_2|) \right]$$

$$+(1 - \frac{\kappa_{OX}}{\kappa_S}) \exp(-Q|z_1 + z_2|)], \quad (3.18)$$

$$P(Q) = \frac{q^2}{2\kappa\epsilon_0} \frac{m_d^* n_v}{\pi \hbar^2} \left[f(E_0) + \int_0^{\epsilon_{Q/2}} \sqrt{1 - \frac{\epsilon}{\epsilon_{Q/2}}} \frac{df(E_0 + \epsilon)}{d\epsilon} d\epsilon \right], \quad (3.19)$$

$$\epsilon_{Q/2} = \frac{\hbar^2}{2m_d^*} \left(\frac{Q}{2} \right)^2, \quad (3.20)$$

である。また、 m_d^* はSiの状態密度有効質量、 n_v はバレーの数、 κ_{OX} 及び κ_S は各々 SiO_2 とSiの比誘電率、 $f(E)$ はFermi-Dirac分布関数である。ここでは、(100)界面を扱うので、反転電子に対しては $m_d^* = m_t^*$ となる。式(3.19)は、絶対零度の誘電関数から有限温度の誘電関数が求められるMaldagueの方法[34]を用いて導出できる。酸化膜中の捕獲電荷の分布は、Si/SiO₂界面に垂直な方向に δ 関数状であると仮定している。捕獲電荷の電子移動度への影響は、次式で表される。

$$\mu_{ot} = \frac{q}{m^*} \frac{\langle \tau_{ot}(k(\epsilon)) \epsilon \rangle}{\langle \epsilon \rangle}, \quad (3.21)$$

ここで、 m^* はSiの伝導有効質量(基底サブバンド E_0 に対しては $m^* = m_t$)、 ϵ はSi/SiO₂界面に平行な平面での走行に対する運動エネルギー)、 $k(\epsilon) = \sqrt{2m^*\epsilon}/\hbar$ であり、and ϵ の関数 $g(\epsilon)$ の平均 $\langle g(\epsilon) \rangle$ は、

$$\langle g(\epsilon) \rangle = \int_0^\infty g(\epsilon) \frac{df(\epsilon + E_0)}{d\epsilon} d\epsilon. \quad (3.22)$$

で定義される。

上述の式に基づくと、捕獲電荷による移動度の劣化は、次式で表される。

$$\Delta \left(\frac{1}{\mu_{EFF}} \right) = \frac{m_d^* m^* q^3 \Delta N_{ot}}{4\pi \hbar^3 \kappa^2 \epsilon_0^2} \langle \epsilon \rangle \left\langle \frac{\epsilon}{\int_0^\pi \frac{J(Q(\theta), z_{ot})(1 - \cos \theta)}{[Q(\theta) + P(Q(\theta))H(Q(\theta))]^2} d\theta} \right\rangle^{-1}. \quad (3.23)$$

界面準位による移動度の劣化については、 ΔN_{ot} を ΔN_{it} に置き換え、式(3.23)において $z_{ot} = 0$ とすればよい。

参考文献

- [1] M. V. Fischetti : J. Appl. Phys. **57** (1985) 2860.
- [2] D. J. DiMaria and J. W. Stasiak : J. Appl. Phys. **65** (1989) 2342.
- [3] L. P. Trombetta, F. J. Feigl and R. J. Zeto : J. Appl. Phys. **69** (1991) 2512.
- [4] D. J. DiMaria, E. Cartier and D. Arnold : J. Appl. Phys. **73** (1993) 3367.
- [5] A. El-Hdiy, G. Salace, C. Petit, M. Jourdain and D. Vuillaume : J. Appl. Phys. **74** (1993) 1124.
- [6] A. El-Hdiy : J. Appl. Phys. **75** (1994) 1592.
- [7] S. C. Sun and J. D. Plummer : IEEE Trans. Electron Devices **ED-27** (1980) 1497.
- [8] S. A. Schwarz and S. E. Russek : IEEE Trans. Electron Devices **ED-30** (1983) 1634.
- [9] S. Manzini : J. Appl. Phys. **57** (1985) 411.
- [10] S. Takagi, M. Iwase and A. Toriumi : International Electron Devices Meeting, p. 398, 1988.

- [11] A. T. Dejenfelt and O. Engström : *Microelectronic Engineering* **15** (1991) 461.
- [12] J. S. Duster, Z. H. Liu, P. K. Ko and C. Hu : *Solid State Devices and Materials*, p. 835, 1993.
- [13] C. C.-H. Hsu and C.-J. Lin : *Solid State Devices and Materials*, p. 476, 1993.
- [14] J. R. Brews : *J. Appl. Phys.* **46** (1975) 2181.
- [15] J. R. Brews : *J. Appl. Phys.* **46** (1975) 2193.
- [16] C. T. Sah, T. H. Ning and L. L. Tschoop : *Surf. Sci.* **32** (1972) 561.
- [17] T. Ando, A. B. Fowler and F. Stern : *Rev. Mod. Phys.* **54** (1982) 437.
- [18] K. Masaki, K. Taniguchi and C. Hamaguchi : *Jpn. J. Appl. Phys.* **30** (1991) 2734
- [19] K. Masaki, K. Taniguchi and C. Hamaguchi : *Semicond. Sci. Technol.* **7** (1992) B573.
- [20] P. J. McWhorter and P. S. Winokur : *Appl. Phys. Lett.* **48** (1986) 133.
- [21] S. M. Sze : *Physics of Semiconductor Devices*, 2nd ed. (Wiley, New York, 1981), p. 446.
- [22] G. Groeseneken, H. E. Maes, N. Beltran and R. F. DeKeersmaecker : *IEEE Trans. Elec. Dev.* **ED-32** (1985) 375.
- [23] I. C. Chen, S. Holland and C. Hu : *J. Appl. Phys.* **61** (1987) 4544.
- [24] H. Uchida and T. Ajioka : *Appl. Phys. Lett.* **51** (1987) 433.
- [25] G. Hu and W. C. Johnson : *Appl. Phys. Lett.* **36** (1980) 590.
- [26] Q. D. M. Khosru, N. Yasuda, K. Taniguchi and C. Hamaguchi : *Jpn. J. Appl. Phys.* **32** (1993) 423.
- [27] Q. D. M. Khosru, N. Yasuda, K. Taniguchi and C. Hamaguchi : *J. Appl. Phys.* **76** (1994) 4738.
- [28] F. Stern and W. E. Howard : *Phys. Rev.* **163** (1967) 816.
- [29] D. Chattopadhyay and H. J. Queisser : *Rev. Mod. Phys.* **53** (1981) 745.
- [30] J. R. Meyer and F. J. Bartoli : *J. Phys. C: Solid State Phys.* **15** (1982) 1987.
- [31] S. T. Chang and S. A. Lyon : *Appl. Phys. Lett.* **48** (1986) 136.
- [32] Q. D. M. Khosru, N. Yasuda, A. Maruyama, K. Taniguchi and C. Hamaguchi : *Jpn. J. Appl. Phys.* **30** (1991) 3652.
- [33] F. Stern : *Phys. Rev. B* **5** (1972) 4891.
- [34] P. F. Maldague : *Surf. Sci.* **73** (1978) 296.

第4章

ゲート酸化膜の N_2O 酸窒化による ホットキャリア劣化への影響

4.1 序

第1章でも述べたように、ゲート酸化膜の薄膜化に伴い、高信頼性を有する高品質のゲート絶縁膜が必要とされるようになっていく。過去10年間に於いて、次世代ゲート絶縁膜として、酸化と窒化を同時あるいは連続しておこなう事により形成する酸窒化膜に関する研究がかなり行われている[1]-[12]。酸窒化膜の高信頼性は、Si/SiO₂界面に存在する強固なSi-N結合のためであると考えられている[3]-[5], [12], [13]。

N_2O ガスを用いた酸窒化は、 NH_3 による窒化よりも水素原子の関与がない事により有望とされている[4]。つまり、 NH_3 窒化の場合、処理中に於いて酸化膜中に水素原子が多量に取り込まれて電子トラップを形成してしまうので、その低減には、RTP(Rapid Thermal Processing)を用いた軽い窒化や酸素アニールが必要となる[8], [12]。一方、 N_2O 酸窒化の場合、水素原子の関与がないので、電子トラップは形成されにくい。

N_2O 酸窒化プロセスは、炉プロセスとRTPの2つに大別される。Chu等は、RTPで N_2O 酸窒化を行った場合、膜厚及び膜質の不均一性が生じてしまう事を示している[14]。また、 N_2O 酸窒化のみでは、成長速度が遅いため、5-10nm程度の膜厚を得るにはLSI製造では不適当な長時間を要してしまう。このため、有望な N_2O 酸窒化膜形成プロセスとしては、予め通常の酸化膜を形成した後、 N_2O 酸窒化を行う事が考えられている[6], [9]。以下、他の N_2O 酸窒化プロセスと区別するため、この酸窒化膜を N_2O 酸窒化酸化膜と呼ぶ事にする。

炉を用いた N_2O 酸窒化酸化膜は、ホット・エレクトロン注入ストレスに対して劣化が少ない事が報告されている[6], [9], [11]。これは、Si/SiO₂界面付近の窒素含有領域の存在のためとされている。しかし、ホット・エレクトロン劣化の抑制の物理的機構に関しては、いまだ解明されていない。また、表面チャネル型PMOSFETにおいては、 N_2O 酸窒化により正孔捕獲が増加するという報告もあり[15]、 N_2O 酸窒化がホット・キャリア劣化に対して全て有効であるかについても疑問が持たれる。

本研究では、 N_2O 酸窒化によるホット・キャリア劣化への影響を明確にする事を目的とし、主にSi/SiO₂界面付近に存在する窒素原子の役割に注目して、ゲート酸化膜へのキャリア注入やゲート酸化膜中での水素種の拡散の観点から調べた。

4.2 実験

本研究で用いたNMOSFETは、p型Si(100)基板上に、通常のLOCOS素子分離、自己整合poly-Siゲート技術を用いて作製した。ゲート酸化膜形成後、 n^+ poly-Siゲート電極をLPCVD(Low-Pressure Chemical Vapor Deposition)により形成し、フォトリソグラフィ及び反応性イオン・エッチングによりパターニ

ングを行った。ソース/ドレイン領域へのAsイオン注入を行った後、N₂雰囲気、900°C、10分のアニールを行った。

一方、本研究では、p⁺ poly-Siゲート電極を有する表面チャネル型PMOSFETも用いた。本試料は、n型(100)Si基板上に形成した。ゲート酸化膜形成後にLPCVDで形成したpoly-Si薄膜をフォト・リソグラフィ、反応性イオン・エッチングにより加工して、ゲート電極とした。ソース・ドレイン領域及びpoly-Siゲート電極のドーピングのために、Bイオン注入をSiイオン注入による非晶質化の後行った。活性化アニールは、N₂雰囲気、1000°C、10秒のRTA (Rapid Thermal Annealing)をおこなった。本試料では、ボロンの突き抜けは全く観測されていないが、これはFの介入が無いからである[16]。

通常ゲート酸化膜は、dry O₂/HCl雰囲気、800°Cで形成した。N₂O酸化酸化膜は、通常酸化の後、N₂O雰囲気、950°C、20分の熱処理により形成した。最終的に形成した通常酸化膜及びN₂O酸化酸化膜の膜厚が、偏光解析(SiO₂の屈折率: $n = 1.46$)で測定して 7.8 ± 0.2 nmとなるように、通常の酸化時間を調整している。

本研究で、ホット・キャリア劣化の評価に用いた試料は、NMOSFET, PMOSFETで各々 $L = 0.4 \mu\text{m}$ 及び $L = 0.5 \mu\text{m}$ であり、ゲート幅は共に $W = 20 \mu\text{m}$ である。ホット・キャリア劣化の経時変化を評価するために、ストレスを中断して、電氣的測定をした。閾値電圧(V_{TH})及びミッド・ギャップ電圧(V_{MG})を評価するために、 $I_{\text{D}} - V_{\text{G}}$ 特性を $V_{\text{D}} = 0.1\text{V}$ 及び 2.5V で測定した。ミッド・ギャップ電圧 V_{MG} は、サブスレッショルド領域の $I_{\text{D}} - V_{\text{G}}$ 特性から評価した[17]。また、 $I_{\text{D}} - V_{\text{G}}$ 特性は、ソースとドレインの電圧を交換した場合のもの(Reverse Mode)も測定した。ゲート酸化膜中の捕獲電荷密度 ΔN_{ot} は、飽和領域($V_{\text{D}} = 2.5\text{V}$)のReverse Modeの V_{MG} シフト量より求めた。さらに、本研究では、生成界面準位密度 ΔN_{it} を評価するために、ストレス中断時にチャージ・ポンピング測定も行った[18]。ゲートに印加するパルスは、振幅 3.5V 、周波数 100kHz 、デューティ比 50% 、立ち上がり・立ち下がり時間 $0.5 \mu\text{sec}$ とした。生成界面準位密度 ΔN_{it} は、チャージ・ポンピング電流の最大値より求めた。

4.3 NMOSFETにおけるN₂O酸化によるホットキャリア劣化の抑制

4.3.1 基板電流、ゲート電流特性

図4.1に、 $V_{\text{D}} = 5\text{V}$ でのNMOSFET($L = 0.4 \mu\text{m}$, $W = 20 \mu\text{m}$)の基板電流 I_{SUB} の実効ゲート電圧($V_{\text{G}} - V_{\text{TH}}$)依存性を示す。N₂O酸化酸化膜MOSFETでは、通常酸化膜MOSFETよりも小さい基板電流を示している。これは、N₂O酸化酸化膜MOSFETの方が、チャネルでの平均電子エネルギーが低い事を示している。この事は、図4.2に示すように、N₂O酸化酸化膜MOSFETの電子移動度が低い事より理解できる。なお、N₂O酸化酸化膜のSi/SiO₂界面が通常酸化膜よりも滑らかであるため[19]、高実効電界において移動度の交差が見られる。N₂O酸化酸化膜MOSFETの電子移動度が広い電界領域で低いので、ドレイン飽和電圧 V_{DSAT} が高くなる。基板電流は、

$$I_{\text{SUB}} = \frac{A_i}{B_i} I_s (V_{\text{D}} - V_{\text{DSAT}}) \exp\left(-\frac{\lambda B_i}{V_{\text{D}} - V_{\text{DSAT}}}\right) \quad (4.1)$$

で近似される事より、N₂O酸化酸化膜MOSFETの方が基板電流が小さくなる事が理解できる。上式で、 A_i と B_i はインパクト・イオン化係数($\alpha(E) = A_i \exp(-B_i/E)$)の定数である。ラッキー・エレクトロン・モデル[20]によれば、インパクト・イオン化現象の臨界電子エネルギー $\phi_{\text{imp,e}}$ は $B_i (= q\phi_{\text{imp,e}}/\lambda_e)$ から導出される。 λ_e は速度飽和領域でのホット・エレクトロンの平均自由工程、 $\lambda (= 0.22t_{\text{OX}}^{1/3}x_j^{1/2})$ は、速度飽和領域の特性長[20]である。

図4.3に、インパクト・イオン化効率 I_{SUB} / I_s の $V_{\text{D}} - V_{\text{DSAT}}$ の逆数に対する依存性を示す。この図では、ゲート絶縁膜の種類による大きな差異は見られない。式(4.1)から、この図の直線の傾きが $\phi_{\text{imp,e}}\lambda/\lambda_e$ で与えられる。その結果、同一の $V_{\text{G}} - V_{\text{TH}}$ と $V_{\text{D}} - V_{\text{DSAT}}$ では、ゲート絶縁膜形成法の差異がドレイン端近

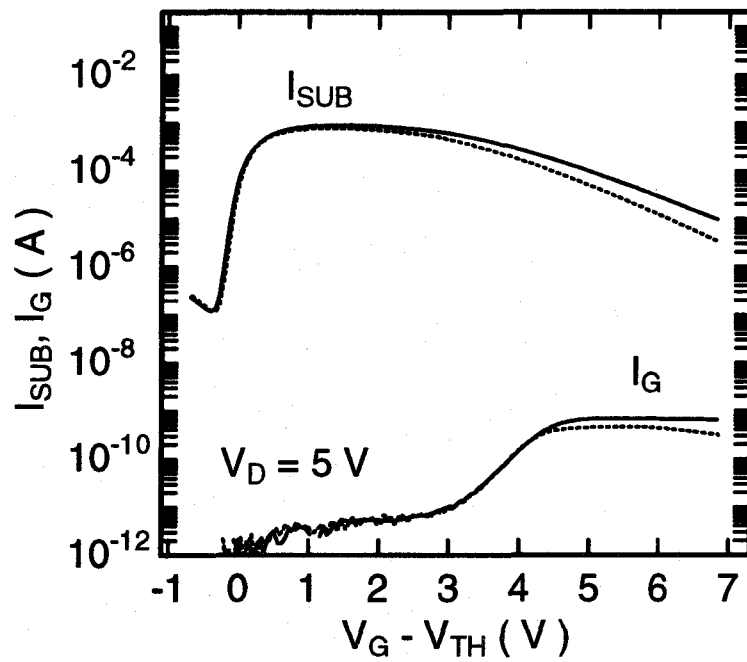


図 4.1 NMOSFET($L = 0.4\mu\text{m}$, $W = 20\mu\text{m}$, $T_{\text{OX}} = 7.8\text{nm}$)における $V_D = 5\text{V}$ での基板電流 I_{SUB} とゲート電流 I_G の実効ゲート電圧($V_G - V_{\text{TH}}$)依存性. 実線と破線は各々酸化膜と N_2O 酸化酸化膜をゲート絶縁膜とする試料での結果を示す.

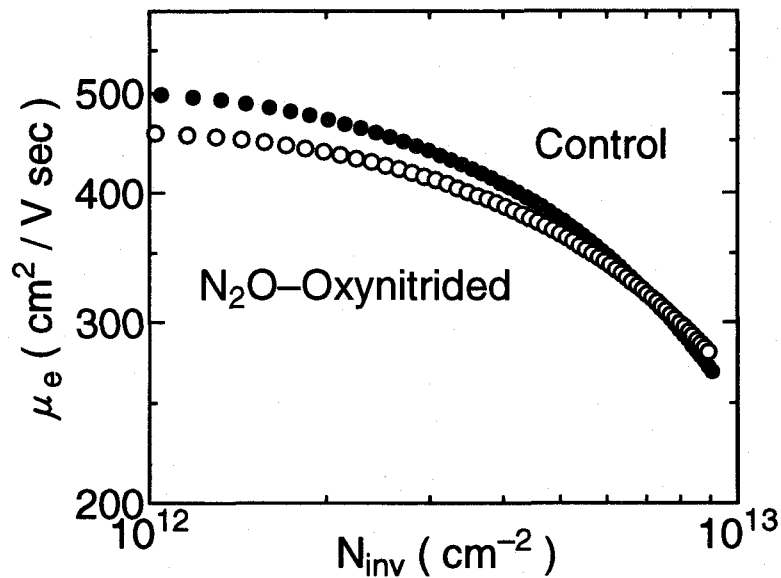


図 4.2 NMOSFET($L = 2.0\mu\text{m}$, $W = 20\mu\text{m}$)における実効電子移動度 μ_e の反転層電子密度 N_{inv} 依存性. 黒丸と白丸はそれぞれ酸化膜と N_2O 酸化酸化膜の試料($T_{\text{OX}} = 7.8\text{nm}$)に対する値を示す.

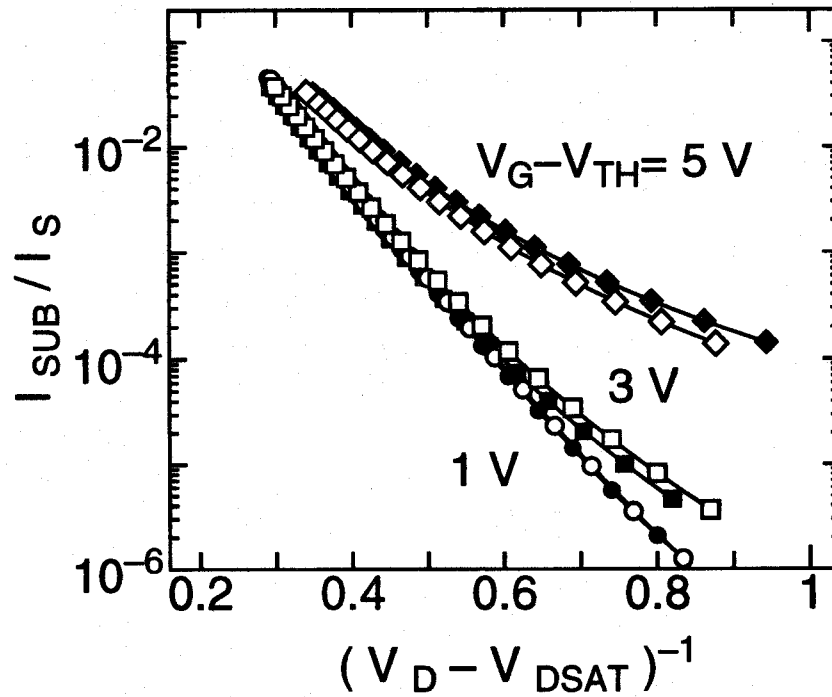


図 4.3 NMOSFETs ($L = 0.4\mu\text{m}$, $W = 20\mu\text{m}$, $T_{\text{OX}} = 7.8\text{nm}$) のインパクト・イオン化効率 $I_{\text{SUB}}/I_{\text{S}}$ の $1/(V_{\text{D}} - V_{\text{DSAT}})$ に対する依存性。黒印及び白印は、各々通常酸化膜と N_2O 酸窒化酸化膜の試料での測定結果である。

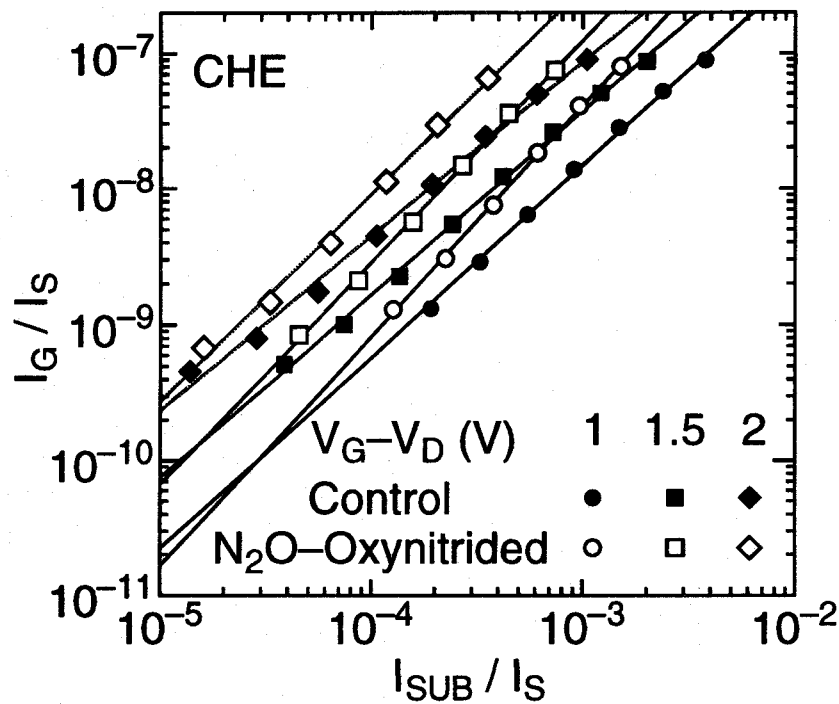


図 4.4 $V_{\text{G}} - V_{\text{D}}$ をパラメータとした $I_{\text{G}}/I_{\text{S}}$ と $I_{\text{SUB}}/I_{\text{S}}$ の関係。黒印及び白印は、それぞれ酸化膜と N_2O 酸窒化酸化膜の NMOSFET ($L = 0.4\mu\text{m}$, $W = 20\mu\text{m}$, $T_{\text{OX}} = 7.8\text{nm}$) に対する値を示す。

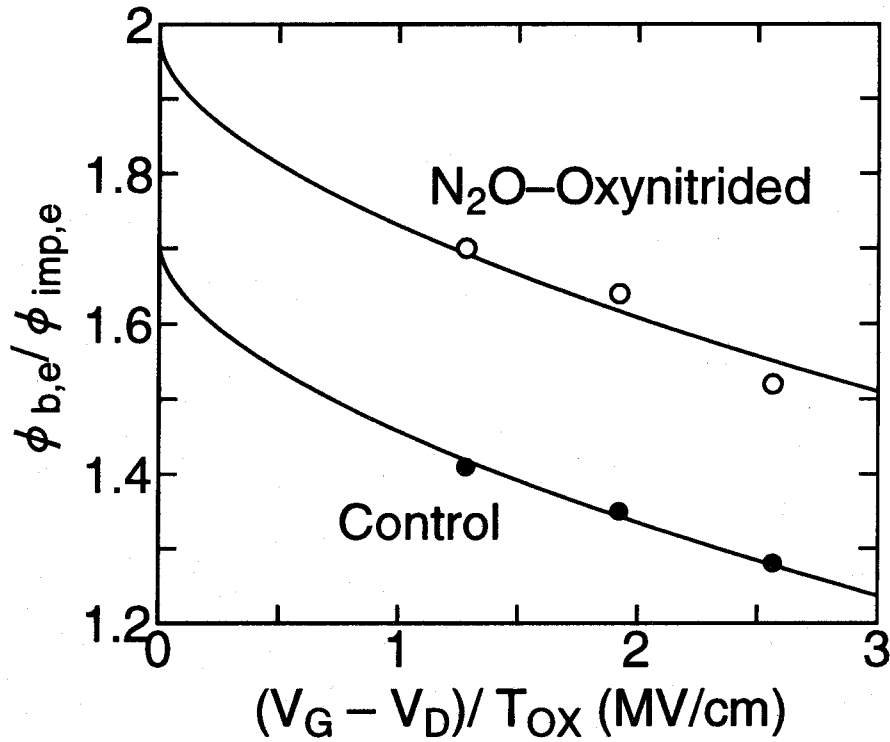


図 4.5 $\phi_{b,e}/\phi_{imp,e}$ の $(V_G - V_D)/T_{OX}$ に対する依存性. 実線は, 本文で述べているエネルギー障壁低下モデルに基づいて, 実験値にフィッティングしている.

傍の高電界領域でのホット・エレクトロンの挙動に大きな影響を及ぼさない事がわかる. これは, I_{SUB}/I_S が2種の試料でのホット・エレクトロンの平均エネルギーの共通の指標として用いる事ができる事を意味する.

図4.1において, N₂O酸窒化酸化膜MOSFETの方が小さなゲート電流を示している. これには, 次の2つの機構が考えられる. 1つは, 速度飽和領域でのホット・エレクトロンの平均エネルギーが低い事である. もう1つは, ゲート絶縁膜への電子注入に対するエネルギー障壁が大きい事である.

$V_G > V_D$ でのゲート電流と基板電流の間には, 以下の関係式が成立する事が知られている [21].

$$\frac{I_G}{I_S} \propto \left(\frac{I_{SUB}}{I_S} \right)^{\phi_{b,e}/\phi_{imp,e}}, \quad (4.2)$$

ここで, $q\phi_{b,e}$ はゲート絶縁膜への電子注入に対するエネルギー障壁である.

図4.4に, チャネル・ホット・エレクトロン(Channel Hot Electron)注入での I_G/I_S と I_{SUB}/I_S の関係を示す. この図で傾きは $\phi_{b,e}/\phi_{imp,e}$ を示しているが, N₂O酸窒化酸化膜の方が通常酸化膜より急な傾きを有している事がわかる. この事は, N₂O酸窒化酸化膜の方が大きな $\phi_{b,e}$ を有する事を意味する.

図4.5に, $\phi_{b,e}/\phi_{imp,e}$ のドレイン端付近のゲート電界 ($E_{OX} \approx (V_G - V_D)/T_{OX}$) に対する依存性を示す. この E_{OX} 依存性は, 次のようなゲート電界による $\phi_{b,e}$ の低下 [22] が原因である.

$$\phi_{b,e} = \phi_{b,e,0} - \beta E_{OX}^{1/2} - \theta E_{OX}^{2/3} \quad (4.3)$$

ここで, 第1項の $\phi_{b,e,0}$ は, Si/SiO₂界面の伝導帯のエネルギー障壁, 第2項は鏡像力によるバリア低下, 最終項は, Si基板からゲート酸化膜へのトンネルリングを表している. 通常の酸化膜に対しては, $\phi_{b,e,0} = 3.2\text{eV}$.

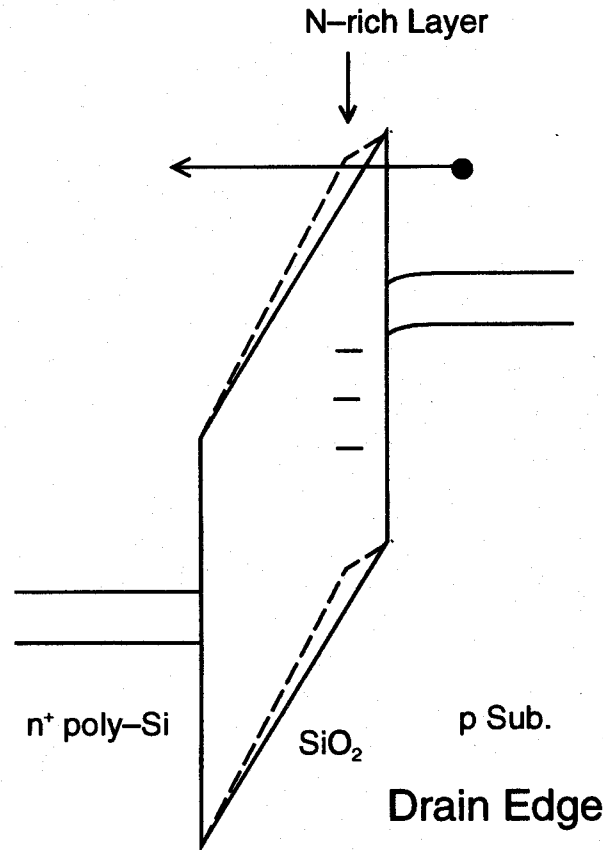


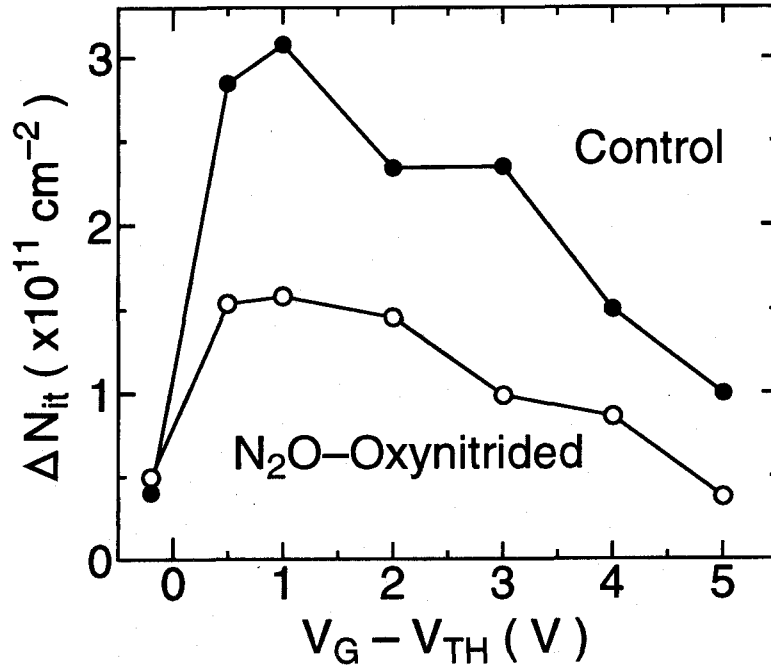
図 4.6 NMOSFETにおけるCHE注入での電子注入を示すバンド図。破線は、Si/SiO₂界面付近の窒素原子に起因する負電荷により形成されるポテンシャルを示す。

次の解析において、酸化膜及びN₂O酸窒化酸化膜に対して、 $\beta = 2.48 \times 10^{-4} (\text{V cm})^{1/2}$ と $\theta = 2 \times 10^{-5} \text{ V}^{1/3} \text{ cm}^{2/3}$ を仮定している。また、インパクト・イオン化臨界エネルギーとして、 $q\phi_{\text{imp}} = (2m_e^* + m_h^*) / (m_e^* + m_h^*) = 1.8 \text{ eV}$ を用いた。図4.5の実線は、通常酸化膜とN₂O酸窒化酸化膜のそれぞれに対して、 $\phi_{b,e,0} = 3.1 \text{ eV}$ と $\phi_{b,e,0} = 3.6 \text{ eV}$ を用いて計算しているが、 $\phi_{b,e} / \phi_{\text{imp},e}$ の実験値と良い一致を示している。これは、N₂O酸窒化膜の方が通常酸化膜よりも電子注入に対して大きなエネルギー障壁を有する事を意味する。

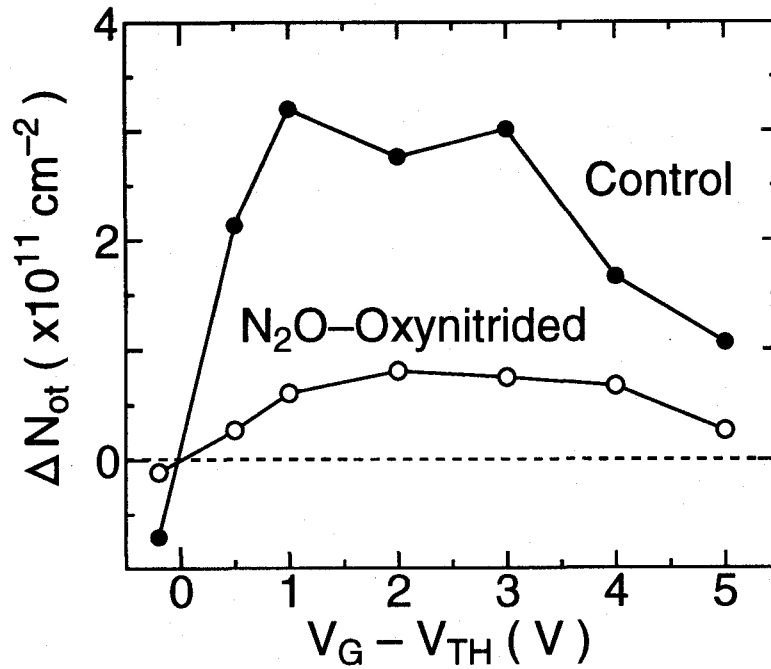
図4.6に示すように、窒素含有領域に負電荷が存在する事により、N₂O酸窒化酸化膜の $\phi_{b,e}$ が大きくなっていると考えられる。4.5において、窒素含有領域に負電荷が存在する事を示す。この負電荷は、トンネル長を長くして電子の注入を抑制するが、これが $\phi_{b,e}$ を実効的に増加させる事になる。なお、N₂O酸窒化のSi/SiO₂界面のエネルギー障壁への影響については、4.5で詳細に解析する。

4.3.2 ホットキャリア劣化特性

図4.7(a)に、 $V_D = 5 \text{ V}$ 、10,000秒のストレスの生成界面単位密度の実効ストレス・ゲート電圧($V_G - V_{\text{TH}}$)に対する依存性を示す。 ΔN_{it} は、通常ゲート酸化膜とN₂O酸窒化酸化膜ともに、基板電流が最大となる $V_G - V_{\text{TH}} = 1 \text{ V}$ 付近にピークをもつ。図4.7(b)には、捕獲電荷密度(電子の場合正)の実効ストレス・ゲート電圧($V_G - V_{\text{TH}}$)に対する依存性を示す。図4.7(a), (b)より、界面単位生成と電子捕獲は、N₂O酸窒化により顕著に抑制される事がわかる。この原因の1つは、図4.6に示した窒素含有領域の負電荷による $\phi_{b,e}$ の

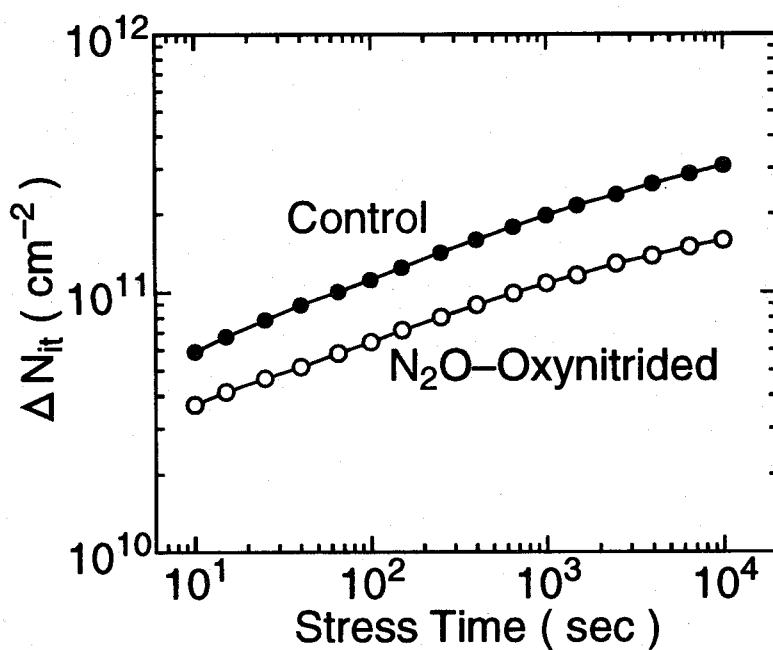


(a)

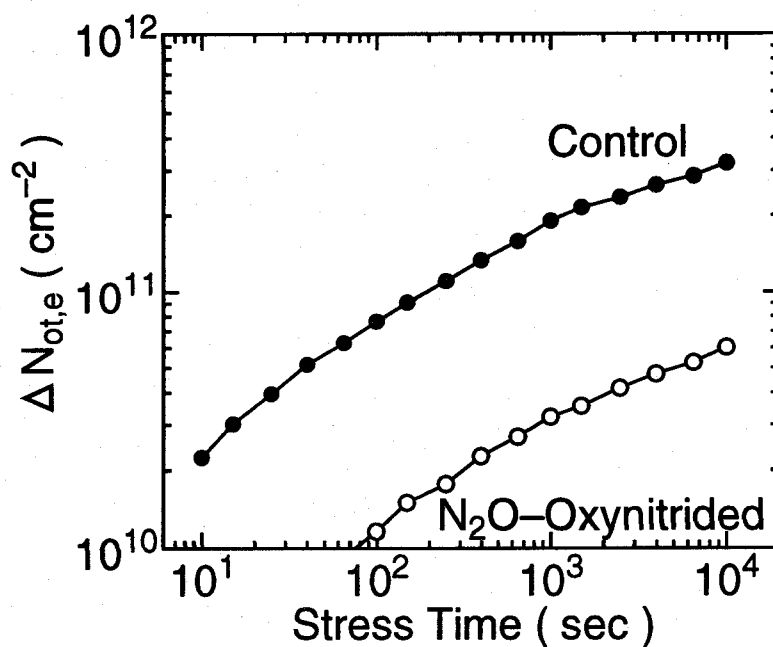


(b)

図 4.7 NMOSFET($L = 0.4\mu\text{m}$, $W = 20\mu\text{m}$)(a) 生成界面準位密度 ΔN_{it} と (b) 捕獲電荷密度 ΔN_{ot} (電子捕獲の場合正) の実効ストレス・ゲート電圧 $V_G - V_{TH}$ 依存性. ストレス条件は, $V_D = 5\text{V}$ for $T_{STRESS} = 10,000\text{sec}$ である. 黒丸と白丸は, それぞれ通常酸化膜と N_2O 酸化膜 ($T_{OX} = 7.8\text{nm}$) の試料に対する値を示す.

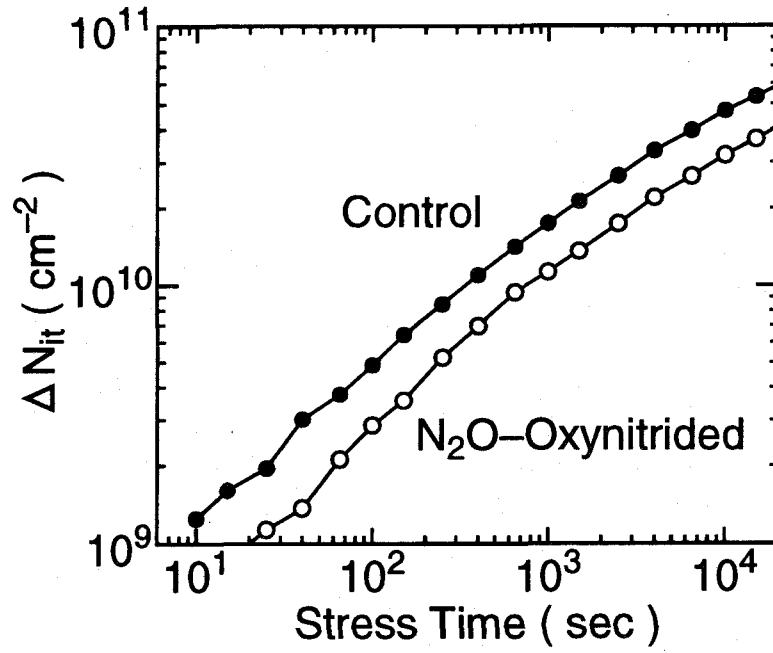


(a)

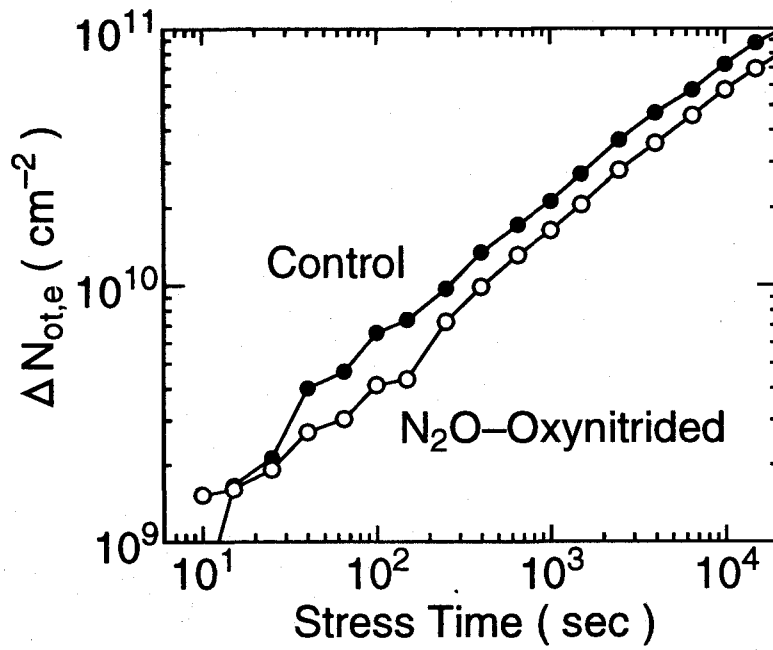


(b)

図 4.8 NMOSFET($L = 0.4\mu m$, $W = 20\mu m$)における DAHE ストレス ($V_G - V_{TH} = 1V$, $V_D = 5V$) による (a) 生成界面準位密度 ΔN_{it} と (b) 捕獲電子密度 $\Delta N_{ot,e}$ のストレス時間依存性。黒丸と白丸は、各々通常酸化膜と N_2O 酸窒化酸化膜 ($T_{OX} = 7.8nm$) に対する値を示す。



(a)



(b)

図 4.9 NMOSFET($L = 0.4\mu\text{m}$, $W = 20\mu\text{m}$)における DAHE ストレス ($V_G - V_{TH} = 1\text{V}$, $V_D = 3.5\text{V}$) による (a) 生成界面準位密度 ΔN_{it} と (b) 捕獲電子密度 $\Delta N_{ot,e}$ のストレス時間依存性。黒丸と白丸は、各々通常酸化膜と N_2O 酸化膜 ($T_{OX} = 7.8\text{nm}$) に対する値を示す。

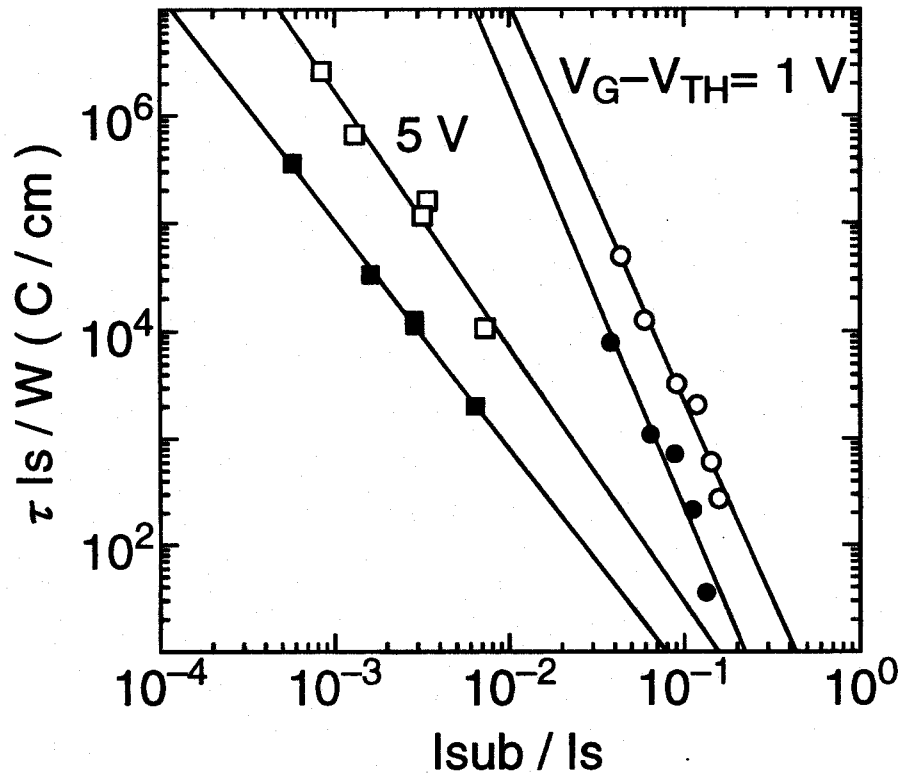


図 4.10 通常酸化膜(黒丸)と N_2O 酸化膜(白丸)($T_{OX} = 7.8nm$)のNMOSFET($L = 0.4\mu m$, $W = 20\mu m$)に対するライフタイム・プロット($\tau I_S / W$ versus I_{SUB} / I_S). ストレス・ゲート電圧 $V_G - V_{TH} = 1V, 5V$ をそれぞれ DAHC, CHE 注入条件に用いている. 素子寿命 τ は, $\Delta I_{CP} = 80pA$ となるストレス時間と定義している.

増加が考えられる. 図 4.7(a) と (b) を比較すると, $\Delta N_{ot,e}$ のピークは, ΔN_{it} のピークよりもやや高ゲート電圧側にある. これは, 電子捕獲はゲート酸化膜中で起こり, Si 基板へのトンネリング・デトラッピングが起こらないようにするには, 深い電子注入が必要であるのに対し, 界面準位生成は界面で起こる事から理解される.

$V_G - V_{TH} = -0.2V$ でのドレイン・アバランシェ・ホット・ホール (Drain Avalanche Hot Hole, DAHH) 注入に対しては, 図 4.7(a) 及び (b) に示すように, N_2O 酸化膜は正孔捕獲に対する耐性の低下を示す. 表面チャネル型 PMOSFET におけるチャネル・ホット・ホール (Channel Hot Hole) 注入では, N_2O 酸化膜の方が通常酸化膜よりも正孔捕獲が多い事が報告されている [15]. N_2O 酸化膜での正孔捕獲に対する耐性低下の結果は, この報告と一致する. この事については, 次節の表面チャネル型 PMOSFET の劣化の解析においても述べる.

図 4.8(a), (b) は, $V_D = 5V$, $V_G - V_{TH} = 1V$ の DAHE ストレス条件での ΔN_{it} と $\Delta N_{ot,e}$ のストレス時間依存性を示す. この図で, 通常酸化膜と N_2O 酸化膜での ΔN_{it} と $\Delta N_{ot,e}$ ストレス時間に対する依存性が類似している事から, 両者で劣化機構が共通である事が示唆される. Hu 等は, ΔN_{it} がストレス時間の n 乗 ($n = 0.5 - 1.0$) で表される事を示している [23]. しかし, 図 4.8(a) では, n の値は $0.20 - 0.25$ の範囲内ではない. 小さな n は, 局所的に界面準位の生成が飽和しているためである事を述べた報告がある [24]. しかし, 付録で述べているように, 水素の拡散を使った 2 ステップ・界面準位生成モデルにより, この実験結果は説明できる.

表 4.1 DAHC($V_G - V_{TH} = 1V$)とCHE($V_G - V_{TH} = 5V$)注入に対するライフタイム・プロットから求めた $\phi_{it,e}/\phi_{imp,e}$ ($\phi_{imp,e} = 1.8eV$ を用いて求めた $\phi_{it,e}$)の値.

	DAHC	CHE
通常酸化膜	3.17 (5.7eV)	2.12 (3.8eV)
N ₂ O酸化酸化膜	3.17 (5.7eV)	2.38 (4.3eV)

図4.9(a), (b)は, $V_D = 3.5V$ の場合の ΔN_{it} と $\Delta N_{ot,e}$ を示す. やはり, 通常酸化膜とN₂O酸化酸化膜での ΔN_{it} と $\Delta N_{ot,e}$ ストレス時間に対する依存性が類似しているが, $n = 0.5$ となっている. これは, 劣化がストレス中の水素の拡散で律速されている事[23]を示唆する. 劣化に関連する水素種としては主に水素分子(H₂)である事が報告されている[25]-[27].

4.3.3 考察

Hu等は, 素子寿命 τ は, 以下の関係式に従う事を示している[23].

$$\tau I_S / W \propto \left(\frac{I_{SUB}}{I_S} \right)^{-\phi_{it,e}/\phi_{imp,e}}, \quad (4.4)$$

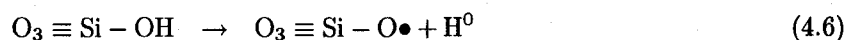
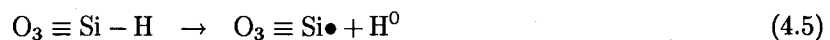
ここで, $q\phi_{it,e}$ は界面準位生成に必要なエネルギーを示す. 図4.10は, 通常酸化膜とN₂O酸化酸化膜のNMOSFET に対して評価した素子寿命を示す. 素子寿命 τ としては, $\Delta I_{CP} = 80pA$ に至るストレス時間としている. DAHCとCHE注入条件共に, 通常酸化膜とN₂O酸化酸化膜での傾きがほぼ等しくなっている. また, Choi等の実験結果[28]と同じく, DHHCとCHE注入条件による傾きの差異が見られる.

表4.1に, ライフタイム・プロットから求めた $\phi_{it}/\phi_{imp,e}$, 及び $\phi_{imp,e} = 1.8eV$ を用いて求めた ϕ_{it} を示す. DAHC注入では, 通常酸化膜とN₂O酸化酸化膜は同じ $\phi_{it,e}$ を有する. 一方, CHE注入では, N₂O酸化酸化膜の方が通常酸化膜よりも0.5eV大きな値を有している. この差は, 前節で述べた電子注入に対するSi/SiO₂界面のエネルギー障壁の差とほぼ一致している.

これらの結果は, N₂O酸化酸化膜における窒素濃度プロファイルのピークがSi/SiO₂界面から数nmの範囲内にある事から説明できる. 低ゲート電界の場合, 速度飽和領域で $q\phi_{it,e}$ 以上のエネルギーをもつホット・エレクトロンが界面準位生成に関与する. この場合, Si/SiO₂界面付近の窒素原子による $\phi_{it,e}$ の変化はほとんどないと考えられる. 一方, トンネリングで電子注入が支配的に起こる高ゲート電界の場合, 注入された電子は酸化膜電界で加速されて, 界面準位生成エネルギー(酸化膜の伝導帯端から約2eV[29])を得ると考えられる. このため, $\phi_{it,e}$ は $\phi_{b,e}$ に依存する. その結果, N₂O酸化酸化膜の方が高い $\phi_{it,e}$ が必要となる.

表4.1に示すように, 高い $\phi_{b,e}$ はゲート絶縁膜への電子注入を抑制するため, $\phi_{it,e}$ が高くなる. しかし, 図4.10に見られるように, これは素子劣化の抑制の支配的な要因ではない. N₂O酸化酸化膜の高信頼性は, 強固なSi-N結合による界面準位生成の困難さによるものと考えられる.

Griscomは, 酸化膜中のO₃≡Si-HやO₃≡Si-OHが, 以下のように可動かつ活性な水素種を生成すると述べている[25].



また, ゲート酸化膜への電子注入はO₃≡Si•やO₃≡Si-O•の原子配置を有する中性電子トラップを上への反応式に従って形成すると考える. 解離した水素種は, Si/SiO₂界面へ拡散し, 以下の反応式で界面準位を

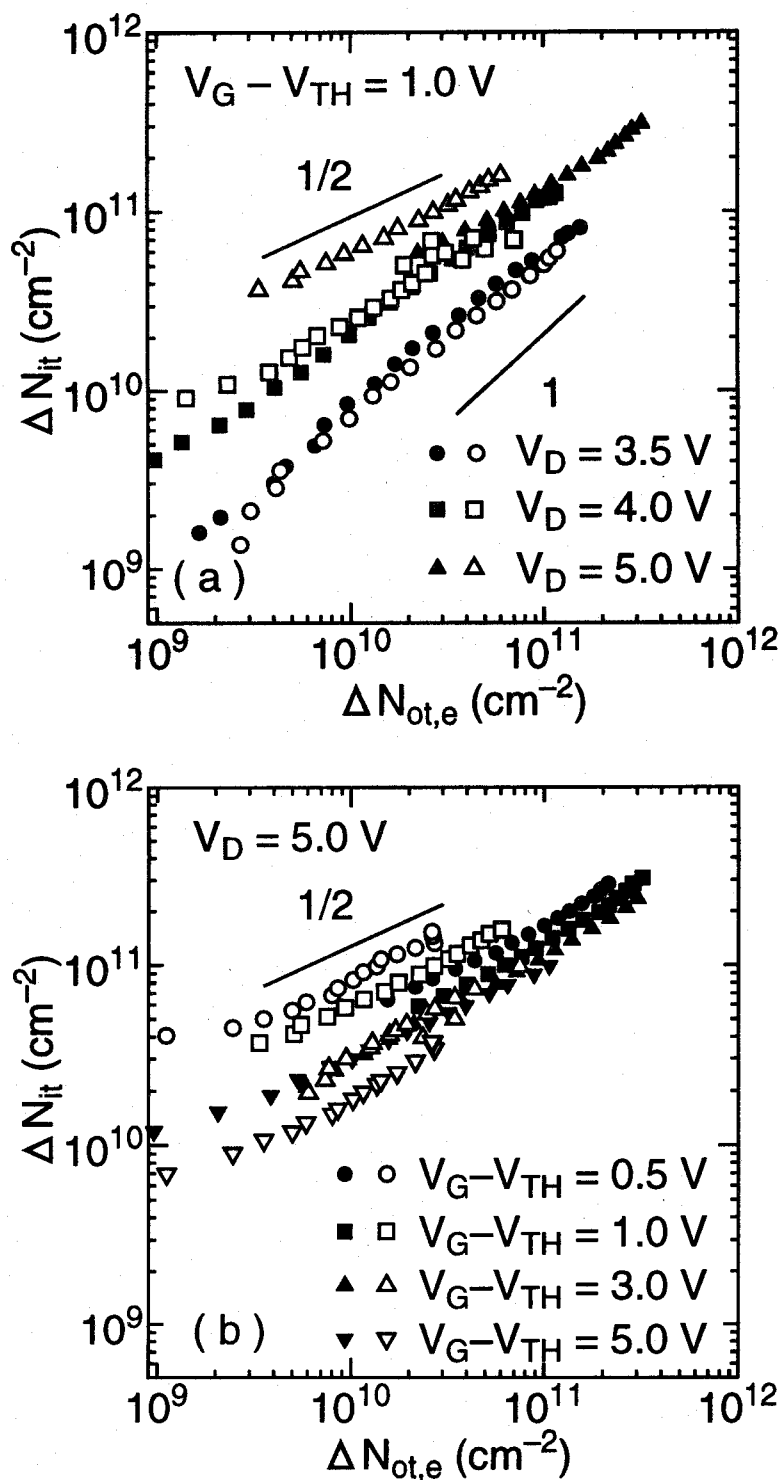
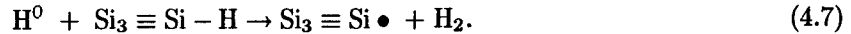


図 4.11 生成界面準位密度と捕獲電子密度の関係。ストレス条件は、(a) $V_D = 3.5, 4.0, 5.0 \text{ V}$, $V_G - V_{TH} = 1.0 \text{ V}$ 及び (b) $V_D = 5.0 \text{ V}$, $V_G - V_{TH} = 0.5, 1.0, 3.0, 5.0 \text{ V}$ である。黒印と白印は各々通常酸化膜と N_2O 酸窒化酸化膜の結果を示す。

生成する。



上の界面準位生成モデルは、生成界面準位密度が生成中性電子トラップ密度と相関がある事を示唆する。本モデルの詳細は、付録で述べる。

図4.11(a)に、 $V_D = 3.5, 4.0, 5.0\text{V}$, $V_G - V_{TH} = 1.0\text{V}$ のDAHC注入条件での ΔN_{it} と $\Delta N_{ot,e}$ の関係を示す。この図より、 $\Delta N_{it} \propto (\Delta N_{ot,e})^n$ が成立する事、及びこの n が V_D の増加とともに1から0.5に減少する事がわかる。後者については、 V_D の増加とともにホット・エレクトロンのエネルギーが増加し、水素の解離が促進されて、界面準位生成が拡散律速になる(Si/SiO₂界面まで拡散した水素種の量で律速される)事で説明できる。

$V_D = 5\text{V}$ の拡散律速、即ち $n = 0.5$ の場合、 $\Delta N_{it}/\Delta N_{ot,e}$ は、N₂O酸化酸化膜の方が大きい。これは、DAHC注入で注入された電子の運動エネルギーは、Si/SiO₂界面付近で水素解離に必要なエネルギーを有しているためであると考えられる。この場合、N₂O酸化酸化膜においては、水素原子のほとんどが窒素含有領域で解離される(中性電子トラップ生成)が、拡散バリアとなる窒素含有領域のために水素種が蓄積され、三価シリコンとの反応(界面準位生成)を促進する。DiMaria等の研究[30]によれば、信頼性の改善は、一部は不純物の拡散を抑制する窒素の介入[31],[32]による。このような拡散バリアの存在により、N₂O酸化酸化膜は、DAHC注入で拡散律速の場合、大きな $\Delta N_{it}/\Delta N_{ot,e}$ を示す。

図4.11(b)に、 $V_G - V_{TH}$ をパラメータとして $V_D = 5.0\text{V}$ での ΔN_{it} と $\Delta N_{ot,e}$ の関係を示す。高ストレス・ゲート電圧では、ドレイン端近傍の横方向チャネル電界の減少により、Si/SiO₂界面での注入電子のエネルギーが減少する。しかし、酸化膜中の高電界により、注入された電子が加速される。このため、ストレス・ゲート電圧の増加は、水素解離の位置をよりゲート電極側に深くする。通常酸化膜及びN₂O酸化酸化膜においてストレス・ゲート電圧の増加とともに $\Delta N_{it}/\Delta N_{ot,e}$ が減少する事は、水素種の拡散によって説明できる。つまり、水素解離位置からSi/SiO₂界面までの距離が長くなるにつれ、水素種がSi/SiO₂界面に到達するまでの時間が長くなる。また、N₂O酸化酸化膜の方が、 $\Delta N_{it}/\Delta N_{ot,e}$ のストレス・ゲート電圧依存性が大きい事がわかる。つまり、通常酸化膜と比較して、N₂O酸化酸化膜の方が、 $V_G - V_{TH} = 0.5, 1.0\text{V}$ では大きい、高ゲート電圧では小さくなっている。これは、水素解離位置からSi/SiO₂界面までの間に、拡散バリアである窒素含有層があるからである。

以上の事から、 ΔN_{it} と $\Delta N_{ot,e}$ の関係において、窒素含有領域の拡散バリアとしての役割が重要である。低ストレス・ゲート電圧では、Si/SiO₂界面付近の窒素含有領域で水素が解離される。窒素含有領域は、水素種のゲート電極への拡散を抑制し、その結果、水素種の濃度を増加させ、Si/SiO₂界面での三価シリコンとの反応を促進する。一方、高ストレス・ゲート電圧では、水素解離位置はゲート電極側にシフトし、窒素含有領域の拡散バリアのため、Si/SiO₂界面に到達する水素種の量が少なくなる。このため、高ストレス・ゲート電圧で界面準位生成が抑制される。

次に、中性電子トラップ生成の抑制の物理機構に関して考察する。Yoon等は、N₂O酸化酸化膜において中性電子トラップ生成が抑制される事を報告している[11]。この報告では、中性電子トラップ生成の抑制は、正孔捕獲の減少であると述べている。これは、捕獲正孔と注入電子の再結合により、中性電子トラップが生成されると考えているからである。しかし、近年の研究によれば、表面チャネル型PMOSFETのCHH注入ではN₂O酸化酸化膜は通常酸化膜よりも正孔捕獲に対する耐性が低い事が示されている[15]。図4.8(b)及び図4.9(b)には、高ストレス・ドレイン電圧でN₂O酸化酸化膜での電子捕獲が抑制されている事が示されているが、この結果は、正孔捕獲の減少では説明できない。

中性電子トラップ生成の抑制は、Si/SiO₂界面付近に存在し、水素種に対する拡散バリアである窒素含有領域による。窒素含有領域では拡散しにくいので、可動かつ活性な水素種の密度は高くなる。その結果、水素種との再結合による中性電子トラップの消滅が促進される。つまり、N₂O酸化酸化膜における中性電子トラップ生成は抑制される。この現象は、水素種が高密度に発生する高ストレス条件において顕著で

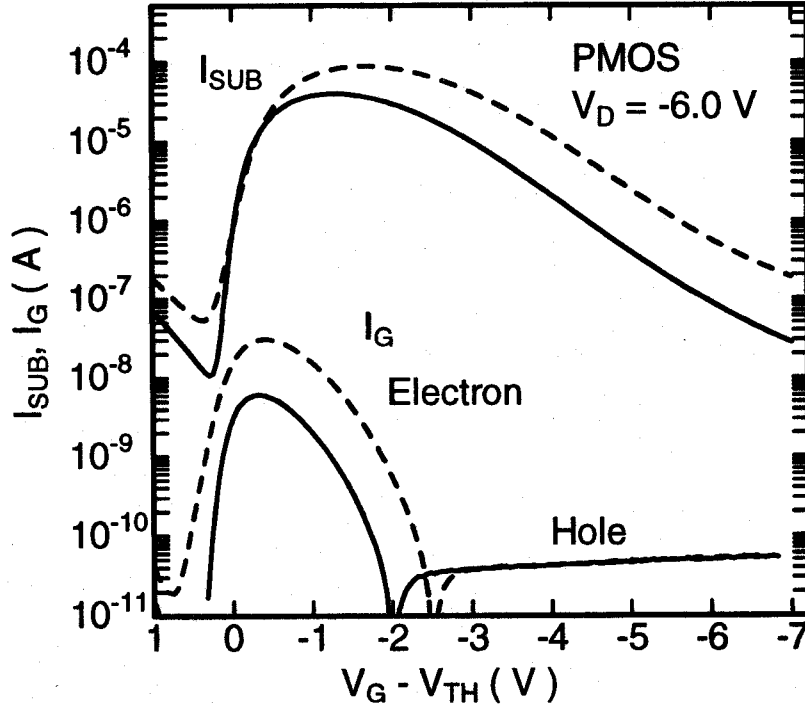


図 4.12 通常酸化膜(実線)とN₂O酸化膜(破線)の表面チャネル型PMOSFET($L = 0.5\mu\text{m}$, $W = 20\mu\text{m}$)の基板電流とゲート電流の実効ゲート電圧($V_G - V_{TH}$)依存性.

ある. この傾向は, 図4.8(b)と図4.9(b)を比較する事で確認できる.

4.4 表面チャネルPMOSFETにおけるN₂O酸化のホットキャリア劣化への影響

4.4.1 基板電流, ゲート電流特性

図4.12に, 通常酸化膜とN₂O酸化膜の表面チャネル型PMOSFETの基板電流とゲート電流の実効ゲート電圧($V_G - V_{TH}$)依存性を示す. ゲート電流特性は, 基板電流が最大となる低ゲート電圧(低い $|V_G - V_{TH}|$)ではゲート酸化膜に電子が注入されるのに対して, 高ゲート電圧(高い $|V_G - V_{TH}|$)では正孔が注入される事を示している.

図4.13に, 表面チャネル型PMOSFETにおけるDAHE注入条件での I_G/I_{SUB} (ホット・ホールのインパクト・イオン化により生成した電子のゲート酸化膜への注入効率)と I_{SUB}/I_S (ホット・ホールのインパクト・イオン化効率)の関係を示す. $q\phi_{b,e}$ を電子のゲート酸化膜への注入に対するエネルギー障壁, $q\phi_{imp,h}$ をホット・ホールのインパクト・イオン化に対する臨界エネルギー, λ_h 及び λ_e を各々ホット・ホールとホット・エレクトロンの平均自由工程とすると,

$$\frac{I_G}{I_{SUB}} \propto \left(\frac{I_{SUB}}{I_S} \right)^{\phi_{b,e}\lambda_h/\phi_{imp,h}\lambda_e} \quad (4.8)$$

の関係が近似的に成立し, 図4.13の直線の傾きは $\phi_{b,e}\lambda_h/\phi_{imp,h}\lambda_e$ を示す事が理解できる. この事より, N₂O酸化膜は大きな $\phi_{b,e}\lambda_h/\phi_{imp,h}\lambda_e$ を有する事がわかる. λ_h , λ_e 及び $\phi_{imp,h}$ は, 酸化膜形成プロセスに

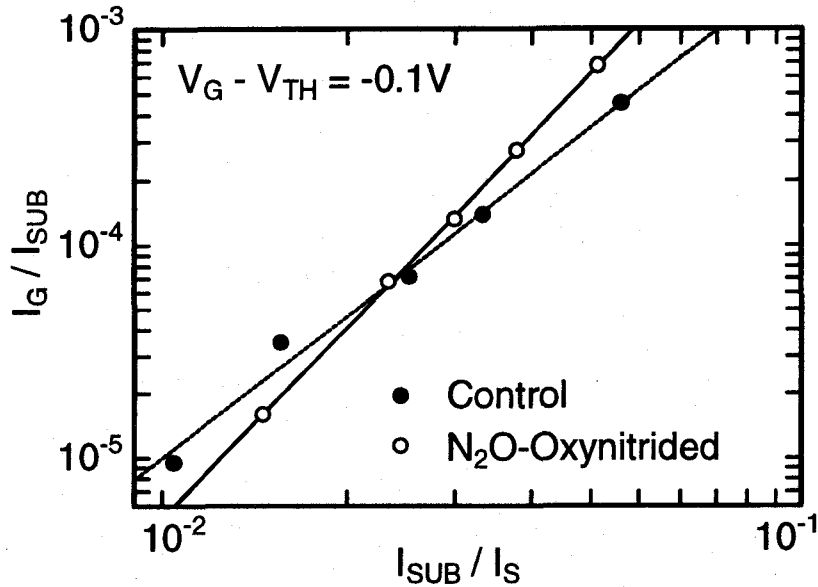


図 4.13 表面チャネル型PMOSFET($L = 0.5\mu\text{m}$, $W = 20\mu\text{m}$) における $V_G - V_{TH} = -0.1\text{V}$ での I_G/I_S と I_{SUB}/I_S の関係。黒丸と白丸は、それぞれ通常酸化膜とN₂O酸化酸化膜に対する結果を示す。

依存しないことから、この差異は $\phi_{b,e}$ に起因すると考えられる。通常酸化膜と比較して、N₂O酸化酸化膜は大きな $\phi_{b,e}$ を有する原因は、Si/SiO₂界面付近の窒素原子の存在と考えられる。この結果、N₂O酸化酸化膜の方がDAHE注入効率が低くなる。この結果は、前節のNMOSFETのゲート電流の解析結果と一致する。なお、N₂O酸化のSi/SiO₂界面のエネルギー障壁への影響については、4.5で詳細に解析する。

4.4.2 ホットキャリア劣化特性

図4.14(a), (b)には、ストレス($V_D = -6.0\text{V}$, $T_{STRESS} = 10000\text{sec}$)による捕獲電荷密度 ΔN_{ot} と生成界面準位密度 ΔN_{it} の実効ストレス・ゲート電圧依存性を示す。図4.14(a)から、2つの事がわかる。1つは、低ゲート電圧で著しい電子捕獲が見られ、高ゲート電圧側では正孔捕獲が著しくなる事である。もう1つは、通常酸化膜と比較して、N₂O酸化酸化膜では電子捕獲が抑制され、正孔捕獲が促進される傾向がある事である。

図4.14(b)では、低ストレス・ゲート電圧で界面準位生成は顕著に抑制されているのに対して、高ストレス・ゲート電圧では改善が見られない。また、図4.14(c)に示されるように、ドレイン端付近での局所的な電子捕獲により引き起こされる短チャネル長化も、N₂O酸化酸化膜により抑制される。

図4.15(a), (b)に、それぞれ通常酸化膜とN₂O酸化酸化膜の試料に対して、DAHEストレス印加時のチャージ・ポンピング電流 I_{CP} を示す。この図からも、N₂O酸化酸化膜において、電子捕獲及び界面準位生成が顕著に抑制されている事がわかる。

図4.14及び4.15に示されているような、N₂O酸化酸化膜での電子捕獲の抑制の原因の1つは、前述した窒素含有層による $\phi_{b,e}$ の増加が考えられる。同様に、図4.14に見られた正孔捕獲の増大は、正孔のゲート酸化膜への注入に対するエネルギー障壁 $\phi_{b,h}$ が窒素含有層により減少している事を示している可能性がある。これは、4.5で述べる。

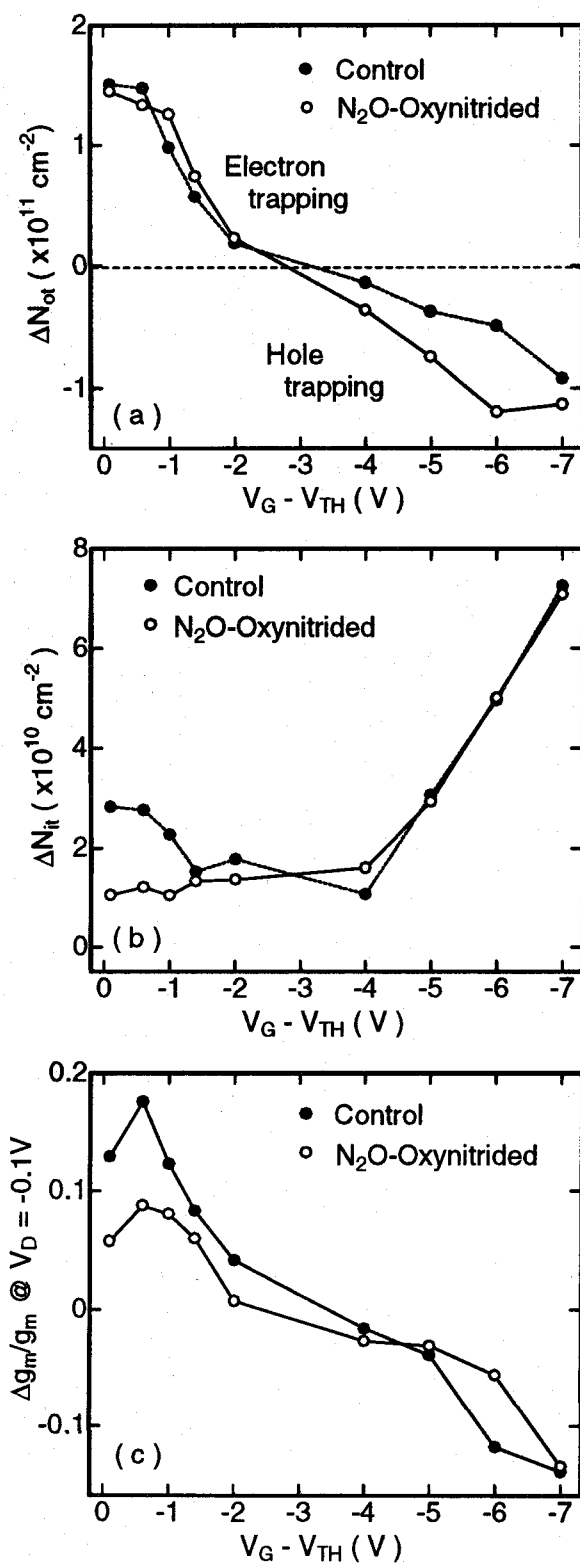


図 4.14 通常酸化膜(黒丸)と N_2O 酸窒化酸化膜(白丸)の表面チャネル型PMOSFET($L = 0.5\mu\text{m}$, $W = 20\mu\text{m}$)におけるストレス($V_D = -6.0V$, $T_{STRESS} = 10000\text{sec}$)による(a) 捕獲電荷密度 ΔN_{ot} , (b) 生成界面準位密度 ΔN_{it} , 及び(c) 相互コンダクタンスの劣化 $\Delta g_m/g_m$ の実効ストレス・ゲート電圧依存性.

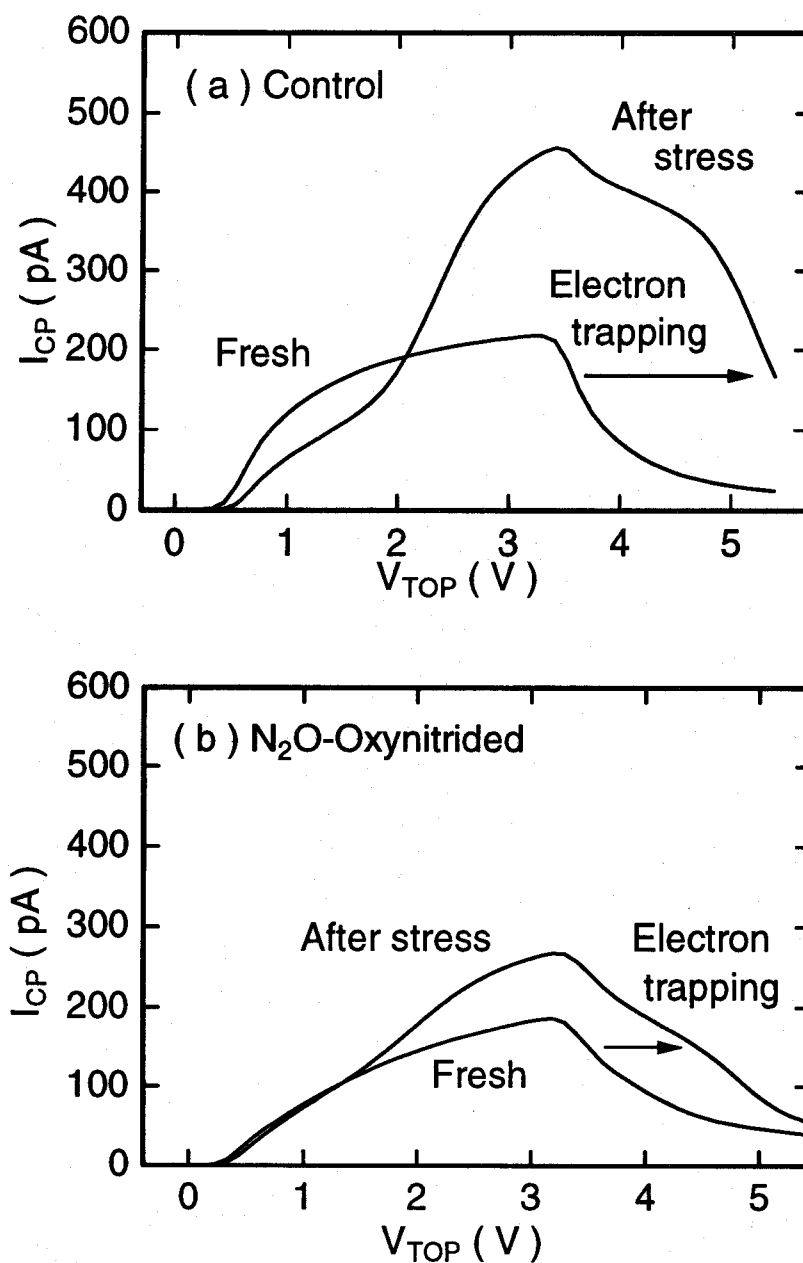


図 4.15 (a)通常酸化膜と(b) N_2O 酸窒化酸化膜の表面チャネル型PMOSFET ($L = 0.5\mu m$, $W = 20\mu m$)におけるチャージ・ポンピング電流 I_{CP} . V_{TOP} は、ゲート・パルス ($\Delta V_G = 3.5V$) の高レベルの電圧である. チャージ・ポンピング電流は、各々の図において、ストレス印加前とストレス ($V_G - V_{TH} = -0.1V$, $V_D = -6.5V$, $T_{STRESS} = 10000sec$) 印加後の結果を示す.

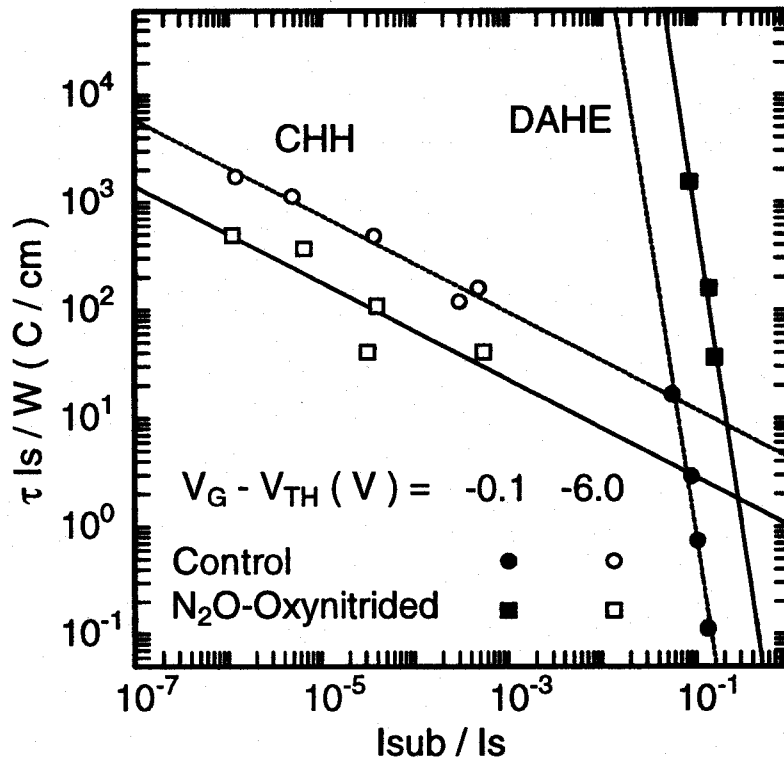
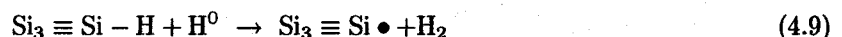


図 4.16 通常酸化膜と N_2O 酸窒化酸化膜の表面チャネル型PMOSFET ($L = 0.5\mu m$, $W = 20\mu m$) のライフタイム・プロット. 実効ストレス・ゲート電圧は, DAHE注入とCHH注入に対してそれぞれ $-0.1V$, $-6.0V$ としている. 素子寿命 τ は, $\Delta I_{CP} = 80pA$ となるまでのストレス時間としている.

4.4.3 考察

表面チャネル型PMOSFETのライフタイム・プロット [24] を図 4.16 に示す. 低ストレス・ゲート電圧 (DAHE 注入) でのライフタイム・プロットの傾きは $-(1 + \phi_{it,e}\lambda_h/\phi_{imp,h}\lambda_e)$, 高ストレス・ゲート電圧 (CHH 注入) では $-\phi_{it,h}/\phi_{imp,h}$ となる. ここで, $q\phi_{it,h}$ は, ホット・ホールによる界面準位生成に対する臨界エネルギーを示す. それぞれのストレス条件に対して, 通常酸化膜と N_2O 酸窒化酸化膜に対する傾きはほぼ等しい. このことから, 界面準位生成エネルギーは, 酸化膜形成プロセスに顕著には依存しない事がわかる. これは, また界面準位生成エネルギーはエネルギー障壁に対する依存性は小さい事も意味する.

前節でのNMOSFETの劣化の解析結果に基づくと, 図 4.16 で見られる DAHE 注入での平行シフトは, 水素種の拡散バリアとなる窒素含有層が Si/SiO₂ 界面付近に存在するからであると考えられる. DAHE 注入ストレスでは, ゲート酸化膜中の Si-H 結合は, 電子捕獲あるいは中性電子トラップ生成時に切断される. 生成した水素種は Si/SiO₂ 界面へ拡散し, 以下の反応により界面準位を生成する.



この現象の詳細は, NMOSFET のホットキャリア劣化について付録で述べているモデルと同じである. 窒素含有層が生成した水素種の Si/SiO₂ 界面への拡散を抑制している. このモデルにより, 図 4.17(a) に示されるような ΔN_{it} と $\Delta N_{ot,e}$ との間の対応が説明できる. 図 4.17(b) に示されるように, CHH 注入においても, 窒素含有層での水素種の拡散の抑制効果が見られる. しかし, この現象は, N_2O 酸窒化酸化膜における CHH 注入での劣化促進とは相反する. N_2O 酸窒化酸化膜での CHH 注入での劣化促進の原因としては,

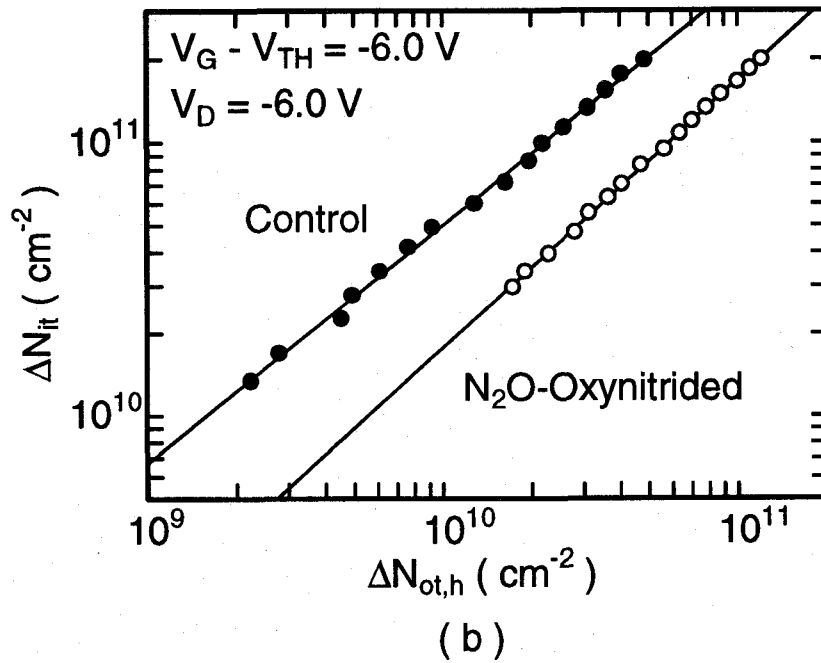
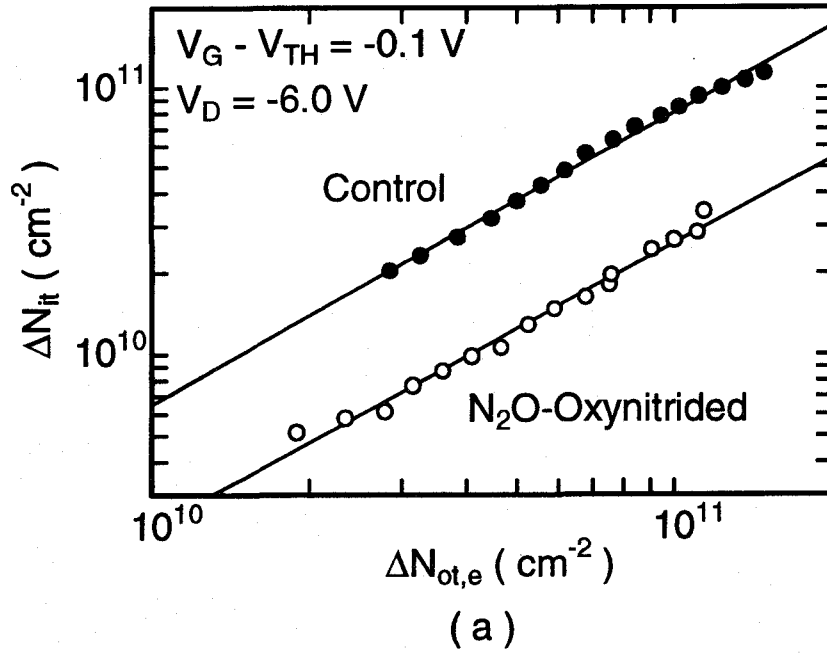


図 4.17 (a) DAHE注入と (b) CHH注入における生成界面準位密度 ΔN_{it} と捕獲電荷密度 ΔN_{ot} の関係.

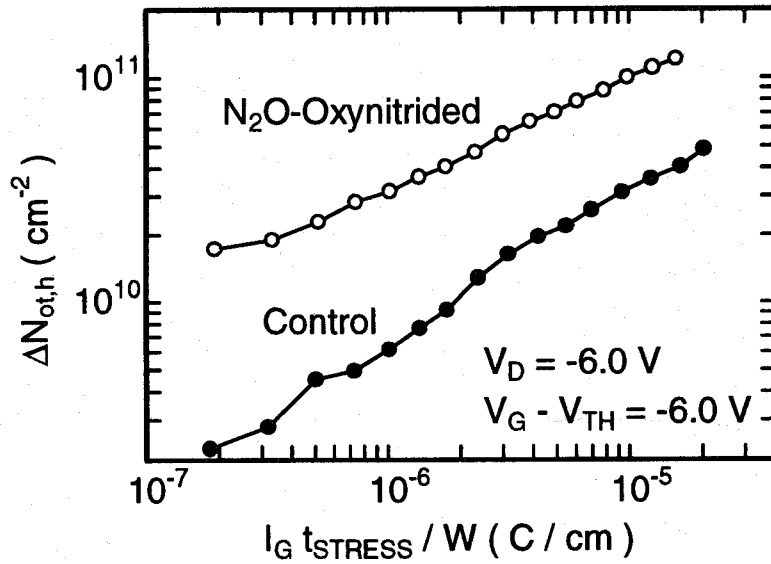


図 4.18 表面チャネル型PMOSFET($L = 0.5\mu\text{m}$, $W = 20\mu\text{m}$)のCHH注入($V_{\text{STRESS}} = -6.0\text{V}$, $V_G - V_{\text{TH}} = -6.0\text{V}$)における捕獲正孔密度 $\Delta N_{\text{ot,h}}$ と単位ゲート幅当たりの注入正孔量 $I_G t_{\text{STRESS}}/W$ との関係.

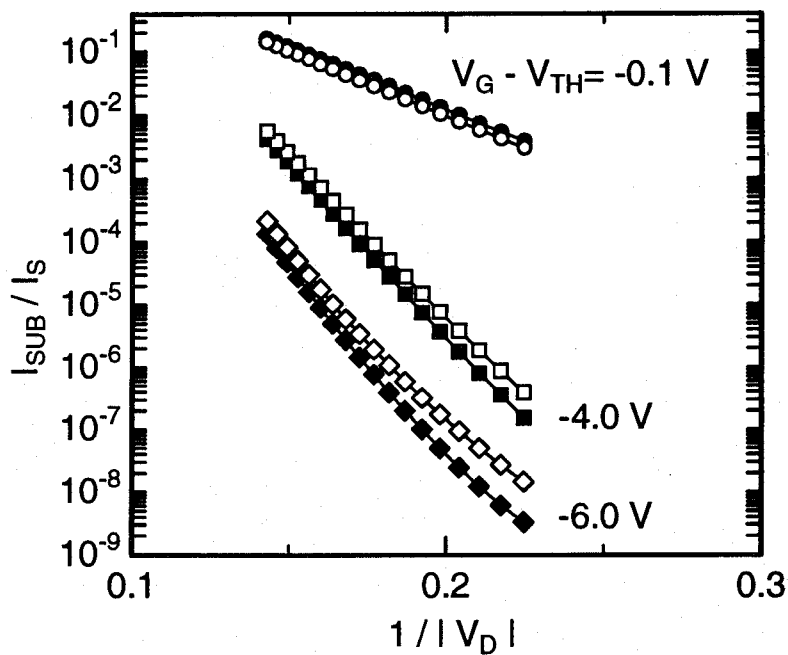


図 4.19 表面チャネル型PMOSFET($L = 0.5\mu\text{m}$, $W = 20\mu\text{m}$)における I_{SUB}/I_S の $1/|V_D|$ に対する依存性. 黒印と白印は, それぞれ通常酸化膜と N_2O 酸窒化酸化膜の試料での結果を示す.

図 4.18 に見られるような正孔捕獲の増大が考えられる。近年、正孔捕獲での水素生成に伴う界面準位生成がある事が報告されている [33]。この事から、N₂O 酸化酸化膜では正孔捕獲が多いので、生成水素種が多くなり、拡散抑制効果を上回るために、劣化が促進される事が考えられる。この正孔捕獲の増大の原因としては、窒素原子による Si/SiO₂ 界面付近の歪みの緩和 [34] や窒素原子に起因する正孔トラップの発生が考えられる。

Tsuchiya 等によれば、正孔捕獲による素子劣化は、将来の PMOSFET において支配的な劣化モードとなる事が指摘されている [35]。この指摘を確認するために、 $I_{\text{SUB}}/I_{\text{S}}$ の $1/V_{\text{D}}$ に対する依存性を図 4.19 に示す。この図より、高ゲート電圧での $I_{\text{SUB}}/I_{\text{S}}$ は、ドレイン電圧の減少とともに急峻に減少している事がわかる。これは、将来の PMOSFET で使用されるような低電源電圧においては、CHH 注入は支配的な劣化モードにはならない事を示唆する。従って、N₂O 酸化酸化膜は、支配的な劣化モード (DAHE 注入) において高信頼性を示す事になる。

4.5 N₂O 酸化の Si/SiO₂ エネルギー障壁への影響

4.5.1 Si/SiO₂ エネルギー障壁の評価

これまでに、ゲート電流を解析する事により、Si/SiO₂ 界面の電子注入に対するエネルギー障壁が、N₂O 酸化により増加する事がわかった。ここでは、基板ホット・エレクトロン注入を用いて、この事をさらに明確化するとともに、基板ホット・ホール注入により正孔注入に対するエネルギー障壁についても評価した。

図 4.20 に測定方法を示す。図 4.20(a) に示すように、測定対象の MOSFET ($L = 100\mu\text{m}$, $W = 100\mu\text{m}$, $T_{\text{OX}} = 7.8\text{nm}$) 以外の pn 接合を用いて、基板中に少数キャリアを注入している。注入された少数キャリアは、空乏層の電界で加速されて、高エネルギーになり、Si/SiO₂ 界面に到達する。このような過程により、基板ホットキャリア注入が起こる。

図 4.20(b) に示すように、 d を Si/SiO₂ 界面のエネルギー障壁に等しいポテンシャルとなる空乏層中の位置を示すパラメータとする。 d は基板電圧 V_{SUB} (逆バイアスのみ考える) と、次式で関係付けられる。

$$d = \frac{\sqrt{2\phi_{\text{F}} + |V_{\text{SUB}}|} - \sqrt{2\phi_{\text{F}} + |V_{\text{SUB}}|} - \phi_{\text{b,e}}}{\sqrt{qN_{\text{A}}/2\epsilon_{\text{Si}}}} \quad (4.10)$$

ここで、 n_{i} を真性キャリア密度とすると、 $\phi_{\text{F}} = (k_{\text{B}}T/q) \ln(N_{\text{A}}/n_{\text{i}})$ である。ゲート電流 I_{G} は、 d を用いて、

$$I_{\text{G}} \propto \exp\left(\frac{d}{\lambda}\right) \quad (4.11)$$

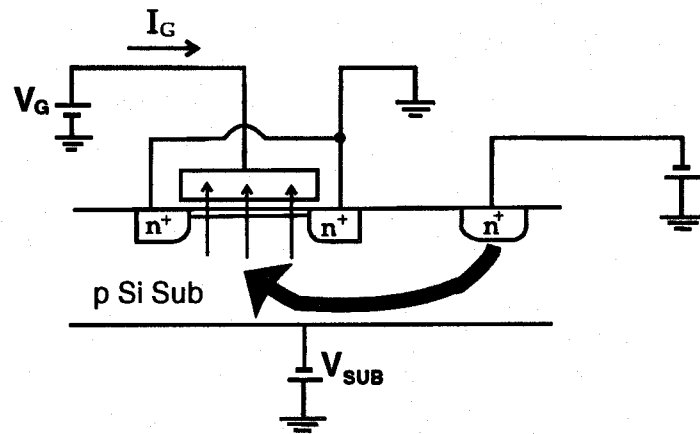
と表される [22]。ここで、 λ は、Si でのキャリアのエネルギー緩和距離である。

図 4.21(a) に、ゲート酸化膜への電子注入によるゲート電流 I_{G} の d 依存性を NMOSFET を用いて測定した結果を示す。この図より、式 (4.11) が成り立つ事がわかる。表面チャネル型 PMOSFET を用いて、正孔注入によるゲート電流 I_{G} の d 依存性も測定できる。この場合も、図 4.21(b) に示すように、式 (4.11) が成立する事がわかる。なお、図 4.21(a), (b) において、Si/SiO₂ 界面のエネルギー障壁には、以下の式を用いている。

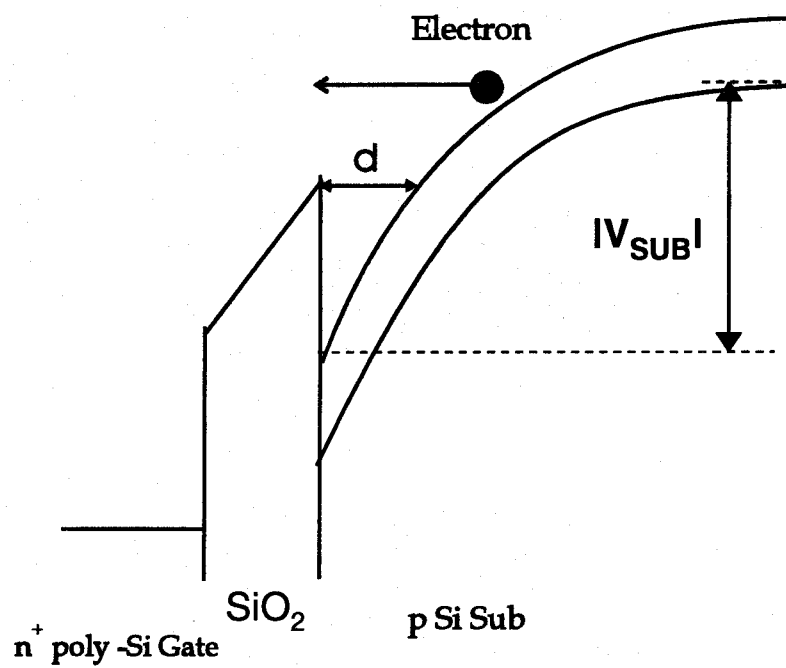
$$\phi_{\text{b,e}} = 3.1\text{eV} - \beta E_{\text{OX}}^{1/2} - \alpha_{\text{e}} E_{\text{OX}}^{2/3} \quad (4.12)$$

$$\phi_{\text{b,h}} = 4.5\text{eV} - \beta E_{\text{OX}}^{1/2} - \alpha_{\text{h}} E_{\text{OX}}^{2/3} \quad (4.13)$$

ここで、 α_{e} , α_{h} は各々電子と正孔のゲート酸化膜への注入におけるトンネル効果を現象論的に考慮するためのパラメータである。



(a)



(b)

図 4.20 基板ホット・エレクトロン注入でのゲート電流測定。

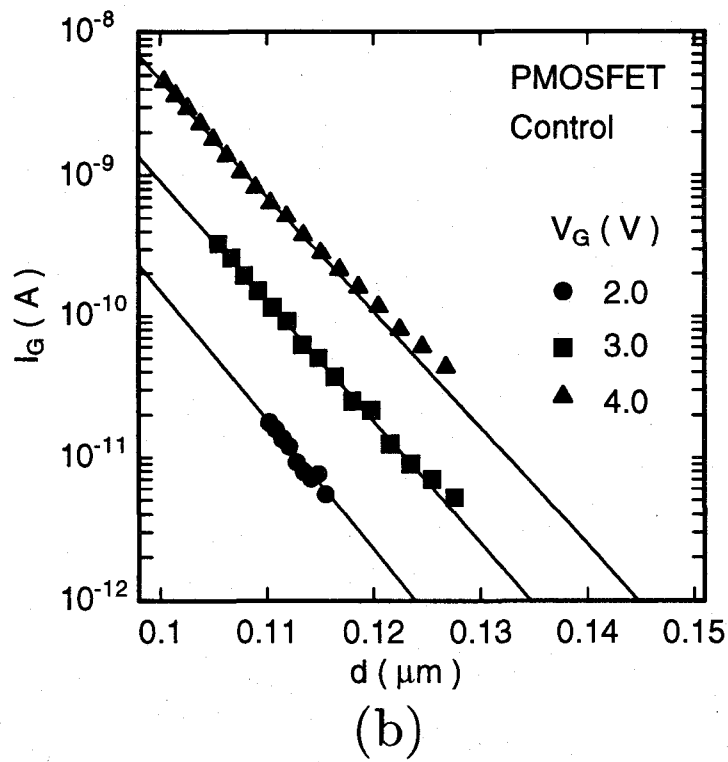
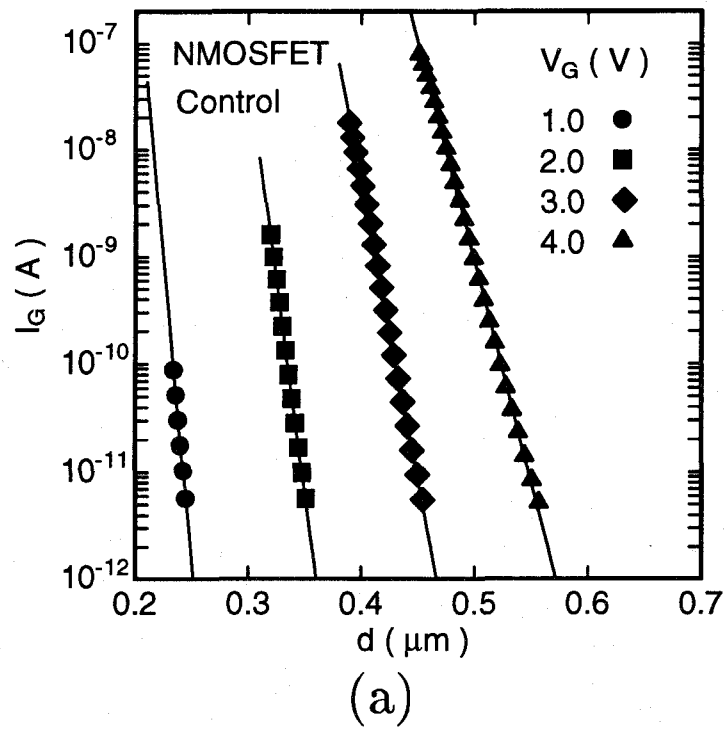


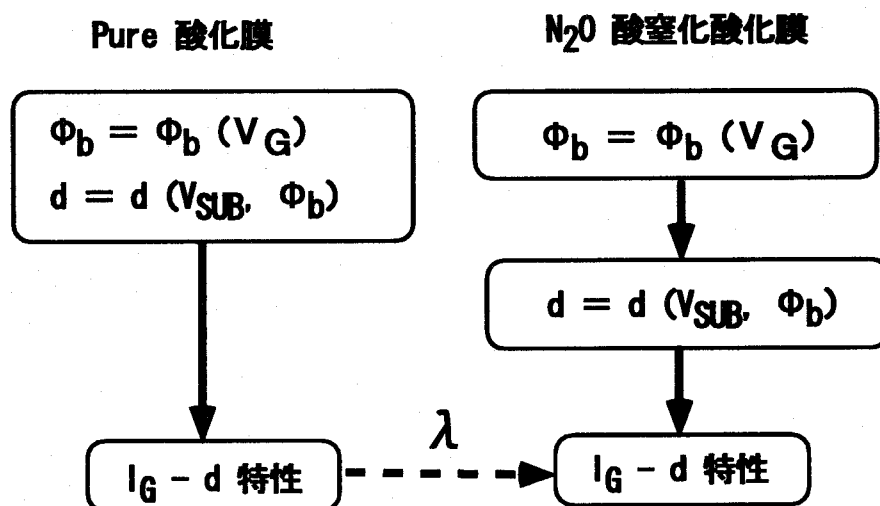
図 4.21 (a) NMOSFET 及び (b) PMOSFET における基板ホット・キャリア注入でのゲート電流 I_G の d 依存性.

表 4.2 Siにおける電子及び正孔のエネルギー緩和距離 λ

	電子	正孔
λ	5.5 ~ 6.5 nm	4.7 ~ 5.3 nm
C. R. Crowell <i>et al.</i> [36]	6.2 nm	4.7 nm

エネルギー障壁の評価方法

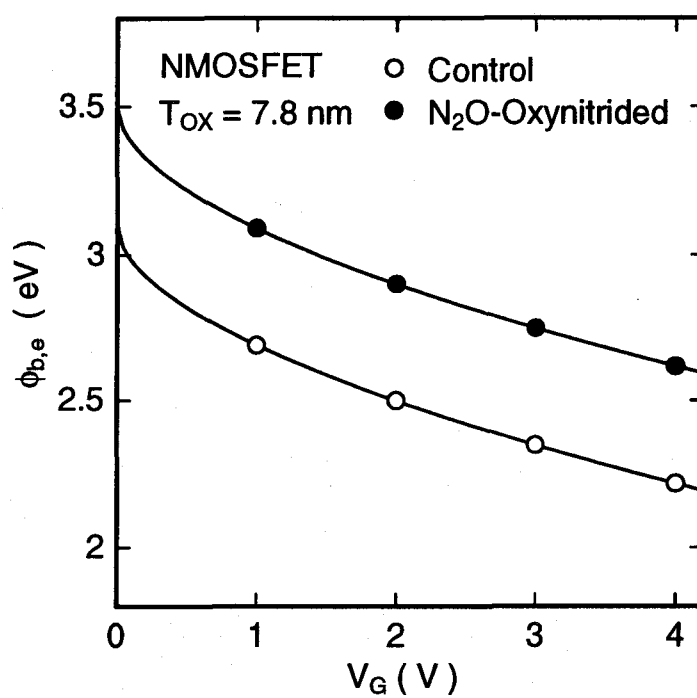
$$\Phi_b = \Phi_{b,0} - \beta E_{OX}^{1/2} - \alpha E_{OX}^{2/3}$$

図 4.22 N₂O 酸窒化のエネルギー障壁への影響の評価方法。

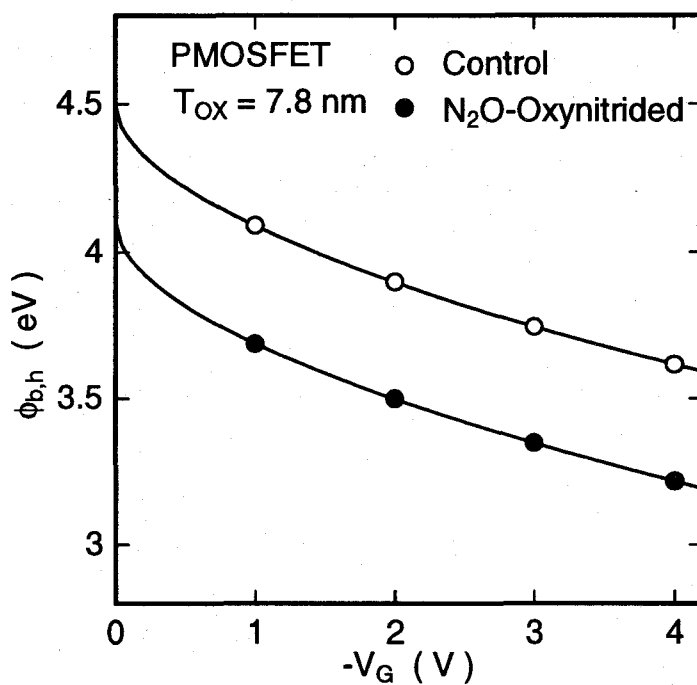
この測定により、Siにおける電子及び正孔のエネルギー緩和距離は、表4.5.1のように求められる。ここには、CrowellとSzeにより与えられた光学フォノン散乱のエネルギー緩和距離も示しているが[36]、測定結果がこれらの値とほぼ等しい事がわかる。

Siでのキャリアのエネルギー緩和距離 λ は、ゲート絶縁膜形成プロセスには依存しない事は明らかである。この事を用いると、N₂O酸窒化のエネルギー障壁への影響を評価する事ができる。これを図4.22に示す。エネルギー障壁が既知である通常のpure酸化膜MOSFETを用いると、 λ が決定できる。次に、N₂O酸窒化酸化膜MOSFETでのホットキャリア注入のゲート電流測定から、 d と基板電圧 V_{SUB} との関係が決定され、式(4.10)を用いてエネルギー障壁 ϕ_b が求められる。

このようにして求めたエネルギー障壁のゲート電圧依存性を図4.23に示す。この図より、N₂O酸窒化により、電子に対するエネルギー障壁 $\phi_{b,e}$ は約0.5eV増加するのに対して、正孔に対するエネルギー障壁 $\phi_{b,h}$ は約0.5eV減少する事がわかる。次節で、この現象の原因を述べる。



(a)



(b)

図 4.23 Si/SiO₂界面における (a) $\phi_{b,e}$ (伝導帯のエネルギー障壁) 及び (b) $\phi_{b,h}$ (価電子帯のエネルギー障壁) のゲート電圧 V_G 依存性.

4.5.2 N₂O酸化によるエネルギー障壁の変化の原因

前節において、N₂O酸化により、Si/SiO₂界面のエネルギー障壁が、電子に対しては増加し、正孔に対しては減少する事が明らかになった。この原因としては、図4.24に示すように、N₂O酸化により、Si/SiO₂界面に負電荷が存在するために、電子のトンネル長は増加し、正孔では減少する事が考えられる。負電荷の発生機構としては、図4.25に示すように、SiO₂中のSi-N結合は容易に孤立電子対を形成すると考えられる。これは、酸素原子は2価であるのに対して、窒素原子は3価であるからである。

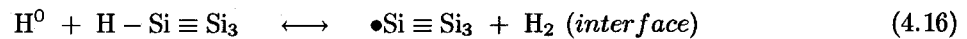
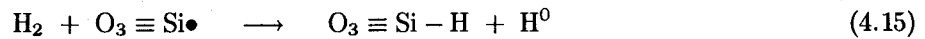
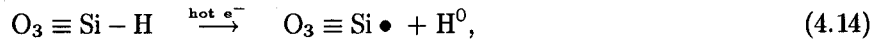
N₂O酸化による負電荷の発生は、フラット・バンド電圧V_{FB}の変化からもわかる。図4.26に高周波C-V測定での評価結果を示す。この図より、T_{OX} = 9nm以下では負電荷が発生している事がわかる。しかし、T_{OX} > 9nmでは、正電荷の発生が見られる。この原因としては、酸化膜欠陥の少ない厚い酸化膜を酸化すると、窒素原子が過剰になる事が考えられる。酸化膜中の過剰な窒素原子は、正の固定電荷を形成する事は、既にRuggles等により報告されている[37]。

4.6 結言

本章では、NMOSFET及び表面チャネル型PMOSFETにおけるホットキャリア劣化のN₂O酸化による変化を調べ、その機構を考察した。N₂O酸化により、Si/SiO₂界面でのエネルギー障壁は、電子に対しては増加し、正孔に対しては減少する。これは、N₂O酸化によりSi/SiO₂界面付近に導入された窒素原子が負電荷を形成する事で説明できる。しかし、ライフタイム・プロットの結果からは、N₂O酸化による界面準位生成エネルギーの変化はエネルギー障壁の変化以下であり、ホットキャリア劣化の抑制効果はエネルギー的な観点では、説明できない。2ステップ界面準位生成モデルに基づいて、捕獲電荷密度と生成界面準位密度の関係を調べる事により、窒素含有層が水素種の拡散バリアとなり、この効果が界面準位や中性電子トラップの生成を抑制している事が見出された。しかし、正孔捕獲に関しては、N₂O酸化により増加する事がわかった。この原因としては、Si/SiO₂界面付近への窒素原子の導入による界面歪みの変化や窒素原子に起因する正孔トラップの形成が考えられる。

付録 2ステップ・界面準位生成モデル

ここでは、4.3.3で述べた新しい素子劣化モデルを定式化する。図4.27に、このモデルを図示する。酸化膜中及びSi/SiO₂界面での化学反応は、以下で与えられる。



酸化膜中での水素原子(H⁰)濃度は極めて少ない[25]ので、式(4.14)及び(4.15)の逆反応は、ほとんど起こらない。簡単化のため、図4.27に示すように、中性電子トラップ及び界面準位がよく発生する領域を各々δ₁及びδ₂と定義する。この2つの領域は、z_{ot,e}だけ離れている。照射損傷に関するGriscomの化学反応モデル[25]から類推すると、定常状態では水素原子(H⁰)濃度は水素分子(H₂)濃度に比例し、以下のように表される。

$$n_{A,1} = \gamma_1 n_{M,1} \quad (4.17)$$

$$n_{A,2} = \gamma_2 n_{M,2} \quad (4.18)$$

ここで、n_{A,1}, n_{A,2}は各々中性電子トラップ発生領域(δ₁), 界面準位発生領域(δ₂)での水素原子濃度、n_{M,1}, n_{M,2}は各々中性電子トラップ発生領域(δ₁), 界面準位発生領域(δ₂)での水素分子濃度である。なお、γ_{1,2} << 1

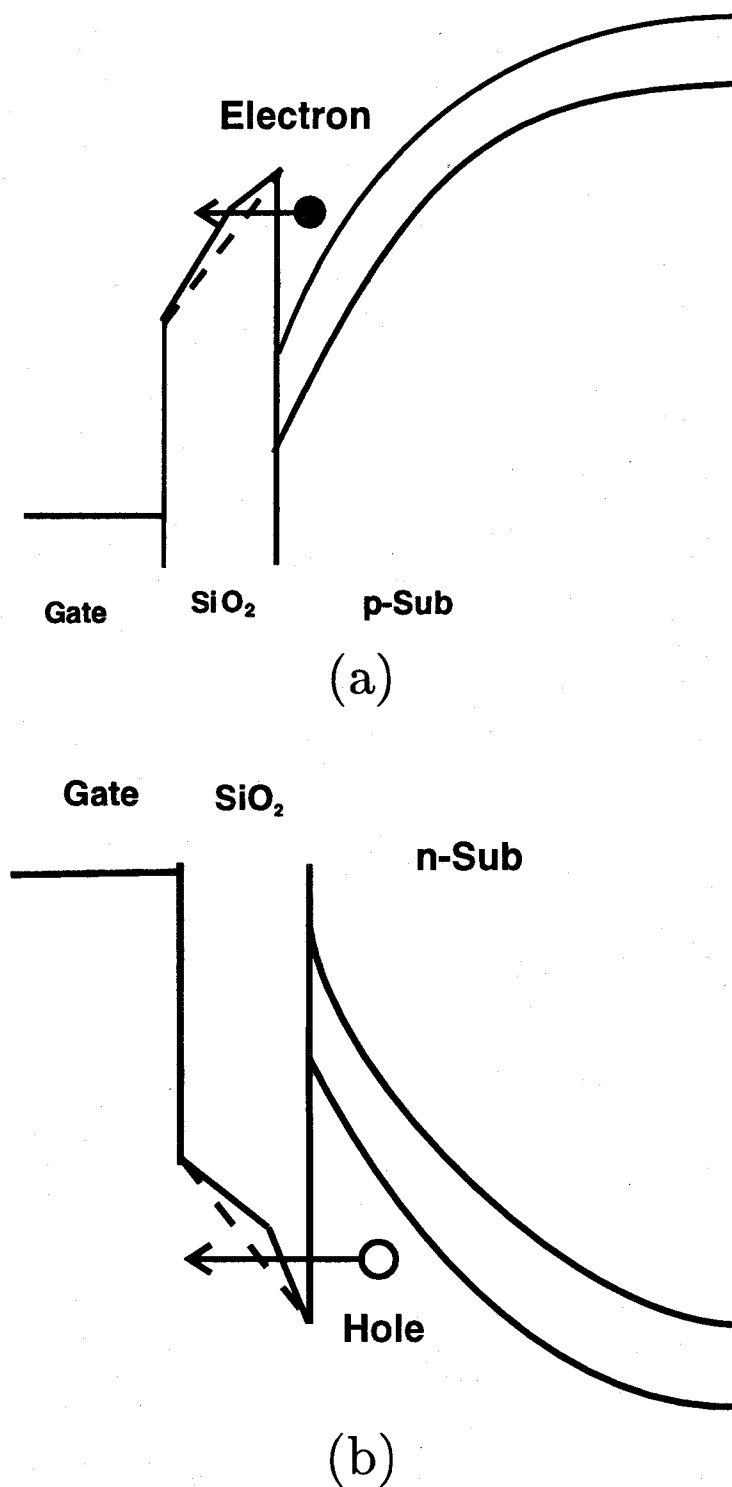
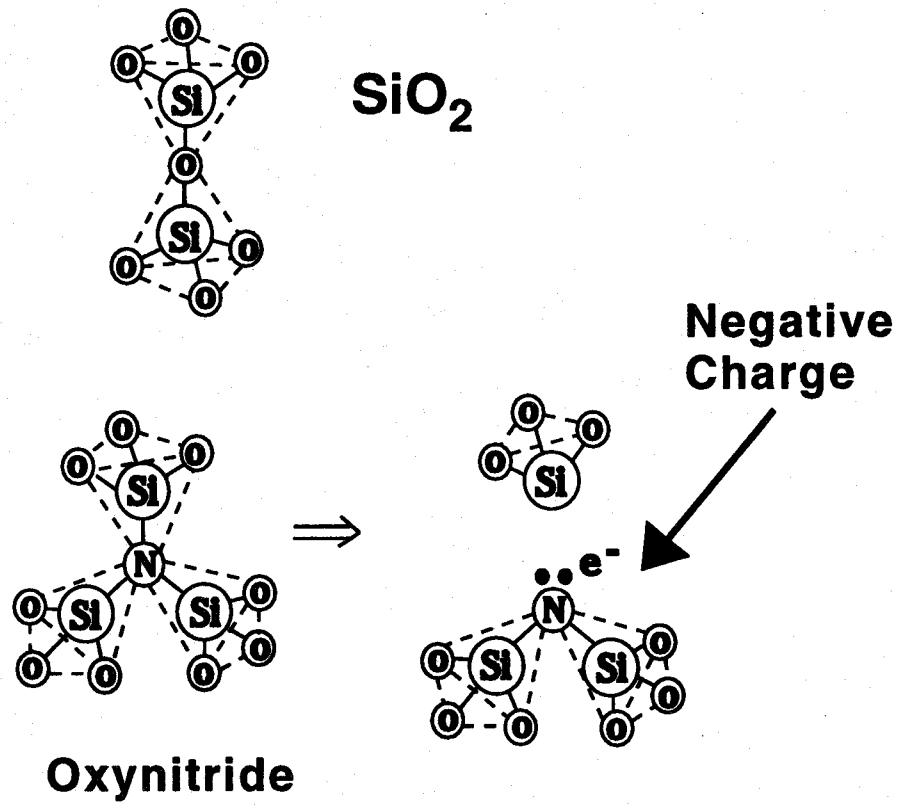
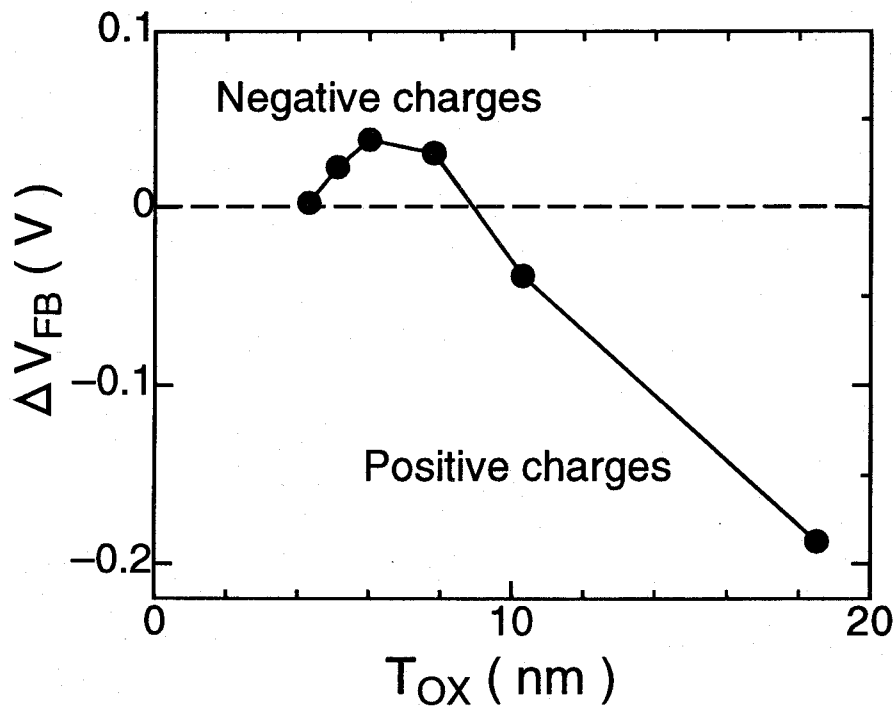


図 4.24 N₂O 酸窒化酸化膜 MOSFET の (a) 基板ホット・エレクトロン注入及び (b) 基板ホット・ホール注入におけるバンド図. 破線は, 通常酸化膜の場合を示す.

図 4.25 N_2O 酸窒化による負電荷発生機構.図 4.26 N_2O 酸窒化によるフラット・バンド電圧 V_{FB} シフトの酸化膜厚 T_{OX} 依存性.

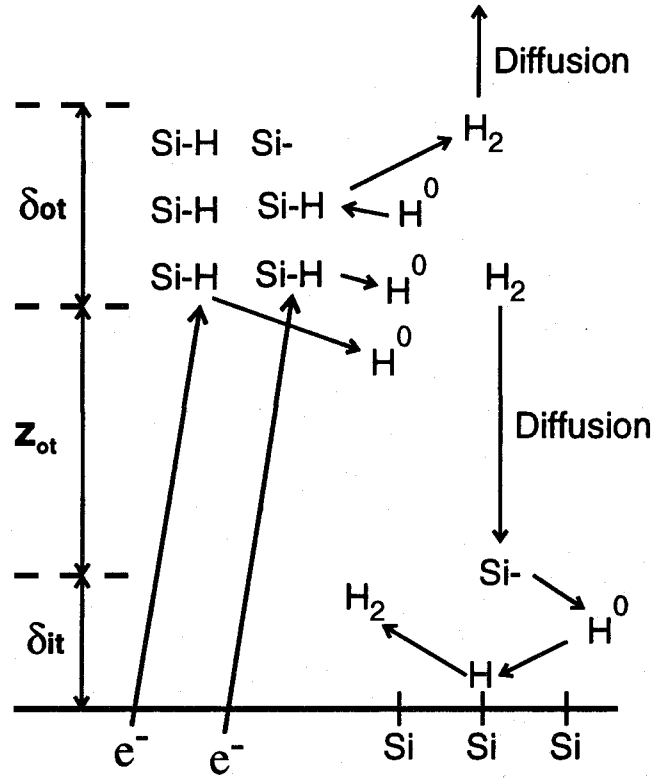


図 4.27 界面準位生成モデルの図. δ_{it} , $\delta_{ot,e}$ は, 界面準位生成及び中性電子トラップ生成の起こる領域の長さ, $z_{ot,e}$ は両領域の間の距離を示す.

である. 注入電子エネルギーまたは注入電子密度の増加とともに, 水素原子密度が増加し, 式 (4.15) 及び $2 H^0 \rightarrow H_2$ の反応が起こるので, $\gamma_{1,2}$ は減少する.

(1) 中性電子トラップの発生

水素分子 (H_2) は酸化膜中において拡散する [25]-[27] ので, 中性電子トラップ発生領域 (δ_1) において, 次の水素分子の拡散方程式が成り立つ.

$$\frac{d}{dt}(n_{M,1}\delta_1) = -D_{M,1}\frac{n_{M,1}}{X_M} - D_{M,2}\frac{n_{M,1} - n_{M,2}}{z_{ot,e}} + \frac{1}{\gamma_1} \frac{dN_{ot,e}}{dt} \quad (4.19)$$

ここで, X_M は水素分子のゲート電極への拡散に関する拡散長, $D_{M,1}$, と $D_{M,2}$ は各々ゲート電極と Si/SiO₂ 界面への水素分子の拡散についての拡散係数である. 式 (4.19) を解くための境界条件として, ゲート電極での水素分子濃度が零であると仮定している. 上式の最後の項は, 式 (4.14) と (4.17) から導出できる. さらに, $z_{ot} \gg X_M$ として, 式 (4.19) の右辺の第2項は第1項に比べて無視する. 従って, 準静的状態 ($\frac{d}{dt}(n_{M,1}\delta_1) = 0$) の下では, 中性電子トラップ発生領域での水素分子濃度は, 以下のように与えられる.

$$n_{M,1} = \frac{X_M}{D_{M,1}\gamma_1} \frac{dN_{ot,e}}{dt}. \quad (4.20)$$

中性電子トラップの生成速度は,

$$\frac{d}{dt}N_{ot,e} = \sigma \frac{j_{BB}}{q} (N_0 - N_{ot,e}) - B_p N_{ot,e} n_{M,1}, \quad (4.21)$$

で与えられる。ここで、 N_0 は初期の酸化膜中の $O_3 \equiv Si-H$ の密度、 B_p は中性電子トラップ($O_3 \equiv Si \bullet$)と水素分子の再結合(式(4.15)で表される化学反応)に関連する定数、 σ は中性電子トラップ生成の生成断面積、 j_{BB} は以下のように表される結合解離に寄与する電流密度である。

$$j_{BB} = C \frac{I_S}{W} \exp\left(-\frac{q\phi_{it}}{k_B T_e}\right). \quad (4.22)$$

$N_0 \gg N_{ot,e}$ を仮定し、式(4.20)を式(4.21)に代入すると、次式が得られる。

$$\frac{dN_{ot,e}}{dt} = \frac{j_{BB}\sigma N_0}{q} - \frac{B_p X_M}{D_{M,1}\gamma_1} N_{ot,e} \frac{dN_{ot,e}}{dt}. \quad (4.23)$$

上式の解は

$$N_{ot,e} + \frac{B_p X_M}{2D_{M,1}\gamma_1} N_{ot,e}^2 = \frac{j_{BB}\sigma N_0}{q} (t + t_0), \quad (4.24)$$

となる。ここで、 t_0 は遅延時間である。 $N_{ot,e} \gg 2D_{M,1}\gamma_1/B_p X_M$ の場合、 $N_{ot,e}$ は $t^{1/2}$ に比例するが、これは、図4.8(b)と4.9(b)の実験結果と一致する。なお、実験との比較においては、中性電子トラップは全て電子捕獲しているものとする。

(2) 界面準位の生成

界面準位発生領域(δ_2)において、次の水素分子についての拡散方程式が成り立つ。

$$\frac{d}{dt}(n_{M,2}\delta_2) = D_{M,2} \frac{n_{M,1} - n_{M,2}}{z_{ot,e}} - \left(\frac{1}{\gamma_2} - 1\right) \frac{dN_{it}}{dt}. \quad (4.25)$$

最後の項は、式(4.16)の化学反応による水素分子の生成、及び式(4.18)を通しての水素分子の分解を表している。準静的状態($\frac{d}{dt}(n_{M,2}\delta_2) = 0$)の下では、界面準位発生領域での水素分子密度は、

$$n_{M,2} = n_{M,1} - \frac{z_{ot,e}}{\gamma_2 D_{M,2}} \frac{dN_{it}}{dt}, \quad (4.26)$$

となる。ここで、 $\gamma_2 \ll 1$ を用いている。

界面準位の生成速度は、

$$\frac{d}{dt} N_{it} = K n_{A,2} (N_{S0} - N_{it}) - C_p N_{it} n_{M,2}, \quad (4.27)$$

で与えられる。ここで、 N_{S0} はSi/SiO₂界面での初期の $Si_3 \equiv Si-H$ の密度、 C_p は界面準位($Si_3 \equiv Si \bullet$)と水素分子との再結合に関連した定数、 K は水素原子による界面準位生成に関連した定数である。

式(4.18)、(4.20)、(4.26)を式(4.27)に代入し、 $N_{S0} \gg N_{it}$ を仮定すると、次式が得られる。

$$\frac{dN_{it}}{dt} = (K\gamma_2 N_{S0} - C_p N_{it}) \left(\frac{X_M}{D_{M,1}\gamma_1} \frac{dN_{ot,e}}{dt} - \frac{z_{ot,e}}{D_{M,2}\gamma_2} \frac{dN_{it}}{dt} \right). \quad (4.28)$$

さらに、上式は、 $K\gamma_2 N_{S0} \gg C_p N_{it}$ の条件の下で以下のように近似される。

$$\left[\frac{1}{\gamma_2} \left(\frac{1}{KN_{S0}} + \frac{z_{ot,e}}{D_{M,2}} \right) + \frac{C_p}{(K\gamma_2 N_{S0})^2} N_{it} \right] \frac{dN_{it}}{dt} = \frac{X_M}{D_{M,1}\gamma_1} \frac{dN_{ot,e}}{dt} \quad (4.29)$$

定数 A 、 B を以下のように定義する。

$$A = \frac{2K\gamma_2 N_{S0}}{C_p} \left(1 + \frac{KN_{S0} z_{ot,e}}{D_{M,2}} \right), \quad (4.30)$$

$$B = \frac{2X_M (K\gamma_2 N_{S0})^2}{C_p D_{M,1}\gamma_1}. \quad (4.31)$$

この時、式(4.29)の解は、

$$AN_{it} + N_{it}^2 = BN_{ot,e} + C, \quad (4.32)$$

となる。ここで、 C は定数である。図4.8(b)及び4.9(b)に示されているように、 $N_{ot,e} \propto t^{1/2}$ であるので、 N_{it} は t^n ($n = 0.25 - 0.5$)に比例する。このことから、図4.8(a)及び4.9(a)の実験結果を説明できる。

上述のモデルに基づいて、DAHC注入に対する図4.5及び表4.1の実験結果は、水素原子の解離に必要な電子エネルギーは SiO_2 の伝導帯端から約2eVである事を示唆する。この値は、DiMariaとStasiakの報告[29]と類似している。

参考文献

- [1] E. Suzuki, K. Schroder and Y. Hayashi : J. Appl. Phys. **60** (1986) 3616.
- [2] X. R. Cheng, Y. C. Cheng and B. Y. Liu : J. Appl. Phys. **63** (1988) 797.
- [3] H. Fukuda, T. Arakawa and S. Ohno : Jpn. J. Appl. Phys. **29** (1990) L2333.
- [4] A. Uchiyama, H. Fukuda, T. Hayashi, T. Iwabuchi and S. Ohno : International Electron Devices Meeting, p. 425, 1990.
- [5] J. Ahn, W. Ting, T. Chu, S. N. Lin and L. Kwong : J. Electrochem. Soc. **138** (1991) L39.
- [6] J. Ahn, W. Ting and D. L. Kwong : IEEE Electron Device Lett. **EDL-13** (1992) 117.
- [7] T. Hori, T. Yasui and S. Akamatsu : IEEE Trans. Electron Devices **ED-39** (1992) 134.
- [8] T. Hori, S. Akamatsu and Y. Odake : IEEE Trans. Electron Devices **ED-39** (1992) 118.
- [9] H. Hwang, M. -Y. Hao, J. Lee, V. Mathews, P. C. Fazan and C. Dennison : Solid State Electron. **36** (1993) 749.
- [10] A. B. Joshi, G. Yoon, J. Kim, G. Q. Lo and D. -L. Kwong : IEEE Trans. Electron Devices **ED-40** (1993) 1437.
- [11] G. W. Yoon, J. Ahn, G. Q. Lo, and D. L. Kwong : Solid State Devices and Materials, p. 143, 1993.
- [12] H. S. Momose, T. Morimoto, Y. Ozawa, K. Yamabe and H. Iwai : IEEE Trans. Electron Devices **ED-41** (1994) 546.
- [13] E. C. Carr and R. A. Buhrman : Appl. Phys. Lett. **63** (1993) 54.
- [14] T. Y. Chu, W. T. Ting, J. Ahn and D. L. Kwong : J. Electrochem. Soc. **138** (1991) L13.
- [15] R. Woltjer, G. M. Paulzen, H. G. Pomp, H. Lifka, and P. H. Woerlee : IEEE Trans. Electron Devices **ED-42** (1995) 109.
- [16] J. M. Sung, C. Y. Lu, M. L. Chen, S. J. Hillenius, W. S. Lindenberger, L. Manchanda, T. E. Smith and S. J. Wang : IEDM Tech. Dig., 1989, p. 447.
- [17] P. J. McWhorter and P. S. Winokur : Appl. Phys. Lett. **48** (1986) 133.
- [18] G. Groeseneken, H. E. Maes, N. Beltran and R. F. De Keersmaecker : IEEE Trans. Electron Devices **ED-31** (1994) 42.
- [19] M. L. Green, D. Brasen, K. W. Evans-Lutterodt, L. C. Feldman, K. Krisch, W. Lennard, H. -T. Tang, L. Manchanda and M. -T. Tang : Appl. Phys. Lett. **65** (1994) 848.

- [20] T. Y. Chan, P. K. Ko, and C. Hu, "Dependence of channel electric field on device scaling," *IEEE Electron Device Lett.* **EDL-6** (1985) 551.
- [21] S. Tam, P. K. Ko, and C. Hu : *IEEE Trans. Electron Devices* **ED-31** (1984) 1116.
- [22] T. H. Ning, C. M. Osburn and H. N. Yu : *J. Appl. Phys.* **48** (1977) 286.
- [23] C. Hu, S. C. Tam, F. C. Hsu, P. K. Ko, T. Y. Chan, and K. W. Terrill : *IEEE Trans. Electron Devices* **ED-32** (1985) 375.
- [24] P. Heremans, R. Bellens, G. Groeseneken, A. v. Schwerin, W. Weber, M. Brox and H. E. Maes : "The mechanisms of hot-carrier degradation," in *Hot Carrier Design Considerations for MOS Devices and Circuits*(C. T. Wang ed.), Van Nostrand Reinhold, New York, 1992.
- [25] D. L. Griscom : *J. Appl. Phys.* **58** (1985) 2524.
- [26] D. B. Brown : *IEEE Trans. Nucl. Sci.* **NS-32** (1985) 3900.
- [27] D. Vuillaume, A. Mir, R. Bouchakour, M. Jourdain, A. El-Hdiy and G. Salace : *J. Appl. Phys.* **73** (1993) 277.
- [28] J. Y. Choi, P. K. Ko and C. Hu : *Appl. Phys. Lett.* **50** (1987) 1188.
- [29] D. J. DiMaria and J. W. Stasiak : *J. Appl. Phys.* **65** (1989) 2342.
- [30] D. J. DiMaria and J. H. Stathis : *J. Appl. Phys.* **70** (1991) 1500.
- [31] C. C. Chang, A. Kamgar and D. Kahng : *IEEE Electron Device Lett.* **EDL-6** (1985) 476.
- [32] J. S. Cable, R. A. Mann and J. C. S. Woo : *IEEE Electron Device Lett.* **EDL-12** (1991) 128.
- [33] Q. D. M. Khosru, N. Yasuda, K. Taniguchi and C. Hamaguchi : *Appl. Phys. Lett.* **63** (1993) 2537.
- [34] J. T. Yount, P. M. Lenahan and J. T. Krick : *J. Appl. Phys.* **76** (1994) 1754.
- [35] T. Tsuchiya, Y. Okazaki, M. Miyake and T. Kobayashi : *IEEE Trans. Electron Devices* **ED-39** (1992) 404.
- [36] C. R. Crowell and S. M. Sze : *Appl. Phys. Lett.* **9** (1966) 242.
- [37] G. A. Ruggles and J. R. Monkowski : *J. Electrochem. Soc.* **133** (1986) 787.

第5章

ゲート酸化膜の N_2O 酸窒化による 絶縁破壊特性への影響

5.1 序

前章では、界面準位生成やキャリア捕獲などのホットキャリア劣化における N_2O 酸窒化の影響を評価した結果を述べたが、本章では絶縁破壊における N_2O 酸窒化の影響を述べる。

Ahn等によれば、8.5 nmの膜厚で、 N_2O 酸窒化酸化膜は通常酸化膜よりも基板側からのF-N電子注入ストレスに対して、経時絶縁破壊(Time Dependent Dielectric Breakdown, TDDB)特性の向上を示す[1]。Joshi等は、4.7-12nmの膜厚範囲での N_2O 酸窒化膜の絶縁破壊特性を調べている[2]。しかし、 N_2O 酸窒化酸化膜の絶縁破壊特性の膜厚依存性については、実験例がない。

本研究では、炉で形成した N_2O 酸窒化酸化膜の絶縁破壊特性の膜厚依存性を調べた。本研究の目的は、 N_2O 酸窒化の絶縁破壊特性改善の特徴を明確化する事である。

5.2 実験

本研究で用いた試料は、p及びn型Si(100)ウェーハ上に各々形成した n^+ 及び p^+ poly-Siゲート電極を有するMOSキャパシタである。このMOSキャパシタは、標準のCMOSプロセスを用いて、素子分離されている。ゲート酸化膜へのF-N電子注入は、定電流または定電圧でおこなった。上の2つの試料構造では、注入された電子はほぼ等しい全エネルギー損失を有するが[3]、これはゲート電界の極性に依らずに、2つの試料構造でのキャリア輸送が類似している事を意味する。

通常のゲート酸化膜は、dry O_2/HCl 雰囲気、 $800^\circ C$ で形成した。 N_2O 酸窒化酸化膜は、この通常酸化膜を形成した後、 N_2O 雰囲気、 $950^\circ C$ で熱処理する事で形成した。この N_2O 酸窒化プロセス中に、処理前の酸化膜厚に依らず膜厚が約2nm増加する。これは、 N_2O 酸窒化がSi/SiO₂界面での反応で律速されている事を示唆している。このゲート酸化の後、poly-Siゲート(膜厚150nm)をLPCVD (Low-Pressure Chemical Vapor Deposition)により形成した。 n^+ 及び p^+ poly-Siゲート電極は、各々リン拡散とボロン・イオン注入によりドーピングした。ボロン・イオン注入は、Siイオン注入による非晶質化の後、 $^{11}B^+$, 15 keV, $3 \times 10^{15} \text{ cm}^{-2}$ でおこなった。フォトリソグラフィと異方性エッチングを用いて、ゲート電極をパターニングをおこなった後、 $900^\circ C$, 10分のアニールを N_2 雰囲気でおこなった。MOSキャパシタ面積は、 0.44 mm^2 である。酸化膜厚は、SiO₂の屈折率1.46として偏光解析を用いてウェーハ面内5点を測定し、平均値を評価した。

高周波C-V測定を用いて、 p^+ poly-Siゲート試料では、ボロンの突き抜けが十分抑制できている事を確認した。これは、ゲート電極へのボロン注入にはフッ素の混入がないからである[4]。また、準静的C-V測

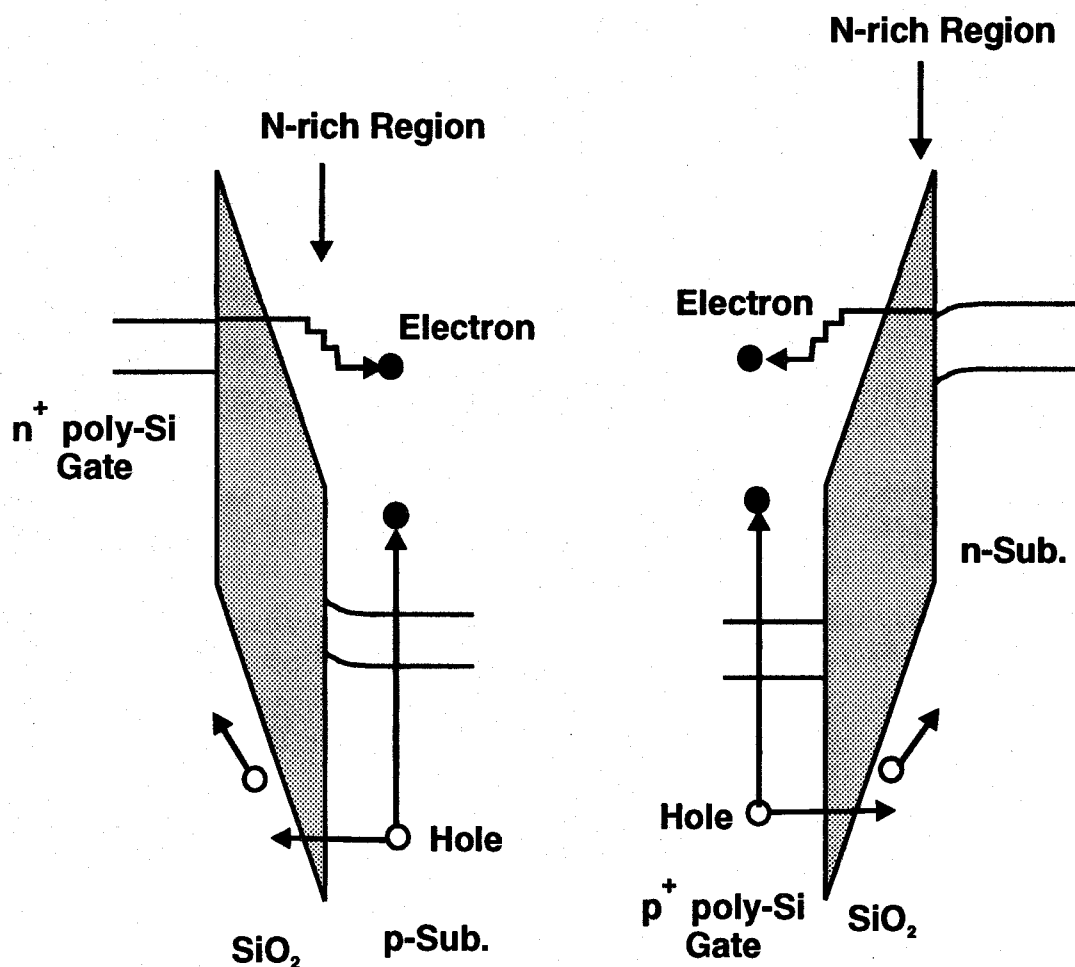


図 5.1 (a) n^+ poly-Si ゲート MOS キャパシタでのゲート注入と (b) p^+ poly-Si ゲート MOS キャパシタでの基板注入に対するエネルギー・バンド図。

定から、 p^+ poly-Si ゲート試料の poly-Si/ SiO_2 界面付近での空乏化も抑制できている事も確認した。

5.3 N_2O 酸化の絶縁破壊特性への影響

まず、 $T_{ox} = 6.0 \pm 0.2 \text{ nm}$ の通常酸化膜と N_2O 酸化酸化膜の定電圧ストレスの絶縁破壊特性を比較し、絶縁破壊における N_2O 酸化の影響を概観する。図 5.1(a) 及び (b) に、それぞれ n^+ poly-Si ゲート MOS キャパシタでのゲート電極からの F-N 電子注入 (ゲート注入, $-V_G$) と p^+ poly-Si ゲート MOS キャパシタでの基板からの F-N 電子注入 (基板注入, $+V_G$) に対するエネルギー・バンド図を示す。 n^+ poly-Si ゲート試料に対してはストレス・ゲート電圧を負にし、 p^+ poly-Si ゲート試料に対しては正にする事で、両方のストレス極性で蓄積状態になるようにしている。また、このようにする事により、極性が反対で強度が等しい酸化膜電界に対して、F-N 注入される電子の全エネルギー損失 (フェルミ・エネルギー差、即ち印加電圧) がほぼ等しくなる。

図 5.2 に、定電圧ストレスでの TDDB (Time Dependent Dielectric Breakdown) 特性を示す。この図より、 N_2O 酸化酸化膜では初期絶縁破壊が抑制されている事がわかる。この原因としては、酸化膜中の欠陥が

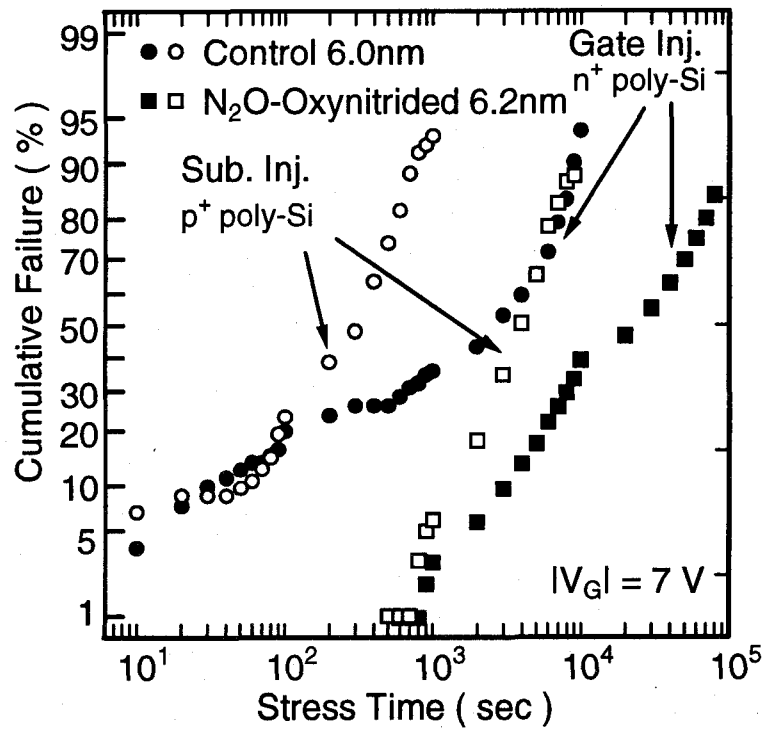
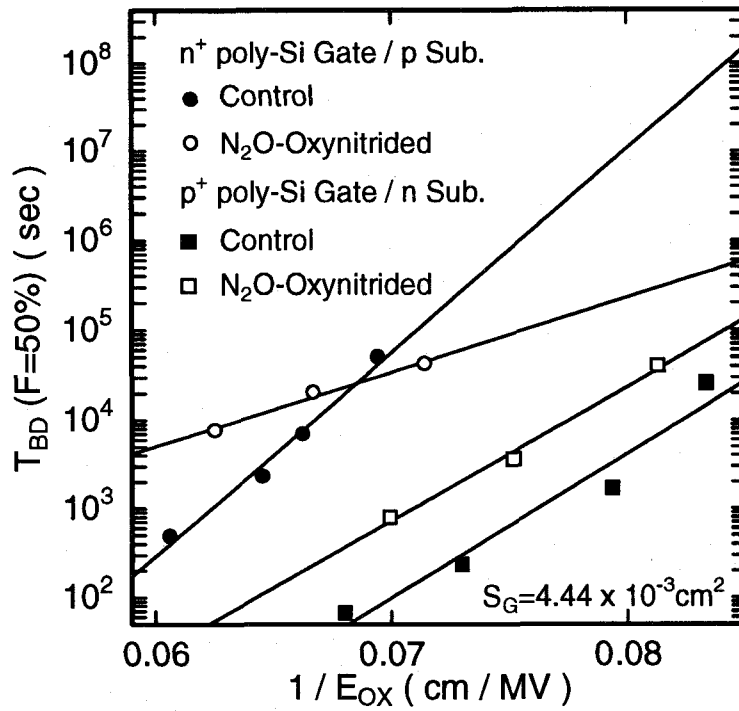


図 5.2 定電圧ストレスの経時絶縁破壊特性.

図 5.3 定電圧ストレスでの酸化膜寿命(累積故障率50%)の酸化膜電界 E_{OX} 依存性.

N_2O 酸化により消滅している事や界面が滑らかである事が考えられる。

また、負ストレス・バイアスに比べて、正ストレス・バイアスの方が N_2O 酸化による絶縁破壊の改善が大きい事がわかる。これについては、以下の節で詳細に述べる。

図5.3には、酸化膜寿命(累積故障率50%)の酸化膜電界 E_{OX} 依存性を示す。この図において、 N_2O 酸化による絶縁耐圧向上は、 n^+ poly-Si 試料の負ストレス・バイアスでは高電界側で見られるが、低電界側では逆に劣化している。一方、 p^+ poly-Si 試料での正ストレス・バイアスでは、ストレス電界に依らず、 N_2O 酸化による絶縁耐圧向上が見られる。負ストレス・バイアスでの交差については、キャリア捕獲が関連していると考えられる。後述するように、負ストレスに対しては、 N_2O 酸化により正孔捕獲が減少している。このため、 N_2O 酸化酸化膜では陰極側の電界強度が大きくなりないので、F-N電流が増大しにくい。特に、ストレス電界強度が強い場合、正孔の逆注入が増加するので、この効果は顕著になる。これが、負ストレスで見られた交差の原因と考えられる。

5.4 絶縁破壊特性の膜厚依存性

ゲート注入及び基板注入での通常酸化膜と N_2O 酸化酸化膜の絶縁破壊特性の膜厚依存性を調べた。前節で述べたキャリア捕獲によるF-N電流の変動を防ぐため、ここでは定電流ストレスで絶縁破壊特性を調べた。

図5.4(a), (b)に、 n^+ poly-Si ゲート試料でのゲート注入と p^+ poly-Si ゲート試料での基板注入に対する通常酸化膜と N_2O 酸化酸化膜のcharge-to-breakdown (Q_{BD})の酸化膜厚 T_{OX} 依存性を示す。図5.4(a)から、 p^+ poly-Si ゲート試料での基板注入の場合、 N_2O 酸化酸化膜の Q_{BD} は、8nm以下の膜厚で顕著な改善がある事が確認される。8nm以上の酸化膜厚に対しては、通常酸化膜に比べて Q_{BD} のわずかな改善が見られる。一方、図5.4(b)に示されるように、 n^+ poly-Si ゲート試料では、通常酸化膜と N_2O 酸化酸化膜との間で Q_{BD} の顕著な差異は見られない。

図5.4(a), (b)に見られるように、通常酸化膜の Q_{BD} の T_{OX} 依存性は、ゲート注入と基板注入で類似している。これは、 p^+ poly-Si ゲート試料と n^+ poly-Si ゲート試料で、一定のF-N電流密度で注入された電子の全エネルギー損失がほぼ等しい事による[3]。Fukudaによれば、ゲート注入の Q_{BD} は T_{OX} の薄膜化につれて減少するのに対して、基板注入では増加している[5]。この矛盾の原因の1つは、彼等が基板注入に用いた試料は、 n^+ poly-Si ゲートであり、 p 基板で n^+ poly-Si ゲートの試料のゲート注入よりも注入電子の全エネルギー損失が低いからであると考えられる。

さらに、LiangとChoiは、ストレス電流密度の増加につれて、 T_{OX} の薄膜化に対する Q_{BD} の変化が、ゲート注入及び基板注入ともに増加から減少に変化する事を示している[6]。しかし、本研究で用いた電流密度範囲($|J_{STRESS}| = 1 - 100 \text{ mA/cm}^2$)では、この傾向は見られなかった。この理由としては、本研究で用いた試料のゲート面積(0.44 mm^2)が、彼等の試料($1 \times 10^{-3} \text{ mm}^2$)よりも大きい事が挙げられる。後述するように、 $Q_{BD} \propto J_{STRESS}^{-n}$ の関係式の n は、 T_{OX} の薄膜化とつれて増加する。従って、一定ストレス電流密度での Q_{BD} の膜厚依存性は、ゲート酸化膜の薄膜化による n の増加と酸化膜欠陥量(欠陥密度とゲート面積の積)の増加の双方で決定される。もし、低ストレス電流密度で十分長時間の測定を行えば、本研究で用いた試料でも上述の傾向が見られる可能性がある。

基板注入での8nm以下の Q_{BD} の顕著な改善は、酸化膜欠陥の酸化膜厚依存性により起こっている可能性がある。つまり、 N_2O 酸化は、Si/SiO₂界面の遷移領域における欠陥を減少させる。ゲート注入で N_2O 酸化による改善がない原因は、ゲート注入では、中性電子トラップへの電子捕獲が抑制されない事に関連すると考えられる。一方、基板注入では中性電子トラップへの電子捕獲が N_2O 酸化により抑制される。この事を次節に示す。

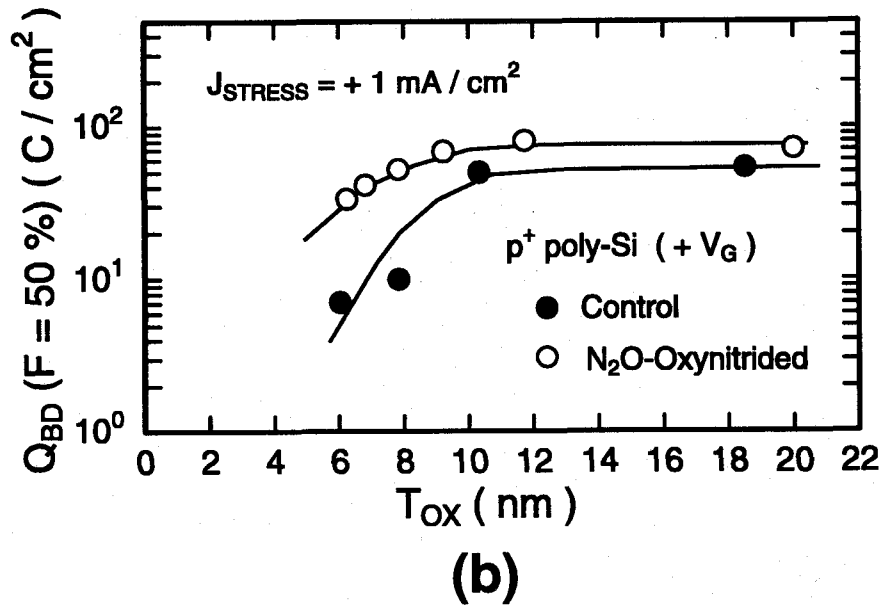
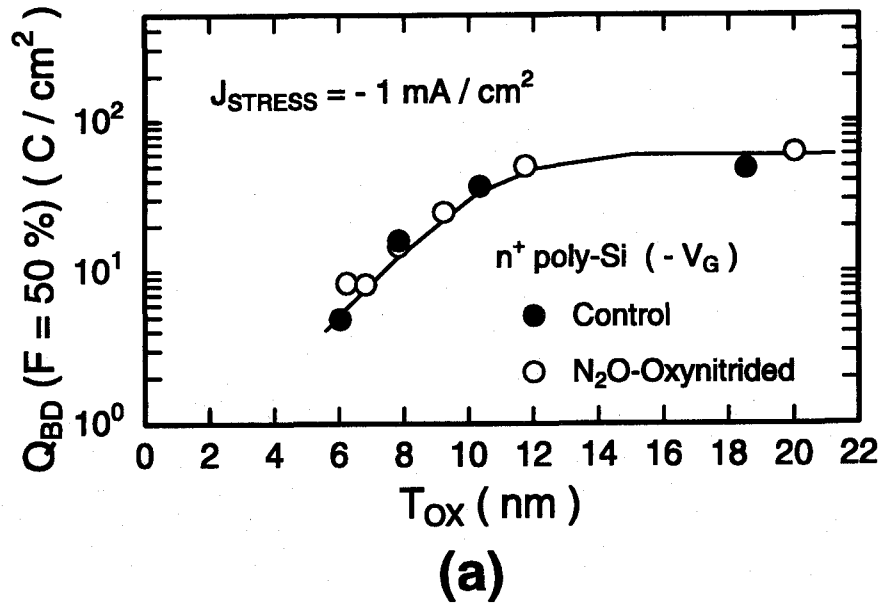


図 5.4 (a) n^+ poly-Si ゲート MOS キャパシタでのゲート注入と (b) p^+ poly-Si ゲート MOS キャパシタでの基板注入に対する charge-to-breakdown (Q_{BD}) の酸化膜厚 (T_{OX}) 依存性. Q_{BD} は累積故障率 50% で評価している.

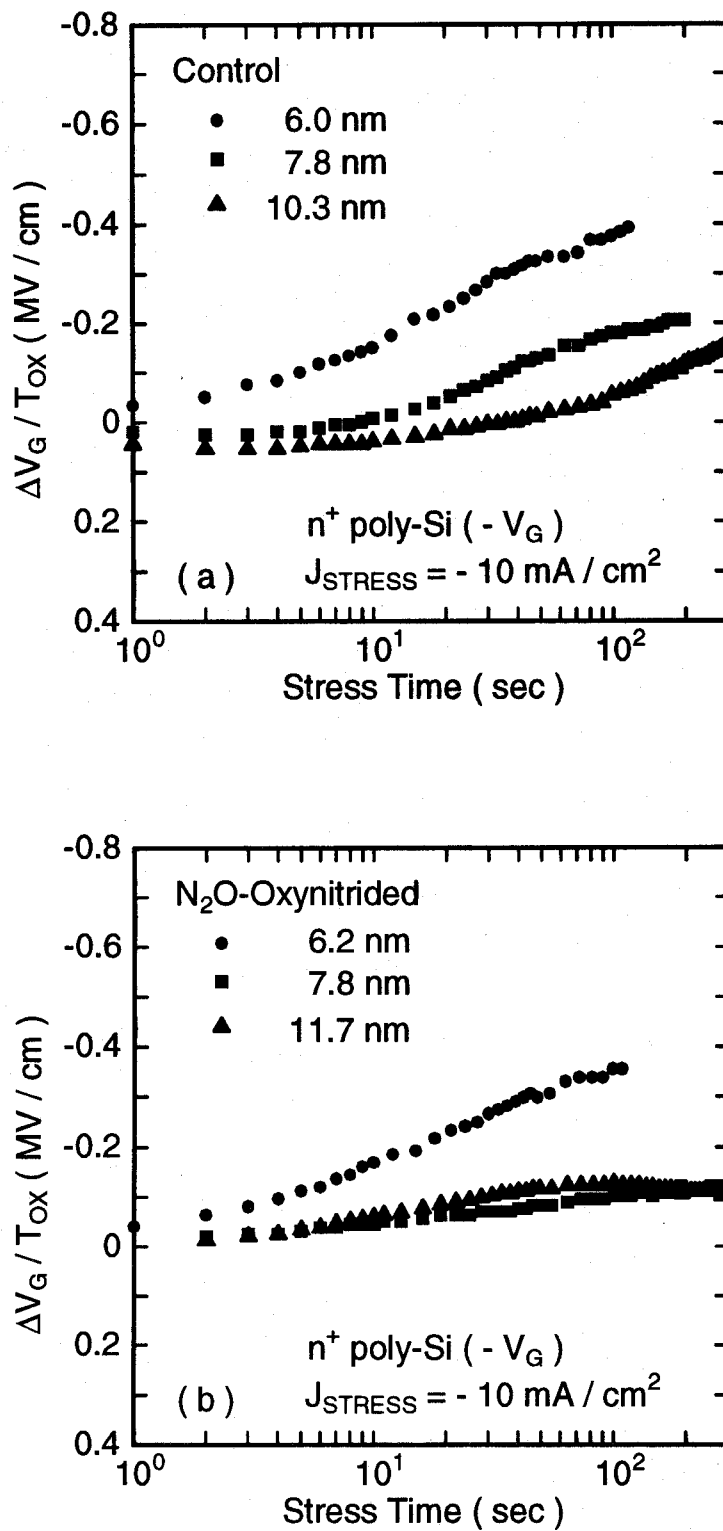


図 5.5 (a) 通常酸化膜及び(b) N_2O 酸窒化酸化膜を有する n^+ poly-Si ゲート試料のゲート注入に対する印加ゲート電界シフト $\Delta V_G / T_{OX}$ のストレス時間依存性. ストレス電流密度は, -10 mA/cm^2 である.

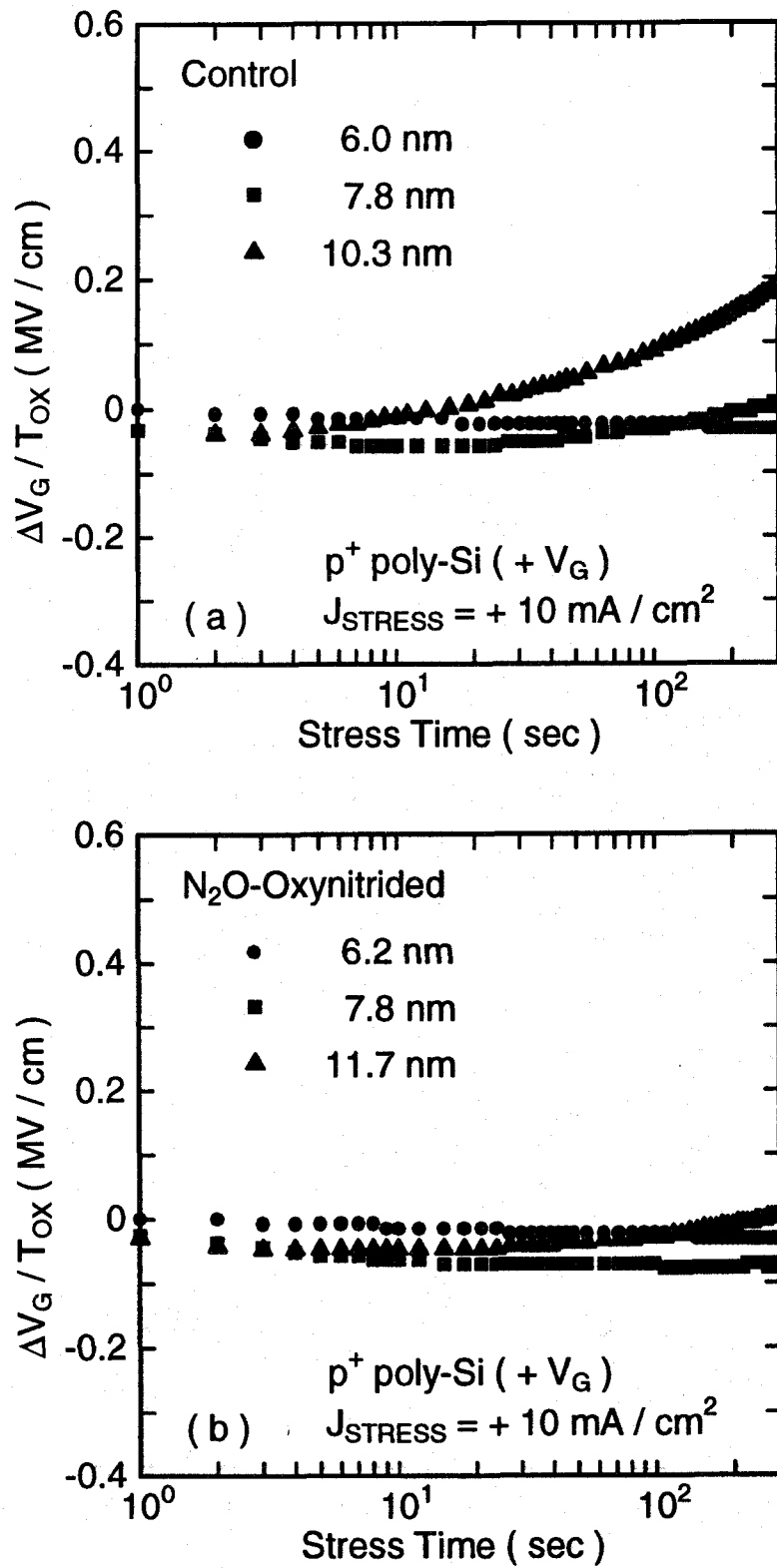


図 5.6 (a) 通常酸化膜及び(b) N_2O 酸窒化酸化膜を有する p^+ poly-Si ゲート試料の基板注入に対する印加ゲート電界シフト $\Delta V_G / T_{OX}$ のストレス時間依存性。ストレス電流密度は、 $+10 \text{ mA/cm}^2$ である。

5.5 N₂O酸窒化のキャリア捕獲特性への影響

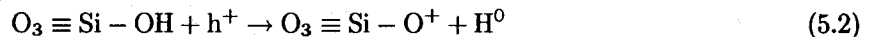
絶縁破壊特性は、主にキャリア捕獲特性と密接な関係がある。Si/SiO₂界面付近の窒素原子のキャリア捕獲特性への影響を調べるために、酸化膜に電界でのキャリア捕獲特性を電界極性を考慮して調べた。

図5.5(a), (b)に、通常酸化膜とN₂O酸窒化酸化膜のゲート注入でのキャリア捕獲特性の酸化膜厚依存性を示す。即ち、この図は、一定F-Nトンネル電流での印加酸化膜電界の相対変化である $\Delta V_G/T_{OX}$ のストレス時間依存性を示している。比較的厚い通常酸化膜($T_{OX} = 6.6, 9.1$ nm)は、初期のストレス時間では正味の正電荷が少し発生しているが、これはSi/SiO₂界面での正孔捕獲を示唆する。正孔捕獲は酸化膜厚に強く依存しており、薄い通常酸化膜では正孔捕獲速度が小さい。Lo等も、RTPで形成した熱酸化膜のゲート注入において同様の現象を報告している[7]。彼等のモデルによれば、厚い酸化膜中の電子は、捕獲される事なく、酸化膜電界により高エネルギーを得て、酸化膜中でのインパクト・イオン化による正孔生成の速度が増えるとしている。ゲート注入を継続すると、図5.5(a)に示すように、比較的厚い酸化膜において電子捕獲が顕著になる。薄い酸化膜($T_{OX} = 4.8$ nm)では、Lo等の結果[7]とは異なり、顕著な電子捕獲が見られる。ゲート酸化方法の差異がこの原因であると考えられる。Lo等はdry O₂雰囲気中でRTPを用いて形成しているのに対して、本研究では電気炉を用いてdry O₂/HCl雰囲気中で形成している。Fukuda等は、RTPで形成した10 nmの酸化膜は、絶縁破壊特性やSi/SiO₂界面特性において、通常の電気炉に比べて良好である事を示している[8]。彼等の研究によれば、この理由はRTPでは1000 °C以上の高温で酸化するため、Si/SiO₂界面の平坦度やSi-O-Siのネットワークの強度が改善されるという。この事から考えて、本研究で用いた試料では電子トラップ密度がLo等の試料よりも多いと考えられる。

一方、図5.5(b)に示されるように、通常酸化膜と比較して、N₂O酸窒化酸化膜は全て正味の正電荷の生成がほとんど見られないが、通常酸化膜と同様な正味の負電荷の発生は見られる。負のゲート電圧シフトは主に、図5.1(a)に示すような、poly-Si/SiO₂界面付近の電子トラップに関連している。これは、N₂O酸窒化がゲート注入での電子捕獲にはほとんど影響を及ぼさない事を意味する。N₂O酸窒化による正孔捕獲の抑制は、Si/SiO₂界面付近での窒素原子による正孔トラップ密度の減少のためであると考えられている。Broken Bond モデル[10]に基づく、3価シリコン($O_3 \equiv Si^*$ または $Si_3 \equiv Si^*$)が正孔捕獲の重要な役割を有すると考えられる。これは、次の反応式で表される。



しかし、第3章の結果より、正孔捕獲に関しては、次の反応の方が妥当である。



Fukuda等は、Si/SiO₂界面付近での強固なSi-N結合の形成により、3価シリコン欠陥は消滅すると述べている[9]。しかし、以上の説明は、前章で述べたN₂O酸窒化による正孔捕獲の増加とは矛盾する。この矛盾を解決するには、第3章で述べたように、ゲートから注入された電子がSi/SiO₂界面付近で中性電子トラップ(ゲート注入では電子を捕獲しにくくなっている)と水素原子を発生させている事に着目する。N₂O酸窒化酸化膜はSi/SiO₂界面付近に窒素含有領域をもつ。窒素含有層の水素種に対する拡散バリア性により、Si/SiO₂界面付近の水素原子が蓄積され、式(5.2)の逆反応により正孔の放出が起こりやすくなる。これが、N₂O酸窒化酸化膜におけるゲート注入での正孔捕獲の減少の原因であると考えられる。

図5.6(a), (b)は、それぞれ基板注入での通常酸化膜とN₂O酸窒化酸化膜のキャリア捕獲特性の酸化膜厚依存性を示す。図5.6(a)は、比較的厚い通常酸化膜($T_{OX} = 6.6, 9.1$ nm)は初期のストレス時間で小さい正味の正電荷発生を示し、ストレスの継続とともに、顕著な電子捕獲を示す。薄い通常酸化膜($T_{OX} = 4.8$ nm)は、遅い正電荷発生を示す。これらの実験結果は、厚い酸化膜に対しては、電子の高エネルギーによる正孔生成、及び電子捕獲が同時に起こっている事を示唆する。図5.6(b)は、N₂O酸窒化酸化膜の初期のストレス時間での正電荷生成は、通常酸化膜と差異がない事を示している。しかし、その後の電子捕獲は、

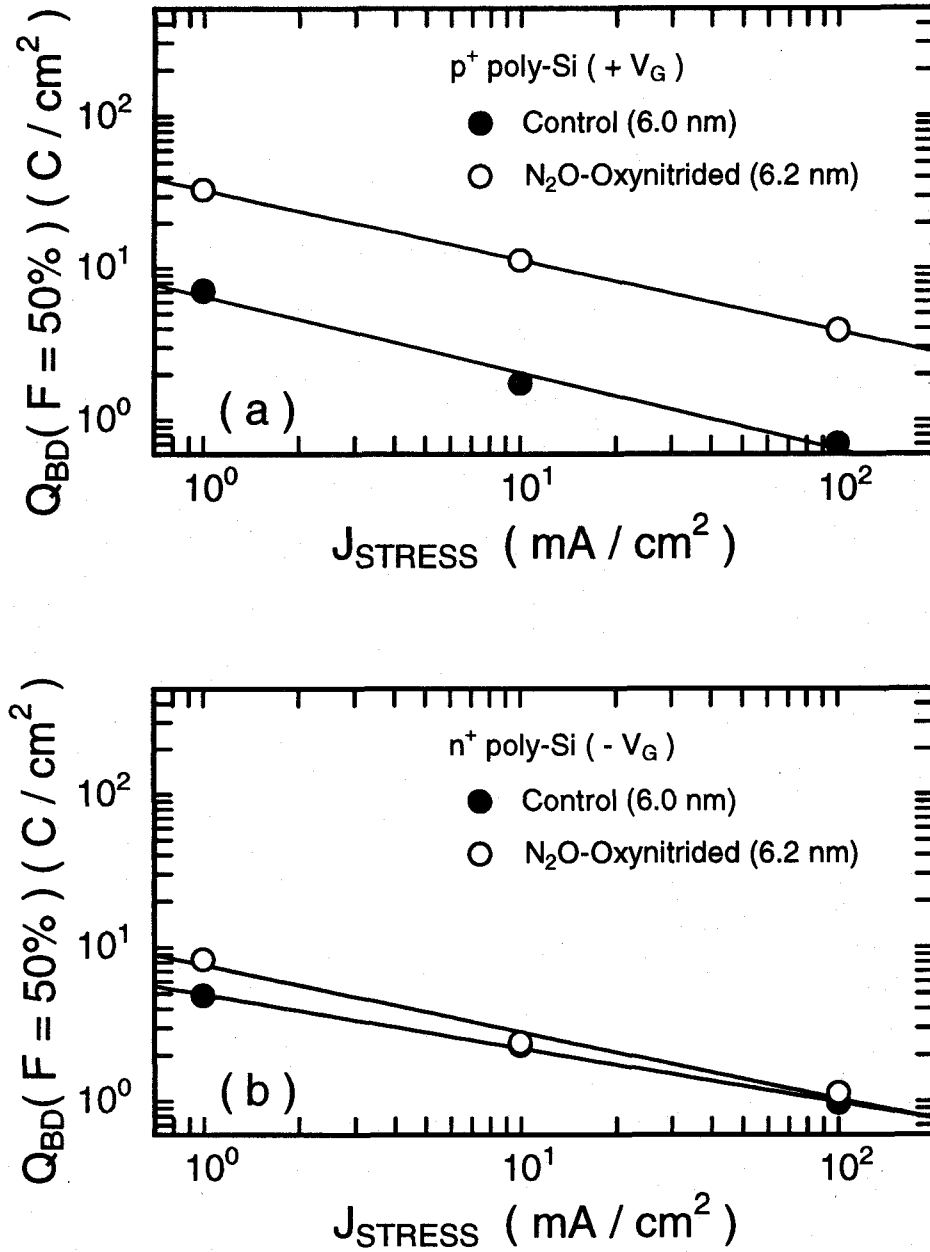


図 5.7 (a) n^+ poly-Si ゲート試料でのゲート注入と (b) p^+ poly-Si ゲート試料での基板注入に対する Q_{BD} のストレス電流密度 (J_{STRESS}) 依存性.

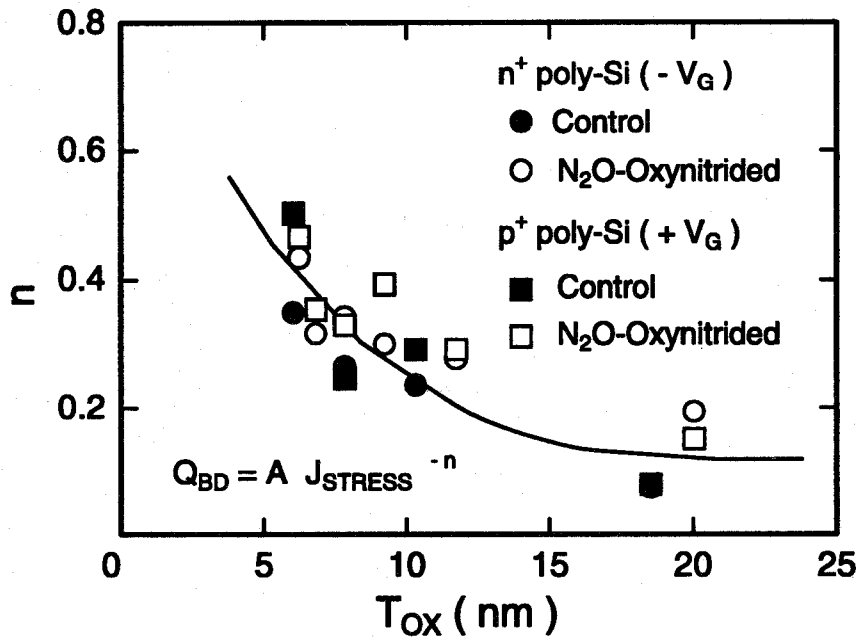
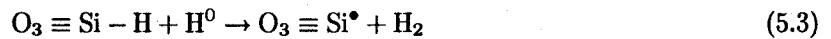


図 5.8 $Q_{BD} \propto J_{STRESS}^{-n}$ の関係式の n の酸化膜厚 (T_{OX}) 依存性.

N₂O酸化酸化膜の方が抑制されている。この現象は、ゲート注入の場合とは異なっている。Uchida等は、Si/SiO₂界面付近の捕獲正孔は中性電子トラップを生成する事を指摘している[11]。この中性電子トラップは、正孔捕獲によりSi/SiO₂界面付近の歪んだ結合が緩和する事から起こると言われている。この考えに基づくと、N₂O酸化による窒素介入は、Si/SiO₂界面の歪んだ結合を抑制するので、N₂O酸化酸化膜では中性電子トラップ生成が抑制される事になる。しかし、第3章の結論に基づくと、基板注入ストレスの場合、poly-Si/SiO₂界面側で水素原子の解離が頻繁に起こる事が考えられ、Si/SiO₂界面付近の中性電子トラップは、



により形成される事が考えられる。水素種は、poly-Si/SiO₂ 界面側からSi/SiO₂界面付近まで拡散するので、このプロセスにおいて、水素種の拡散バリアとなる窒素含有層は、中性電子トラップ生成の抑制に効果がある事が理解できる。

5.6 定電流絶縁破壊のストレス電流密度依存性

図5.7に、p⁺ poly-Siゲート試料での基板注入に対する Q_{BD} のストレス電流密度 J_{STRESS} 依存性を示す。この図より、以下の関係式が成立する事がわかる。

$$Q_{BD} \propto J_{STRESS}^{-n} \quad (5.4)$$

また、上式の n は、通常酸化膜とN₂O酸化酸化膜ではほぼ等しい事がわかる。図5.7(b)に、n⁺ poly-Siゲート試料でのゲート注入に対する Q_{BD} の J_{STRESS} 依存性を示す。通常酸化膜とN₂O酸化酸化膜とで大きな差がない事がわかる。図5.8に、 n のゲート酸化膜厚 T_{OX} 依存性を示す。 n の値は、 T_{OX} の薄膜化とともに増加する傾向がある事がわかる。これは、ゲート酸化膜中での実効的な電子走行距離(酸化膜厚とトンネル

長 l_T の差)のためである[6]。つまり、F-N注入された電子は、陽極で以下のエネルギー E_e を持つ事に起因する。

$$E_e = qE_{OX}\lambda_e \left[1 - \exp\left(-\frac{T_{OX} - l_T}{\lambda_e}\right) \right] + q\phi_{b,e} \quad (5.5)$$

ここで、 λ_e は酸化膜中での電子のエネルギー緩和距離、 E_{OX} は酸化膜電界、 $q\phi_{b,e}$ はSi/SiO₂界面の伝導帯端のエネルギー障壁である。酸化膜中の電子走行距離がエネルギー緩和距離に等しく($T_{OX} - l_T \approx \lambda_e$)なると、非定常の電子走行が顕著になり、電子エネルギーの走行距離に対する依存性が大きくなる。酸化膜電界 E_{OX} の増加は、トンネル長 l_T を短くし、電子走行距離が長くなる。この結果、酸化膜電界 E_{OX} の絶縁破壊への影響が大きくなる。 n がストレス電界極性に対する依存性が見られない事は、定電流のF-N電子注入ストレスの場合、 n^+ poly-Si ゲート試料と p^+ poly-Si ゲート試料とで注入電子の平均エネルギーが類似している事を示唆する[3]。以上の事から、 n は、図5.1(a), (b)に示すような、トンネリング現象、電子走行、インパクト・イオン化現象、正孔注入などのキャリア輸送の物理機構に直接に関連している事がわかる。

5.7 結言

本章では、N₂O酸化が絶縁破壊に及ぼす影響を述べた。ゲート注入では、初期絶縁破壊は抑制されるものの、真性絶縁破壊は改善されない。一方、基板注入に対しては、初期絶縁破壊も抑制されるが、真性絶縁破壊特性も改善される。この改善は、8nm以下の酸化膜厚に対して顕著になる。定電流ストレス・絶縁破壊特性のストレス電流密度依存性については、 $Q_{BD} \propto J_{STRESS}^{-n}$ の関係があり、この n はキャリアの挙動(トンネリング、走行、インパクト・イオン化)にのみ関係しており、酸化膜質及びストレス電界極性には依存しない事が見出された。

基板注入においては、N₂O酸化により、中性電子トラップの生成が顕著に抑制される事が観測されたが、今後この事実と絶縁耐圧向上との因果関係を見出していく必要がある。

参考文献

- [1] J. Ahn, W. Ting, and D. L. Kwong : IEEE Electron Device Lett. **EDL-13** (1992) 117. Jan. 1992.
- [2] A. B. Joshi, G. Yoon, J. Kim, G. Q. Lo, and D. -L. Kwong : IEEE Trans. Electron Devices **ED-40** (1993) 1437.
- [3] H. Yamada and T. Makino : Appl. Phys. Lett. **59** (1991) 2159.
- [4] J. M. Sung, C. Y. Lu, M. L. Chen, S. J. Hillenius, W. S. Lindenberger, L. Manchanda, T. E. Smith and S. J. Wang : International Electron Devices Meeting, p. 447, 1989.
- [5] H. Fukuda : IEICE Trans. Electron. **E76-C** (1993) 511.
- [6] M. -S. Liang and J. Y. Choi : Appl. Phys. Lett. **50** (1987) 104.
- [7] G. Q. Lo, D. L. Kwong, K. J. Abbott and D. Nazarian : J. Electrochem. Soc. **140** (1993) L16.
- [8] H. Fukuda, T. Iwabuchi and S. Ohno : Jpn. J. Appl. Phys. **27** (1988) L2164.
- [9] H. Fukuda, T. Arakawa and S. Ohno : Jpn. J. Appl. Phys. **29** (1990) L2333.
- [10] H. S. Witham and P. M. Lenahan : Appl. Phys. Lett. **51** (1987) 1007.
- [11] H. Uchida and T. Ajioka : Appl. Phys. Lett. **51** (1987) 433.

第6章

直接トンネリング・ゲート酸化窒化膜 MOSFET の特性

6.1 序

ULSIの低電源電圧化が進むとともに、低電圧動作でも高性能を維持するために、ゲート酸化膜の薄膜化の要求が強くなっている。1.5V以下の低電圧では、直接トンネル電流が流れる3nm以下のゲート酸化膜が必要とされる[1]。従って、将来の低電圧動作回路は、ゲート酸化膜リークが流れる状態で動作する事になる可能性がある。近年、このような直接トンネリング・ゲート酸化膜を有するNMOSFETが高駆動力を有する事が実験的に示された[2]。しかし、CMOS回路を実現する上で必要である直接トンネリングゲート酸化膜を有する表面チャネル型PMOSFETについては、これまで報告されていない。本研究では、このような超極薄ゲート絶縁膜の信頼性を確保するため、 N_2O 酸化プロセスを用いてゲート絶縁膜を形成し、この N_2O ゲート酸化窒化膜を有するDual Gate CMOSの特性を評価した結果を述べる。

6.2 直接トンネリング・ゲート酸化窒化膜 MOSFET

6.2.1 作製方法

本研究で用いたNMOS素子及び表面チャネル型PMOS素子(FET及びキャパシタ)は、それぞれp型及びp型のSi(100)基板上に、通常のLOCOS素子分離、自己整合poly-Siゲート技術を用いて作製した。直接トンネリング・ゲート絶縁膜を形成するために、 N_2O 酸化(900°C, 2分, $T_{ox} = 2.8\text{nm}$)を用いた。なお、膜厚が薄いので、通常の酸化を行わずに直接酸化をおこなっている。ゲート絶縁膜形成後にLPCVDで形成したpoly-Si薄膜をフォト・リソグラフィ、反応性イオン・エッチングにより加工して、ゲート電極とした。poly-Siの反応性イオン・エッチングは、酸化膜との十分な選択比が得られる条件を用いている。PMOSFETにおいて、ソース・ドレイン領域及びpoly-Siゲート電極のドーピングのために、Bイオン注入をSiイオン注入による非晶質化の後でおこなった。不純物の活性化は、 N_2 雰囲気中でRTA(Rapid Thermal Annealing)あるいは炉アニールによりおこなった。

この作製プロセス・フローは2つのキー・ポイントを持っている。1つは、直接トンネリング・ゲート絶縁膜を形成するために、 N_2O 酸化を用いた事である。膜厚が薄いので、通常の酸化を行わずに酸化をおこなっている。もう1つは、 $^{28}\text{Si}^+$ のイオン注入による非晶質化の後に、表面チャネル型PMOSFETの作製に必要な工程である、ゲート poly-Si 電極への p^+ イオン注入を $^{11}\text{B}^+$ を用いて行う事である。この2点はボロンの突き抜けを抑制する上で有効と考えられるが、これについては6.2.3で詳述する。

6.2.2 絶縁膜特性

膜厚2.8nmの N_2O 酸化膜が形成されている事を確認するため、断面TEM及びXPS測定をおこなった。その結果をそれぞれ図6.1及び図6.2に示す。図6.1の断面TEM像より、形成した N_2O 酸化膜が2.8nm程度の膜厚であり、滑らかなSi/SiO₂界面を有している事がわかる。また、図6.2のXPSスペクトルは、膜中に窒素原子が含まれている事、及びSi基板からの光電子が検出されている事より、膜厚が光電子の脱出深さ(約3nm)以下である事を示している。

図6.3(a), (b)に、それぞれn Si基板上及びp Si基板上の n^+ poly-SiゲートMOSキャパシタの $I-V$ 特性を示す。正バイアス及び負バイアスともに、2.8nm N_2O 酸化膜が直接トンネリングを示している事がわかる。この特性は、同程度の膜厚のpure酸化膜の特性[1]と類似している。

絶縁破壊における陽極・正孔注入プロセス[5]においては、ゲート酸化膜に注入された電子は、Si/SiO₂界面の正孔のエネルギー障壁 $\phi_{b,h}$ 以上のエネルギーをもつ正孔を生成できなければならない。これは、電子が少なくとも $\phi_{b,h}$ (約4.5eV)以上のエネルギーを持たなければならない事を意味する。図6.4には、2.8nm N_2O 酸化膜が50%絶縁破壊するまでのストレス時間 T_{BD} をストレス酸化膜電圧 $|V_{OX}|$ の逆数に対してプロットした結果である。この図より、 $|V_{OX}| < 4.5V$ においても絶縁破壊が起こっている事がわかる。この原因については、6.4で詳述する正孔・直接トンネリングによって、 $\phi_{b,h}$ 以下のエネルギーの正孔でもゲート酸化膜に注入され得るからと考えられる。従って、直接トンネリング・ゲート酸化膜では、正孔・直接トンネリングのため、低電圧でも絶縁破壊が問題となる。

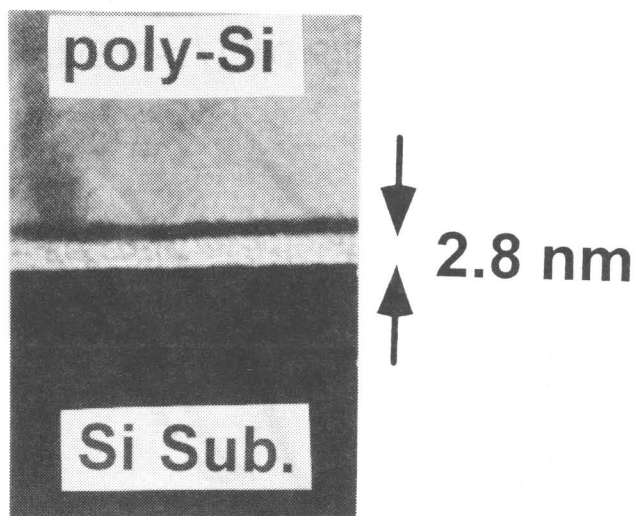
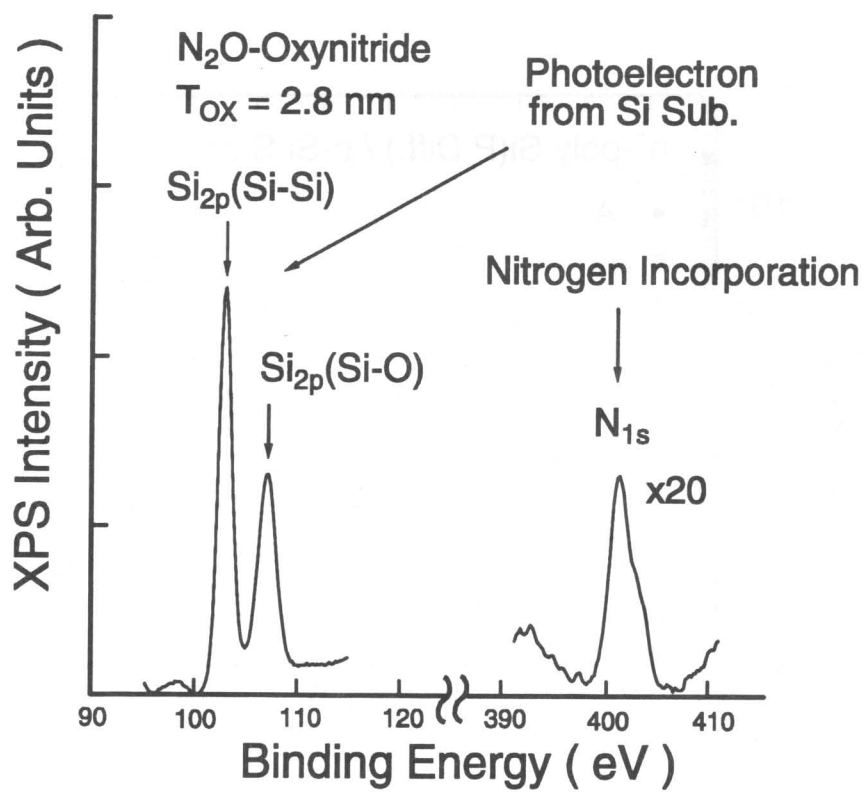
6.2.3 ボロンの突き抜け

ゲート poly-Si 電極への p^+ イオン注入の工程は、ソース・ドレイン拡散層を形成するための p^+ イオン注入と同時に多くの事が多く、その接合深さ x_j を浅くするため、通常 $^{49}BF_2^+$ が多用される。しかし、 $^{49}BF_2^+$ をゲートに注入した場合、フッ素がゲート酸化膜中に介入し、“ボロンの突き抜け”と呼ばれる現象を増大させてしまう[3]。図6.5に、p型Si基板上の p^+ poly-Siゲート電極をもつMOSキャパシタのフラットバンド電圧 V_{FB} のアニール条件依存性を示す。この図で、 V_{FB} の増大が、ボロンの突き抜けが起こっている事を示している。この図より、ボロンの突き抜けを抑制するには、

- 1) 注入イオン種に $^{11}B^+$ を用いる。
- 2) RTAを用いる。

が有効である事がわかる。ゲート酸化膜の薄膜化を考えると、1)が最も有効であると考えられる。なお、 $^{11}B^+$ を用いた場合、ソース・ドレイン拡散層の接合深さ x_j が深くなり、短チャネル効果に弱くなる。そこで、イオン注入でのボロンのチャネリング及び活性化アニールでのボロンの拡散を抑制するために、 p^+ イオン注入の前に $^{28}Si^+$ をイオン注入する事で非晶質化を行い、さらに活性化アニールにRTAを用いる事が良いと考えられる。

2.8nm N_2O 酸化膜を用いた場合のボロンの突き抜けを調べた結果を図6.6に示す。ここでは、前述の p^+ イオン注入・プロセス、即ち $^{28}Si^+$ イオン注入による非晶質化の後に $^{11}B^+$ をイオン注入する方法を用いている。図6.6(a)は、n型Si基板上の p^+ poly-SiゲートMOSキャパシタの $I-V$ 特性のアニール条件依存性を示している。これより、900°C、10分の炉アニールでは、低電圧でも電流が流れており、ボロンの突き抜けによる V_{FB} の低下が起こっている事がわかる。図6.6(b)には、表面チャネル型PMOSFETの I_D-V_G 特性のアニール条件依存性を示している。この図では、900°C、10分の炉アニールで、ボロンの突き抜けによるパンチ・スルー現象が顕著に見られている。この2つの結果は、直接トンネリングを示すような超極薄膜酸化膜では、フッ素が介在しなくてもボロンの突き抜けが起こり、 N_2O 酸化により窒素原子を膜中に導入しても、完全には抑制できない事を意味している。従って、表面チャネル型PMOSFETにおいて、

図 6.1 2.8nm N_2O 酸窒化膜の断面 TEM 写真図 6.2 2.8nm N_2O 酸窒化膜の XPS スペクトル

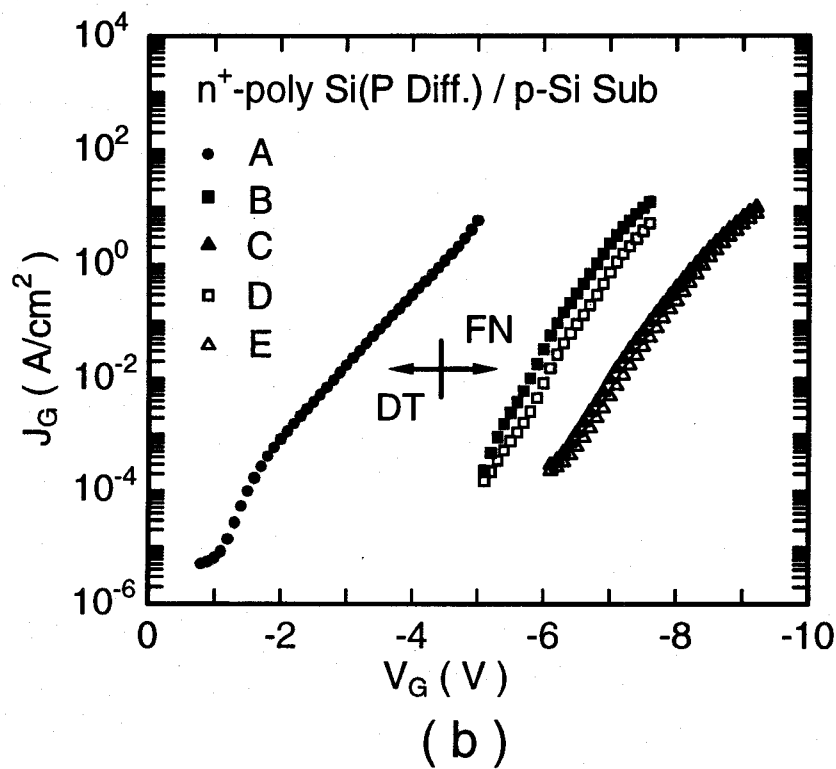
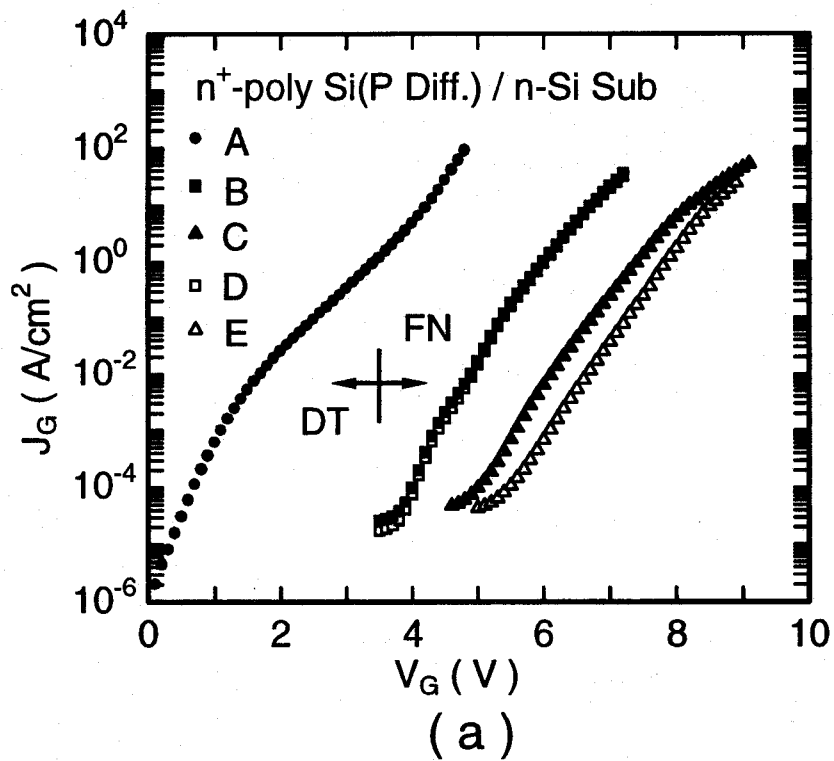
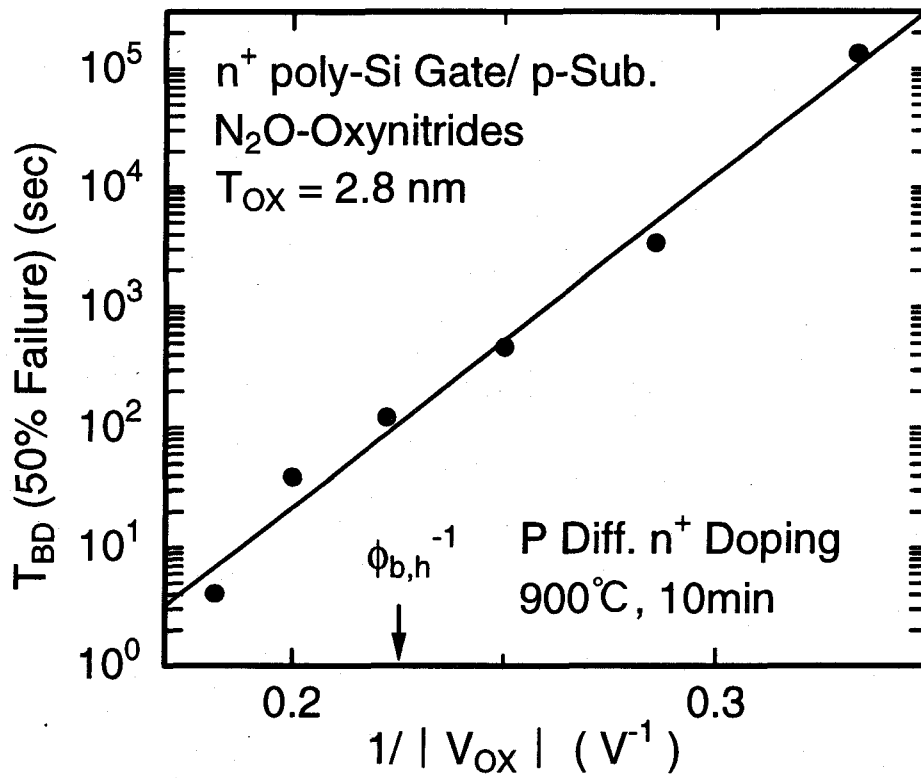
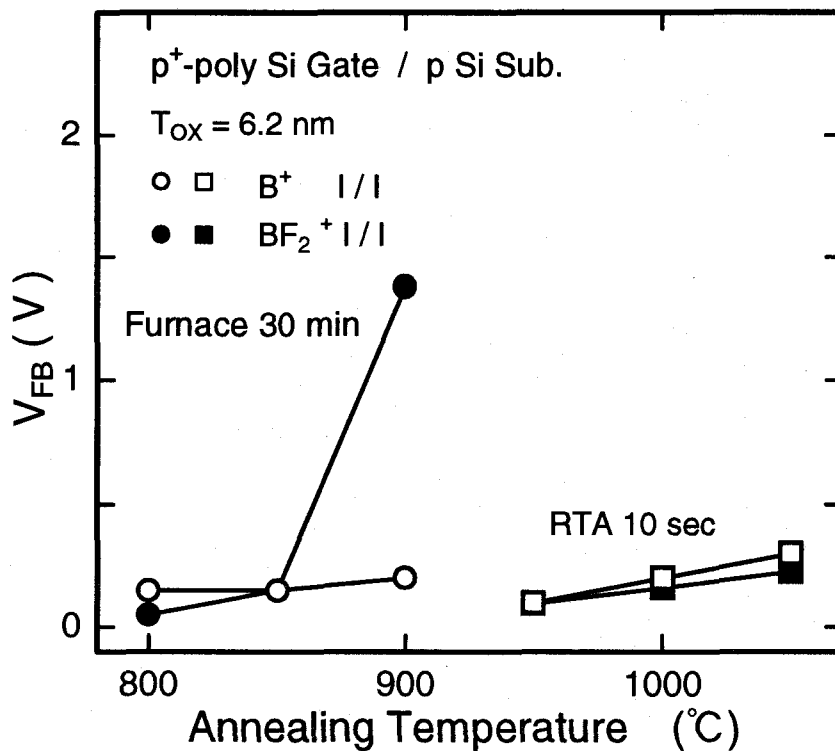


図 6.3 (a) n Si 基板上及び(b) p Si 基板上の n^+ poly-Si ゲート MOS キャパシタの $I-V$ 特性. A, B, C, D, E, F はそれぞれ, N_2O 酸化膜 (膜厚 2.8nm), N_2O 酸化酸化膜 (膜厚 4.7nm 及び 6.2nm), 通常酸化膜 (膜厚 4.7nm 及び 6.2nm) である.

図 6.4 2.8nm N_2O 酸化膜の定電圧絶縁破壊特性.図 6.5 ボロンの突き抜けによるフラット・バンド電圧 V_{FB} のアニール温度依存性

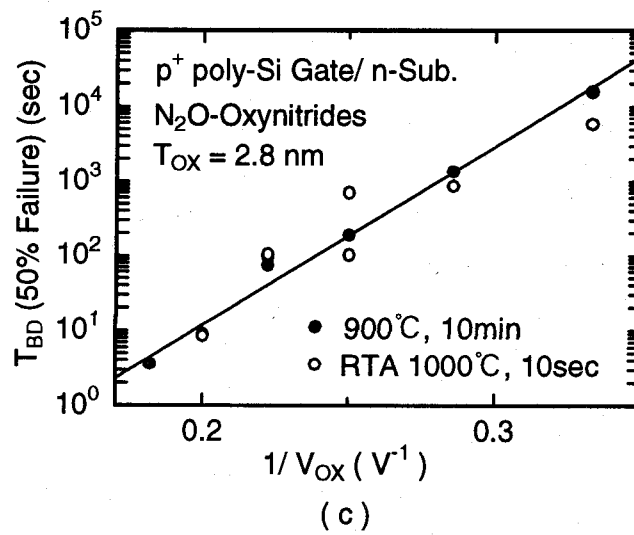
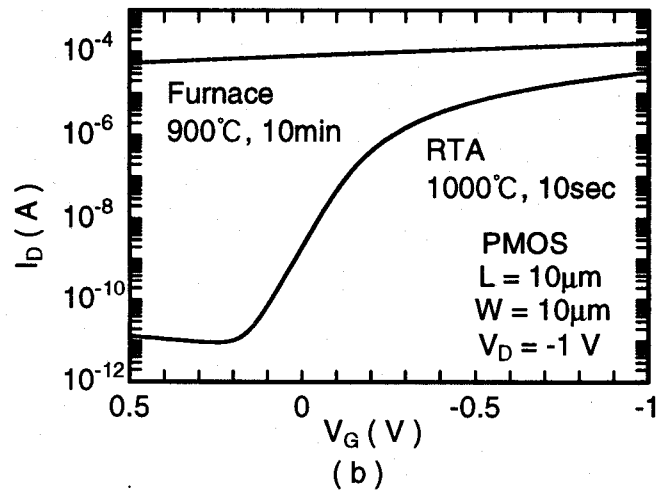
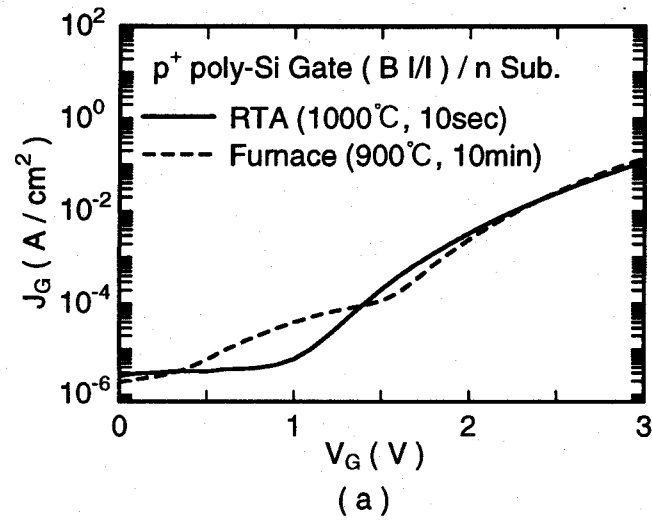


図 6.6 ボロンの突き抜けによる (a) MOS キャパシタの I - V 特性, (b) 表面チャネル型 PMOSFET の I_D - V_G 特性, 及び (c) 定電圧 TDDB 特性の変化.

表 6.1 2.8nm N_2O ゲート酸化膜 MOSFET ($L = 0.5\mu m$) の基本素子特性. 素子作製には, ボロンの突き抜けを抑制した Dual Gate CMOS プロセスを用いている.

NMOS		PMOS	
$g_{m,max}$ ($V_D = 0.1V$)	99.3mS/mm	$g_{m,max}$ ($V_D = -0.1V$)	27.3mS/mm
$G_{m,max}$ ($V_D = 1.0V$)	453.1mS/mm	$G_{m,max}$ ($V_D = -1.0V$)	160.7mS/mm
S ($V_D = 0.1V$)	69.6mV/dec	S ($V_D = -0.1V$)	71.7mV/dec
S ($V_D = 1.0V$)	70.2mV/dec	S ($V_D = -1.0V$)	74.7mV/dec

このような超極薄膜ゲート酸化膜を用いる場合, ボロンの突き抜けの抑制は非常に重要であり, このため, 活性化アニールには RTA が有効である.

ボロンの突き抜けが起こった場合, 絶縁破壊特性も変化する可能性がある [6]. 図 6.6(c) には, n 型 Si 基板上の p^+ poly-Si ゲート MOS キャパシタの経時絶縁破壊特性を示す. この図では, ボロンの突き抜けによる顕著な絶縁破壊特性の劣化は見られない. この原因は, 本研究で用いた素子作製プロセスでは, フッ素がゲート酸化膜に介入しないからであると考えられる. 従って, 表面チャネル型 PMOSFET において, 超極薄膜ゲート酸化膜を用いる場合, フッ素を用いずに poly-Si を p^+ ドーピングする事が重要であると考えられる.

6.2.4 基本素子特性

図 6.7, 6.8 及び表 6.1 に, 2.8nm ゲート N_2O 酸化膜の NMOSFET 及び PMOSFET の特性を示す. これらの素子は, ボロンの突き抜けの無いプロセスを用いて作製している. これらの素子は, 高駆動力と良好なサブスレッショルド特性を併せ持っている. この結果より, 低電圧駆動の Dual Gate CMOS 素子において, 直接トンネリング・ゲート酸化膜が高い有効性を持つ事がわかる.

6.3 直接トンネリング・ゲート酸化膜 MOSFET のホットキャリア効果

$0.1\mu m$ ゲートの NMOSFET においては, 1V 以下でもインパクト・イオン化が起こる事が確認されている [7]. 本研究で, $T_{OX} = 2.8nm$ の NMOSFET では, $L = 0.5\mu m$ でも $V_D = 1V$ でインパクト・イオン化を確認できる事を実証した. この結果を図 6.9 に示す. この図から, $V_D = 1V$ でも, $I_{SUB} - V_G$ 特性が通常の上に凸の曲線を示す事がわかる. この事は, $T_{OX} = 2.8nm$ の NMOSFET では, $L = 0.5\mu m$ でも $V_D = 1V$ でインパクト・イオン化が起こる事を明確に示している. これは, 高酸化膜電界によりドレイン端近傍のチャネル電界も高くなる事が要因の 1 つである. この現象は, 1V 以下でさえ NMOSFET のホット・キャリア効果は重要である事を意味している. 一方, 図 6.10 に示すように, PMOSFET では, 1V 以下ではインパクト・イオン化は確認できなかった. これは, 正孔の移動度が低い為である.

6.4 直接トンネリング・ゲート酸化膜 MOSFET のゲート・リーク

直接トンネリング・ゲート酸化膜 NMOSFET では, 顕著なゲート・リークが見られる事は報告されている [2]. しかし, このようなゲート酸化膜を有する表面チャネル型 PMOSFET については, まだ実験結果がない. 本研究で用いた表面チャネル型 PMOSFET のゲート・リークを調べた結果を図 6.11 に示す. こ

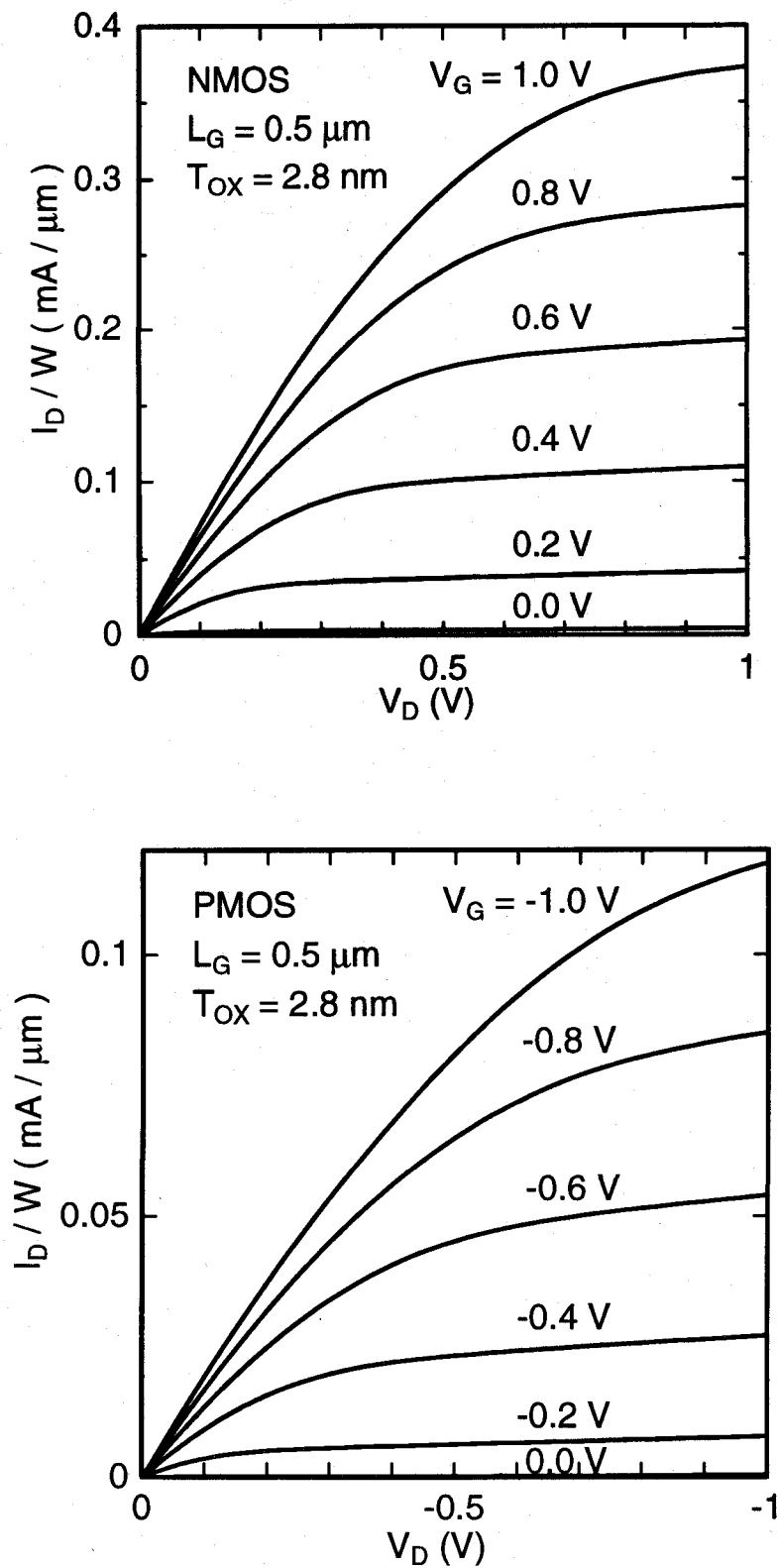


図 6.7 2.8nm N_2O ゲート酸化膜 MOSFET ($L = 0.5 \mu\text{m}$) の $I_D - V_D$ 特性. 素子は, ボロンの突き抜けを抑制した Dual Gate CMOS プロセスを用いている.

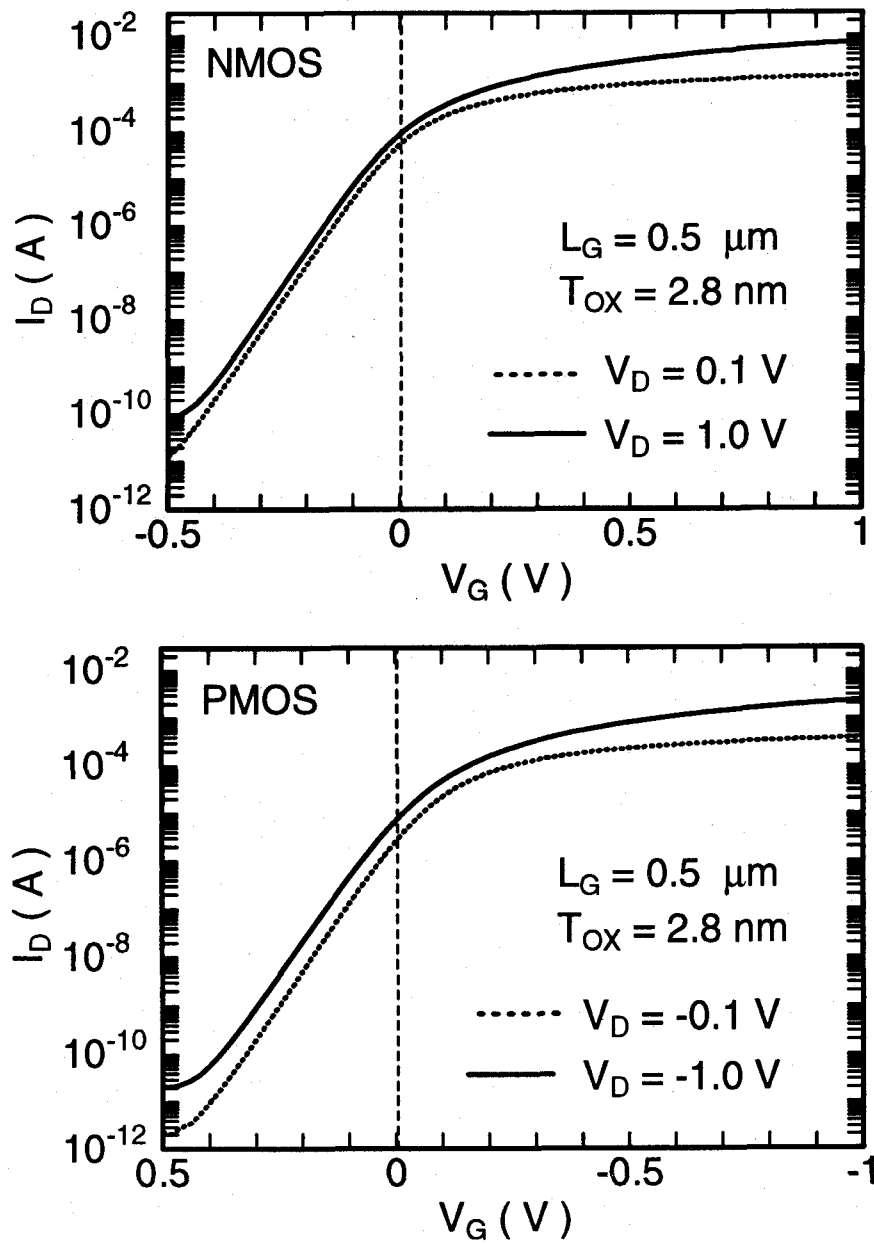


図 6.8 2.8nm N_2O ゲート酸化膜MOSFET ($L = 0.5\mu\text{m}$) の $I_D - V_G$ 特性. 素子作製には, ボロンの突き抜けを抑制した Dual Gate CMOS プロセスを用いている.

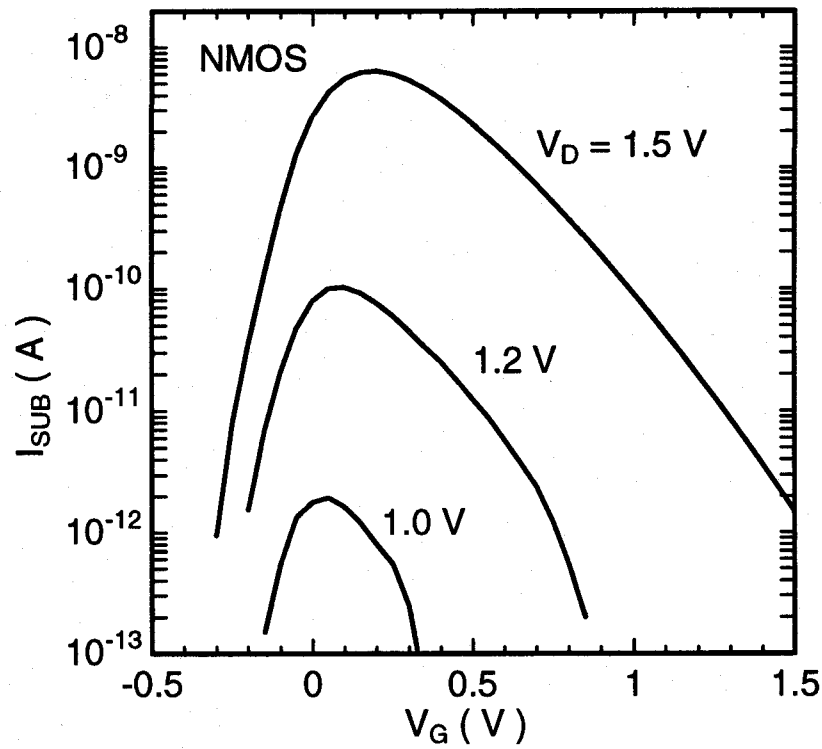


図 6.9 2.8nm ゲート酸化膜NMOSFET ($L = 0.5\mu\text{m}$, $W = 20\mu\text{m}$) の $I_{\text{SUB}} - V_{\text{G}}$ 特性.

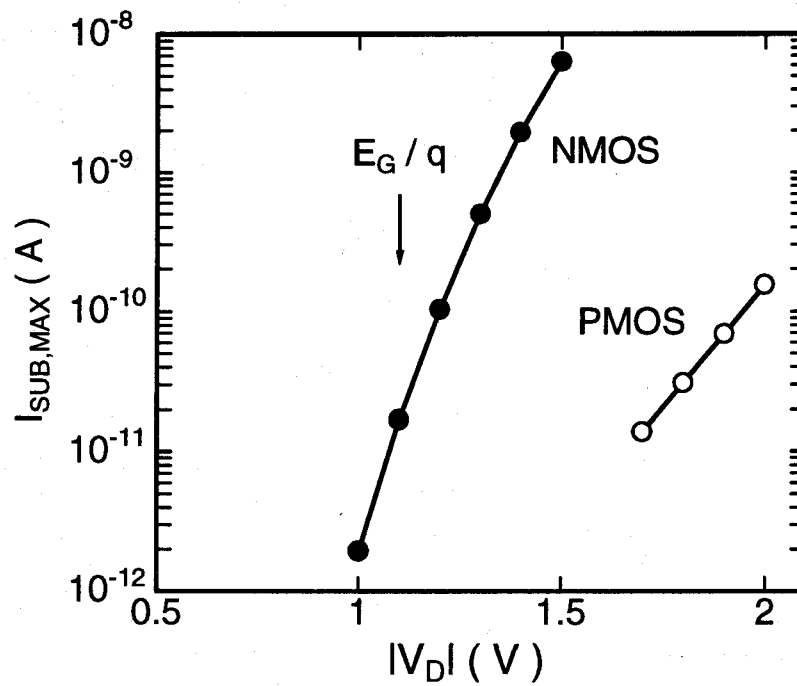


図 6.10 2.8nm ゲート酸化膜MOSFET ($L = 0.5\mu\text{m}$, $W = 20\mu\text{m}$) の最大基板電流 $I_{\text{SUB,MAX}}$ の V_{D} 依存性.

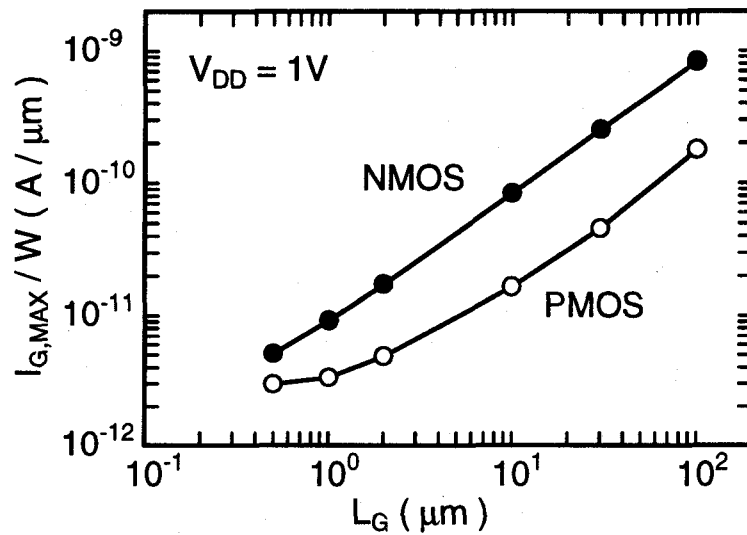


図 6.11 1V動作における2.8nm N_2O 酸化膜MOSFETの最大ゲート・リークのゲート長 L_G 依存性.

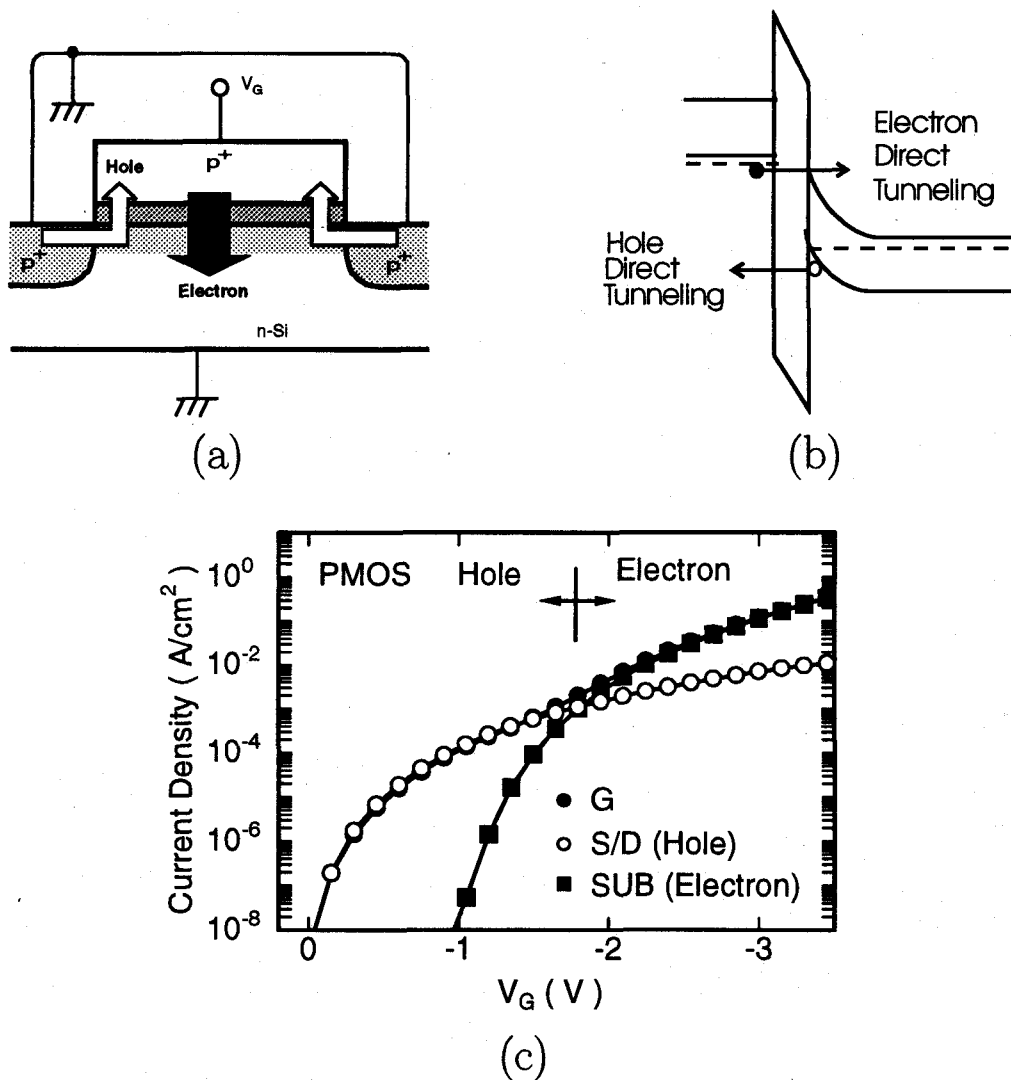


図 6.12 表面チャネル型PMOSFET($L = 100\mu m$, $W = 100\mu m$)のゲート・リーク電流のキャリア分離の(a)測定方法, (b) それに対するエネルギー・バンド図, 及び(c) 測定結果.

の図より、表面チャネル型 PMOSFET は NMOSFET に比べてゲート・リークが少ない事がわかる。なお、ゲート・リークの最大値は、 $|V_G| = 1V$, $|V_D| = 0V$ で起こる。

表面チャネル型 PMOSFET でのゲート・リークの解析の為に、図 6.12 (a) に示すようなキャリア分離の実験を行った。実験結果を図 6.12(b) に示す。この図より、表面チャネル型 PMOSFET においては、酸化膜に印加される電圧 ($|V_G|$) が $1V$ 以下では、正孔の直接トンネル電流が支配的である事がわかる。しかし、酸化膜に $1V$ 以上印加されると、電子の直接トンネル電流が現れる。この現象は、図 6.12(c) に示されるようなフェルミ準位の位置により説明できる。ゲート電圧が $1V$ 以下の場合、 p^+ poly-Si ゲート電極の価電子の直接トンネリングは禁止される。これは、 p^+ poly-Si ゲート電極のフェルミ準位が Si 基板のバンド・ギャップの間に対応する為である。ゲート電圧が $1V$ を越えるようになると、 p^+ poly-Si ゲート電極のフェルミ準位は、Si 基板の伝導帯に対応するようになる為、価電子の直接トンネリングが起こる。

この解析結果は、表面チャネル型 PMOSFET においては、 $1V$ 以下のゲート電圧では正孔の直接トンネルがゲート・リークの大部分を占める事を明確に示している。この事は、図 6.11 に示した表面チャネル型 PMOSFET でゲート・リークが NMOSFET よりも少ない原因は、正孔に対する Si/SiO₂ 界面のエネルギー障壁が電子よりも大きい為であるという考えを実証している。なお、6.2.2 で述べたように、この正孔・直接トンネリングが低電圧での絶縁破壊に関与している可能性がある。

将来、低電圧駆動 CMOS 回路において、直接トンネリング酸化膜が用いられるようになると、ゲート・リークを最小限にする必要がある。図 6.11 に示したように、同一ゲート面積では、表面チャネル型 PMOSFET の方が NMOSFET に比べて、ゲート・リークが少ない為、駆動力向上の為にゲート幅の広い PMOSFET を用いても、急激にゲート・リークが増大する事はないと考えられる。

6.5 結言

$2.8nm$ N₂O 酸化膜をゲート絶縁膜に用いる事により、高駆動力と良好なサブスレッショルド特性を有する Dual Gate CMOS を実現できる事を示した。表面チャネル型 PMOSFET の形成に必要な poly-Si ゲート電極への p^+ イオン注入において、 $^{49}BF_2^+$ でなく、 $^{11}B^+$ を用いる事により、ボロンの突き抜けによる絶縁耐圧の劣化が抑制できる。 $2.8nm$ N₂O 酸化膜に対しては、 $^{11}B^+$ を用いた場合でも炉アニールによりボロンの突き抜けは顕著に起こる為、不純物活性化には RTA が有効である。

ホットキャリア効果に関しては、 $2.8nm$ N₂O 酸化膜 NMOSFET は、ゲート長 $0.5\mu m$ でも $1V$ 以下のドレイン電圧に対して基板電流が観測され、インパクト・イオン化が起こっている事がわかった。表面チャネル型 PMOSFET については、ゲート・リークが NMOSFET よりも少ないが、これはエネルギー障壁の大きい正孔・直接トンネリングによるものであるためである。正孔・直接トンネリングは、低電圧での絶縁破壊の要因の 1 つと考えられる。

参考文献

- [1] K. F. Schuegraf, C. C. King and C. Hu : Symposium on VLSI Technology, p. 18, 1992.
- [2] H. S. Momose, M. Ono, T. Yoshitomi, T. Ohguro, S. Nakamura, M. Saito and H. Iwai, International Electron Devices Meeting, p. 593, 1994.
- [3] J. M. Sung, C. Y. Lu, M. L. Chen, S. J. Hillenius, W. S. Lindenberger, L. Manchanda, T. E. Smith and S. J. Wang : International Electron Devices Meeting, p. 447, 1989.
- [4] G. Q. Lo, W. Ting, J. Ahn and D. L. Kwong : Symposium on VLSI Technology, p. 43, 1991.
- [5] K. F. Schuegraf and C. Hu : Symposium on VLSI Technology, p. 44, 1993.

- [6] K. Uwasawa, T. Mogami, T. Kunio and M. Fukuma : International Electron Devices Meeting, p. 895, 1993.
- [7] T. Mizuno, A. Toriumi, M. Iwase, M. Takahashi, H. Niiyama, M. Fukumoto and M. Yoshimi : International Electron Devices Meeting, p. 695, 1992.

第7章

結論

極薄ゲート酸化膜を有する MOSFET におけるホットキャリア効果に関して、主に実験的に調べた結果、以下の結論を得た。

(1) キャリア速度飽和に関する研究

- (1.1) 速度飽和領域長 L_{SAT} は、ゲート酸化膜の薄膜化とともに短くなる傾向を確認した。
- (1.2) NMOSFET と比べて、表面チャネル型 PMOSFET の L_{SAT} はゲート酸化膜厚 T_{OX} に対する依存性が小さい事がわかった。これは、電子よりも、正孔の速度飽和電界が高いからである。
- (1.3) 擬2次元モデルは、形状因子 α を導入する事により、実験結果との良い対応が得られる事を示した。
- (1.4) 速度飽和電界 E_{SAT} は、ソース端での MOS 界面に垂直な方向の実効電界 E_{EFF} とユニバーサルな関係をもつ事を示した。これは、実効移動度 μ_{EFF} の E_{EFF} に対するユニバーサルな関係のためである。

(2) F-N 電子注入ストレスによる MOS 界面の劣化に関する研究

- (2.1) F-N 電子注入ストレスでは、正孔やホット・エレクトロンによる水素原子の発生が、界面準位や中性電子トラップの生成を引き起こす事を見出した。特に、正バイアス F-N 注入では、反転層から電子が注入されるため、顕著な電子捕獲が見られる。
- (2.2) 捕獲正孔の放出は界面準位の消滅と対応しており、両者が水素原子の挙動に関連している事が伺えた。中性電子トラップへの電子の捕獲・放出については、界面準位への影響は観測されず、この過程は水素原子の挙動とは独立である事が示唆される。
- (2.3) F-N 電子注入ストレスによる生成界面準位と電子移動度の劣化との相関を解析し、同一 E_{EFF} または N_{inv} において $\Delta(1/\mu_{EFF})$ が生成界面準位密度 ΔN_{it} に比例する事を確認した。捕獲電荷の移動度劣化への影響については小さく、これは捕獲電荷が Si/SiO₂ 界面より離れた位置にあるためである。移動度劣化の理論計算より、移動度の劣化は、生成界面準位が帯電した時のクーロン相互作用に起因する事がわかった。

(3) N₂O 酸窒化のホットキャリア劣化への影響に関する研究

- (3.1) N₂O 酸窒化により、Si/SiO₂ 界面でのエネルギー障壁は、電子に対しては増加し、正孔に対しては減少する。これは、N₂O 酸窒化により Si/SiO₂ 界面付近に導入された窒素原子が負電荷を形成する事で説明できる。

- (3.2) 2ステップ界面準位生成モデルに基づいて、捕獲電荷密度と生成界面準位密度の関係を調べる事により、窒素含有層が水素種の拡散バリアとなり、この効果が界面準位や中性電子トラップの生成を抑制している事が見出された。
 - (3.3) 正孔捕獲に関しては、 N_2O 酸窒化により増加する事がわかった。この原因としては、 Si/SiO_2 界面付近への窒素原子の導入による界面歪みの変化や窒素原子に起因する正孔トラップの形成が考えられる。
- (4) N_2O 酸窒化の絶縁破壊への影響に関する研究
- (4.1) 本章では、 N_2O 酸窒化が絶縁破壊に及ぼす影響を述べた。ゲート電極からのF-N電子注入ストレスでは、初期絶縁破壊は抑制されるものの、真性絶縁破壊は改善されない。一方、基板からのF-N電子注入ストレスに対しては、初期絶縁破壊も抑制されるが、真性絶縁破壊特性も改善される。この改善は、8nm以下の酸化膜厚に対して顕著になる。
 - (4.2) 定電流ストレス・絶縁破壊特性のストレス電流密度依存性については、 $Q_{\text{BD}} \propto J_{\text{STRESS}}^{-n}$ の関係があり、この n はキャリアの挙動(トンネリング, 走行, インパクト・イオン化)にのみ関係しており、酸化膜質及びストレス電界極性には依存しない事が見出された。
 - (4.3) 基板からのF-N電子注入ストレスにおいては、 N_2O 酸窒化により、中性電子トラップの生成が顕著に抑制される事が観測された。これは、窒素含有層が水素種の拡散バリアとなっているからであると考えられる。
- (5) 直接トンネリング・ N_2O ゲート酸窒化膜を有する MOSFET に関する研究
- (5.1) 2.8nm N_2O 酸窒化膜をゲート絶縁膜に用いる事により、高駆動力と良好なサブスレッショルド特性を有する Dual Gate CMOS を実現できる事を示した。
 - (5.2) 2.8nm N_2O 酸窒化膜 NMOSFET は、ゲート長 $0.5\mu\text{m}$ でも 1V 以下のドレイン電圧に対して基板電流が観測され、インパクト・イオン化が起こっている事がわかった。
 - (5.3) 表面チャネル型 PMOSFET のゲート・リークが NMOSFET よりも少ない事を観測した。これはエネルギー障壁の大きい正孔・直接トンネリングによるものであるからである。

研究業績

1. 論文

- (1) E. Kobayashi, C. Hamaguchi, T. Matsuoka and K. Taniguchi: "Monte Carlo Study of Hot-Electron Transport in an InGaAs / InAlAs Single Heterostructure", IEEE Trans. Electron Devices ED-36 (1989) 2353.
- (2) E. Kobayashi, T. Matsuoka, K. Taniguchi and C. Hamaguchi: "Monte Carlo Simulation of Hot Electrons in InAlAs / InGaAs Heterojunctions", Solid-State Electron. 32 (1989) 1845.
- (3) T. Matsuoka, E. Kobayashi, K. Taniguchi, C. Hamaguchi and S. Sasa: "Temperature Dependence of Electron Mobility in InGaAs / InAlAs Heterostructures", Jap. J. Appl. Phys. 29 (1990) 2017.
- (4) C. Hamaguchi, T. Matsuoka and K. Taniguchi: "Optical Properties of Short Period Superlattices", NATO Advanced Study Institute Services: Granular Nanoelectronics, (1991, Plenum Press, New York) p.463.
- (5) 松岡俊匡 谷口研二 浜口智尋: "フォトリフレクタンス法による半導体超格子の評価", 光学 第20巻 (1991) 26
- (6) T. Matsuoka, T. Nakazawa, T. Ohya, K. Taniguchi, C. Hamaguchi, H. Kato and Y. Watanabe: "Zone-folding Effect in Short-period (GaAs)_n / (AlAs)_n Superlattices with n in the Range 3-15", Phys. Rev. B43 (1991) 11798.
- (7) C. Hamaguchi, T. Nakazawa, T. Matsuoka, T. Ohya, K. Taniguchi, H. Fujimoto, K. Imanishi, H. Kato and Y. Watanabe: "Photoreflectance and Photoluminescence Study of Short Period (GaAs)_n / (AlAs)_n Superlattices with $n = 1-15$ ", Superlatt. Microstruct. 9 (1991) 449.
- (8) T. Matsuoka, T. Nakazawa, T. Ohya, T. Miyatake, M. Yamaguchi, H. Kato and Y. Watanabe: "Weakly Allowed Optical Transition due to the Zone-folding Effect in (GaAs)_n / (AlAs)_n Superlattices", Surf. Sci. 267 (1992) 470.
- (9) T. Matsuoka, S. Taguchi, Q. D. M. Khosru, K. Taniguchi and C. Hamaguchi: "Degradation of Inversion Layer Electron Mobility due to Interface Traps in Metal-Oxide-Semiconductors", J. Appl. Phys. 78 (1995) 3252.
- (10) T. Matsuoka, S. Taguchi, K. Taniguchi, C. Hamaguchi, S. Kakimoto and J. Takagi: "Thickness Dependence of Furnace N₂O-Oxynitridation Effects on Breakdown of Thermal Oxides", IEICE Trans. Electron. E76-C (1995) 248.
- (11) T. Matsuoka, S. Taguchi, H. Ohtsuka, K. Taniguchi, C. Hamaguchi, S. Kakimoto and K. Uda: "Hot-Carrier-Induced Degradation of N₂O-Oxynitrided Gate Oxide NMOSFETs," submitted for publication in the IEEE Trans. Electron. Device.
- (12) T. Matsuoka, S. Taguchi, K. Taniguchi, C. Hamaguchi, S. Kakimoto and K. Uda: "Influence of N₂O-Oxynitridation on Interface Trap Generation in Surface-Channel PMOSFETs", submitted for publication in the Jpn. J. Appl. Phys.

- (13) H. Kotaki, M. Nakano, S. Hayashida, T. Matsuoka, S. Kakimoto, A. Nakano, K. Uda and Y. Sato, "Novel Low Leakage and Low Resistance Titanium Salicide Technology with Recoil Nitrogen Achieved by Silicidation after Ion Implantation through Contamination-Restrained Oxygen Free LPCVD-Nitride Layer (SICRON)", submitted for publication in the Jpn. J. Appl. Phys.

2. 国際会議

- (1) E. Kobayashi, T. Matsuoka, K. Taniguchi and C. Hamaguchi: "Monte Carlo Simulation of Hot Electrons in InAlAs / InGaAs Heterojunctions", 6th Hot Carriers in Semicond., Scottsdale, Jul. 23-28, Arizona.
- (2) T. Nakazawa, T. Matsuoka, T. Ohya, K. Taniguchi, C. Hamaguchi, H. Kato and Y. Watanabe: "Temperature Dependence of Energy Gap of $(\text{GaAs})_n / (\text{AlAs})_n$ Superlattices", SPIE International Conference on Modulation Spectroscopy, Mar. 19-21, 1990, San Diego, California, p. 244.
- (3) C. Hamaguchi, T. Nakazawa, T. Matsuoka, T. Ohya, K. Taniguchi, H. Fujimoto, K. Imanishi, H. Kato and Y. Watanabe: "Direct and Indirect Transitions in $(\text{GaAs})_n / (\text{AlAs})_n$ Superlattices with $n = 1-15$ ", SPIE International Conference on Modulation Spectroscopy, Mar. 19-21, 1990, San Diego, California, p. 280.
- (4) C. Hamaguchi, T. Matsuoka and K. Taniguchi: "Optical Properties of Short Period Superlattices", NATO Advanced Study Institute: Granular Nanoelectronics, Jul. 23 - Aug. 4, 1990, Ciocco, Italy.
- (5) C. Hamaguchi, T. Nakazawa, T. Matsuoka, T. Ohya, K. Taniguchi, H. Fujimoto, K. Imanishi, H. Kato and Y. Watanabe: "Zone-Folding Effect in Short Period $(\text{GaAs})_n / (\text{AlAs})_n$ Superlattices with $n = 1-15$ ", 20th International Conference on the Physics of Semiconductors, Aug. 6-10, 1990, Thessaloniki, Greece, p. 1033.
- (6) C. Hamaguchi, T. Nakazawa, T. Matsuoka, T. Ohya, K. Taniguchi, H. Fujimoto, K. Imanishi, H. Kato and Y. Watanabe: "Photoreflectance and Photoluminescence Study of Short Period $(\text{GaAs})_n / (\text{AlAs})_n$ Superlattices with $n=1-15$ ", 5th International Conference on Superlattices and Microstructures, Aug. 13-16, 1990, East Berlin, GDR.
- (7) T. Matsuoka, T. Nakazawa, T. Ohya, T. Miyatake, M. Yamaguchi, K. Taniguchi, C. Hamaguchi, H. Kato and Y. Watanabe: "Weakly Allowed Optical Transition due to Zone-Folding Effect in $(\text{GaAs})_n / (\text{AlAs})_n$ Superlattices", 5th International Conference on Modulated Semiconductor Structures, Jul. 8-12, 1991, Nara, Japan.
- (8) T. Matsuoka, S. Taguchi, K. Taniguchi, C. Hamaguchi, S. Kakimoto and K. Uda: "Influence of N_2O -Oxynitridation on Interface Trap Generation in Surface-Channel PMOSFETs", 1995 Solid State Devices and Materials, Aug. 21-24, 1995, Osaka, p. 884.
- (9) H. Kotaki, M. Nakano, S. Hayashida, T. Matsuoka, S. Kakimoto, A. Nakano, K. Uda and Y. Sato, "Novel Low Leakage and Low Resistance Titanium Salicide Technology with Recoil Nitrogen Achieved by Silicidation after Ion Implantation through Contamination-Restrained Oxygen Free LPCVD-Nitride Layer (SICRON)", 1995 Solid State Devices and Materials, Aug. 21-24, 1995, Osaka, p. 85.

- (10) T. Matsuoka, S. Kakimoto, M. Nakano, H. Kotaki, S. Hayashida, K. Sugimoto, K. Adachi, S. Morishita, K. Uda, Y. Sato, M. Yamanaka, T. Ogura and J. Takagi: "Direct Tunneling N_2O Gate Oxynitrides for Low-Voltage Operation of Dual Gate CMOSFETs", 1995 International Electron Device Meeting, Dec. 10-13, 1995, Washington D. C. , to be presented.
- (11) H. Kotaki, M. Nakano, S. Hayashida, T. Matsuoka, S. Kakimoto, A. Nakano, K. Uda and Y. Sato, "Novel Contamination Restrained Silicidation Processing Using Load-Lock LPCVD-Films and Lightly Doped Deep Drain (LD^3) Structure for Deep Submicron Dual Gate CMOS", 1995 International Electron Device Meeting, Dec. 10-13, 1995, Washington D. C. , to be presented.

3. 研究会

- (1) 浜口智尋, 松岡俊匡, 谷口研二, 加藤弘, 渡辺泰堂: "(GaAs) $_n$ / (AlAs) $_n$ ($n=3-15$) 短周期超格子におけるブリルアン領域の折り返し効果", 文部省重点領域研究 "メゾスコピック領域における電子波干渉効果の基礎", 1月17-18日, 1991年, 大阪
- (2) 松岡俊匡: "極薄酸化膜の Furnace N_2O 酸化の効果", 応用物理学会関西支部主催 "MOS 型半導体素子セミナー", 1月29日, 1994年, 大阪
- (3) 松岡俊匡, 中野雅行, 林田茂樹, 小瀧浩, 柿本誠三, 福島隆史, 佐藤雄一: "低電圧駆動 LSI のためのデバイス技術(極薄ゲート絶縁膜技術)", 日本電子工業振興協会 ME 半導体技術専門委員会, 10月17日, 1995年, 東京
- (4) 松岡俊匡, 田口滋也, 大塚秀樹, 谷口研二, 浜口智尋: " N_2O 酸化酸化膜の特性", "平成7年度共同プロジェクト研究: 95A-2 ULSI 用高品質酸化膜形成プロセスの研究" 研究討論会, 11月17-18日, 1995年, 仙台

4. 学会発表

- (1) 松岡俊匡, 谷口研二, 浜口智尋, 佐々誠彦: "InGaAs / InAlAs 構造の HEMT のホール測定", 第49回応用物理学会学術講演会, 1988年
- (2) 松岡俊匡, 小林栄介, 谷口研二, 浜口智尋, 佐々誠彦: "InGaAs / InAlAs 単一ヘテロ構造における電子移動度", 第36回応用物理学関係連合講演会, 1989年
- (3) 中沢剛, 松岡俊匡, 久保等, 谷口研二, 浜口智尋, 加藤弘, 渡辺泰堂: "(AlAs) $_n$ / (GaAs) $_n$ 超格子におけるエネルギーギャップの温度依存性", 第50回応用物理学会学術講演会, 1989年
- (4) 松岡俊匡, 中沢剛, 大家智樹, 谷口研二, 浜口智尋, 加藤弘, 渡辺泰堂: "(GaAs) $_n$ / (AlAs) $_n$ 超格子における光学特性(I)", 第37回応用物理学関係連合講演会, 1990年
- (5) 松岡俊匡, 大家智樹, 中沢剛, 谷口研二, 浜口智尋, 加藤弘, 渡辺泰堂: "(GaAs) $_n$ / (AlAs) $_n$ 超格子における光学特性(II)", 第37回応用物理学関係連合講演会, 1990年
- (6) 西川祐司, 吉田享広, 松岡俊匡, 森藤正人, 久保等, 谷口研二, 浜口智尋, 加藤弘, 渡辺泰堂: "歪超格子(GaAs / In $_x$ Al $_{1-x}$ As) のフォトリフレクタンス", 第38回応用物理学関係連合講演会, 1991年
- (7) 宮武哲也, 松岡俊匡, 山口雅史, 谷口研二, 浜口智尋, 加藤弘, 渡辺泰堂: "(GaAs) $_n$ / (AlAs) $_n$ 超格子におけるブリルアン・ゾーンの折り返し効果(I)", 第38回応用物理学関係連合講演会, 1991年

- (8) 松岡俊匡, 山口雅史, 宮武哲也, 谷口研二, 浜口智尋, 加藤弘, 渡辺泰堂: 「 $(\text{GaAs})_n / (\text{AlAs})_n$ 超格子におけるブリルアン・ゾーンの折り返し効果 (II)」, 第38回応用物理学関係連合講演会, 1991年
- (9) 松岡俊匡, 柿本誠三, 井口勝次, 高木俊公: 「ELSW(Etchless Sidewall) 構造 MOSFET における界面準位の評価」, 第39回応用物理学関係連合講演会, 1992年
- (10) 松岡俊匡, Q. D. M. コースル, 谷口研二, 浜口智尋: 「界面準位により劣化した MOS 反転層移動度のユニバーサリティ」, 第54回応用物理学学会学術講演会, 1993年
- (11) 柿本誠三, 小瀧浩, 松岡俊匡, 高木俊公, 土本修平: 「局所積み上げ拡散層 (LED) 構造を用いた微細 MOSFET」, 第54回応用物理学学会学術講演会, 1993年
- (12) 田口滋也, 松岡俊匡, 谷口研二, 浜口智尋: 「界面準位による MOS 反転層移動度の劣化の解析」, 第41回応用物理学関係連合講演会, 1994年
- (13) 林田茂樹, 柿本誠三, 松岡俊匡, 小瀧浩, 高木俊公: 「独自サリサイド法を用いた表面チャネル CMOS 対応 NMOS のゲート空乏化及び短チャネル効果抑制」, 第41回応用物理学関係連合講演会, 1994年
- (14) 松岡俊匡, 田口滋也, 谷口研二, 浜口智尋: 「ゲート酸化膜におけるキャリア捕獲特性のストレス電界極性依存性」, 第55回応用物理学学会学術講演会, 1994年
- (15) 林田茂樹, 柿本誠三, 松岡俊匡, 小瀧浩, 高木俊公: 「独自サリサイド法を用いた完全表面チャネル CMOS 検討」, 第55回応用物理学学会学術講演会, 1994年
- (16) 柿本誠三, 林田茂樹, 小瀧浩, 松岡俊匡, 足立浩一郎, 森下敏, 杉本和雄, 高木俊公: 「エッチバック法を用いた自己整合全面積み上げ拡散層構造 MOSFET」, 第55回応用物理学学会学術講演会, 1994年
- (17) 松岡俊匡, 田口滋也, 谷口研二, 浜口智尋, 柿本誠三, 宇田啓一郎: 「 N_2O 酸窒化によるホットキャリア劣化の抑制効果」, 第42回応用物理学関係連合講演会, 1995年
- (18) 松岡俊匡, 田口滋也, 谷口研二, 浜口智尋: 「MOSFET の速度飽和領域長のスケーリング」, 第56回応用物理学学会学術講演会, 1995年
- (19) 田口滋也, 松岡俊匡, 谷口研二, 浜口智尋: 「表面チャネル PMOSFET における N_2O 酸窒化の界面準位生成への影響」, 第56回応用物理学学会学術講演会, 1995年
- (20) 大塚秀樹, 松岡俊匡, 田口滋也, 谷口研二, 浜口智尋: 「 Si/SiO_2 界面のエネルギー障壁の N_2O 酸窒化による影響」, 第56回応用物理学学会学術講演会, 1995年
- (21) 富田孝之, 松岡俊匡, 谷口研二, 浜口智尋: 「量子効率を用いた酸化膜中のエネルギー緩和距離の測定」, 第56回応用物理学学会学術講演会, 1995年

謝辞

本論文をまとめるにあたり、格別なる御指導と御鞭撻を賜りました大阪大学工学部電子工学科の浜口智尋教授に深く感謝の意を表します。

また、同学吉野勝美教授、西原浩教授、尾浦憲治郎教授には、本論文に関して懇切なる御指導と有益な助言を頂いた事に深く感謝致します。

本研究を遂行するにあたり、有意義な御助言を頂いた同学谷口研二助教授に感謝致します。また、大阪大学に在学期間中、種々御協力をして下さった森藤正人講師、森伸也講師、久保等技官にお礼申し上げます。

さらに、大阪大学に在学期間中、種々御協力をして下さった浜口研究室の学生諸氏にもお礼申し上げます。特に、実験に協力をして頂いた田口滋也氏、大塚秀樹氏、富田孝之氏に感謝致します。

本論文は、筆者が平成3年にシャープ株式会社に入社以来同社中央研究所において微細MOSデバイスの研究開発に携わりつつ、平成5年より大阪大学大学院工学研究科電子工学専攻博士後期課程において、浜口智尋教授の御指導の下で一貫して行ってきた「極薄ゲート酸化膜MOSFETのホットキャリア効果に関する研究」の成果をまとめたものである。本研究を行う機会を与えて頂いたシャープ株式会社技術本部新本孫宏専務、河田亨取締役、橋爪信郎中央研究所所長、中嶋義晴同副所長、藤本一郎顧問に深く感謝致します。

さらに、本研究に対する懇切なる御助言と激励を頂いた佐藤雄一部長、福島隆史主任研究員、宇田啓一郎主任研究員、土本修平液晶研究所副所長、高木俊公解析技術センター所長に感謝致します。

筆者が本研究を進めるにあたり、中央研究所第3研究部の多くの方から多大な御協力と御支援を頂いた。特に、柿本誠三氏、林田茂樹氏、小瀧浩氏、中野雅行氏にはひとかたならぬ御協力を頂いた事に感謝の意を表します。