

Title	A Design Optimization Method for ASIPs including On-Chip Cache Memories
Author(s)	佐藤, 淳
Citation	大阪大学, 1999, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3155653
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏 名	佐藤 淳 ^{さとう じゅん}
博士の専攻分野の名称	博 士 (工 学)
学 位 記 番 号	第 1 4 3 0 2 号
学 位 授 与 年 月 日	平 成 1 1 年 2 月 2 5 日
学 位 授 与 の 要 件	学 位 規 則 第 4 条 第 2 項 該 当
学 位 論 文 名	A Design Optimization Method for ASIPs including On-Chip Cache Memories (オンチップ・キャッシュメモリを含む特定用途向き集積化プロセッサの設計最適化手法)
論 文 審 査 委 員	(主査) 教 授 今 井 正 治 (副査) 教 授 橋 本 昭 洋 教 授 谷 口 健 一

論 文 内 容 の 要 旨

VLSI (大規模集積回路) の集積度は年々増加しており, VLSI の性能も向上している。したがって, ディープ・サブミクロン技術を用いて CPU コア, 周辺回路, 大容量メモリを 1 チップに集積化した特定用途向き集積化プロセッサ (Application Specific Integrated Processor, ASIP) の実現が可能になる。しかし, 設計規模の急激な増加により, ASIP の設計期間および労力が設計者の能力を越える。この結果, 「設計生産性危機」が深刻な問題になる。

ASIP 設計の問題の一つは, 命令セットアーキテクチャおよび CPU アーキテクチャの最適化である。これらのアーキテクチャの選択は ASIP の性能に大きな影響を与える。次に, 専用の命令を有する ASIP の開発には, コンパイラ等の応用プログラム開発のために必要なソフトウェアツール群を生成する必要がある。

もう一つの重要な問題は, メモリを含んだ ASIP のアーキテクチャの最適化である。CPU コアとメモリの速度ギャップを解消するために高速なキャッシュメモリが要求される。さらに, マルチメディア処理などの特定の応用分野における組み込みシステムでは, 大きなメモリ空間が要求される。しかし, 高速メモリおよび大容量メモリはコストが高いので, これらの要求を満足するためには, 最適なオンチップメモリの構成を決定する最適化手法が必要である。

本論文では, オンチップメモリを含む ASIP の設計最適化手法を提案する。はじめに, ASIP アーキテクチャの最適化を行うための設計フレームワークについて述べる。次に, ASIP 向きのオンチップメモリの最適化手法について述べる。

PEAS-I (Practical Environment for ASIP Development-type I) は ASIP 設計のためのハードウェア/ソフトウェア協調設計システムである。PEAS-I システムは, 応用プログラムの解析結果を用いて, 与えられた設計条件のもとで最適な命令セットと命令の実現方法を決定する。CPU コア, メモリ, 周辺回路等のハードウェアコストのトレードオフを考慮することにより, ASIP の性能を改善することが可能である。PEAS-I システムの効率および有効性は評価実験により確認された。実験結果より, PEAS-I システムは, 詳細なハードウェア設計が完了する前に, ASIP のハードウェアコストと性能の正確な見積もりを得ることができた。また, 数万ゲート規模の ASIP のハードウェア記述と応用プログラム開発ツールを数時間程度で生成できた。PEAS-I システムの設計手法の有効性は, 現実的な設計事例を通し

て示された。

本論文の後半では、高速オンチップ・キャッシュメモリ、大容量オンチップ・メモリ、巨大容量外部メモリから構成される ASIP 向き階層化メモリシステムの性能最適化手法を提案する。階層化メモリシステムを用いることにより、ASIP の性能を従来のキャッシュメモリ・システムを用いた場合と比較して最大50%改善することができた。性能最適化手法には、ヒット率予測、ライトバック・ペナルティ予測、平均メモリアクセス時間見積りが含まれる。評価実験の結果より、提案手法は、キャッシュ・シミュレーションの繰り返しを行う従来の最適化手法よりも、効率的にオンチップ・メモリの最適な構成を決定できることが知られた。提案手法は、フルアソシアティブ・キャッシュメモリに対して非常に正確に平均メモリアクセス時間を見積もることができた。フルアソシアティブ・キャッシュ以外のキャッシュメモリに対しては、提案手法で得られるオンチップ・メモリの構成の性能とキャッシュ・シミュレーションをもとにした従来手法で得られた性能の違いは5%程度であった。

論文審査の結果の要旨

超大規模集積回路 (VLSI) の製造可能な回路規模の急激な増加により、VLSI の設計期間および労力が設計者の能力を越える、いわゆる「設計生産性危機」が深刻な問題になりつつある。また、集積回路の大規模化に伴いシステムレベルでの設計最適化が困難になりつつある。これらの問題を解決するためには、従来の VLSI 設計手法よりも高い設計生産性が得られる新しい設計最適化手法を確立する必要がある。

申請者は、オンチップ・メモリを内蔵した特定用途向き集積化プロセッサ (ASIP) の設計効率化および設計最適化を達成するための新しい設計手法を提案している。本論文では、まず ASIP の設計事例を紹介し、次に ASIP の命令セットアーキテクチャの最適化を行うための設計手法を提案し、最後に、ASIP 向きのオンチップ・キャッシュメモリの最適化手法を提案している。

ASIP の設計事例では、申請者は、従来ハードウェアで制御を行っていたサーボモータをソフトウェアで制御可能にする専用マイクロプロセッサ (FSP-3) のアーキテクチャを提案している。FSP-3 には、多数のレジスタおよび専用演算器 (高速乗算器、三角関数演算器など) を実装しており、電流、速度、位置を制御するための3重のフィードバックアルゴリズムを高速に実行可能である。FSP-3 は実用化されている VLSI 技術を用いて製造され、その実現可能性と有効性が確認された。

次に、ASIP の命令セットアーキテクチャ最適化手法に関する研究では、申請者は、FSP-3 の開発経験に基づいて、与えられた設計制約条件のもとで ASIP の命令セットアーキテクチャを最適化するための設計手法を提案した。また、この設計手法を具体化して ASIP 設計用フレームワーク (PEAS-I) を試作し、その有効性を確認すると共に、PEAS-I を用いた場合の設計生産性の評価を行った。実験の結果、従来数人月~10数人月の作業工数が必要であった ASIP のプロトタイピングが数時間程度の作業量で実行できることが確認された。また、本手法で生成された ASIP の設計品質は、商用プロセッサよりも単位ハードウェア量あたりの性能が格段に優れていることが確認された。

最後に、オンチップ・キャッシュメモリの最適化の研究では、申請者は、高速オンチップ・キャッシュメモリ、大容量オンチップ・メモリ、巨大容量外部メモリから構成される ASIP 向き階層化メモリシステムの性能最適化手法を提案している。階層化メモリシステムの構成を最適化することにより、従来のキャッシュメモリ・システムを用いた場合と比較して性能を最大50%程度改善できることが確認されており、提案手法が有効であることが示された。

以上のように、本論文は電子産業の分野で今後ますますその重要性が増して行く ASIP の新しい設計手法を提案しており、いくつかの試行実験の結果その有効性が確認されている。本論文は電子システム設計自動化という学問分野だけでなく、産業界に対しても多くの寄与が期待され、博士 (工学) の学位論文として価値のあるものと認められる。