The University of Osaka
Institutional Knowledge Archive

Title	光・電子複合技術による並列光演算システムの構成に関する研究
Author(s)	粟辻, 安浩
Citation	大阪大学, 1997, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3129029
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

光・電子複合技術による並列光演算システムの構成に関する研究

1996年

栗辻 安浩

光・電子複合技術による並列光演算システムの構成に関する研究

1996年

栗辻 安浩

Dedicated to my parents.

目次

緒論 1

第１章　光･電子複合型並列演算システム 4
1.1　緒言 4
1.2　光･電子複合型並列演算システムの構成 4
1.3　システムの特徴 5
1.4　具体例と技術動向 5
1.5　技術課題と本研究の位置づけ 7
1.6　結言 8

第２章　光･電子複合型並列光アレイロジックシステム 9
2.1　緒言 9
2.2　光アレイロジック 9
2.3　OPALS 10
2.4　H-OPALS16^2 12
2.4.1　システム構成 12
2.4.2　対応画素間演算 13
2.4.3　応答特性評価 14
(a)　応答特性測定 14
(b)　実験結果 16
2.4.4　プリズムアレイ相関器 16
2.4.5　H-OPALS16^{2}用離散相関器 17
2.4.6　動作実験 19
(a)　孤立ノイズ除去 19
(b)　多重トークン伝播 20
2.4.7　考察 22
2.5　結言 22

第３章　並列光離散相関器 23
3.1　緒言 23
3.2　離散相関演算 23
3.3　並列光離散相関演算の方式 24
3.3.1　時間多重方式 24

3.3.2 空間多重方式 24
(a) 瞳制御方式 24
(b) 光源変調方式 25
3.4 並列光離散相関器の評価項目 26
3.5 各方式の比較 26
3.5.1 光量効率評価 27
(a) 時間多重方式 28
(b) 瞳制御方式 28
(c) 光源変調方式 28
(d) 各方式比較 29
3.5.2 処理スループット評価 30
(a) 時間多重方式 31
(b) 瞳制御方式 32
(c) 光源変調方式 32
(d) 各方式比較 32
3.5.3 実装体積評価 33
(a) 時間多重方式 34
(b) 瞳制御方式 35
(c) 光源変調方式 35
(d) 各方式比較 36
3.6 考察 37
3.7 結言 38

第4章 光アレイロジックネットワークコンピューティング 39
4.1 緒言 39
4.2 光アレイロジックネットワークコンピューティング 40
4.3 OAL-NC による並列処理 41
4.3.1 OAL-NC プロトタイプシミュレータ 41
4.3.2 並列処理シミュレーション 43
(a) エッジ検出 43
(b) 中央値フィルタリング 45
(c) 最大値検出 46
(d) 遺伝的アルゴリズムを利用した最適化問題 47
4.3.3 処理ステップ数 49
4.3.4 処理時間 50
4.3.5 考察 50
4.4 結言 51

第５章　OAL-NC に基づく評価システムの設計 52
5.1　緒言 52
5.2　実現方式 52
5.2.1　PLD 型 OAL-NC 52
5.2.2　MPE 型 OAL-NC 52
5.3　試作システムの仕様 53
5.4　処理要素アレイ 53
5.4.1　PLD 型 OAL-NC 用処理要素アレイ 53
(a)　構成 53
(b)　処理要素 54
5.4.2　MPE 型 OAL-NC 用処理要素アレイ 56
(a)　構成 56
(b)　実装方法 57
5.4.3　方式の選択 57
5.5　光アレイロジックネットワークプロセッサ 59
5.5.1　並列光離散相関器の評価 59
5.5.2　並列光離散相関器の構成 59
5.5.3　試作 OAL-NC 用の並列光離散相関器の設計 61
5.5.4　設計結果 62
5.6　制御系 63
5.6.1　システムコントローラ 63
5.6.2　OAL-NP コントローラ 63
5.6.3　PE のコントロールプロセス 63
5.6.4　ターミナル 66
5.7　能力評価 66
5.7　結言 67

第６章　総括 68

謝辞 72

参考文献 74

付録Ａ　瞳制御方式における偏向素子の最大偏向角度と光学系パラメータの関係 81
付録Ｂ　OAL-NC プロトタイプシミュレータのコマンド 82
付録Ｃ　OAL-NC プロトタイプシミュレータによる並列演算プログラム 86

著者発表論文 91

緒論

コンピュータが発明されてから約50年が経過し，その性能は大きく向上した．現在，社会のあらゆる分野でコンピュータは利用され，不可欠な情報処理システムとなっている．しかし，高度情報化社会の進展と共に情報処理システムに対する社会的要求は増大の一途をたどっている．現在，特に要求が高まっている情報処理システムの一つに，高分解能画像を高速に処理する実時間画像システムがある．現在の画像システムの処理能力はテレビ技術とコンピュータの能力で制限されており，その処理能力は基本的に500×500画素，フレームレート30Hzである．したがって，これよりも高密度画像の高速処理技術は，特別に設計したシステムが必要となる．しかし，高品位画像を入力として，実時間制御を目標とした画素数1000×1000，フレームレート1kHz以上の能力を必要とする実時間画像処理を実行できる画像システムはまだ実現されていない．このような次世代の実時間画像システムは，産業分野（自律ロボット，危険回避センサなど），福祉医療分野（盲導犬ロボット，人工眼など），情報通信分野（高速マルチメディア技術など），人間生活工学分野（マンマシンインターフェイスなど），宇宙・海洋工学（極限ロボットなど），学術分野（大規模科学技術計算など），地球環境科学分野（地球モニタリング，地球規模気候予測など）などの様々な分野に貢献するものと期待され，その実現が待望されている．

実時間画像システム実現には，大容量情報の高速処理が不可欠である．現在，スーパーコンピュータの処理能力は約40GFLOPS程度であり，専用並列コンピュータは約200GFLOPSの性能を達成している．しかし，これらの最先端の情報処理装置を使用しても，実時間画像システムには能力不足であり，また，経済性の観点からも必ずしも最適な方式とは言えない．そこで，この問題を解決しうる有望な演算技術として，光が有する高度な並列性を応用した光コンピューティング技術が注目されている．

光コンピューティング技術は，並列性，大容量性，情報接続性，耐電磁ノイズ性，可視性など，現在の重要な技術基盤であるエレクトロニクスにはない優れた特徴を持ち，これまでに数多くの研究がなされてきた[1-16]．特に，近年の動向として，光通信分野の高度な発展に伴った光エレクトロニクスデバイス技術の進歩とその実践的応用としての光インターコネクション[17-24]関連研究の活性化があげられる．これは，システム間からチップ間に至るさまざまなレベルにおける情報伝送を光技術の応用により実現しようとする流れである．光インターコネクション技術は，エレクトロニクス技術に支えられており，方式提案や原理確認にとどまっていたこれまでの光コンピューティング研究とは明らかに異なる性格を持つ．すなわち，アイデアを具現化する手段が存在し，そのた

め，現実のものとしてシステムを組み上げることが可能になっている．

これらの状況より，実時間画像システム開発の足がかりとして，新しい光コンピューティング研究の流れに沿ったシステム開発の重要性が明らかになる．対象とするシステムは，光技術と電子技術を融合させた高性能演算システムであり，光インターコネクションの次に来るべき開発目標である．本研究では，このようなシステムを光･電子複合型並列演算システムと呼ぶ．光･電子複合型並列演算システムの開発に関連した様々な問題を明らかにすることこそ，実時間画像システム実現の有力な方策であり，また，光インターコネクション技術のより大きな発展方向を指し示すものである．

光･電子複合型並列演算システムとして光アレイロジック[25]を演算原理とするH-OPALS[26-33]が本研究室で提案された．光アレイロジックは明確な設計思想を持ち，専用プログラム表記言語[25]，演算アルゴリズムの研究が進んでいる[34-38]など優れた特徴を有する並列演算原理である．これまで，3タイプのH-OPALSが試作されてきたが，システム内部にTVフィードバックが存在したり処理画素数が少ないため，並列演算能力の評価が難しいという問題があった[39]．次世代の実時間画像システム実現するには，光･電子複合型技術による並列光演算システムのプロトタイプを作製し，並列光演算システムの能力を評価し，問題点を明らかにすることが重要な課題と思われる．

本研究の目的は，光･電子複合型演算システムの具体的なアーキテクチャを提示し，その接続能力を評価して，プロトタイプシステムを開発することである．そのために，本研究では，まずプロトタイプシステム開発に関わる問題点を明確にし，現在入手可能な素子を用いて，小規模ではあるが並列画像処理能力の評価が可能なH-OPALS 16^2を試作し，その機能と性能を評価する．H-OPALS16^2は16×16画素完全並列に処理を行うH-OPALSのプロトタイプシステムである．また，並列光演算システムで重要な役割を果たす並列光離散相関器を検討し，設計・評価を行う．さらに，H-OPALSの試作で得られた問題点を克服するために考案された，より処理効率の良い光･電子複合型並列演算の原理である光アレイロジックネットワークコンピューティング(Optical Array Logic Network Computing: OAL-NC)のシミュレーションシステムを構築し，その能力を定量的に評価する．さらに，シミュレーション結果を踏まえて，OAL-NCシステムの実現方式を検討し，具体的なシステムを設計，試作する．

以下に本論文の構成と内容を示す。

第1章では，光･電子複合型並列演算システムの構成を述べ，その特徴を明確にする．また，これまでの，光･電子複合型並列演算システムに関する研究の具体例と現在の技術動向について述べる．そして処理効率の良い並列光演算システムを実現するための技術課題と問題点について述べる．

第2章では，光並列演算原理である光アレイロジックについて述べ，これを用いた並列光演算システムOPALSについて述べる．本研究で試作したH-OPALS16^2の構成，動作，および並列演算結果を示す．さらに，実験で得られた結果より，必要な光量と動作速度の関係を考察し，速度向上のための解決法を述べる．

第3章では，並列光離散相関器の実現方式を分類し，各方式の光量効率，処理スループット，実装容積を評価し，その特徴を明確にする．

第4章では，新しい光･電子複合型並列演算システムOAL-NCの構成と機能について述べる．また，OAL-NCに基づく並列演算の動作確認と，効率の良い演算アルゴリズムを開発するために，OAL-NCのプロトタイプシミュレータを開発する．このシミュレータを用いてOAL-NCの処理能力を定量的に評価し，その特徴を示す．

第5章では，OAL-NCアーキテクチャを持つ光･電子複合型並列演算システムを設計，試作する．まず，光･電子複合型並列演算システムに適した並列電子演算部の方式を検討し，具体的な設計を行う．次に，現時点で利用可能な技術を検討して，試作システムの仕様を定める．また，光演算部である光アレイロジックネットワークプロセッサの方式と制御系を検討し，具体的な設計，試作を行う．

第6章に，本研究の成果について総括し，光･電子複合型並列演算システムの将来展望と今後の課題を述べる．

第1章　光･電子複合型並列演算システム

1.1　緒言

大容量情報処理を効率良く行う演算システムとして,光･電子複合技術に基づいた並列光演算を行うシステムが考えられる.本章では,本研究が対象とする光･電子複合型並列演算システムの構成と,その特徴をまとめる.次に,光･電子複合型並列演算システムに関する研究の具体例と現在の技術動向を示す.最後に,処理効率の良い並列光演算システムを実現するための技術課題と問題点を述べ,本研究の位置付けを行う.

1.2　光･電子複合型並列演算システムの構成

本研究が対象とする光･電子複合型並列演算システムは,電子処理と光学処理の協調により,効率良く情報を処理するディジタル演算方式の並列演算システムである.図1.1に光･電子複合型並列演算システムの構成図を示す.このシステムは,並列光演算部,並列電子演算部,並列光/電子・電子/光信号変換部,システムコントローラにより構成される.

並列光演算部は,2次元画像の空間並列処理を光学的に行う.並列光演算部における信号伝達は,自由空間光伝搬により行われる.自由空間光伝搬は,光信号を導波路に閉じこめず,3次元自由空間を伝搬させる光インターコネクション技術を用いる.並列光演算部は2値離散画像に対して,並列近傍演算を行う.

並列電子演算部は,電子回路により情報処理を行う.基本的に並列光演算部と同じ並列度を持つ.しかし,システムによっては,ハードウェアを簡素化し制御を容易にするために,パラレル/シリアル変換とシリアル/パラレル変換により電子演算部の並列性を低減する方式も考えられる.

並列光/電子・電子/光信号変換部は並列電子演算部と並列光演算部のインターフェイスである.並列電子演算部からの出力データは,並列光演算部の入力画像に変換される.また,並列光演算部の出力画像は並列電子演算部の入力データに変換される.このように,並列電子演算部と並列光演算部の間では,直接的に並列データ伝送が行われる.

システムコントローラはシステム全体の動作を制御する.また,システムコントローラは,並列光演算部と並列電子演算部に初期データを与え,それらから演算結果を受け取る.

システムは,利用目的に応じて,構成方式や設計思想が変わる.そこで,本研究では様々な処理を柔軟に実行する汎用システムを想定して,機能,性能の検討や考察を進める.

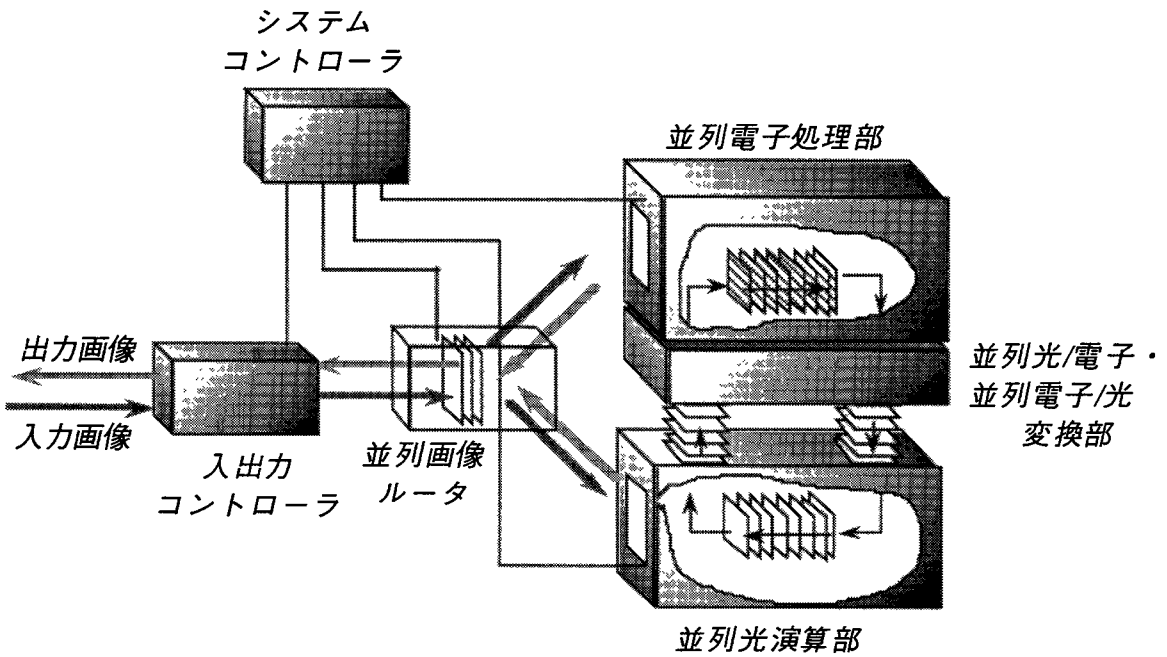


図1.1　光･電子複合型並列演算システムの構成図.

1.3　システムの特徴

光･電子複合型並列演算システムは次の特徴を持つ.

1) システム内部での，1000×1000程度の並列性とそれに起因する優れた並列処理能力
2) 並列ディジタル演算方式に基づく数百bitにおよぶ演算精度と処理の汎用性
3) 光情報処理技術による優れた大域的データ伝送・演算能力
4) エレクトロニクス技術による卓越した局所データ処理能力
5) 異種技術の融合によって得られるシステム構成・演算実行方式の多様性
6) エレクトロニクス集積技術の応用による高いハードウェア実現性
7) 既存の並列情報処理技術との親和性

ここで，大域的データ伝送･演算とは，2次元画像の画像全面にわたる範囲で行われる並列データ伝送と演算である．これに対して，画像中の各画素を中心とした近傍領域におけるデータ伝送と演算は局所的データ伝送・演算と呼ぶ.

1.4　具体例と技術動向

光技術を利用した並列ディジタル演算システムは，電子回路で構成された，1)システム間，2)モジュール間，3)基板間，4)チップ間，5)ゲート間などの様々な段階において，並列光インターコネクションや並列光演算技術を有効利用する[19]．システム間，モジュール間の時系列光学的データ転送は光ファイバを利用する光通信により既に実現さ

れている．しかし，チップ間やゲート間の光インターコネクションや並列光データ伝送を基本とする並列光演算システムはまだ研究段階にある．

光･電子複合型並列ディジタル演算システムの試作研究例として，H-OPALS[26-33]，SPE[40-43]，COSINE[44-46]，POEM[47, 48]，D-STOP[49-51]などがある．これらは，光学的な自由空間光伝搬を利用した並列光信号接続を用いた演算の自由度が高いシステムである．

H-OPALS (Hybrid Optical Parallel Array Logic System)は光アレイロジックを演算原理として，2枚の2値離散画像に対し任意の並列近傍演算を行うシステムである．光アレイロジックで必要とする離散ディジタル相関演算は光学的に，その他の処理を電子回路で行う．システムの原理確認のために，TVフィードバックを利用した20×20画素のシステム[26]，3×3画素の並列電子回路を用いたシステム[28, 32]が試作された．これらのシステムでは，並列電子回路は光アレイロジックの符号化と復号だけを行う．論理演算，算術演算などは，すべて光アレイロジックにより行われる．

SPE (Sensory Processing Element)は，SIMD形式で動作する並列処理要素アレイ間で並列光接続を行う．各PEは汎用かつ細粒度マルチプロセッサの構成を目指して設計され，1bitの光入出力ポートをもつ．隣接処理要素同士は電子的にも接続され，光と電子両方の接続能力を活用できる．64×64PEの試作システムにより10kframe/sの処理が行われている[40]．さらに，30×30PEを1チップに実装したシステムの試作が行われている[43]．光学系によりPE間の大域的データ伝送を行う研究も行われている．

COSINE(Computer System Employing Optical Spatial Interconnections for Experimentation)はキャビネット内の複数の基板間を光で並列接続するシステムである．1枚あたり4×4個の電子処理要素が実装された基板4枚の間で並列光接続を行っている．伝送速度は20Mbit/sを実現している．

POEM (Programmable Optoelectronic Multiprocessor)は，VLSI(Very Large Scale Integrated Circuit)ベースのプロセッサアレイが演算の役割を担い，各プロセッサ間が光接続されている．隣接プロセッサ同士は電気的にも接続され，光と電子両方の接続能力を活用できる．

D-STOP (Dual-Scale Topology Opto-electronic Processor)は，VLSI上にH-tree構造の電子ネットワークを持ち，各処理要素間は光ネットワークで接続される．このシステムは，ニューラルネットワーク，人工知能を効率良く実現できる．64×64画素の接続を実現している．

以上のシステムをまとめると，H-OPALSは光技術を並列演算に利用しているが，他のシステムは並列データ伝送だけに光技術を利用するという思想に基づいている．これらの例が示すように，並列電子演算と並列光演算が協調して，効率良く処理を行う考え方はこれまでには提示されていない．

一方，光･電子複合型演算システム用の高性能高機能素子の研究も精力的に行われている．面発光レーザーアレイ[52-59]やSEED (Self Electro-optic Effect Device) [60-68], VSTEP (Vertical-to-Surface Transmission Electrophotonic Device) [69-71], EARS (Exciton Absorption

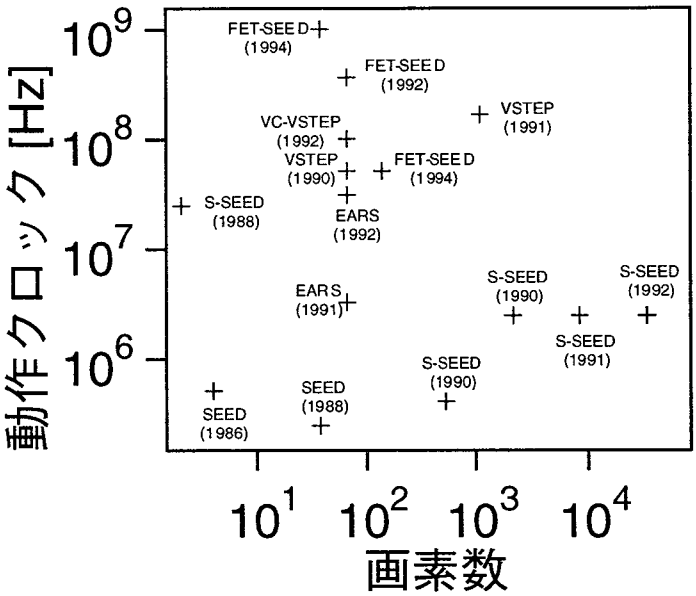


図1.2　半導体空間光変調素子の動作速度，画素数の進展．括弧内は発表年を表す．

Photonic Switch) [72-74]などの面型の半導体空間光変調素子が研究されている．最近では，これらの素子の1画素毎に，集積電子回路を接続したスマートピクセルが精力的に研究されている[75-83]．この技術は，処理能力の高い光･電子複合型演算システムを効率良く実現しうる方法として期待されている．

図1.2に半導体空間光変調素子の動作速度，画素数の進展状況を示す．着実に動作速度は高速化し，画素数も増加している．

光演算部分を効率良く実装する方法として，積層光学系[84]，平板光学系[85-89]，ブロック光学系[90, 91]，光バス接続システム[92, 93]などが研究されている．積層光学系は平板レンズ[94, 95]や面型光機能素子を3次元的に積み重ねることで，光学システムに実装する．平板光学系では基板表面に光学素子を実装し，基板上下面による反射を用いて光を伝搬させる．ブロック光学系は，光学素子を3次元ブロックの表面に実装し，その機能ブロックの組み合わせによりシステムを構成する．光バス接続システムは，電子基板のバックボードをセルフォックレンズによる並列光バスで実現するシステムである．

1.5　技術課題と本研究の位置付け

光･電子複合型並列演算システムの実現には，以下の技術課題がある．

1) 処理効率の良い並列演算原理・アルゴリズムの開発
2) 処理効率の良いシステム構成の開発
3) 試作システムによる能力評価
4) 効率的なシステム実装技術の開発
5) 高性能，高機能な光機能素子の開発

並列光演算原理[25, 96-102]や，並列光演算原理に基づく処理効率の良いアルゴリズム

[34-38]は提案されているが，並列電子演算との複合処理による並列演算原理や演算アルゴリズムの研究例はない．

本研究は上述の1)，2)，3)の課題に対し，一つの解を与えることを目的とする．具体的には，並列光演算と並列電子演算を複合した処理効率の良い並列演算システムの構成を考案し，その原理に基づく光･電子複合型並列演算システムを実際に試作する．そして，その能力を評価し，システム実現に関する知見を得る．これらの成果は，課題4)，5)に対しても重要な知見を与えるものと期待される．

1.6　結言

本研究で対象とする光･電子複合型並列演算システムの構成を述べ，その特徴を述べた．そして，光･電子複合型並列演算システムの試作研究例を示した．また，光･電子複合型並列演算システム構築に有用な光機能素子と実装技術の研究例を説明した．さらに，光･電子複合型並列演算システムを実現するための技術課題を述べ，本研究の位置付けを行った．

第2章　光･電子複合型並列光アレイロジックシステム

2.1　緒言

並列光演算システムは新しい概念に基づく並列情報処理システムであり，従来のコンピュータや既存の時系列演算システムからの類推だけでは，その特徴を評価することが困難である点が多い．そこで，実際に並列光演算システムを設計，試作し，その上で動作と評価を通して並列光演算処理における問題点を明らかにすることは重要である．現状では，並列光演算システムを構成するための機能素子は開発途上であり，十分な性能のものは数少ない．しかし，性能は不十分であっても入手可能な個別素子を利用して並列光演算システムを試作することは，並列光演算に資する新しい機能素子の開発研究に対しても有益な情報を提供すると期待される．

本章では，有望な光並列演算原理の一つとして，本研究で採用した光アレイロジックについて述べ，光アレイロジックに基づく並列光演算システムであるOPALSを説明する．そして，OPALSの実証システムとして本研究で試作した光･電子複合型OPALS，H-OPALS16^2について述べる．本章では，まず，H-OPALS16^2の構成を述べ，動作実験の結果を示す．実験で得られた結果より，必要な光量と動作速度に関して考察し，速度向上のための解決法を述べる．

2.2　光アレイロジック

光アレイロジック[25]は2枚の2値離散画像に対して，任意近傍画素間論理演算を実行する並列光演算原理である．光アレイロジックの演算は，SIMD (Single Instruction Multi-Data Stream) 形式で行われる．光アレイロジックでは，論理関数は，演算カーネルと呼ばれる点群によって記述される．演算カーネルは，カーネルユニットと呼ばれる2×2の格子を基本単位として形成される．カーネルユニットで実現可能な16種類のパターンが，2枚の2値画像に対する対応画素間の16種類の論理関数と対応している．この対応関係を表2.1に示す．光アレイロジックは空間符号化，離散相関演算，復号操作により実現される．光アレイロジックの処理を図2.1に示す．最初に，2枚の2値離散画像A, Bを，各々対応する画素毎に空間符号化し，1枚の符号化画像を作成する．符号化は図中に示すような規則で行う．次に，近傍演算の論理関数を積和形式に展開し，各積項に対応する演算カーネルと符号化画像との2次元離散相関演算を行い相関画像を得る．この相関画像を1画素おきに空間サンプリングする．サンプリングした画像の各画素値を反転させる．相関画像出力は，暗信号に対し論理値1とする暗論理で得られ，これを明論理に変換するために画素値を反転する．得られた積項演算結果に対し，多入力論理和演算を行えば，近傍画素間演算の結果が得られる．

以上の処理では，

表2.1　カーネルユニットと論理関数の対応.

カーネルユニット	論理関数	記号	カーネルユニット	論理関数	記号
	1	..		a + b	PP
	$\bar{a} + \bar{b}$	NN		$a \oplus b$	UU
	$\bar{a} + b$	NP		b	.1
	$\bar{a}$	0.		$\bar{a}\,b$	01
	$\bar{a} + \bar{b}$	PN		a	1.
	$\bar{b}$	.0		$a\,\bar{b}$	10
	$\overline{a \oplus b}$	EE		a b	11
	$\bar{a}\,\bar{b}$	00		0	DD

$$c_{i,j} = \prod_{k=1}^{K} \sum_{m=-L}^{L} \sum_{n=-L}^{L} f_{m,n,k}\left(a_{i,j}\, b_{i,j}\right). \tag{2.1}$$

と表せる．ここで$a_{i,j}$, $b_{i,j}$, $c_{i,j}$はそれぞれ入力画像A, Bと出力画像Cの(i,j)画素を示す．$f_{m,n,k}(\cdot)$は2変数2値の論理演算であり，表2.1のカーネルユニットに対応する．Lは近傍領域を示し，Kは積項数を表す．

光アレイロジックの各論理演算処理は，画像上の全ての画素に対して並列に実行することができる．すなわち，各画素の処理はSIMD形式で実行できるため，光学的実現に適している．論理関数は，演算カーネルのパターンの指定により容易に選択できる．演算カーネルのパターンをもとにしたプログラム言語が開発され，種々の並列処理が光アレイロジックで実現されている[34-38].

2.3　OPALS

OPALS (Optical Parallel Array Logic System) [103, 104]は光アレイロジックを演算原理とする並列ディジタル光コンピューティングシステムである．図2.2にOPALSの構成図を示す．OPALSは符号器，離散相関器，サンプリング及び論理和演算を行う復号器，フィードバックを行う並列伝送路から構成される．

OPALSの実現方式として純光学型OPALS (Pure OPALS: P-OPALS) [105, 106]と光･電子複合型OPALS (Hybrid OPALS: H-OPALS) [28-33]の2種類の方法が考えられている．

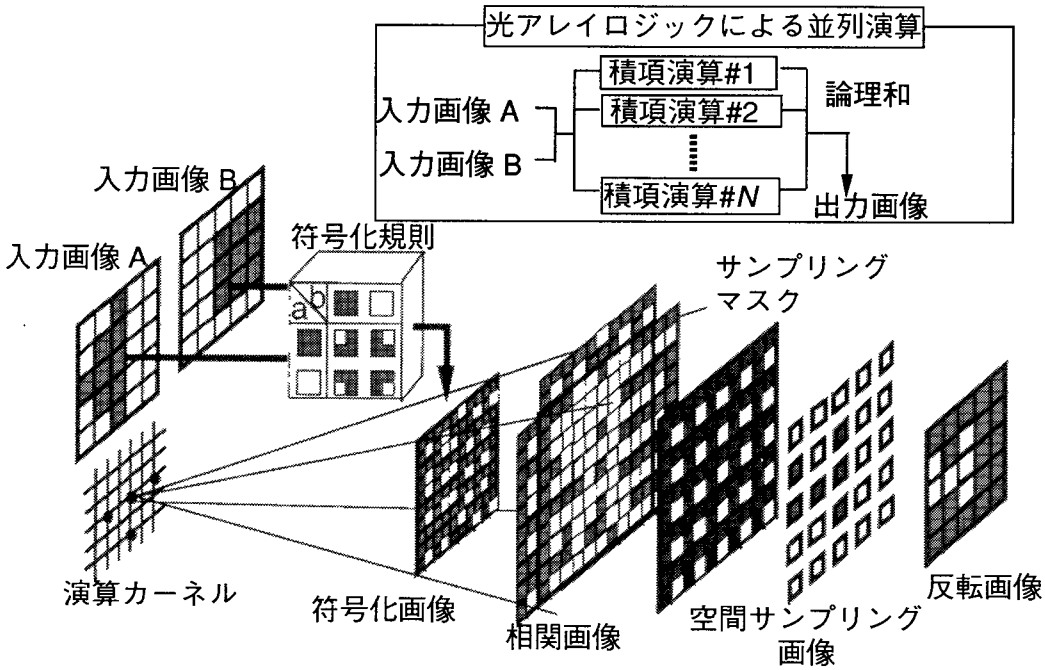


図2.1　光アレイロジックの処理．□は1を■は0を表す．

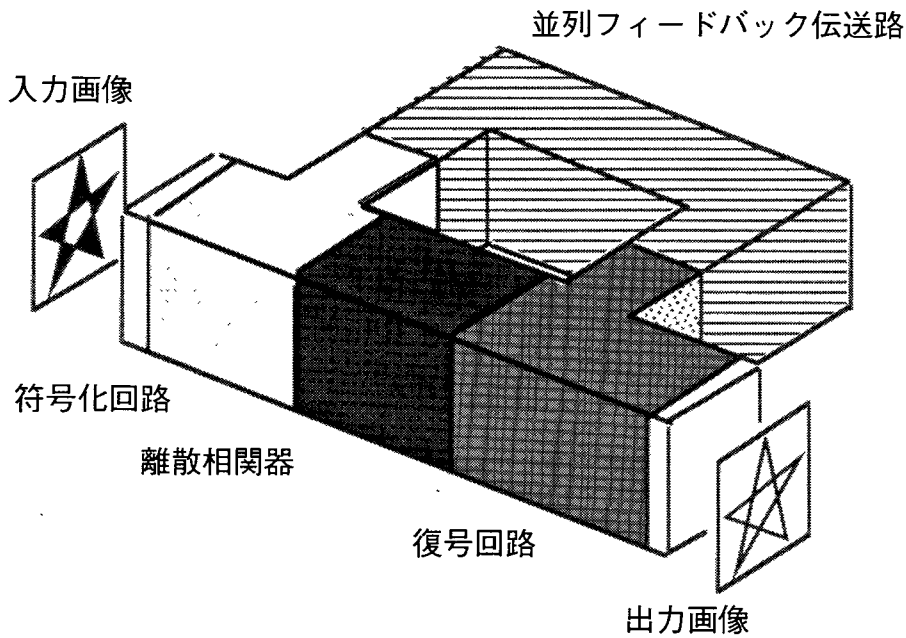


図2.2　OPALSの構成図．

P-OPALSでは，処理画像はシステム内部ですべて光学的に伝送・処理される．符号化は，各画素値にしたがって偏光状態を変えることで行われる．この処理には液晶空間光変調素子が用いられる．偏光状態は方解石などの複屈折結晶により，光アレイロジック用の符号化パターンに変換される．処理画素数は，液晶空間光変調の分解能で制限され，今までの試作システムでは約300点×100点であったが，原理的には約2500点×2500点が同時に処理可能である．応答速度はシステム実装に利用する液晶空間光変調素子によって制限される．例えば，強誘電性液晶の空間光変調素子を利用した場合，約10kframe/sが得られる．したがって，P-OPALSは高い並列性を有するが，高速な処理は難しいシ

ステムである．

H-OPALSでは，離散相関演算が光学的に処理され，増幅，復号，閾値処理，伝送は電子的に行われる．光アレイロジックでは，符号化，復号，フィードバックは各画素独立で処理されるため電気的な固定接続配線で容易に実現できる．符号化，復号は非線形処理であり，光学的に行うよりも電子回路による方が容易に実現できる．一方，離散相関演算は，演算カーネルの変化にしたがって情報の接続パターンが変化し，また，すべての画素に対して，同一の処理が行われるため，光学的な実現に適している．そこで，H-OPALSは，光と電子の特長を活用することにより，効率良く処理を実現している．H-OPALSの画素数は並列かつ個別に制御可能なアレイ素子数で制限される．このようなアレイ素子は，高密度実装が難しく，画素数を大きくとれない．現状では最高256点×128点[65]である．動作速度は，画像の表示や受光を行う光電変換素子の応答速度で制限される．現状では，約200Mframe/s程度[74]の動作が可能である．したがって，H-OPALSは高速であるが，並列度の低いシステムである．

2.4　H-OPALS16^2

H-OPALS16^{2}は光･電子複合型並列情報処理システムの能力評価を目的として本研究で考案，試作したH-OPALSのプロトタイプシステムである．画像の1フレーム（16×16画素）分の電子回路部が完全並列に動作する．画素数は，並列にかつ個別にアクセスできる入手可能な光検出器アレイの素子数と実装技術の制約から決定した．

2.4.1　システム構成

図2.3にH-OPALS16^{2}の構成図を示す．電子回路部分は，制御信号回路，符号化回路，

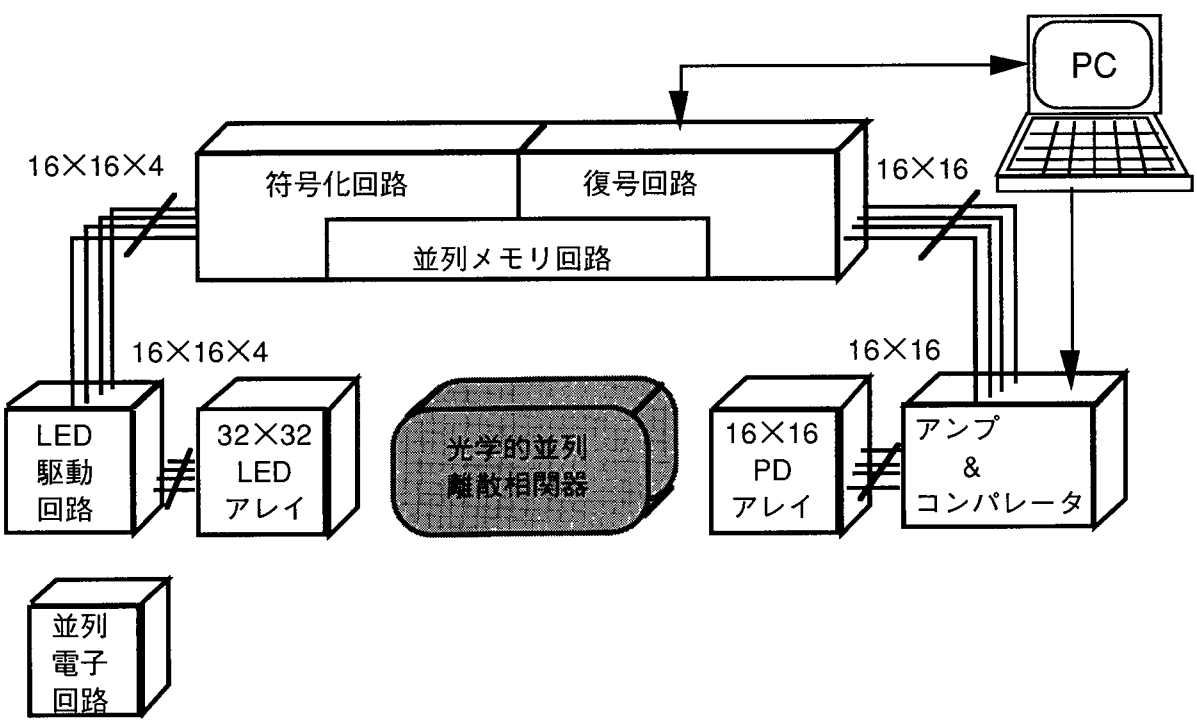


図2.3　H-OPALS16^{2}の構成図．

発光素子駆動回路，受光素子駆動回路，復号回路，並列メモリから構成されている．復号回路から符号化回路，復号回路から並列メモリへの接続は，256bitの並列電子配線でつながれており，256画素並列かつ個別にデータ転送が可能である．パーソナルコンピュータ(PC)PC-286VS(セイコーエプソン株式会社)と符号化回路間，PCとメモリ回路間は16bit電気的信号線により16画素ずつに分割して転送される．これは，PCのデータ転送が16bit単位で行われるためである．受光及び発光素子にはそれぞれ，フォトダイオード(PD)アレイS3805(浜松ホトニクス株式会社)，発光ダイオード(LED)TLRA150(株式会社東芝)アレイを使用した．ディジタル回路の構成には，消費電力，動作速度の点から，74ALSシリーズを使用した．処理の柔軟性を向上するために，各画素毎に2048bitの局所の画像メモリを装備する．これは，並列アクセス可能な2048フレームの画像メモリとみなすことができる．

H-OPALS16[2]の処理手順は次の通りである．

1) 並列メモリから2枚の入力画像を読み出す．
2) 読み出された2画像から符号化回路で符号化画像を作成する．
3) 符号化画像をLEDアレイに表示する．
4) 表示された符号化画像に対し，並列光離散相関器を用いて相関画像を作成する．
5) 相関画像を空間サンプリングし，PDアレイで受光する．
6) 受光信号を電気回路で増幅し，2値化して復号回路に伝送する．
7) 復号回路で反転論理和をとり，その出力をメモリ回路に伝送する．

以上の処理を繰り返すことで種々の演算を行う．また，復号器には復号信号の反転/非反転機能があり，演算の自由度を高めている．

2.4.2　対応画素間演算

H-OPALS16[2]の電子回路部分の動作確認を兼ねて，結像光学系を用いた対応画素間演算を実行させた．

図2.4に用いた結像光学系を示す．LEDアレイの像をPDアレイ上に結像させる．LEDアレイの大きさは162mm×162mm，PDアレイの大きさは23.8mm×23.8mmである．結像レンズにはカメラレンズ(焦点距離35～70mm, F/3.5: Nikon)を用いた．LED (TLRA150)

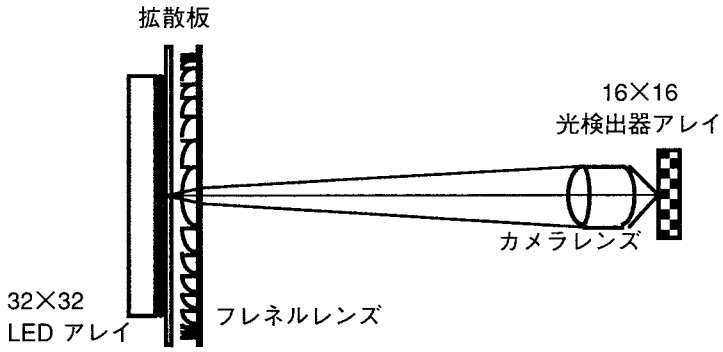


図2.4　H-OPALS16[2]用結像光学系．

の指向性が強くレンズによるけられが生じるために拡散板としてトレーシングペーパーを用いた．フレネルレンズは集光用レンズとして用いた．

結像光学系では，光アレイロジックにおける，16種類のカーネルユニットのうち，一つだけのデルタ関数で表現できる演算カーネルによる論理演算を実現することができる．そこで，符号化画像の像に対し，マスク位置は並列光論理演算におけるNANDの位置（表2.1参照）に合わせる．NAND関数は，単独で論理演算の完備系をなし，その組み合わせで任意の論理関数を合成することができる．この性質を用いて，対応画素間論理演算を試作システム上で実現することができる．

図2.5に2枚の128×128画素で256階調の画像間の並列加算の結果を示す．128×128画素を16×16画素からなる画像64枚に分割して実行した．多値はビットプレーン[107]で表現し，各ビットプレーン毎に加算を行い，得られた和と桁上げはそれぞれ並列メモリに記録され，次のビットプレーンに対する演算を行うときに並列に読み出される．

他に，16×16個の8bitデータに対する並列検索処理，並列四則演算，地図検索，128×128画素で256階調を持つ画像間の並列減算，並列画素値変換を実行した．これらの演算ではシステムの動作速度は，52.6ms/frame (19kframe/s)であった．

2.4.3　応答特性評価

H-OPALS16^{2}の動作特性を測定し性能を評価した．H-OPALS16^{2}の動作の高速化にはできるだけ強い光を検出器に照射する必要がある．光量が少ないと受光部の増幅回路の増幅度を上げる必要があり，応答速度が低下する．また，光量が少ないときには，光検出器の光電流が，受光素子駆動回路のノイズに埋もれて，信号として正しく検出できなくなる．本章ではH-OPALS16^{2}用光検出器への光量を変化させ，それぞれの光量でH-OPALS16^{2}が正常動作可能な最高の周波数を求めた．ここで求めた周波数を限界周波数と呼ぶ．

(a)　応答特性測定

次の手順で光検出器へ伝達される光量に対する限界周波数を測定した．

1) H-OPALS16^{2}用光検出器アレイの内の中心の検出素子に，LEDアレイの中央のLEDの像が結像する状態に光学系を配置する．
2) 結像用カメラレンズの前に光量減少(Neutral Density: ND)フィルタを置き，LEDを発光させる．
3) 光検出器の直前に光量計の光検出部分を配置して光量を測定する．
4) 一定の発光周波数でLEDを10万回繰り返して発光させ，H-OPALS16^{2}用光検出器が応答しなかった回数を計数する．
5) 発光の検出しない回数が0になるまで発光周波数を下げ，光検出回路の閾値を調整する．非検出回数が0になったときの周波数を，その光量におけるH-OPALS16^{2}用光検出器の検出可能な限界周波数とする．

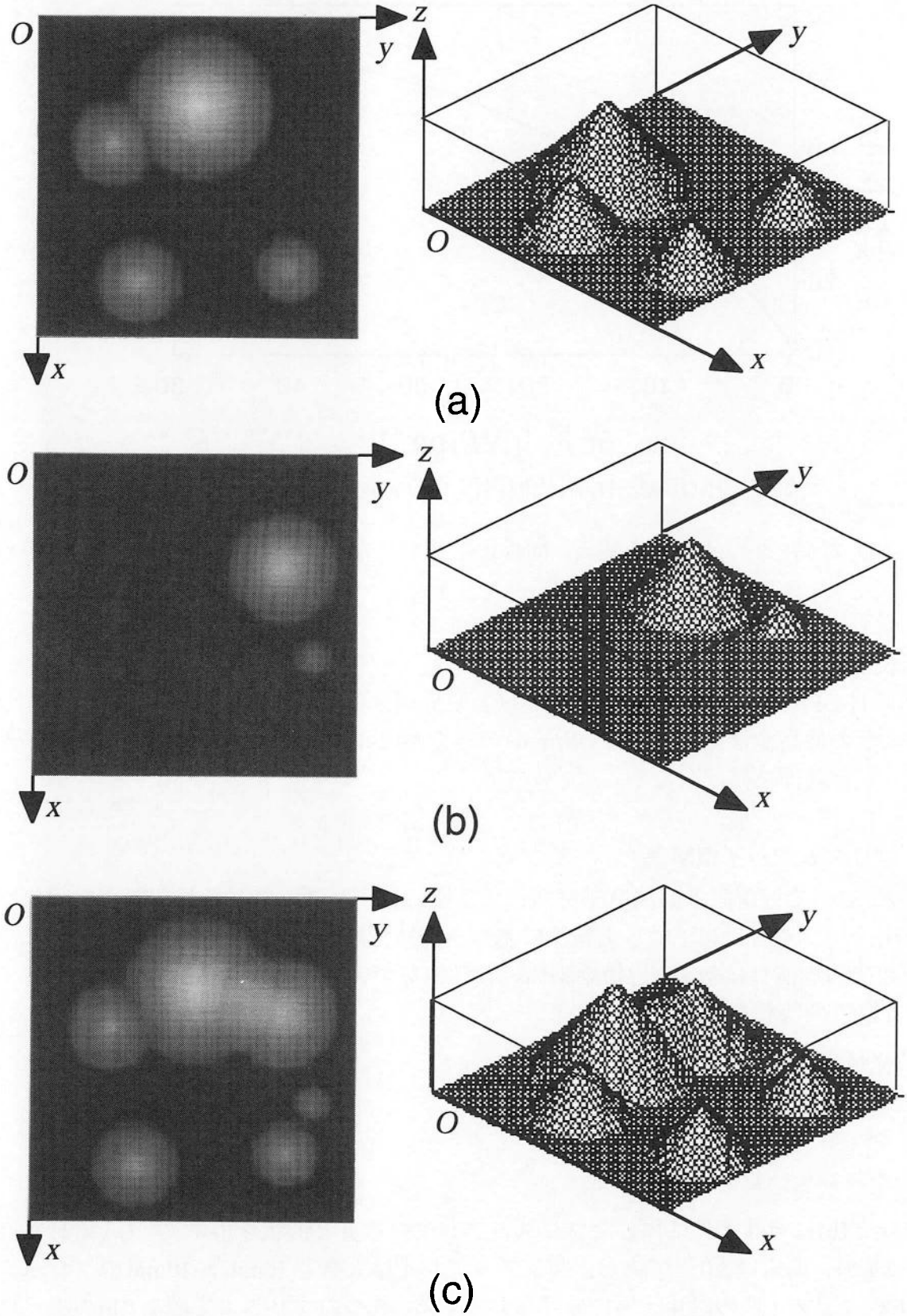


図2.5　128×128画素で256階調を持つ画像間の並列加算の実験結果．(a)被加算数，(b)加数，(c)和の実験結果．

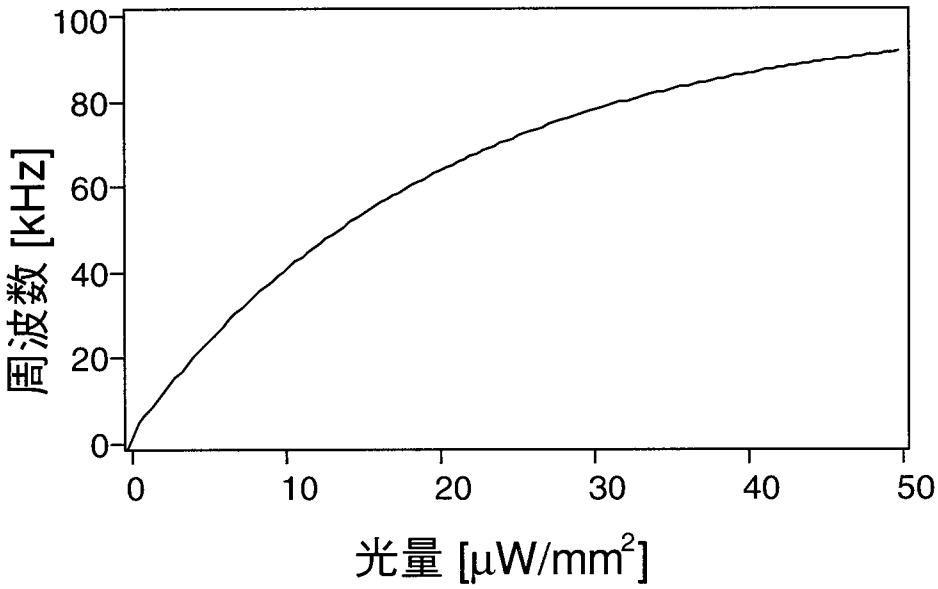


図2.6　H-OPALS16²用光検出器への光量と限界周波数.

6) NDフィルタの透過率を変え，同様の手順で，光量変化による限界周波数を求める.

(b)　実験結果

図2.6にH-OPALS16²用光検出器への光量と限界周波数の関係を示す. 測定で得られた限界周波数の最高値は，光量44.2μW/mm²のとき89.3kHzで，連続100万回のLED発光に対して正常動作を確認した.

2.4.4　プリズムアレイ相関器

H-OPALS16²で近傍画素間演算を可能にするためにプリズムアレイ相関器を試作した[108, 109]. プリズムアレイは多重結像に基づき離散相関を行う. その結果，表2.1に示す16種類の論理演算は勿論，近傍画素間の論理演算が実現可能となる. プリズムアレイ相関器は以下の特長を持つ.

1) 光量損失が少ない.
2) 結像光学系に基づくため分解能が高い.
3) シフト量を容易に設計できる.
4) インコヒーレント系である.

図2.7(a)と(b)にそれぞれ試作したプリズムアレイの写真と形状を示す. プリズム材料の屈折率は1.51，頂角は2.0°である. プリズムアレイは大きさ10mm×10mmのプリズム3個と平板ガラス1個の計4区画に分けられている. 3つのプリズムを図2.7(b)のように配置することで，プリズムアレイに入射する符号化画像を，上，下，右にそれぞれシフトさせる. 図2.7(c)にプリズムアレイによって実現可能な演算カーネルの例を示す.

プリズムアレイを用いた離散相関演算の処理能力を評価する実験を行った. 図2.8に実

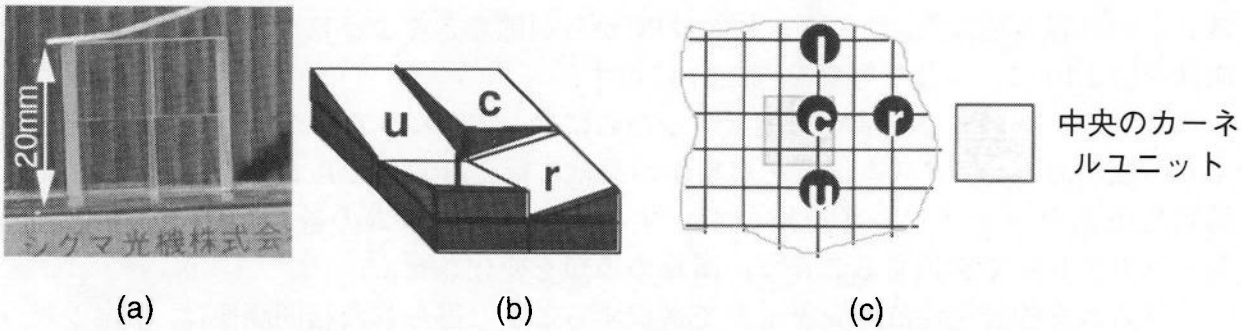


図2.7　2×2プリズムアレイ．(a)写真，(b)形状，(c)実現可能な演算カーネル．

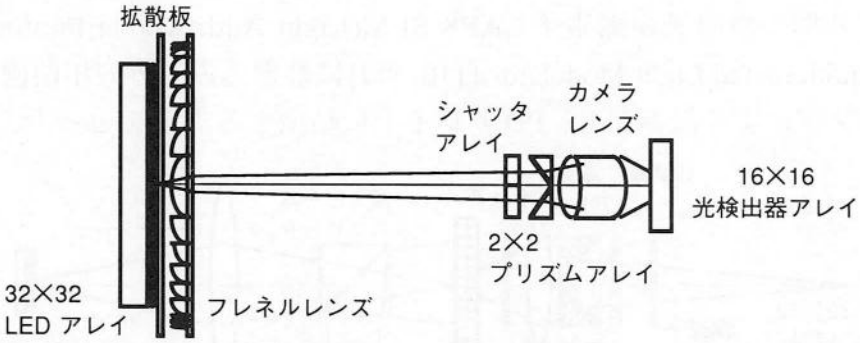


図2.8　プリズムアレイによる相関演算の評価光学系．

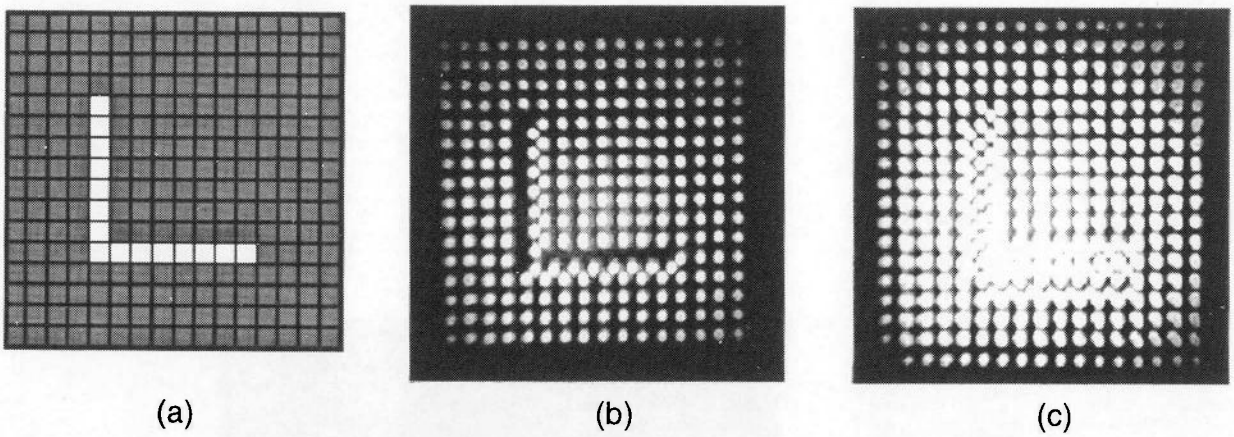


図2.9　プリズムアレイ相関器による相関演算実験結果．(a)入力画像(入力画像A,Bとも同一)，(b)符号化画像，(c)相関画像．

験系を示す．レンズにはカメラレンズ（焦点距離35～70mm，F/3.5: Nikon）を用いた．

図2.9に実験結果を示す．1.5mmのシフト量を実現し，所望の結果が得られていることを確認した．また，各シフト画像の幾何学的配置および光量の均一性は，光アレイロジックの実行に対して問題のない範囲にあった．

2.4.5　H-OPALS16^{2}用離散相関器

H-OPALS16^{2}で近傍演算を実現するために，2.4.5で述べたプリズムアレイ相関器をシ

ステム内に組み込んだ．システム動作はPCから制御できるようにした．試作相関器の構成図を図2.10に，全体の写真を図2.11に示す．

試作システムにおける演算を選択するためには，プリズムアレイの開口の開閉を制御する必要がある．プリズム選択を容易かつ柔軟に行える素子として，試作相関器では強誘電性液晶シャッタアレイを用いた．すなわち，プリズムの透過光を強誘電性液晶シャッタアレイで選択することで，演算の種類を変化させる．

プリズムを強誘電性液晶シャッタで選択することで得られた相関画像は，液晶シャッタの開口が小さいなどの理由で光量損失が大きく，受光回路で検出できるだけの十分な光量が得られなかった．そこで，実際の実現では一旦，相関画像を強誘電性液晶を利用した光アドレス型の空間光変調素子LAPS-SLM(Light Addressable Photoconductor and Smectic C* Liquid Spatial Light Modulator)[110, 111]に書き込み，その相関画像を，高輝度のハロゲンランプにより読み出し，PDアレイ上に結像する方法をとった．これは，一種

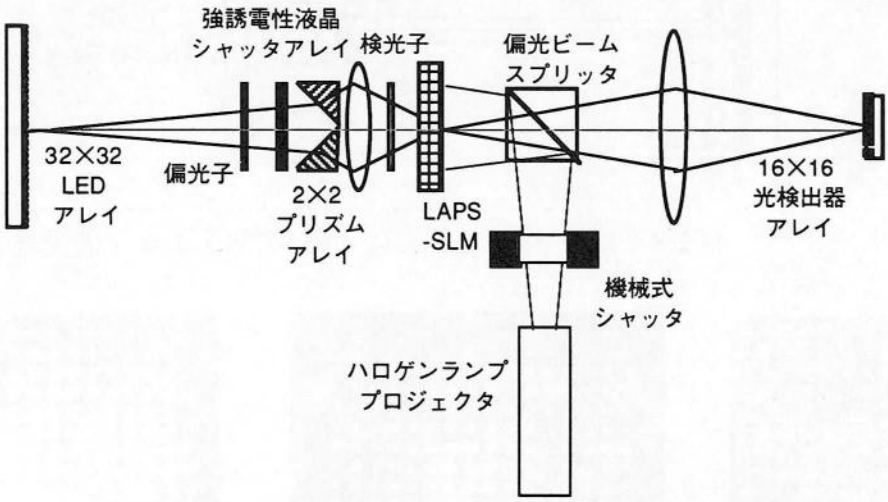


図2.10　システム組み込み用プリズムアレイ相関器．

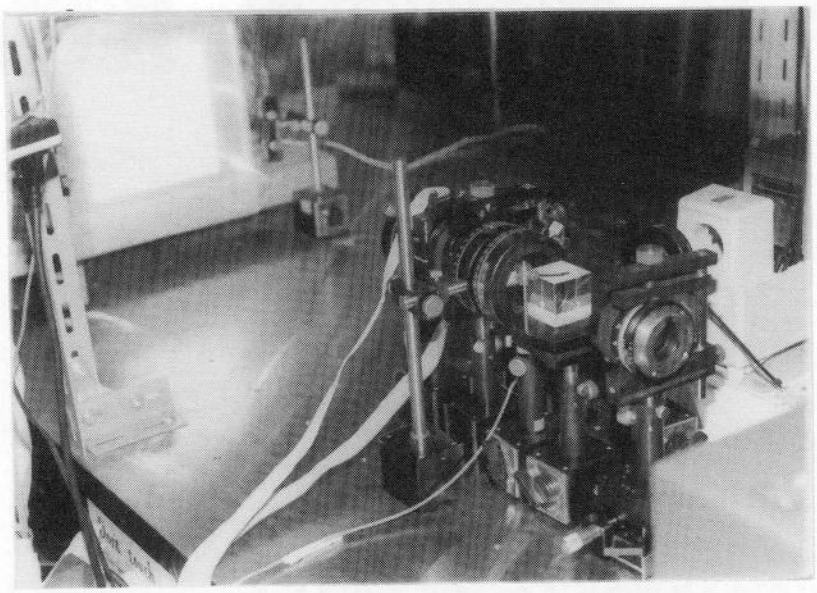


図2.11　システム組み込み用プリズムアレイ相関器の写真．

表2.2　試作システムで使用した素子及び装置の仕様.

素子	装置および仕様
符号化画像表示素子	32 x 32 LED アレイ (TLRA150A): 162mm × 162mm
結像レンズ	50mm F/1.2 (Nikon)
プリズムアレイ	2 × 2 プリズム: 10mm × 10mm /プリズム
光検出器アレイ	S3805 (Hamamatsu photonics: アレイサイズ 23.5mm × 23.5mm)
シャッタアレイ	FLC 6×6P (Displaytech): 有効開口サイズ 5mm × 5mm
空間光変調素子	LAPS-SLM (Seiko Instrum.)
空間光変調素子の読み出し光源	Tungsten Halogen Lamp: (KONDO SYLVANIA) 100V- 300WTL
システムコントローラ	PC-286VS (EPSON) 16MHz

の光信号の増幅を行っていることに相当する．ただし，相関画像をLAPS-SLMに書き込む際には，読み出し光を遮断する必要がある．そのために，読み出し光の照射・遮断を機械シャッタの開閉により制御した．システム動作は，PCで制御する．利用した素子及び装置の仕様を表2.2にまとめる．

2.4.6　動作実験

システムの全体の動作確認のために画素数16 × 16の画像に対し，並列近傍演算を実行した．スペースインバリアント処理として孤立ノイズ除去，スペースバリアント処理として多重トークン伝播を実行させた．

(a)　孤立ノイズ除去

孤立ノイズ除去[112, 113]とは，2値画像のある図形に対して，近傍画素の殆どが論理値1である論理値0の画素を孤立ノイズ画素として検出し，論理値1の画素に置き換える処理である．本実験では，次の3段階の図形変換処理により全画素並列に孤立ノイズ除去を行った．

1)　原画像の論理値1の全ての画素に対し右方向に1画素分拡張させる．
2)　原画像の論理値1の全ての画素に対し左方向に1画素分拡張させる．
3)　1)の結果と2)の結果の間でAND演算を行う．

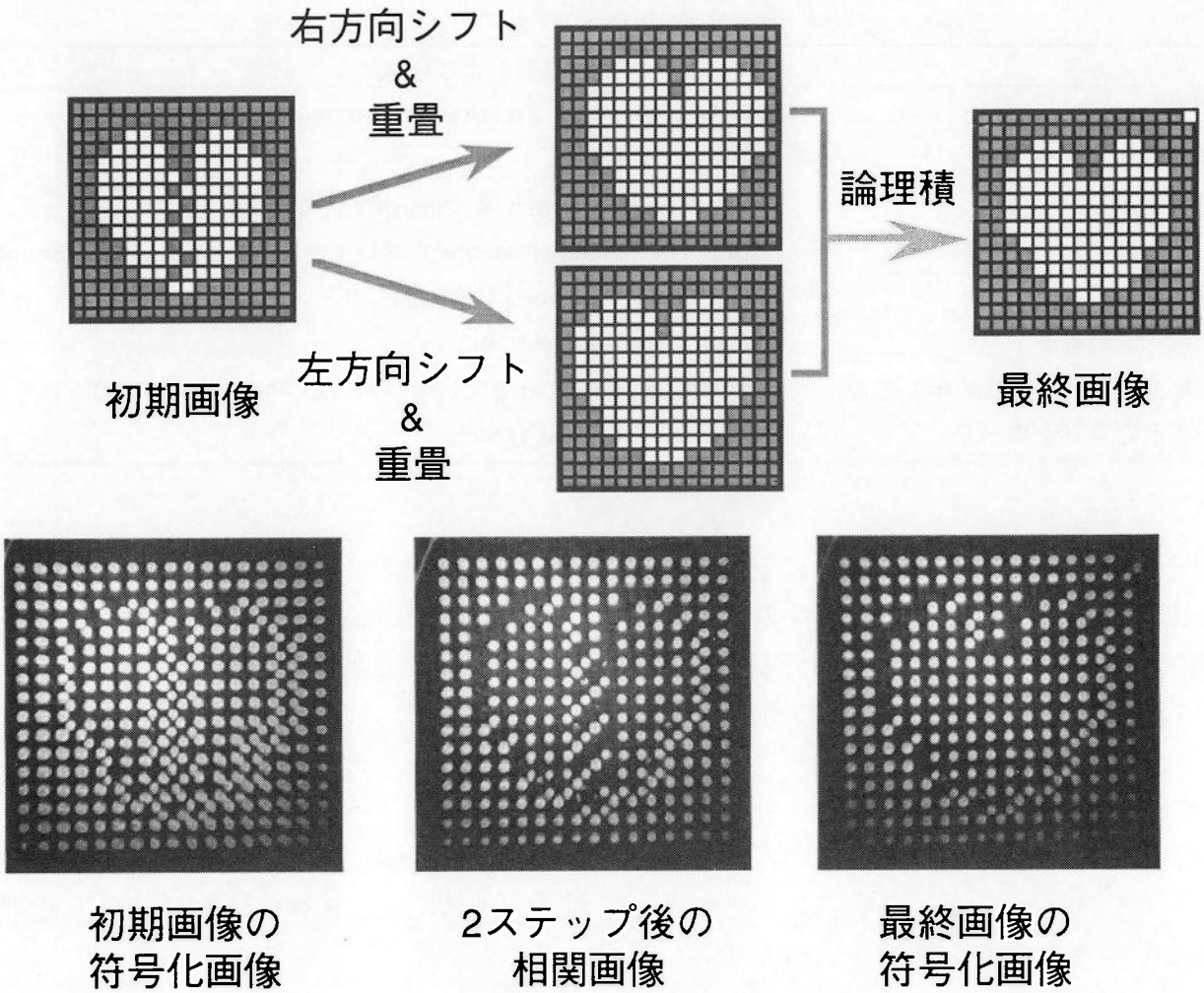


図2.12　孤立ノイズ除去実験結果.

図2.12に演算の各段階で得られた画像と演算途中に光学系で得られた相関画像の出力像を示す.

(b)　多重トークン伝播

多重トークン伝播[37, 38]とは, トークンを用いてスペースバリアントな処理を実現する光コンピューティングの一演算手法である. トークンとは, ある情報を表現する画素パターンである. 光アレイロジックは, SIMD方式の並列処理であるが, トークンを2次元画像上に複数個配置し, 各トークンを独立に画像内で並列転送することにより, スペースバリアントな処理を実現することができる. トークンを横方向のみに伝播させるものとすると, 縦に配列した複数のトークンを独立に扱いうる多重トークン伝播が実現できる. さらに, 条件画像を用いると, 与えられた条件を満たす位置へトークンを移動することができ, 各トークンの動きを独立に制御することができる. この手法により, 複数の演算過程を並列に制御することができる. これらの処理では, パターン展開[38]とテンプレートマッチングを使用する. 試作システムでは演算実行の際, 画像の端の画素に対して所望の演算結果が安定して得られなかった. そこで16×16画素のうち中央の8×8画素にデータを配置した. トークンとして図2.13に示すような2×2画素からなる4種

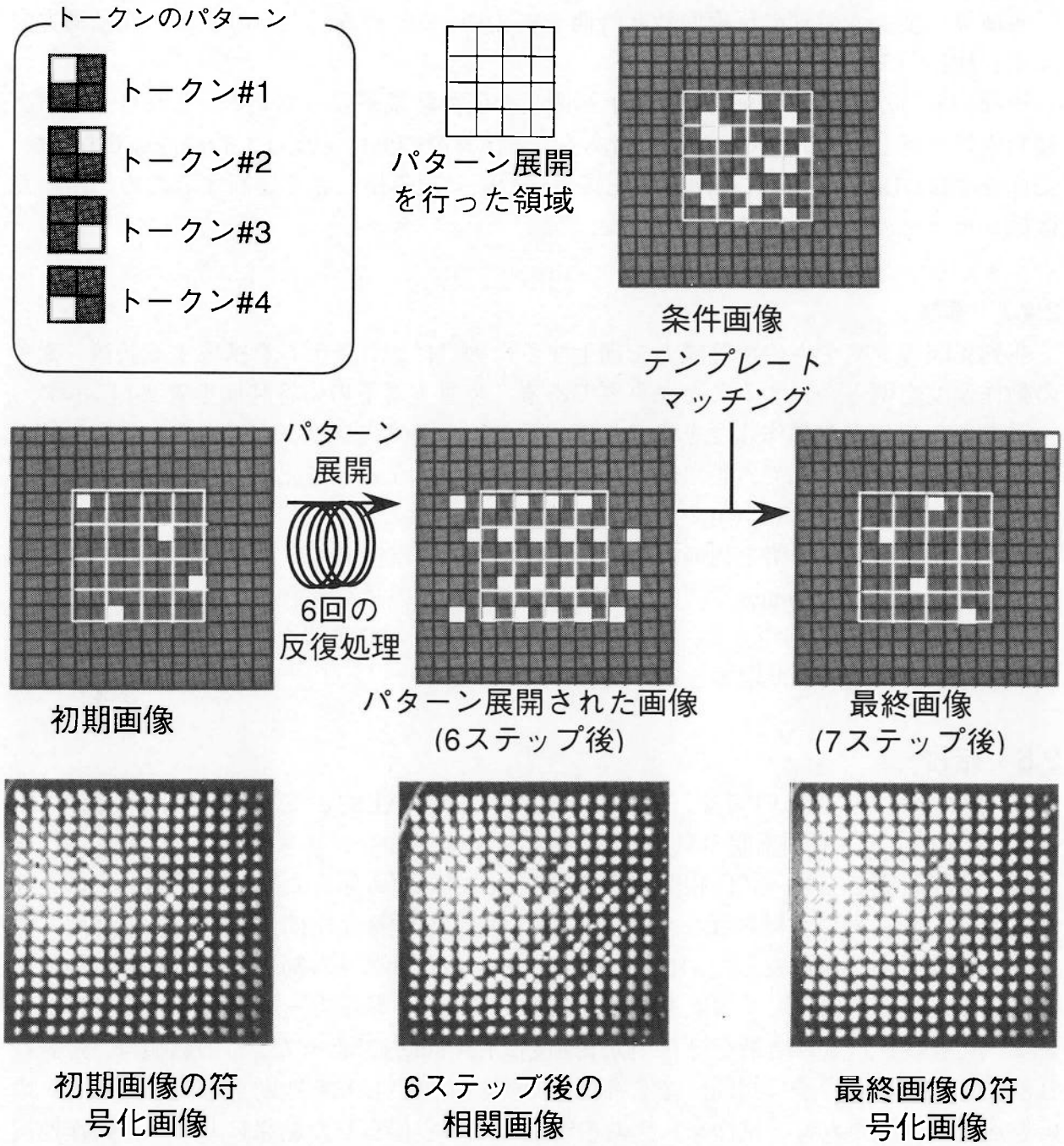


図2. 13　トークン伝播実験結果.

類のパターンを設定した．次の 1)-3)の手順で多重トークン伝播を行った．

1)　初期画像として図 2.13 に示すトークンを配置する．
2)　トークンの複製を横方向に隣接するように並べる(パターン展開).
3)　条件画像に適当なパターンを設定しテンプレートマッチングを行う．

図2.13 に試作システムで実行した演算の結果を示す．各段階の出力画像と光学系で得られた相関画像を示す．

各演算に要した処理の反復回数と時間を表2.3にまとめる．上述の演算の他に横方向エッジ検出演算も実行した．

一部の演算結果では，画像の最右上端画素の演算結果が誤っている．これは，最右上端画素に対応したPDの欠陥が原因である．各演算での動作速度は1.3 frame/sであった．動作速度は，LAPS-SLMに相関画像を書き込む際に読み出し光を遮断するために用いた機械シャッタの応答速度で制限された．

2.4.7　考察

並列光演算システムの演算能力を向上するためには，システムを構成する装置・素子の動作速度を明らかにすることが重要である．装置・素子の応答時間を表2.4に示す．

現在のシステムの動作速度を決定しているのは，機械式シャッタである．発光素子の光量を向上させることで，並列光信号増幅器が不要になると考えられ，それに伴い，機械式シャッタとLAPS-SLMもシステム構成から除くことが可能である．その場合，プリズムアレイの開口の開閉を制御するために用いた強誘電性液晶シャッタが動作を制限すると考えられる．20kframe/sで開口の開閉を制御できる強誘電性液晶シャッタを用いた場合，2.4.3.(b)の評価に基づくと，このときに入力画像表示に必要な発光素子の光量は1素子あたり約23.7mWと推定できる．

2.5　結言

並列光演算システムの実証システムとして，H-OPALS16^{2}を考案，試作した．H-OPALS16^{2}による近傍画素間の演算を実現するために必要なプリズムアレイ離散相関器を試作，機能評価をした．試作相関器をH-OPALS16^{2}に組み込んだ際，光量損失により検出器上で十分な光量が得られなかったために，強誘電性液晶空間光変調素子を利用した並列光信号増幅器を作成した．H-OPAL16^{2}で演算のプログラム制御可能性と安定動作を確認するために，孤立ノイズ除去，横方向エッジ検出，多重トークン伝播を並列に実行させ，所望の並列演算結果を得た．動作速度は1.3frame/sであった．この数値は，強誘電性液晶空間光変調素子に相関画像を書き込む際に読み出し光を遮断する機械シャッタの応答速度で制限された．試作システムの性能評価から得られた結果に基づき，動作速度と必要な光量を考察した．システム動作の高速化のためには，液晶空間光変調素子より応答速度の速い半導体空間光変調素子やDMD (Deformable Mirror Device)[114-117]の利用が必要と考えられる．

表2.3　各演算に要した処理の反復回数と時間．

並列演算	処理サイクル数	処理時間 [秒]
孤立ノイズ除去	3	2.27
横方向エッジ検出	4	3.03
多重トークン伝播	7	5.30

表2.4　全体動作での各処理部での応答時間．

構成要素	応答時間 [秒]
電子回路部	5.2×10^{-5}
LAPS-SLM	1.0×10^{-2}
機械式シャッタ	7.5×10^{-1}

第 3 章　並列光離散相関器

3.1　緒言

ディジタル光コンピューティングの演算原理として光アレイロジック[25], 局所可変論理演算[102], 記号置換論理[96, 97], 二値画像代数[98, 99], 画像論理代数[100, 101]などが提案されている．これらの演算原理は 2 次元の 2 値離散画像に対して任意の近傍論理演算を行う．それぞれの演算原理は，離散相関演算[118]を基本演算として実現される．光の特徴を利用して離散相関演算を効率良く実現する光演算モジュールが並列光離散相関器である．

並列光離散相関器の処理能力や実装方法は，並列ディジタル光コンピューティングシステム全体の処理能力，実装体積などに大きく影響する．したがって，適切な並列光離散相関器を構成することが，並列ディジタル光コンピューティングシステム開発にとって重要である．これまで，多くの並列離散相関器の提案や試作が行われてきたが演算能力に関する定量的な評価はなされていない．

本章では，並列光離散相関器の実現方式を分類し，各方式について特徴を明確にする．また，相関器の光量利用効率，処理スループット，実装体積を定量的に評価する．

3.2　離散相関演算

離散相関演算は，図 3.1 に示すように，2 値離散画像と演算カーネルとの 2 次元相互相関演算として定義される．演算カーネルは，複数のデルタ関数により構成される．2 値離散画像上の画素を $a_{i,j}$，演算カーネル上の個々のデルタ関数を $b_{i,j}$ とすると，離散相関演算は次式で表現できる．

$$c_{i,j} = \sum_{p=-L}^{L} \sum_{q=-L}^{L} a_{i+p,\,j+q}\, b_{p,\,q}. \tag{3.1}$$

ここで，演算カーネルの大きさは，$(2L+1)\times(2L+1)$ とする．これより明らかなように，離散相関演算は，入力 2 値画像上の離散的な情報に対する積和演算として構成される．

式(3.1)より，離散相関演算は，入力画像の複製，複製画像の平行移動，移動画像の重ね合わせにより行えることがわかる．これらの操作は光学的処理を用いて容易に実現できるため，離散相関演算はディジタル光コンピューティングにおける重要な基本演算となっている．

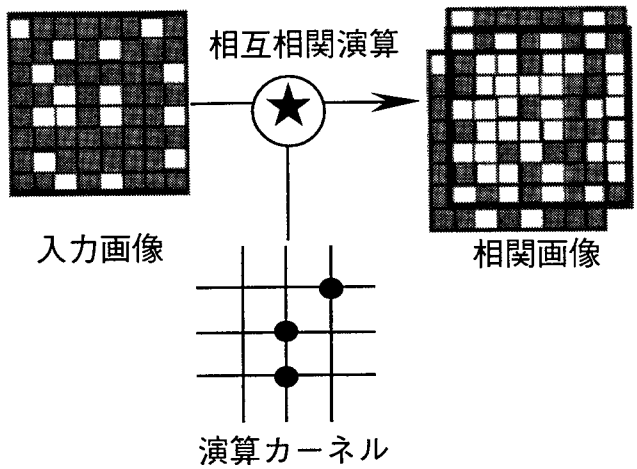


図3.1　離散相関演算.

3.3　並列光離散相関演算の方式

並列光離散相関演算は，演算カーネルの取り扱い方に関して，時間多重方式と空間多重方式に大別できる[119, 120]. 図3.2に時間多重方式と空間多重方式の処理流れを示す.

3.3.1　時間多重方式

時間多重方式は，演算カーネル内の各デルタ関数に対応した位置に入力画像を順次偏向し，出力面でそれらを積算して相関画像を求める方式である. 図3.3に時間多重方式の概略を示す. 時間多重方式は，多くの処理時間を要する欠点を持つが，光量の利用効率が高く，相関器の構成が簡素であるという利点を有する.

3.3.2　空間多重方式

空間多重方式は，入力画像の複製像を作り，同時に，それらをシフト，重畳させて相関画像を得る. 空間多重方式は，画像複製を並列的に行うために，処理段階が少なく，高い処理スループットが期待できる. 空間多重方式は，入力画像の複製方法によって，さらに，瞳制御方式と光源変調方式に分類できる. 図3.4にそれぞれの概略を示す.

(a)　瞳制御方式

瞳制御方式では，演算カーネル上の各デルタ関数による画像複製とシフトは，分割された開口の1区画に位置するシャッタとプリズムや回折格子などの偏向素子で実現する. 入力画像の表示には空間光変調素子も利用できるが，高速に変調可能な光源アレイが利用できる. 入力画像を表示する光源アレイからの光は，光学系開口の各区画を通過する. 各区画を通過した光は，偏向され，出力面で相関画像を形成する. 演算カーネルのパターン制御は，開口の各区画に置かれたシャッタの開閉により行う.

瞳制御方式では，入力画像の高速切り替えが可能であり，入力画像の更新が頻繁に行われる場合に有利である. また，入力画像の照明光学系が不要なため，小さな体積で相関器を実装することが可能である.

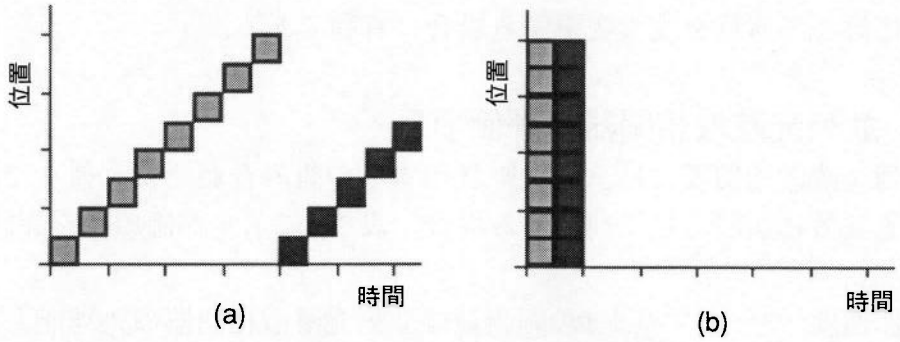


図3.2　時間多重方式と空間多重方式の処理の流れ．(a)時間多重方式，(b)空間多重方式．

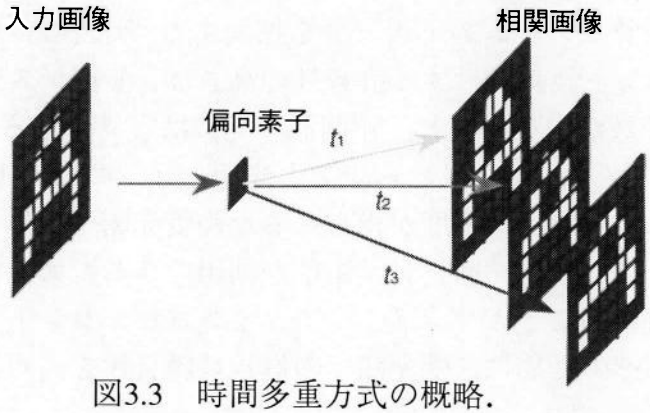


図3.3　時間多重方式の概略．

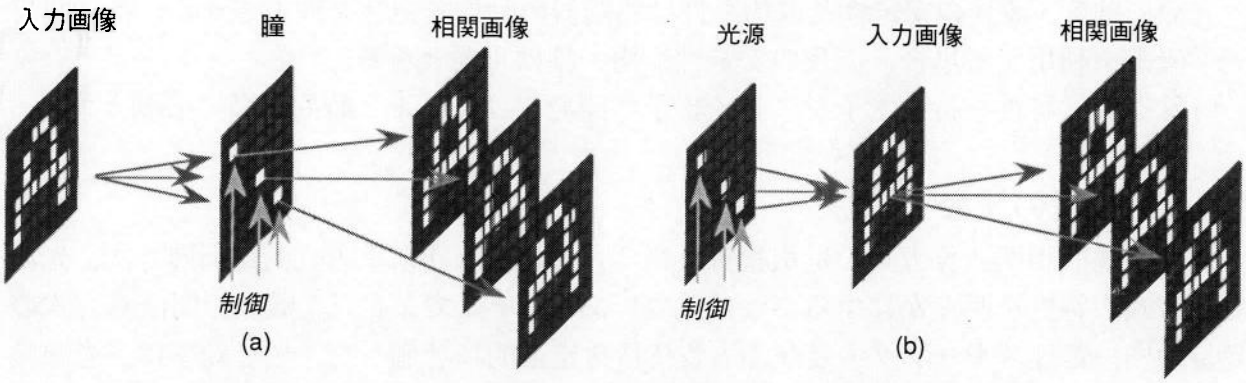


図3.4空間多重方式の概略．(a)瞳制御方式，(b)光源変調方式．

(b)　光源変調方式

光源変調方式では，演算カーネル上の各デルタ関数による画像複製とシフトは点光源とその点光源に対応したプリズムや回折格子などの偏向素子で実現される．入力画像は空間光変調素子に表示する．演算カーネル上の各デルタ関数に対し一つの点光源が割り当てられる．各点光源からの光は，それぞれ入力画像を照明する．入力画像を透過した光は，演算カーネルに対応したシフトを実現するために，あらかじめ設定された角度に偏向される．それぞれの角度に偏向された光は出力面で像を形成し，それらの重ね合わせとして相関画像を得る．演算カーネルのパターン制御は点光源の変調で実現する．

光源変調方式では，演算カーネルの高速制御が可能である．したがって，同一の入力

画像に対して演算を度々変更する場合に有利である．

3.4　並列光離散相関器の評価項目

並列光離散相関器には，方式や利用素子の組み合わせより種々な形態が考えられる．並列光離散相関器として利用する場合，表3.1に示す評価項目を評価しなければならない．

動作速度，ファンアウト数，画素数は並列光離散相関器の処理能力に直接関係する．画像のシフト量の大きさ，最小シフト量の大きさは，処理能力と共に処理の自由度に影響する．高い光量効率は動作速度を向上させ，光源選択の幅を拡げる．小さな実装体積は，並列ディジタル光演算システムの応用分野を拡大する．実装の容易性は相関器の生産性を高める．アライメント誤差に対する許容性の高さは，演算システムの動作安定性を向上させる．光学素子数が少ないほど，相関器の実装は容易になる．

利用する光源の性質として，コヒーレント光源とインコヒーレント光源がある．コヒーレント光源では，高い光量密度が得られるため受光素子に対して，高い光量を供給することが可能である．また，回折光学素子が利用できるため，相関器構成の形態，素子選択の自由度を高めることができる．一方，インコヒーレント光源では，スペックル雑音を除去できる．そのために，受光部での信号対雑音比を高めることができ，安定した演算が可能になる．

光源の強度・波長の安定性及び均一性は相関器の動作安定性を向上させる．特に回折光学素子を利用する場合，波長の安定性，均一性は重要となる．

特殊な光学特性を持つ素子やアレイ素子の開発にはコストと時間を多く必要とする．

3.5　各方式の比較

並列光離散相関演算方式の選択指針を得るために，時間多重方式，瞳制御方式，光源変調方式の特性を明らかにすることは重要である．そこで，並列光離散相関演算方式の光量効率，処理スループット及び，実装体積を定量的に評価した．光量効率は，光源の選定において重要となる．並列光離散相関演算の処理スループットは光コンピューティングシステムの処理能力を決定する．実装体積はシステムの物理サイズを決める．各方式は図3.5に示すモデルを仮定して評価した．

表3.1　並列光離散相関器の評価項目．

動作サイクル速度	演算カーネルのデルタ関数の数(ファンアウト数)
画像のシフト距離	画像シフトの最小距離
画素数	光量の均一性と安定性
光量効率	波長の均一性と安定性
実装体積	光学素子数
実装の容易性	光源のコヒーレンス性
アライメント許容度	
光学素子の設計・製造の容易性	

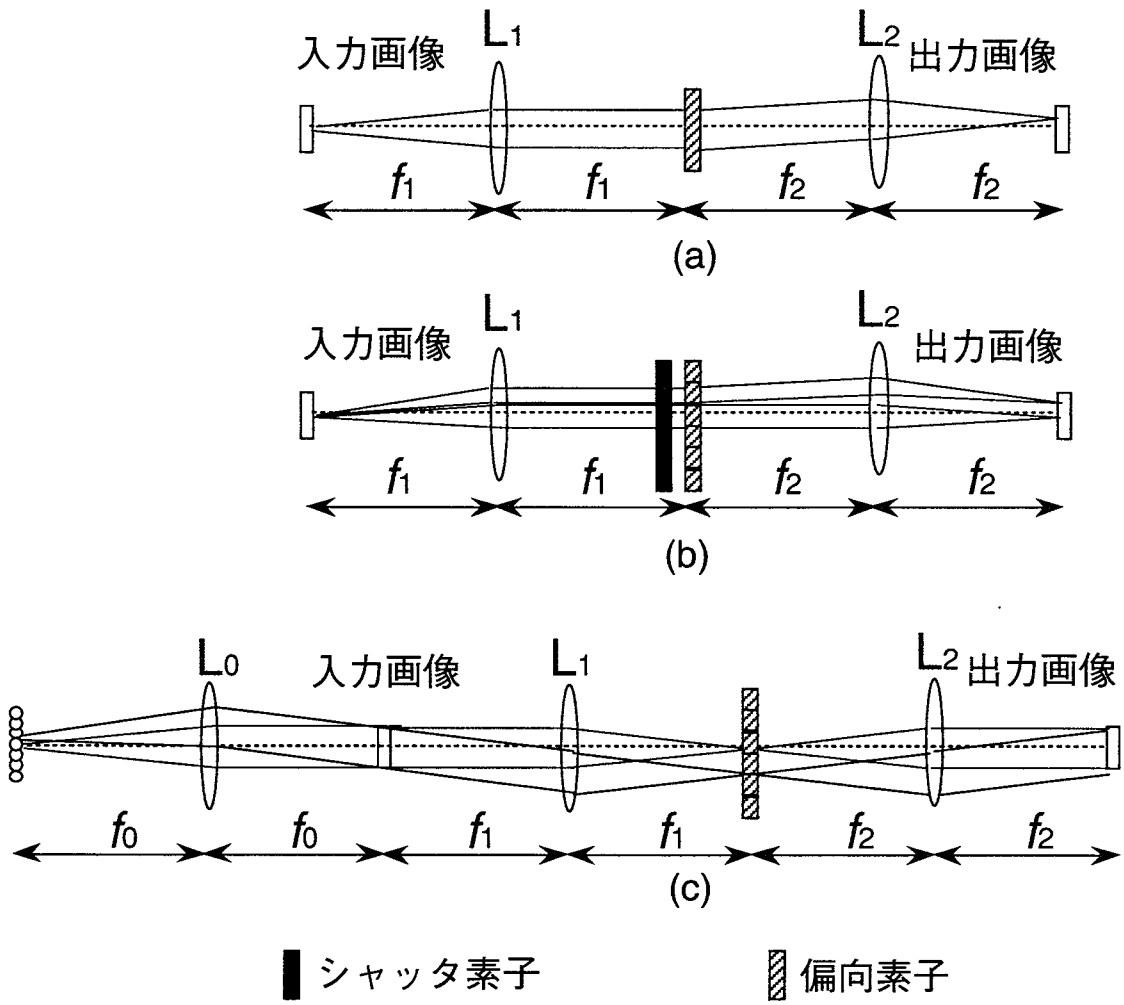


図3.5　評価で仮定した並列離散相関器の構成．(a)時間多重方式，(b)瞳制御方式，(c)光源変調方式．

3.5.1　光量効率評価

並列光離散相関器において，入力画像の書き換え，演算カーネルの更新速度が十分に速い場合，受光器に到達する光エネルギーが相関器の動作速度に大きく影響する．光エネルギーが大きいほど，受光器が高速応答可能であり，離散相関器の動作速度は向上する．したがって，離散相関器の各方式において光量効率を評価することは，相関器の動作高速化を目指す上で重要である．本項では，離散相関器の各方式の光量効率を求め，各方式が優位となる条件を明らかにする．

光量効率は，演算カーネル内の一つのデルタ関数に対して出力される画像の1画素の光量と一つの光源の光量との比により定義する．すなわち一つの光源からの光エネルギーのどれくらいの割合が複製された1画素に到達するかを表す．評価に利用するパラメータを表3.2にまとめる．添字T, P, Sはそれぞれ，時間多重方式，瞳制御方式，光源変調方式での各量を表現する．

表3.2　光量効率評価で利用するパラメータ.

η_x	相関器の光量効率 (x: T, 時間多重方式; P, 瞳制御方式; S, 光源変調方式)
η_{free}	自由空間伝搬の光量効率
η_{dev}	偏向素子の光量効率
η_{bulk}	バルク光学素子の光量効率
η_{disp}	入力画像表示素子の光量効率
η_{shut}	シャッタアレイ素子の光量効率
η_{apert}	光学素子の開口の大きさ制限による光量効率
r	レンズ開口の半径
l_{in}	入力画像の一辺の長さ
l_{dev}	偏向素子設定面の開口の大きさ
N	入力画像の画素数
K	演算カーネルのデルタ関数の数

(a)　時間多重方式

時間多重方式では，入力画像の各画素に一つの点光源を割り当てることができる．一つの点光源からの光は受光面の1点にのみ伝達する．瞳制御方式で用いるアレイ型偏向素子との構造の違いを表現するため，ここでの偏向素子は一辺αl_{dev}の正方形とする．このとき，光量効率は次の式で与えられる．ただし，$(\alpha l_{dev})^2 \leqq \pi r^2$とする．

$$\eta_T = \eta_{free}\,\eta_{dev}\,\eta_{apert} = \eta_{free}\,\eta_{dev}\,\frac{(\alpha\, l_{dev})^2}{\pi\, r^2}. \tag{3.2}$$

(b)　瞳制御方式

瞳制御方式でも，入力処理画像の各画素に一つの点光源を割り当てることができる．一つの光源からの光は，演算カーネル選択用シャッタアレイ全体を照明するために，演算カーネル点数分に分配される．したがって，光量効率は次式で表現される．ただし，$l_{dev}^2 \leqq \pi r^2$とする．

$$\eta_P = \eta_{free}\,\eta_{dev}\,\eta_{shut}\,\eta_{apert} = \eta_{free}\,\eta_{shut}\,\eta_{dev}\,\frac{l_{dev}^{\ 2}}{K\,\pi\, r^2}. \tag{3.3}$$

(c)　光源変調方式

光源変調方式では，演算カーネルの各点に対して，一つの点光源を割り当てることができる．一つの点光源からの光は，入力画像全体を照明するため，画素点数分に分配される．したがって，光量効率は，次式で表現できる．ただし，$l_{in}^2 \leqq \pi r^2$とする．

$$\eta_S = \eta_{free}\,\eta_{dev}\,\eta_{disp}\,\eta_{apert} = \eta_{free}\,\eta_{disp}\,\eta_{dev}\,\frac{l_{in}^{\ 2}}{N\,\pi\, r^2}. \tag{3.4}$$

(d)　各方式比較

入力画像表示用素子と演算カーネル選択用シャッタアレイ素子には，同等な素子が利用できると考えられる．例えば，高速書き換え可能で，高コントラスト特性を持つ強誘電性液晶素子が候補として挙げられる．この場合，$\eta_{disp}=\eta_{shut}$であり，この値をβとおく．また，$s=l_{in}/l_{dev}$とおく．さらに，各方式において，自由空間伝搬の光量効率が等しいとする．

$$\gamma=\frac{\eta_{free}\,\eta_{dev}\,l_{in}^{2}}{\pi\,r^{2}}, \tag{3.5}$$

とおくと，η_T, η_P, η_S, は，それぞれ，次式で表せる．

$$\eta_T=\alpha^2\,\gamma, \tag{3.6}$$

$$\eta_P=\frac{\beta\,\gamma}{K}, \tag{3.7}$$

$$\eta_S=\frac{\beta\,\gamma\,s^2}{N}. \tag{3.8}$$

ここで，各方式において光量が等しくなる条件を求める．
$\eta_T=\eta_P$の場合は，

$$K=\frac{\beta}{\alpha^2}. \tag{3.9}$$

$\eta_T=\eta_S$の場合は，

$$N=\frac{\beta\,s^2}{\alpha^2}. \tag{3.10}$$

$\eta_S=\eta_P$の場合は，

$$K = \frac{N}{s^2}. \tag{3.11}$$

以上の結果より，NとKをパラメータとして，最も高い光量効率が得られる方式を図示すると図3.6が得られる．ここで，光の波長をλ，利用レンズの焦点距離をfとすると，光学系の空間帯域幅積の制限より，NKには上限が存在し，

$$NK \leqq \left(\frac{r^2}{8\lambda f}\right)^2, \tag{3.12}$$

で与えられる[30].

3.5.2　処理スループット評価

離散相関演算の処理スループットは，並列ディジタル光コンピューティングシステム全体の処理能力に大きな影響を与える．離散相関器の各方式の処理スループットを評価し，それぞれの優位点を明確にすることは重要である．本評価で利用するパラメータを表3.2および表3.3に示す．

離散相関演算の処理スループットGを次式で定義する．

$$G = \frac{\kappa N}{\Delta T}. \tag{3.13}$$

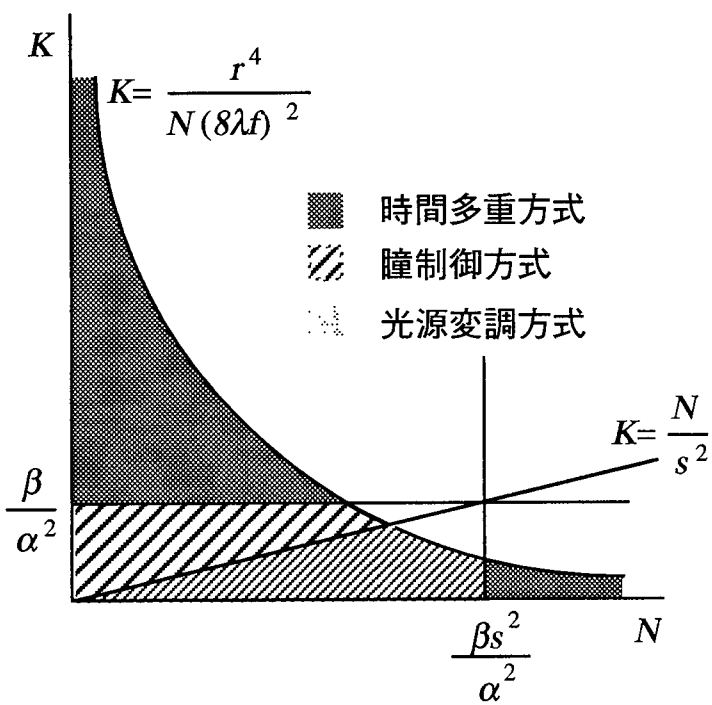


図3.6　光量効率に関する3方式の優位条件.

表3.3　処理スループット評価で利用するパラメータ．

Gx	処理スループット (x: T, 時間多重方式; P, 瞳制御方式; S, 光源変調方式)
P_0	点光源の光パワー
S	光検出器の感度
C	光検出器の接合容量
ΔV	光検出器の状態のスイッチに必要な電圧変化
ΔT	光検出器の応答時間
P_{in}	光検出器で検出された光パワー

ここで，画素数をN，1回の発光で評価できる演算カーネル点数をκ，応答速度をΔTとする．Gは単位時間当たりの積和演算の数に等しい．

現状において，多くの光演算システムでは，光偏向素子の応答がシステムの動作速度を制限している．しかし，将来的に高速制御可能な光偏向素子が開発された場合，光信号検出における処理速度がシステムの動作速度を制限すると予想される．

ΔVを受光素子の状態がスイッチするのに必要な電圧変化とすると，

$$\Delta V = \frac{S\,P_{\mathrm{in}}\,\Delta T}{C}, \tag{3.14}$$

と表される[121]．ここで，ΔTを光検出器の応答速度，Cは光検出器の接合容量，Sは放射感度，P_{in}は光検出器で受光する光量である．

式(3.13)と式(3.14)よりGは次式で表せる．

$$G = \frac{\kappa\,N\,S\,P_{\mathrm{in}}}{C\,\Delta V}. \tag{3.15}$$

(a)　時間多重方式

時間多重方式処理の場合，κ=1を考慮して，次式で与えられる．

$$G_{\mathrm{T}} = \frac{NS\eta_{\mathrm{T}}\,P_{\mathrm{o}}}{C\Delta V}. \tag{3.16}$$

ここで，P_oは光源の光量である．式(3.6)を代入して，

$$G_{\mathrm{T}} = \frac{\alpha^2\gamma\,NKS\,P_o}{C\Delta V}. \tag{3.17}$$

ここで，$B=\gamma S P_o / C\Delta V$とおくと$G_T$は次式で表現できる．

$$G_T=\alpha^2 BN. \tag{3.18}$$

(b)　瞳制御方式

瞳制御方式の処理スループットは，$\kappa=K$を考慮して，式(3.7)，式(3.15)とBを用いると次式で表現できる．

$$G_P=\frac{KNS\eta_P P_o}{C\Delta V}=\beta BN. \tag{3.19}$$

(c)　光源変調方式

光源変調方式の処理スループットは，$\kappa=K$を考慮して，式(3.8)，式(3.15)とBを用いると，次式で与えられる．

$$G_S=\frac{KNS\eta_S P_o}{C\Delta V}=\beta BKs^2. \tag{3.20}$$

(d)　各方式比較

各方式において処理スループットが優位になる条件を求める．G_TとG_Pの比較により，α^2とβの大小関係で場合分けする．

i)　$\alpha^2 \geqq \beta$のとき

式(3.18)と式(3.19)より，$G_T \geqq G_P$が得られる．そこで，G_TとG_Sを比較する．
$G_T=G_S$の場合は，

$$K=\frac{\alpha^2 N}{\beta s^2}. \tag{3.21}$$

したがって，$K \geqq \alpha^2 N/\beta s^2$のとき，光源変調方式が，それ以外のとき，時間多重方式が最も高いスループットを与える．

ii)　$\alpha^2 < \beta$のとき

式(3.18)と式(3.19)より，$G_T < G_P$が得られる．そこで，G_PとG_Sを比較する．

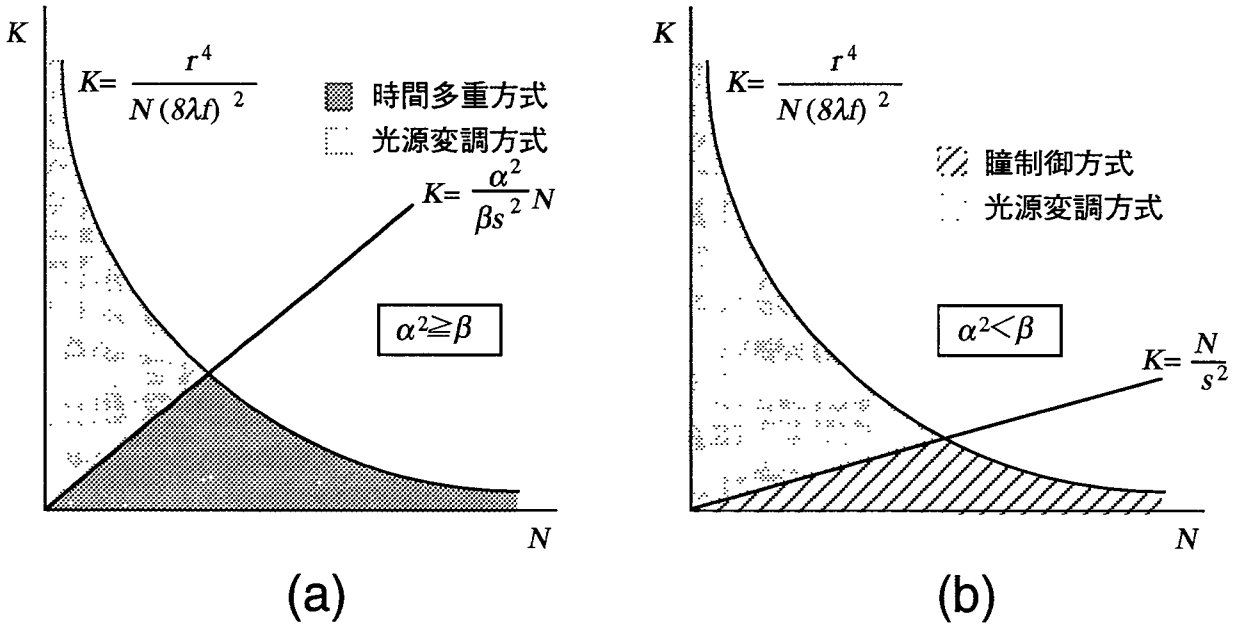


図3.7　処理スループットに関する3方式の優位条件．(a) $\alpha^2 \geqq \beta$, (b)$\alpha^2 < \beta$.

$G_P = G_S$ の場合は，

$$K = \frac{N}{s^2}. \tag{3.22}$$

したがって，$K \geqq N/s^2$ のとき，光源変調方式が，それ以外のとき，瞳制御方式が最も高いスループットを与える．

以上の結果より，N と K をパラメータとして，最も高い処理スループットが得られる方式を図示すると図3.7が得られる．

3.5.3　実装体積評価

システムの実装体積を小さくすることは，その利用範囲や応用分野の拡大をもたらす．また，システムの集積化を目指す上でもシステムの実装体積の縮小は重要である．ディジタル光コンピューティングシステムにおいて，並列光離散相関器は大きな体積を占めるため，その小型化は，システム全体の物理的サイズに大きな影響を及ぼす．そこで，離散相関器の各方式での体積を評価し，それぞれの優位性を明らかにする．

入力画像，出力画像の一辺の大きさをそれぞれ l_{in}, l_{out} とする．画像偏向素子の最大偏向角度を θ とする．偏向素子を正方形と考えその一辺の大きさを l_{dev} とする．光源変調方式に用いる光源アレイの大きさを一辺 l_s とする．画像の最大シフト量を b, 相関器の長さを Λ, 体積を V とする．さらに，レンズ L_i の焦点距離を f_i, 半径を r_i とする($i=0,1,2$)．添字は，照明光コリメート用レンズを0，結像系の前側レンズを1，後側を2とする．

表3.4　体積評価で利用するパラメータ.

l_{in}	入力画像の一辺の長さ
l_{out}	出力画像の一辺の長さ
θ	偏向素子の最大偏向角度
l_s	光源変調方式の光源アレイの一辺の長さ
b	出力面での画像シフト量の大きさ
d	$\max(r_i, l_{in}, l_{out}, l_s, l_{dev})$
Λ_x	相関器の長さ (x: T, 時間多重方式; P, 瞳制御方式; S, 光源変調方式)
V_x	相関器の実装体積 (x: T, 時間多重方式; P, 瞳制御方式; S, 光源変調方式)
f_i	図 3.5 中に示すレンズL_iの焦点距離($i = 0, 1, 2$)
r_i	レンズL_iの開口の半径
M	レンズL_1とレンズL_2とで構成される結像系の拡大率
t	l_{dev} と l_{in} との比
u	l_s と l_{in}との比

(a)　時間多重方式

時間多重方式では，結像倍率より次式の関係がある.

$$f_2 = \frac{l_{out}}{l_{in}} f_1. \tag{3.23}$$

最大偏向角度は次式で表現できる.

$$\tan\frac{\theta}{2} = \frac{b}{f_2}. \tag{3.24}$$

したがって，相関器の長さは，次式で与えられる.

$$\Lambda_T = 2f_1 + 2f_2 = \frac{2\,b\,(l_{in} + l_{out})}{l_{out}\tan\frac{\theta}{2}}. \tag{3.25}$$

ここで，画像のシフト量 b と画素数 N，演算カーネルのデルタ関数の数 K，出力画像サイズ l_{dev} の間には次の関係式が成り立つ.

$$b = \frac{l_{out}}{2}\sqrt{\frac{K}{N}}. \tag{3.26}$$

相関器の体積は，式(3.25)，式(3.26)を用いると次式で表現できる．

$$V_{\mathrm{T}} = d^2 \Lambda_{\mathrm{T}} = \frac{d^2 (M+1)\, l_{\mathrm{in}}}{\tan\frac{\theta}{2}} \sqrt{\frac{K}{N}}. \tag{3.27}$$

(b)　瞳制御方式

瞳制御方式では，付録Aに示す幾何学的考察より，最大偏向角度は，次式で表現できる．

$$\tan\theta = \frac{4 l_{\mathrm{out}} f_2}{4 f_2^2 + l_{\mathrm{dev}} \left(l_{\mathrm{dev}} - 2b\right)}. \tag{3.28}$$

したがって，f_2は，

$$f_2 = \frac{l_{\mathrm{out}} + \sqrt{l_{\mathrm{out}}^2 - l_{\mathrm{dev}} \left(l_{\mathrm{dev}} - 2b\right) \tan^2\theta}}{2\tan\theta}. \tag{3.29}$$

で得られる．このとき，相関器の長さと体積はそれぞれ式(3.30)と式(3.31)で表現できる．

$$\begin{aligned} \Lambda_{\mathrm{P}} &= 2f_1 + 2f_2 \\ &= \frac{(M+1)\, l_{\mathrm{in}} \left\{ M + \sqrt{M^2 - t\left(t - M\sqrt{\frac{K}{N}}\right)\tan^2\theta} \right\}}{M\tan\theta}, \end{aligned} \tag{3.30}$$

$$\begin{aligned} V_{\mathrm{P}} &= d^2 \Lambda_{\mathrm{P}} \\ &= \frac{d^2 (M+1)\, l_{\mathrm{in}} \left\{ M + \sqrt{M^2 - t\left(t - M\sqrt{\frac{K}{N}}\right)\tan^2\theta} \right\}}{M\tan\theta}. \end{aligned} \tag{3.31}$$

(c)　光源変調方式

光源変調方式では，結像倍率の関係より，式(3.32)と式(3.33)が成り立つ．

$$f_0 = \frac{l_s}{l_{dev}} f_1. \tag{3.32}$$

$$f_2 = \frac{l_{out}}{l_{in}} f_1. \tag{3.33}$$

したがって，f_0は次式で表される．

$$f_0 = \frac{l_s l_{in}}{l_{dev} l_{out}} f_2. \tag{3.34}$$

光源変調方式の相関器の長さは，瞳制御方式の長さに入力画像を照明するための光学系の長さを加えた長さと等しいので，式(3.32)，式(3.33)を用いて次式で与えられる．

$$\Lambda_S = \Lambda_P + 2f_0 = \Lambda_P + \frac{2l_S\, l_{in}}{l_{dev}\, l_{in}} f_2. \tag{3.35}$$

したがって相関器の実装体積は，次式で得られる．

$$\begin{aligned} V_S &= d^2 \Lambda_S \\ &= \frac{d^2 \{t(M+1)+u\}\, l_{in} \left\{ M + \sqrt{M^2 - t\left(t - M\sqrt{\frac{K}{N}}\right)\tan^2\theta} \right\}}{tM \tan\theta}. \end{aligned} \tag{3.36}$$

(d)　各方式比較

光源変調方式は，瞳制御方式に比べて常に体積が大きくなる．したがって，時間多重方式と瞳制御方式について，実装体積の比較を行った．

時間多重方式と瞳制御方式の相関器の体積が同じになる条件，$V_T = V_P$の場合，式(3.27)と式(3.31)より，次式で表現できる．

$$
\begin{aligned}
V_S &= d^2 \Lambda_S \\
&= \frac{d^2\{t(M+1)+u\}\, l_{in} \left\{ M + \sqrt{M^2 - t\left(t - M\sqrt{\frac{K}{N}}\right)\tan^2\theta} \right\}}{tM \tan\theta}.
\end{aligned}
\tag{3.37}
$$

NとKをパラメータとして，最も小さい実装容積が得られる方式を図示すると図3.8が得られる．画素数や相関カーネルのデルタ関数の数が多い場合は，時間多重方式は実装容積に関して不利である．

3.6　考察

本研究で評価したそれぞれの項目について，最も良い方式を一概に述べることはできない．一般に，光量効率と処理スループットは各方式において相反する関係を持つ．すなわち，光量効率の高い方式は処理スループットが低い．ただし，以下の2つの条件を満たすとき，時間多重方式は，光量効率，処理スループットとも最良の方式となる．

1)　$\alpha^2 \geqq \beta$

2)　$N \geqq s^2$

条件1は，時間多重方式で用いる偏向素子の開口が十分大きい場合に成立し，条件2は画素数Nが十分大きいときに満たされる．したがって，偏向素子の開口を大きくとれる場合，画素数Nの大きい離散相関演算では，時間多重方式が最も望ましい方式と言える．その他の場合は，利用する素子数の特性と処理仕様(画素数，演算カーネルサイズ)に応じて優位な方式は変化する．

実装体積に関して，図3.8中に示す等価条件を表す2直線のうち傾きの大きい直線の勾

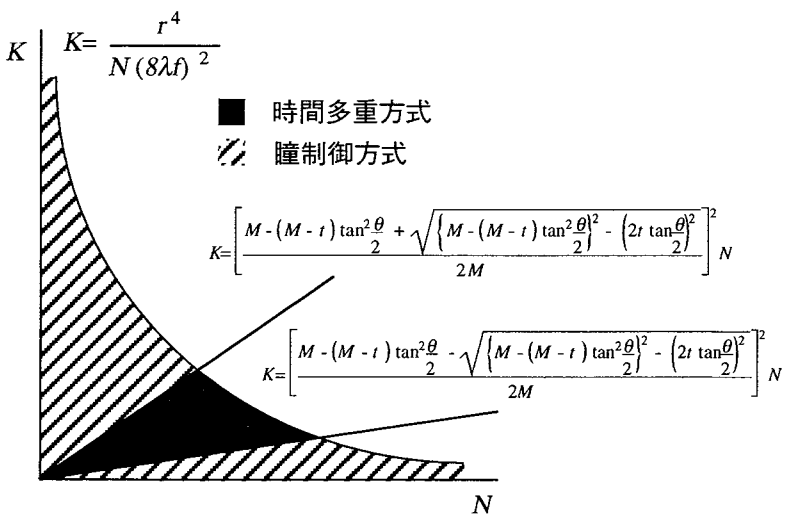


図3.8　実装容積に関する時間多重方式と瞳制御方式の優位条件．

配は1を越えない．したがって，瞳制御方式は多くの場合，実装容積における優位性を示す．また，実装容積と処理スループットに着目すると，画素数が大きい場合は，瞳制御方式が有効であり，演算カーネルのデルタ関数が多い場合は光源変調方式が望ましい方式と言える．

本研究では簡単化したモデルに基づいた評価を行ったが，より厳密な評価には，各方式における，1)光伝搬効率の差，2)発光素子数の強度分布，3)投影面での回折効果を考慮する必要がある．

3.7　結言

離散相関演算を説明した．並列光離散相関器を時間多重方式，瞳制御方式，及び光源変調方式の3方式に分類した．各方式に関して，光量効率，処理スループット，実装体積を解析的に評価した．光量効率に関しては，各方式が最も有利になる画素数と演算カーネル点数の条件を示した．画素数が多い場合や演算カーネルのカーネル点数が多い場合は，時間多重方式が優れていることを示した．画素数が少ない場合，瞳制御方式と光源変調方式を比較すると，演算カーネルのカーネル点数が多い場合は，光源変調方式が有効であることを示した．処理スループットに関しては，演算カーネルのカーネル点数が多い場合は，光源変調方式が優れていることを示した．画素数が多い場合，偏向素子を設定する面の開口と偏向素子の開口比αと入力画像表示素子や偏向素子選択用のシャッタの透過率βの関係により，$\alpha^2 \geqq \beta$の場合は，時間多重方式が，$\alpha^2<\beta$の場合は，瞳制御方式が有効であることを示した．実装体積に関しては，瞳分割方式は光源変調方式よりも常に大きくなる．時間多重方式と瞳分割方式とを比較すると，画素数が大きい場合や，演算カーネルのデルタ関数の数が大きい場合は，瞳制御方式が優位性を示すことを示した．

第4章　光アレイロジックネットワークコンピューティング

4.1　緒言

これまでの光･電子複合型OPALSに関する研究より，以下の問題点が明らかになった．

1) 光アレイロジックは，任意の近傍論理演算を実現できるが，論理関数の各積項演算に対して，それぞれ符号化，離散相関演算，復号が必要である．この3段階処理によるオーバーヘッドは，単純な論理演算･算術演算における処理効率の低下を招く．
2) ファンアウト数が大きくとれ，かつ画像の偏向角度を高速に制御できる光学素子が未開発なため，現時点では，光学的演算で全ての演算を実現する方式は動作速度の低下を招く．
3) 単純な光学的演算だけでは非同期処理などのMIMD (Multiple Instruction and Multiple Data Stream) 型処理の実行は困難である．

これらの問題点は，並列電子回路を利用すれば，比較的容易に解決できると考えられる．しかも，H-OPALSでは，符号化回路，発光素子駆動回路，受光素子駆動回路に電子回路を利用しているために，演算用電子回路を新しく付加しても，ハードウェア形態に大きな変化を生じない．一方，光アレイロジックは，簡単なテンプレートマッチングや画像シフトなどで，その有効性を発揮する．また，光アレイロジックが持つプログラミング性は制御性に乏しい光技術において有用である．

以上のような見地から，新しい光･電子複合型並列演算システムアーキテクチャとして光アレイロジックネットワークコンピューティング(Optical Array Logic Network Computing: OAL-NC)[122, 123]が有望である．OAL-NCは新しい並列演算概念であり，その特性は明らかになっていない．また，演算アルゴリズムは未だ開発されていない．OAL-NCによる処理は自由度が高いと考えられるが，効率的な演算アルゴリズムを開発するためには，OAL-NCの特性を明確にし，並列電子処理要素と並列光演算間のタスク配分に関する知見を得る必要がある．

本章では，OAL-NCの概念と特徴を示し，その動作特性をシミュレーション実験により評価する．OAL-NCアーキテクチャの動作をシミュレートするため，一つのOAL-NCシステム仕様を仮定し，それに基づいたプロトタイプシミュレータを作成した．その仕様に適合するように，具体的な並列処理をプログラミングし，その実行結果からOAL-NCの特徴を明らかにする．

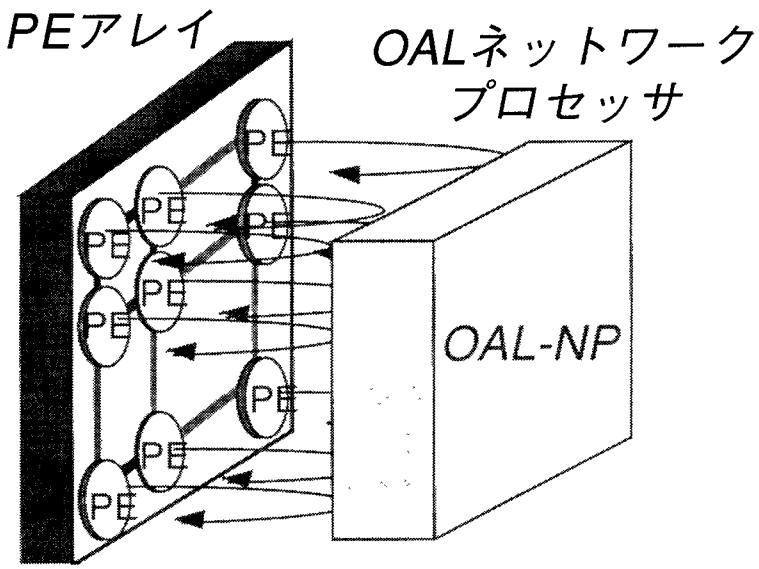


図4.1　OAL-NCの構成図.

4.2　光アレイロジックネットワークコンピューティング

光アレイロジックネットワークコンピューティング (OAL-NC) [122, 123]は，並列電子処理要素 (Processing Element: PE)による並列光演算と光アレイロジックおよび並列光インターコネクションを基本とする光アレイロジックネットワークプロセッサ(Optical Array Logic Network Processor: OAL-NP)を組み合わせた光･電子複合型並列演算アーキテクチャである．図4.1にOAL-NCの構成図を示す．

各PEは独立に演算を行い，それらの集合体であるPEアレイはMIMD型のマルチプロセッサを構成する．各PEは，4近傍に位置するPEと直接データ通信を行う．PEは，論理演算，算術演算，データ記憶などの局所的な演算を行う．

OAL-NPは，光アレイロジックに基づき，並列光演算と並列データ転送を行う，例えば，データ伝送・放送，データテスト，システムの制御などの大域的な演算やデータ伝送をOAL-NPで実行する．

OAL-NCにおけるPEとOAL-NPの協調処理は次の手順により実行する．

1) 通常の処理は，PEアレイに割り当てられ，各PEが独立して実行する．
2) 必要に応じて，各PEのデータがOAL-NPに送られ，光アレイロジックに基づいた処理を行う．
3) OAL-NPの処理結果は，再びPEアレイにフィードバックする．
4) 必要であれば，1)～3)を繰り返す．

特徴的な点は，PEアレイ-OAL-NP間の接続は固定であるが，OAL-NP内では2次元平面上の任意のデータ移動が可能であり，その結果，2)，3)の手順により，各PE間でのデータ伝送が行えることである．しかも，OAL-NPは，光アレイロジックによる論理演算に基づいて動作するため，単なるデータ伝送だけではなく，PEからのデータを対象とした完全並列演算も同時に実行することができる．

OAL-NPは以下の特徴を持つ.

1) 電子処理の柔軟性と光学技術による並列データ伝送の特性を活かして効率よく並列演算を行うことができる.
2) 電子回路による演算と光演算の協調処理により,実現可能な応用範囲を拡張することができる.
3) 電子素子の集積化技術及び光エレクトロニクスの集積化技術であるスマートピクセル技術[75-83]の利用により，システムの集積化が可能である.

OAL-NCは，異なる特徴を持つコンピューティングシステムの協調に，効率的な演算を行う演算概念: ヘテロジェニアスコンピューティング[124-129]の一形態であると考えられる

4.3 OAL-NCによる並列処理

本研究では，OAL-NCアーキテクチャの動作特性の解明を目的として，具体的な並列処理をOAL-NCに適合するように記述し，プロトタイプシミュレータを作成して具体的な並列処理を実行させた[130]. 本節ではプロトタイプシミュレータ仕様を説明し，評価に用いた個々の並列処理について述べる.

4.3.1 OAL-NCプロトタイプシミュレータ

OAL-NCアーキテクチャの動的特性を調べるために，プロトタイプシミュレータを試作した. シミュレータはC++言語により記述した.

プロトタイプシミュレータでは以下のシステム仕様を仮定した.

1) PEは細粒度で汎用処理要素とする.
2) MIMD処理を実現するために，各PEは個別に制御可能である.
3) 各PEは算術論理ユニット，プログラムカウンタ，局所メモリ，入出力ポートを持つ.
4) 多値データを効率良く処理するためにPEは8bit処理ユニットとする.
5) 各PEはそれぞれの4近傍PEに対する8bit並列入出力ポートと，OAL-NPに対する3bit (入力1bit，出力2bit)の入出力ポートを持つ.

図4.2に設定したOAL-NCアーキテクチャを示す. また，設定した命令セットを表4.1に示す. PE命令セットはIntel 8086マイクロプロセッサ[131]を参考に設定した. プログラムとデータを記憶する局所メモリとして各PEとOAL-NPにデータ用に64byte命令用に180byteを用意した.

OAL-NPは，符号化回路アレイ，並列光離散相関器，復号回路アレイ，3つのフレームレジスタ，TSTXモジュール，CMPXモジュールから構成した. TSTXモジュールは，指定したフレームレジスタ内のすべての画素が指定した整数と等しいかどうかを調べる. CMPXモジュールは二つのフレームレジスタの内容を比較し，等しいか否かを調べる.

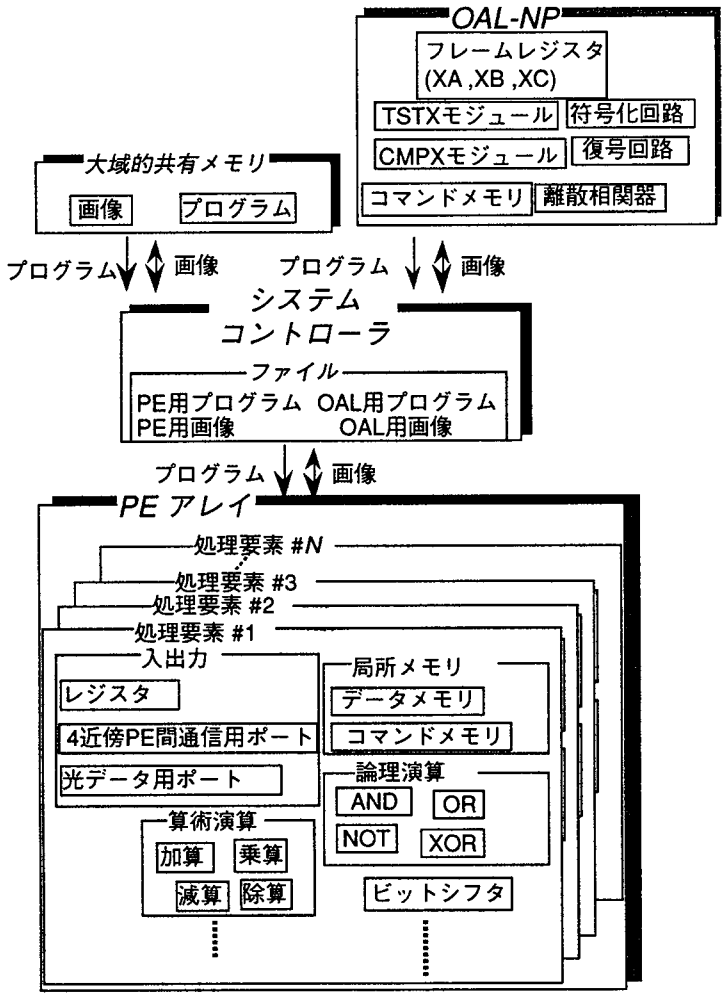


図4.2　プロトタイプシミュレータで仮定したOAL-NCシステム.

表4.1　プロトタイプシミュレータで設定した命令セット.

	PE	OAL-NP
命令	ADD, SUB, MUL, DIV	GETX, PUTX
	AND, OR, XOR, NOT, NEG	ORX, NORX, NEGX
	SHL, SHR	
	MOV, IN, OUT	MOVX, INX, OUTX
	CMP, JMP, JE, JNL	TSTX, CMPX, MODE

システムコントローラはシステム全体の動作を管理し，また，各PEとOAL-NPにそれぞれ個別のプログラムとデータを配送する.

4.3.2　並列処理シミュレーション

OAL-NCにおける並列処理として，エッジ検出，中央値フィルタリング，最大値検出，遺伝的アルゴリズムによる最適化問題を実行した．これらの処理には，2値，多値画像処理，局所的，大域的接続，など種々な演算が含まれている．演算効率を比較するため，PEアレイのみによる演算方式(PE実装)，OAL-NPのみによる演算方式(OAL実装)，PEアレイとOAL-NPの協調処理方式(COOP実装)の3方式について必要処理ステップ数と処理時間を評価した．ただし，処理によっては，OAL実装とCOOP実装が等価なものがあり，それについてはOAL実装の場合について述べる．OAL-NCの原理確認と能力評価のために行った並列演算の結果を示す．演算の記述式の中で，a, c, はそれぞれ入力画像A，出力画像Cの画素値を表す．添字i, jはそれぞれ画素の水平方向と垂直方向のアドレスを示す．

(a)　エッジ検出

2値画像処理の例として，エッジ検出を行った．この処理は局所的なデータ転送のみで行える．エッジ検出とは，入力画像の輪郭を構成する画素を全て検出する処理で，次式で実現できる．

$$c_{i,j} = \overline{\overline{a_{i,j}} + a_{i,j+1}a_{i,j-1}a_{i-1,j}a_{i+1,j}} = a_{i,j}\left(\overline{a_{i,j+1} + a_{i,j-1} + a_{i-1,j} + a_{i+1,j}}\right). \quad (4.1)$$

ここで“+”は論理和を上線は否定演算を表す．

PE実装の処理手順を以下に示す．

1)　4隣接近傍PEのデータ間で4入力論理積をとる．
2)　1)の結果の否定をとる．
3)　1)の結果と着目しているPEのデータ間で論理積をとる．

1)から3)までの処理を全PEに対して行う．この演算は全PEについて並列に実行可能である．

OAL実装の場合，エッジ検出はOALの表記方式[25]を用いて次の演算カーネルで表現できる．“[ ]”, “_”, “..”, “+”, “1.”, および“0.”はそれぞれ，積項，近傍領域の原点，DON'T CARE，論理和，A，Aの否定を表す．

$$[\underline{0.}] + \begin{bmatrix} .. & 1. & .. \\ 1. & \underline{..} & 1. \\ .. & 1. & .. \end{bmatrix}. \quad (4.2)$$

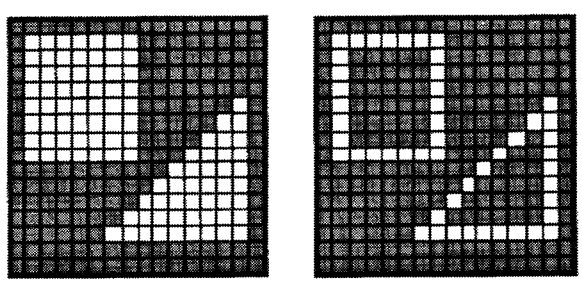
```
#BLOG Log edgePE
#PROG PE ALL ALL
OUT 0 N
IN S 1
OUT 0 E
IN W 2
OUT 0 W
IN E 3
OUT 0 S
IN N 4
AND 1 2 5
AND 3 4 6
AND 5 6 7
NOT 7 8
AND 0 8 9
OUT 9 XA
RPT PORTX XA
END
#PEND
#LOAD dataImg PE 0
#ENBL PE ALL ALL
#DSBL OAL
#RPT PROG PE 0 0
#RUN
#SAVE PE 9 imgEdgePE
#END
```

(a)

```
#BLOG Log edgeOAL
#LOAD Triangle OAL AX
#PROG OAL
RPT REGX AX
BGNX
0. 0 0
ORX
1. 0 1
1. 0 -1
1. 1 0
1. -1 0
ORX
NEGX CX CX
RPT REGX CX
PUTX 0
RET
END
#PEND
#RPT PROG OAL
#ENBL OAL
#DSBL PE ALL ALL
#RUN
#ELOG
#END
```

(b)

図4.3　エッジ検出の各方式のプログラム．(a)PE実装，(b)OAL実装．



(a)　(b)

図4.4　エッジ検出演算結果．(a)入力画像，(b)出力画像．

図4.3にエッジ検出の各方式のプログラムを示す．
シミュレータでは，図4.3に示すプログラムに従い，所望の結果を得た．画素数16×

16で，2値画像に対するエッジ検出結果を図4.4に示す．

(b)　中央値フィルタリング

多値画像処理の例として中央値フィルタリングを行った．この処理も局所的なデータ転送のみで行える．中央値フィルタリングは，高周波ノイズを除去する平滑化フィルタリングの1種である．この処理は次式で表せる．

$$c_{i,j} = Median\left(a_{i,j},\ a_{i,j+1},\ a_{i,j-1},\ a_{i+1,j},\ a_{i-1,j}\right). \tag{4.3}$$

"*Median*($\boldsymbol{x}$)" はベクトル $\boldsymbol{x}$ の要素の中央値を抽出する関数である．

PE実装の処理手順は次の通りである．

1) 各PEから4近傍PEに，着目画素のデータを伝送する．
2) 1)により，着目画素周囲のPEから送られてきたデータと着目画素のデータをソーティングし，その中央値(3番目に大きな値)を着目画素の出力値とする．

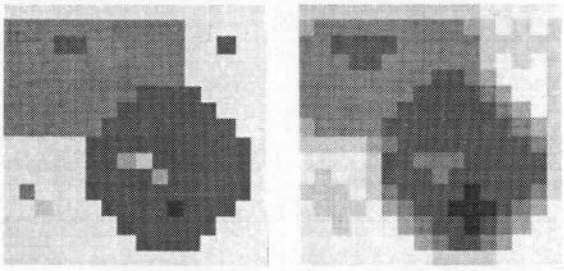
OAL実装の場合，中央値フィルタリングには閾値分解法[132]を利用する．処理手順は以下の通りである．

1) 入力画像に対して，閾値 L (L=1, …, N)を変化させながら，閾値処理を実行する(閾値分解処理)．
2) 1)で得られた N-1枚の2値画像に対して，2値中央値フィルタリングを適用する．
3) 2)で得られた N-1枚の2値画像に対して，同じアドレスをもつ画素の値を積算して1枚の画像を作成する．

2)における2値中央値フィルタリングは，光アレイロジックで実現できる．そのときに用いた演算カーネルを以下に示す．

$$\begin{bmatrix} 1. \\ \underline{1.} \\ 1. \end{bmatrix} + \begin{bmatrix} 1. & \underline{1.} & 1. \end{bmatrix} + \begin{bmatrix} 1. & .. \\ \underline{1.} & 1. \end{bmatrix} + \begin{bmatrix} \underline{1.} & 1. \\ 1. & .. \end{bmatrix} + \begin{bmatrix} 1. & \underline{1.} \\ .. & 1. \end{bmatrix} + \begin{bmatrix} .. & 1. \\ 1. & \underline{1.} \end{bmatrix}$$
$$+ \begin{bmatrix} .. & 1. & .. \\ 1. & \underline{..} & 1. \end{bmatrix} + \begin{bmatrix} 1. & \underline{..} & 1. \\ .. & 1. & .. \end{bmatrix} + \begin{bmatrix} .. & 1. \\ 1. & \underline{..} \\ .. & 1. \end{bmatrix} + \begin{bmatrix} 1. & .. \\ \underline{..} & 1. \\ 1. & .. \end{bmatrix}. \tag{4.4}$$

画素数16×16で，8階調の画像に対する中央値フィルタリングを実行した結果を図4.5



(a)　　(b)

図4.5　中央値フィルタリング結果．(a)入力画像，(b)出力画像．

に示す．シミュレータにより所望の結果が得られることが分かる．

(c)　最大値検出

大域的なデータ伝送を必要とする処理の例として最大値検出を実行した．この処理は，入力画像の全画素の中で，最大値を持つ画素を検出する．

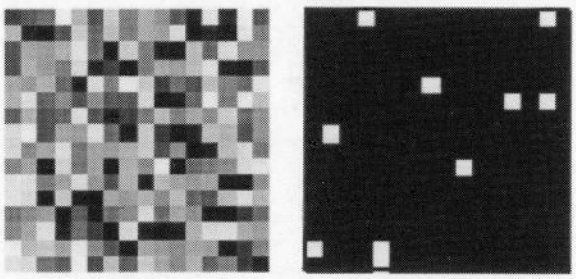
PE実装の処理手順は次の通りである．

1) 各PEから4近傍PEに，着目画素のデータを伝送する．
2) 1)により周囲のPEから送られてきたデータと着目画素のデータを比較し，より大きい値を着目画素のデータとする．
3) 1)，2)の処理をすべてのPEに情報が伝わるまで繰り返す．

OAL実装の処理手順は次の通りである．

1) 入力画像を各画素のビット 2^x ($x = 0, 1, 2, \cdots, 7$)毎にまとめた2値画像に分解する．(ビットプレーン展開)
2) 1)で得られたビットプレーンのうち，最高位ビットプレーンに対して画素値1を持つ画素を検出する．
3) 2)で条件を満たす画素が見つからなければ，下位のビットプレーンに向かって同じ処理を繰り返す．

OAL実装では，画像中の全データに対して並列にビットプレーン検査が実行される．画素数16×16で，8階調の画像に対する最大値検出の結果を図4.6に示す．所望の結



(a)　　(b)

図4.6　最大値検出結果．(a)入力画像，(b)出力画像．

果が得られていることが分かる.

(d)　遺伝的アルゴリズムを利用した最適化問題

大域的データ伝送と局所的データ伝送の両方を必要とする処理の例として，遺伝的アルゴリズム[133-136]を利用した最適化問題を実行した.

遺伝的アルゴリズムは，生物進化の過程を模倣することにより，近似最適解を効率良く得るための探索アルゴリズムの1種である．このアルゴリズムでは，探索空間内の解候補を1個体とみなして，染色体として符号化する．染色体は，複数の遺伝子により構成される．個体の性質は，各遺伝子の位置と組み合わせで表現する．遺伝的アルゴリズムの処理の流れを図4.7に示す.

各個体の適応度を評価し，その結果に基づき選択，交差，突然変異の遺伝的操作を行う．遺伝的操作の反復により，適応度の最も高い解が最終的に得られることが期待される．各個体に対する操作が独立しているために，遺伝的アルゴリズムは，並列演算に適している.

遺伝的アルゴリズムの応用として，ビン詰め問題を実行した．ビン詰め問題[137]は複数個の荷物の中から幾つかを任意に選んで，一定容積のビンに詰め込んだとき，荷物の容積の総和を最大とする荷物の組み合わせを求める問題である．ビン詰め問題の解法の流れ図を図4.8に示す.

本研究では，遺伝子をビット列として符号化した．ビットの状態により，ビットの位置に対応した荷物の採用(1)あるいは棄却(0)を表現する．交差は2遺伝子間で行われるも

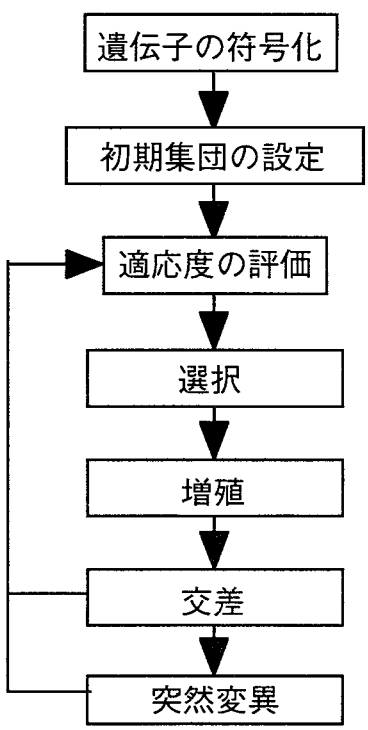


図4.7　遺伝的アルゴリズムの処理の流れ図.

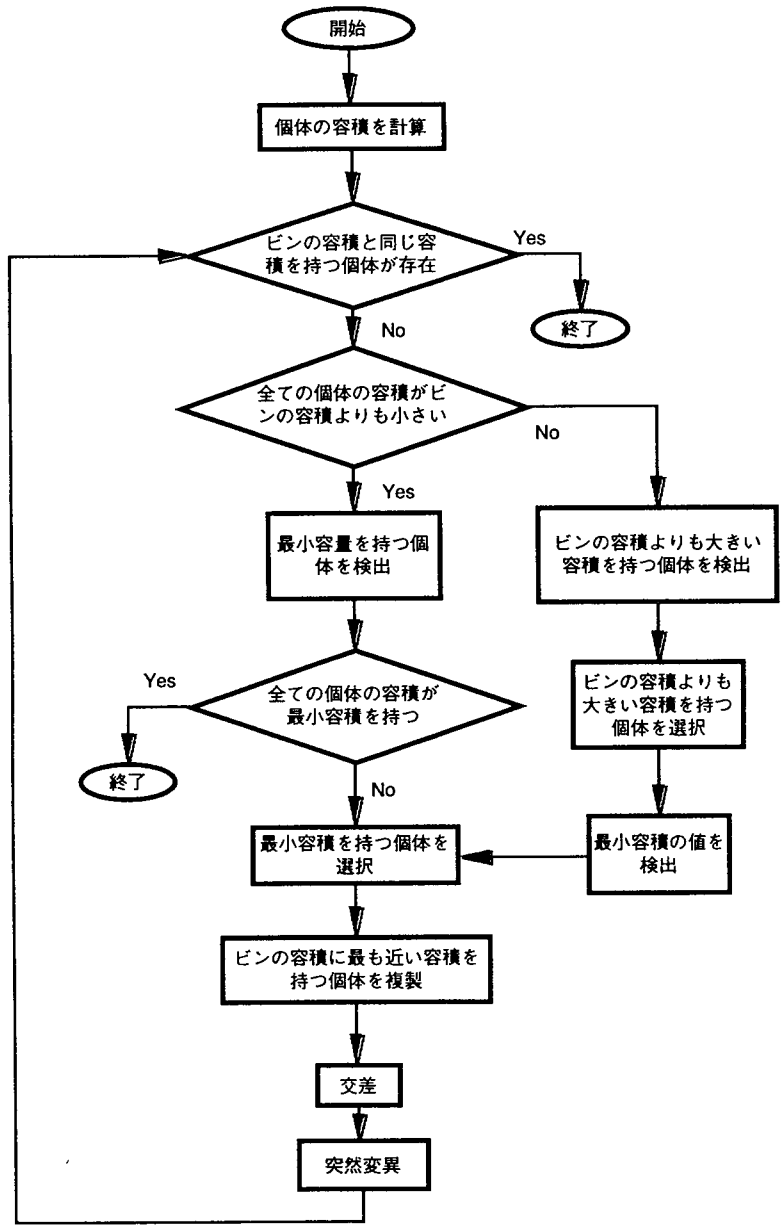


図4.8　ビン詰め問題の解法の流れ図.

のとした.

OAL-NC による処理手順を以下に示す.

1) 各個体を PE 内のデータとして表現する.
2) 1 遺伝子は局所メモリの 1byte データで表現する.
3) ビンと各荷物の容積は，PE 内に遺伝子の初期情報として保存しておく.
4) 各 PE 内のデータを基に適応度を計算する.
5) 交差や突然変異などの遺伝的操作に用いる乱数値は，各 PE 毎に生成する.

6a) PE 実装の場合，隣接 4 近傍間通信を利用して，全 PE の中から最大適応度と最小適応度の PE を検出する.

6b) COOP 実装の場合，各 PE の適応度を OAL-NP に転送し，OAL-NP 上で最大適応

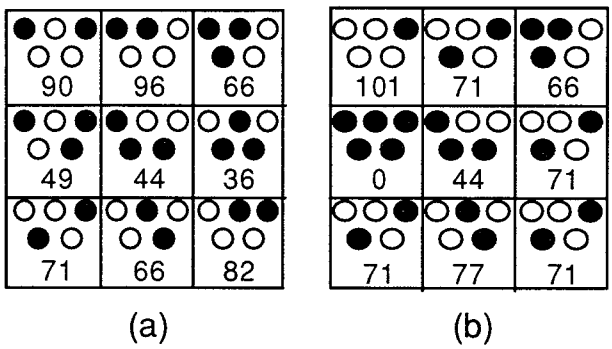


図4.9　シミュレーション結果．(a)初期状態，(b) 1世代後．

度と最小適応度のPE位置を検出する．

7a)　PE実装の場合，隣接4近傍通信を利用して，最大適応度の遺伝子情報を全PEに転送する．

7b)　COOP実装の場合，OAL-NPを利用して，最大適応度の遺伝子情報を全PEに転送する．

8)　目標とする適応度が得られるまで4)から7)を繰り返す．

なお，この処理に対するPE実装，OAL実装は複雑であり，仮定したOAL-NC仕様では実行できないため，解析的に評価した．

ビン詰め問題の例として，荷物数5の場合について，上述の処理を行った．5個の荷物の容積は，11，19，25，30，41，ビンの容積は72と設定した．9個体を3×3個のPEに割り当てた．図4.9にシミュレーション結果を示す．6)と7)で，PE実装とCOOP実装による相違が存在するが，得られる結果は同一のものであった．9個体中4個体が荷物の容積である72に近い適応度71を示している．

4.3.3　処理ステップ数

エッジ検出，中央値フィルタリング，最大値検出の実行に必要とする処理ステップ数を表4.2にまとめる．OAL実装の評価値は符号化，離散相関演算，復号の回数により表

表4.2　各演算の処理ステップ数．

	PE実装	OAL実装		
	命令数	符号化回数	相関演算回数	復号回数
エッジ検出	13	2	3	2
中央値フィルタリング	62	8	80	8
最大値検出	$4(\sqrt{N}+2\log_2\sqrt{N})$	8	8	8

NはPE数 を表す．

表4.3　ビン詰め問題に要した処理ステップ数.

	符号化回数	相関演算回数	復号回数	PEの命令数
PE実装				$8n_o + 6n_c + n_o(n_g^2 + 4n_g) + 8n_g + 16\log_2 n_g$
COOP実装	$16+n_0$	$16+n_0$	$16+n_0$	$8n_0+6n_c$

n_o, n_c ,n_g^2 はそれぞれ荷物の数，交差を行った遺伝子の数，総個体数を表す.

表4.4　各演算の処理時間と光演算の優位条件.

	処理時間			OALを用いたときの優位条件
	PE実装	OAL実装	COOP実装	
エッジ検出	$13t_e$	$4t_e+3t_o$	$\min\{13t_e, 4t_e+3t_o\}$	$t_o<3t_e$
中央値フィルタリング	$62t_e$	$16t_e+80t_o$	$\min\{62t_e, 16t_e+80t_o\}$	$t_o<0.575t_e$
最大値検出	$4(\sqrt{N}+2\log_2\sqrt{N})t_e$	$16t_e+80t_o$	$\min\{4(\sqrt{N}+2\log_2\sqrt{N})t_e, 16t_e+80t_o\}$	$t_o<\frac{1}{20}(\sqrt{N}+2\log_2\sqrt{N}-4)t_e$
遺伝的アルゴリズム	$\{6n_c+n_g^2(n_g^2+4n_g+8)+8n_g+16\log_2 n_g\}t_e$		$2(n_o+16+3n_c+4n_g^2)t_e+(16+n_o)t_o$	$t_o<\frac{n_o(n_g^2+4n_g-2)+8n_g^2+16\log_2 n_g-32}{n_o+16}t_e$

t_e, t_o, N はそれぞれ，電子デバイスの応答時間，光デバイスの応答時間，画素数を表す.

してある.

遺伝的アルゴリズムによるビン詰め問題に要した処理ステップ数を表4.3に示す.

4.3.4　処理時間

OAL-NCの特徴を明らかにするために，処理効率を評価した．PE実装，OAL実装，COOP実装における処理時間を評価尺度とした．評価を簡単にするために，処理時間は命令数に比例すると仮定する．また，PEにおける1命令の実行時間，OALの符号化時間，復号時間は，いずれも電子回路による処理であるため，すべて t_e と仮定する．一方，離散相関演算に必要な時間は t_o とした．各処理に関して，処理に必要な時間と光演算の優位条件を表4.4に示す.

PE数と t_o/t_e に関して，最大値検出とビン詰め問題におけるPE実装と，COOP実装の等価条件を調べた．与えられたPE数に対して，等しい処理時間を与える t_o と t_e の比(等価 t_o/t_e)により評価した．図4.10(a)に最大値検出，(b)によるビン詰め問題の場合の等価条件を示す．ビン詰め問題の場合，$n_o = n_g = \sqrt{N}$ とした.

4.3.5　考察

t_e と t_o はそれぞれ，電子素子と画像偏向用光素子の応答速度に比例すると考えられる．現状で利用可能な電子素子の応答速度 t_e は，約数ナノ秒である．一方，画像偏向用光素子の応答速度は，音響光学偏向素子[138-140]やDMD(Deformable Mirror Device)[114-117]

を例とすると，数マイクロ秒である．したがってt_e / t_oは1000程度である．これより，エッジ検出や中央値フィルタリングなどの大域的データ伝送を必要としない処理では，PE実装が明らかに高速である．しかし，最大値検出や遺伝的アルリズムによる最適化問題等において，画素数が多く，大域的データ伝送を必要とする処理では，COOP実装の優位性が得られる．したがって，OAL-NCが優位性を示しうる問題として，以下のものが考えられる．

1) 局所的接続と大域的接続の両方を含む処理
2) 多値データ処理
3) 画素数が多い処理

4.4 結言

光･電子複合型並列コンピューティングシステムの新しいアーキテクチャとして提案されているOAL-NCを対象とし，その動作特性をシミュレーションにより評価した．具体的な問題として，2値画像に対するエッジ検出，多値画像に対する中央値フィルタリング・最大値検出，遺伝的アルゴリズムによるビン詰め問題を取り上げた．各問題に対して，電子的プロセッサアレイのみによる方式(PE実装)，光アレイロジックのみによる方式(OAL実装)，光･電子協調による方式(COOP実装)を開発し，シミュレーションにより処理結果を得た．得られた結果よりOAL-NCの動作特性を評価し，OAL-NCに適した問題を明らかにした．

OAL-NCを実現する場合の問題点，必要な技術は解析的な検討だけでは不十分である．そこで具体的なOAL-NCシステムの開発を通してこれらを明らかにすることが必要である．

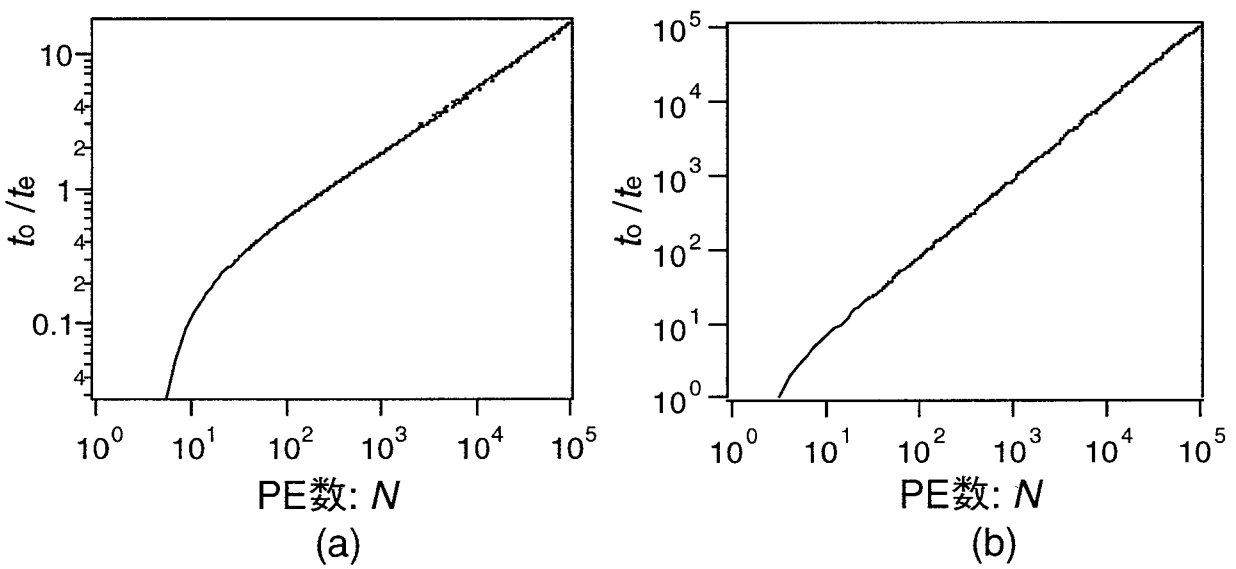


図4.10　PE数Nと等価t_o / t_eの関係．(a)最大値検出，(b)ビン詰め問題．

第5章　OAL-NCアーキテクチャに基づく評価システムの設計

5.1　緒言

本章では，OAL-NCの評価システムの実現を目指したシステムの検討及び設計に関して述べる．まず，光･電子複合型演算システムに適した並列電子演算部の方式を検討する．次に，現在，利用可能な技術を参考にして試作システムの仕様を設定する．その結果に基づき，光演算部である光アレイロジックネットワークプロセッサの方式を検討する．また，並列電子処理部の検討と設計を行い，最後に制御系の方式を検討する．

5.2　実現方式

OAL-NCアーキテクチャにおけるPEアレイの形態として，プログラム論理素子(Programmable Logic Device: PLD) 型[141]と多重プロセス(Multi-Process Embodiment: MPE)型[142]の二方式を検討した．図5.1に各方式の構成図を示す．

5.2.1　PLD型OAL-NC

PLD型OAL-NCは，PLDによりPEを実装するシステムである．PLDはユーザが任意に演算内容を設定できる集積回路素子である．PEの機能は，PLD内の論理ゲートの配線パターンを設計して実現する．各PEがハードウェア的に構成されるため，高い処理能力が得られる．専用LSI化する方式と比較して，集積度は低いが，開発期間とコストを大幅に削減できる利点を持つ．さらにPEの機能変更に関しても柔軟性がある．これは，プロトタイプの実現方式として重要な特徴である．

5.2.2　MPE型OAL-NC

MPE型OAL-NCは，マイクロプロセッサ(Micro Processing Unit: MPU)上のプロセスとしてPEの機能を実現するシステムである．一つのMPU上で複数個のPE機能を多重プロセスとして同時に動作させる．このMPUを複数個用意し，それらを並列動作させて，PEアレイの機能を実現する．PEを完全並列ハードウェアで実現するPLD方式に比べ，処理能力は低下するが，PEの機能をソフトウェアで容易に変更できるという特徴を持つ．また，MPU用に用意されたソフトウェア開発環境をそのまま利用できるために，OAL-NC上で動作させるアプリケーションに関しても，大幅な開発効率の向上が期待できる．その結果，システムのハードウェア及びソフトウェアの開発期間とコストを大幅に削減できる．一般的にMPUは，PLDに比べて集積度が高く，実装体積の削減が期待できる．周辺回路が集積されたMPUも多くあり，それらの利用により，ハードウェアの削減と制御方式の簡単化が可能となる．OAL-NCでは，一つのPEと，OAL-NPの1画素が対応する

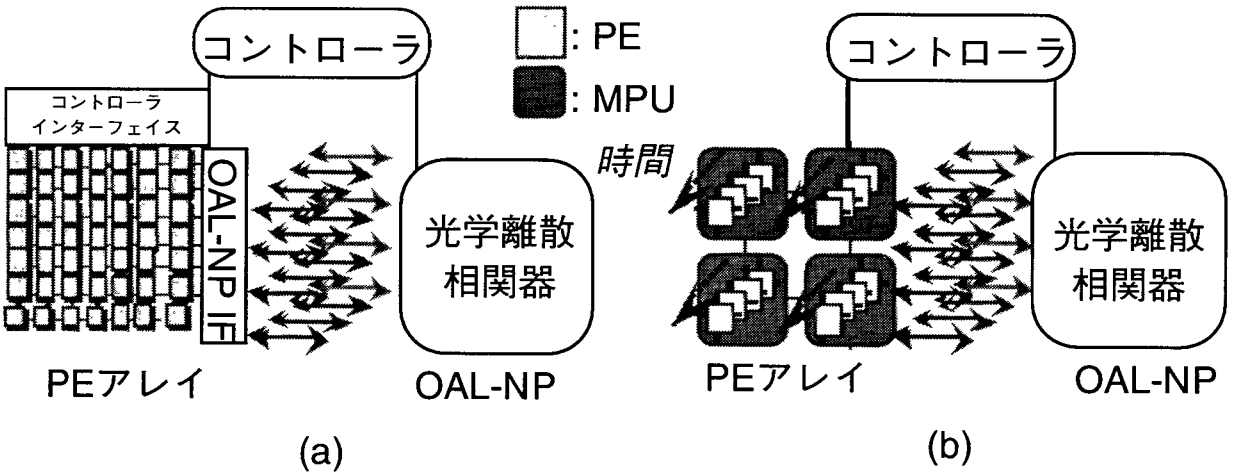


図5.1　OAL-NCの実現方式．(a)PLD型，(b)MPE型．

表5.1　試作システム仕様．

処理要素		*OAL-NP*	
PE数	256	画素数	256
クロックサイクル	25MHz	クロックサイクル	1kHz
レジスタ数	8bit×4	近傍演算領域	4×4
局所メモリ	4k byte		
I/O ポート	4(電子回路用) 3(光演算用)	機能	論理演算

形態が基本型であるが，MPE型ではPEとOAL-NPの画素の対応関係を処理内容に応じて変更可能なアーキテクチャに拡張できる．

5.3　試作システムの仕様

試作システムの仕様を表5.1にまとめる．OAL-NPの画素数は，現在，入手可能な光電変換素子アレイ，駆動回路の実装・配線の容易さ，全システム容積，処理内容の有意性などを考慮して定めた．OAL-NPのクロック周期は，利用可能な光変調素子の動作速度から設定した．PEのクロック周波数は，汎用MPUの動作速度を考慮して定めた．OAL-NPの近傍演算領域サイズは，大域的なデータ交換を実行できるように，4×4に設定した．

5.4　処理要素アレイ

5.4.1　PLD型OAL-NC用処理要素アレイ

(a)　構成

図5.2にPLD型のOAL-NC試作システムの構成図を示す．

PLD型試作OAL-NCシステムでは，処理要素アレイは256個のPLDから構成される．

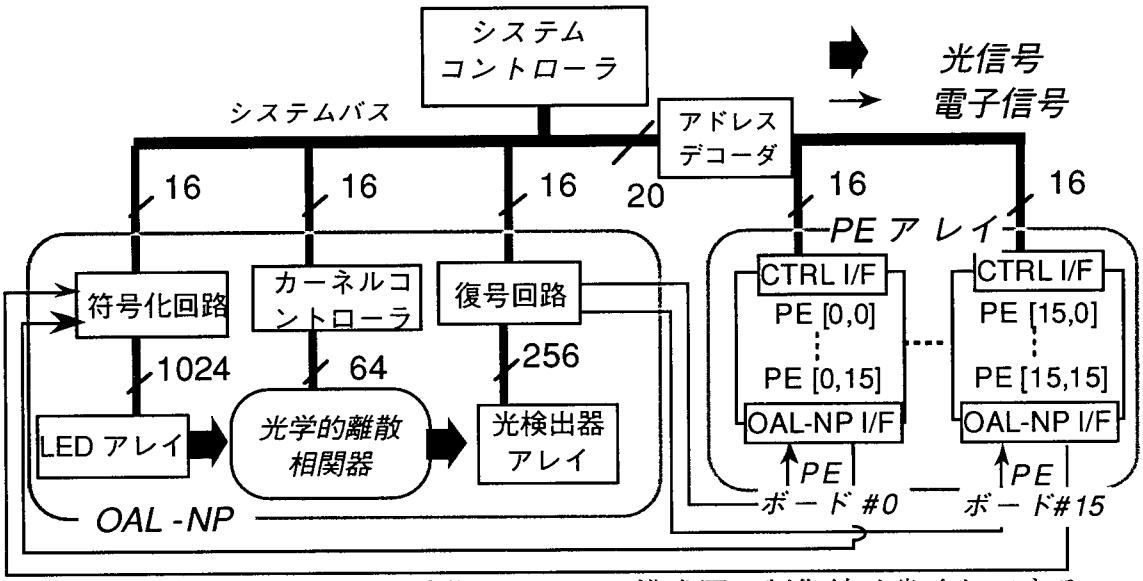


図5.2　PLD型OAL-NC試作システムの構成図．制御線は省略してある．

256個のPLDは，画像処理に適した相互結合トポロジである16×16個の2次元トーラス[143]状に連結する．ハードウェアと制御方式が煩雑になるが高い演算自由度を得るために，各PLDが独立に演算を行うMIMD型並列プロセッサの形態を採用した．各PEはシステムコントローラのI/O空間にマッピングされ，システムバスを通して制御される．この方式では，システムコントローラの負荷が大きくなるが，ハードウェアの簡素化のために採用した．システムバスは，12bitデータ線，8bitアドレス線，6bit制御線から構成する．8bitアドレス線のうち4bitをPE実装基板指定用，4bitを1基板内のPE指定用に利用する．システムコントローラは，32bit入出力空間を持つ．

システムコントローラからOAL-NPの符号化回路，演算カーネルコントローラ，復号回路へは，システムバスを通して，直接データと信号を送ることができる．システムコントローラからOAL-NPのこれらの回路へのデータ伝送は，ハードウェアを簡単にするために，シリアル/パラレル，パラレル/シリアル変換を行う．

実装面積の制限により，16個のPLDを1枚のプリント基板上に実装し，その基板16枚によりPEアレイを構成する．

(b)　処理要素

PEの設計では，ハードウェアの簡潔性と高い処理能力の両立を目標とした．PEは，8bitを処理単位とした．効率的な局所通信のために，隣接するPE間で直接的に通信を行えるように設定した．

図5.3に設計したPEの構成図を示す．システムコントローラとの通信と，PE内部での通信を両立するために，独立した3本のバスを用意する．処理の自由度を高めるために，4kbyteの外部メモリを設定した．

レジスタAとBは算術論理ユニットへの入力を保持し，演算結果はレジスタCに記憶する．レジスタNOUT，EOUT，WOUT，SOUTは4隣接PEへのデータ出力，レジスタNIN，EIN，WIN，SINは4隣接PEからのデータ入力に用いる．レジスタXA，XB，XC

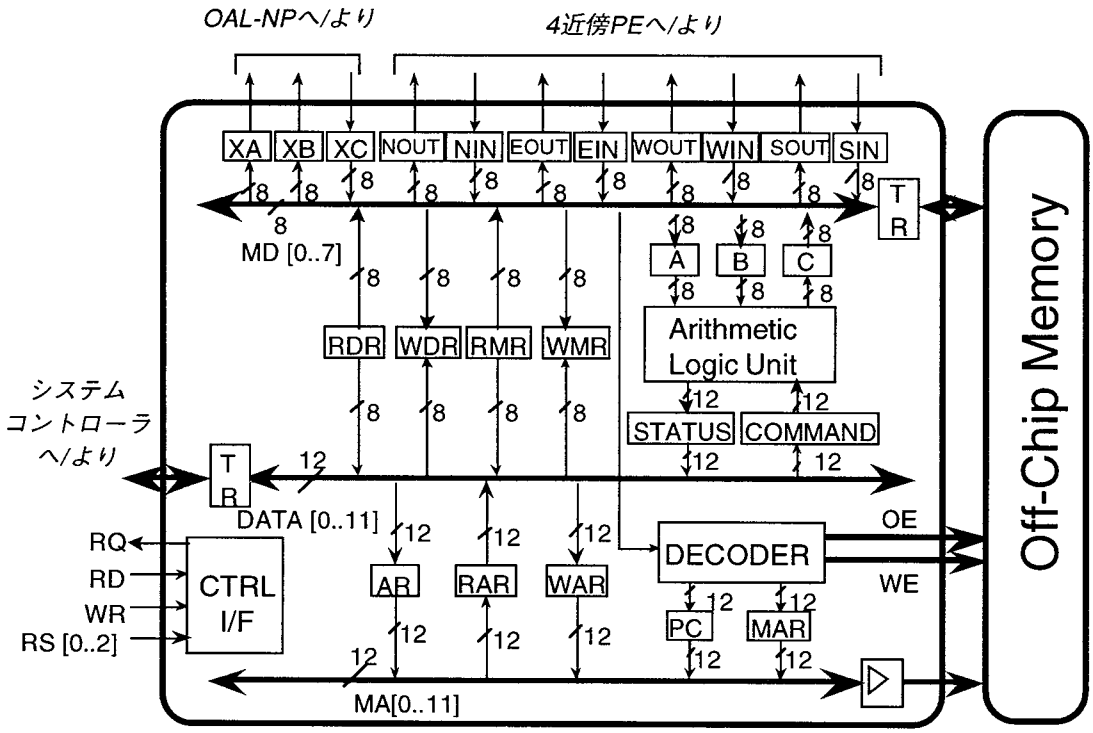


図5.3　PLD型OAL-NC用PEの構成図.

表5.2　PLD型OAL-NC用PEの命令セット.

2バイト命令		1バイト命令	
アドレスレジスタセット命令		ADD	C← A + B
SAR	MAR (メモリアドレスレジスタ) ← IR(adr)	SUB	C ← A − B
JMP	PC ← IR(adr): 無条件ジャンプ	AND	C ← A ∧ B
JE	PC ← IR(adr) (if C = 0) : 条件ジャンプ	OR	C ← A ∨ B
JNL	PC ← IR(adr) (if C >= 0): 条件ジャンプ	XOR	C ← A ⊕ B
データレジスタセット命令		NOT	C ← $\overline{A}$
NOUT	NOUT ← n (n : 8bit データ)	INC	C ← A + 1
EOUT	EOUT ← n	SHL	C ← shlA
WOUT	WOUT ← n	SHR	C ← shrA
SOUT	SOUT ← n	MOV	Reg/Mem/Port←Reg/Mem/Port
XA	XA ← n		
XB	XB ← n		
A	A ← n		
B	B ← n		

はOAL-NPとの通信に利用する．OAL-NPは基本的に2値データに対する演算を行うため，レジスタXA，XB，XCはパラレル/シリアル，シリアル/パラレル変換の役割も担う．

PEの命令セットは，8086プロセッサ(Intel)[131]を参考に設計した．設計したハードウェアでの処理の汎用性を考慮して22種の命令を設定した．表5.2に設計した命令セッ

トを示す．

PE-システムコントローラ間の通信のために，PE内部にコントロールインターフェイスユニット(CTRL I/F)を用意した．システムの制御を容易にするために，システムコントローラが，すべての通信を管理することにした．PEがシステムコントローラからデータを受け取る場合，RQ信号線を通して，要求信号を発信する．

上述の仕様によりPLDの設計を行い，論理ゲート数10000，入出力ピン数56を得た．この条件を満たすPLDとしてはXC5210(XILINX)[144]が候補として挙げられる．

5.4.2　MPE型OAL-NC用処理要素アレイ

(a)　構成

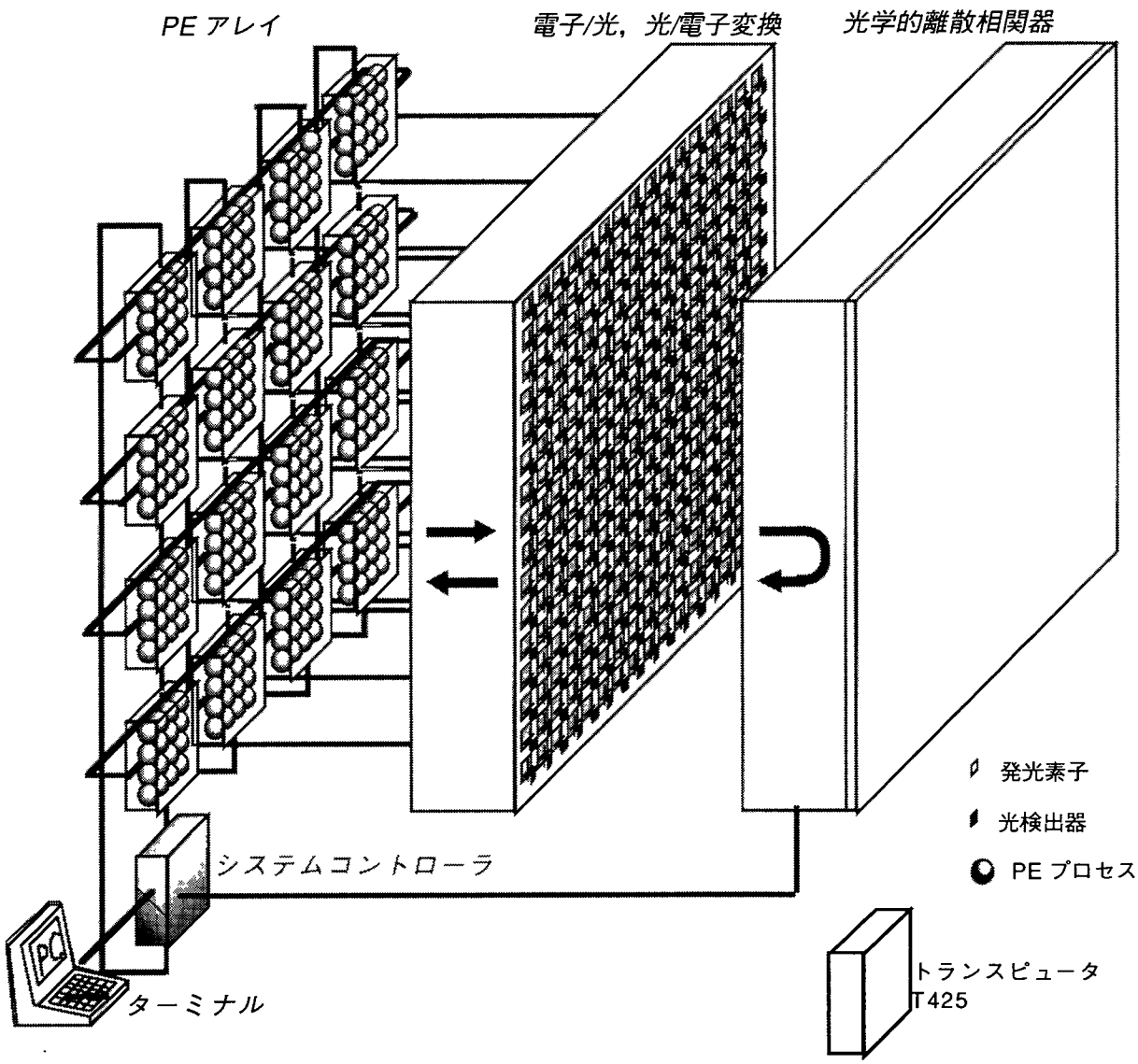


図5.4　MPE型OAL-NC構成図．

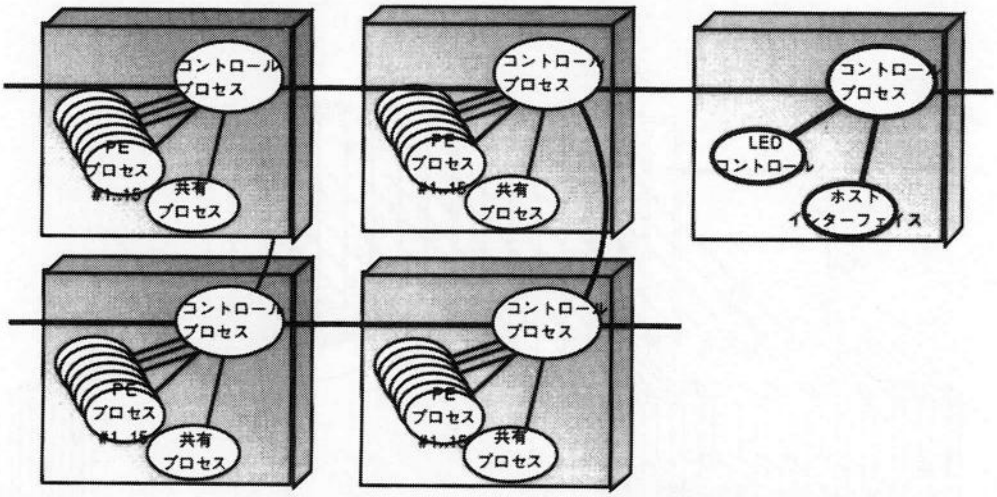


図5.5　MPU内部のプロセスの構造.

図5.4にMPE型OAL-NCにおける処理要素アレイの構成図を示す．MPUには，マルチプロセッサ構築を目的に開発されたトランスピュータT425(INMOS Ltd.)[145]を利用する．トランスピュータは，専用の通信機能を持ち，効率的にマルチプロセッサシステムを構成することが可能である．PEアレイの実装には16個のT425を2次元トーラス[143]状に連結する．各T425は4本のリンクを持ち，4近傍T425と直接通信を行う．一つのT425内で16個のPEをそれぞれ個別のプロセスとして実現する．

図5.5にPEアレイを実現するプロセス群の構造を示す．各T425では，コントロールプロセス，16個のPEプロセス，共有プロセスが動作している．コントロールプロセスは，PE間通信のインターフェイスとして機能する．各プロセスはT425で設定されているチャンネルを通して通信を行うが，同一T425内の通信では，デッドロックを回避するために，共有領域を経由する方式を併用する．各プロセスの機能はINMOS Ltd.が提供するANSI Cツールセット[145]を用いて記述することで容易に設定できる．

(b)　実装方法

図5.6にMPE型OAL-NC試作システムの実装図を示す．基盤面積の制限から，1枚のプリント基板に一つのT425と64個の発光素子および16個の受光素子の駆動回路を実装する．この基板16枚により256個のPEからなるPEアレイを実現する．図5.7に基板あたりの機能ブロック図(a)，および実装ボードの写真(b)を示す．

5.4.3　方式の選択

以上，PLD型とMPE型の2方式の検討を行ったが，OAL-NC試作システムとしては，システムの早期実現を目指してMPE型を採用した．この方式は，システムの柔軟性が非常に高く，発展性が期待でき，さらに開発期間・コストを大幅に削減できるなどの利点

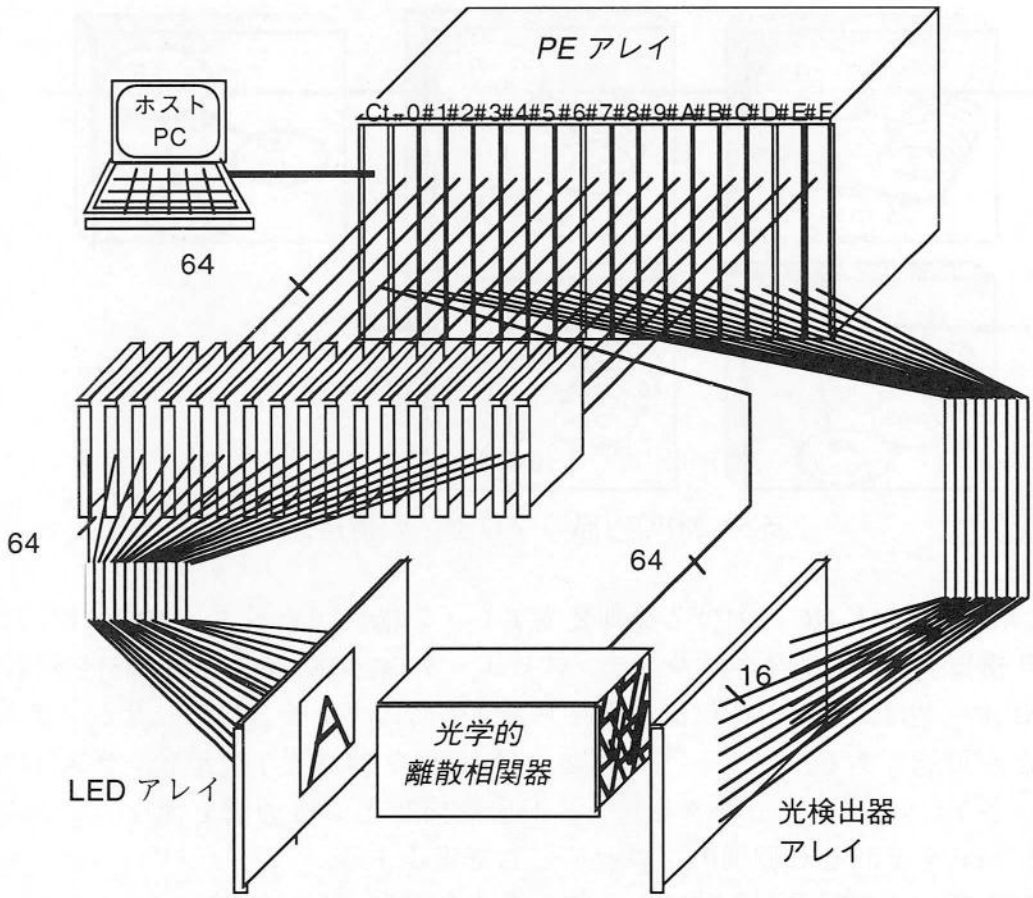


図5.6　MPE型試作OAL-NCシステムの実装図.

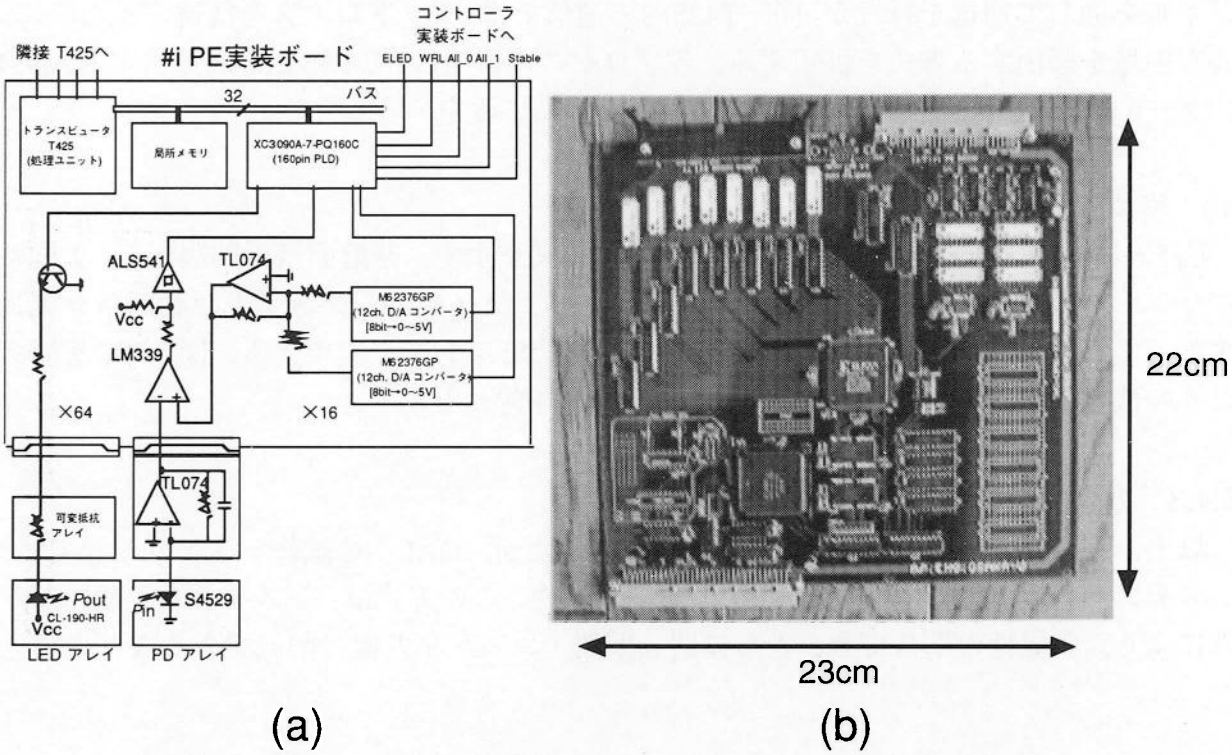


図5.7　試作したPE実装用基板. (a)機能ブロック図, (b)写真.

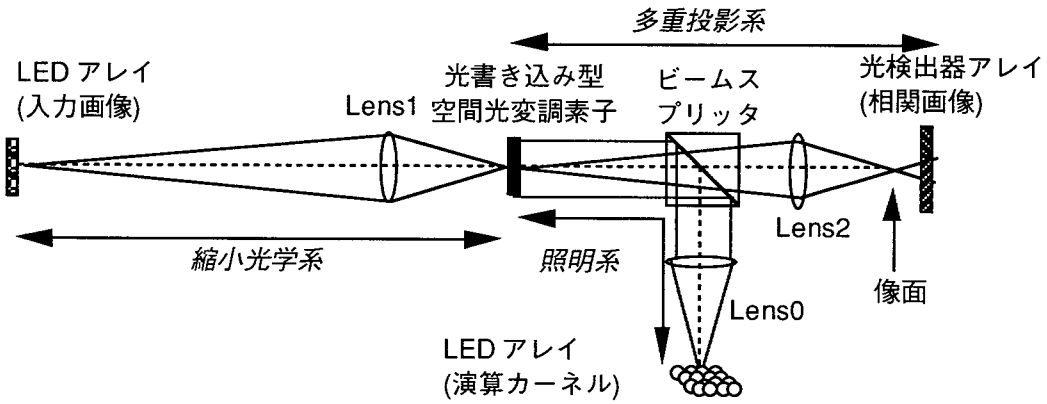


図5.8　離散相関器の構成図.

を持つ.

5.5　光アレイロジックネットワークプロセッサ

光アレイロジックネットワークプロセッサ(Optical Array Logic Network Processor: OAL-NP)はPEアレイからのデータに対して，光アレイロジックに基づいて並列演算を行う．OAL-NPは並列離散相関器とそのコントローラから構成される．ここでは，並列離散相関器実現のために，その設計について述べる．まず，相関器の評価法を説明し，試作する相関器の仕様を述べる．次に，その仕様に基づき光学系を設計・評価する．

5.5.1　並列光離散相関器の評価

並列光離散相関器の光学系を設計する場合，利用するデバイスの規格から，

1) 入力画像と出力画像の大きさ
2) 入力画像と出力画像の画素の大きさ
3) 入力画像と出力画像の画素間隔

が制約条件として与えられる．設計ではこれらの条件の下で，以下の項目を評価し，機能デバイスや光学素子の配置を決定する．

1) 光学系の倍率
2) 相関器全体での光量到達率
3) 相関面での各複製像の移動量
4) 受光面で指定した領域への，特定の光源からの光量の到達率
5) 受光面で各受光領域へ到達する光量の均一性
6) 光学系の大きさ

5.5.2　並列光離散相関器の構成

試作OAL-NCシステム用の並列離散相関器の構成を以下の形式に定めた．

相関器の方式は，同一入力画像に対して，高速な演算カーネル切替を可能にするため

に，点光源変調方式を用いる．光学素子のアライメントが容易で，アライメント許容度も大きく，光学系の実装体積を小さくできる多重投影法を利用する．

図5.8に設計する相関器の構成を示す．入力画像は並列発光可能な光源アレイに表示され，その後，光書き込み型の空間光変調素子に書き込まれる．空間光変調素子に保持された画像は，演算カーネル用光源で読み出され，光検出器アレイに投影される．光検出器アレイをLens2の結像面から，後方にずらすことにより，離散相関演算が実現できる．光書き込み型の空間光変調素子には，強誘電性液晶空間光変調素子を利用する．

各表示，受光素子の仕様を表5.3に示す．入力画像の表示には，安定した発光を得るために，LED素子アレイを用いる．相関器の光量効率を高め，しかも小さな体積で実装するために，チップ型LEDを表面実装したモジュール基板を利用する．本試作システム用に試作したLEDアレイの写真を図5.9に示す．LEDには，高輝度で発光の指向性の弱いCL-190-HR(シチズン(株))を用いた．

表5.3　試作相関器に利用する表示，受光素子の仕様．

	素子	素子の大きさ [mm]	1素子当たりの画素数	アレイ素子の大きさ [mm]
入力画像	個別かつ並列アクセス可能な表面実装チップLEDアレイ (専用に設計，試作)	2.54×2.54	32×32	78.74×78.74
出力画像	個別かつ並列アクセス可能な集積型PDアレイ: S4529 (Hamamatsu Photonics K.K.)	1.00×1.00	16×16	16.0×16.0
演算カーネル	個別かつ並列アクセス可能な表面実装チップLEDアレイ (専用に設計，試作)	2.54×2.54	8×8	17.78×17.78

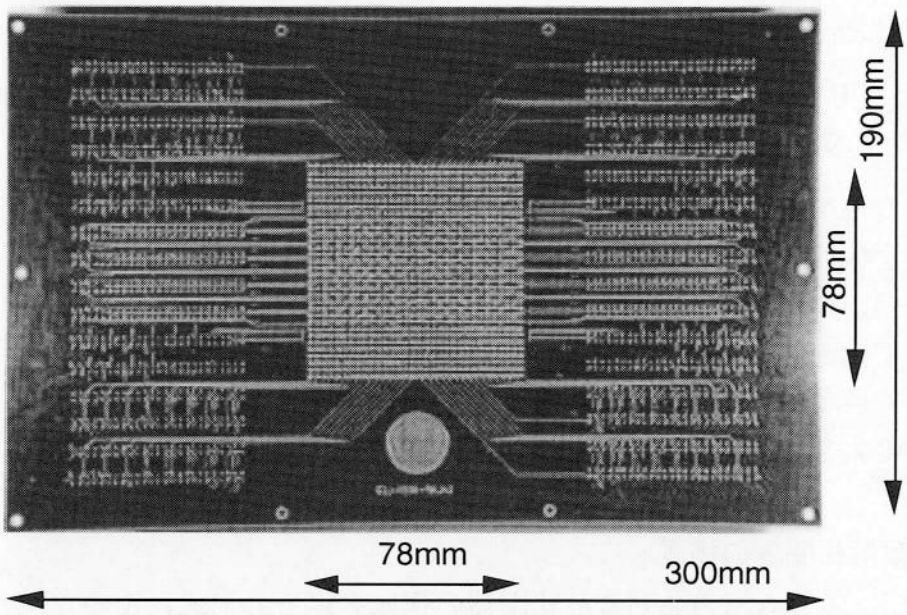


図5.9　OAL-NC試作システム用LEDアレイ．

受光素子には，画素信号の並列読み出しが可能な集積型受光素子アレイ(S4529浜松ホトニクス(株))を利用する．発光素子アレイと受光素子アレイの大きさが異なるため，発光素子アレイと空間光変調素子の間を縮小結像系で接続した．空間光変調素子と受光素子アレイの間はほぼ等倍である．演算カーネルに対応する読み出し用光源アレイも，高密度な実装が必要となるため，LEDにCL-190-HRを利用する．

5.5.3　試作OAL-NC用並列光離散相関器の設計

コンピュータ設計支援ツールを利用して，離散相関器用の光学系の設計及び評価を行った．コンピュータ支援設計・評価により，最適な光学系を効率的に設計することができ，開発期間の短縮とコストの低減が期待できる．

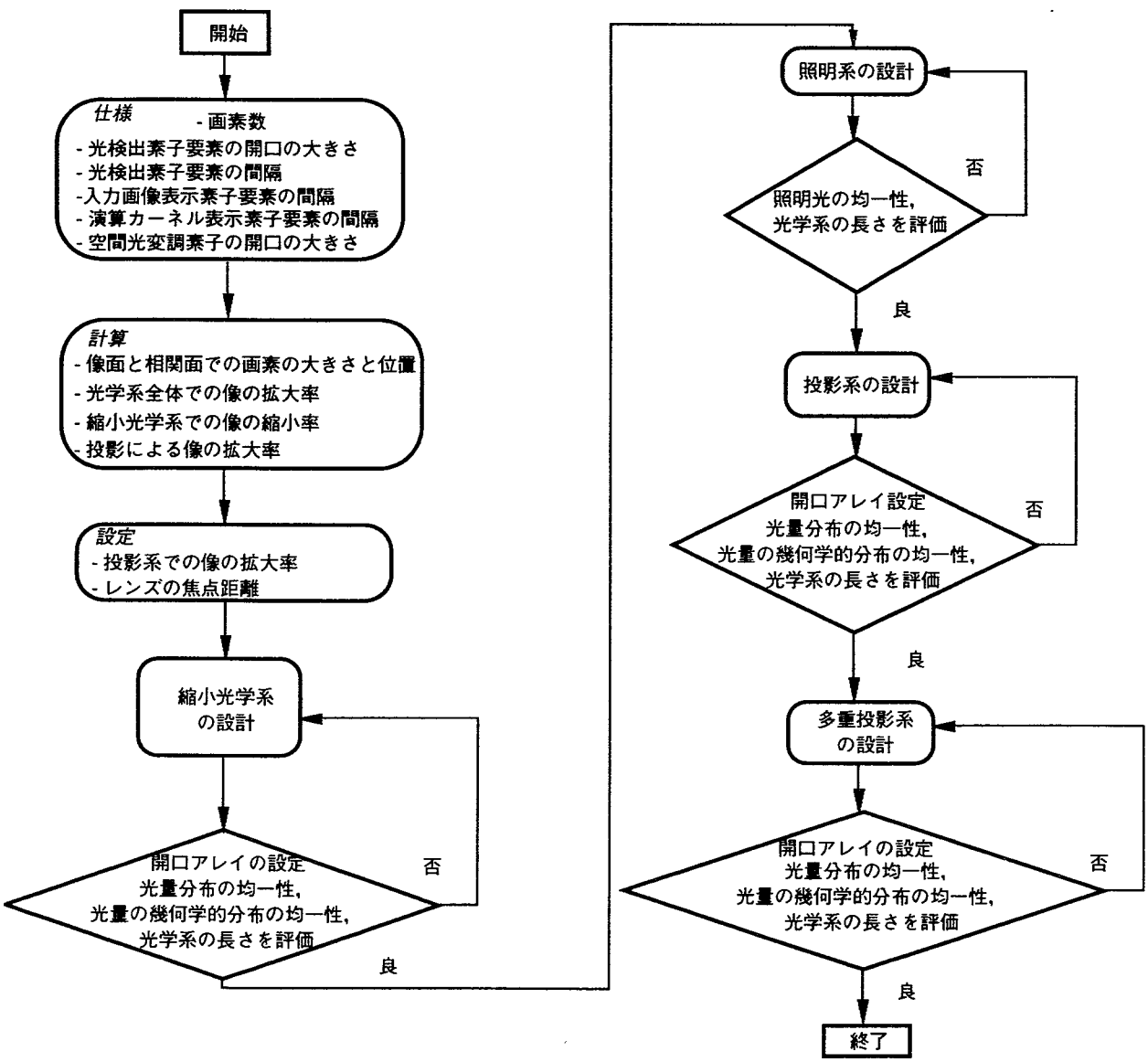


図5.10　相関器設計の流れ図．

設計支援ソフトウェアには，codeV Ver.8.05B(Optical Research Associates)を利用した．設計は，市販されている光学素子をライブラリから呼び出して，その組み合わせに基づいて適切な光学系を選択して行った．相関器の光学系を縮小結像系，照明系，多重投影系に分割して，個別に設計することで，設計手順を簡単化した．設計の流れを図5.10に示す．設計の容易化と時間短縮のために，入力画像，点光源アレイは中心点と四隅の点を代表点として評価した．

縮小結像系では，各画素の幾何学的位置と光量一様性を評価尺度とした，結像面に開口アレイを設定し，照明光源から各開口に到達する光線の到達率と均一性を評価した．このとき，開口の大きさは，多重投影系における受光素子の開口を逆投影して決めた．

照明系では，光量の一様性を評価尺度とした．これは，空間光変調素子を設置する面でのスポットダイヤグラムの均一性として評価する．

多重投影系は，先に設計した照明系に投影系を組み合わせて評価する．照明系の照射面，すなわち，空間光変調素子面に入力画像用開口アレイを設定し，入力画像用開口アレイの投影像を評価する．画像のシフト量は，結像面から後方にΔz離れた面(相関面と呼ぶ)での入力画像用開口アレイ像のシフト量により評価する．各画素の幾何学的位置，光量一様性を評価するために，相関面に，受光素子用開口アレイを設定し，各受光素子用開口に到達する光線の到達率と均一性を評価する．各受光素子用開口の大きさは受光素子の開口の大きさに設定する．

利用する素子としては，色収差，像面湾曲を低減するために，アクロマティックレンズを仮定した．また，高い光量効率を実現し，口径食を避け，系の長さを短くするために，大口径でF値の小さいレンズを利用した．

5.5.4　設計結果

図5.11に設計した光学系を，表5.4と表5.5に光学系のパラメータを示す．縮小光学系では，レンズ2枚の組み合わせによりスポットダイヤグラムの拡がりを押さえることが

表5.4　縮小光学系の光学系パラメータ．

面番号	曲率半径[mm]	面間隔[mm]	ガラス
OBJ:	INFINITY	762.022395	
1:	197.87000	12.500000	SK11_SCHOTT
2:	-133.70000	7.100000	SF5_SCHOTT
3:	-509.46000	10.000000	
STO:	INFINITY	10.000000	
5:	104.41000	22.000000	SK2_SCHOTT
6:	-81.16600	7.000000	SF10_SCHOTT
7:	-365.17000	102.377300	
IMG:	INFINITY	0.000000	

面番号は，図5.11(a)の図中の面番号と対応する．STOは絞りを表す．

表5.5　多重投影光学系の光学系パラメータ．

面番号	曲率半径[mm]	面間隔[mm]	ガラス
OBJ:	INFINITY	297.240900	
1:	197.87000	12.500000	SK11_SCHOTT
2:	-133.70000	7.100000	SF5_SCHOTT
3:	-509.46000	10.000000	
4:	INFINITY	40.000000	BK7_SCHOTT
5:	INFINITY	172.380933	
STO:	INFINITY	0.000000	
7:	INFINITY	172.380933	
8:	INFINITY	40.000000	BK7_SCHOTT
9:	INFINITY	40.000000	
10:	77.21000	8.200000	SK11_SCHOTT
11:	-54.09000	3.000000	F5_SCHOTT
12:	-216.10000	231.008199	
13:	INFINITY	62.000000	
IMG:	INFINITY	0.000000	

面番号は，図5.11(b)の図中の面番号と対応する．STOは絞りを表す．

できた．照明系で光路長を短くすると，光源と空間光変調素子間の面間隔が短くなる．その結果，後続の多重投影系において大きなシフト量を得るために，点光源を広い領域に拡げて配置しなければならない．広い照明光源面に起因する口径食を避けるために，大口径でF値の小さいレンズを利用した．投影系では，空間光変調素子の開口に対し約2倍の直径を持ち，高光量効率でかつ，系を短くするために小F値のレンズを利用した．設計で得られたレンズを表5.6にまとめる．

設計した相関器による相関演算結果を図5.12に示す．図5.12(a)は入力画像，(b)は演算カーネル，(c)は相関画像，(d)はサンプリング画像である．サンプリング画像が光アレイロジックにおける出力画像になる．設計の容易化と時間短縮のために，入力画像，演算カーネルは中心と隅の点を代表点として評価した．各演算カーネル点により，所望の位置に画像がシフトしていることを確認した．また，演算カーネルの各点に対する相関像の幾何学的均一性，光量均一性も確認した．

設計した光学系の長さを表5.7にまとめる．実装容積は1534.2mm×282.6mm×82.0mmが得られた．

図5.13に，設計データにしたがって試作した多重投影型並列離散相関器の光学系の写真を示す．

5.6　制御系

5.6.1　システムコントローラ

OAL-NCシステム全体の制御を行うために，システムコントローラを用意する．OAL-NCシステムで演算を行う場合，システムコントローラは各PEとOAL-NCプロセッサへプログラムとデータを供給する．

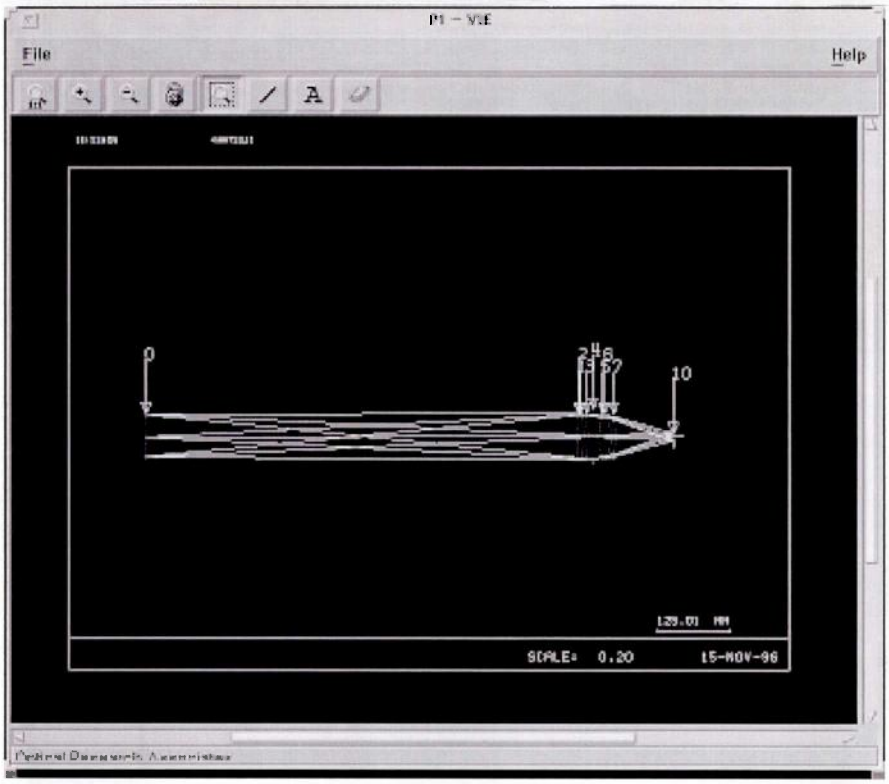
PEアレイとの通信を簡潔なハードウェアで効率良く実現するために，コントローラとしても，トランスピュータT425 [145]を利用する．コントローラ素子及び周辺回路を1枚のプリント基板に実装し，PEアレイ用基板と共に同一のラックに実装する．

5.6.2　OAL-NPコントローラ

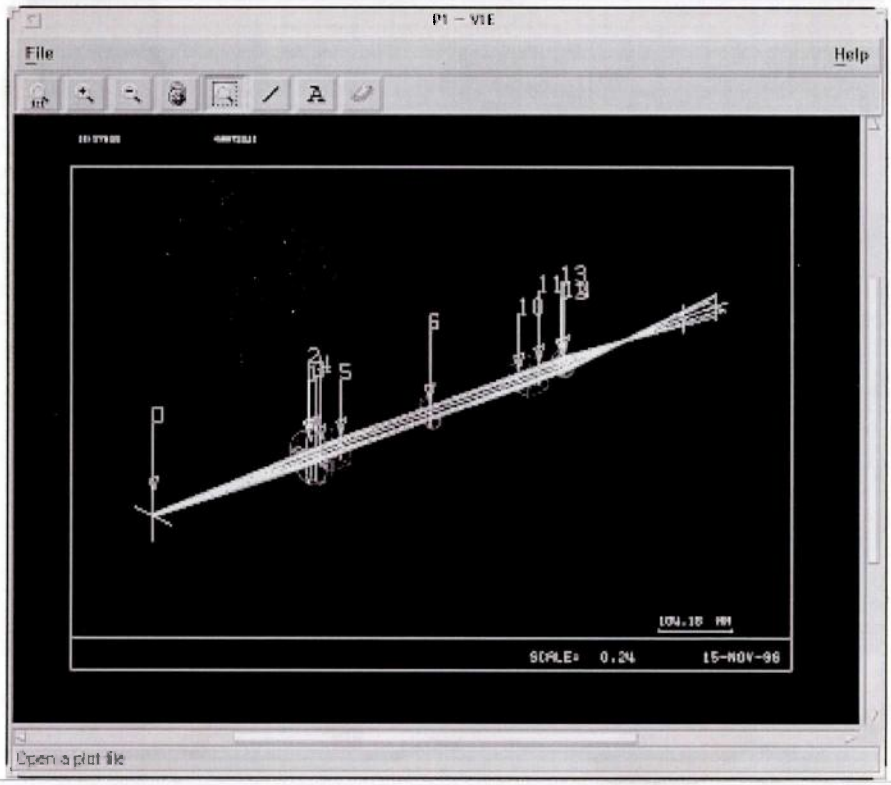
OAL-NPコントローラは並列離散相関器を制御する．開発期間とコストを削減し，また，PEアレイとの整合性を保つため，OAL-NPコントローラにもトランスピュータT425を利用する．実装基板にはPE用基板を流用した．カーネル制御用信号は64bitで，カーネル制御素子に送られる．この方式では，8×8点の演算カーネルの並列制御が行える．

5.6.3　PEのコントロールプロセス

PE用T425上で動作するコントロールプロセスは二つの仕事を行う．一つは，OAL-NPとの通信管理でLEDに送るデータやPDからのデータを管理する，もう一つは，PE用T425間および対システムコントローラ通信処理であり，T425間の通信ルータとして機能する．コントロールプロセスは，PEあるいはコントロールプロセスからメッセージを受けると，



(a)



(b)

図5.11　設計光学系．(a)縮小光学系，(b)多重投影光学系．

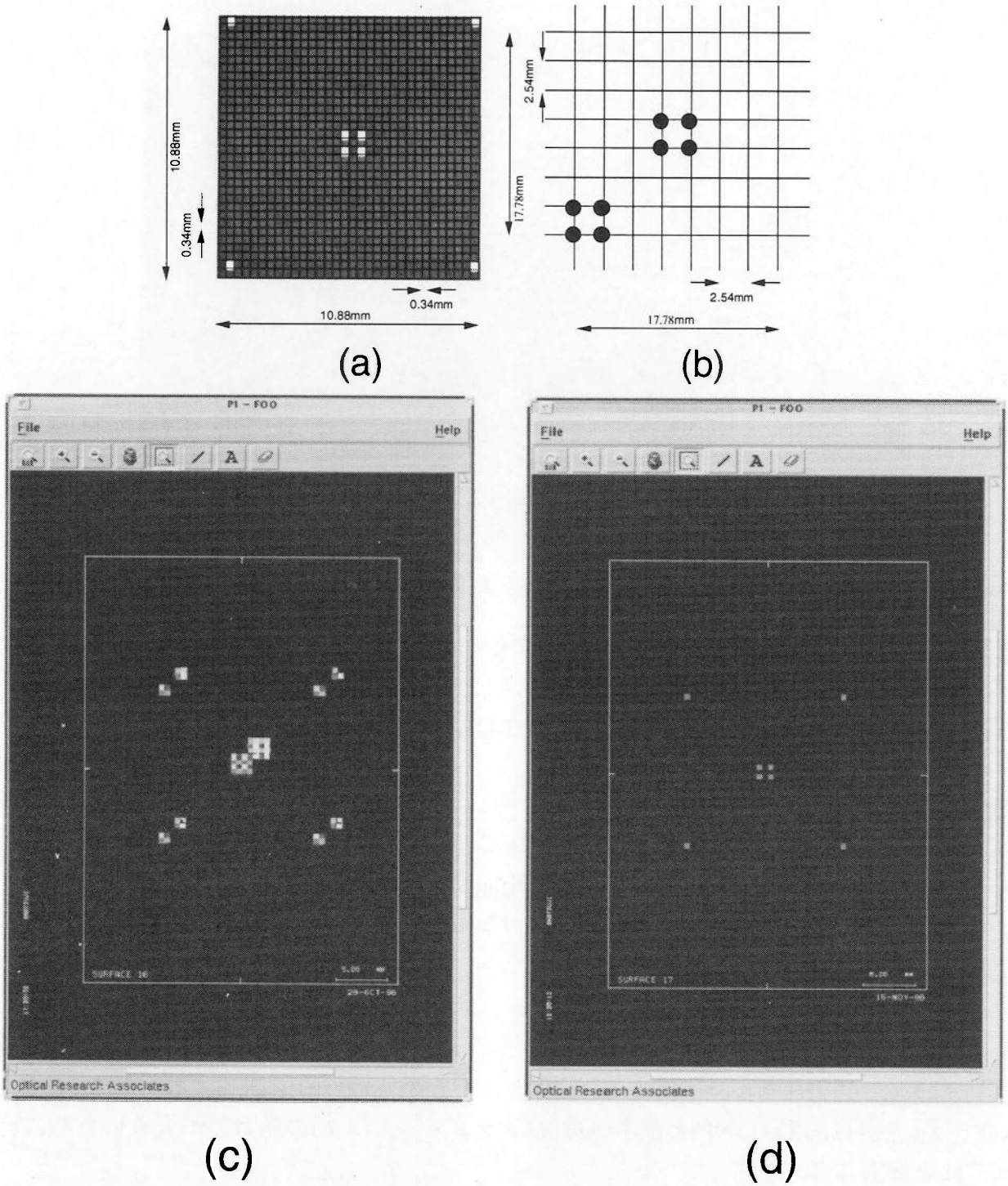


図5.12　設計相関器による相関演算結果．(a)入力画像，(b)演算カーネル，(c)相関演算結果，(d)空間サンプリング結果．

表5.6　相関器で利用するレンズ．

レンズ	光学素子
Lens0	Melles Griot LAO267 (F/3.66, f=300mm)
Lens1	Melles Griot LAO267 (F/3.66, f=300mm) + Spindler & Hoyer SH322267 (F/2.00, f=160mm),
Lens2	Melles Griot LAO138 (F/3.00, f=120mm)

表5.7　設計により得られた光学系長．

	光学系の長さ [mm]
縮小光学系	933.0
照明系	494.6
多重投影系	601.2

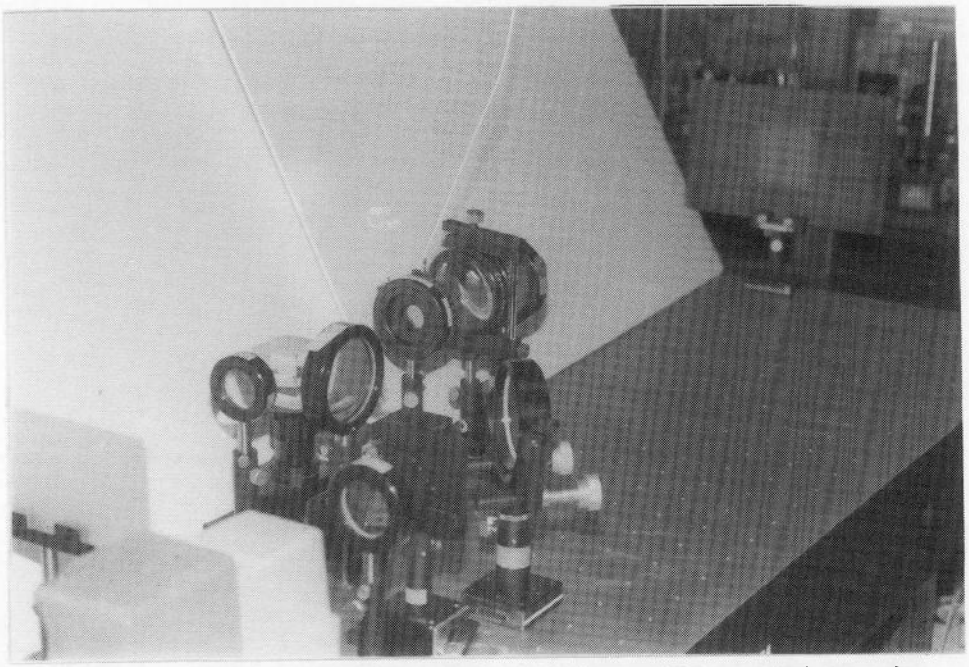


図5.13　試作した多重投影型並列離散相関器の光学系の写真.

その行き先を判断して,送るべきプロセスに転送する.メッセージの送信先が,そのT425上に存在するPEプロセスであれば,トランスピュータ内部でメッセージを渡す.それ以外の場合は,転送先のプロセスが存在するT425にメッセージを転送する.

5.6.4　ターミナル

ユーザーインターフェイスを提供するターミナルには,パーソナルコンピュータPC9801na(日本電気株式会社)を利用する.PC9801の入出力空間にデータを書き込み,インターフェイスボードによりT425シリアルリンク用のデータに変換してシステムと接続する.

5.7　能力評価

上述の設計結果に基づき,OAL-NC試作システムの処理能力を評価する.特に,OAL-NCでは,光演算部(OAL-NP)と電子処理部(トランスピュータ)の能力差が大きいため,それぞれを個別に考える.

本研究で設計したOAL-NPでは,動作速度は空間光変調素子の画像の書き換え速度で制限される.この値は空間光変調素子の入力光信号強度に依存する.第2章2.4.7のLAPS-SLMに関する考察を用いると,100frame/s程度の動作速度が得られる.

一方,トランスピュータ上では,複数のプロセスが動作するため,PE1個あたりの演算能力を正確に導出することは難しい.しかし,1次近似としては,動作周波数を動作プロセス数で除したものを用いることができる.これをT425(クロック周波数25MHz)に適用すると1フレームあたり,25MHz/18 = 1.39MHzが得られる.除数は16個のPEプロセス,コントロールプロセス,共有プロセスから得られた数値である.ただし,実際の

処理においてはプロセスの切替やプロセス間通信のオーバーヘッドが存在するため，実行動作周波数は上記の値をかなり下回るものと考えられる．

以上の評価により明らかなように，OAL-NC試作システムでは，光演算部能力よりも電子処理部の能力の方が極めて高い．この能力差は利用可能なデバイス技術により変化するが，OAL-NCアーキテクチャ，特にMPE型OAL-NCでは，それぞれの技術に応じて適切な処理アルゴリズムを選択できる自由度を持つ．すなわち，光と電子の能力差に応じてタスクを配分することで，光あるいは電子プロセッサ単独では得られない高い演算能力をでき，さらに，ハードウェア特性に起因する時間待ちなどの無駄な時間を取り除くことが可能になる．このような特徴は，従来の光･電子複合並列処理システムでは得られなかったものであり，OAL-NCアーキテクチャの最も強調すべき優位点である．

5.8　結言

OAL-NCの実現方式として，PLD型とMPE型の2方式を考案し，それぞれの特徴を述べた．PLD型OAL-NCでは，PEのハードウェアと命令セットを設計した．MPE型OAL-NCではPEを実現するプロセスの方式を考案した．2方式の比較より，OAL-NC試作システムでは，ハードウェアが簡単で，演算システムとしての発展性が高いMPE型を採用した．OAL-NPコントローラと並列光離散相関器の設計を行った．並列光離散相関器として多重投影型を採択した．市販の光学素子の利用を仮定した設計を行い，実装容積1534.2mm×282.6mm×82.0mmの離散相関光学系を得た．制御系についても検討し，最後に試作システムの能力を評価した．

第6章　総括

本論文では，処理効率のよい並列光演算システムの実現を目的として，光･電子複合技術を利用たシステムを検討し，試作システムを設計し評価した．光･電子複合型システムとしてH-OPALS16^{2}を試作し，並列演算を実行して，その能力を評価した．また，並列光演算システムで重要な役割を果たす並列光離散相関器の方式の機能，性能を検討し，評価した．さらに，光･電子複合型OPALSの問題点を指摘し，それを克服する処理効率の良い光･電子複合技術を利用した並列演算原理，光アレイロジックネットワークコンピューティング(Optical Array Logic Network Computing: OAL-NC)の演算能力を評価し，2種類のOAL-NC実現方式を考案し，試作システムを設計した．以下，本研究で得られた結果を章毎に総括する．

第1章では，光･電子複合型並列演算システムの構成，特徴，試作例およびシステム構築に有用な光機能素子と実装技術の研究例について述べた．そして，光･電子複合型並列演算システムを実現するための技術課題を指摘し，本研究の位置付けを行った．

第2章では，光･電子複合技術でOPALSを実現するH-OPALSのプロトタイプシステムH-OPALS16^{2}を試作し，19kframe/sで動作することを確認した．H-OPALS16^{2}の対応画素間演算能力を評価するために並列画像間数値演算，並列画像処理を実行させて所望の結果を得た．さらに，H-OPALS16^{2}用の並列光離散相関器として，プリズムアレイ相関器を試作し，画像の移動量，画像の幾何学的歪み，光量の均一性，H-OPALS16^{2}用相関器に利用可能であることを確証した．また，試作プリズムアレイ相関器をH-OPALS16^{2}組み込み，全体動作可能にした．H-OPALS16^{2}の近傍演算能力を評価するために，並列画像処理，多重トークン伝播処理を実行し，所望の結果を得た．最高動作速度は1.3frame/sであった．この数値は，相関器での光量低下を補償するために用いた強誘電性液晶空間光変調素子の読み出し光を遮断する機械シャッタの応答速度に起因するものである．

第3章では，光･電子複合型並列演算システムで最も重要な構成要素である離散相関演算の方式を時間多重方式，瞳制御方式，および光源変調方式の3方式に分類し，光量効率，処理スループット，および実装体積を定量的に評価した．光量効率と処理スループットに関しては，各方式で最も有利になる画素数と演算カーネルの条件を求めた．また，時間多重方式と瞳分割方式で同体積をとる場合の偏向素子の最大偏向角度と偏向距離に関する関係を明らかにした．

第4章では，光･電子複合型並列コンピューティングシステムの新しいアーキテクチャとして提案されているOAL-NCの動作特性を計算機シミュレーションにより評価した．具体的な問題として，2値画像に対するエッジ検出，多値画像に対する中央値フィルタ処理，最大値検出，遺伝的アルゴリズムによるビン詰め問題を取り上げた．各問題に対して，電子的プロセッサアレイのみによる方式（PE実装），光アレイロジックのみによる方式（OAL実装），光･電子協調による方式（COOP実装）を想定し，シミュレーションにより処理結果を得た．得られた結果よりOAL-NCの動作特性を評価し，OAL-NCに適した問題が画素数の多い画像に対して，大域的な演算やデータ伝送を行い，かつ算術演算を含む演算であることを明らかにした．

第5章では，OAL-NCの実現方式として，PLD型とMPE型の2方式を考案し，それぞれの特徴を述べた．PLD型OAL-NCでは，PEのハードウェアと命令セットを新たに設計し，MPE型OAL-NCではPEを実現するプロセスの方式を考案した．2方式の比較より，OAL-NC試作システムでは，ハードウェア構成が簡単で，演算システムとしての発展性が高いMPE型を採用した．この型に適合したOAL-NPコントローラと並列光離散相関器の具体的な設計を行った．市販の光学素子の利用を仮定した多重投影型並列光離散相関器の光学系の設計を行った．実装容積は，1534.2mm × 282.6mm × 82.0mmで実現した．制御系についても検討し，試作システムの能力を評価した．

光･電子複合型並列演算システムは，発展途上のシステムであり，現時点では完成された形態を持つものではない．しかし，デバイスをはじめとする周辺技術は着実に進歩しており，今後の研究の方向を定める上でも，システムの将来展望は重要である．そこで，現状技術から光･電子複合型並列演算システムへの寄与を考察する．また，本研究で得られた知見に基づき，光･電子複合型並列演算システムを実現するための今後の課題をまとめる．

将来展望

光･電子複合技術による並列光演算システムの実用化には幾つかの道筋がある．その中で，一つの有力なシナリオとして，1) 光ファイバによるシステム間光信号接続，2) チップ間並列光信号接続，3) 光信号接続と光演算を兼ねたアーキテクチャの提示が考えられる．

光ファイバ通信は既に実用化されて，実績をあげている．現在は，FTTH(Fibre To The Home)[146, 147]を目指し精力的に開発が進められており，1Gb/sの加入者系が近未来に普及すると考えられる．このように，光ファイバ通信の研究や開発で得られた知見や技術は，光ファイバによるシステム間光信号接続の実用化を促進する．

チップ間並列光信号接続は，電子演算デバイスの入出力数の能力限界を解決する技術として精力的に研究が進められている．近年の汎用プロセッサでは，チップの動作クロックは高速化が進んでいるが，チップの入出力数は現状では，表面実装を用いても，数100ピン程度[148]が限界である．

チップの入出力数の解決方法として，以下の技術が考えられている．

1) フリップチップボンディング[149]
2) 3次元集積回路[150-154]
3) チップ間並列光信号接続[155-164]

1)は実用化されているが，劇的に入出力数を増加させるものではない．2)は，未だ研究段階で，良質のデバイスを作製するプロセス技術や，放熱性の問題から実用には時間を要すると思われる．3)は，実現の容易さと高い入出力の広帯域性を持つ技術である．特に，スマートピクセルはチップ間並列光接続を実用化するための有用な光電融合素子である．例えば，面型の半導体空間光変調素子であるS-SEED (Symmetric Self Electro-optic Effect Device)にCMOS回路を接続して，電子回路から2次元に信号を取り出す集積モジュールが精力的に研究されている．現時点では，32×32画素の素子が試作されている[165]．この技術では変調素子の実装密度が入出力数の限界になるが，S-SEEDでは既に256×128素子が開発されており[65]，将来は，電子素子を上回る入出力数が得られるものと予想される．

チップ間光接続技術が確立されると，光を単なる信号接続(データ伝送)に用いるだけでなく，光演算を兼ねたアーキテクチャを持つシステムが重要になる．本研究で対象としたOAL-NCは正にその概念に基づくアーキテクチャを持つシステムであり，将来の光･電子複合型並列光演算システムの姿を示唆するものである．応用に応じて，OAL-NCに基づく種々のシステムが設計，評価されることで，それぞれの応用に適したシステム構成が明かにされると考えられる．洗練されたOAL-NCシステムにより，光･電子複合型並列光演算システムの能力が最大限に活用される．

今後の課題

より優れた光･電子複合型並列演算システムを実現するためには，以下に示す課題を解決しなければならない．

1) ニーズの同定とシステム開発研究の推進
2) 高機能・高性能光機能素子の利用環境の整備
3) 光の超並列性を活用した電子複合型並列演算システム構成法の確立
4) コンピュータ支援による光学系設計製造環境の開発

1)の課題に関して，光機能集積素子と，電子素子の機能と性能は年々向上しているた

め，光･電子複合型並列演算システムの開発においては，これらの素子を利用して試作と性能評価を繰り返すことにより，より優れた実現形態が明らかになると期待される．現状では，電子コンピュータの研究や開発に関わる人数に比べ，並列光演算システムに携わる数は圧倒的に少ない．周辺環境の問題から，並列光演算システムの試作研究は世界的に見ても少ない．困難は多いが，ニーズを定めて並列光演算システムの試作研究を推進し，光･電子複合型並列演算システムの優位性を明確にるすることは，本研究分野では，重要な課題であると考えれれる．

2)の課題に関して，現在，VCSELアレイや半導体面型空間光変調素子，スマートピクセルなどの高性能な光機能素子が研究開発されている．また，エレクトロニクスの分野では，MOSIS[165, 166]やCO-OP[166]など専用集積回路素子の開発支援体制も整備されている．しかし，現状では，市販されている光機能素子は極めて高価で，しかも物理的特性が限定されている．システム構築の基盤として，これらの光機能素子を容易に利用作製できる環境が不可欠である．

光機能素子に要求する項目として以下のものがある．素子の物理特性については，応答速度，アレイ素子数，実装体積，アレイ素子の均一性，高い消光比，高感度と低消費電力，高光量効率，波長安定性などが要求される．また，素子の入手性を向上させるためには，ニーズを明確にして，需要を拡大し，光･電子複合型並列演算システムの開発を一層推進させることが必要である．したがって，課題1)と2)は密接に関わり合っている．

課題3)に関して，これまでに考案されている光･電子複合型並列演算システムの並列度は，電子演算システムの並列度と面型の同時並列アクセス可能な受発光素子の集積素子数により制限されている．本来，光学処理技術は超並列性を特徴として持っている．より高い処理能力を持つ光･電子複合型並列演算システムの実現には，光学処理で得られる超並列性を有効に活かすことが重要な課題となる．

課題4)に関して，現在の電子回路設計では，コンピュータ支援設計開発が普及しており，ハードウェア記述言語を用いた開発が可能である．光学システムの設計・開発の分野においても，コンピュータ支援設計・製造環境は重要であり，その開発は急務であると考えられる．コンピュータ支援設計・製造環境を開発する上では，1)光学設計評価ソフトの高機能化とユーザーインターフェイスの向上，2)光学系記述言語の開発，3)大量生産を意図した光学素子の規格化などが必要である．

謝辞

本研究は，大阪大学大学院工学研究科応用物理学専攻において，伊東一良教授，一岡芳樹教授の御指導の下に行ったものである．終わりに臨み，終始懇切なる御指導と御助言を賜りました伊東，一岡両教授に深く感謝の意を表すと共に厚く御礼申し上げます．

本学大学院工学研究科樹下行三教授，ならびに本学産業技術研究所豊田順一教授には，本論文作成にあたり細部にわたり御検討頂き，貴重な御意見を頂きました．ここに深く御礼申し上げます．

本学大学院工学研究科谷田純助教授には，研究を遂行するにあたり，終始適切な御指導，御助言を頂きました．また，本論文作成にあたり細部にわたり御検討を頂きました．ここに深く感謝致します．

本学大学院工学研究科小西毅助手には，日頃から親切な御指導，御指摘を頂きました．深く御礼申し上げます．

井上卓博士（現浜松ホトニクス株式会社）には，応用物理学専攻在任中に親切な御指導，御指摘を頂きました．厚く御礼申し上げます．

第2章の実験に遂行において，本研究室の卒業生である宮崎大介博士(現大阪市立大学工学部)，西村康規氏(現日本電気株式会社)には有益な御助言，御指導を頂きました．各氏に深く感謝致します．また，セイコー電子工業株式会社より貴重な光機能素子を利用する機会を賜りました．岩城忠雄氏ならびにセイコー電子工業株式会社の皆様に深く御礼申しあげます．

第5章の電子処理部の設計・製作において，政木康生氏(株式会社画像工学研究所)には有益な御助言，御協力を頂きました．深く御礼申し上げます．

第4章の処理能力評価，第5章の処理要素の設計・実装において坂本信幸氏には多大なる御協力を頂きました．深く感謝申し上げます．また，第5章の装置設計に関して，本研究室卒業生の宇津呂英俊氏（現本学大学院工学研究科）には多大なる御協力を頂きました．心から感謝致します．

6年間にわたる研究生活において，良き同輩として御助言を頂き，御激励を頂いきました平井亜紀子博士(現日本学術振興会特別研究員)に心から感謝致します．

本研究室の卒業生である岩田昌也博士(現工業技術院電子技術総合研究所)，津村徳道博士(現千葉大工学部)，的場修博士(現東京大学生産技術研究所)，河野努氏(現コニカ株式会社)，請園信博氏(現古河電機株式会社)には有益な御助言，御指導を頂きました．各氏に感謝致します．

本論文を作成するにあたり，本研究室の廣川勝久氏，香川景一郎氏，宮島徹氏，小倉

裕介氏，尾下善紀氏には多大な御協力を頂きました．各氏に感謝致します．

本研究の遂行にあたって，日本育英会より奨学金を，受けました．ここに深く感謝致します．

最後に，6年間の研究生活の中で，様々な形で御協力，御援助を頂いた研究室内外の皆様に深く感謝致します．

参考文献

[1] 石原聰，島田潤一，桜井健二郎，“光コンピュータ，” *信学誌* **64**，89-94 (1981).

[2] 一岡芳樹，“光計算機の可能性，” *計測制御* **22**，851-858 (1983).

[3] 一岡芳樹，“光コンピュータ，” *応用物理* **51**，1019-1030 (1985).

[4] 谷田貝豊彦，“光コンピュータ，” *光学* **14**，2-10 (1985).

[5] 一岡芳樹，“光コンピュータの現状と将来，” *レーザー研究* **15**，83-89 (1987).

[6] 谷田貝豊彦，“光コンピュータ，” *日本機械学会誌* **91**，27-32 (1988).

[7] 谷田貝豊彦，“光コンピュータ，” *電学誌* **108**，157-160 (1988).

[8] 谷田貝豊彦，“光コンピューター研究の現状と課題，” *応用物理* **57**，1136-1150 (1988).

[9] 黒川隆志，“ディジタル光演算法，” *光学* **18**，343-349 (1989).

[10] 谷田純，“並列デジタル光演算技術，” *応用物理* **58**，1604-1609 (1989).

[11] 石川正俊，“光コンピューティング，” *信学誌* **72**，157-163 (1989).

[12] 北山研一，“光コンピューティングシステム，” *光学* **20**，657-663 (1991).

[13] 谷田純，“光コンピューター開発研究の現状，” *光学* **20**，632-541 (1991).

[14] 矢嶋弘義，“光コンピューティング，” *信学誌* **74**，89-94 (1991).

[15] 矢嶋弘義，“光コンピュータ，” *電学誌* **113**，559-566 (1993).

[16] 一岡芳樹，“光コンピュータと並列光デバイス，” *光学* **22**，462-466 (1993).

[17] 武田光夫，“光インターコネクション，” *応用物理* **56**，361-367 (1987).

[18] 小柳正光，高田浩和，岡野廣，横山新，“光インタコネクションを有する3次元メモリLSI，” *信学論 C-I* **J75-C-I**，257-268 (1992).

[19] 林嚴雄，阿江忠，小柳正光，“光インタコネクション，” *信学誌* **75**，951-961 (1992).

[20] 武田光夫，“光インタコネクション: 受動素子とコンポーネントの展望，” *信学論 C-I* **J75-C-I**，269-277 (1992).

[21] 和田修，“光インターコネクション，” *応用物理* **62**，2-9 (1993).

[22] 高井厚志，“装置間光インタコネクト，” *光技術コンタクト* **32**，159-167 (1994).

[23] 石川正俊，“光インターコネクションと超並列処理，” *光技術コンタクト* **32**，137-143 (1994).

[24] 谷田貝豊彦，“空間光インターコネクション，” *光技術コンタクト* **32**，144-150 (1994).

[25] J. Tanida and Y. Ichioka, “A Paradigm for Digital Optical Computing Based on Coded Pattern Processing,” *Int'l J. Opt. Comput.* **1**, 113-128 (1990).

[26] J. Tanida, J. Nakagawa, E. Yagyu, M. Fukui, and Y. Ichioka, “Experimental Verification of Parallel Processing on a Hybrid Optical Parallel Array Logic System,” *Appl. Opt.* **29**, 2510-2520 (1990).

[27] 谷田純，一岡芳樹，“光･電子複合型並列光アレイロジックシステム，” *応用物理* **60**，49-52 (1991).

[28] D. Miyazaki, J. Tanida, and Y. Ichioka, “Construction of Modularized OPALS Using Optoelectronic Devices,” *Jpn. J. Appl. Phys.* **26**, L1550-L1552 (1990).

[29] S. Kakizaki, D. Miyazaki, E. Yoshikawa, J. Tanida, and Y. Ichioka, “Hybrid Optical Array Logic System,” *Proc. SPIE* **1505**, 199-205 (1991).

[30] 宮崎大介，柿崎順，谷田純，一岡芳樹，“光･電子複合型並列光アレーロジックシステム：H-OPALS構成用集積型相関器，” *信学論 C-I* **J75-C-I**，296-304 (1992).

[31] D. Miyazaki, J. Tanida, and Y. Ichioka, "Reflective Correlator for Optoelectronic Integration of Hybrid Optical Parallel Array Logic System," *Optik* **89**, 101-106 (1992).

[32] D. Miyazaki, S. Kakizaki, T. Konishi, J. Tanida, and Y. Ichioka, "Iterative Processing on a Hybrid Optical Parallel Array Logic System with a Selectable Coherent Correlator," *Appl. Opt.* **32**, 3053-3058 (1993).

[33] J. Tanida, D. Miyazaki, and Y. Ichioka, "H-OPALS: Hybrid Optical Parallel Array Logic System," *Proc. SPIE* **1806**, 568-574 (1992).

[34] J. Tanida and Y. Ichioka, "Programming of Optical Array Logic. 1: Image Data Processing," *Appl. Opt.* **27**, 2926-2930 (1988).

[35] J. Tanida, M. Fukui, and Y. Ichioka, "Programming of Optical Array Logic. 2: Numerical Data Processing Based on Pattern Logic," *Appl. Opt.* **27**, 2931-2939 (1988).

[36] M. Iwata, J. Tanida, and Y. Ichioka, "Inference Engine Using Optical Array Logic," *Jpn. J. Appl. Phys.* **29**, L1259-L1261 (1990).

[37] M. Iwata, J. Tanida, and Y. Ichioka, "Inference Engine for Expert System by Using Optical Array Logic," *Appl. Opt.* **31**, 5604-5613 (1992).

[38] M. Iwata, J. Tanida, and Y. Ichioka, "Database Management Using Optical Array Logic," *Appl. Opt.* **32**, 1987-1995 (1993).

[39] 一岡芳樹，"画像システムの現状と新展開，" *応用物理* **65**，462-472 (1996).

[40] 石川正俊，"センサ情報の群知能処理，" *計測制御* **31**，1125-1130 (1992).

[41] 石川正俊，"光センシングの現状と将来，" *計測制御* **32**，877-883 (1993).

[42] A. Kirk, T. Tabata, and M. Ishikawa, "Design of an Optoelectronic Cellular Processing System with a Reconfigurable Holographic Interconnect," *Appl. Opt.* **33**, 1629-1639 (1994).

[43] 石川正俊，"超高速・超並列ワンチップビジョンとその応用，" *日本ロボット学会誌* **13**，335-338 (1995).

[44] T. Sakano, T. Matsumoto, K. Noguchi, and T. Sawabe, "Design and Performance of a Multiprocessor System Employing Board-to-Board Free-Space Optical Interconnection: COSINE-1," *Appl. Opt.* **30**, 2334-2343 (1991).

[45] T. Sakano, K. Noguchi, and T. Matsumoto, "Multiprocessor System Using an Automatically Rearrangeable Free-Space Multichannel Optical Switch: COSINE-2," *Appl. Opt.* **32**, 2334-2343 (1993).

[46] T. Sakano, T. Matsumoto , and K. Noguchi, "Three-Dimensional Board-to-Board Free-Space Optical Interconnects and their Application to the Prototype Multiprocessor System: COSINE-III," *Appl. Opt.* **34**, 1815-1822 (1995).

[47] F. Kiamilev, S.C. Esener, R. Paturi, Y. Fainman, P. Mercier, C.C. Guest, and S.H. Lee, "Programable Optoelectronic Multiprocessors and their Comparison with Symbolic Substitution for Digital Optical Computing,"*Opt. Eng.* **28**, 396-409 (1989).

[48] R. Paturi, D.-T. Lu, J.E. Ford, S.C. Esener, and S.H. Lee, "Parallel Algorithms Based on Expander Graphs for Optical Computing," *Appl. Opt.* **30**, 917-927 (1991).

[49] G.C. Marsden, A.V. Krishnamoorthy, S.C. Esener, and S.H. Lee, "Dual-Scale Topology Optoelectronic Processor," *Opt. Lett.* **16**, 1970-1972 (1991).

[50] A.V. Krishnamoorthy, G. Yayla, and S.C. Esener, "A Scalable Optoelectronic Neural System Using Free-Space Optical Interconnects," *IEEE Trans. Neural Networks* **3**, 1970-1972 (1992).

[51] G. Yayla, A.V. Krishnamoorthy, G.C. Marsden, and S.C. Esener, "A Prototype 3D Optically Interconnected Neural Network," *Proc. IEEE* **82**, 1749-1762 (1994).

[52] 伊賀健一，木下進，小山二三夫，"面発光半導体レーザー，" *応用物理* **56**，1625-1629 (1987).

[53] K. Iga, F. Koyama, and S. Kinoshita, "Surface Emitting Semiconductor Lasers," *IEEE J. Quantum Electron.* **24**, 1845-1855 (1988).

[54] 伊賀健一，"面発光レーザー，" *光学* **18**，352-353 (1989).

[55] K. Iga, "Surface Emitting Laser," *Opt. Quantum Electron.* **24**, S97-S104 (1992).

[56] 伊賀健一，“面発光レーザと面形機能デバイス，” *信学論 C-I* **J75-C-I**, 245-256 (1992).

[57] K. Iga, “Surface Emitting Lasers and Parallel Operating Devices -Fundamentals and Prospects-,” *IEICE Trans. Electron.* **E75-C**, 10-17 (1992).

[58] 横内則之，伊賀健一，“面発光レーザーと光機能デバイスの集積化，” *光学* **22**, 467-468 (1993).

[59] K. Iga, “Parallel Photonic Devices and Concepts Good for Optical Interconnects,” *IEICE Trans. Electron.* **E77-C**, 9-14 (1994).

[60] D.A.B. Miller, J.E. Henry, A.C. Gossard, and J.H. English, “Integrated Quantum Well Self-Electro-Optic Effect Device: 2 × 2 Array of Optically Bistable Switches,” *Appl. Phys. Lett.* **49**, 821-823 (1986).

[61] G. Livescu, D.A.B. Miller, J.E. Henry, A.C. Gossard, and J.H. English, “Spatial Light Modulator and Optical Dynamic Memory Using a 6 × 6 Array of Self-Electro-Optic-Effect Devices,” *Opt. Lett.* **13**, 297-299 (1988).

[62] A.L. Lentine, H.S. Hinton, D.A.B. Miller, J.E. Henry, J.E. Cunningham, and L.M.F. Chirovsky, “Symmetric Self-Electro-Optic Effect Device: Optical Set-Reset Latch,” *Appl. Phys. Lett.* **52**, 1419-1421 (1988).

[63] A.L. Lentin, F.B. McCormick, R.A. Novotny, L.M.F. Chirovsky, L.A. D'Asaro, R.F. Kopf, J.M. Kuo, and G.D. Boyd, “A 2kbit Array of Symmetric Self-Electrooptic Effect Devices,” *IEEE Photon. Technol. Lett.* **2**, 51-53 (1990).

[64] F.B. McCormick, F.A.P. Tooley, J.M. Sasian, J.L. Brubaker, A.L. Lentine, T.J. Cloonan, R.L. Morrison, S.L. Walker, and R.J. Crisci, “Parallel Interconnection of Two 64×32 Symmetric Selfelectro-Optic Effect Device Arrays,” *Electron. Lett.* **27**, 1869-1871 (1991).

[65] H.S. Hinton and A.L. Lentine, “Multiple Quantum-Well Technology Takes SEED,” *IEEE Circuits Dev. Mag.* **9**, 12-18 (1993).

[66] T.K. Woodward, L.M.F. Chirovsky, A.L. Lentine, L.A. D'Asaro, E.J. Laskowski, M. Focht, G. Guth, S.S. Pei, F. Ren, G.J. Przybylek, L.E. Smith, R.E. Leibenguth, M.T. Asom, R.F. Kopf, J.M. Kuo, and M.D. Feuer, “Operation of a Fully Integrated GaAs-$Al_xGa_{1-x}As$ FET-SEED: A Basic Optically Addressed Integrated Circuit,” *IEEE Photon Technol. Lett.* **4**, 614-617 (1992).

[67] F.B. McCormick, T.J. Cloonan, A.L. Lentine, J.M. Sasian, R.L. Morrison, M.G. Beckman, S.L. Walker, M.J. Wojcik, S.J. Hinterlong, R.J. Crisci, R.A. Novotny, and H.S. Hinton, “Five-Stage Free-Space Optical Switching Network with Field-Effect Transistor Self-Electro-Optic-Effect-Devices Smart-Pixel Arrays,” *Appl. Opt.* **33**, 1601-1618 (1994).

[68] A.L. Lentine, L.M.F. Chirovsky, L.A. D'Asaro, E.J. Laskowski, S.-S. Pei, M.W. Focht, J.M. Freund, G.D. Guth, R.E. Leibenguth, L.E. Smith, and T.K. Woodward, “Field-Effect-Transistor Self-Electro-Optic-Effect-Device (FET-SEED) Electrically Addressed Differential Modurator Array,” *Appl. Opt.* **33**, 2849-2855 (1994).

[69] T. Tashiro, I. Ogura, M. Sugimoto, N. Hamao, and K. Kasahara, “Uniformity in the Performance Characteristics of 8×8 Vertical to Surface Transmission Electro-Photonic Device Matrix,” *Electron. Lett.* **26**, 628-629 (1990).

[70] K. Kurihara, Y. Tashiro, I. Ogura, M. Sugimoto, and K. Kasahara, “32×32 Two-Dimensional Array of Vertical to Surface Transmission Electrophotonic Devices with a pnpn Structure,” *IEE Proc.-J* **138**, 161-163 (1991).

[71] K. Kasahara, “Two-Dimensional Optoelectronic Devices for Future Optical Switching and Information Processing,” *Opt. Quantum Electron.* **24**, 783-800 (1992).

[72] C. Amano, S. Matsuo, and T. Kurokawa, “Novel Photonic Switch Arrays Consisting of Vertically Integrated Multiple-Quantum-Well Reflection Modulators and Phototransistors: Exciton Absorptive Reflection Switch,” *IEEE Photon Technol. Lett.* **3**, 736-738 (1991).

[73] 天野主税，松尾慎治，黒川隆志，“面形光スイッチ(EARS)の素子動作特性，” *信学論C-I* **J75-C-I**, 349-355 (1992).

[74] C. Amano, S. Matsuo, T. Nakahara, and T. Kurokawa, “Three-Terminal Operation Analysis of Exciton Absorptive Reflection Switch,” *IEEE J. Quantum Electron.* **29**, 775-784 (1993).

[75] J.J. Brown, J.T. Gardner, and S.R. Forrest, “Optically Powered, Integrated Smart Pixels for Optical

Interconnection Networks," *IEEE Photon Technol. Lett.* **3**, 1136-1139 (1991).

[76] C.W. Wilmsen F.R. Beyette, Jr., X.A. Stewart, A. Feld, and K.M. Geib, "Smart Pixels Using the Light Amplifying Optical Switch," *IEEE J. Quantum Electron.* **29**, 769-774 (1993).

[77] J. Cheng and P. Zhou, "Smart Pixels for Two-Dimensional Arrays," *IEEE Circuits Dev. Mag.* **9**, 19-27 (1993).

[78] A.L. Lentine and D.A.B. Miller, "Evolution of the SEED Technology: Bistable Logic Gates to Optoelectronic Smart Pixels," *IEEE J. Quantum Electron.* **29**, 655-669 (1993).

[79] K. Kasahara, "VSTEP-Based Smart Pixels," *IEEE J. Quantum Electron.* **29**, 757-768 (1993).

[80] L.A. D'Asaro, L.M.F. Chirovsky, E.J. Laskowski, S.S. Pei, T.K. Woodward, and A.L. Lentine, "Batch Fabrication and Operation of GaAs-$Al_xGa_{1-x}As$ Field-Effect Transistor-Self-Electrooptic Effect Device (FET-SEED) Smart Pixel Arrays," *IEEE J. Quantum Electron.* **29**, 670-677 (1993).

[81] T.K. Woodward A.L. Lentine, and L.M.F. Chirovsky, "Experimental Sensitivity Studies of Diode-Clamped FET-SEED Smart-Pixel Optical Receivers," *IEEE J. Quantum Electron.* **30**, 2319-2324 (1994).

[82] T.K. Woodward, A.L. Lentine, and L.M.F. Chirovsky, "1 Gb/s Operation and Bit-Error Rate Studies of FET-SEED Diode-Clamped Smart-Pixel Optical-Receivers," *IEEE Photon Technol. Lett.* **7**, 763-765 (1995).

[83] A. Louri, J.A. Hatch, Jr., and J. Na, "Constant-Time Parallel Sorting Algorithm and its Optical Implementation Using Smart Pixels," *Appl. Opt.* **34**, 3087-3096 (1995).

[84] K. Iga, M. Oikawa, S. Misawa, J. Banno, and Y. Kokubun, "Stacked Planar Optics: An Application of the Planar Microlens," *Appl. Opt.* **21**, 3456-3460 (1982).

[85] J. Jahns and A. Huang, "Planar Integration of Free-Space Optical Components," *Appl. Opt.* **28**, 1602-1605 (1989).

[86] J. Jahns, Y.H. Lee, C.A. Byrrus Jr., and L. Jewell, "Optical Interconnects Using Top-Surface-Emitting Microlasers and Planar Optics," *Appl. Opt.* **31**, 592-597 (1992).

[87] J. Jahns, R.A. Morgan, H.N. Nguyen, J.A. Walker, S.J. Walker, and Y.M. Wong, "Hybrid Integration of Surface-Emitting Microlaser Chip and Planar Optics Substrate for Interconnection Applications," *IEEE Photon Technol. Lett.* **4**, 1369-1372 (1992).

[88] S.J. Walker, J. Jahns, L. Li, W.M. Mansfield, P. Mulgrew, D.M. Tennant, C.W. Roberts, L.C. West, and N.K. Ailawadi, "Design and Fabrication of High-Efficiency Beam Splitters and Beam Deflectors for Integrated Planar Micro-Optic System," *Appl. Opt.* **32**, 2494-2501 (1993).

[89] J. Jahns, "Planar Packaging of Free-Space Optical Interconnections," *Proc. IEEE* **82**, 1623-1631 (1994).

[90] 宮崎大介，谷田純，一岡芳樹，"反射型ブロック光学系，" 光学 **23**，266-267 (1994).

[91] D. Miyazaki, J. Tanida, and Y. Ichioka, "Refractive Block Optics for Packaging of Optical Computing Systems," *Opt. Lett.* **19**, 1281-1283 (1994).

[92] K. Hamanaka, "Optical Bus Interconnection System Using Selfoc Lenses," *Opt. Lett.* **16**, 1222-1224 (1991).

[93] K. Hamanaka, "Integration of Free-Space Interconnects Using Selfoc Lenses: Image Transmission Properties," *Jpn. J. Appl. Phys.* **31**, 1656-1662 (1992).

[94] M. Oikawa, K. Iga, and T. Sanada, "A Distributed-Index Planar Micro-Lens Made of Plastics," *Jpn. J. Appl. Phys.* **20**, L51-L54 (1981).

[95] M. Oikawa, K. Iga, T. Sanada, N. Yamamoto, and K. Nishizawa, "Array of Distributed-Index Planar Micro-Lens Prepared from Ion Exchange Technique," *Jpn. J. Appl. Phys.* **20**, L296-L298 (1981).

[96] K.-H. Brenner, A. Huang, and N. Streibl, "Digital Optical Computing with Symbolic Substitution," *Appl. Opt.* **25**, 3054-3060 (1986).

[97] K.-H. Brenner, "New Implementation of Symbolic Substitution Logic," *Appl. Opt.* **25**, 3062-3064 (1986).

[98] K.-S. Huang, B.K. Jenkins, and A.A. Sawchuk, "Image Algebra Representation of Parallel Optical Binary Arithmetic," *Appl. Opt.* **28**, 1263-1278 (1989).

[99] K.-S. Huang, B.K. Jenkins, and A.A. Sawchuk, "Binary Image Algebra and Optical Cellular Logic Processor

Design," *Computer Vision, Graphics, and Image Processing* **45**, 295-345 (1989).

[100] M. Fukui and K. Kitayama, "Image Logic Algebra and Its Optical Implementations," *Appl. Opt.* **31**, 581-591 (1992).

[101] M. Fukui and K. Kitayama, "Applications of Image-Logic Algebra: Wire Routing and Numerical Data Processing," *Appl. Opt.* **31**, 4645-4656 (1992).

[102] J. Tanida, J. Nakagawa, and Y. Ichioka, "Local Variable Logic Operation Using Birefringent Optical Elements," *Appl. Opt.* **28**, 3467-3473 (1989).

[103] J. Tanida and Y. Ichioka, "OPALS: Optical Parallel Array Logic System," *Appl. Opt.* **25**, 1565-1570 (1986).

[104] J. Tanida and Y. Ichioka, "Optical Parallel Array Logic System. 2: A New System Architecture without Memory Elements," *Appl. Opt.* **25**, 3751-3758 (1986).

[105] T. Konishi, J. Tanida, and Y. Ichioka, "Pure Optical Parallel Array Logic System -An Optical Parallel Computing Architecture -," *IEICE Trans. Electron.* **E77-C**, 30-34 (1986).

[106] J. Tanida, T. Konishi, and Y. Ichioka, "P-OPALS: Pure Optical-Parallel Array Logic System," *Proc. IEEE* **82**, 1668-1677 (1994).

[107] Y. Ichioka and J. Tanida, "Optical Paralell Logic Gates Using a Shadow-Casting System for Optical Digital Computing," *Proc. IEEE* **72**, 787-801 (1984).

[108] Y. Awatsuji, D. Miyazaki, J. Tanida, and Y. Ichioka, "Overall Operation of the Hybrid-Optical Parallel Array Logic System 16^2 (H-OPALS16^2)," *Meeting Digest of Topical Meeting of International Commission for Optics*, 325 (Kyoto, 1994).

[109] Y. Awatsuji, D. Miyazaki, J. Tanida, and Y. Ichioka, "Overall Operation of the Hybrid-Optical Parallel Array Logic System 16^2 (H-OPALS16^2)," *Opt. Rev.* **1**,163-165 (1994).

[110] S. Yamamoto, R. Sekura, J. Yamanaka, T. Ebihara, N. Kano, and H. Hoshi, "Optical Pattern Recognition with LAPS-SLM(I) / Light Addressed Photoconductor and Smectic C* Liquid Crystal Spatial Light Modulator -," *Proc. SPIE* **1221**, 273-283 (1990).

[111] T. Iwaki, Y. Mitsuoka, S. Yamamoto, and H. Hoshi, "Optical Pattern Recognition with LAPS-SLM(II) / Feedback Joint Transform Correlator Using LAPS-SLM," *Proc. SPIE* **1221**, 284-295 (1990).

[112] D. Casasent and E. Botha, "Optical Symbolic Substitution for Morphological Transformations," *Appl. Opt.* **27**, 3806-3810 (1988).

[113] E. Botha and D. Casasent, "Applications of Optical Morphological Transformations," *Opt. Eng.* **28**, 3806-3810 (1989).

[114] L.J. Hornbeck, "128 × 128 Deformable Mirror Device," *IEEE Trans. Electron Dev.* **ED-30**, 539-545 (1983).

[115] R.M. Boysel, "A 1920×1080 Element Deformable Mirror Device for High-Definition Displays," *IEEE Trans. Electron Dev.* **38**, 2715 (1991).

[116] R.M. Boysel, "A 128 × 128 Frame-Addressed Deformable Mirror Spatial Light Modulator," *Opt. Eng.* **30**, 1422-1427 (1991).

[117] J.M. Younse, "Mirrors on a Chip," *IEEE Spectrum* **30**, 27-31 (1993).

[118] 福井将樹，谷田純，北山研一，一岡芳樹，"光並列演算における離散ディジタル相関，" *光学* **22**, 137-141 (1993).

[119] Y. Awatsuji, J. Tanida, and Y. Ichioka, "Evaluations of Optical Parallel Digital Discrete Correlators," *Spring Topical Meeting on OPTICS IN COMPUTING* (Submitted).

[120] 粟辻安浩，谷田純，一岡芳樹，"光学的離散相関演算技術の定量的評価，" *光学* (投稿中).

[121] M.P.Y. Desmulliez, F.A.P. Tooley, J.A.B. Dines, N.L. Grant, D.J. Goodwill, D. Baillie, B.S. Wherrett, P.W. Foulk, S. Ashcroft, and P. Black, "Perfect-Shuffle Interconnected Bitonic Sorter: Optoelectronic Design," *Appl. Opt.* **34**, 5077-5090 (1995).

[122] J. Tanida and Y. Ichioka, "Optical Array Logic Network Architecture," in *Optical Computing, Inst. Phys.*

Conf. Ser. 83-86 (1994).

[123] Y. Awatsuji, N. Sakamoto, H. Utsuro, J. Tanida, and Y. Ichioka, "Optical Array Logic Network Computing (OAL-NC): a Design of Prototype," *Opt. Rev.* (in printing).

[124] R.F. Freund and H.J. Siegel, "Heterogeneous Processing," *IEEE Computers* **26**, 13-17 (1993).

[125] A.A. Khokhar, V.K. Prasanna, M.E. Shaaban, and C.-L. Wang, "Heterogeneous Computing: Challenges and Opportunities," *IEEE Computers* **26**, 18-27 (1993).

[126] J.R. Nicol, C.T. Wilkes, and F.A. Manola, "Object Orientation in Heterogeneous Distributed Computing Systems," *IEEE Computers* **26**, 57-67 (1993).

[127] A. Ghafoor and J. Yang, "A Distributed Heterogeneous Supercomputing Management System," *IEEE Computers* **26**, 78-86 (1993).

[128] 西川博昭, "超分散システムに向けて," *信学誌* **77**, 366-372 (1994).

[129] I. Ekmecic, I. Tartalja, and V. Milutinovic, "EM3: A Taxonomy of Heterogeneous Computing Systems," *IEEE Computers* **28**, 68-70 (1995).

[130] Y. Awatsuji, N. Sakamoto, J. Tanida, and Y. Ichioka, "Considerations on the Composition of Optical Parallel Array Logic Network Architecture," *Technical Digest of the Pacific Rim Conference on Lasers and Electro-Optics*, 154 (Chiba, 1995).

[131] *The Intel 8086 Family User's Manual*, (Intel Corporation, Santa Clara, CA, 1979).

[132] E. Ochoa, J.P. Allebach, and D.S. Sweeney, "Optical Median Filtering Using Threshold Decomposition," *Appl. Opt.* **26**, 252-260 (1987).

[133] J.H. Holland and J.S. Reitman, *Adaptation in Natural and Artificial Systems* (MIT Press, 1992).

[134] 北野宏明, "遺伝的アルゴリズム," *人工知能学誌* **7**, 26-37 (1992).

[135] 北野宏明 編, *遺伝的アルゴリズム* (産業図書, 東京, 1993).

[136] 波田野寿昭, "遺伝的アルゴリズム," *人工知能学誌* **8**, 312-319 (1993).

[137] M.R. Garey and D.S. Johnson, *Computers and Intractability A Guide to the Theory of NP-Completeness* (W.H. Freeman and Company, San Francisco,1979).

[138] W.T. Rhodes and P.S. Guilfoyle, "Acoustooptic Algebraic Processing Architectures," *Proc. IEEE* **72**, 820-830 (1984).

[139] D. Casasent, "Acoustooptic Linear Algebra Processors: Architectures, Algorithms, and Applications," *Proc. IEEE* **72**, 831-849 (1984).

[140] T.K. Gayload and M.G. Moharm, "Analysis and Applications of Optical Diffraction by Gratings," *Proc. IEEE* **73**, 894-937 (1985).

[141] Y. Awatsuji, N. Sakamoto, H. Utsuro, J. Tanida, and Y. Ichioka, "Optical Array Logic Network Computing (OAL-NC): Concept and Implementation," *1996 International Topical Meeting on OPTICAL COMPUTING*, 34-35 (Sendai, 1996).

[142] Y. Awatsuji, N. Sakamoto, H. Utsuro, J. Tanida, and Y. Ichioka, "Implementation of Optical Array Logic Network Computing Using Multi-Process Embodiment Technique," *Proc. SPIE* **2778**, 533-534 (1996).

[143] D.A. Reed, and D.C. Grunwald, "The Performance of Multicomputer Interconnection Networks," *IEEE Computers* **20**, 63-73 (1987).

[144] *The Technical Data XC5200 Logic Cell Array Family*, (XILINX Ltd., 1995).

[145] *The Transputer Databook*, (INMOS Ltd., Trowbridge, 1995).

[146] 山下一郎, "光アクセスシステム," *光学* **24**, 256-263 (1995).

[147] 行松健一, "光交換の研究動向," *信学誌* **75**, 615-623 (1992).

[148] L. Gwennap, 小田紀代 訳, 岡村淳 監訳, "分離型スーパースケーラ方式を採用したIntelのP6," *Super ASCII*, 5月号, 110-118 (1995).

[149] "「小さく薄く」にフリップチップ実装," *日経エレクトロニクス*, No.663, 81-89 (1996).

[150] 古川静二郎, "3次元デバイス," *テレビ学誌* **36**, 1060-1067 (1982).

[151] 林豊，“3次元ICの構想，” *信学誌* **66**，831-834 (1983).

[152] 須賀原和之，楠茂，井上靖朗，西村正，赤坂洋一，“三次元回路素子技術，” *三菱電機技報* **60**，208-210 (1986).

[153] 石原宏，“3次元IC技術の現状，” *テレビ学誌* **42**，229-236 (1988).

[154] Y. Akasaka, “3-D IC Technologies and Possible Application,” *IEICE Trans.* **E74**, 325-336 (1991).

[155] J.W. Goodman, F.I. Leonberger, S.-Y. Kung, and R.A. Athale, “Optical Interconnection for VLSI Systems,“ *Proc. IEEE* **72**, 850-866 (1984).

[156] 伊藤日出男，石原聰，“マイクロエレクトロニクスにおける光配線，” *光学* **14**, 51-53 (1985).

[157] L.A. Bergman, W.H. Wu, A.R. Johnston, R. Nixon, S.C. Esener, C.C. Guest, P. Yu, T.J. Drabik, M. Feldman, and S.H. Lee, “Holographic Optical Interconnects for VLSI,” *Opt. Eng.* **25**, 1109-1118 (1986).

[158] W.H. Wu, L.A. Bergman, A.R. Johnston, C.C. Guest, S.C. Esener, P.K.L. Yu, M.R. Feldman, and S.H. Lee, “Implementation of Optical Interconnection for VLSI,” *IEEE Trans. Electron. Dev.* **ED-34**, 706-714 (1987).

[159] M.R. Feldman and C.C. Guest, “Computer Generated Holographic Optical Elements for Optical Interconnection of Very Large Scale Integrated Circuits,” *Appl. Opt.* **26**, 4377-4384 (1987).

[160] M.R. Feldman, S.C. Esener, C.C. Guest, and S.H. Lee, “Comparison between Optical and Electrical Interconnects Based on Power and Speed Considerations,” *Appl. Opt.* **27**, 1742-1751 (1988).

[161] M.R. Feldman and C.C. Guest, “Interconnect Density Capabilities of Computer Generated Holograms for Optical Interconnection of Very Large Scale Integrated Circuits,” *Appl. Opt.* **28**, 3134-3137 (1989).

[162] M.R. Feldman, C.C. Guest, T.J. Drabik, and S.C. Esener, “Comparison between Electrical and Free Space Optical Interconnects for Fine Grain Processor Arrays Based on Interconnects Density Capabilities,” *Appl. Opt.* **28**, 3820-3829 (1989).

[163] F.E. Kiamilev, P. Marchand, A.V. Krishnamoorthy, S.C. Esener, and S.H. Lee, “Performance Comparison between Optoelectronic and VLSI Multistage Interconnection Networks, ” *J. Lightwave Technol.* **9**, 1674-1692 (1991).

[164] J. Fan, B. Catanzaro, V.H. Ozguz, C.K. Cheng, and S.H. Lee, “Design Consideration and Algorithms for Partitioning Optoelectronic Multichip Modules, ” *Appl. Opt.* **34**, 3116-3127 (1995).

[165] K.W. Goossen, J.A. Walker, L.A. D'Asaro, S.P. Hui, B. Tseng, R. Leibenguth, D. Kossives, D.D. Bacon, D. Dahringer, L.M.F. Chirovsky, A.L. Lentine, and D.A.B. Miller, “GaAs MQW Modulators Integrated with Silicon CMOS,” *IEEE Photon Technol. Lett.* **7**, 360-362 (1995):

[166] J. Luo, A. Grot, and D. Psaltis,“High-Responsivity Optical FET's Fabricated on a FET-SEED Structure,” *IEEE Photon Technol. Lett.* **7**, 760-762 (1995).

付録A　瞳制御方式における偏向素子の最大偏向角度と光学系パラメータとの関係

瞳制御方式における偏向素子の最大偏向角度θと光学系パラメータとの関係を示す．図 A.1 に示すように角度とる．光軸と像面との交点をO，偏向素子が光軸を挟んで，最大偏向角度θで画像を偏向するときに，偏向された画像の中心の像面での位置をQ，偏向素子アレイにおいて，最も光軸から離れた素子を通り光軸に平行な直線とレンズL2との交点をRとする．直線ORと光軸のなす角度をϕ，直線QRと光軸のなす角度をφとする．

θとϕ，φとは次式の関係がある．

$$\theta = \phi - \varphi. \tag{A.1}$$

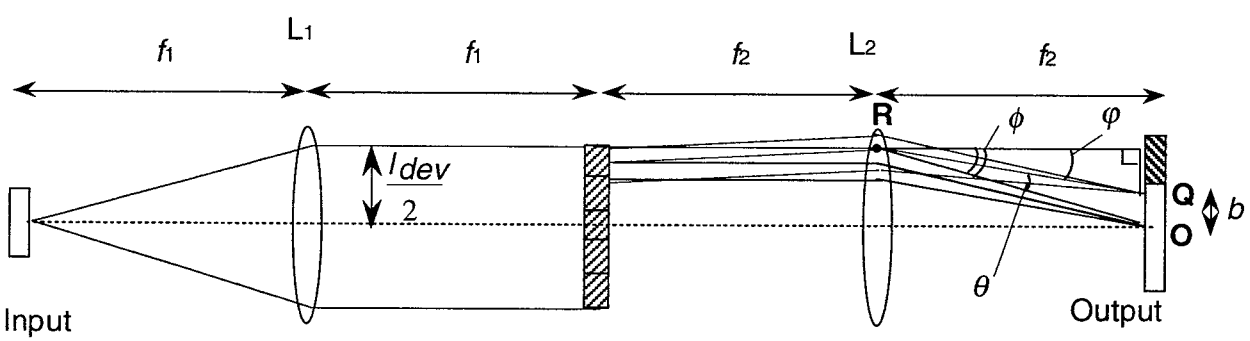
ϕとφの正接はそれぞれ式(A.2)と式(A.3)で表される．

$$\tan\phi = \frac{l_{\mathrm{dev}}}{2f_2}, \tag{A.2}$$

$$\tan\varphi = \frac{l_{\mathrm{dev}} - 2b}{2f_2}. \tag{A.3}$$

したがって，θの正接は式(A.2)と式(A.3)を用いて，次式で表せる．

$$\tan\theta = \tan(\phi - \varphi) = \frac{\tan\phi - \tan\varphi}{1 + \tan\phi\tan\varphi} = \frac{4\,l_{\mathrm{out}} f_2}{4f_2^2 + l_{\mathrm{dev}}\left(l_{\mathrm{dev}} - 2\,b\right)}. \tag{A.4}$$



図A.1　瞳分割方式相関器の画像シフト角の解析図．

付録B OAL-NCプロトタイプシミュレータの命令セット一覧

```
<<< Command Reference 1.2 >>>

*** Control Commands for Controller ***

#PROG PE <px> <py>:              Begin of program for PE[px][py].
#PROG OAL :                      Begin of program for OALProc.
#PEND :                          End of program sequence.

#DATA PE <px> <py> <adr> :       Begin of data from mem(adr) of PE[px][py].
#DATA OAL :                      Begin of data from mem(adr) of OALProc.
#DEND :                          End of data sequence.

#ENBL PE <px> <py> :             Set PE[px][py] to enable.
#ENBL OAL :                      Set OALProc to enable.
#DSBL PE <px> <py> :             Set PE[px][py] to disable.
#DSBL OAL :                      Set OALProc to disable.

#LOAD <file> PE <adr> :          Load image data into mem(adr) of all PE's.
#LOAD <file> OAL <rid> :                Load image data into reg(rid) of OALProc.
#SAVE PE <adr> <file> :          Save image data from mem(adr) of all PE's.
#SAVE OAL <id> <file> :          Save image data from reg(id) of OALProc.

#RUN <mode> :                    Start processing.

#RPT PROC PE <px> <py> :                Report status of PE[px][py].
#RPT PROC OAL :                  Report status of OALProc.
#RPT PROG PE <px> <py> :                Report stored program of PE[px][py].
#RPT PROG OAL :                  Report stored program of OALProc.
#RPT MEM PE <px> <py> :          Report contents of memory of PE[px][py].
#RPT MEM OAL :                   Report contents of memory of OALProc.
#RPT MEMX <adr> :                       Report image data of mem(adr) of all PE's.
#RPT PORTX <pid> :               Report image data of port(pid) of all PE's.
#RPT REGX <rid> :                       Report image data of reg(rid) of OALProc.
#RPT STATX :                     Report status of all PE's and OALProc.

#BLOG <file> <message> :         Begin logging onto <file>.  <message> is recorded at the
                                  top of the file.
#ELOG : End logging.

#END :                           End of control program.

        <px>, <py> = [ 0 .. peNum-1, ALL ]
        <adr> = [ 0 .. comNum-1 ]  // address of mem
        <pid> = [ N, E, W, S, XA, XB, XC ] // port id
        <rid> = [ AX, BX, WX, CX ]  // register id
        <file> = file name
        <mode> = [ (none), TRACE, MONITOR ]
```

```
*** Scalor Commands for PEProc and OALProc ***

MOV <adr0> <adr1> :             Move mem(adr0) to mem(adr1).
MOV #<int> <adr> :              Move <int> to mem(adr).

ADD <adr0> <adr1> <adr2> :      mem(adr0) + mem(adr1) -> mem(adr2).
SUB <adr0> <adr1> <adr2> :      mem(adr0) - mem(adr1) -> mem(adr2).
MUL <adr0> <adr1> <adr2> :      mem(adr0) · mem(adr1) -> mem(adr2).
DIV <adr0> <adr1> <adr2> :      mem(adr0) / mem(adr1) -> mem(adr2).

AND <adr0> <adr1> <adr2> :      mem(adr0) AND mem(adr1) -> mem(adr2).
OR <adr0> <adr1> <adr2> :               mem(adr0) OR  mem(adr1) -> mem(adr2).
XOR <adr0> <adr1> <adr2> :      mem(adr0) XOR mem(adr1) -> mem(adr2).
NOT <adr0> <adr1> :             NOT mem(adr0) -> mem(adr1).

INC <adr> :                     mem(adr) + 1 -> mem(adr).
DEC <adr> :                     mem(adr) - 1 -> mem(adr).
NEG <adr0> <adr1> :             - mem(adr0) -> mem(adr1).

SHL <adr0> <adr1> :             Shift mem(adr0) 1-bit left and store mem(adr1).
SHR <adr0> <adr1> :             Shift mem(adr0) 1-bit right and store mem(adr1).

CMP <adr0> <adr1> :             Compare mem(adr0) with mem(adr1).  If equal, fZero = 1.
CMP #<int> <adr> :              Compare <int> with mem(adr).  If equal, fZero = 1.

IN <pid> <adr> :                        Put  port(pid) into mem(adr).
OUT <adr> <pid> :                       Put mem(adr) to port(pid).
OUT #<int> <pid> :              Put <int> to port(pid).

JMP <int> :                     Add <int> to PC.
JE <int> :                      Add <int> to PC, if fZero = 1.
JNL <int> :                     Add <int> to PC, if fSign = 0.

LBL <int> :                     Define label <int>.

        <adr>, <adr0>, <adr1>, <adr2> = [0 .. comNum-1] // address  of  mem
        <pid> = [N, E, W, S, XA, XB, XC]        // port  id
        <int> = integer


*** Control Transfer Commands ***

OAL :           Transfer control sequence from PEProc's to OALProc.  OALProc is started
                from pCnt = 0.
OAL <int> :     Transfer control sequence for PEProc's to OALProc.  OALProc is started
                from label <int>.
RET :           Return control sequence from OALProc to PEProc.  PEProc's continue the
                next command after colled OAL.
```

```
        <int> = integer

*** Vector Commands for OALProc ***

GETX <bid> :    Move <bid> bit of image data of port(4) and port(5) of all PE's into
                reg(0) and reg(1), respectively.
PUTX <bid> :    Move image data of reg(3) into <bid> bit of port(6).

BGNX :          Begin of neighborhood operation on reg(0) and reg(1).
<kid> <qx> <qy> :       Execute neighborhood product term operation with kernel unit<kid>
                at (qx, qy).
ORX :           OR intermediate result of neighborhood operation onto reg(3).
NORX :          NOR intermediate result of neighborhood operation onto reg(3).

MOVX <rid0> <rid1> :    Move image data from reg(rid0> to reg(rid1).
NEGX <rid0> <rid0> :    Negate image data in reg(rid0) and store to reg(rid1).
INX <file> <rid> :      Load image data into reg(rid).
OUTX <rid> <file> :     Save image data from reg(rid).
TSTX <rid> <int> :      Test image data in reg(rid) with <int>.  If all pixels are the
                         same as <int>, fZero is set.
CMPX <rid0> <rid1> :    Compare images in reg(rid0) with reg(rid1).  If both are the
                         same, fZero is set.

MODE <mode> :   Set mode of neighborhood operation.  OALProc::kMode0 is for normal mode.
                        OAL::Proc::kMode1 is for inverse mode.

        <bid> = [ 0 .. 7 ]      // bit position
        <rid>, <rid0>, <rid1> = [ AX, BX, WX, CX ]  // register id
        <file> = file name
        <int> = integer
        <qx>, <qy> = [ -peNum .. peNum ]
        <kid> = [ .., NN, NP, 0., PN, .0, EE, 00, PP, UU, .1, 01, 1., 10, 11, DD ]
// kernel identifire
        <mode> = [ OALProc::kMode0, OALProc::KMode1 ]


*** Report Commands for PEProc and OALProc ***

RPT MEMX <adr> :        Report image data of mem(adr) of all PE's.
RPT PORTX <pid> :       Report image data of port(pid) of all PE's.
RPT REGX <rid> :        Report image data of reg(rid) of OALProc.
RPT STATX :     Report status of all PE's and OALProc.

        <adr> = [ 0 .. comNum-1 ]  // address of mem
        <pid> = [ N, E, W, S, XA, XB, XC ] // port id
        <rid> = [ AX, BX, WX, CX ]  // register id


*** Comment Lines ***

% <message> :   Comment line is started with '%'.
```

```
*** Examples ***
- Basic program
        % Example program       // comment line.
        #PROG PE ALL ALL        // begin of the program for all PE's.
        OUT #1 XA       // move value 1 into port(XA).
        OUT #1 XB       // move value 1 into port(XB).
        OAL 0           // set OALProc as ENABLE at Label 0 and set this PE as WAIT.
        IN 0C 3         // move port XC to mem(3).
        END             // end of the program for PE.
        #PEND           // end of the program.
        #PROG OAL       // begin of the program for OALProc.
        LBL 0           // set label 0.
        GETX 0          // move 0th bit image of port(XA) and port(XB) of all PE's into
                        reg(A) and reg(B), respectively.
        RPT REGX 0      // report reg(A).
        RPT REGX 1      // report reg(B).
        BGNX            // begin of kernel unit.
        11 0 0          // kernel unit | 11 |@(0, 0)
        ORX             // end of kernel unit.
        RPT REGX 3      // report reg(C).
        PUTX 0          // move reg(c) into 0th bit of port(XC) of all PE's.
        RET             // set PE's in WAIT as ENABLE and set OALProc as DISABLE.
        END             // end of the program for OALProc.
        #PEND           // end of the program.
        #ENBL PE ALL ALL        // set all PE's as ENABLE.
        #DSBL OAL       // set OALProc as DISABLE.
        #BLOG Log       // begin log onto file "Log".
        #RPT PROG PE 0 0        // report program in PE[0][0].
        #RPT PROG OAL   // report program in OALProc.
        #RUN TRACE      // run all ENABLE PE's and/or OALProc with trace mode.
        #ELOG           // end log.
        #END            // end of the whole program.

- Kernel representation for | NP_.1| + | EE UU|
        BGNX
        NP 0 -1
        .1 0 0
        ORX
        EE 1 -1
        UU 1 0
        ORX
```

付録C　OAL-NCプロトタイプシミュレータによる並列演算用プログラム

1.　2値画像エッジ検出

(a)PE実装

```
#BLOG Log edgePE
#PROG PE ALL ALL
OUT 0 N
IN S 1
OUT 0 E
IN W 2
OUT 0 W
IN E 3
OUT 0 S
IN N 4
AND 1 2 5
AND 3 4 6
AND 5 6 7
NOT 7 8
AND 0 8 9
OUT 9 XA
RPT PORTX XA
END
#PEND
#LOAD dataImg PE 0
#ENBL PE ALL ALL
#DSBL OAL
#RPT PROG PE 0 0
#RUN
#SAVE PE 9 imgEdgePE
#END
```

(b)OAL実装

```
#BLOG Log edgeOAL
#LOAD Triangle OAL AX
#PROG OAL
RPT REGX AX
BGNX
0. 0 0
ORX
1. 0 1
1. 0 -1
1. 1 0
1. -1 0
ORX
NEGX CX CX
RPT REGX CX
PUTX 0
RET
END
#PEND
#RPT PROG OAL
#ENBL OAL
#DSBL PE ALL ALL
#RUN
#ELOG
#END
```

2. 中央値フィルタリング

(a)PE実装

```
#BLOG Log MedF2
#PROG PE ALL ALL
RPT MEMX 0
OUT 0 N
IN S 1
OUT 0 E
IN W 2
OUT 0 W
IN E 3
OUT 0 S
IN N 4
MOV #2 10
CMP 3 4
JNL 5
MOV 4 14
MOV 3 4
MOV 14 3
JMP 5
INC 63
INC 63
INC 63
INC 63
CMP 2 3
JNL 5
MOV 3 13
MOV 2 3
MOV 13 2
JMP 5
INC 63
INC 63
INC 63
INC 63
CMP 1 2
JNL 5
MOV 2 12
MOV 1 2
MOV 12 1
JMP 5
INC 63
INC 63
INC 63
INC 63
CMP 0 1
JNL 5
MOV 1 11
MOV 0 1
MOV 11 0
JMP 5
INC 63
INC 63
INC 63
INC 63
DEC 10
CMP 10 30
JNL -42
END
#PEND
#LOAD a PE 0
#ENBL PE ALL ALL
#DSBL OAL
#RUN
#SAVE PE 2 fileMedF
#ELOG
#END
```

(b)OAL実装

```
#BLOG Log ProgMAX
#PROG PE ALL ALL
OUT 0 XA
OAL
END
#PEND
#PROG OAL
BGNX
1.  -1  0
1.  0   0
1.  1   0
ORX
1.  0   -1
1.  0   0
1.  0   1
ORX
1.  -1  0
1.  0   0
1.  0   1
ORX
1.  0   0
1.  0   1
1.  1   0
ORX
1.  0   -1
1.  0   0
1.  1   0
ORX
1.  -1  0
1.  0   -1
1.  0   0
ORX
1.  -1  0
1.  0   -1
1.  0   1
ORX
1.  0   -1
1.  0   1
1.  1   0
ORX
1.  -1  0
1.  0   -1
1.  1   0
ORX
1.  -1  0
1.  0   1
1.  1   0
ORX
RPT REGX CX
RET
END
#PEND
#LOAD input PE 0
#ENBL PE ALL ALL
#DSBL OAL
#RUN
#ELOG
#END
```

3. 最大値検出

(a)PE実装

```
#BLOG Log MaxPE
#PROG PE ALL ALL
MOV #6 10
OUT 0 W
IN E 1
CMP 1 0
JNL 3
MOV 0 1
JMP 3
INC 62
INC 62
OUT 1 W
RPT PORTX W
DEC 10
CMP 10 63
JNL -11
MOV 1 2
MOV #6 11
OUT 2 N
IN S 2
CMP 2 1
JNL 3
MOV 1 2
JMP 3
INC 62
INC 62
OUT 2 N
DEC 11
RPT PORTX S
CMP 11 63
JNL -11
CMP 0 2
JNL 2
JMP 2
OUT 0 XA
END
#PEND
#LOAD dataFile12 PE 0
#ENBL PE ALL ALL
#DSBL OAL
#RUN
#RPT PORTX XA
#RPT MEMX 0
#ELOG
#END
```

(b)OAL実装

```
#BLOG Log ProgMAX
#PROG PE ALL ALL
MOV #6 10
OUT 0 XA
CMP #6 10
JE 3
OAL 1
JMP 2
OAL 0
IN XA 0
SHL 0 0
DEC 10
CMP 10 11
JNL -10
END
#PEND
#PROG OAL
LBL 0
MOV #5 10
NEGX CX CX
GETX 6
MOVX CX BX
BGNX
11 0 0
ORX
RPT REGX CX
TSTX CX 0
JE 2
JMP 2
MOVX BX CX
RPT REGX CX
DEC 10
RET
LBL 1
CMP 10 11
JNL -15
END
#PEND
#LOAD dataFileR PE 0
#ENBL PE ALL ALL
#DSBL OAL
#RUN
#ELOG
#END
```

4. ビン詰め問題

COOP実装

```
#BLOG Log GAtest
#PROG PE ALL ALL
MOV #1 62
MOV #6 7
OAL
NEG 16 16
NEG 17 17
NEG 18 18
NEG 19 19
NEG 20 20
AND 8 16 24
AND 9 17 25
AND 10 18 26
AND 11 19 27
AND 12 20 28
ADD 24 25 4
ADD 4 26 4
ADD 4 27 4
ADD 4 28 4
SUB 1 4 5
MOV 5 6
OUT 5 XA
OAL 1
SHL 6 6
DEC 7
CMP 7 63
JNL -5
OAL 2
IN XC 0
CMP 0 62
JE 99
NOT 4 6
OUT 6 XA
MOV #6 7
CMP #6 7
JE 3
OAL 4
JMP 2
OAL 3
SHL 6 6
DEC 7
CMP 7 63
JNL -9
OUT 5 XA
OAL 5
IN XC 56
OAL 10
IN XC 0
CMP 0 62
JE 80
OAL
MOV #7 7
NOT 5 6
OUT #-128 XB
OUT 6 XA
CMP #7 7
JE 3
OAL 7
JMP 2
OAL 6
SHL 6 6
DEC 7
CMP 7 63
JNL -9
IN XC 58
NOT 56 57
AND 57 62 57
AND 16 57 40
AND 17 57 41
AND 18 57 42
AND 19 57 43
AND 20 57 44
AND 16 58 32
OUT 32 XA
OAL 8
IN XC 32
AND 17 58 33
OUT 33 XA
OAL 8
IN XC 33
AND 18 58 34
OUT 34 XA
OAL 8
IN XC 34
AND 19 58 35
OUT 35 XA
OAL 8
IN XC 35
AND 20 58 36
OUT 36 XA
OAL 8
IN XC 36
AND 32 56 32
AND 33 56 33
AND 34 56 34
AND 35 56 35
AND 36 56 36
OR 32 40 48
OR 33 41 49
OR 34 42 50
OR 35 43 51
OR 36 44 52
MOV #8 7
OAL
OAL 9
OUT 59 XA
SHR 59 59
DEC 7
CMP 7 63
JNL -5
IN XC 59
OUT 59 S
IN N 60
OUT 42 S
IN N 46
OUT 43 S
IN N 47
OUT 42 N
IN S 54
OUT 43 N
IN S 55
CMP 60 63
JE 3
MOV 46 50
MOV 47 51
CMP 59 63
JE 3
MOV 54 50
MOV 55 51
CMP 61 63
JE 2
JMP 6
CMP 49 63
JE 3
MOV #0 49
JMP 2
MOV #1 49
CMP 2 63
AND 16 62 48
AND 17 62 49
AND 18 62 50
AND 19 62 51
AND 20 62 52
END
#PEND
#PROG OAL
BGNX
.. 0 0
ORX
RET
RPT REGX CX
LBL 1
GETX 7
MOVX CX BX
BGNX
01 0 0
ORX
PUTX 7
RET
LBL 2
TSTX CX 0
JE 4
BGNX
.. 0 0
ORX
PUTX 0
RET
LBL 3
MOV #5 7
GETX 6
MOVX CX BX
BGNX
11 0 0
ORX
TSTX CX 0
JE 2
JMP 2
MOVX BX CX
DEC 7
RET
```

```
LBL 4
CMP 7 63
NEGX CX CX
JNL -14
RET
LBL 5
RPT REGX CX
GETX 7
RPT REGX AX
MOVX CX BX
BGNX
PP 0 0
ORXRPT REGX CX
PUTX 0
RET
LBL 6
MOV #7 7
GETX 7
MOVX CX BX
BGNX
11 0 0
ORX
TSTX CX 0
JE 2
JMP 2
MOVX BX CX
DEC 7
PUTX CX 0
RET
LBL 7
CMP 7 63
JMP -15
LBL 8
GETX 0
TSTX AX 0
JE 5
BGNX
.. 0 0
ORX
JMP 2
MOVX AX CX
PUTX 0
LBL 9
GETX 0
MOVX CX BX
BGNX
01 0 0
ORX
PUTX 0
RET
LBL 10
TSTX CX 1
JE 4
BGNX
DD 0 0
ORX
PUTX 0
RET
END
#PEND
#DATA PE ALL ALL 1
72
#DEND
#DATA PE ALL ALL 8
11
19
25
30
41
#DEND
#LOAD dataFile11 PE 59
#LOAD dataFile12 PE 61
#LOAD data0 PE 16
#LOAD data1 PE 17
#LOAD data2 PE 18
#LOAD data3 PE 19
#LOAD data4 PE 20
#ENBL PE ALL ALL
#DSBL OAL
#RUN
#SAVE PE 48 data0
#SAVE PE 49 data1
#SAVE PE 50 data2
#SAVE PE 51 data3
#SAVE PE 52 data4
#RPT MEMX 48
#ELOG
#END
```

著者発表論文

学術論文誌

1. Y. Awatsuji, D. Miyazaki, J. Tanida, and Y. Ichioka, "Overall Operation of the Hybrid-Optical Parallel Array Logic System 16^2 (H-OPALS16^2)," *Optical Review* **1**,163-165 (1994).
2. Y. Awatsuji, N. Sakamoto, H. Utsuro, J. Tanida, and Y. Ichioka, "Implementation of Optical Array Logic Network Computing Using Multi-Process Embodiment Technique," in Optics for Science and New Technology, J.-S. Chang, J.-H. Lee, S.- Y. Lee, and C.H. Nam eds., *Proceedings of the Society of Photo-Optical Instrumentation Engineerers* **2778**, 533-534 (1996).
3. Y. Awatsuji, N. Sakamoto, H. Utsuro, J. Tanida, and Y. Ichioka, "Optical Array Logic Network Computing (OAL-NC): a Design of Prototype," *Optical Review* (in printing).
4. 粟辻安浩，谷田純，一岡芳樹，"光学的離散相関演算技術の定量的評価，" *光学* (投稿中).

会議・研究会抄録等

1. Y. Awatsuji, D. Miyazaki, J. Tanida, and Y. Ichioka, "Overall Operation of the Hybrid-Optical Parallel Array Logic System 16^2 (H-OPALS16^2)," *Meeting Digest of Topical Meeting of International Commission for Optics*, 325 (Kyoto, 1994).
2. Y. Awatsuji, N. Sakamoto, J. Tanida, and Y. Ichioka, "Considerations on the Composition of Optical Parallel Array Logic Network Architecture," *Technical Digest of The Pacific Rim Conference on Lasers and Electro-Optics*, 154 (Chiba, 1995).
3. Y. Awatsuji, N. Sakamoto, H. Utsuro, J. Tanida, and Y. Ichioka, "Optical Array Logic Network Computing (OAL-NC): Concept and Implementation," *1996 International Topical Meeting on OPTICAL COMPUTING*, 34-35 (Sendai, 1996).
4. Y. Ichioka, Y. Awatsuji, K. Matsuoka, and J. Tanida, "Vision Optical Computers," *Proceedings of the Third IEEE International Conference on Electronics, Circuits, and Systems*, 440-443 (Rodos, 1996).
5. Y. Awatsuji, J. Tanida, and Y. Ichioka, "Evaluations of Optical Parallel Digital Discrete Correlators," *Spring Topical Meeting on OPTICS IN COMPUTING* (Submitted).