



Title	印刷回路基板の自動設計システムに関する研究
Author(s)	西岡, 郁夫
Citation	大阪大学, 1981, 博士論文
Version Type	VoR
URL	<a href="https://hdl.handle.net/11094/1450">https://hdl.handle.net/11094/1450</a>
rights	
Note	

*The University of Osaka Institutional Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

印刷回路基板の自動設計システム  
に関する研究

1981年1月

西岡郁夫

## 内 容 梗 概

産業用電子装置の印刷回路基板においては、多品種少量生産の傾向が著しく、しかも回路の高集積化にともなって、その実装密度は上昇の一途をたどっている。設計期間の短縮を要求される中で、実装密度の増大は実装設計を困難な問題にしており、また精度向上のためにも自動設計システムの研究は重要な課題となっている。

本論文は、印刷回路基板の自動設計システムを構成する上での主要な問題、すなわち、ゲート割付け、部品配置ならびに経路探索について、筆者が行ってきた研究をまとめたものであり、全体を緒論、結論を含め7章で構成している。

第1章緒論では、印刷回路基板の自動設計システムに関するこれまでの研究について述べ、本研究の目的を明らかにするとともに、研究内容と成果について概説する。

第2章では、本研究が対象とした印刷回路基板の構造について述べる。次にこれらを自動設計するために設定する基本格子と格子上の配線規則について述べ、本研究の適用範囲を明確にする。

第3章では、印刷回路基板の自動設計における三つの重要な問題、すなわちゲート割付け、部品配置ならびに経路探索について、本研究において開発した手法に関して論述する。まず、ゲート割付けについては、その目的は後に続く自動配線における配線率の向上であり、このため同一IC内の結線要求数を最大に、異なるIC間の結線要求数を最小にするゲート対ICの割付け方法について論述する。次に、部品配置については従来の方法が標準ICのみを対象にしていたのに対し、抵抗、コンデンサなどのサイズの小さい部品が混在しても、その煩わしさを回避し得る手法について説明する。さらに、部品配置問題の最終目的は配線率の向上であり、従来、配置の良さの尺度として採用されることの多かった仮想総配線長または最小木の長さの総和を最小化するという目的関数では、結線要求を基板上の局部に集中させる傾向があり、配線率を下げることもになり得る点を指摘し、配線段階で高い配線率を得るために、結線要求を

基板全体に分散させることを主目的とするグループ分割による部品配置手法について論述する。さらに配線手法については、高密度配線を実現するために開発した線分探索法ならびに迷路法について述べる。

第4章では、本研究で導入した会話型設計システムについて述べる。まず、発見的（heuristic）経路探索法の実行で生じた未結線ピンを接続するために導入した会話型配線設計手法について詳述する。次に、部品配置において人間のパターン認識能力を活用し、計算機によるバッチ処理の欠点を補間するために導入した会話型配置設計手法について説明する。

第5章では、本研究で実現した自動設計システムに関して詳述する。まず、システムのソフトウェアの構成について、設計処理の流れに沿って各プログラムの機能を説明する。次にシステムの機器構成について述べる。

第6章では、実現した設計システムの評価をおこなう。本研究によって開発した設計システムはすでに実用に供されているので、実用結果を示してその効果を実証する。

第7章では、上記研究全体についての成果を要約するとともに、今後に残された課題について論述する。

## 関 連 発 表 論 文

### I 著 書

- 〔1〕 「プリント基板における自動設計技術とその実例集」(共著), 応用技術出版, (1981)

### II 学会誌発表論文

- 〔1〕 西岡, 栗本, 西田, 山本, 白川, 尾崎, “会話型プリント基板設計システム”, 情報処理学会論文誌, Vol. 20, No. 6, pp.453-459(1979)
- 〔2〕 西岡, 栗本, 山本, 千葉, “プリント基板自動設計におけるゲート割付けと部品配置の一手法”, 電子通信学会論文誌, Vol. 63-D, No. 6, pp. 477-484(1980)
- 〔3〕 I. NISHIOKA, T. KURIMOTO, S. YAMAMOTO, T. CHIBA, I. SHIRAKAWA, H. OZAKI, “AN APPROACH TO GATE ASSIGNMENT AND MODULE PLACEMENT FOR PRINTED WIRING BOARDS”, IEEE TRANS. ON COMPUTERS, Vol. C-29, No. 8, pp. 681-688(1980)
- 〔4〕 坂本, 千葉, 白川, 尾崎, 杉田, 栗本, 西岡, “プリント基板自動配線システム OSACA”, 情報処理学会論文誌, Vol. 17, No. 6, pp. 486-493(1976)
- 〔5〕 吉田, 浜村, 池本, 可児, 西岡, 大津, 上野, “電子装置のCAD(3)”, (解説), 情報処理学会誌, Vol. 21, No. 1, pp. 50-61, (1980)

### III 研究会発表論文(査読付き)

- 〔1〕 I. NISHIOKA, T. KURIMOTO, H. NISHIDA, I. SHIRAKAWA,

- H. OZAKI, 'A MINICOMPUTERIZED AUTOMATIC LAYOUT SYSTEM FOR TWO-LAYER PRINTED WIRING BOARDS', PROC. 14TH DESIGN AUTOMATION CONFERENCE, pp. 1—11 (1977)
- [2] I. NISHIOKA, T. KURIMOTO, S. YAMAMOTO, I. SHIRAKAWA, H. OZAKI, "AN APPROACH TO GATE ASSIGNMENT AND MODULE PLACEMENT FOR PRINTED WIRING BOARDS", PROC. 15TH DESIGN AUTOMATION CONFERENCE, pp. 60—69 (1978)
- [3] I. NISHIOKA, T. KURIMOTO, H. NISHIDA, S. YAMAMOTO, T. CHIBA, T. NAGAKAWA, T. FUJIOKA, M. UCHINO, "AN AUTOMATIC ROUTING SYSTEM FOR HIGH DENSITY MULTILAYER PRINTED WIRING BOARDS", PROC. 17TH DESIGN AUTOMATION CONFERENCE, pp. 520—527 (1980)
- [4] I. NISHIOKA, T. CHIBA, T. KURIMOTO, "AN OVERVIEW OF THE LAYOUT SYSTEM IN SHARP CORPORATION", ( INVITED ), PROC. 1ST EUROPEAN CONFERENCE ON CAD IN MEDIUM SIZED AND SMALL INDUSTRIES. pp. E 1—E14 (1980)

#### IV その他研究会発表論文 (査読無し)

- [1] 西岡, 栗本, 西田, 久保, 山本, 永川, 白川, 尾崎, "ミニコンを用いたプリント回路基板自動配線システム", 信学会, 回路とシステム理論研資, CST 76—77 (1976)
- [2] 西岡, 栗本, 西田, 山本, 久保, 白川, 尾崎, "ミニコンを用いたプリント回路基板自動配線設計システム", 情報処理学会, 設計自動化研資, DA 32—1 (1977)
- [3] 栗本, 西岡, "ミニコンによる PWB 自動設計システムにおけるゲート割付けプログラム", 信学会総合全国大会 420, 2—197 (1977)
- [4] 山本, 栗本, 西岡, "ミニコンによる PWB 自動設計システムにおける

- 部品配置プログラム”， 信学会総合全国大会 419， 2-196（1977）
- 〔5〕 西岡， 栗本， 山本， 白川， 尾崎， “プリント基板のゲート割付けおよび配置の一手法”， 信学会， 回路とシステム理論研資， CST 77-128（1978）
- 〔6〕 栗本， 西田， 千葉， 山本， 永川， 西岡， 藤岡， 内野， “多層基板用自動設計システム”， 情報処理学会， 電子装置設計技術研資 3-3（1979）
- 〔7〕 永川， 千葉， 西岡， “チャンネル構造に基づいたプリント基板配線の一手法”， 信学会， 回路とシステム研資， CAS 79-137（1980）
- 〔8〕 永川， 山本， 栗本， 西岡， “高密度な自動配線の一手法”， 信学会， 回路とシステム研資， CAS 80-52（1980）

# 目 次

		ページ
第 1 章	緒 論	8
第 2 章	設計対象となる印刷回路基板	12
2. 1	緒 言	12
2. 2	印刷回路基板の構成	12
2. 3	配線規則と基本格子の設定	14
2. 4	結 言	15
第 3 章	自動設計手法	16
3. 1	緒 言	16
3. 2	ゲート割付け手法	18
3. 3	部品配置手法	26
3. 4	ピン割付け手法	33
3. 5	自動配線手法	35
3. 5. 1	線分探索法	35
3. 5. 2	迷路法	38
3. 6	高密度配線手法	39
3. 6. 1	動的な配線処理順序決定法を持つ線分探索法	39
3. 6. 2	チャンネル構造に基づく配線手法	45
3. 7	結 言	51
第 4 章	会話型設計手法	53
4. 1	緒 言	53
4. 2	会話型配線設計手法	53
4. 3	会話型配置設計手法	63
4. 4	結 言	69
第 5 章	自動設計システム	70
5. 1	緒 言	70
5. 2	システムのソフトウェア構成	71

5. 3	システムのハードウェア構成.....	82
5. 4	結 言.....	83
第 6 章	設計システムの評価.....	84
6. 1	緒 言.....	84
6. 2	部品配置手法の評価.....	84
6. 3	配線設計手法の評価.....	91
6. 4	結 言.....	99
第 7 章	結 論.....	100
	謝 辞.....	102
	参考文献.....	103

# 第1章 緒 論

電子装置は一般に印刷回路基板を用いて実現されることが多いが、産業用電子装置では多品種少量生産の傾向が著しく、しかも回路の高集積化にともなって印刷回路基板の実装密度は増大の一途をたどっている。設計期間の短縮を要求される中で実装密度の増大は、設計者にとって苛酷な条件であり、人手による設計では誤配線を防ぎきれないことや精度向上のためにも自動設計システムは必須のものとなりつつある。

ディジタル回路を印刷回路基板に実現するには、通常論理回路を適当な大きさに分割（論理分割）し、一枚の基板に搭載する回路を決定した後、ゲートをICに割付け（ゲート割付け）し、基板上にICを含めた全部品の配置をしたのち配線経路を決定する。この一連の作業の中で部品配置と配線経路探索は最も重要な問題であり、古くから多くの研究がなされている。

まず、部品配置設計は、「基板上に搭載すべき部品を、それらの間の配線要求が100%実現されるように配置せよ」という課題の性質からみて、本来は、後段の配線設計と有機的に連係して運用されなければならない。したがって、配置、配線手法の性能の評価はセットにして行われるべきであるが、問題が複雑になり過ぎるため両者を分離して考えざるを得ず、このためには配置手法の性能を単独に評価できる近似的な判定規準が必要となる。従来、この判定規準として導入され、広く利用されているのは仮想総配線長または最小木の長さの総和の最小化という目的関数である。

この配置問題では、まず、適当な初期配置を与えておき、次いで、上で述べた目的関数を改善するような再配置処置を逐次繰返すという方法がとられるのが一般的である。初期配置手法としては、ランダム配置法と構成的配置法があり、Hanan, Wolff, と Agule <sup>[1]</sup> の実験によれば、搭載部品数が多くなると構成的配置法が効果を得ると報告している。また、逐次改善法については、Steinberg <sup>[2]</sup> が、直接接続していない部品の集合を取除き、これらの部品の可能な配置のうち、目的関数を最小にするものを採用して再配置する方法を提案したのを始め、

苗村<sup>[3]</sup>、西川の互換法<sup>[3]</sup>や Fisk, Caskey と West<sup>[4]</sup>や Hanan と Kurtzberg<sup>[5]</sup>による張力緩和法があり、同じく実験〔1〕によれば張力緩和法が最も有力であると報告されている。しかしながら、仮想総配線長または最小木の長さの総和を最小にする配置では、互に多くの結線要求を持つ部品群が基板上の一ヶ所（通常は外部端子の近傍）に集中し、却って配線率の低下を招くことが経験的に知られている。また従来の部品配置手法では、搭載される部品がほぼ同じ大きさの IC であることが前提である。ところが現用の印刷回路基板では部品の標準化が困難で、抵抗、コンデンサなどの個別部品が数多く使われているのが実情であり、これらの点に関しても効果的な手法が望まれていた。

一方、2層基板に対する配線問題は「各層において、一定間隔で水平、垂直方向に格子状に張られたチャンネル上で、同一電位に結線されるべきピン及び外部端子の集合、すなわちネットの各々を連結するような経路群を見つける」という問題に定式化される。この問題に対して通常採用されている探索法には、迷路法、線分探索法、チャンネル法がある。これらの各手法のなかで迷路法は、最初 Lee<sup>[6]</sup>によって提案されたもので、与えられた2端子間に配線が可能ならば必ずそのうちの一つの配線経路を見い出すという特徴を持っており、Geyer,<sup>[7]</sup> Rubin,<sup>[8]</sup>千葉、井手、白川、尾崎、等により実用に即するように改良された。<sup>[9,10]</sup>迷路法が格子点を波状的に探索するのに対し、線分探索法は線分単位の探索であり迷路法に比べ探索に要する時間の少ない発見的（heuristic）経路探索法である。三上、田淵、と Hightower<sup>[11]</sup><sup>[12]</sup>の二つの流れがあり、山村、白川、尾崎らが前者に対して探索時の無駄を防ぐよう改良した。<sup>[13]</sup>橋本、Stevens<sup>[14]</sup>や Lass<sup>[15]</sup>はチャンネル法を提唱したが、この方法は基板上の穴のパターンが整然としたバックボードには有効であるが、一般の印刷回路基板には適用しにくい。

以上、配置、配線手法の動向を概観したが従来の手法のほとんどが大型計算機を用いて実現されたものであり、その設計対象も電子計算機や交換機などの高度に標準化された印刷回路基板である。このため、中小型情報処理装置などほとんどの産業用印刷回路基板の分野では、依然として人手設計に依存しているのが実情であった。

本研究は、上述のような背景のもとで行なったものであり、デジタル回路を搭載する広い範囲の印刷回路基板に適用できる効率的な自動設計システムを実現することを目的としている。

第2章では、本研究の対象とする印刷回路基板の構造について論述し、本研究の適用範囲を明確にする。まず、印刷回路基板は2層単位の多層化方式であり、2層毎にピン間1本配線規則とピン間2本配線規則が選択できるよう設定した基本格子について述べる。

第3章では、印刷回路基板の自動設計における三つの重要な問題、すなわちゲート割付け、部品配置ならびに配線設計について、本研究において開発した手法を論述する。まず、ゲート割付けでは、後に続く自動配線における配線率向上が目的であり、このため同一IC内の結線要求数を最大に、異なるIC間の結線要求数を最小にするゲート対ICの割付け方法に関し、本研究では、新しく第1種結合数、第二種結合数ならびに電氣的親和度を導入し、その有用性について論述する。次に、部品配置について、結線要求が基板全体に分散することを目的として考案したグループ分割による配置手法が有用であることを明らかにする。さらに、配線設計については、ミニコンピュータの下で、高速に高密度配線を達成するよう開発した線分探索法ならびに迷路法が、処理に要するメモリ容量の削減と処理時間の短縮に有効であることを明らかにする。

第4章では、計算機によるバッチ処理を補間するために、本研究で導入した会話型設計システムについて述べる。まず、配線設計段階において、線分探索法および迷路法の実行で、未結線ピンが生じた場合に、迷路法の再実行で結線可能なように、既存経路を変更するために導入した会話型配線設計手法についてその効果を明らかにする。次に、この手法を部品配置設計段階にも発展させ、特に、抵抗、コンデンサなど大きさの不規則な個別部品についての詳細な設計修正を可能にするための会話型配置設計手法を説明する。

第5章では、本研究で実現した自動設計システムについて、まずソフトウェアの構成に関して設計処理の流れに沿って述べる。システムを構成する主要なデータファイルである①部品情報ファイル ②基板仕様記述ファイル ③部品

配置，接続情報ファイル ④設計データファイル ⑤アートワーク・データファイル について説明する。次に，システムを構成する主要なプログラムである①入力処理 ②ゲート割付け処理 ③部品配置処理 ④ピン割付け処理 ⑤配線処理 ⑥会話型修正処理 ⑦出力処理 についてその機能を論述する。さらに，上記のソフトウェアが稼働するハードウェア構成に関して述べる。

第6章では，上述の手法を用いて実現した設計システムの評価をおこなう。本研究によって開発した自動設計システムはすでに実用に供されているので，評価にあたっては実用結果を示し，その効果を実証する。

第7章結論では，本研究全体についての成果を要約するとともに，今後に残された課題について論じる。

## 第 2 章 設計対象となる印刷回路基板

### 2. 1 緒 言

印刷回路基板は①デジタル回路を搭載する産業用と ②アナログ回路を搭載する民生用に大別される。民生用印刷回路基板は量産に適した片面板が用いられるため、単一平面上で 100% の配線を実現しなければならない上に、アナログ信号はデジタル信号に比べて回路的な余裕（マージン）が少なく、部品配置や配線経路が回路の特性に決定的な影響を与えるため、自動設計の対象となりにくい。一方、産業用印刷回路基板は 2 層以上の多層基板が用いられることが一般的であり、ある面では水平線分を、他の面では垂直線分を生成し、異なる面上の線分を必要に応じて連結孔（ビア）で絡ぐという、いわゆる XY テクニクが活用できるため比較的自動設計に適した問題といえる。

さて、産業用印刷回路基板の製造工程の進歩は、近年とみに著しく、回路の高集積化と相まって基板の多層化が進み、また配線導体の細線化により IC ピン間に複数本の配線を許容するなど、設計システムに要求される仕様も多様化、高度化の傾向が強い。

本研究では、この傾向に対処するため、多層の産業用印刷回路基板を対象とした。

### 2. 2 印刷回路基板の構成

本研究で対象とした産業用印刷回路基板の構造を図 2-1 に示す。その特徴は、2 つの層を 1 対（配線層対と呼ぶ）として複数対を積層した構造であり、図 2-1 のタイプ 1 では、対をなす層間を連結する連結孔（ビアと呼ぶ）が全層貫通孔（スルーホールと呼ぶ）になるのに対し、タイプ 2 では、その配線層対にのみ生成される。したがってタイプ 1 の場合には、外層対でスルーホールを生成した時、内層で同じ位置に線分または、スルーホールを生成することはできないが、タイプ 2 では各層対でのビアの生成は独立となる。ただし、製造上はタイプ 1 が有利であり、したがって広く使われている。本研究では、両タイプ共適用可能

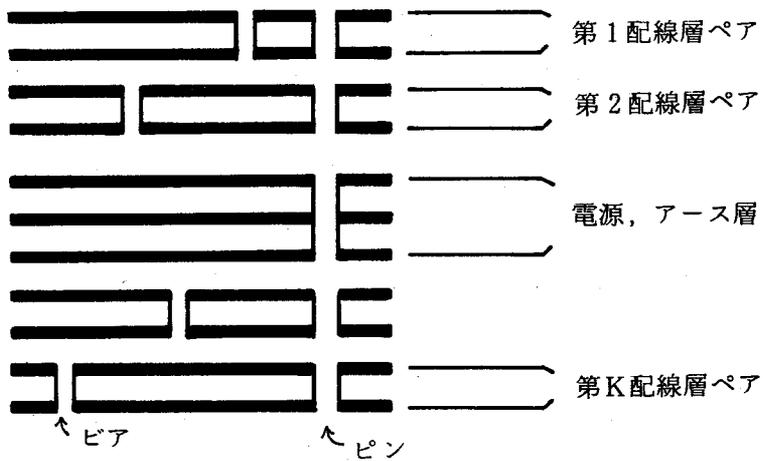
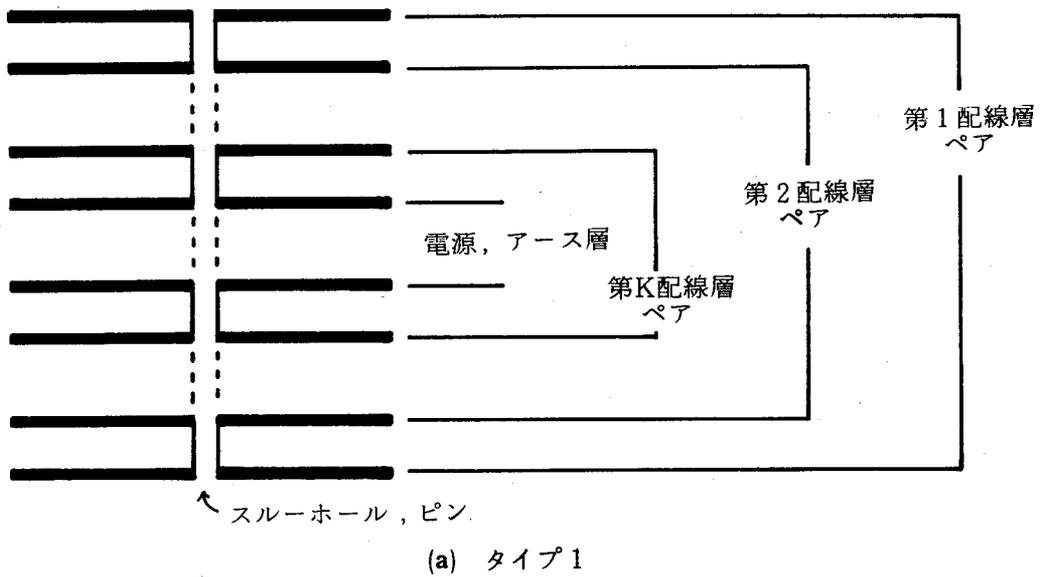


図 2-1 設計対象とするプリント基板の構造

とした。

### 2.3 配線規則と基本格子の設定

自動配線を実現するために基本格子の設定が重要である。本研究で用いた基本格子は以下の通りである。前節で述べた通り、本研究では多層基板も2層基板の積層されたものとして取扱うため、以下の論議は2層基板を前提とする。さて、2層基板の各層において、一定間隔で水平、垂直方向に格子状に張られたチャンネル上で経路の生成を行なうが、配線密度を高めるためには、原則として第1層では水平チャンネル、第2層では垂直チャンネル上にそれぞれ経路を割当てて、層間の結線をビアで行う。基本格子の設定方法と配線規則は基板の製造仕様に依存するが、本研究では以下のように設定した。

- (1) DIP (Dual Inline Package) IC (以下単にICと呼ぶ) の隣接するピン間 ( $\frac{1}{40}$ インチ) に1本の配線を許容する場合には、 $\frac{1}{20}$ インチの基本格子を設定し、隣接格子に異なる信号のビアが生成されることを禁止する (以下、ピン間1本配線規則と呼ぶ)。
- (2) ICの隣接するピン間に2本の配線を許容する場合には、 $\frac{1}{40}$ インチの基本格子を設定し、ピンならびにビアは、すべて格子に乗るものとする。配線用には副格子を設定し、主として副格子上に生成されるが、1格子長以下の配線は基本格子上にも許容される (以下、ピン間2本配線規則と呼ぶ)。
- (3) 多層基板の場合には、配線層対毎に、上記の配線規則の1つを選択指定することができるが、いずれの場合も、 $\frac{1}{40}$ インチの基本格子を設定し、ピンならびにビアはすべて格子に乗るものとし、配線は副格子上に生成される。

図2-2に、上記の配線規則を図示する。

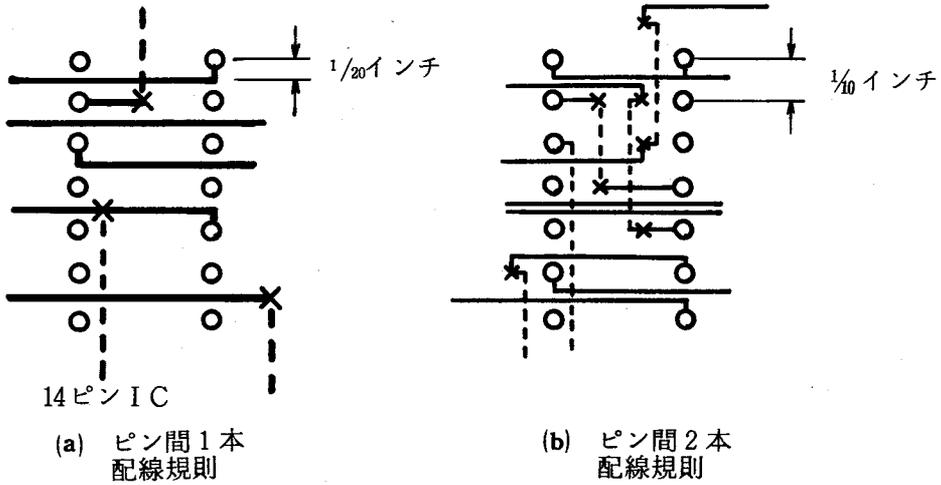


図 2-2 配線規則

## 2.4 結 言

以上、本章では本研究により実現した自動設計システムが、設計対象とする印刷回路基板の構造と、配線規則について論述した。ここで述べた多層基板の構造、特に図 2-1 のタイプ 1 は、最も一般的な構造であり、2 層基板も含めて、本研究が目的とする応用分野のほとんどすべてを包含するものであり、充分一般性があることを実証した。また、配線規則についても、ピン間 1 本ならびにピン間 2 本配線規則は、製造工程のほとんどすべての領域をカバーするものであり、本研究の汎用性を実証している。

## 第3章 自動設計手法

### 3.1 緒言

デジタル装置用の印刷回路基板に対する製造技術の向上により、基板の配線密度の増大ならびに多層化が更に一層推進されようとしている現在、論理ゲートの回路モジュール（一般にはIC）への割付け問題、回路モジュールの基板上への配置問題、ならびに基板上の配線問題に対する、効率的な設計手法の開発が急務である。特に、現存する配線プログラムにおいて、既に数多くの配線手法が検討され組入れられている場合には、その配線能力を更に高めるために、高性能なゲート割付けプログラムならびにモジュール配置プログラムを組入れることが最も効果的であろう。

基板の配置問題に対して、従来多くの手法が提案され広く実用に供しているが、これらの手法の多くは搭載される回路モジュールの大きさ、形状が同一または類似している（標準部品と呼ぶ）ことを前提にしている。ところが現用の基板では部品の標準化が必ずしも達成されておらず、依然として抵抗、コンデンサ、トランジスタなどの個別部品（非標準部品と呼ぶ）が数多く使われているのが実情であり、このため非標準部品の扱いが容易な自動配置プログラムが望まれる。

また、従来の部品配置手法では、配置の良さの尺度として仮想総配線長または最小木の長さの総和を最小化するという目的関数が導入されてきたが、これは配置手法の性能は、本来は後段の配線結果を待って初めて評価されるべき筋合のものであるが、あらかじめ単独に評価しうる何らかの近似的措置が必要となるため、便宜上用いられるに過ぎない。<sup>[16]</sup> これらの目的関数を満す配置が必ずしも後段で良い配線率を与えとはいえず、むしろ結線要求数が局部的に集中することになり配線率を下げることもなり

うる。

本章では、まず部品配置の前段階として、論理ゲートの回路モジュールへの割付け問題について、後段の配線処理を容易にするため電氣的結合度の強い同種の論理ゲートを同一回路モジュールに割付ける手法について論述する。つぎに、配線処理段階で高い配線率を達成するためには結線要求が基板全体に分散することが効果的であるという経験的事実に基づいて、モジュール全体に対して、グループ分割の手法を用いて初期配置をし、このグループ配置の効果を減殺しないという制約の下で最小木の長さの総和の最小化をはかる反復改善法について論述する。なお、この過程において抵抗、コンデンサ、トランジスタなどの形状の小さな非標準部品については、前処理において電氣的に結合の強い標準部品に吸収し、後処理においてその標準部品の近傍に引き出す手法を説明する。

次に、配線手法について述べる。多層印刷回路基板の配線問題においては、第2章で述べたように、基本的には2層基板に対する配線手法が重要であり、これまでに数多くの手法が提案されている。この中で、線分探索法は探索処理速度が速く、しかも配線達成率も高い有力な手法であるが、生成される経路のパターンにプログラム上の制限があるため、配線が混み合ってきた時には複雑な経路の生成には適さない。一方、迷路法は、探索処理速度は遅いが、複雑な経路の探索に向いている。本研究においては、両者の特徴を効果的に組み合わせるため、効率的な探索手続きを開発した。まず、線分探索法では、プログラムサイズを最小限に抑えるため経路探索問題を「点对点」の配線問題に帰着させ、3端子以上の経路決定に際しても同じ「点对点」のルーチンを繰返し使用することにより処理手続きを簡略化した。また、より高密度配線を要求される中で、配線処理順序の決定問題が重要であることを指摘する。この中で、与えられた配線要求をすべてピンペアに分解し、次に結線すべきピンペアをその都度決定し直すというダイナミックな配線処理順序の決定方法について論述する。迷路法では、複数組の未結線ネットが存在する場合に、物理的にはすべて結線可能であるにもかかわらず、実際には先に処理されたネットで生成された不適当な

経路が障害となって、後の結線が不可となることがある。この点を解消するための、生成される経路に各種の制約を付加する手法について述べる。

### 3.2 ゲート割付け手法<sup>[17]</sup>

ゲート割付け問題は以下のように定式化される：論理ゲートレベルで記述された回路が  $K$  種類の論理ゲートを含むとき、各論理ゲートに対応する  $K$  種類の回路モジュールへのゲート対モジュールの割付けを、回路モジュール間の結線要求数が最小になるように実現すること。これは後段の配線処理においてモジュール内接続の方がモジュール間接続よりも一般的には容易であるからである。この問題に対する手法の記述を容易にするため以下の定義をおこなう。

与えられた論理回路  $D$  に対してその接続構造を記述する 2 部グラフ  $G = [A, S; E]$  を次のように定める。

- (i)  $D$  の各ゲート  $a_i$  に節点  $a_i \in A$  が 1 対 1 に対応する。
- (ii)  $D$  の各信号線  $s_j$  に節点  $s_j \in S$  が 1 対 1 に対応する。
- (iii) ゲート  $a_i$  に信号線  $s_j$  が入力または出力として接続しているとき、 $G$  において節点  $a_i$  と  $s_j$  との間に枝が接続する。

例えば、図 3-1 (a) の論理回路  $D$  が与えられたとき、それを記述するグラフ  $G$  は同図 (b) のように表わされる。

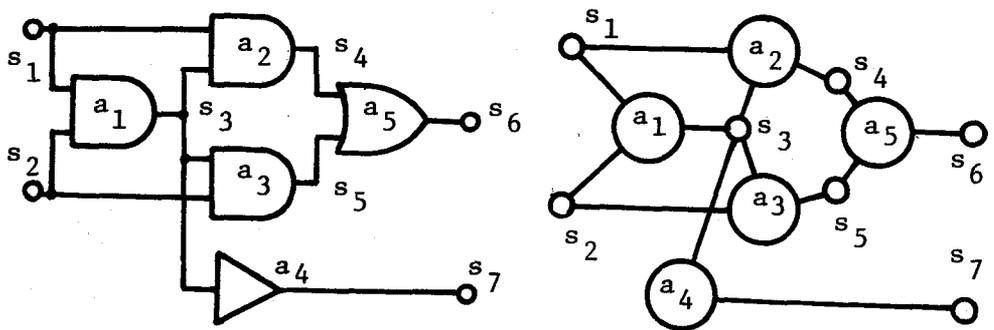


図 3-1 (a) 論理回路  $D$   
(b)  $D$  のグラフ表現  $G$

さて、このようなグラフ  $G$  の  $A$  に属する 2 節点間に以下のように第 1 種、第 2 種結合数を定義する：節点  $a_i, a_j \in A$  の間の第 1 種結合数  $\text{FCON}(a_i, a_j)$  とは、 $a_i, a_j$  に同時に隣接する  $S$  の節点の個数を表わす。たとえば、図 3-1 (b) のグラフ  $G$  において

$$\text{FCON}(a_1, a_2) = |\{s_1, s_3\}| = 2^\dagger$$

$$\text{FCON}(a_1, a_5) = 0$$

である。

また、 $a_i, a_j \in A$  の間の第 2 種結合数  $\text{SCON}(a_i, a_j)$  とは、節点の集合  $\Gamma(a_i) \triangleq \{a_k \in A \mid \text{FCON}(a_i, a_k) \neq 0\}$  に対して

$$\text{SCON}(a_i, a_j) \triangleq \sum_{\substack{a_k \in \Gamma(a_i) \\ a_k \neq a_j}} \text{FCON}(a_k, a_j)$$

と定められる。たとえば図 3-1 (b) のグラフ  $G$  に対して、

$$\begin{aligned} \text{SCON}(a_1, a_5) &= \text{FCON}(a_2, a_5) \\ &\quad + \text{FCON}(a_3, a_5) + \text{FCON}(a_4, a_5) = 2 \end{aligned}$$

である。

さて、節点对  $a_i, a_j$  に対するこのような第 1 および第 2 種結合数を用いて親和度  $\text{AF}(a_i, a_j)$  を次のように定義する。

$$\begin{aligned} \text{AF}(a_i, a_j) &\triangleq w \times \text{FCON}(a_i, a_j) \\ &\quad + \text{SCON}(a_i, a_j) \end{aligned}$$

ただし、ここで  $w$  は  $\text{FCON}$  を  $\text{SCON}$  に比べて重視するための重み係数であり経験的に  $w = 10$  としている。

さらに、節点  $a_i \in A$  と  $a_j \in \Gamma(a_i)$  に対応するゲート  $a_i, a_j$  が同一種類であるとき、 $a_j$  を  $a_i$  の同種隣接節点といい、 $a_i$  の同種隣接節点の個数を  $\text{SN}(a_i)$  で表わす。

以上の定義を用いてゲート割付け手順は図 3-2 に示すように 2 つの段階か

---

†  $|\{a_1, a_2, \dots\}|$  は集合  $\{a_1, a_2, \dots\}$  に含まれる元の個数をあらわす。

ら構成される。

### 【ゲート割付け手順】

段階1：種の生成 (Seed Generation)：この段階では個々の回路モジュールについて割付けの種となるべきゲートを1つずつ生成する。

〔操作0〕  $k$ 種類のゲートからなる論理回路  $D$  を表現するグラフ  $G = [A, S; E]$  においてゲートの種類により集合  $A$  を  $A = \{A_1, A_2, \dots, A_k\}$  のように部分集合に分割する。ここで  $A_i$  は第  $i$  種のゲートに対応する節点の集合である。また第  $i$  種のゲートに対応する回路モジュールに割付けうる許容ゲート数を  $h_i$  としたとき、そのモジュールの必要個数  $H_i$  を  $H_i \triangleq \left\lceil \frac{|A_i|}{h_i} \right\rceil$  として算出する。ここで、 $\lceil x \rceil$  は  $x$  より小さくない最小の整数を意味する。

第  $i$  種の種 (Seed) を格納するアレイを  $Q_i$ 、 $A_i$  の要素  $a_k$  を格納するアレイを  $\bar{A}_i$  とする。このときすべての  $i$  について  $\bar{A}_i \leftarrow A_i$ 、 $Q_i \leftarrow \phi^\dagger$  とし、 $i \leftarrow 1$ 、 $\ell \leftarrow 1$  とする。

〔操作1〕 もし  $\ell > H_i$  ならば操作4へ行く。そうでなければ、すべての  $a_k \in \bar{A}_i$  について  $SN(a_k)$  を算出し、最大の値を持つ  $\bar{a}$  (複数個存在するときは任意に選択) を種とし、 $Q_i \leftarrow Q_i \cup \{\bar{a}\}$ 、 $\bar{A}_i \leftarrow \bar{A}_i - \{\bar{a}\}$  とする。操作2へ進む。

〔操作2〕 種  $\bar{a}$  と電気的結合度の高い節点を格納していくアレイを  $N_j(\bar{a})$  とし、 $N_0(\bar{a}) \triangleq \{\bar{a}\}$  と初期セットする。次に  $N_1(\bar{a})$  を次のように求める。

1)  $SN(\bar{a}) \neq 0$  のとき

$$N_1(\bar{a}) \triangleq \{b \in \bar{A} \mid FCON(\bar{a}, b) > 0\} \cup \{\bar{a}\}$$

2)  $SN(\bar{a}) = 0$  のとき

$$N_1(\bar{a}) \triangleq \{b \in \bar{A} \mid SCON(\bar{a}, b) > 0\} \cup \{\bar{a}\}$$

とする。  $j \leftarrow 1$  として操作3へ進む。

---

†  $\phi$  は空集合をあらわす。

段階 1 種の生成

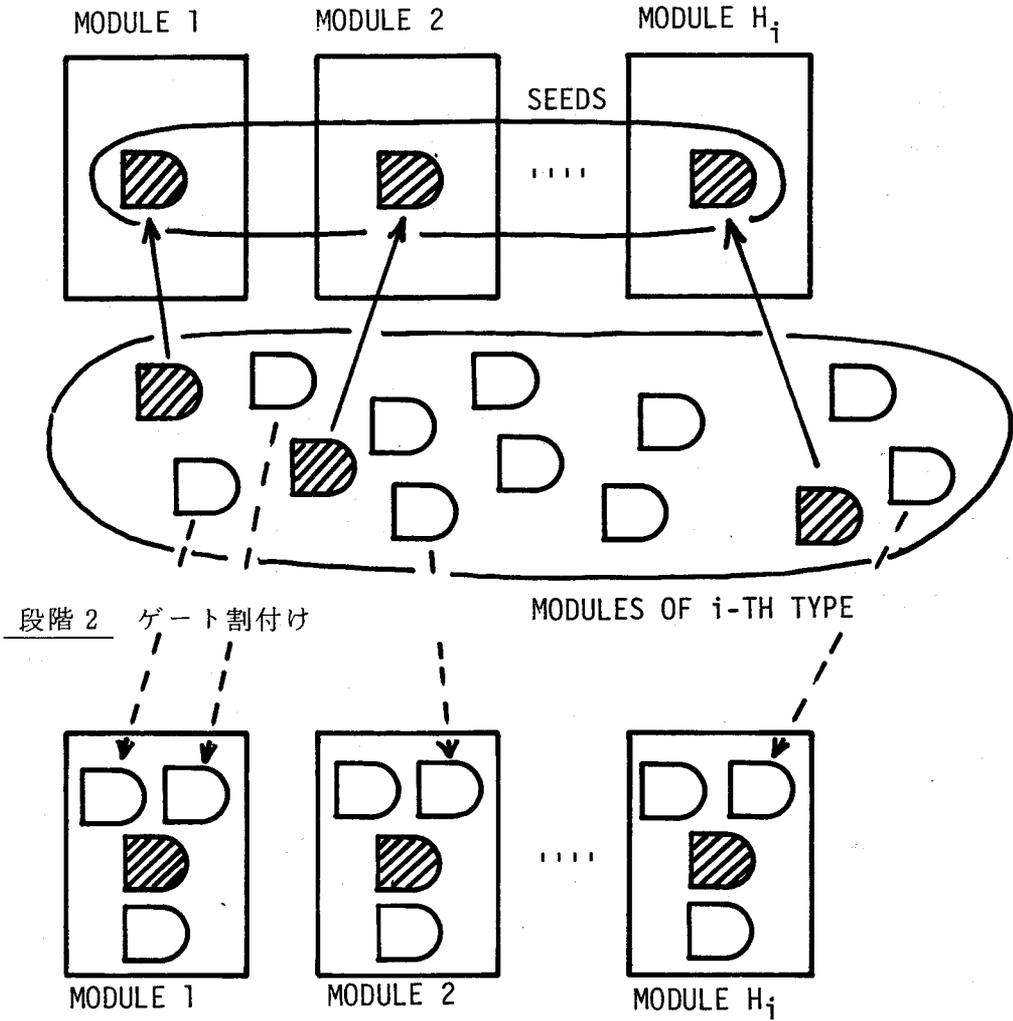


図 3-2 ゲート割付け処理

〔操作 3〕

①  $|N_j(\bar{a})| < h_i$  かつ  $|N_j(\bar{a})| \neq |N_{j-1}(\bar{a})|$  のとき

$$N_{j+1}(\bar{a}) \triangleq \{ b \in \bar{A}_i - N_j(\bar{a}) \mid \sum_{a_k \in N_j(\bar{a})} \text{FCON}(a_k, b) > 0 \} \cup N_j(\bar{a})$$

とし,  $j \leftarrow j + 1$  として①を繰り返す。

②  $|N_j(\bar{a})| \leq h_i$  のとき  $\bar{A}_i \leftarrow \bar{A}_i - N_j(\bar{a})$ ,

$|N_j(\bar{a})| > h_i$  のとき  $\bar{A}_i \leftarrow \bar{A}_i - N_{j-1}(\bar{a})$

とし,  $\ell \leftarrow \ell + 1$  として操作 1 へ戻る。

〔操作 4〕もし  $i < k$  ならば  $i \leftarrow i + 1$ ,  $\ell \leftarrow 1$  として操作 1 へ戻る。そうでないときは段階 2 へ進む。このとき  $Q_i$  には第  $i$  種の  $H_i$  個のモジュールにそれぞれ割付けられる  $H_i$  個の種が格納されている。

段階 2: ゲート割付け ( Gate Assignment ) : この段階では残されたゲートを各回路モジュールに割付ける。

〔操作 0〕すべての  $i$  について残された節点を格納するアレイを  $A_i^*$  とし  $A_i^* \leftarrow A_i - Q_i$  とする。また  $A_i^*$  を  $H_i$  個の互に素なる部分集合  $B_1^i, B_2^i, \dots, B_{H_i}^i$  に格納していくこととし, 最初は  $B_j^i$  に  $Q_i$  の各要素を 1 つずつ入れる。  $i \leftarrow 1$ ,  $\ell \leftarrow 1$  として操作 1 へ進む。

〔操作 1〕行に  $a_p \in A_i^*$ , 列に  $B_q^i$  が対応する行列  $M = [m_{pq}]$  をつくる。ここで  $m_{pq}$  は親和度 AF を用いて,

$$m_{pq} \triangleq \sum_{a_k \in B_q^i} \text{AF}(a_p, a_k)$$

とする。

〔操作 2〕  $M$  のすべての行と列がチェックされるまで次の操作を繰り返す。すなわち,  $M$  の中で行, 列のいずれもがチェックされていない要素のうち最大のものを選び, その行  $x$  および列  $y$  をチェックし,

$$B_y^i \leftarrow B_y^i \cup \{ a_x \}, A_i^* \leftarrow A_i^* - \{ a_x \}$$

とする。操作 3 へ進む。

〔操作3〕  $l = h_i$  ならば操作4へ行く。そうでなければ  $l \leftarrow l + 1$  として操作1へ戻る。

〔操作4〕  $i < k$  ならば  $i \leftarrow i + 1$ ,  $l \leftarrow 1$  として操作1へ戻る。 $i = k$  ならば処理終了。このとき、すべての  $i$  について  $B_1^i, B_2^i, \dots, B_H^i$  が第  $i$  種の回路モジュールに割付けられるゲートの解を示している。

〔操作終了〕

以下に例題を示す。

〔例題〕図3-3のように与えられた論理回路Dに注目する。表3-1は回路Dの構成と各モジュールの許容ゲート数を示す。これに対して上記の割付け手順を適用すると表3-2のようなゲート割付け結果が得られる。入力データのコーディング例を図3-4に示した。

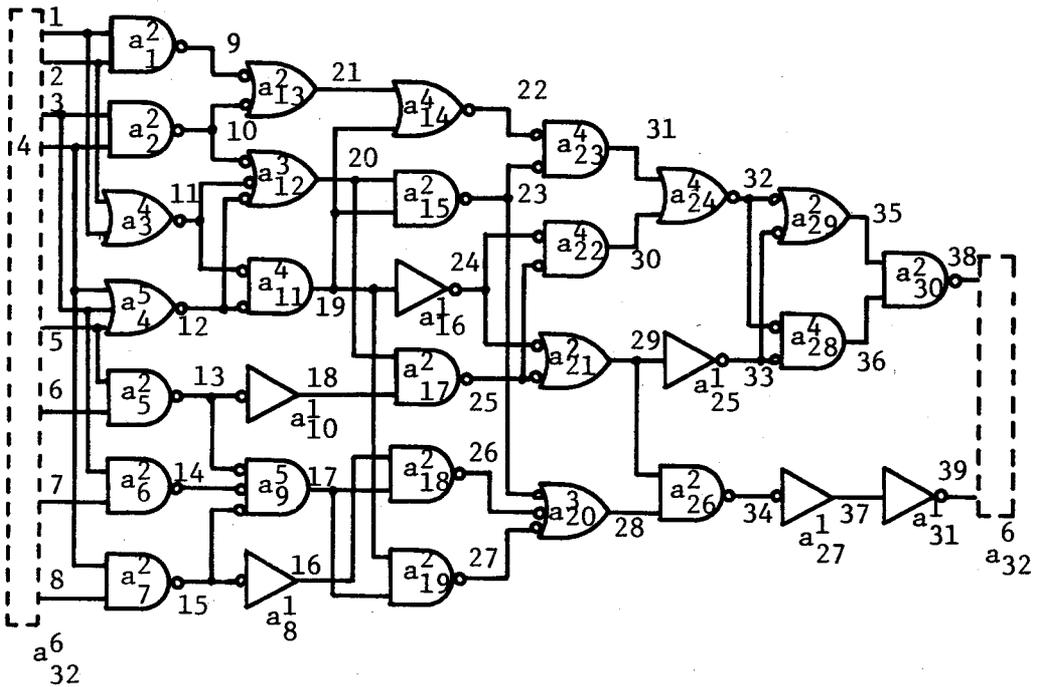


図3-3 論理回路D

表 3 - 1 回路 D の構成

ゲートの種類 $i$	機 能	許容ゲート数	使用個数
1	インバーター	6	6
2	2入力NANDゲート	4	14
3	3入力NANDゲート	3	2
4	2入力NORゲート	4	7
5	3入力NORゲート	3	2

表 3 - 2 回路 D のゲート割付け結果

ゲートの種類	集合 $B_j^i$	$B_j^i$ に割付けられたゲート					
1	$B_1^1$	$a_{27}^1$	$a_8^1$	$a_{10}^1$	$a_{16}^1$	$a_{25}^1$	$a_{31}^1$
2	$B_1^2$	$a_2^2$	$a_6^2$	$a_7^2$			
	$B_2^2$	$a_{15}^2$	$a_{17}^2$	$a_{19}^2$	$a_{18}^2$		
	$B_3^2$	$a_1^2$	$a_{13}^2$	$a_5^2$			
	$B_4^2$	$a_{26}^2$	$a_{21}^2$	$a_{29}^2$	$a_{30}^2$		
3	$B_1^3$	$a_{12}^3$	$a_{20}^3$				
4	$B_1^4$	$a_{24}^4$	$a_{23}^4$	$a_{22}^4$	$a_{28}^4$		
	$B_2^4$	$a_{11}^4$	$a_{14}^4$	$a_3^4$			
5	$B_1^5$	$a_4^5$	$a_9^5$				

```

BSZE          .....TEST DATA.....
55           71
DEXP
EPN14-A 1    16      3      1
DLNE
VCC          +5
GND          0
LGCN
1           NAD2    # 9    # 1    # 2
2           NAD2    # 10   # 3    # 4
3           NOR2    # 11   # 1    # 2
4           NOR3    # 12   # 3    # 4    # 5
5           NAD2    # 13   # 5    # 6
6           NAD2    # 14   # 3    # 7
7           NAD2    # 15   # 4    # 8
8           INV     # 16   # 15
9           NOR3    # 17   # 13   # 14   # 15
10          INV     # 18   # 13
11          NOR2    # 19   # 11   # 12
12          NAD3    # 20   # 10   # 11   # 12
13          NAD2    # 21   # 9    # 10
14          NOR2    # 22   # 21   # 19
15          NAD2    # 23   # 20   # 19
16          INV     # 24   # 19
17          NAD2    # 25   # 20   # 18
18          NAD2    # 26   # 17   # 16
19          NAD2    # 27   # 17   # 19
20          NAD3    # 28   # 23   # 26   # 27
21          NAD2    # 29   # 24   # 25
22          NOR2    # 30   # 24   # 25
23          NOR2    # 31   # 22   # 23
24          NOR2    # 32   # 30   # 31
25          INV     # 33   # 29
26          NAD2    # 34   # 28   # 29
27          INV     # 37   # 34
28          NOR2    # 36   # 32   # 33
29          NAD2    # 38   # 35   # 36
31          INV     # 39   # 37
32          EPN14-A GND  GND  # 1    # 2    # 3    # 4    # 5    # 6
                   # 7    # 8    # 38   # 39   VCC  VCC
END

```

図 3 - 4 入力データのコーディング例

### 3.3 部品配置手法

部品配置の性能は配線結果を待って評価されるべきであり、単独で評価するのは困難である。ある特定の配線手法に対して有効な配置手法が他の配線手法に対して必ずしも有効であるとは限らない。この点で仮想総配線長あるいは最小木の長さの総和の最小化は一般性のある評価関数であるが、結線要求数を局部的に集中させる傾向が強く、配置問題に対する最良の目的関数であるとは云えない。特に、現存する配線システムに新たに配置プログラムを組み入れる場合に注目すれば、そのプログラムの究極の目標は配線システムの配線能力を可能な限り高めるということであり、従って、プログラム作成にあたっては配線プログラムの特徴を最も効果的に引き出すような目的関数が設定されねばならない。そこで、我々の配線システムに対しては、結線要求を基板全域に平均して分散させた方が配線率の向上につながるという経験的事実に基づいて、モジュール全体を互に結線要求の疎なグループに分割し、かつそれらのグループ間の配置を行うという手続きを新たに導入した。図3-5は部品配置の処理手順の概要を示す。

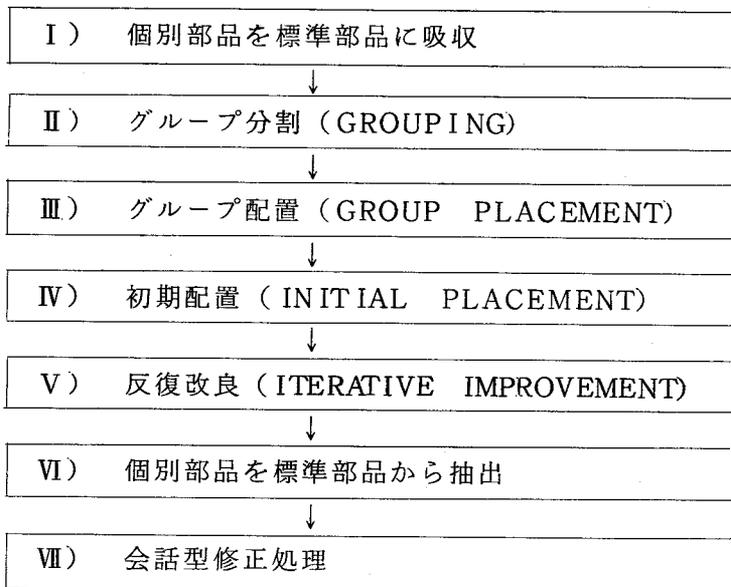


図3-5 部品配置の処理手順

以下にこの処理手順における各段階Ⅰ～Ⅶの手続きの概要を述べる。

段階Ⅰ：これは抵抗、コンデンサなどの個別部品を標準部品に吸収する操作段階である。従来、部品配置問題について非標準部品、特に形状の小さい個別部品の扱いは煩雑を極め自動配置処理を困難にしている。そこで本手法ではまず個別部品をこれと電氣的に結合の強い標準部品（親モジュール）に吸収することから始める。

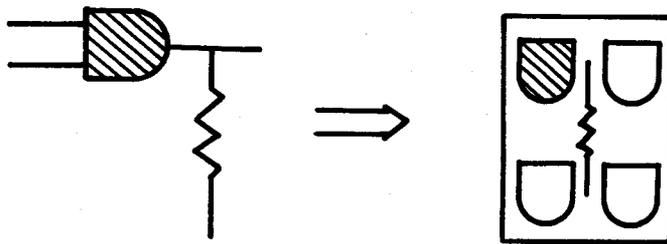


図 3 - 6 個別部品の親モジュールへの吸収

例えば、図 3 - 6 では斜線をつけたゲートの出力に接続された抵抗がそのゲートが割付けられた IC（親モジュール）に吸収される様子が模式的に示されている。

段階Ⅱ：この段階ではグループ分割により結線要求数を基板全域に平均して分散させる。以下に分割手続きを述べる。

【分割手続】

〔操作 0〕 配置すべき全てのモジュールの集合を  $X_0$  とする。モジュールを格納するアレイを  $X$  とし、 $X \leftarrow X_0$  として操作 1 へ進む。

〔操作 1〕 結線要求の少ないものから順にモジュールを選択しアレイ  $UN$  に入れる。 $|UN| = \lceil |x_0| / 10 \rceil$  となれば  $X \leftarrow X - UN$  として操作 2 へ進む。

〔操作 2〕 図 3 - 7 に示したように Kehnighan - Lin の均等 2 分割の手続き<sup>[18]</sup>を用いて  $X$  を 2 つのグループ  $X_1$  と  $X_2$  に分割する。次に、得られた分割に

において  $X_1$  の元と  $X_2$  の元からなる対のうちで、それらを交換してもその分割の  
 カット和に影響を与えないものを全体の10分の1だけの個数を選び、それらの  
 集合を UF とする。  $X_1 \leftarrow X_1 - UF$  ,  $X_2 \leftarrow X_2 - UF$  として操作3へ進む。

〔操作3〕  $X_1$  ,  $X_2$  にそれぞれ個別に均等2分割の手続きを施して  $X_1$  を  
 G1 と G2 に、  $X_2$  を G3 と G4 に分割して操作終了。

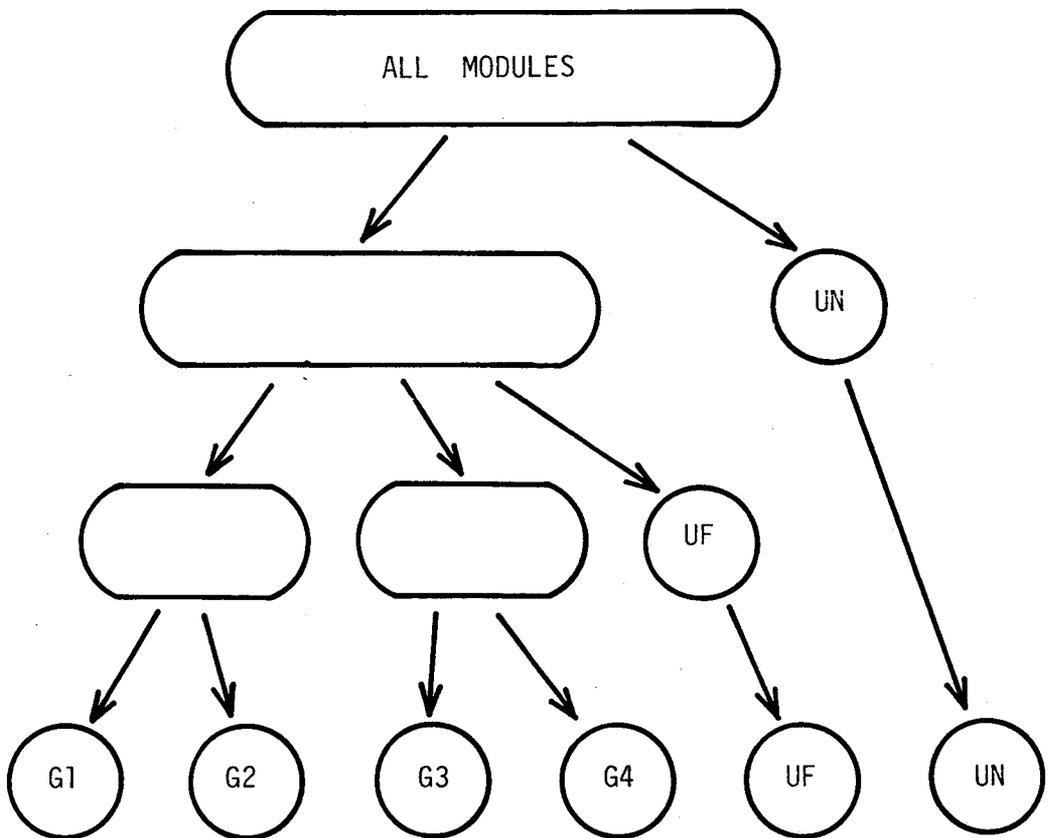


図 3 - 7 グループ分割

段階Ⅲ： まず，基板全体を図3-8のように分割する。

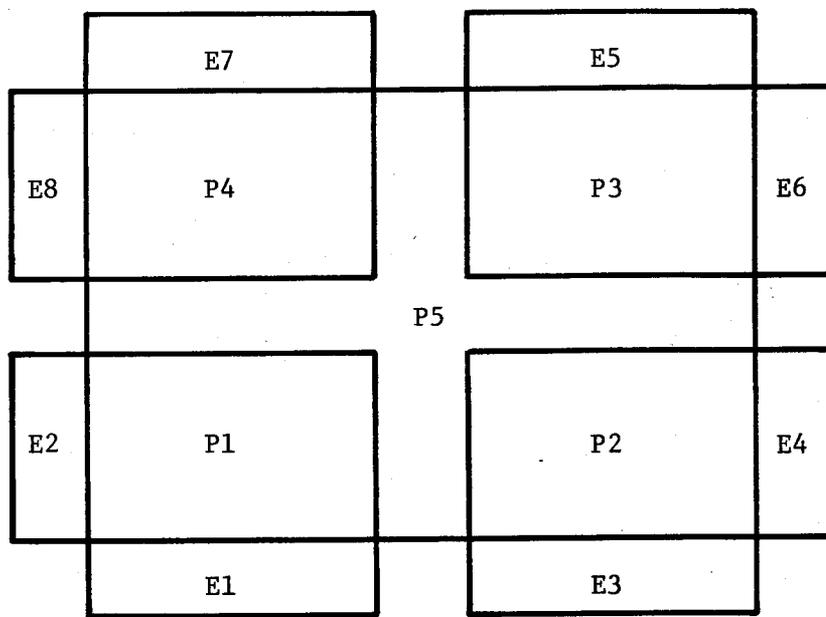


図3-8 基板の分割 (P1~P5) と  
外部端子 (E1~E8)

ここでE1~E8は外部端子の場所を示しており必要に応じて割当てて(4方向に同時に外部端子が配置されることはほとんどない)。次に， $UN \cup UF$ をP5に割当てることとし，残りのG1~G4をP1~P4に割当てることとする。この際に，G1~G4をいかにしてP1~P4に割当てるかという問題が生じる。そこで，まず次のような行列 $Z = [z_{pq}]$ を定義する。

	P1	P2	P3	P4	E1	E2	E3	E4	E5	E6	E7	E8
P1	0	1	4	1	0	0	2	4	6	6	4	2
P2	1	0	1	4	2	4	0	0	4	2	6	6
P3	4	1	0	1	6	6	4	2	0	0	2	4
P4	1	4	1	0	4	2	6	6	2	4	0	0
E1	0	2	6	4								
E2	0	4	6	2								
E3	2	0	4	6								
E4	4	0	2	6								
E5	6	4	0	2				0				
E6	6	2	0	4								
E7	4	6	2	0								
E8	2	6	4	0								

いま、A, BをG1, ..., G4, E1, ..., E8のいずれかを表わすものとし、AとBに共通なネットの個数を $C_{AB}$ で表わす。このとき、上記の問題を、1対1対応 $f = \{G1, G2, G3, G4\} \rightarrow \{P1, P2, P3, P4\}$ のなかで次の目的関数

$$Y(f) \triangleq \sum_{A, B \in \{G1, G2, G3, G4\}} C_{AB}^2 f(A), f(B) + \sum_{\substack{A \in \{G1, G2, G3, G4\} \\ B \in \{E1, E2, \dots, E8\}}} C_{AB}^2 f(A), B$$

を最小にするような $f = f_0$ を求める問題として定式化する。このとき1対1対応は全部でわずか24通りであるから、全てにわたって $Y(f)$ を算出することによって最適解を求めることができる。

段階IV： 次に基板の部分領域P1からP5のそれぞれの内部で III) で割当てられた各モジュールの絶対配置を求める。この配置決定に際しては最小木の長さの総和の最小化を目的関数とする。図3-9を参照し処理手続きを以下に述べる。

【初期配置手続き】

〔操作0〕 部分領域 $P_k$  ( $k = 1, 2, \dots, 5$ )に配置される全てのモジュール

の集合  $X_k$  は  $P_k$  の重心位置に一時的に集めて置かれる。  $k \leftarrow 1$  とする。

〔操作 1〕  $X_k$  に含まれるモジュールを結線要求数の多い順にソーティングする。

〔操作 2〕  $X_k$  からソーティングされた順にモジュールを取り出し、そのモジュールに出入するネットに関する最小木の長さの総和が最小となる位置に配置する。  $X_k$  からそのモジュールを削除し  $|X_k| = 0$  ならば操作 3 へ。そうでなければ操作 2 を繰り返す。

〔操作 3〕  $k < 5$  ならば  $k \leftarrow k + 1$  として操作 1 へ戻る。  $k = 5$  ならば処理終了。

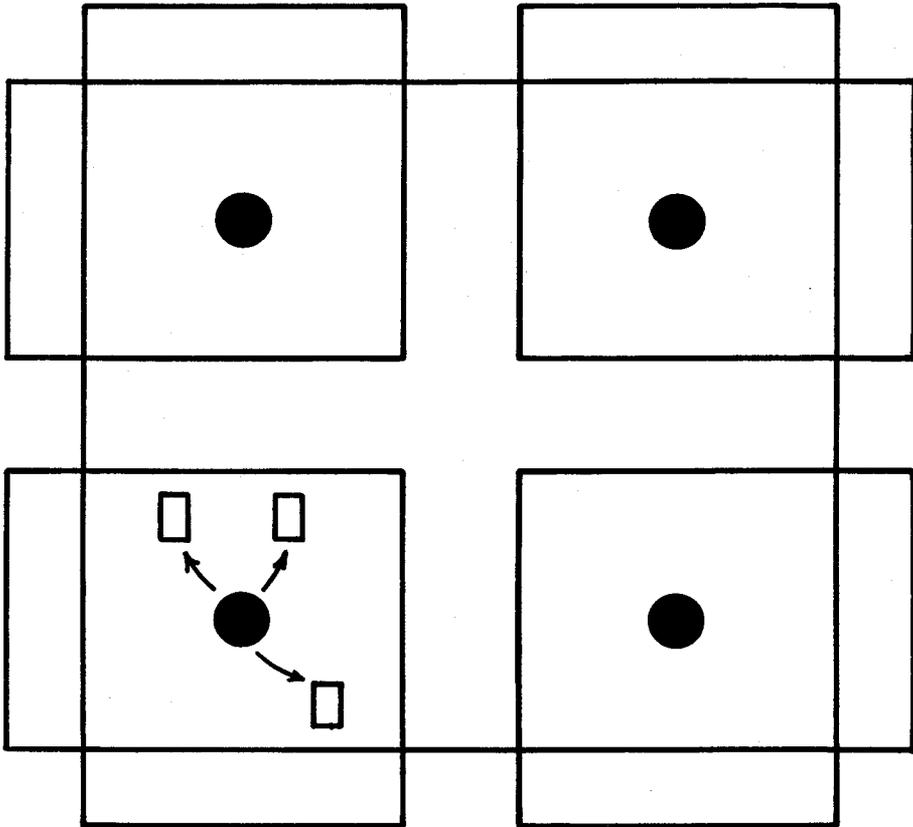


図 3 - 9 初期配置法

段階V： 初期配置が求まったこの段階で反復改良により配置の改良を行なう。ここで採用した目的関数は最小木の長さの総和の最小化であるがII)のグループ分割の効果を減殺せしめないように、図3-10に示すように各 $P_k$ 内のモジュール間に対して張力緩和交換 (Force Directed Pairwise Relaxation) および、相互交換 (Pairwise Interchange) の手法を併用しているのが特徴である。

段階VI： 標準部品の配置が定まったので標準部品に吸収されている個別部品を引き出してその周辺に配置する。

段階VII： 配置の最終段階は人手による会話型修正処理である。特にVI)の処理は数値的な扱いが難かしく、会話型修正処理による微細修正を必要とすることが多い。この処理プログラムではモジュールの移動、回転、交換などのほかネットの最小木による表示や、基板上のチャネル要求数のグラフ表示などを用意した。

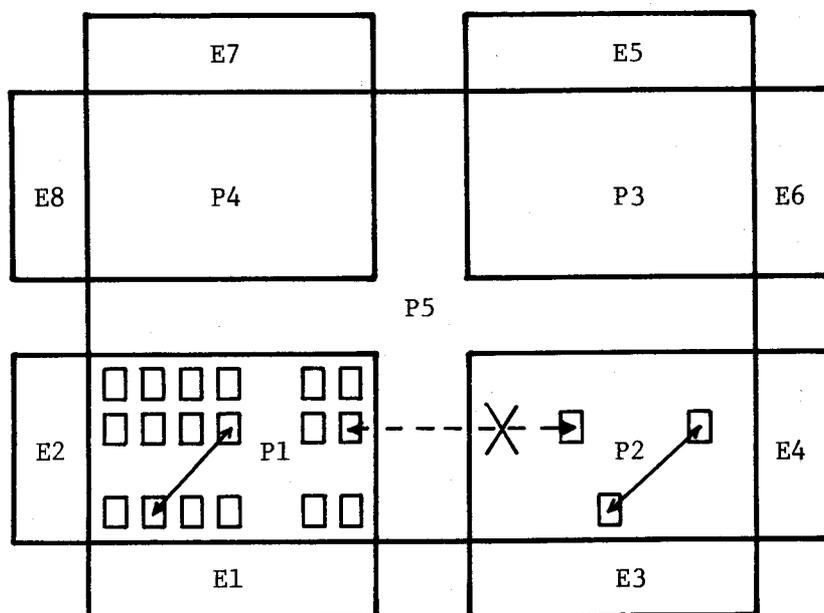


図3-10 反復改善法

### 3.4 ピン割付け手法

3.2節に述べたゲート割付けの段階では、各モジュールの相対位置関係が未定であるため、モジュール内のゲートの位置はまだ決められない。たとえば、SN 7400 には 2 入力 NAND ゲートが 4 コ割当てられるが、この 4 コのゲートをどの位置に対応させるかはまだ決定されていない。そこで各モジュールの位置が決定したこの段階（Module Placement の後）で各 IC 内でゲートの位置を決定する。これによりピンの割付けも決まるためピン割付けと呼ぶ。決定に際しての目的関数は最小木の長さの総和とし、図 3-11 の概念図で示したように目的関数が小さくなるように決定していく。図 3-12 に処理結果の一例を示した。この例は図 3-3 の回路図に対して自動配置を実施したものであり、(a)図は自動

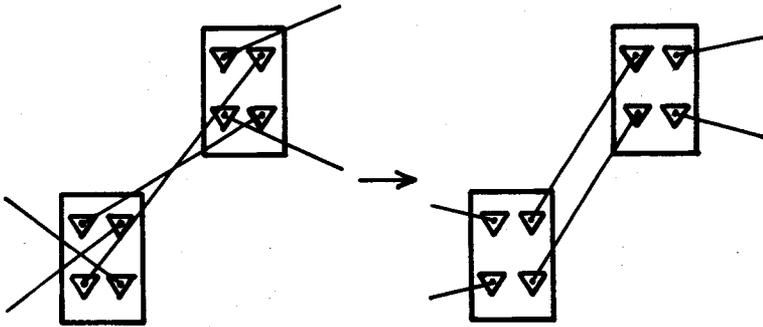
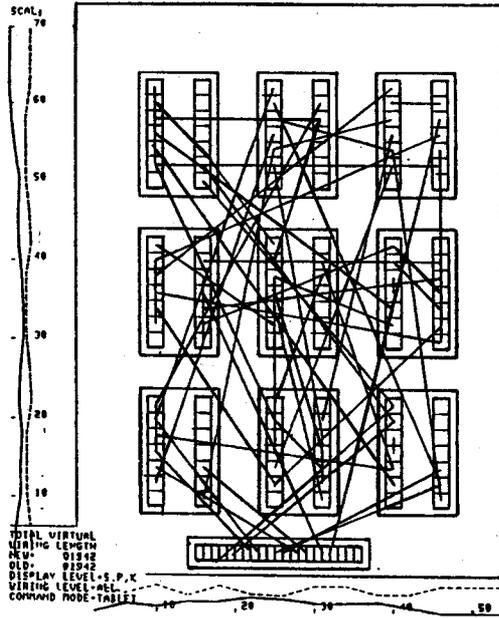
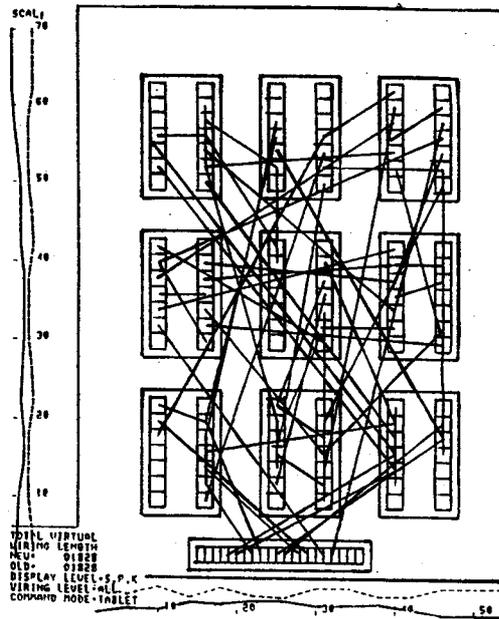


図 3-11 ゲート再割付け（ピン割付け）の概念図

配置処理後、(b)図はピン割付けを施した後に示す。図では 9 個の IC が配置されているが、これは当然ながら表 3-2 の  $B_1^4$  から  $B_1^5$  に対応する。両図を比較して特にモジュール  $m_1, m_2, m_4, m_7, m_8$  において改善の様子が顕著である。ちなみに最小木の長さの総和が 1942 格子長から 1828 格子長へ約 6% 改良された。



(a) ピン割付け処理前



(b) ピン割付け処理後

図 3-12 ピン割付け処理の一例

以下にその処理手続きを述べる。

### 【ピン割付け手続き】

〔操作0〕 処理の対象となる標準部品の集合を結線要求数の多い順にソーティングしてアレイNMに格納する。

〔操作1〕  $NM = \phi$  ならば処理終了。そうでなければNMから順にモジュール $\bar{m}$ を取り出しNMから $\bar{m}$ を削除する。モジュール $\bar{m}$ の許容ゲート数を $p$ 、実際に割付けられるゲート数を $q$ とする。

〔操作2〕 次のような $q \times p$ の行列 $R = [r_{ij}]$ をつくる。すなわち、

(1) 各行 $i$ はモジュール $\bar{m}$ に割付けられるべきゲート $i$ に、列 $j$ はモジュール $\bar{m}$ 内の許容される位置 $j$ にそれぞれ対応する。

(2) 行列の要素 $r_{ij}$ を、ゲート $i$ が位置 $j$ に置かれたときゲート $i$ に出入するネットについての最小木の長さの和とおく。

〔操作3〕 行列 $R$ の各行から1個ずつ、かつ各列から高々1個ずつとなるよう選ばれた要素の組で、それらの和が最小となるようなものを求める。このとき、これらの各要素 $r_{k\ell}$ に対して、ゲート $k$ を位置 $\ell$ に配置する。 $\bar{m}$ 内の割付けが終了すれば操作1へ戻る。

## 3.5 自動配線手法 [19]

本システムで用いた配線手法は前述のように線分探索法と迷路法とから成る。いずれの手法においても経路探索処理は後述する規則で定められた順序に従ってシグナル・ネット単位に進められる。一般に、線分探索法は探索処理速度が速く、しかも配線達成率も高い有力な手法である。[11, 13]本システムでも平均してほとんど80~90%の結線は線分探索ルーチンで達成されている。つぎにここで用いた線分探索法と迷路法について述べる。

### 3.5.1 線分探索法

配線領域を最大  $511 \times 511$  格子<sup>†</sup>とし、1基本格子（セルと呼ぶ）の情報を1

---

† 基板全面を 1.27 ミリのグリッドに分割し、ICの隣接するピン(2.54 ミリ間隔)の間に1本の配線を設定する。

ビットに対応させたビットマップを基板の両面分（以下では部品実装面をA面、他方をB面と呼ぶ）設ける。このセルにピン、スルーホール、線分が存在するとき対応するビットに「1」をセット、それ以外は「0」をセットしてビットマップを作成する。このビットマップを参照・更新しながら経路探索を実行する。又、プログラムサイズを最小限に抑えるため経路決定問題を「点对点」の配線問題に帰着させ、3端子以上の経路決定に際しても同じ「点对点」のルーチンを繰返し使用することにより処理手順を簡略化した。ただし、後に示す処理手順で判るようにこの簡単な処理手順の中で、多端子ネットにおける「点对線」配線を容易に実現している。まず処理手順の中で用いる記号を定義する。

定義1： 着目するシグナル・ネットに含まれる端子  $t_i$  の集合をTとし各  $t_i$  の座標を  $(x_i, y_i)$  とする。

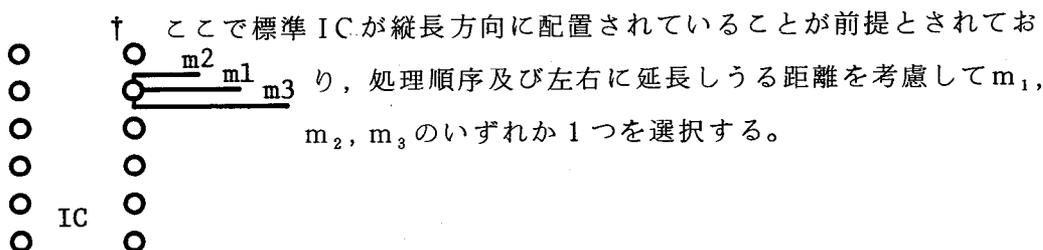
定義2：  $t_i$  について  $(x_i, y_i)$ ,  $(x_i, y_i - 1)$ ,  $(x_i, y_i + 1)$  からそれぞれA面において水平方向に生成し得る線分のうちで処理順序を考慮して適当な1本をレベル0の線分といい、 $l_0(t_i)$  で表わす。

定義3：  $l_0(t_i)$  上の各セルよりB面において垂直方向に生成しうる任意の線分をレベル1の線分といい、 $l_1(t_i)$  で表わす。

定義4：  $l_1(t_i)$  上の各セルよりA面において水平方向に生成しうる  $l_0(t_i)$  以外の任意の線分をレベル2の線分といい、 $l_2(t_i)$  で表わす。

定義5： 2端子  $t_\alpha, t_\beta$  の配線経路の決定に際し、レベル0の線分のみによりつくられる配線経路を  $W_0(t_\alpha, t_\beta)$ , レベルが1以下の線分だけでつくられる配線経路を  $W_1(t_\alpha, t_\beta)$ , レベルが2以下の線分で作られる配線経路を  $W_2(t_\alpha, t_\beta)$  という。

以上の定義にもとづき線分探索は次の手順で実行する。ここで、いまだ結線



されていない端子を未接続端子，すでに結線された端子を接続端子と呼び，それぞれの端子の集合を US, CS とする。

[操作 1]:  $US \leftarrow T, CS \leftarrow \phi$  とする。

[操作 2]: 未接続端子を US より選び出して接続端子と仮定し， $US \leftarrow US - \{t\}$ ， $CS \leftarrow CS + \{t\}$  として操作 3 へ進む。もし  $t$  が存在しない時は操作 5 へ飛ぶ。

[操作 3]:  $t_u \in US$  に関し， $t_c \in CS$  に対して  $l_0(t_c)$  と接続可能な  $l_0(t_u)$  あるいは  $l_1(t_u)$  又は既に配線経路として存在している  $l_1(t_c)$  と接続可能な  $l_0(t_u)$  をすべての  $t_c \in CS$  について探索し，もしあれば，追加線分長が最短の経路を選んで  $w_0(t_u, t_c)$  あるいは  $w_1(t_u, t_c)$  として登録し， $t_u$  を接続端子とする。すなわち， $US \leftarrow US - \{t_u\}$ ， $CS \leftarrow CS + \{t_u\}$ 。すべての  $t_u$  について操作 3 を繰返して操作 4 へ進む。

[操作 4]: US が空なら操作 5 へ進む。そうでなければ  $t_u \in US$  に関し， $t_c \in CS$  に対して  $l_1(t_c)$  と接続可能な  $l_2(t_u)$  又は既に配線経路として存在している  $l_2(t_c)$  と接続可能な  $l_1(t_u)$  をすべての  $t_c \in CS$  について探索し，もしあれば，追加線分長が最短の経路を選んで  $w_2(t_u, t_c)$  として登録し， $t_u$  を接続端子とする。すなわち  $US \leftarrow US - \{t_u\}$ ， $CS \leftarrow CS + \{t_u\}$ 。すべての  $t_u$  に関して操作 4 を繰返し，もし CS に含まれる接続端子が  $t_u$  だけの場合は  $CS \leftarrow CS - \{t_u\}$ ， $US \leftarrow US + \{t_u\}$  として操作 2 へ戻る。そうでなければ操作 5 へ進む。

[操作 5]: 生成された  $W_0(t_\alpha, t_\beta)$ ， $W_1(t_\alpha, t_\beta)$ ， $W_2(t_\alpha, t_\beta)$  をマスター・ファイルに出力し，この時点で未接続の端子は結線不可として次のシグナル・ネットに進む。

[操作終了]

以上の記述から明らかなように，この線分探索ルーチンは「点对点」配線において 3 個以内の水平線分と 2 個以内の垂直線分とからなる経路を発見することを目的としている。

線分探索法は探索処理速度が速く、しかも配線達成率も高いが、生成される経路のパターンに制限があるため、物理的には配線経路が混み合ってきた場合には、結線可能であるにもかかわらず結線不可とする場合もありうる。そこで、すでにかなりの密度の配線が存在するという状況のもとでより複雑なパターンの経路を探索するための配線手法が必要となる。次に、この目的のために本システムで用いた迷路法について説明する。

### 3.5.2 迷路法 [19]

本システムで用いた迷路法は文献 [7]、[9] に基づいたものであるが、その適用に際しては次のような配慮がなされている。すなわち、未結線シグナル・ネットが単一の時には、もし物理的に結線可能であれば必ず解は得られる。しかしながら、複数組の未結線シグナル・ネットについては物理的にはすべて結線可能であるにもかかわらず、実際は先に処理されたネットで生成された不適当な経路が障害となり、後の結線が不可となることが起こる。このことを極力避けるために、生成される経路に各種の「クセづけ」の可能な迷路探索ルーチンを用意した。(表 3-3 参照)。もちろん、ある配線状況のもとで 1 つの未接続ネットに着目した場合には「クセ」を解除した時には結線可能なものが「クセづけ」のために結線不可になることがある。そのかわり、1 つのネットで生成された経路が他の多くのネットの障害となることを予防することができる。表 3-3 に示した各種のクセづけ処理はそれぞれ独立のプログラム・モジュールとなっており、オペレーターが配線状況を検討して自由に選択できる。

表 3-3

ルーチン名	制限内容
MAZE 1	制限なし
MAZE 2	MAZE 1の結果から違反線分 <sup>*</sup> のうち可能な部分を正常層に移す。
MAZE 3	得られた経路中の違反線分の長さが指定値を越えた場合にこれを配線不可とする。
MAZE 4	経路の探索領域を注目するネットがカバーする矩形領域よりX, Y方向に指定値だけ拡張した領域内に限定する。

\* A (B) 面上の水平 (垂直) 線分を正常線分  
A (B) 面上の垂直 (水平) 線分を違反線分と呼ぶ。

### 3.6 高密度配線手法

印刷回路基板の高密度化は、回路の高集積化を要求する回路設計サイドの強い要求とこれを実現可能にする基板製造サイドの技術の向上があいまって最近とみに著しい。このため、特に実装密度の高い印刷回路基板への対処として、本研究では2通りの配線手法を導入した。すなわち、動的な配線処理順序決定法を持つ線分探索法と、チャンネル法である。以下それぞれについて論述する。

#### 3.6.1 動的な配線処理順序決定法を持つ線分探索法 [20]

発見的経路探索手法によって、より高密度な配線を達成させるために重要なことは、

- (1) 配線の処理順序の最適化
- (2) 経路探索過程における経路の最適化

の2点である。まず(1)については、シグナルネット単位に処理順序の決定を行う方法と、シグナルネットをピンペアに分解した後、ピンペア単位で処理順序

の決定を行う方法とがある。3.5.1節で述べた処理手順はネット単位の順序決定法を用いたことは既に述べた通りである。ここではシグナルネットをすべてピンペアに分解する場合の順序決定法について考察する。

ピンペア単位の順序決定法についても、探索処理に先だって決定された順序に従って処理を進める方法と、配線の過程でその状況に応じて最も適当なピンペアを選択する動的な順序決定法が考えられる。多端子ネットの場合、ピンペアの決定そのものについても種々の議論のあるところだが、前者の静的な順序決定法では、一定の決定法で分解されたピンペアについて順序決定後、その順序に従って配線処理を実行していくことになり、以前に生成された経路が後の配線に障害となる状況を減らす効果は限られている。他方、後者の動的な順序決定法では、多端子ネットのピンペアの決定そのものについても、配線状況に応じて最適化していく配慮が可能であり、後の配線に障害となる経路を生成しないようなピンペアを、配線状況を考慮しながら選択処理していくことが可能である。そこで本研究で導入した配線処理順序決定法につき、以下に論述する。

#### (1) 配線順序決定法

同一ネットに含まれる未接続端子Aと既接続部分に属する線分B（既接続部分がない場合は他の未接続端子とする）の組（A，B）をペアと呼び、後述のコストC（A，B）を定義する。以下このコストを用いてペア選択と配線順序決定を動的に行なう配線アルゴリズムの手続きを示す。ここで、配線の実行がコストの小さいものから順次行なわれるため、小さいコストを持つペアの配線が大きいコストを持つペアの配線の障害となることが少ないようにコストの割当てをする必要がある。従来の方法ではペア（A，B）の直角距離，（A，B）を含む最小の矩形の面積，A，Bを結ぶ直線の角度等が採用されてきた。本文では、ダイナミックなペア選択，順序付けを活かし、試みようとする配線の複雑度を含め、これらを総合的に組み合わせて次式によってコストを決定あるいは更新する。

$$C(A, B) = a \cdot V_1 + b \cdot V_2 + c \cdot V_3 + d \cdot V_4 + e \cdot V_5$$

ここで  $a, b, c, d, e$  はパラメータ,  $V_1$  は A, B の直角距離,  $V_2$  は A, B の中点と基板の中心との距離,  $V_3$  は A, B のいずれかが外部端子であれば 0, そうでなければ 1,  $V_4$  は A, B の中心と外部端子との距離,  $V_5$  は A, B を含む矩形内に含まれるピン及びビアの数を表わしている。

#### アルゴリズム I (配線順序決定)

〔操作 1〕 各シグナルネットから最小のコスト  $C(P_i)$  を持つペア  $P_i$  を 1 つずつ取り出し, S に含める。 ( $1 \leq i \leq N$ )

〔操作 2〕 最小のコストを持つペア  $P_{\min}$  を S から取り出す。なければ終了。

〔操作 3〕  $P_{\min}$  に対して後述の配線処理を実行する。配線ができれば操作 4 へ。できなければ操作 6 へ。

〔操作 4〕 S から  $P_{\min}$  を除去し,  $P_{\min}$  を含むネットが配線完了していれば操作 2 へ, そうでなければ操作 5 へ。

〔操作 5〕  $P_{\min}$  を含むネットの中から最小のコスト ( $C(P_i) \geq C(P_{\min})$ ) を持つペア  $P_i$  を取り出し, S へ併合する。操作 2 へ。

〔操作 6〕  $P_{\min}$  をネットより除去 (未配線) し,  $P_{\min}$  のネットの中で最小のコストを持つペアを選び S に挿入し, 操作 3 へ。

上記アルゴリズムにおいて, N はシグナルネットの総数を表わし, ペアを入れるための S はリスト構造を持ち, コストの昇順にソーティングされている。また, 多端子ネットの場合, 配線が進むにつれ, 未端子ピンに対する既接続部分の対象が多くなるため, 一つの未端子ピンに対するペアの対象を制限している。

#### (2) 配線処理

上で述べた配線順序決定手続きの操作 3 によって選ばれたピンペアに対して線分探索法を実行する。ここでは, 高密度基板のために特に経路探索手続きに新しい考察を行なった。すなわち,

(1) 配線処理の過程で, 後の配線に障害となり易い経路を生成しないよう,

探索方向に配慮する。

(ロ) 同じく、探索領域に配慮する。

(ハ) 生成される配線パターンの複雑さにより配線処理を分類し、これらを階層化して使用すること。

の3点であり、いずれも、前段の配線過程で無駄に複雑な経路の生成を防ごうとするものである。これらの配慮により実現した線分探索法の処理フローを図3-13に示す。

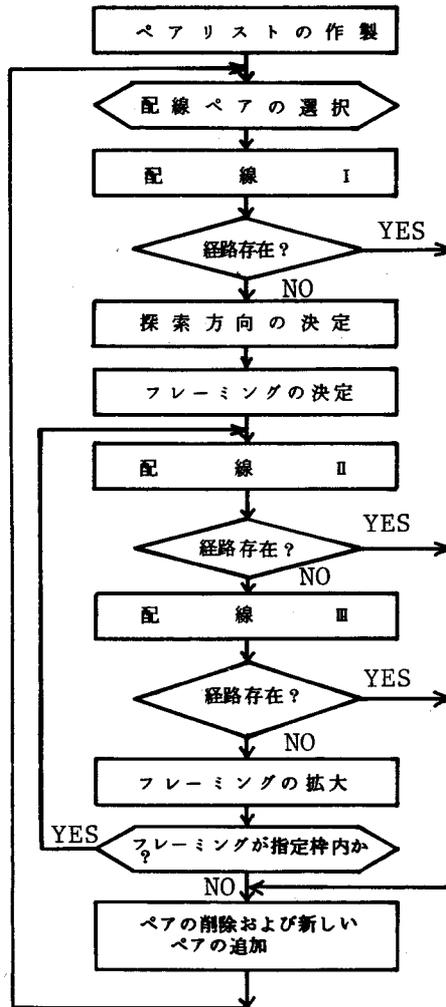


図3-13 動的なピンペアの配線順序  
決定法をもつ線分探索法

図において、探索方向の決定とは、ピンペア（図では単にペアとした）が与えられた時に、配線Ⅱまたは配線Ⅲにおける線分の生成順序をピンペアの基板上の位置を考慮しておこなおうとするものであり、図3-14に一例を示す。

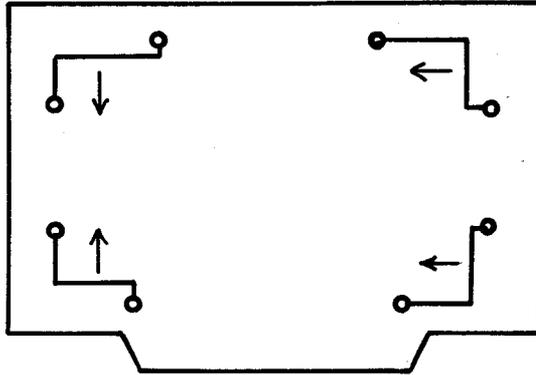


図3-14 ピンペアの基板上的位置を考慮した探索方向の決定

さらに図3-13において、フレーミングの決定とは、与えられたピンペアの配線処理において、経路探索の領域を制限することにより、無駄な経路を防ぐことを目的とする。探索領域の制限は、図3-15に示すように、ピンペアを囲む矩形領域（フレーミング）を設定し、状況に応じてこのフレーミングを変形させることで実現する。

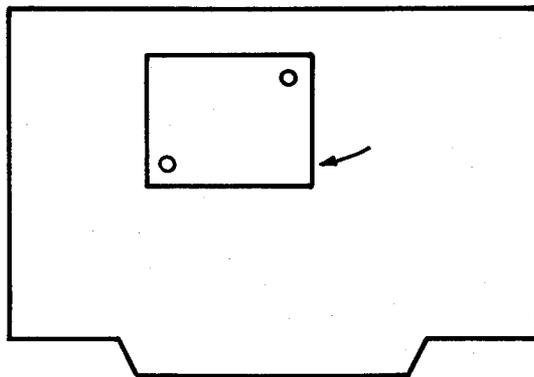
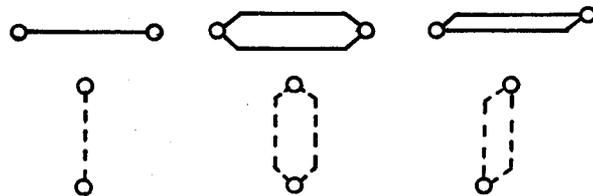


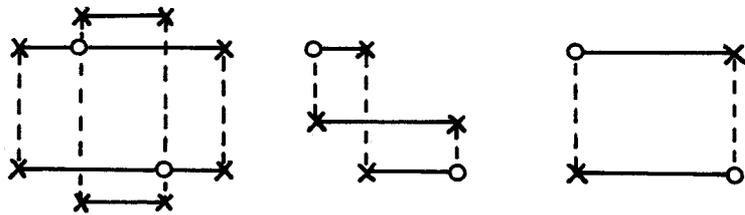
図3-15 フレーミングの設定

さて、図 3-13 の処理フローにおける階層化された配線手続き、配線 I、II、III について説明する。配線 I はペアを形成する 2 つのピンの水平または垂直距離が 1 格子長以下の場合に図 3-16 (a) のパターンによる経路を探索する。配線 II は図 3-16 (b) に示す、2 曲がりまでの経路を探索し、配線 III は同図 (c) に示した 4 曲がりまでの経路を探索する配線手続きである。

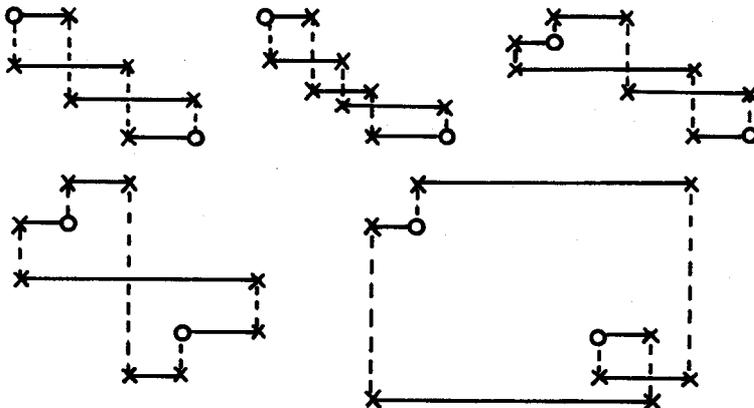
以上に述べた動的な配線処理順序決定法は迷路法にも適用可能であり、本システムでは線分探索法と迷路法ともに適用して効果を上げた。これらの適用効果については第 6 章で実験結果を用いて考察している。



(a) 配線 I による経路



(b) 配線 II による経路



(c) 配線 III による経路

図 3-16 線分探索法の階層化

### 3.6.2 チャンネル構造に基づく配線手法 [21]

印刷回路基板の高密度配線を達成するため、基板製造の技術革新も見逃せない。特に最近では、ICの隣り合うピン間に、配線を2本通すことは容易であり、3本、4本も実現するに至った。しかしながら、これに対応する配線経路決定アルゴリズムの開発は十分ではない。そこで本節では、ICの隣接ピン間の可能配線数 $n$ を理論上は任意に設定し得る、チャンネル構造に基づいた配線手法について論述する。

アルゴリズムは、(I)ビア割当て(II)トラック割当ての2つの段階から成り、前者は与えられた配線要求に対して効率良くいくつかのビアを割当てることにより、経路をビアとチャンネルの系列として求めるものであり線分探索法に基づく。後者は、各チャンネルごとに、いわゆる一行一層配線手法 [22-26] を用いて配線要求を具体的なトラックに割当ててするためのものであり、大略 [22] に基づいている。本研究によるアルゴリズムの説明に先だて、基板上に設定するチャンネル、トラック、ストリートの定義をおこなう。

2層基板の一方の層をA面、他方をB面と呼び $\frac{1}{10}$ インチの基本格子を設定する。ICは整然とした配列を前提とし、したがってピンはいくつかの格子上に整列する。また、ビアも必要な数を推定し、ピンと同様に格子上に整列させる。さて、図3-17に示すように、ピンまたはビアが整列する格子を水平チャンネル、垂直チャンネルと呼ぶ。A面では各水平チャンネル上の配線が、B面では各垂直チャンネル上の配線が行われる。また、各チャンネル間をストリートと呼び、ストリートはさらにトラックと呼ばれる最小の分割単位から構成される。

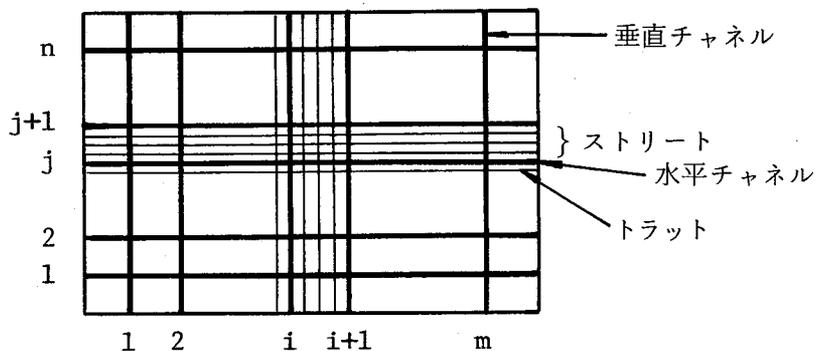


図3-17 チャンネル、ストリート、トラックの設定

さて、ストリート  $S_i$  に許されるトラック数を許容トラック数と呼び  $T(S_i)$  で表わし、ストリートごとに指定できるものとする。さらに各格子点  $(i, j)$  は A 面, B 面に関して上, 下ストリートの容量を考慮した, チャンネルごとに指定された定数  $C_A(i, j), C_B(i, j)$  を持つものとする。以上の定義に基づきアルゴリズムの詳細を以下に述べる。

端子対ごと, あるいはシグナルネットごとに順次配線を行う場合, 以前の配線が次の配線の障害となるので配線順序の選択によっては非常に悪い結果を招いてしまうということがあるが, この問題に対処するため, 配線順序決定のためのいくつかの手法が提案されている。<sup>[5]</sup>ここでは前節の配線順序決定法を用いた。

#### (1) ビア割当て

前節のような手法を用いた場合においても, 配線自体は順次に実行されるので結果として配線の混雑度の偏在は避けられない。即ち, 図 3-18 に示されるように最後に C を割当てれば C に必要なビア数が少ないため混雑度の集中が起こり, 配線順序決定だけでは十分でなく, 従って配線経路の適切な選択 (基板全体にわたる平滑化) が必要である。また, 平行な配線経路をできるだけ避けるため, ビア割当て領域を限定する。

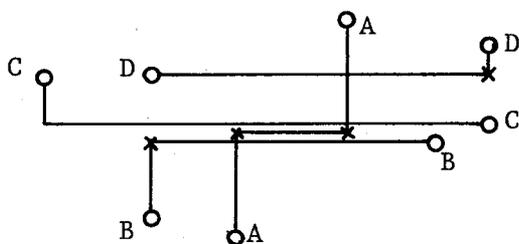


図 3-18 配線経路の集中

以下にビア割当てのアルゴリズムを示す。

アルゴリズム B (ビア割当て)

各格子点  $i$  に割当てられた配線要求の数を  $C_i$  とし, 各  $C_i$  の上限値を  $C_0$  とする。また, 配線ペアに対して配線可能領域をペアの各座標を対角の頂点とする矩形にとる。

〔操作 1〕  $\alpha \leftarrow 1$

〔操作 2〕 配線可能領域内で,  $C_i \leq \alpha$  を満足する格子点  $i$  を経由する経路を探索する。

もしあれば, ビア割当て完了。なければ操作 3 へ。

〔操作 3〕  $\alpha \leftarrow \alpha + 1$

もし  $\alpha < C_0$  ならば, 操作 2 へ。

そうでなければ, 操作 4 へ。

〔操作 4〕 配線可能領域を広げる。もし, 配線可能領域が限界値を越えれば終わり。

そうでなければ, 操作 1 へ。

## (2) トラック割当て

トラック割当てはビア割当てで得られた各行各列のチャンネル上の配線を行なうが, これは一行一層配線問題<sup>[22-25]</sup>として一般に論じられているものと同様の問題である。本文では, Abel の分枝限定法<sup>[22]</sup> (branch and bound method) を改良した手法を用いているが, [22] の方法ではチャンネル上で配線すべきネットの総数を  $n$  としたとき, 最適なトラック割当てを求めるのに最悪  $n!$  の手数を要する。しかし, 本文で論じているようなプリント板の配線問題においては, 最適な解を求める必要はなく, 与えられたトラック数以内という制限を満たすいわゆる実現可能解を 1 つ見出せば十分である。本節では, 実用可能な手数にするための手法および二行一層配線への拡張について述べる。

### (3) 一行一層配線

実軸  $r$  上に等間隔に並べられた  $n$  個のピン  $P_1, P_2, \dots, P_n$  を考える。同一電位に配線すべきピンの集合をネットと呼び、互いにピンを共有しないネットの集合をネットリストと呼ぶ。ネットリスト  $L = \{ N_1, N_2, \dots, N_n \}$  において、各ネットを区間で表わす（これを区間線表現と呼ぶ）ことにしたとき、この  $n$  本の線分に対して順列は  $n!$  個考えられ、各々には一意的な実現が存在する。以降の議論においては、術語は文献 [26] に主として従うものとする。図 3-19 に、区間線表現の 1 つの順列とその実現を示す。

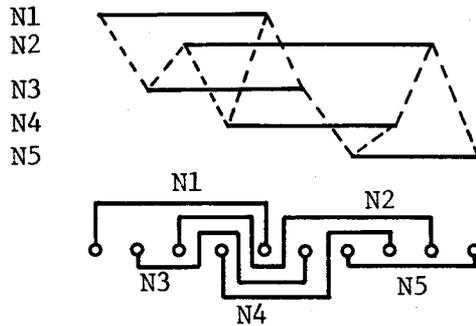


図 3-19 区間線表現とその実現

区間線表現において、各ピンに対しそのピンに垂直にたてた線分と交差する水平線分の数を密度、その最大数を最大密度と呼ぶ。以下の制約条件を満たす順列を求めるために [22] の分枝限定法を使っている。

- (1) 上下のトラック数が各々対応するストリートの許容トラック数以下であること。
- (2) 互いに隣りあったピン  $P_i$  と  $P_j$  の間を通る線分数がそのストリートの許容トラック数以下であること。

以下では問題を分割することによって効率的に解を求めることを考察する。区間線表現において  $x$  軸をピンの座標、 $y$  軸を密度にとると一般には図 3-20

のような谷を持つ形となるので、この谷の部分で分割し領域  $R_1, R_2, \dots, R_r$  に分ける。まず領域  $R_1$  に含まれる区間線分を取り出し、これらに対して解を求める。次に、領域  $R_2$  では  $R_2$  に端点をもつ区間線分と  $R_1, R_2$  にまたがる区間線分に対して解を求める。このとき、 $R_1, R_2$  にまたがる線分に対する順列は  $R_1$  で求めた順列に固定しておく。以上のことを領域  $R_r$  まで行ない全体の置換を求める。こゝで得られた解は、各領域ごとには最適であったとしても全体としては必ずしも最適解ではないが、最大密度が8程度の場合は実用的な手数で解が得られる。また谷での分割密度を0または1にすると最適解と一致するため、1Cピン間3~4本の配線を想定した場合、充分実用的な解が得られる。

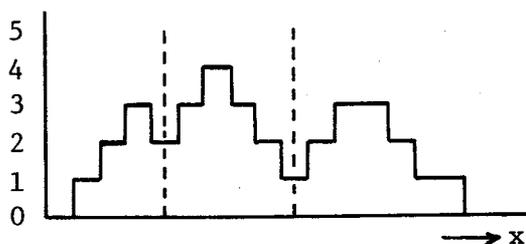


図3-20 区間線表現における密度変化

#### (4) 二行一層配線

図3-21に示すような隣り合ったチャンネルの2点A, Bを結線する場合、ビアをあけずに直接一層で結んだ方がビアの削減および迂回した配線をしないため好ましい。二行一層配線を行なうためには、ビア割当てされた異なるチャンネル上の端子対は、それぞれのチャンネルに区間として登録し、トラック割当ての段階で軸R上に0の座標値を持つ仮の端点を考え、これと二行一層を行なうピンを端点にもつ線分を付加する。そして、順列を求めるときこの付加した線分を一番上または下に固定しておけば、このピンから出る線分は他のネットの線

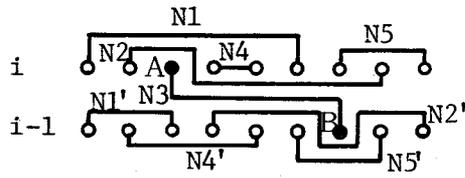


図 3-21 二行一層配線

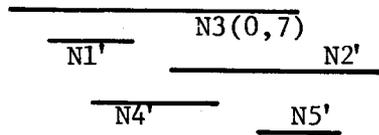
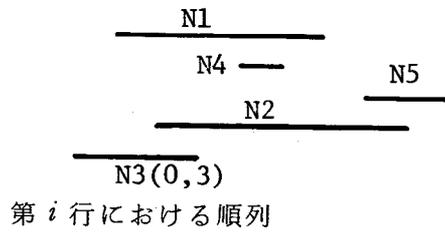


図 3-22 図 5 における区間線表現

分と交差せずに配線できる。

図 3-21 の例を図 3-22 に示す。ここで、ネット  $N_3$  は第  $i$  行に実軸上  $(0, 3)$  を持つ区間線分と第  $i-1$  行に実軸上  $(0, 7)$  を持つ区間線分に分けられている。

また、図 3-23 は二行一層で垂直ストリートの容量を各々下から 9, 5, 5, 9, 5 に割当てた例を示す。

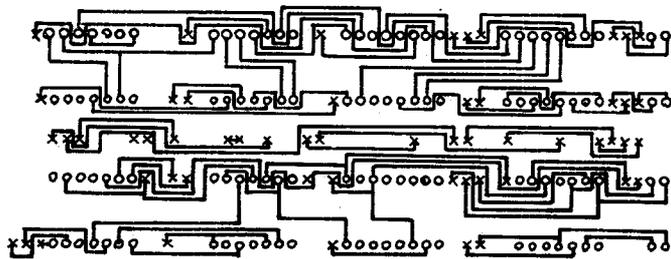


図 3-23 二行一層配線の例

### 3.7 結 言

本章では、印刷回路基板の自動設計における三つの重要な問題、すなわち、ゲート割付け、部品配置ならびに経路探索について、本研究において開発した手法に関して論述した。上記の問題は、いずれも大型計算機で運用されることが従来の常識であったが、ここではこれらをミニコンの下で効率よく運用し得る簡潔な処理手続きを提案した。

まず、ゲート割付け手法では、配線率向上を目的として同一 IC 内結線要求数を最大に、異なる IC 間結線要求数を最小にすることを目的とする手続きを実現した。

部品配置においては、抵抗、コンデンサなど個別部品の取扱いが 1 つの障害となっているという事実をふまえて、本研究では、配置の前段階において個別部品を、それと電気的結合度の強い IC に吸収し、標準部品の配置終了後に IC から抽出して、その近傍に配置する手法を導入した。また配置の良さの尺度として、従来、仮想総配線長または最小木の長さの総和を最小化するという目的関数がよく用いられるが、これでは基板上の局所の配線要求を集中せしめて却って配線率を低下させることを指適し、配線率向上のために、配線要求を基板上に均一に分散させることを目的とするグループ分割に基づく配置手法を提案した。

次に、配線設計手法に関しては、処理に要するメモリ容量の削減と処理手続きの簡略化に重点を置いて開発した線分探索法ならびに迷路法について論述した。特に、線分探索法に関しては、与えられた結線要求をすべてピンペアに分解し、配線対象とすべきピンペアを配線状況に応じて最適なものを選択するという、動的な配線処理順序決定法を持つ線分探索法を提案した。

## 第 4 章 会話型設計手法

### 4. 1 緒 言

前章で述べた部品配置ならびに自動配線の処理手続きは、いずれも計算機による一括処理（バッチ処理）であり、処理の途中で人間の介入を許さない。しかしながら一方では、まず部品配置を例にとると、標準 IC 以外の抵抗、コンデンサ、トランジスタなど個別部品が数多く搭載される印刷回路基板の場合には、バッチ処理だけでは満足な解が得られるとは限らない。本システムでは前章で述べた通り、これらの個別部品を部品配置の前段で親モジュールに吸収し、後段で親モジュールの近傍に引き出すという手法で、自動配置段階での個別部品に関する煩わしさを回避しているが、親モジュール近傍に引き出した後の個別部品の絶対位置の決定には、より微細な配慮が必要であり、これは人間のパターン認識能力を有効に発揮し得る作業といえる。本システムでは、主としてこの目的のために会話型配置設計手法を導入した。次に配線設計については、以下に述べる二つの目的すなわち、

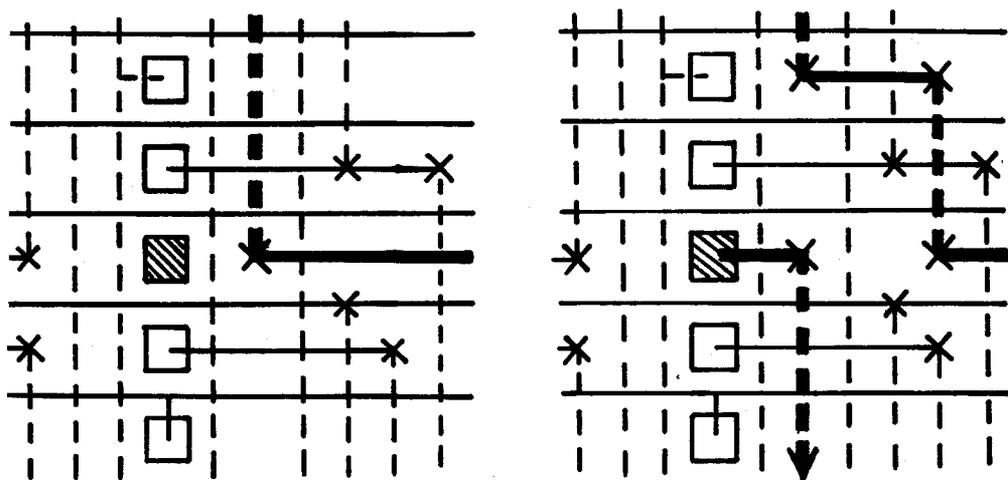
- ① 配線設計段階において、未結線ピンが生じた場合、自動配線処理で生成した経路の一部を変更して、障害となる経路を取除き、再び自動配線処理へ戻すこと。
- ② 設計の最終段階において、規格外部品に関する詳細の修正作業を実行すること。

の目的のために会話型配線設計手法を導入した。ただし、いずれの場合にも、従来の会話型処理がグラフィック・ディスプレイによる人手設計の型をとっていたのに対し、本システムでは、バッチ処理による自動設計工程の補間を実行するための会話型処理である点が特徴である。以下にその内容を詳述する。

### 4. 2 会話型配線設計手法 [19]

線分探索法や迷路法の実行に際して、処理順序が後になる結線要求をあらかじめ考慮しつつ配線処理を進めていくということは困難であり、しかも一度決

定した経路は以下の結線に際し障害物として取り扱うため未結線のピンを発生させることが多い。そこで本システムでは，会話型修正処理を設計段階で活用することを考えた。まず図4-1(a)を参照する。



(a) 修正前 (■未結線ピン)

(b) 修正後

図4-1 配線修正の一例

同図で■が結線不可ピンである。この場合，このピンが結線されるべき相手のピンまたは線分群は図の部分には存在していないが，それを見るまでもなく，このピンが障害物に完全に囲まれてしまって居り，ピン間1本配線規則ではこの包囲からエスケープできないことが判る。ところで，図(a)の太線で示した経路に着目すると，図(b)のように変更することにより結線不可ピンは包囲からエスケープすることが可能となる。勿論，エスケープした後，別の場所で再び障害物に包囲されないとの保証はない。しかしながら，経験上では結線不可ピンのほとんどがこのような状況であり，上記のようにこの包囲からエスケープするための経路変更だけを配線修正すれば，迷路法の再実行で結線可能である。

この修正目的のために本システムで実現した会話型配線修正処理ルーチンを SGRAPH と呼び、以下にその詳細を述べる。

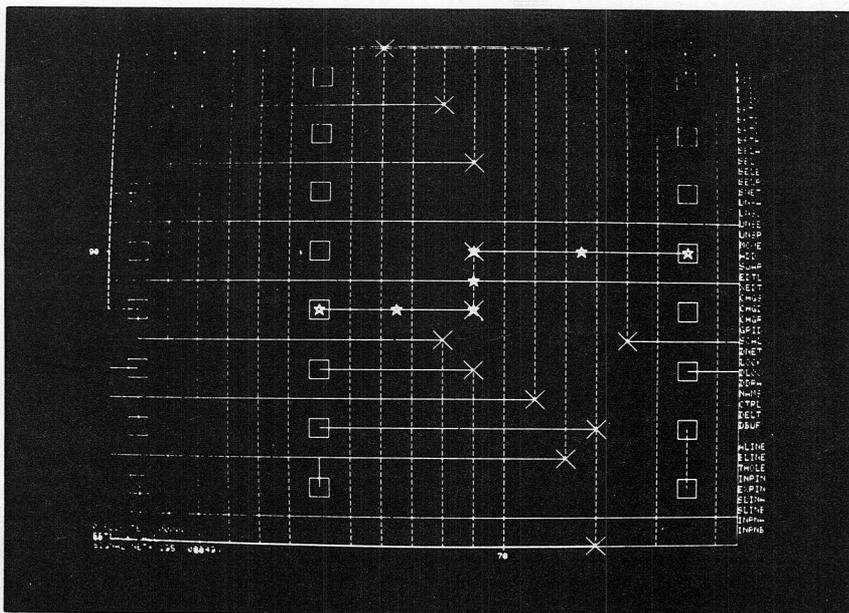
SGRAPH で用意した修正コマンドは 40 種に及び、次のような機能に大別される。

- (1) 画面の拡大，縮小，移動，消去
- (2) 任意の点，線分の選択
- (3) 選択された点，線分の移動，除去
- (4) 点，線分の追加
- (5) 指定したネットに属する点，線分の表示

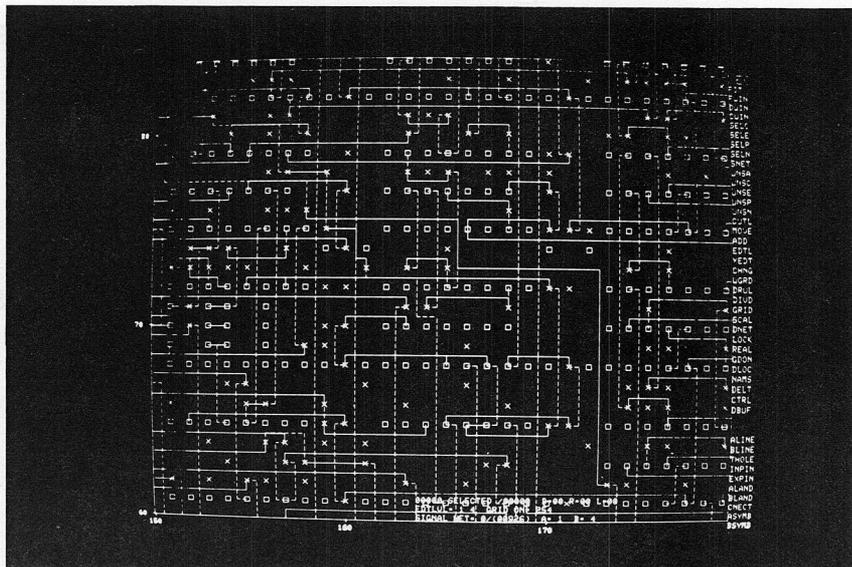
などである。図 4-2 に一例を示す。同図(a)は自動配線後のパターンの一部を拡大したものであり、ここで特徴的なのは、指定したネットに属する線分、点に☆印をつけて表示していることである。この例では全ネット数 290 の中でネット番号 97 が選択されている。これによりネットの追跡が容易になるだけでなく、たとえば、ネット 97 についての経路変更に際して、新しく追加する線分、点にも全て 97 のネット番号が付加されるため、設計完了時点において、以下の検査、すなわち

- (1) 同一ネット内の開放故障（オープン故障）
- (2) 異なるネット間の短絡故障（ショート故障）

が可能となる。同図(b)には多層基板における SGRAPH 例を示した。表 4-1 にコマンドの機能一覧表を掲げた。



(a) 部分拡大図 ☆印がネット79を示している



(b) 多層基板の例。スルーホール (×印) に線分が接続されていないのは現在観察している内層ペア(2, 3層)には線分がなく、外層ペア(1, 4層)に線分が存在することを意味している。

図 4 - 2 SGRAPH の一例

表 4-1 SGRAPHのコマンド一覧表

(1) コントロール・モード

コマンド	機 能
XEQ	コマンド・バッファ内のコマンドを順次実行する
LOAD	配線設計用マスターファイルの指定された層にあるデータからグラフィックデータを作成する
STOR	グラフィックデータを配線設計用マスターファイルに戻す
EDIT	修正（エディット）モードに入る
STAT	エディットモードで使用する面を示すシンボルA, Bに対応する実際の層を定義する
DBUF	現在バッファリングされているコマンドの全てを解消する。

(2) エディティング・モード

(a) 画面操作コマンド

FIT	配線パターンを画面全体に表示する
FWIN	2点 $P_1$ , $P_2$ で定義される矩形領域内の配線パターンを拡大表示する
DWIN	現在表示されている画面の中心を基準として4倍の面積にして表示する。
SFTU	現在表示している画面の1/2上方までシフトして表示する
SFTD	現在表示している画面の1/2下方までシフトして表示する
SFTL	現在表示している画面の1/2左方までシフトして表示する
SFTR	現在表示している画面の1/2右方までシフトして表示する

(b) 表示レベルの操作コマンド

EDTL	指定された層を表示レベルにして画面に表示する
XEDT	指定された層を表示レベルから解除する

(c) 素子選択コマンド

SELP	2点 $P_1$ , $P_2$ で定義される矩形領域内にあるピン, スルーホールをセレクト (選択) し, セレクトマーク を付けて表示する。
SELN	現在設定されている配線ネット番号 (画面下に表示されている SIGNAL NET =nnn) を有する素子をセレクトし, セレクトマーク をつけて表示する
SELA	全ての素子をセレクトし, セレクトマーク をつけて表示する
SELC	2点 $P_1$ , $P_2$ で定義される矩形領域内にある素子をセレクトし, セレクトマーク を付けて表示する。
SELE	2点 $P_1$ , $P_2$ で定義される矩形領域内にある線分, 禁止領域の端点をセレクトし, セレクトマーク を付けて表示する
SNET	1点 $P_1$ で指定した場所にある素子のもつ配線ネット番号を設定する
UNSA	全てのセレクトを解除する
UNSC	2点 $P_1$ , $P_2$ で定義される矩形領域内にあるセレクトされている素子のセレクトを解除する
UNSE	2点 $P_1$ , $P_2$ で定義される矩形領域内にあるセレクトされている線分, 禁止領域の端点のセレクトを解除する
UNSP	2点 $P_1$ , $P_2$ で定義される矩形領域内にあるセレクトされているピン, スルーホールのセレクトを解除する
UNSN	セレクトされている素子のうちで, 現在設定されている配線ネット番号を有する素子のみセレクトを解除する

(d) 移動, 追加, 消去, 変更コマンド

MOVE	セレクトされている素子および線分, 禁止領域の端点を $P_1$ , $P_2$ の差分だけ移動する
ADD	指定した素子を指定した場所に追加する 素子名は画面右下に表示されておりタブレットペンでこれを指定する 1) ALINE …… A面の線分 2) BLINE …… B面の線分 3) AKNSH …… A面の禁止領域 4) BKNSH …… B面の禁止領域 5) TKNSH …… スルーホール禁止領域 6) THOLE …… スルーホール 7) INPIN …… ピン
DELT	セレクトされている素子を消去する
CHNG	配線ネット番号, ドリル番号, ラウンド番号, ライン番号の設定を変更する。現在セレクトされている素子に関してはその属性が変更後の値になる。
GRID	格子単位で画面上にグリッドを表示するためのオン・オフスイッチ (初期状態ではオフにセットされている)
SCAL	格子単位でX軸Y軸別に座標軸を表示するためのオン・オフスイッチ (初期状態ではオフにセットされている)
PNLK	配線ネット番号が1以上のピンの移動および消去を禁止するためのオン・オフスイッチ
DNET	現在設定されている配線ネット番号を有する素子にマーク を付けて表示するためのオン・オフスイッチ
LOCK	線分を追加する時, 水平または垂直線分でなければエラーメッセージを出力して斜線の追加が出来ないようにするためのオン・オフスイッチ
DLOC	点 $P_1$ で指定された場所の座標値を表示する
DDRA	全素子の種類別個数を表示する

CUTL	2点 $P_1$ , $P_2$ で定義される矩形領域内にある線分を $P_1$ , $P_2$ の中点で2本の線分に切断する
NAMS	セレクトされている素子の属性を表示する
CTRL	コントロールモードに戻る
DBUF	現在バッファリングされているコマンドの全てを解消する

次に、会話型配線設計処理のもう一つの目的、すなわち、設計の最終段階における、規格外部品に関する詳細の修正作業について述べる。

印刷回路基板の設計自動化のためには、ある程度の標準化は前提条件である。この場合、搭載部品のほとんどを占める IC が  $1/40$  インチピッチであるため、設計システムも  $1/40$  インチまたは  $1/20$  インチを基本格子とするのが妥当である。ところが IC 以外の部品、たとえば、外部端子、スイッチ類、ボリューム類などにはミリ規格部品が多いのが現状である。しかも、これらの部品は、ピンの中心座標が格子に乗らないだけでなく、IC ピンと異なる種々の穴径、パターン形状を要するのが普通である。そこで、本システムでは、これらの規格外部品に対する最終的なパターン修正を実行するために、会話型配線設計処理 CG-RAPH を導入した。

SGRAPH における画面が、ピンは□、スルーホールは×、配線経路は幅を持たない実線で表示された、シンボライズされた画であったのに対し、CGRAPH ではランドにはランド径、線分には線幅を持たせて実体的な画となっている。また座標指定は  $1/1000$  ミリまで分解可能であり、その任意の整数倍の格子の設定と表示が可能である。このルーチンにより外部端子やスイッチ類などに多いミリ規格部品に対する微細な修正作業が可能となる。図 4-3 に実施例を示している。この作業結果によりフォトプロッターによる作画時のアパーチャの選択や、ドリルマシーン作動時のスピンドルの交換が自動的に制御できるように、CGRAPH では線幅、ランド径、穴径、外部端子の形状などをテーブル



表 4-2 CGRAPH に特徴的なコマンド

(1) コントロール・モード

コマンド	機 能
STAT	エディットモードで使用する面を示すシンボル A, B に対応する実際の層を定義する
DTBL	ドリル番号, ラウンド番号, ライン番号とそれに対応する大きさおよび外部端子, コネクタの形状の定義変更を行うテーブルモードに入る
FADD	外部コマンド用ソースデータファイルを読み取りソースデータに記述された外部コマンドを実行する
DRILL	ドリル番号テーブルの定義, 変更を行う 定義, 変更を行うドリル番号を指定し, その直径を $1/100$ mm 単位で指定する
ROUND	ラウンド番号テーブルの定義, 変更を行う 定義, 変更を行うラウンド番号を指定し, その直径を対応するアパーチャ番号で指定する
LINE	ライン番号テーブルの定義, 変更を行う 定義, 変更を行うライン番号を指定し, その巾を対応するアパーチャ番号で指定する
EXPIN	外部端子の形状の定義, 変更を行う 定義, 変更を行う外部端子番号を指定し, その端子の巾, 長さ, ピッチを指定する
CONNECT	コネクタの形状の定義, 変更を行う 定義, 変更を行うコネクタ番号を指定し, そのピッチを指定する

(2) エディティング・モード

ADD	<p>指定した素子を指定した場所に追加する</p> <p>素子名は画面右下に表示されておりタブレットペンでこれを指定する</p> <p>1) ALINE ..... A面の線分</p> <p>2) BLINE ..... B面の線分</p> <p>3) THOLE ..... スルーホール</p>
-----	---

	4) INPIN ..... ピン
	5) EXPIN ..... 外部端子
	6) ALAND ..... A面のランド
	7) BLAND ..... B面のランド
	8) CNECT ..... コネクター
	9) ASYMB ..... A面のシルク印刷用シンボル, 文字
	10) BSYMB ..... B面のシルク印刷用シンボル, 文字
	11) APSYM ..... A面のパターン文字
	12) BPSYM ..... B面のパターン文字
CHNG	配線ネット番号, ドリル番号, ラウンド番号, ライン番号の設定を変更する。現在セレクトされている素子に関してはその属性が変更後の値になる
WGRD	1 格子 (グリッド) の長さを 1/1000 mm 単位で設定する
DRUL	2 点 P <sub>1</sub> , P <sub>2</sub> 間に最小目盛 0.1 mm のルーラーを表示する
DIVD	2 点 P <sub>1</sub> , P <sub>2</sub> 間を通す線分の巾を考慮に入れて等間隔になる様に分割する
REAL	配線パターンを画面に表示する場合シンボル化したパターンで表示するか実寸の巾を有するパターンで表示するかを指定するオン・オフスイッチ

#### 4.3 会話型配置設計手法 [19]

印刷回路基板の自動設計にとって最も煩わしい問題は、部品配置における個別部品の取扱いである。本システムでは第3章3節で述べた通り、自動配置の前段において、個別部品をそれと電気的結合度の強い IC (親モジュール) に吸収し、配置問題を標準部品のみについて解いた後に個別部品を親モジュール近傍に引き出すという手法を導入した。しかしながら、特に高密度基板においては、より詳細に部品配置に手直しを施したいという場合があり、部品配置段階での人手の介入は避けられないものである。そこで、本システムでは、この人手介入による配置設計を効率的に遂行し得るよう会話型配置設計手法を導入した。したがって本手法は、自動配置手法により得られた配置をもとに、グラ



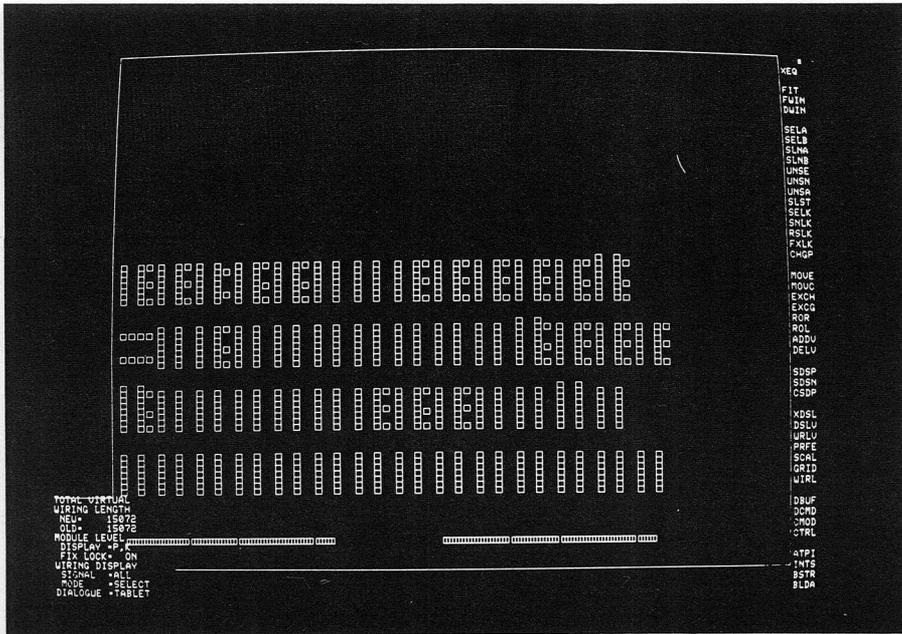


図 4 - 4 (b) 部品のピン位置を詳細に表示している

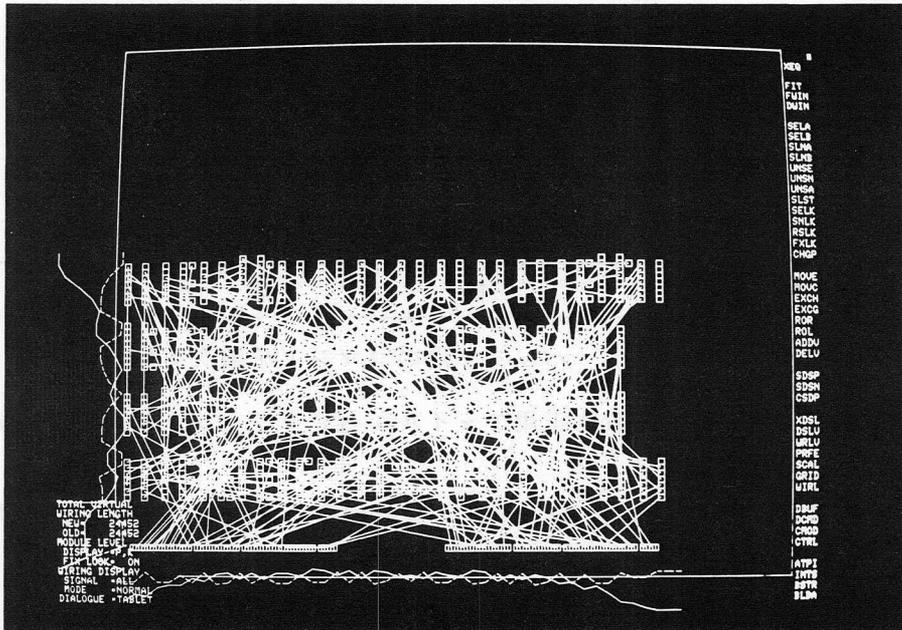


図 4 - 4 (c) 配線要求をネット毎に最小木で表示し、  
図の左と下にチャンネル容量(破線)と  
チャンネル要求数(実線)をグラフ表示

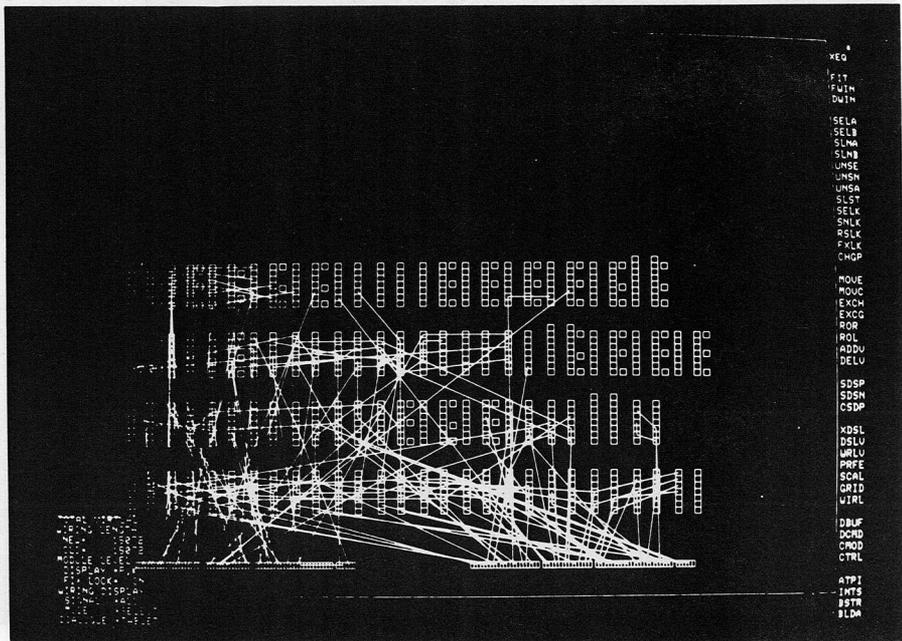


図 4 - 4 (d) 外部端子に接続するネットのみを最小木で表示したもの

表 4 - 3 PGRAPHのコマンド一覧表

(1) コントロール・モード

コマンド	機 能
XEQ	コマンド・バッファ内のコマンドを順次実行する
LOAD	部品配置修正用ファイルからグラフィックデータを作成する
STOR	グラフィックデータから部品配置修正用ファイルを作成する
EDIT	修正（エディット）モードに入る
ATPI	選択された部品について互換法を用いて配置の反復改善を実行する

XMOD	ATPI 実行に際し配置交換の基準点を指定する 回路部品の中心点 …………… `CP` を指定する 1 番端子 …………… `FP` を指定する 外形の左下角 …………… `LL` を指定する 外形の左上角 …………… `LU` を指定する 外形の右下角 …………… `RL` を指定する 外形の右上角 …………… `RU` を指定する
DBUF	現在バッファリングされているコマンドの全てを解消する
DCMD	バッファリングされている最後のコマンドのみを解消する

(2) エディティング・モード

FIT	配置パターンを画面全体に表示する
FWIN	2 点 $P_1$ , $P_2$ で定義される矩形領域内の配置パターンを拡大表示する
DWIN	現在表示されている画面の中心を基準として面積 4 倍の領域を表示する
SELA	2 点 $P_1$ , $P_2$ で定義される矩形領域内にある部品をグループ A として選択し、選択マーク $\nabla$ を表示する
SELB	2 点 $P_1$ , $P_2$ で定義される矩形領域内にある部品をグループ B として選択し、選択マーク $\Delta$ を表示する
SLNA	キー入力された部品をグループ A として選択し、選択マーク $\nabla$ を表示する
SLNB	キー入力された部品をグループ B として選択し、選択マーク $\Delta$ を表示する
UNSE	2 点 $P_1$ , $P_2$ で定義される矩形領域内にある部品の選択を解除する
UNSN	キー入力された部品の選択を解除する
UNSA	全ての選択を解除する
SLST	選択されている部品の名称と状態を表示する

SELK	2点 $P_1$ , $P_2$ で定義される矩形領域内の部品の選択を禁止する
SNLK	キー入力された部品の選択を禁止する
RSLK	SELK, SNLK でセットした部品の選択禁止を解除する
FXLK	外部端子部品と禁止領域の選択禁止をオン, オフするためのスイッチ
RNAM	部品名を変更する
MOVE	選択された部品を指定された距離だけ移動する
ARNG	<p>選択された部品を下に示す移動形式に従って指定された場所に移動する</p> <p>1番端子のX座標を <math>x_1</math> へ移動する …… 'X' を指定する</p> <p>1番端子のY座標を <math>y_1</math> へ移動する …… 'Y' を指定する</p> <p>外形の下端を <math>y_1</math> へ移動する …… 'D' を指定する</p> <p>外形の上端を <math>y_1</math> へ移動する …… 'U' を指定する</p> <p>外形の右端を <math>x_1</math> へ移動する …… 'R' を指定する</p> <p>外形の左端を <math>x_1</math> へ移動する …… 'L' を指定する</p>
EXCH	指定された2個の部品の位置を交換する
EXCG	A, B 両グループの部品群の位置を交換する
ROR	選択された部品を基準点を中心に時計方向に90度回転する
ROL	選択された部品を基準点を中心に反時計方向に90度回転する
SDSP	2点 $P_1$ , $P_2$ で定義される矩形領域内にある部品を配線要求表示状態に設定する
SDSN	キー入力された部品を配線要求表示状態に設定する
CDSP	SDSP, SDSN の設定を解除する
XDSL	<p>指定された層のデータの表示設定を解除する</p> <p>部品の外形図 …… 'S' を指定する</p> <p>部品の名称 …… 'N' を指定する</p>

	部品のピン ……………`P`を指定する
	部品の1番端子 ……………`F`を指定する
	禁止領域 ……………`K`を指定する
DSL V	指定された層のデータを表示設定する
WRL V	配線要求表示状態を設定する
PREF	配線要求密度分布をグラフ表示する
WIRL	最小木の長さの総和を表示する
SCAL	格子単位で水平，垂直軸に座標値を表示する
GRID	格子単位で画面上にグリッドを表示する

#### 4.4 結 言

印刷回路基板の自動設計のためには標準化が前提となることは論を待たないが、標準化には、基板形状そのものの標準化と搭載する部品の標準化があり、中小型情報処理の装置の場合にはいずれの標準化も進んでいないのが実態である。このため、自動設計システムとしては、標準化が達成されていない基板に対しては何らかの手段を講じる必要があり、本システムでは会話型設計手法を導入した。部品配置段階における会話型設計手法は、特に非標準部品の配置修正に所期の効果を達成した。配線設計における会話型設計手法は、発見的経路探索処理ルーチンで発生した未接続ピンを接続するため、配線修正→迷路法の再実行という処理過程を繰返し実行することにより、高密度実装基板に対応できるシステムを実現した。また、基本格子に乗らない非標準部品に関する詳細修正を実行するため $1/1000$ ミリまでの座標指定を可能にした。

## 第 5 章 自動設計システム

### 5.1 緒 言

従来、印刷回路基板自動設計システムは、それ自体単独で利用されるよりも、むしろ全体的な DA システムの中の一つのアプリケーション・プログラムとして、論理シミュレーション、分割、割付け、設計検査、ボードテストなどと並んで利用されることが一般的であった。このような利用形態で対象となる基板の仕様について考察すると、そのほとんどは電子計算機または電子交換機に搭載される基板であり、かなりの程度に標準化の進んだものと考えられる。一般に、基板の標準化には、搭載部品の種類の制限、部品搭載密度の制限など困難な制約が伴うのが普通であるが、そのデメリットに比較しても、設計から製造、検査までの一貫した DA 化のメリットが大きいいため、基板の標準化が達成されたものと考えられる。実際、電子計算機や電子交換機などの大きなシステムでは製品の信頼性を維持するためには DA 化は不可欠である。一方、各種の中小型情報処理機器においては基板の標準化・規格化が困難であり、しかも近年の多品種少量生産の要求により一段と製品開発期間の短縮、省力化が望まれている分野である。

このような背景のもとに、より広い分野で適用できる自動設計システムを実現するため、本研究では、前章で述べた各手法を実現するにあたって、次のような目標を設定した。

- (1) 配置、配線設計問題など、従来大型計算機で実行されることが常識であった処理も含め、すべてをミニコンピュータで実行すること。
- (2) 配置、配線設計問題における、計算機によるバッチ処理の欠点を補間するために、マン・マシン会話型設計システムとすること。
- (3) 搭載部品や基板形状が標準化されていない印刷回路基板への適用性を高めること。

以下に、本研究で実現した自動設計システムについて述べる。

## 5.2 システムのソフトウェア構成 [27]

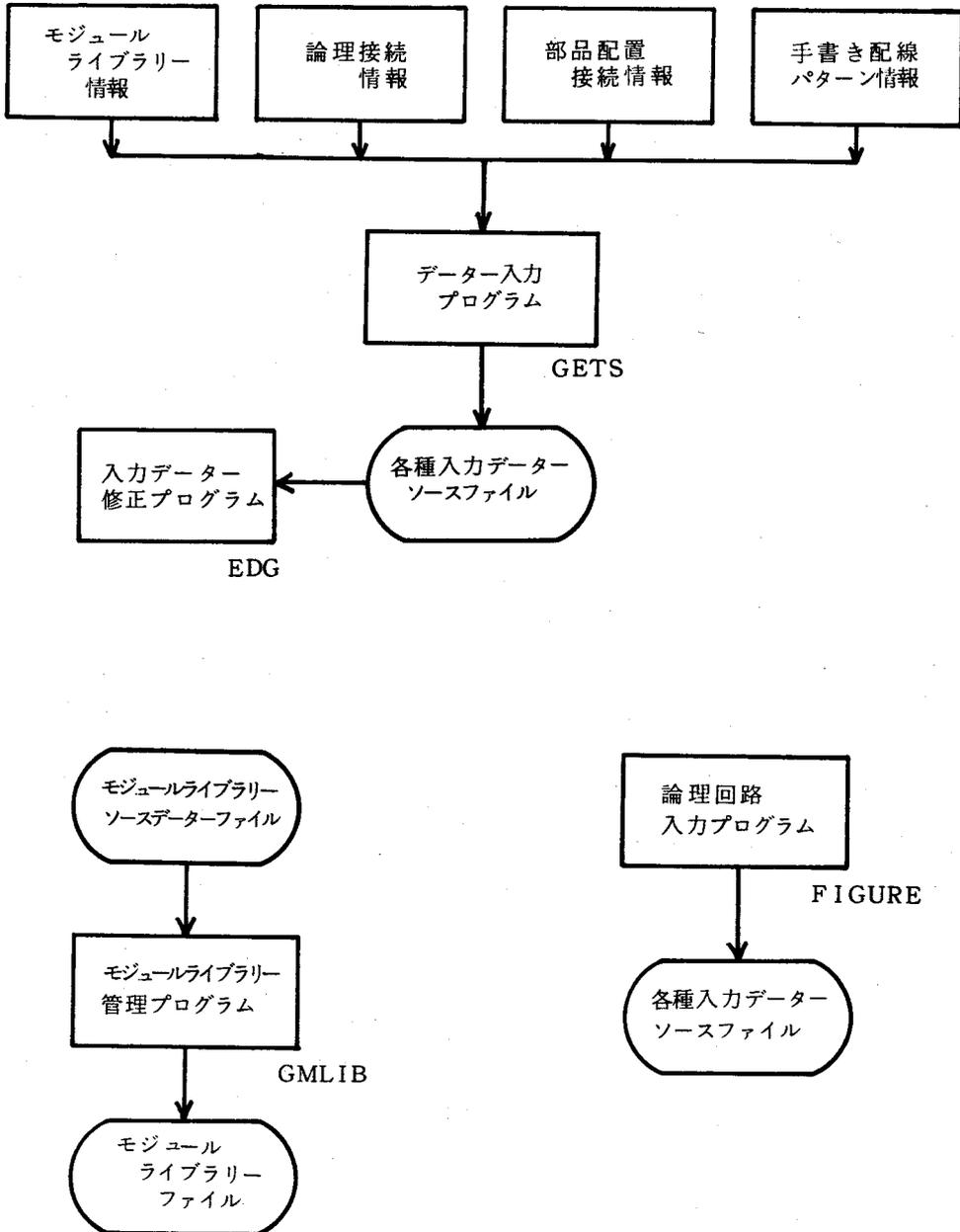
本システムのソフトウェア構成の概要を図 5-1 に示す。まず、システムの各種のデータ・ファイルについて説明する。

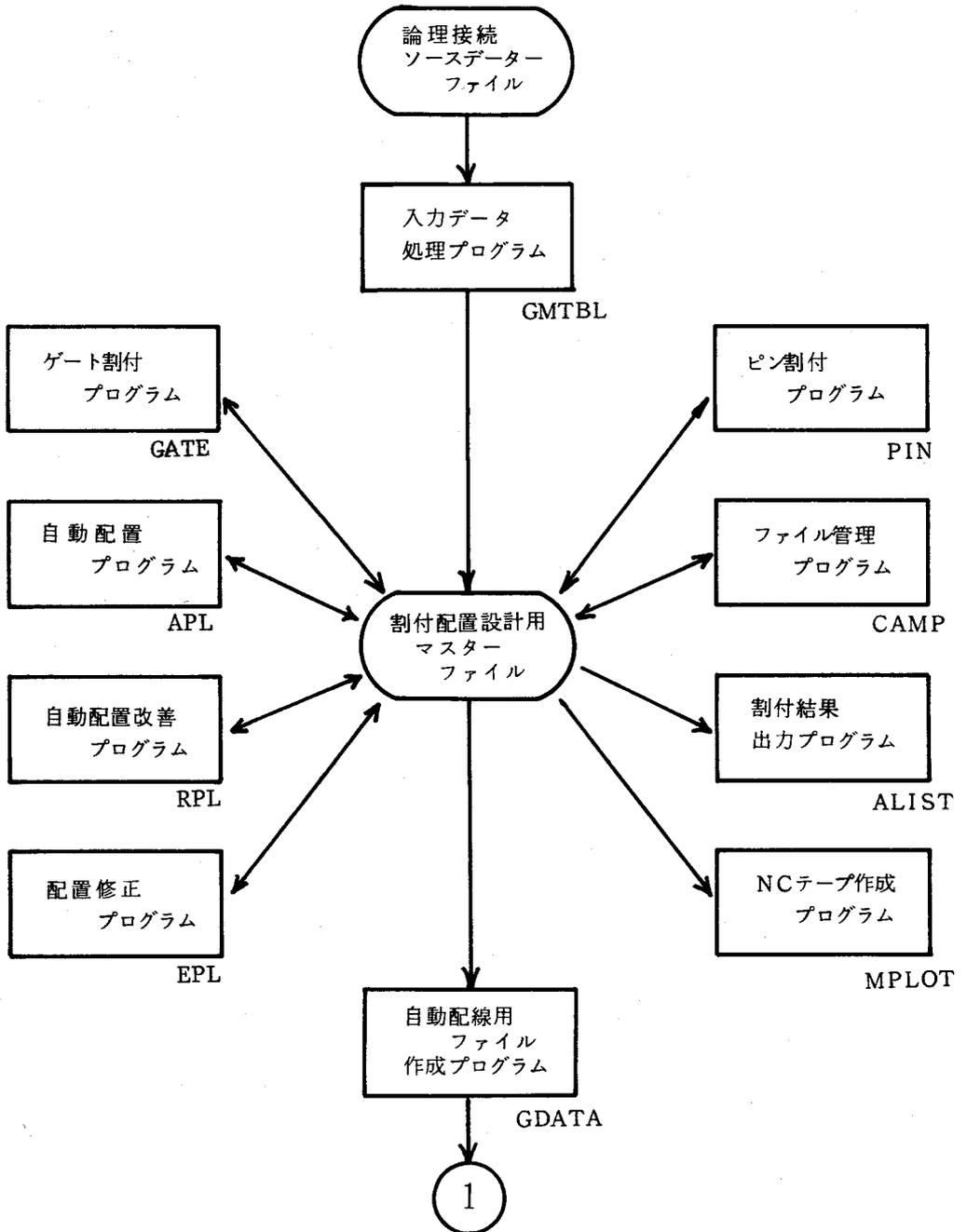
- (i) 部品登録ファイルはユーザが使用する部品、主として汎用の IC に関する情報を格納しておいて必要に応じて参照するための部品ファイルであり、部品登録ルーチンを介して新規登録、追加、修正がおこなわれる。
- (ii) 基板仕様記述ファイル (BSMF) は現在設計しようとする基板について、①基板のサイズや外部端子の形状などの基板の仕様についての情報、②実現すべき回路の論理情報、③使用する部品についての情報、をまとめて格納したもので、その基板についての原始データファイルである。
- (iii) 部品配置、接続情報ファイルはゲート割付けと部品配置処理により作成されたファイルで、①部品の位置情報、②部品間の接続情報、から成る。
- (iv) デザインデータベースは配線処理で得られた、①ピン、スルーホール、線分の位置情報、②未結線のシグナルネット情報等を格納する。
- (v) フォトプロッター、ドリルマシン等に直結するアートワークデータファイル

の 5 種類のデータ・ファイルから構成される。



さらに、システムを構成する各プログラムの機能を説明するため、図 5-2 にシステムの詳細構成図を示す。





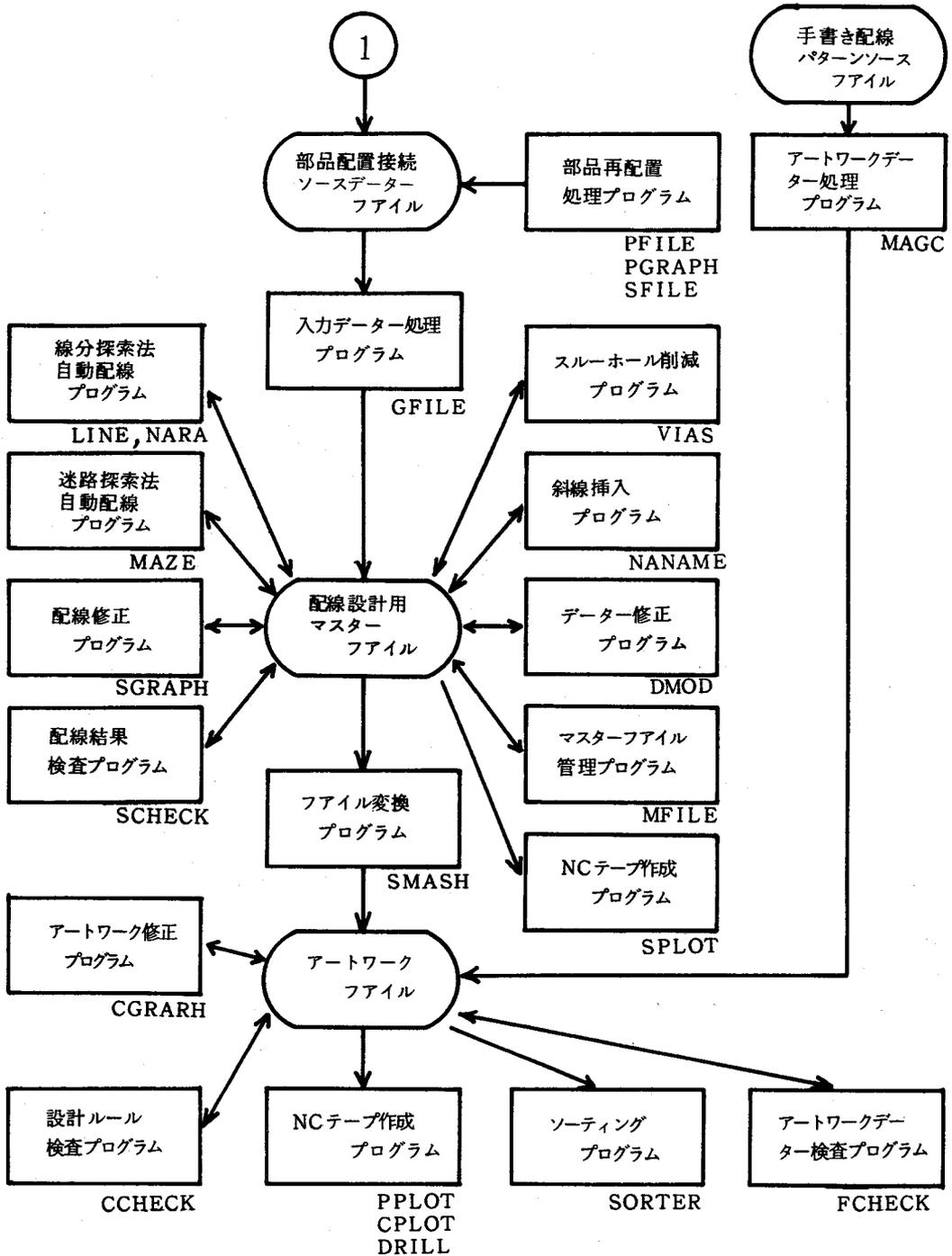


図 5 - 2 システムの詳細構成図

次に、図5-2に基づき、以下に各プログラムの機能を説明する。

#### GETS (データ入力プログラム)

各種入力情報を読み取り、磁気ディスク上にソースファイルを作成する。

#### EDG (入力データ修正プログラム)

「GETS」で入力されたソースファイルをグラフィックディスプレイを介して会話的に修正変更を実行するプログラムである。

#### GMLIB (モジュールライブラリー管理プログラム)

本プログラムは自動割付、自動配置ならびに自動配線に使用するモジュールライブラリーの管理に関するプログラムで次の機能を有している。

- (1) 新規にモジュールデータをライブラリーに登録する。
- (2) 現在登録されているライブラリーに新しいデータを追加する。
- (3) 現在登録されているライブラリーから所定のモジュールを削除する。
- (4) 現在登録されているライブラリーの内容をリストイングする。

#### FIGURE (回路図入力プログラム)

論理回路図の図形入力をグラフィックディスプレイを使用して会話的に行なう。

#### GMTBL (入力データ処理プログラム)

論理接続データファイルを読み取り、各種のデータチェックを行ないエラーのない状態で割付配置設計用マスターファイルを作成する。

#### CAMP (バックアップファイル作成プログラム)

自動割付、自動配置の自動設計システムに於けるバックアップファイルの入出力処理を実行するプログラムである。

#### GATE (ゲート割付プログラム)

ゲートの自動割付を実行するプログラムである。

#### APL (自動配置プログラム)

ゲート割付の結果から回路部品の配置を自動的に決定するプログラムである。

#### RPL (自動配置改善プログラム)

「APL」による配置結果に更にグループの相互関係を考慮して回路部品の配置の反復改善を行うプログラムである。

#### PIN (ピン割付プログラム)

モジュールに含まれている各種ゲート，フリップフロップ等のピンの割付を自動的に行うプログラムである。

#### ALIST (割付結果出力プログラム)

自動割付の結果をリスティングするためのプログラムである。

#### GDATA (自動配線用ファイル作成プログラム)

自動割付，自動配置を実行したデータから自動配線を実行するための部品配置，接続データファイルを作成するためのプログラムである。

#### MPLOT (NCテープ作成プログラム)

回路部品を自動配置した結果と各部品の電源およびアース端子を表示した図面を作成するためのペンプロッタ用制御テープ作成プログラムである。

#### EPL (配置修正プログラム)

グラフィックディスプレイを使用して，配置状況の表示及び配置の変更を会話的に行うプログラムである。

#### PFILE (部品再配置データファイル作成プログラム)

本プログラムは「PGRAPH」「SFILE」とともに使用され，部品配置データおよび接続データのソースファイルから部品再配置処理用データファイルを作成する。

#### PGRAPH (部品再配置処理プログラム)

本システムでは部品配置は与えられたものとしているが，高密度基板においては部品配置の良否は配線率に決定的な影響を与える。

この判定を行うため配線密度および分布状況をグラフィックディスプレイ上に表示し，部品配置の適不適を発見し会話的に配置の改良を行なうためのプログラムである。

#### SFILE (配置配線データ作成プログラム)

本プログラムは「PFILE」「PGRAPH」とともに使用され，部品再配置処理後，部品配置データおよび接続データのソースファイルを作成する。

#### GFILE (入力データ処理プログラム)

部品配置データ，接続データファイルを読み取り，各種のデータチェックを行いエラーのない状態で配線設計用マスターファイルを作成する。

#### MFILE (マスターファイル管理プログラム)

本プログラムは作業工程の随所で使用し，配線設計用マスターファイルに関する次の様に種々の機能を有する。

- (1) マスターファイルにあるデータからバックアップファイルを作成する。またバックアップファイルのデータをマスターファイルに復帰させる。
- (2) 配線データの追加削除を行う。
- (3) 自動配線プログラム「LINE」「MAZE」による配線結果をリストアップする。

#### LINE, NARA (線分探索法配線プログラム)

線分探索法のアルゴリズムに基づいて与えられた接続データの自動配線を実行する。

#### MAZE (迷路探索法配線プログラム)

迷路探索法のアルゴリズムに基づいて与えられた接続データの自動配線を実行する。

#### SGRAPH (配線修正プログラム)

自動配線設計過程に於いて，各種の配線修正作業をグラフィックディスプレイを使用して，会話的に実行するためのプログラムである。

#### SCHECK (配線結果検査プログラム)

配線設計作業終了後（人間が介入して配線修正を行っているため）次のチェックを行うプログラムである。

- (1) 同一シグナルネットに於けるオープンミス
- (2) 異なるシグナルネット間のショートミス（スルーホールの隣接も含む）

#### CCHECK (設計ルール検査プログラム)

仕上げ作業終了後，設計ルールのチェック即ち線と線，線とピンなどの間隔チェックを行う検査プログラムである。

#### VIAS (スルーホール削減プログラム)

自動配線設計の処理後、不要なスルーホールを削減するためのプログラムである。

#### NANAME (斜線挿入プログラム)

本プログラムはプリント基板製造工程で発生する可能性があるピン同志の短絡(半田ディッピングに於けるブリッジ)を防止するため1メッシュの斜線を生成するプログラムである。

#### DMOD (データ修正プログラム)

ディジタイザで作成された配線パターンデータを読み取り配線設計用マスターファイルを変更する。

#### SMASH (ファイル変換プログラム)

マスターファイルデータよりアートワークファイルを作成する。

#### MAGC (アートワークデータ処理プログラム)

自動配線設計を実行しないでアートワークの自動化だけ行う作業において、手書き配線パターン図面から作成した入力データのソースファイルを読み取りアートワークファイルを作成する。

#### CGRAPH (アートワーク修正プログラム)

自動配線設計終了後、規格外部品(ミリ部品)などに伴う修正作業をグラフィックディスプレイを用いて会話的に実行するためのプログラムである。

このプログラムは基本格子を1/1000mmまで設定可能であり、設計の仕上げに主として用いる。

#### SPLOT (NCテープ作成プログラム)

ペンプロッタを用いて、シンボル図面(線幅,ランド径などがシンボル化して作図されている)を作成するためのペンプロッタ用制御テープ作成プログラムである。

#### C PLOT (NC テープ作成プログラム)

ペンプロッタを用いて線幅，ランド径などを実体的に作画するためのペンプロッタ用制御テープ作成プログラムである。

#### P PLOT (NC テープ作成プログラム)

フォトプロッタを用いてマスタフィルムを作成するためのフォトプロッタ用制御テープ作成プログラムである。

#### D RILL (NC テープ作成プログラム)

ドリリングマシン用制御テープ作成プログラムである。

#### S O R T E R (ソーティングプログラム)

自動配線設計の最終工程に於いて「C PLOT」「P PLOT」「D RILL」の各種 NC テープ作成プログラムの実行に先立ち，これらの NC マシンの動きの最適化を考慮してデータの順序を整えるためのプログラムである。

#### F C H E C K (アートワークデータ検査プログラム)

アートワークデータから接続情報を抽出し，オリジナルな接続情報と照合して検査を行なうプログラム

図 5 - 3 にシステムの標準的な運用フローを示す。

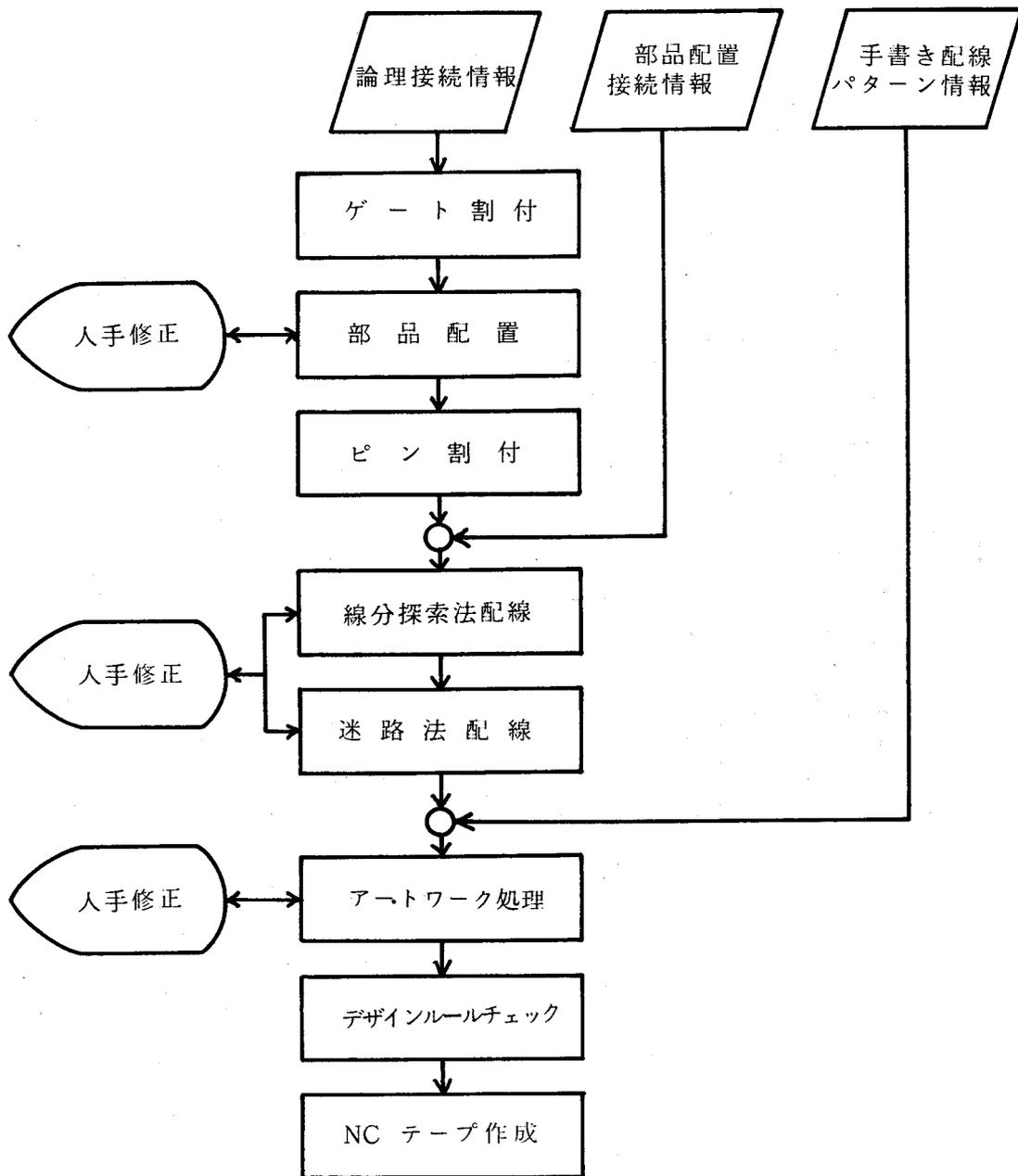


図 5 - 3 システムの標準的な運用フロー

### 5.3 システムのハードウェア構成

本設計システムのハードウェア構成を図5-4に示す

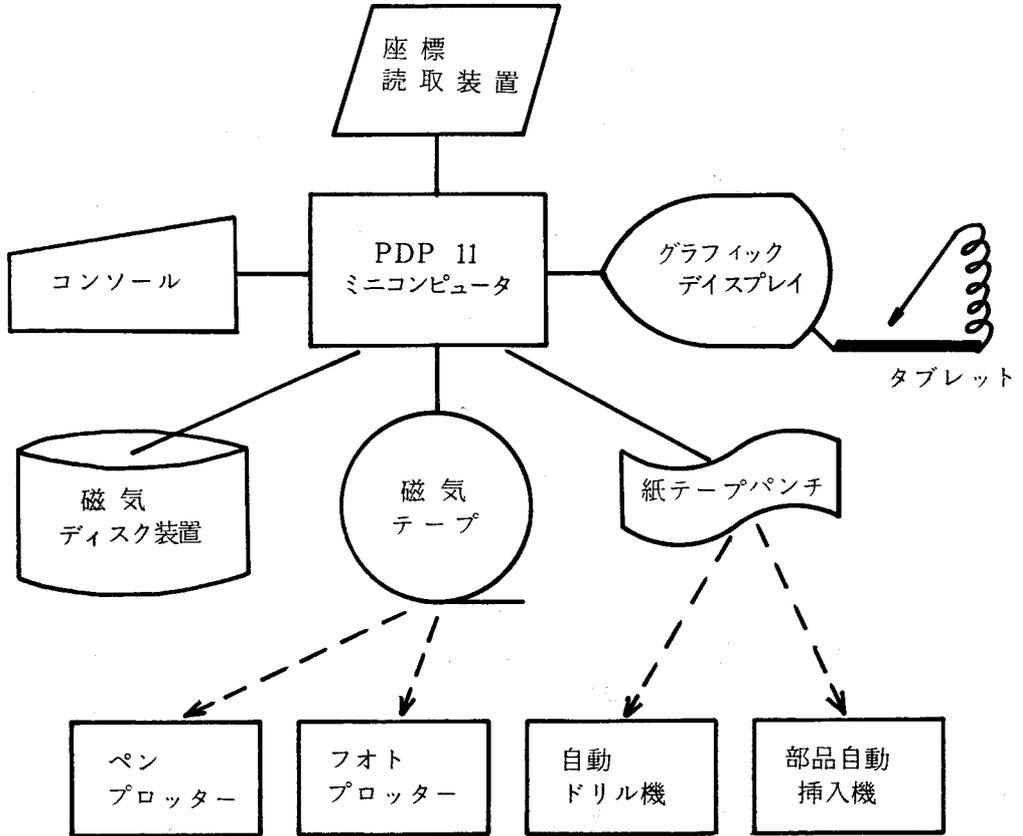


図5-4 システムの機器構成

使用するミニコンピュータはPDP11またはVAX11シリーズであり、PDP11/34の場合、主記憶容量を128KW、磁気ディスク容量を14MWとした時に4ユーザの並列処理が可能である。会話型設計システムとするためのグラフィックディスプレイ・ターミナルとしてTEKTRONIX社の蓄積型CRT4014とタブレット4953を装備している。また、周辺装置としては、高速自動製図機（ペンプロッター）、光学的自動製図機（フォトプロッター）、座標読取装置（ディジタイザ）を備えている。

#### 5.4 結 言

以上、本章では設計システムのソフトウェア構成ならびにハードウェア構成について述べた。

## 第 6 章 設計システムの評価

### 6.1 緒 言

本章では、本研究で実現した設計システムの評価をおこなう。システムはすでに実用に供されており、評価に当っては実用結果を用いてその効果を実証する。まず、ゲート割付け、部品配置ならびにピン割付けに関して実験結果を示す。次に自動配線プログラムに関して実用基板についての計算結果を用いて評価をおこなう。

### 6.2 部品配置手法の評価

ゲート割付け、部品配置ならびにピン割付けの手法は、本来、配線問題と切り離して論じられるべきではなく、それらの各段階で、後で用いる配線手法の特長を生かすように構築されなければならない。しかも、これらの手法の性能は配線結果により評価されるべきである。そこで、本論文で提案したゲート割付け、部品配置ならびにピン割付けが、いかに配線率向上に寄与しているかを見るため、以下に実験結果を示す。ここで用いた配線手法は第 3 章 5 節で論述した手法である。まず実験に用いた回路の構成を表 6-1 に、これを実現すべき基板の仕様を表 6-2 にそれぞれ示す。

表 6 - 1 実験回路の構成

モジュールの種類	個 数
2 入力 N A N D ゲート	26
3 入力 N A N D ゲート	5
2 入力 N O R ゲート	39
3 入力 N O R ゲート	9
インバーター	42
インバーター (バッファ付)	13
抵抗	12
キャパシター	12
14 ピン IC	17
16 ピン IC	3
外部端子	2

表 6 - 2 基板の仕様

基板サイズ (inch)	全ピン数	部品とう載密度 (inch <sup>2</sup> /IC)	ネット数	配線区間数
9.25 × 5.5	905	0.79†	224	437††

† 全ピン数を14で除した値 (14ピン IC 換算の部品数) で基板面積を除した商を部品搭載密度と呼ぶ。

†† シグナルネット  $k$  が  $n_k$  コの端子から構成される場合に, そのネットの配線区間数を  $n_k - 1$  と数える。 ネット数が  $N$  のとき全配線区間数は  $\sum_{k=1}^N (n_k - 1)$  である。

上記の回路に対し，次のような戦略を設定して比較を行った。

- 1° 【ゲート割付け手続き】 + ランダム配置
- 2° 【ゲート割付け手続き】 + 【初期配置】
- 3° 【ゲート割付け手続き】 + 【初期配置】  
+ 【反復改良】
- 4° 【ゲート割付け手続き】 + 【初期配置】  
+ 【反復改良】 + 【ピン割付け手続き】

上記のそれぞれの戦略によって得られた配置における最小木の長さの総和は，  
24452, 19004, 15335, 15072, 格子長である

それぞれの配置結果を図6-1から図6-4に掲げる。

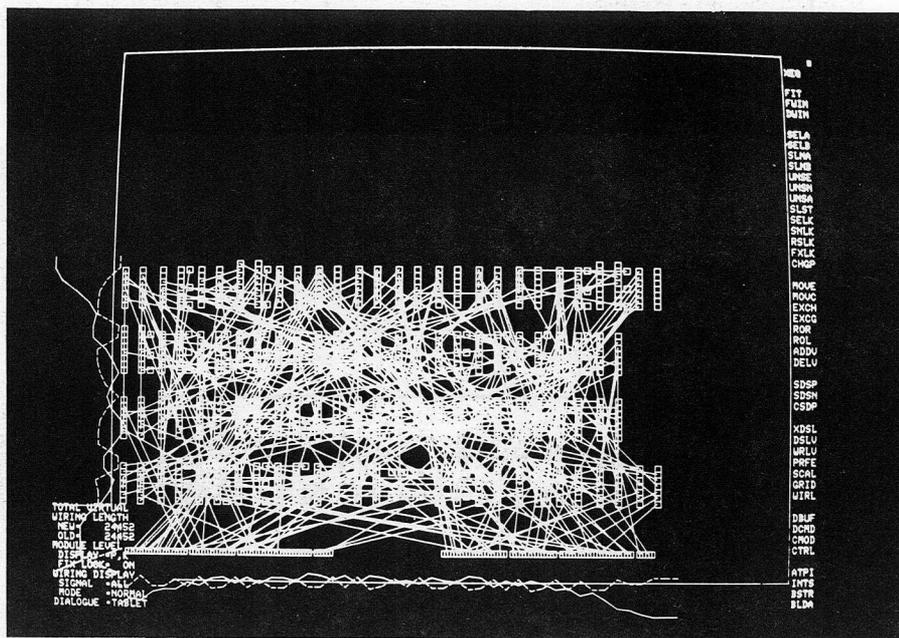


図6-1 【ゲート割付け手続き】 + ランダム配置によって  
得られた結果

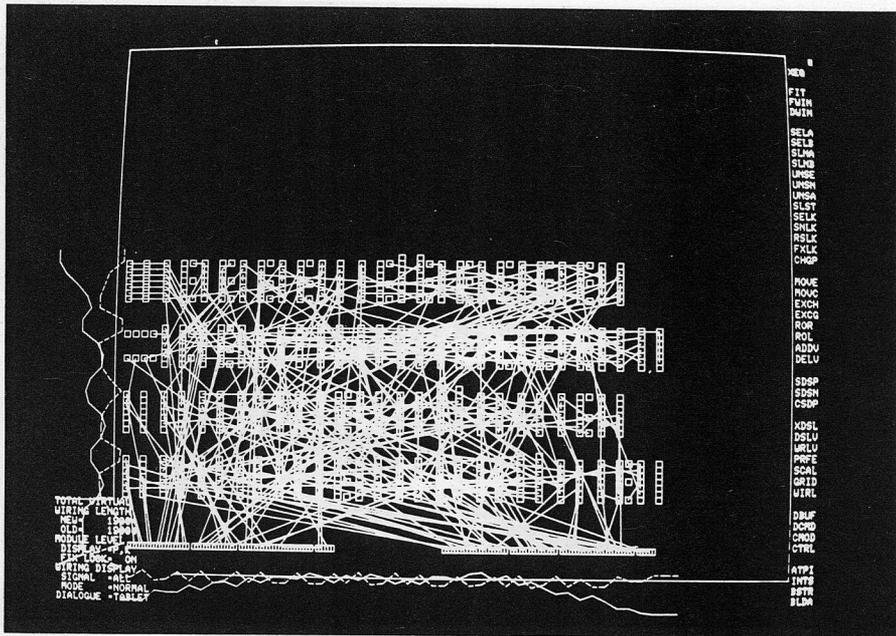


図 6 - 2 【ゲート割付け手続き】 + 【初期配置】 によって  
得られた結果

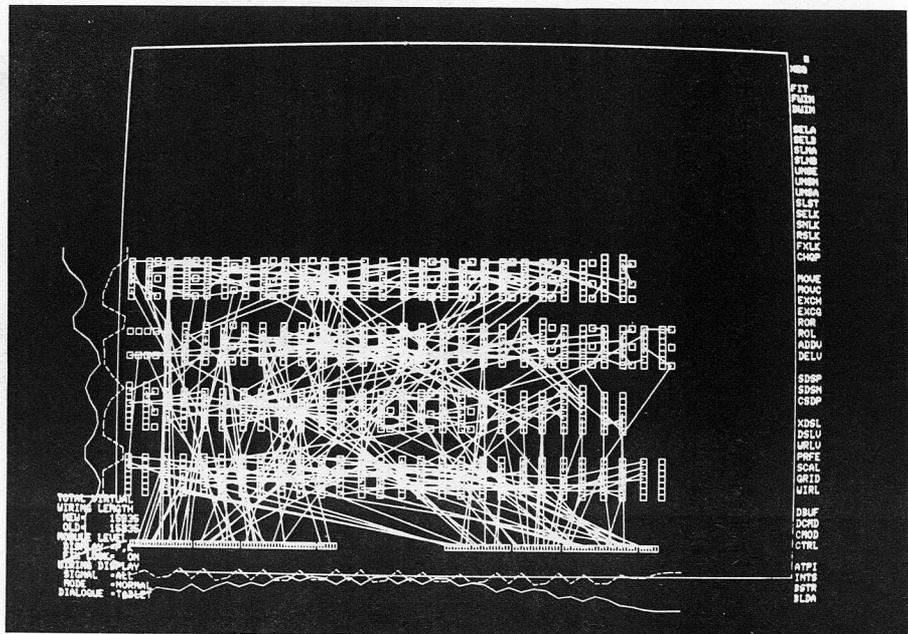


図 6 - 3 【ゲート割付け手続】 + 【初期配置】 + 【反復改良】  
によって得られた結果

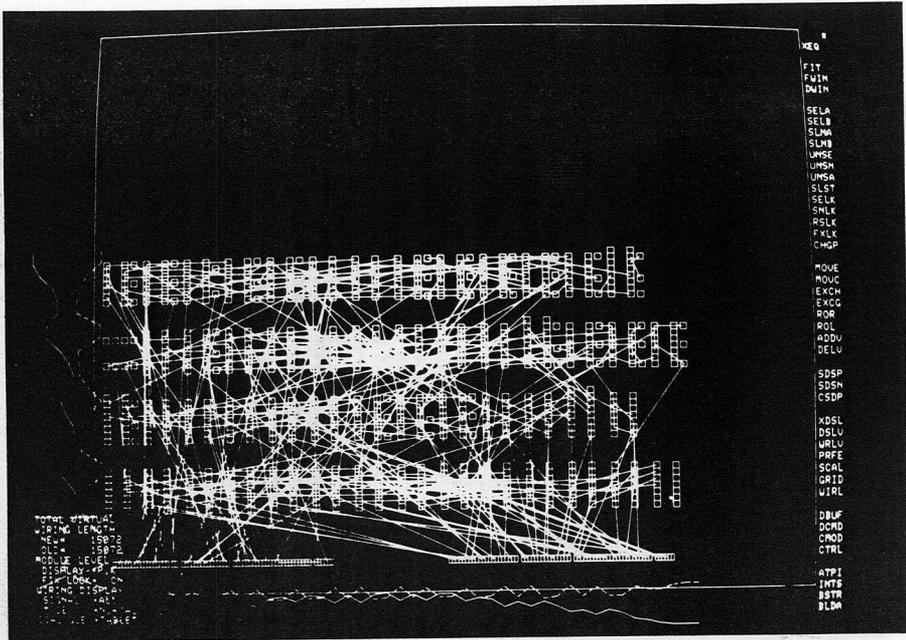


図 6 - 4 【ゲート割付け手続き】 + 【初期配置】 + 【反復改良】  
+ 【ピン割付け手続き】 によって得られた結果

次に、これらの配置に対して実施した配線設計プログラムの処理結果を表 6 - 3 に示す。

表 6 - 3 配線結果

配 置	線分探索法 による配線率	迷路法 による配線率	最 終 配 線 率	配線に要した 処 理 時 間
図 6 - 1	88.79%	9.38%	98.17%	52分 20秒
6 - 2	94.05	5.49	99.54	35' 25"
6 - 3	97.94	1.83	99.77	16' 56"
6 - 4	97.94	2.06	100	16' 41"

この実験に際して、ゲート割付け処理、部品配置処理ならびにピン割付けに要した時間はそれぞれ、ゲート割付け（10分6秒）、初期配置（8分41秒）、反復改良（4分49秒）、ピン割付け（16分41秒）である。

この実験例は実用基板から一例として選んだものであるが、本文で示した手法が配線率向上に寄与していることを示している。最後に図6-4に対する配線パターンを図6-5に示す。ここでは、配線規則としてICの隣り合うピン間に配線を2本まで設定し得るものとした。

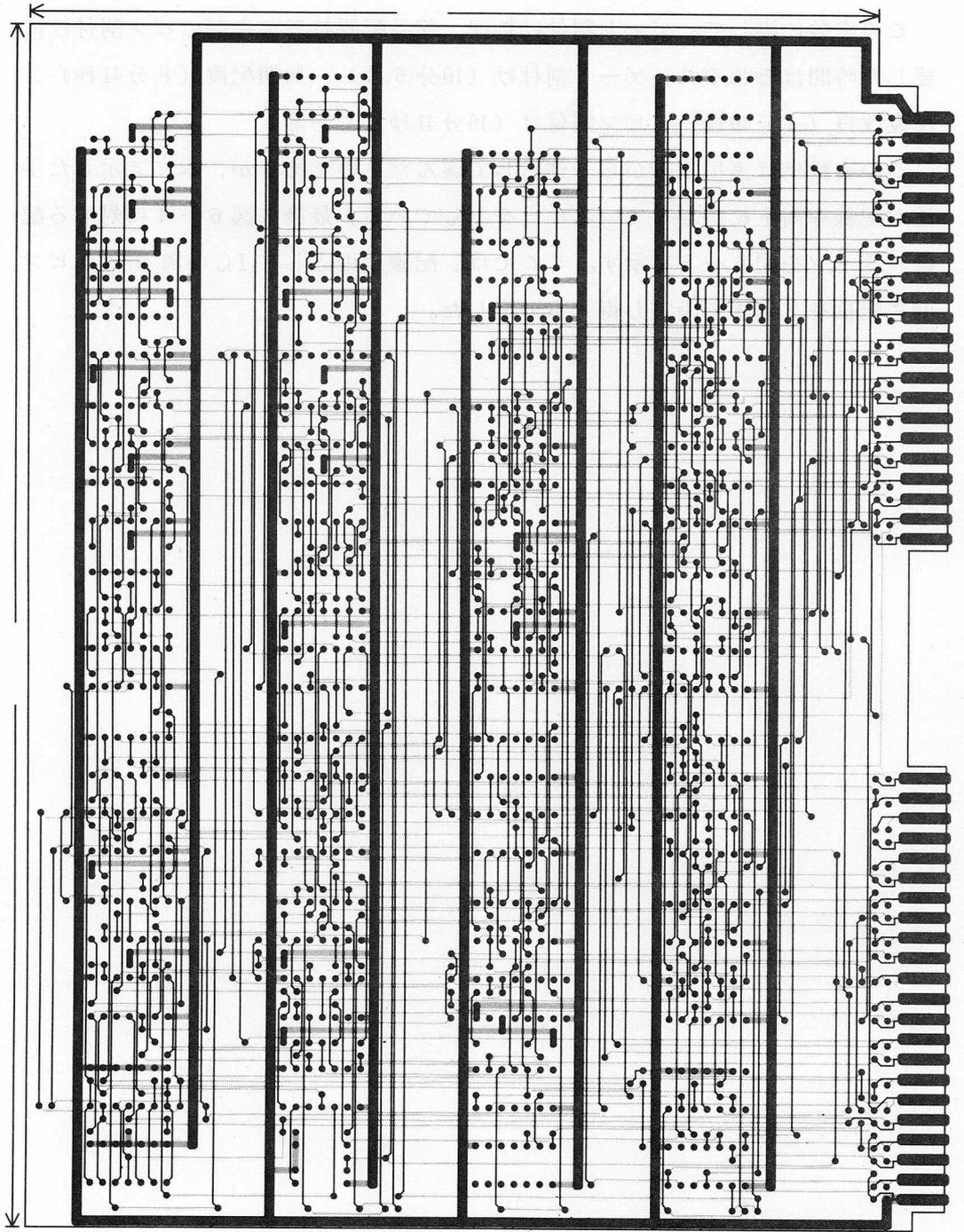


図 6-5 図 6-4 の配置に対する最終パターン

### 6. 3 配線設計手法の評価

本システムで実現した配線設計手法の評価のため、まず表6-4に実用基板に適用した実施例を掲げる。<sup>[19]</sup>

表6-4 実施例

Board No	Board Size (inch)	Wiring Area (inch <sup>2</sup> )	No. of Pins	Module Density (inch <sup>2</sup> /IC)	No. of Nets	No. of From-To Pairs	Wiring Performance (%)			
							LINE	1st MAZE	Rerun of MAZE	TOTAL
1	9.5 × 9.1	65.4	1092	0.84	137	190	82.11	15.78	2.11	100
2	12.3 × 11.6	130.9	2283	0.80	220	338	74.26	17.46	8.28	100
3	6.1 × 11.4	57.1	1306	0.61	190	335	76.12	18.51	5.37	100
4	9.5 × 10.9	66.9	1196	0.78	123	169	78.70	15.38	5.92	100
5	9.5 × 10.9	98.9	1487	0.93	106	169	78.11	14.79	7.10	100
6	10.3 × 9.0	83.7	1160	1.01	294	530	91.32	8.68	0	100
7	9.5 × 11.0	43.2	456	1.33	68	101	97.03	2.97	0	100
8	12.3 × 12.8	141.6	1768	1.12	260	507	97.44	2.56	0	100
9	12.4 × 11.7	119.9	1496	1.12	237	407	73.71	17.69	8.60	100
10	12.3 × 11.6	112.5	1665	0.95	319	652	90.49	6.90	2.61	100
11	12.5 × 12.5	119.8	1811	0.93	287	517	74.85	18.38	6.38	99.61
12	8.5 × 12.9	93.7	1105	1.19	218	316	87.66	8.86	3.48	100
13	9.5 × 11.5	82.8	1457	0.80	316	604	78.97	16.23	4.80	100
14	12.4 × 12.0	124.1	2270	0.77	263	467	83.08	8.57	7.75	99.36
15	12.4 × 11.6	128.1	1617	1.11	345	635	78.74	14.96	6.30	100

表において Wiring Area とは基板全面積 ( Board Size ) から配線禁止領域を除いた領域、すなわち自動配線領域の面積である。また Module Density は総ピン数を14で除した14ピンIC換算部品数で Wiring Area を割った値を用いている。表では本システムの実施例の極く一部を示したに過ぎないが2層基板の平均的な例を選んである。

表中No.6から8では線分探索法で91%以上の配線を達成し、1回の迷路法で100%の結果を得ている。したがって、これらの例では会話型配線修正は必要としていない。No.11と14を除いて他の例では、線分探索法に続いて迷路法を実行し、未接続ピン近傍の配線修正のあと迷路法を再実行して100%の結果を得ている。No.11, 14の例では3度目の迷路法実行で100%となった。

次に、第3章6.1節で論述した、動的な配線処理順序決定法を持つ線分探索

法に関して、実験結果を表 6-5 に示す。<sup>[20]</sup>

表 6-5 配線順序決定手法の比較

データ No	基板サイズ (1/20 インチ)	ネット数	配線 区画数	全ピン数	部品搭載 密度 (inch <sup>2</sup> /IO)	配線率 1		配線率 2		配線率向上	
						線分法	迷路法	線分法	迷路法	線分法	全体
1	181×181	308	530	1202	0.64	89.1 %	93.4 %	86.0 %	90.1 %	3.1 %	3.3 %
2	252×176	402	745	1781	0.68	85.4	89.9	76.3	77.1	9.1	12.8
3	240×204	345	864	1744	0.75	90.3	93.7	82.8	89.0	7.5	4.7
4	190×150	224	437	905	0.88	99.0	100.0	96.5	99.3	2.5	0.7
5	146×180	148	328	779	0.89	99.8	100.0	98.0	99.8	1.8	0.2
6	90×150	124	195	629	0.84	85.1	90.3	77.4	85.1	7.7	5.2
7	140×125	173	303	820	0.59	88.1	94.4	78.2	80.3	9.9	4.1

(注) 配線率 1 : ダイナミックな配線順序決定による配線

配線率 2 : ネット単位による配線

表 6-5 では、動的な配線処理順序決定法を線分探索法だけでなく、迷路法にも適用して効果を確認した。線分探索法についてはデータ No 7 で 9.9% の配線率向上が見られるほか、いずれのデータについても配線率向上が確かめられる。迷路法を含めた全体の配線率も最高 No 2 の 12.8 % をはじめ全てのデータで配線率の向上が確認できる。

また、同じく第 3 章 6. 1 節で論述した、線分探索処理の階層化について、図 3-16 に示した 3 種の配線処理による階層化を実施し、階層化をしない処理手続きと、同じネット単位の処理順序のデータで比較した。<sup>[20]</sup>

表 6 - 6 配線処理階層化の効果

データNo.	基板サイズ(1/20 インチ)	ネット数	配線区間数	全ピン数	配線率 1	配線率 2
1	181 × 181	308	530	1202	89.6 %	88.3 %
2	252 × 176	402	745	1781	84.4	82.1
3	240 × 204	345	864	1744	90.3	89.6

(注) 配線率 1 : 階層化した配線手法

配線率 2 : 階層化しない配線手法

表 6 - 6 により配線処理の階層化の効果が確認できる。

最後に、本システムの多層基板への適用結果を表 6 - 7 に示す。(29)

表 6 - 7 多層基板の設計例

データ No.	基板サイズ (インチ)	基板層数	信号層数	ネット数	配線 区間数	配線規則	全ピン数	部品 搭載 密度 (inch <sup>2</sup> /10)	配線率 %		
									LINE	MAZE	TOTAL
1	10.4×10.3	2	2	176	382	T分岐可	1399	1.07	95.29	4.71	100
2	8.8×11.2	2	2	301	541	T分岐可	1226	1.13	96.49	3.51	100
3	13.2×11.2	2	2	332	692	T分岐可	1663	1.24	99.57	0.43	100
4	10.4×10.4	2	2	392	524	T分岐可	1371	1.10	92.94	6.68	99.62
5	18.2×12.0	8	4	463	2004	主に一筆書き	5469	0.56	95.96	4.06	100
6	18.2×12.0	8	4	402	842	主に一筆書き	5032	0.61	96.44	3.56	100
7	18.2×12.0	8	4	927	1981	主に一筆書き	5844	0.52	93.08	5.81	98.89
8	18.0×11.8	8	4	1020	1976	主に一筆書き	5572	0.53	90.59	8.70	99.29
9	18.0×11.8	8	4	690	2494	T分岐可	4891	0.61	94.79	4.33	99.12
10	18.0×11.8	8	4	1112	2302	主に一筆書き	5612	0.53	97.91	1.09	99.00

表中，データ No. 1 から 4 までは 2 層基板，No. 5 から 10 までは信号層 4 層，電源層 4 層の 8 層基板である。また，配線規則で「主に一筆書き」とあるのは，電気的特性からの要求により，配線経路を一筆書き経路に制限を設けたものである。No. 9 の最終パターン図を図 6-6 に掲げる。

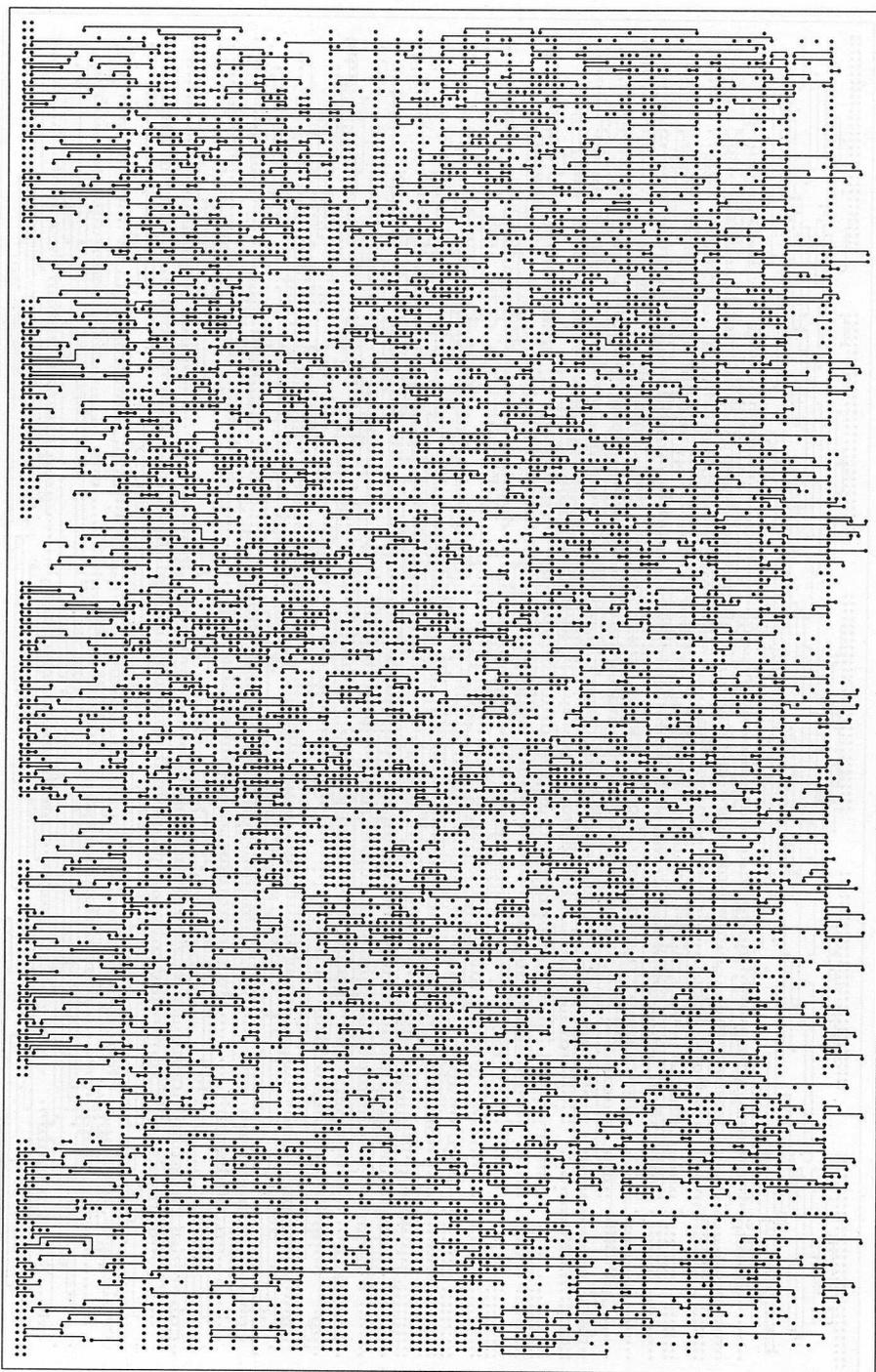


図 6 - 6 (a) 第 1 層 (外層, 水平線分層) 最終パターン図

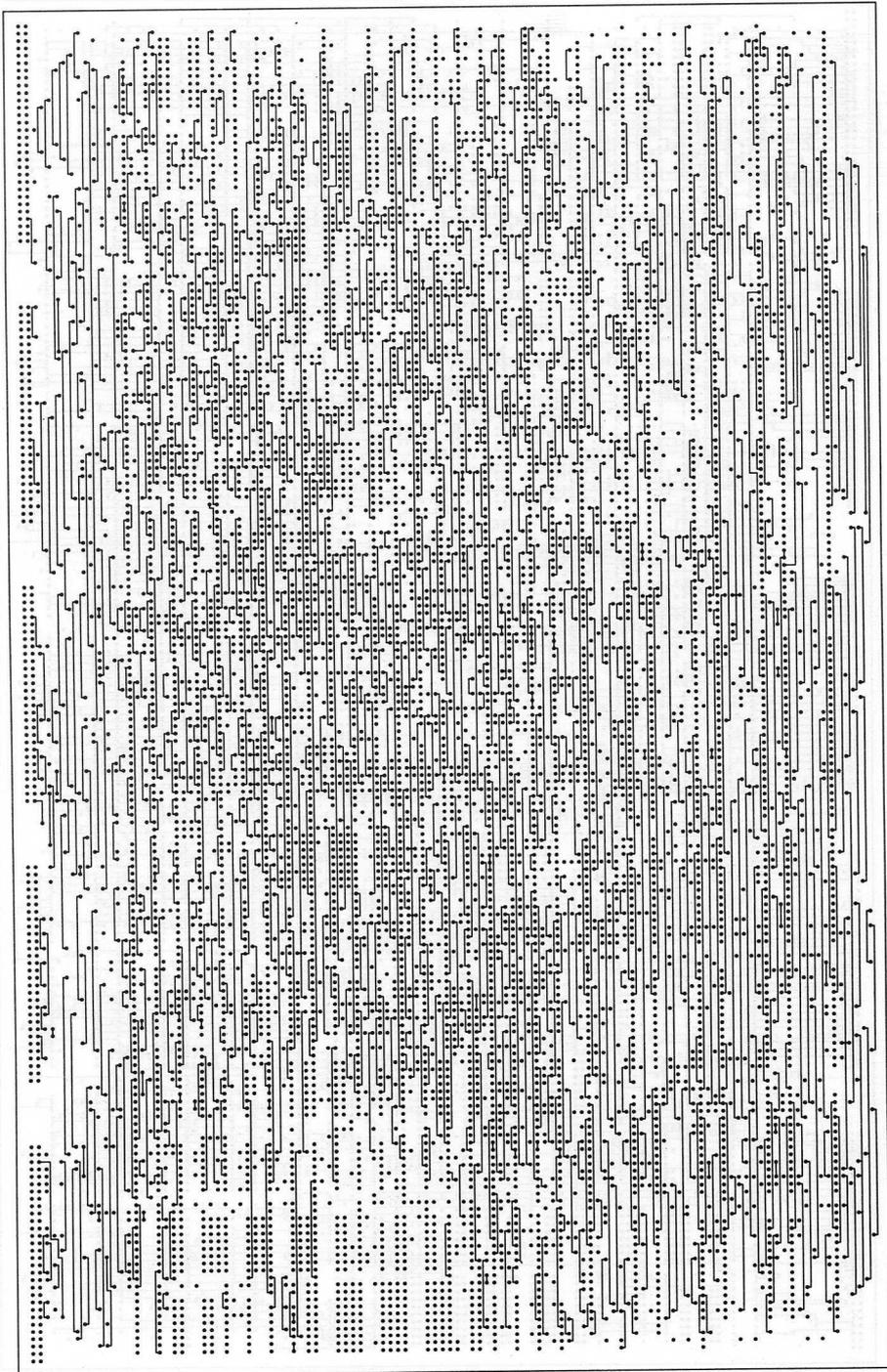


図 6 - 6 (b) 第 4 層 (外層, 垂直線分層) 最終パターン図

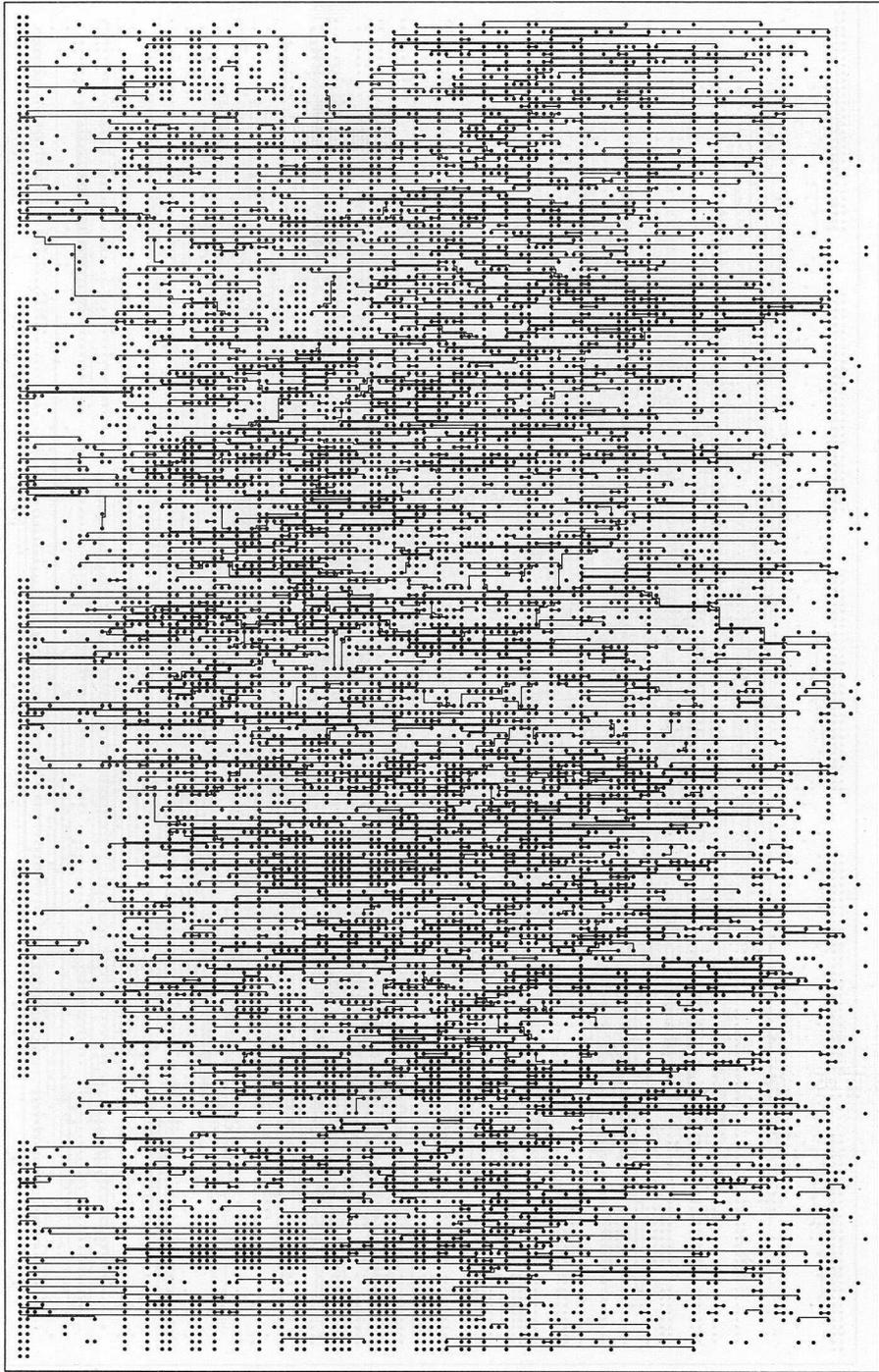


図 6 - 6(c) 第 2 層 (内層, 水平線分層) 最終パターン図

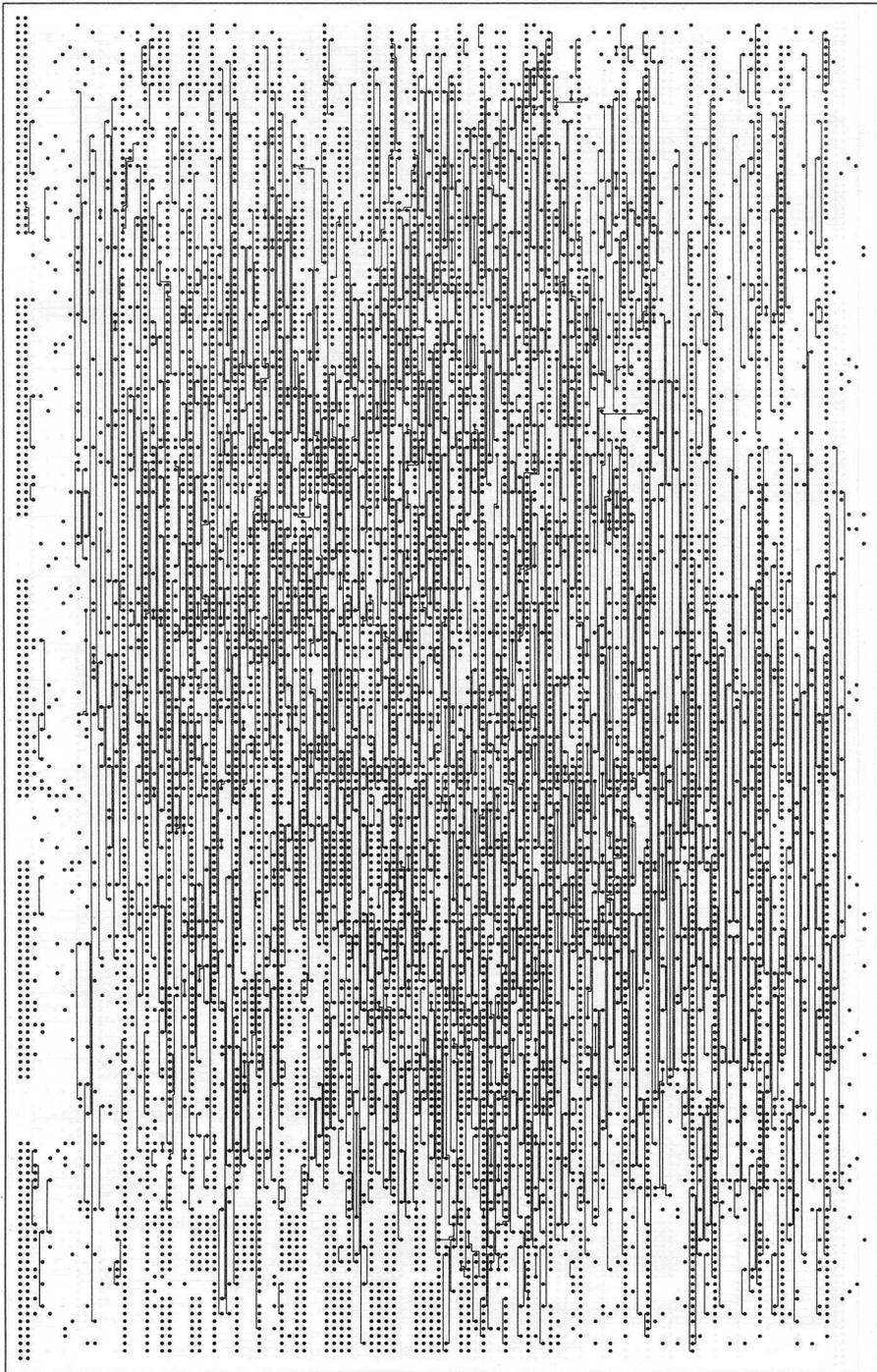


図 6 - 6 (d) 第 3 層 (内層, 垂直線分層) 最終パターン

#### 6. 4 結 言

本章では、まず、部品配置手法について、ゲート割付け、ピン割付けも含めて実験による評価を実施した。実験では、「ゲート割付け」、「初期配置」、「反復改良」の実施により配線率が向上するだけでなく、配線処理に要する時間も短縮することが確かめられた。次に、配線設計手法については、実用結果の中から15例を選び、その設計能力を実証した。さらに、動的な配線処理順序決定法を持つ線分探索法と迷路法について、7例を用いてその効果を確認した。最後に、階層構造を持つ配線処理の効果について3例を用いて論述した。

## 第 7 章 結 論

本研究によって得られた主な結果と今後に残された問題をまとめると以下の通りである。

印刷回路基板の自動設計における三つの重要な問題、すなわち、ゲート割付け、部品配置ならびに配線設計については、従来、大型計算機によって実施されることが常識であったが、本研究ではこれらの問題を、ミニコンピュータで効率よく処理し得る手法を開発した。まず、ゲート割付けについては、同一 IC 内の結線要求数を最大に、異なる IC 間の結線要求数を最小にするゲート対 IC の割付方法を実現した。次に、部品配置問題については、従来、配置の良さの尺度として用いられることの多かった仮想総配線長または最小木の長さの総和を最小化するという目的関数では、結線要求が基板上の局部に集中するため、却って配線率を落すという経験的事実に基づき、本研究では、結線要求を基板上に分散させることを主目的とするグループ分割による部品配置手法を開発した。また、従来の部品配置手法では標準 IC のみを対象としていたのに対し、本研究においては、抵抗、コンデンサなど大きさの小さい個別部品を配置の前段で標準 IC に吸収し、標準 IC の配置終了後にその近傍に引き出すという手段を用いて個別部品が混在しても、その煩わしさを回避し得る手法を実現した。部品配置後、IC 内の等価なゲートの再割付けを実施して配線率向上に寄与するピン割付け手法を開発した。これらのゲート割付け、部品配置ならびにピン割付けの一連の処理に関して、その効果を実験により確認し得た。

配線設計問題は実装設計における重要な問題である。本研究においては、従来、大型計算機で運用されることが常識であった線分探索法や迷路法に関し、ミニコンの下でも効率良く運用出来るよう、処理に要するメモリ容量の削減と処理時間の短縮のため、探索手続きの簡略化を達成した。また、より高密度な配線を実現するため、動的な処理順序決定法を持つ線分探索法を開発し、その効果を実用例で明らかにした。

さらに、線分探索法ならびに迷路法の実行で未結線ピンを発生した時への対

処として、会話型配線設計手法を導入し、又、部品配置段階にも、人間のパターン認識能力を活用する手段として会話型配置設計手法を実現した。これによりシステムをより柔軟性に富んだものにすることができた。

本研究による自動設計システムはすでに実用に供せられており、その有用性は多くの実用例により実証されている。

印刷回路基板は今後ともその実装密度を上げていき、しかも、搭載される回路の電気的特性からの制約も強くなり、より高度な経路探索手法が望まれるであろう。また、より一層の省力化達成のために、論理情報の入力手段を含めた自動化、たとえば、回路図の全自動読取りから論理接続情報の抽出といったパターン認識処理も今後の課題となる。

一方、これまでは自動配置、配線設計は適用不可とされてきたアナログ回路基板の設計自動化も、今後の重要な課題となるであろう。

## 謝 辞

大阪大学工学部電子工学教室尾崎弘教授ならびに白川功教授には本研究の全過程を通じて、直接理解ある御指導を賜わり常に励ましていただいた。

大阪大学工学部通信工学教室滑川敏彦教授、中西義郎教授ならびに電子工学教室児玉慎三教授には大阪大学在学中および卒業後を通じて通信工学ならびに電子工学全般について御指導いただくとともに本研究に際して御指導、御教示を賜わった。

大阪大学工学部通信工学教室熊谷信昭教授、手塚慶一教授には大阪大学在学中および卒業後を通じて通信工学全般について常々御指導、御教示を賜った。以上の先生方に衷心より感謝の意を表する。

筆者の勤務するシャープ株式会社技術本部佐々木正本部長、広瀬浩一副本部長、鈴木忠二部長、電子部品事業本部岡野孝作本部長、木村征二部長、産業機器事業本部浅田篤副本部長、三坂重雄部長には本研究に際し御理解ある御配慮、御指導、御鞭撻を頂いた。厚く感謝する。

大阪大学工学部電子工学科尾崎研究室河田亨助手、築山修治助手ならびにコルモーゲン社中原捷雄国際部長には本研究に際し有益な御助言、御討論をいただいた。深く感謝する。

シャープ株式会社技術本部CADセンター栗本卓治氏、佐原謙一係長、西田剛士氏、千葉徹氏、坂上誠司氏、小堀研一氏、奥田登氏ならびに永川俊明氏には本研究の個々の課題について御援助、御尽力をいただいた。厚く御礼申し上げます。

## 参 考 文 献

- (1) M. Hanan, P. K. Wolff Sr. and B. J. Agule, "Some experimental results on placement techniques", Proc. 13th Design Automation Conf., pp. 214 - 224 (1976)
- (2) L. Steinberg, "The Backboard Wiring Problem: A Placement Algorithm", SIAM Rev., Vol. 3, No 1, pp. 37-50 (1961)
- (3) 苗村, 西川, "電子回路のCAD, 5. 配置配線設計", 電子通信学会 (1973)
- (4) C. J. Fisk, D. L. Caskey, and L. L. West, "ACCEL: Automated Circuit Card Etching Layout", Proc. IEEE, Vol. 55, No 11, pp. 1971 - 1982 (1967)
- (5) M. Hanan and J. M. Kurtzberg, Force - Vector Placement Techniques, IBM Report RC 2843, April, 1970
- (6) C. Y. Lee, "An Algorithm for Path Connections and Its Applications", IRE Trans. on Electronic Computers, Vol. EC - 10, No 3, pp. 346 - 365 (1961)
- (7) J. M. Geyer, "Connection Routing Algorithm for Printed Circuit Boards", IEEE, Trans. on Circuit Theory, Vol. CT-18, pp. 95 - 100 (1971)
- (8) F. Rubin, "The Lee Path Connection Algorithm", IEEE, Trans. on Computers, Vol. C - 23, No 9, pp. 907 - 914 (1974)
- (9) 千葉, 井手, 白川, 尾崎, "2層配線に対する迷路法の一手法", 信学論 (A), Vol. 59-A, No 3, p. 247 (1976)
- (10) 千葉, 白川, 尾崎, "配線問題における迷路法の多層基板適用への拡張について", 信学論 (A), Vol. 60-A, No 1, pp. 33-40 (1977)
- (11) K. Mikami and K. Tabuchi, "A Computer Program for Optimal Routing of Printed Circuit Conductors", IFIP Congress 68, pp. 1475 - 1478 (1968)
- (12) D. W. Hightower, "A Solution to Line-routing Problems on the Continuous Plane", Proc. 6th Design Automation Workshop, pp. 1 - 24 (1969)
- (13) 山村, 白川, 尾崎, "二層プリント基板上の配線問題に対する線分探索の一

- 手法”，信学論（A），Vol. 57-A，No. 9，pp. 671 - 678（1974）
- (14) A. Hashimoto and J. Stevens, “Wire Routing by Optimizing Channel Assignment within Large Apertures”; Proc. 8th Design Automation Workshop, pp. 155 - 169（1971）
- (15) S. E. Lass, “Automated Printed Circuit Routing with a Stepping Aperture”, Comm. ACM, Vol. 12, No. 5, pp.（1969）
- (16) 白川, “実装設計における配置配線技法の動向”, 信学誌, Vol. 61, No. 3 pp. 245 - 255（1978）
- (17) 西岡, 栗本, 山本, 千葉, “プリント基板自動設計におけるゲート割付けと部品配置の一手法”, 信学論（D）, Vol. 63-D, No. 6, pp. 477 - 484（1980）
- (18) B. M. Kernighan and S. Lin, “An efficient heuristic procedure for partitioning graphs”, Bell Sys. Tech. J., Vol. 49, No. 2, pp. 291 - 307（1970）
- (19) 西岡, 栗本, 西田, 山本, 白川, 尾崎, “会話型プリント基板設計システム”, 情報処理, Vol. 20, No. 6, pp. 453 - 459（1979）
- (20) 永川, 山本, 栗本, 西岡, “高密度な自動配線の一手法”, 信学会, 回路とシステム研資, CAS 80-52, pp. 63 - 69（1980）
- (21) 永川, 千葉, 西岡, “チャンネル構造に基づいたプリント基板配線の一手法”, 信学会, 回路とシステム研資, CAS 79-137, pp. 29 - 34（1980）
- (22) M. T. Doreau and L. C. Abel, “A Topologically based nonminimum distance routing algorithm”, Proc. 15th Design Automation Conf., p. 92（1978）
- (23) H. C. So, “Some Theoretical Results on the Routing of Multilayer Printed Wiring Boards”, Proc. IEEE International Symp. on Circuits and Systems, p. 296（1974）
- (24) B. S. Ting, E. S. Kuh and I. Shirakawa, “The Multilayer Routing Problem: Algorithms and necessary and Sufficient Conditions for The

- Singl-row Single-layer Case", IEEE Trans. Circuits Syst., CAS - 23, No.12, p. 768 (1976)
- (25) E. S. Kuh, T. Kashiwabara and T. Fujisawa, "On Optimum Single-row Routing", IEEE Trans. Circuits Syst., CAS - 26, No. 6, p. 361 (1979)
- (26) 築本, Kuh, 白川, "上下のトラック数が2以下の一行一層配線手法について", 信学論(A), vol. 62-A, No. 5, p. 309 (1979)
- (27) I. Nishioka, T. Kurimoto, H. Nishida, I. Shirakawa and H. Ozaki, "A Minicomputerized Automatic Layout System for Two-layer Printed Wiring Boards", Proc. 14th Design Automation Conf., pp. 1 ~ 11 (1977)
- (28) I. Nishioka, T. Kurimoto, S. Yamamoto, I. Shirakawa, H. Ozaki, "An Approach to Gate Assignment and Module Placement for Printed Wiring Boards," Proc. 15th Design Automation Conf., pp. 60 - 69 (1978)
- (29) 栗本, 西田, 千葉, 山本, 永川, 西岡, 藤岡, 内野, "多層基板自動設計システム", 情報処理学会, 電子装置設計技術研資, 3-3, pp. 1 ~ 7 (1979)