| | |
|---|---|
| Title | Code Optimization Methods for Configurable Processors |
| Author(s) | Hieda, Takuji |
| Citation | 大阪大学, 2011, 博士論文 |
| Version Type | VoR |
| URL | https://hdl.handle.net/11094/1622 |
| rights | |
| Note | |

*The University of Osaka Institutional Knowledge Archive : OUKA*

https://ir.library.osaka-u.ac.jp/

The University of Osaka

【13】

| | |
|---|---|
| 氏名 | 稗田拓路（ひえだたくじ） |
| 博士の専攻分野の名称 | 博士（情報科学） |
| 学位記番号 | 第 24656 号 |
| 学位授与年月日 | 平成23年3月25日 |
| 学位授与の要件 | 学位規則第4条第1項該当<br>情報科学研究科情報システム工学専攻 |
| 学位論文名 | Code Optimization Methods for Configurable Processors<br>（構成可変プロセッサのためのコード最適化手法） |
| 論文審査委員 | （主査）<br>教授 今井 正治<br>（副査）<br>教授 萩原 兼一<br>関西学院大学理工学部情報科学科教授 石浦菜岐佐　准教授 武内 良典 |

## 論文内容の要旨

本論文では，構成可変プロセッサのためのコンパイラによるコード最適化手法について研究を行った．

構成可変プロセッサは，システムの目的や用途に合わせてプロセッサの構成を変更することが可能であり，組込みシステム向けのプロセッサとして近年注目されている．しかしながら，性能改善のためにはアーキテクチャの変更や専用演算器の追加だけではなく，その構成後のプロセッサに対する生成コードの改善が必要となる．特に組込みシステムにおいては，厳しい要求性能と設計制約を両立させることが求められるため，対象システムに合わせて変更されたプロセッサ構成の性能を引き出すためにコード最適化が必要不可欠である．そこで本研究では，組込みシステム向けの構成可変プロセッサに対して，コンパイラを用いて最適化されたコードを生成するコード最適化手法を提案する．

はじめに，データパスを可変とする構成可変プロセッサの最適化手法について提案する．本研究では，部分フォワーディングを実装した構成可変プロセッサの最適化手法を提案する．部分フォワーディングは，プロセッサのパイプラインに付属するフォワーディング機構を部分的に実装したアーキテクチャであり，完全なフォワーディング機構を有するプロセッサと比較して，プロセッサの面積や消費電力を削減することが可能である．プロセッサ最適化を行うためには部分フォワーディングプロセッサの設計空間探索を行う必要があり，コンパイラの命令スケジューリングによる最適化が不可欠である．提案手法では，整数計画法による命令スケジューリング手法と，発見的手法を用いた命令スケジューリング手法の２つを提案する．両手法それぞれについて評価実験を行い，従来の命令スケジューリング手法と比べて部分フォワーディングを実装した構成可変プロセッサの最適化を行い，提案手法

の有効性を確認した．

次に，専用演算器を追加した構成可変プロセッサについての最適化手法について提案する．本研究では，単一命令で複数のデータに対して同時に演算を行うSIMD演算器を追加したプロセッサに対するコード最適化手法を提案する．従来までの研究で，並列性の考慮が実装に反映されていない入力プログラムに対してSIMD命令を自動で出力させる方法が提案されているが，SIMD命令の入出力に使われるレジスタ内部のデータ位置を最適化する手法については十分な検討がなされていなかった．提案手法では，各レジスタ内のデータ位置を大域的に最適化し，データ並び替え命令数を最小化する最適化手法を提案する．評価実験ではテスト用プログラムに対して最適化を行い，従来手法と比べて実行サイクル数が削減されたことを示した．

## 論文審査の結果の要旨

本論文では、構成可変プロセッサのためのコンパイラによるコード最適化手法を提案している。

構成可変プロセッサは、システムの目的や用途に合わせてプロセッサの構成を変更することが可能であり、組込みシステム向けのプロセッサとして近年注目されている。プロセッサの性能改善のためにはアーキテクチャの変更や専用演算器の追加だけではなく、その構成後のプロセッサに対する生成コードのコード最適化が重要である。本論文では、組込みシステム向けの構成可変プロセッサに対して、コンパイラを用いたコード最適化手法を提案している。

論文では、はじめに部分フォワーディングを実装した構成可変プロセッサの最適化手法を提案している。プロセッサ最適化を行うためには部分フォワーディングプロセッサの設計空間探索を行う必要があり、コンパイラの命令スケジューリングによる最適化が不可欠である。提案手法では、整数計画法による命令スケジューリング手法と、発見的手法を用いた命令スケジューリング手法の２つを提案している。評価実験では、従来の命令スケジューリング手法と比べて部分フォワーディングを実装した構成可変プロセッサの最適化を行い、提案手法の有効性を確認している。

次に、単一命令で複数のデータに対して同時に演算を行うSIMD演算器を追加したプロセッサに対するコード最適化手法を提案している。従来までの研究では並列性の考慮が実装に反映されていない入力プログラムに対してSIMD命令を自動で出力させる方法が提案されていたが、SIMD命令の入出力に使われるレジスタ内部のデータ位置を最適化する手法については十分な検討がなされていなかった。本論文では各レジスタ内のデータ位置を大域的に最適化し、データ並び替え命令数を最小化する最適化手法を提案している。評価実験ではテスト用プログラムに対して最適化を行い、従来手法と比べて実行サイクル数が削減されることが知られた。

以上のことから、博士（情報科学）の学位論文として価値のあるものと認める。