The University of Osaka
Institutional Knowledge Archive

Title	Low Power Design Method for Embedded Systems using VLIW Processor
Author(s)	小林, 悠記
Citation	大阪大学, 2007, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/1631
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

【4】

氏　　名	小　林　悠　記（こ　ばやし　ゆう　き）
博士の専攻分野の名称	博　士（情報科学）
学　位　記　番　号	第　２１５９０　号
学 位 授 与 年 月 日	平成 19 年 9 月 26 日
学 位 授 与 の 要 件	学位規則第４条第１項該当 情報科学研究科情報システム工学専攻
学　位　論　文　名	Low Power Design Method for Embedded Systems using VLIW Processor （VLIW プロセッサを用いた組み込みシステムの低消費電力化設計手法）
論 文 審 査 委 員	（主査） 教　授　今井　正治 （副査） 教　授　尾上　孝雄　　教　授　Francky V.M. Catthoor 准教授　武内　良典

論 文 内 容 の 要 旨

近年の組み込みプロセッサでは、高性能化と低消費電力化への要求がますます高まっている。高性能かつ低消費電力である組み込みプロセッサのアーキテクチャとしては、VLIW アーキテクチャが有効であるが、設計が複雑であり、従来手法では設計工数が膨大になるため、設計生産性の向上が求められていた。

本論文では、まず、VLIW プロセッサを高位のプロセッサ動作記述から自動生成する手法が提案された。提案手法では、多くの商用 VLIW プロセッサを表現可能な、複雑なディスパッチルール（命令発行規則）を扱えるモデルを用いており、より大きな設計空間を探索可能である。評価実験の結果、提案手法による設計では、手設計と比べて、必要な記述量が 80%以上少なく、VLIW プロセッサの設計生産性を大幅に向上できることが知られた。

また、VLIW プロセッサの電力の大部分は、命令メモリ階層において消費されていることが報告されている。本論文では、VLIW プロセッサの低消費電力化手法として、オペレーション・シャッフリングにより、消費電力量の低いスケジュールを生成するアルゴリズムが提案された。命令メモリ階層における低消費電力化の問題に対し、これまで L0 バッファや L0 クラスタという技術が提案されてきたが、入力となる初期スケジュールが変わると最適なクラスタ構成が大きく変動してしまうという問題があった。

提案手法では、様々なスケジュールを生成・評価するオペレーション・シャッフリングというアルゴリズムを用いることでこの問題を克服する。オペレーション・シャッフリングには、探索空間が大きくなるという問題があるため、探索空間を効率的に削減する発見的手法も提案された。評価実験の結果、提案するアルゴリズムを用いることにより、L0 バッファの消費電力量を最大約 30%削減できることが知られた。

オペレーション・シャッフリング・アルゴリズムは消費電力量の削減に有効であるが、その計算量は、発見的手法を用いたとしても依然として膨大である。そこで、本論文では、計算量を大幅に削減するために、効率的なスケジューリング手法も提案された。提案手法では、プログラム中のもっとも重要なループに対してのみオペレーション・シャッフリングを適用し、その時点で得られた L0 クラスタ構成に対してコンパイラが再度スケジューリングを行うことで、計算量を抑えたまま消費電力量を削減する。評価実験の結果、提案手法を用いることで、消費電力量削減率を維持したまま、計算量を約 50 分の 1 に減らせることが知られた。

論文審査の結果の要旨

近年の組み込みプロセッサでは、高性能化と低消費電力化への要求がますます高まっている。高性能かつ低消費電力である組み込みプロセッサのアーキテクチャとしては、VLIW アーキテクチャが有効であるが、設計が複雑であり、従来手法では設計工数が膨大になるため、設計生産性の向上が求められていた。

本論文では、まず、VLIW プロセッサを高位のプロセッサ動作記述から自動生成する手法を提案している。提案手法による設計では、手設計と比べて、必要な記述量が 80%以上少なく、VLIW プロセッサの設計生産性を大幅に向上できることが知られた。

次に、本論文では、VLIW プロセッサの低消費電力化手法として、オペレーション・シャッフリングにより、消費電力量の低いスケジュールを生成するアルゴリズムを提案している。評価実験の結果、提案したアルゴリズムを用いることにより、L0 バッファの消費電力量を最大約 30%削減できることが知られた。

上記のアルゴリズムの計算量は、発見的手法を用いたとしても依然として膨大である。そこで、計算量を大幅に削減するために、より効率の良いスケジューリング手法を提案している。評価実験の結果、提案手法を用いることで、消費電力量削減率を維持したまま、計算量を約 50 分の 1 に減らせることが知られた。

以上のことから、博士（情報科学）の学位論文として価値のあるものと認める。