The University of Osaka
Institutional Knowledge Archive

Title	オプトロニック・ディジタル回路に関する研究
Author(s)	志水, 英二
Citation	大阪大学, 1976, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/1646
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

オプトロニック・ディジタル回路に関する研究

志　水　英　二

昭和51年1月

目　　次

内　容　梗　概…… 1
主　要　記　号　表…… 4
第1章　緒　　論…… 5
第2章　多層構成によるオプトロニック演算回路…… 8
　第1節　緒　　言…… 8
　第2節　多層構成によるオプトロニック演算回路…… 8
　第3節　けた符号付2進数を用いた多層構成によるオプトロニック加減算回路…… 9
　第4節　本オプトロニック加減算回路の単位回路の論理演算…… 12
　第5節　光導電セルとネオンランプによる単位回路の構成と動作条件…… 14
　第6節　ホト・トランジスタと発光ダイオードによる単位回路および動作条件…… 17
　第7節　ＮＬ－ＰＣ単位回路の動作条件の検討…… 20
　第8節　試作加減算回路…… 25
　第9節　多層構成によるオプトロニック乗算回路…… 28
　第10節　結　　言…… 32
第3章　論理機能をもつ表示回路…… 35
　第1節　緒　　言…… 35
　第2節　Ｓ形特性をもつ発光素子を用いた表示回路の動作原理…… 36
　第3節　試作表示回路とその諸特性…… 40
　第4節　本表示回路の諸特性についての検討…… 44
　第5節　他の表示形式をもつ表示回路および高単位表示方式…… 47

第6節　結　　言…… 49
第4章　制御機能をもつ光結合回路…… 50
第1節　緒　　言 …… 50
第2節　制御機能をもつディジタル光結合回路…… 51
第3節　制御機能をもつディジタル光結合回路の回路構成…… 53
第4節　S形特性発光素子を用いた制御機能をもつディジタル光結合回路…… 54
第5節　制御機能をもつディジタル光結合回路のオプトロニックシステムへの応用…… 63
第6節　制御機能をもつアナログ光結合回路…… 64
第7節　制御可能なアナログ光結合回路の動作特性…… 68
第8節　試作アナログ光結合回路とその諸特性…… 71
第9節　本アナログ光結合回路を用いたオプトロニック回路…… 73
第10節　結　　言…… 78
第5章　オプトロニックA－D変換器…… 80
第1節　緒　　言…… 80
第2節　N形特性列A－D変換器…… 80
第3節　NLD列オプトロニックA－D変換器の構成手法…… 83
第4節　NLD列を用いた縦続形A－D変換器…… 87
第5節　結　　言…… 94
第6章　結　　論…… 96

謝　　辞…… 99
文　　献…… 100

内容梗概

本論文は、電子工学的手法と光学的手法との特長を相乗的に発揮させることによって、オプトロニクス的手法を十分に生かした独自の論理機能をもつシステムあるいは回路を構成することを目的として行なった研究の成果を述べたものである。

第1章では、オプトロニクスの特質について述べ、情報処理技術の中でオプトロニクスが重要な役割を演ずるために克服されなければならない問題点を指摘し、本研究の意義と目的を明らかにしている。

第2章では、オプトロニクス的手法によってのみ可能な独自の機能をもつ回路系の構成への一つの試みとして多層構成によるオプトロニック演算回路を提案し、本方式による演算回路の特徴を十分発揮させることのできる数系として桁符号付2進数をとりあげ、桁符号付2進数のオプトロニクス的表現法について考察している。そして、このような構想を具体化するために、演算として加減算および乗算をとりあげ、受光素子として光導電素子、発光素子としてネオンランプを用いた単位回路および受光素子としてホト・トランジスタ、発光素子として発光ダイオードを用いた単位回路を提案し、それらの動作条件について検討している。最後に、これらの単位回路を試作し前述の単位回路についての考察が本方式のオプトロニック回路に有用であることを示すとともに、光導電素子ーネオンランプの単位回路を用いて3ビットの加減算が可能な多層構成によるオプトロニック加減算回路を実現している。

第3章では、オプトロニック回路によってのみ可能な独自の機能をもつ回路として論理機能をもつ表示回路をとりあげ、電流制御形負性抵抗電圧電流特性（S形特性）をもち、電流に比例した光強度で発光する素子のもつ閾値機能と

発光機能とを効果的に結合させた表示回路の一方式を提案し、一例として重み〝1″をもつ4個の輝点と重み〝5″をもつ1個の輝点とによる10進表示回路をとりあげ、その動作原理、設計条件などを明らかにするとともに、ガリウム砒素負性抵抗発光素子を用いて本方式の表示回路を試作し、その諸特性について検討している。最後に、本方式の表示回路によって入力電流を、直接所望の表示形式で表示することのできる手法について述べている。

第4章では、オプトロニクス的手法によってのみ実現可能な独自の機能をもつ回路として最も古くから注目されてきた光結合回路を現在の低迷状態より離脱させ、その機能をさらに向上発展させる試みとして、制御機能をもつ光結合回路を提案している。

ディジタル光結合回路については、まず制御機能をもつ光結合回路に付与すべき機能を定義し、その構成手法について考察するとともに、S形特性電流駆動形発光素子および光感度をもつS形特性電流駆動形発光素子を用いた制御機能をもつ光結合回路を提案し、その動作原理および構成について述べている。

アナログ光結合回路については、S形特性電流駆動形発光素子を用いた二つの構成手法を提案し、その構成手法および諸特性について述べ、これらの構成手法によってゲートつきガリウム砒素負性抵抗発光素子を用いた制御機能をもつ光結合回路を試作し、その諸特性について検討している。

最後に、制御機能をもつ光結合回路の応用についても述べている。

N形特性列A－D変換器は、所定の電圧制御形負性抵抗特性（N形特性）をもつ素子あるいは回路を直列に接続することによって、容易にアナログ入力電圧に対応したディジタル出力を得ることができる。しかし、N形特性列A－D変換器の出力が単位素子あるいは単位回路の端子間電圧として得られるため、出力回路を別に付加しなければならない難点を持っている。

第5章では、この難点を克服する手法として、N形特性をもつ電圧駆動形発光素子を用いる手法を提案するとともに、負荷抵抗を考慮した本A－D変換器の動作特性を解析している。次に、さらに高単位のA－D変換器として、N形特性電圧駆動形発光素子列と段間増幅器を組合せた縦続形A－D変換器を提案し、その構成手法を明らかにしている。

第6章では、結論として本研究で得られた成果を概括している。

主要記号表

量　記　号

Vp：ピーク点電圧値

Vv：バレー点電圧値

V*f*：ピーク点同値点電圧値

Ip：ピーク点電流値

Iv：バレー点電流値

I*f*：ピーク点同値点電流値

R：抵抗値

単位略号

V：ボルト

A：アンペア

Ω：オーム

Hz：ヘルツ

sec：秒

単位の倍数量または分数量を表わすには次の略号を前につける

k：キロ

m：ミリ

M：メグ

μ：マイクロ

第1章　緒　　論

従来、情報処理装置は、主として抵抗、キャパシタ、インダクタンス素子および相互インダクタンス素子などの受動素子とトランジスタおよびダイオードなどの能動素子とからなる基本回路によって構成され、これらを通じて行なわれる情報の伝送または処理は、すべて電子的に行なわれるのが普通であった。

しかし、光学と電子工学との関係を究明し、これらの異なる学問、技術の分野の成果を活用し、電子工学的手法と光学的手法との特長を相乗的に発揮させることのできる手法が開発されるならば、このような手法によってのみ実現可能な独自の機能をもつシステムを構成することが可能となり、電子工学的手法が現在直面しているいくつかの困難を克服することができるばかりか、我々が利用し得る情報処理能力を飛躍的に増大することも可能になるものと思われる。

1955年、E. E. Lobuer は光学と電子工学の境界を取去り、これらの両分野にわたる大きな学問・技術の総合された一つの体系をオプトロニクスと名付け、電―光変換素子としてエレクトロルミネッセンス板、光―電変換素子として光導電セルを用い、代表的な論理回路を実現することによってオプトロニクスのもつ基本的な特性を検討した。(1)

以来、オプトロニクスは情報処理のみならず通信、制御、計測などの分野においても、直面している多くの問題を解決する可能性をもつ有力な手法として大きな注目を集め、現在に至っている。これらのオプトロニクスのもつ可能性を現実化するために払われた多くの努力が、一方では半導体製造技術などの進歩と相まって、発光ダイオード、半導体レーザなどを中心とする電―光変換素子、ホト・トランジスタ、ホト・ダイオードなどの光―電変換素子および光ファイバなどの光伝送素子といったオプトロニクスを構成するあらゆる素子にお

いて画期的な特性の改良をもたらし、他方ではオプトロニクス的手法のもつ独自の機能を十分に生かすことのできるシステムについての研究を進展させ、いまや両者の成果を有機的に結合した大きな技術の大系が生れようとしている。(2)~(7)

しかしながら、オプトロニクス的手法を用いたシステムとして現在まで発表された試みは、現在の電子回路を単に光—電変換素子と電—光変換素子とで置き換え、素子間の情報伝送を電子的なものから光学的なものに置き換えたに過ぎないもの、あるいはオプトロニクス的手法をごく単純な形で用いているに過ぎないものが多く、電子工学的手法と光学的手法の特長を相乗的に発揮させることにより、オプトロニクス的手法によってのみ可能な独自の機能をもたせたシステムあるいは回路については見るべきものがないように思われる。

本研究は、このようなオプトロニクスにおける問題点を克服するためにオプトロニクス的手法のもつ独自の機能を十分に生かしたシステムあるいは回路を構成しようとする試みである。

すなわち、第2章で述べる多層構成によるオプトロニック演算回路は、相互に電気的に結合された同一のオプトロニック論理回路を一平面上に配列して一つの層を形成し、これらを必要な層数だけ重ね合わせ、各層の論理回路間の情報を光の直進性と並行性を利用して同時並列的に伝送し、所望の論理操作を迅速かつ効果的に行なわせることができるものであり、オプトロニクス的手法によってのみ可能な独自の機能をもつ回路系への試みである。

第3章で述べる論理機能をもつ表示回路は、電流制御形負性抵抗特性をもち、素子を流れる電流に比例した光強度で発光する素子によって構成された閾値論理回路網で入力電流を所望の出力に変換し、同時にこれらの素子の発光機能を生かして出力に対応するパターンとして表示するもので、発光機能をもつ論理回路あるいは論理機能をもつ表示回路などオプトロニック回路によってのみ実

現可能な独自の機能をもつ回路を構成しようとする試みである。

第4章で述べる制御機能をもつ光結合回路は、光結合における結合形を制御することのできる機能をもつ多入力多出力光結合回路で、オプトロニクスの分野で最も古くから注目されてきた光結合の機能すなわち、単に信号を1入力1出力の光結合を介して伝達するのみであった従来の光結合回路をさらに拡張、発展させたものである。

第5章で述べる電圧制御形負性抵抗特性をもつ電圧駆動形発光素子列A—D変換器は、電圧制御形負性抵抗特性列A—D変換器の出力が直列に接続された単位素子それぞれの端子間電圧の変化として得られるため、容易に出力をとりだすことが困難である難点を、電気的分離を簡単に行なうことができる光結合によって克服したもので、オプトロニック素子のもつ発光機能と電気的特性を効果的に結合させたオプトロニック回路である。

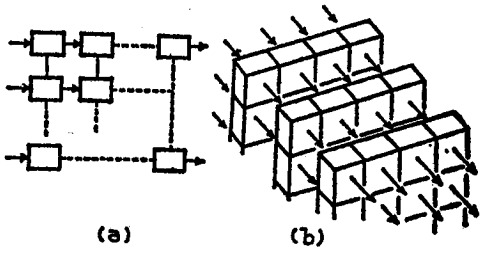
第2章　多層構成によるオプトロニック演算回路(8)~(17)

第1節　緒　　言

ここに述べるオプトロニック演算回路は、オプトロニクス的手法によってのみ可能な独自の機能をもつ回路系の構成への一つの試みであって、相互に電気的に結合された同一のオプトロニック論理回路を一平面上に配列して一つの層を形成し、これらを必要な層数だけ重ね合わせ、各層の論理回路間の情報を光の直進性と並行性とを利用して同時並行的に伝送し、所望の論理操作を迅速かつ効果的に行なわせようとするものである。したがって、層間の複雑な配線が不要になり単に各層をそのまま、あるいはずらせて重ね合わせるだけで所望の機能を付与した回路を構成でき、さらに同時並行的に種々の機能を行なわせることのできる合理的なシステムを容易に構成することができる。

第2節　多層構成によるオプトロニック演算回路

オプトロニック論理回路を光学的手法を用いて相互に接続する場合には、光の直進性と並行性とをあわせ考慮すれば、第2－1図（a）のような構成となる。ここで縦の結合を電気的に行ない、これらの結合を通じてエネルギーと情報ある



第2－1図　オプトロニックな手法に適した組合せ論理回路の構成

いはエネルギーのみを与えれば、第2－1図（b）のように電気的に結合されたオプトロニック論理回路群が一つの層を形成し、各層間を光が情報を伝送し、論理演算を行なわせるような組合せ論理回路の構成を実現することができる。以下、このような構成の組合せ論理回路を多層構成によるオプトロニック論理回路と呼ぶことにする。

多層構成によるオプトロニック論理回路を構成する際、その演算方式は（1）並列演算を行なうことができる、（2）演算を行なうステップ数が少ないこと。できうるならば演算入力のけた数の多少にかかわらず、一定のステップ数で演算を終了することができること、などの特徴をもっていることが望ましい。（1）は多層構成によるオプトロニック論理回路の特長を生かすため、（2）は層数を少なくし、また層数を一定にすることによって回路構成を簡単にかつ合理化するために、また一般に光⟶電気、電気⟶光の変換効率の低いオプトロニック素子によって生じる回路設計上の制約を緩和するためにも望ましい条件である。

第3節　けた符号付2進数を用いた多層構成によるオプトロニック加減算回路

上に述べた二つの条件を満足する演算方式としては、純2進数の並列加減算や種々の高速けた上げをもった加減算方式が提案されているが[8]、いずれも演算を行なうけた数が大きくなると単位回路が複雑となる。したがって、本加減算回路においては、比較的簡単な回路構成で上に述べた二つの条件を満足させることのできる数系の一つであるけた符号付2進数を用いることにした。

次にこの数系について、以下の説明に必要な事項を簡単に述べる。[9]

一般に、m＋1けたのけた符号付2進数（以下 SDBN と略記する）は次のように書かれる。

$$Z=\sum_{i=0}^{m} z_i 2^i \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (2-1)$$

ただし、z_i は（－1、0、＋1）の値をとる。以下、簡略のため＋1は1、－1は$\bar{1}$と書く。

SDBNで表わされた2数XおよびYの加算は次のように行なわれる。まず、XおよびYのiけた目であるx_iとy_iを加算することによって、第2－1表（a）のように$i+1$けたへのけた上げt_{i+1}と部分和w_iを得る。（ステップIと呼ぶ）次にステップIで得るけた上げt_iと部分和w_iを加算することによって第2－1表（b）のように$i+1$けたへのけた上げt_{i+1}'と部分和w_i'を得る。（ステップIIと呼ぶ）次にステップIIで得たけた上げt_i'と部分和w_i'を加算することによって第2－1表（c）のように和s_iを得る。（ステップIIIと呼ぶ）後で述べるように、第2－1表にしたがってステップI～IIIの演算を行なえば、ステップIIIではけた上げが生じないので演算は終了する。以上の過程をまとめると次式のようになる。

第2－1表　SDBNによる加算

x_i	y_i	t_{i+1}	w_i
0	0	0	0
1	0	1	$\bar{1}$
0	1	1	$\bar{1}$
$\bar{1}$	0	$\bar{1}$	1
0	$\bar{1}$	$\bar{1}$	1
1	1	1	0
$\bar{1}$	$\bar{1}$	$\bar{1}$	0
1	$\bar{1}$	0	0
$\bar{1}$	1	0	0

(a)

t_i	w_i	t'_{i+1}	w'_i
0	0	0	0
1	0	0	1
0	1	0	1
$\bar{1}$	0	0	$\bar{1}$
0	$\bar{1}$	0	$\bar{1}$
1	1	1	0
$\bar{1}$	$\bar{1}$	$\bar{1}$	0
1	$\bar{1}$	0	0
$\bar{1}$	1	0	0

(b)

t'_i	w'_i	s_i
0	0	0
1	0	1
0	1	1
$\bar{1}$	0	$\bar{1}$
0	$\bar{1}$	$\bar{1}$
1	$\bar{1}$	0
$\bar{1}$	1	0

(c)

$$x_i + y_i = t_{i+1} + w_i \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (2-2)$$

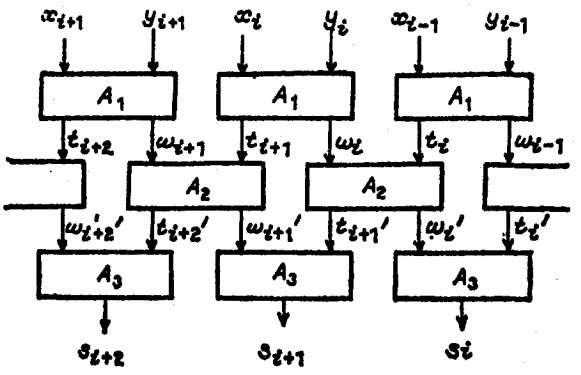
$$t_i + w_i = t_{i+1}' + w_i' \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (2-3)$$

$$t_i' + w_i' = s_i \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (2-4)$$

ステップIIIでけた上げが生じないのは次の理由による。もし、けた上げが生

じるとすれば $t_i' = \omega_i' = \pm 1$ の場合に限る。第2－1表（b）より、$t_i' = \omega_i' = \pm 1$ となるためにはステップIIにおいて $\omega_{i-1} + t_{i-1} = \pm 2$、$\omega_i + t_i = \pm 1$ の演算が同時に行なわれる場合に限られる。しかし、第2－1表（a）より $\omega_{i-1} = \pm 1$ では $t_i = \mp 1$ となり、上述のステップIIにおける二つの演算が同時に行なわれることはない。したがって、ステップIIIにおいては $|t_i' + \omega_i'| \leqq 1$ となり、けた上げが生じない。

（2－2）～（2－4）式の演算を行なう演算回路をそれぞれ A_1, A_2 および A_3 とすると、本方式の加減算器の系統図は第2－2図のようになる。このように SDBN を用いた加減算器は第2節で述べた二つの条件を満たすほかに、（1）演算する数のけた数に関係なく各層は同一の単位回路で構成することができる、（2）減数のすべてのけた符号の正負を逆にして加算することによって減算を行なうことができるので、減算器は各けた符号の正負を逆にするための入力回路を加算器に付加するだけで実現できる、などの特長をもっている。



第2－2図　SDBNを用いた加減算器の系統図

本演算装置を加減算器と一括して呼称しているのは、上述のように入力回路で減数の各けた符号の正負を逆にすれば加算器そのものにはなんら変更を加えることなく、そのまま減算を行なわせることができるためである。

本4節　本オプトロニック加減算回路の単位回路の論理演算

SBBN は通常の2進数と異なり、1，0，$\bar{1}$の数値をとるから、SDBN を用いる演算回路の構成素子として3安定素子が最も適している。しかし、現状では適当なオプトロニック3安定素子を利用できないので、2安定素子を用いて、SDBN 演算回路を構成した。

第2－2表　SDBNと光の対応

	1	0	$\bar{1}$
A_+	～	～	↓
A_-	↓	～	～

(a)

	1	0	$\bar{1}$
A_+	～	↓	↓
A_-	↓	↓	～

(b)

～：発光（受光）素子A_+またはA_-が発光（受光）している状態

↓：A_+またはA_-が発光（受光）していない状態

第2－3表　ステップⅠの単位回路の入出力特性

入力(受光素子)		出力(発光素子)					
x_+	x_-	y_+	y_-	w_+	w_-	t_+	t_-
～	～	～	～	～	～	～	～
～	↓	～	～	↓	～	～	↓
～	～	～	↓	↓	～	～	↓
↓	～	～	～	～	↓	↓	～
～	～	↓	～	～	↓	↓	～
～	↓	～	↓	～	～	～	↓
↓	～	↓	～	～	～	↓	～
～	↓	↓	～	～	～	～	～
↓	～	～	↓	～	～	～	～

(a)

入力(受光素子)		出力(発光素子)					
x_+	x_-	y_+	y_-	w_+	w_-	t_+	t_-
↓	↓	↓	↓	↓	↓	↓	↓
～	↓	↓	↓	↓	～	～	↓
↓	↓	～	↓	↓	～	～	↓
↓	～	↓	↓	～	↓	↓	～
↓	↓	↓	～	～	↓	↓	～
～	↓	～	↓	↓	↓	～	↓
↓	～	↓	～	↓	↓	↓	～
～	↓	↓	～	↓	↓	↓	↓
↓	～	～	↓	↓	↓	↓	↓

(b)

第2－2表は試作したSDBN演算回路における1，0、$\bar{1}$の表現法であり、(a)は二つの受光（発光）素子が二つとも同時に受光（発光）している状態を“0”入力（出力）に対応させ、どちらか一つの受光（発光）素子が受光（発光）している状態を“1”または“$\bar{1}$”に対応させた。一方、(b)は“1”および“$\bar{1}$”の表現において(a)と同様であるが、“0”入力（出力）を二つの受光（発光）素子が二つとも同時に受光（発光）していない状態に対応させた。これら2種類の対応のさせ方は、情報のない場合と“0”入力（出力）との区別の必要性の有無や、回路素子の特性を考慮することによって決定されるべきものである。

第2－3表（a）、（b）はそれぞれ第2－1表に示したSDBNの加算におけるステップIの演算を第2－2表（a）および（b）の対応を用いて書き改めたものである。ここで受光素子 x_+ および x_- はSDBNで表示されたXのiけた目 x_i が入力として印加される受光素子を表わし、それぞれ“1”および“$\bar{1}$”を表現する素子である。$y_\pm$ についても同様である。発光素子ω_+およびω_-はiけた目の部分和ω_i を表わす発光素子であり、それぞれ“1”および“$\bar{1}$”を表現する。$t_\pm$についても同様である。第2－3表の“$\rightsquigarrow$”および“$\vee$”をプール代数における“1”および“0”に対応させ、それぞれを論理式で表わし簡単化すると次式のようになる。

（1）　第2－2表（a）による表現

$$\omega_\pm = \bar{x}_\pm + \bar{y}_\pm + x_\mp y_\mp + \bar{x}_\mp \bar{y}_\mp \quad \cdots\cdots (2-5)$$

$$t_\pm = \bar{x}_\mp + \bar{y}_\mp + x_\pm y_\pm \quad \cdots\cdots (2-6)$$

（2）　第2－2表（b）による表現

$$\omega_\pm = \bar{x}_\pm \bar{y}_\pm (x_\mp \bar{y}_\mp + \bar{x}_\mp y_\mp) \quad \cdots\cdots (2-7)$$

$$t_\pm = \bar{x}_\mp \bar{y}_\mp (x_\pm + y_\pm) \quad \cdots\cdots (2-8)$$

ステップIIおよびIIIについても同様に論理式で次のように表わすことができる。

（1）　表2－2表（a）による表現

$$\omega_\pm' = \bar{\omega}_\mp + \bar{t}_\mp + \omega_\pm t_\pm + \bar{\omega}_\pm \bar{t}_\pm \quad \cdots\cdots (2-9)$$

$$t_\pm' = \omega_\pm + t_\pm \quad \cdots\cdots (2-10)$$

$$s_\pm = \bar{\omega}_\mp' + \bar{t}_\mp' + \omega_\pm' t_\pm' \quad \cdots\cdots (2-11)$$

（2）　第2－2表（b）による表現

$$\omega_{\pm}' = \omega_{\pm}\,\bar{t}_{\pm}t_{\mp} + t_{\pm}\,\bar{\omega}_{\pm}\,\bar{\omega}_{\mp} \quad \cdots\cdots (2-12)$$

$$t_{\pm}' = \omega_{\pm}\,t_{\pm} \quad \cdots\cdots (2-13)$$

$$s_{\pm} = \bar{\omega}_{\mp}'\,\bar{t}_{\mp}'(\omega_{\pm}' + t_{\pm}') \quad \cdots\cdots (2-14)$$

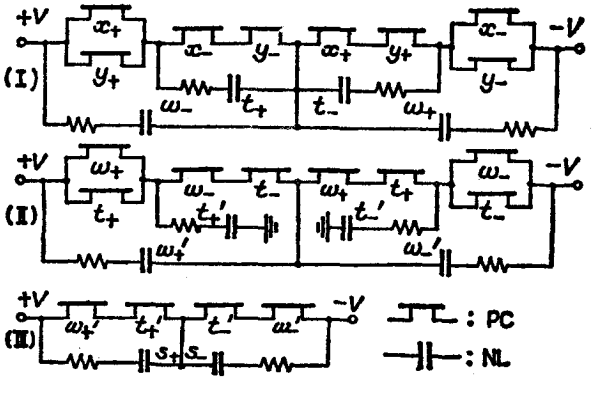
第5節　光導電セルとネオンランプによる単位回路の構成と動作条件

受光素子として光導電セルのような光入力によって端子間抵抗の変化する素子、（以下ＰＣと略記する）発光素子としてネオンランプのような端子間電圧によって発光する素子（以下、ＮＬと略記する）を用いて本方式の演算回路を実現する。

ＰＣ、ＮＬを用いる場合には、光と SDBN との対応は第2－2表（a）を用いると回路構成が簡単になる。

第2－3図は（2－5）～（2－6）式、（2－9）～（2－10）式、（2－11）式の演算を行なう単位回路（それぞれを単位回路Ⅰ、単位回路Ⅱ、単位回路Ⅲと略記する）を示したものである。

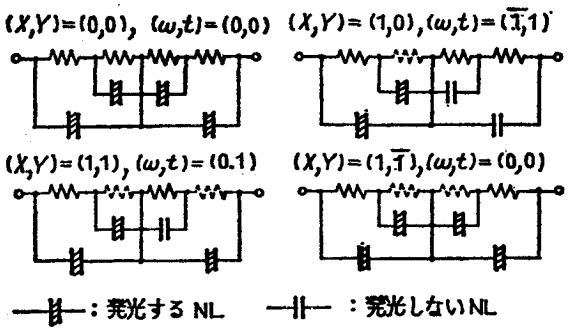
第2－4図はＰＣに光入力がある場合のＰＣの端子間抵抗を実線で、光入力がない場合の端子間抵抗を点線で示すことによって、各入力に対する単位回路Ⅰの動作原理を示したものであり、第2－5図、第2－6図はそれぞれ単位回路Ⅱお



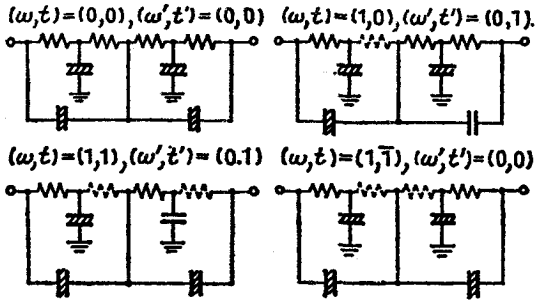
第2－3図　ＮＬ－ＰＣを用いた単位回路

よびIIIの動作原理を示したものである。

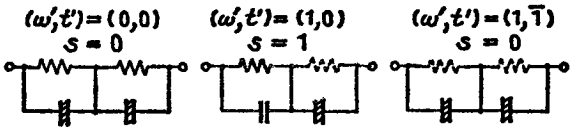
以下、単位回路IおよびIIの動作を簡単に説明する。単位回路Iへの入力が（X，Y）＝（1，0）の場合には、光入力がPCによって構成された x_+ および $y_\pm$ に入射すると、各PCの端子間抵抗は x_+ および $y_\pm$ が低抵抗、x_- が高抵抗となる。したがって、t_- および ω_+ を表示するNLは直列に高抵抗、並列に低抵抗がそう入されることとなり発光せず、直列に低抵抗、並列に高抵抗がそう入された t_+ および ω_- を表示するNLが発光し、出力（ω，t）＝（$\bar{1}$，1）を与える。（X，Y）＝（0，1）、（$\bar{1}$，0）および（0，$\bar{1}$）の場合も同様である。（X，Y）＝（1，1）の場合、



第２－４図　単位回路Iの動作原理



第２－５図　単位回路IIの動作原理



第２－６図　単位回路IIIの動作原理

光入力が x_+ および y_+ に加えられるので、各ＰＣ間端子間抵抗は x_+ および y_+ が低抵抗、x_- および y_- が高抵抗となる。したがって、t_- は直列に高抵抗、並列に低抵抗がそう入されることになり発光せず、並列抵抗が高抵抗となる t_+ および $\omega_\pm$ が発光し、出力（t，ω）＝（1，0）を与える。

単位回路IIへの入力が（ω，t）＝（1，0）の場合には、各ＰＣの端子間抵抗は ω_+ および $t_\pm$ が低抵抗、ω_- が高抵抗となる。したがって、ω_-' は直列に高抵抗と並列に低抵抗がそう入されることになり発光せず、ω_+' および、$t_\pm'$ が発光し、出力（ω'，t'）＝（1，0）を与える。（ω，t）＝（1，1）の場合には各ＰＣの端子間抵抗は ω_+ および t_+ が低抵抗、ω_- および t_- が高抵抗となる。したがって、t_-' は直列に高抵抗、並列に低抵抗がそう入されて発光せず、$\omega_\pm'$ および t_+' が発光し、出力（ω'，t'）＝（0，1）を与える。

発光状態のＮＬの端子間抵抗と負荷抵抗 R_L との和抵抗 R_{NL}、無発光状態のＮＬの端子間抵抗と負荷抵抗 R_L との和抵抗 R_{NL}'、光入力がある場合のＰＣの端子間抵抗 R および光入力がない場合のＰＣの端子間抵抗 R' との間に $R_{NL}' > R' > R_{NL} \gg R$ の関係を付与した場合について、所期の入出力特性を満足する条件を求めると、

（ｉ）　（Ｘ，Ｙ）＝（0，0）のとき、出力（ω，t）＝（0，0）：$\omega_\pm$ および $t_\pm$ の端子間電圧 $V\omega_\pm$ および $V_{t\pm}$ は $V\omega_\pm > V_{t\pm} = 4V/5$ で与えられるから、ＮＬの発光しきい値電圧 V_{th} との間に次式を満足させれば所望の出力を得ることができる。

$$4V/5 > V_{th} \quad \cdots\cdots (2-15)$$

（ii）　（Ｘ，Ｙ）＝（1，0）のとき、出力（ω，t）＝（$\bar{1}$，1）：$V\omega_- > V_{t+} = 2V$ であるから、所望の出力を得る条件は次式で与えられる。

$$2V > V_{th} \quad \cdots\cdots (2-16)$$

（ⅲ）　（X，Y）＝（1，1）のとき，出力（ω，t）＝（0，1）：

$$V\omega_{+} > V\omega_{-} = V_{t+} = 2V/3 > V_{th} \quad \cdots\cdots (2-17)$$

を満足させれば所望の出力を得ることができる。

（X，Y）＝（$\bar{1}$，$\bar{1}$）の場合も同様である。

（ⅳ）　（X，Y）＝（1，$\bar{1}$）のとき、出力（ω，t）＝（0，0）：

$$V\omega_{\pm} > V_{t\pm} = V > V_{th} \quad \cdots\cdots (2-18)$$

を満足すれば所望の出力を得ることができる。

以上の条件式（2－15）～（2－18）より単位回路Ｉは次式を満足する電源電圧を与えることによって、入力に応じた所望の出力を得ることができる。

$$V > 3V_{th}/2 \quad \cdots\cdots (2-19)$$

単位回路ⅡおよびⅢについても、各入力に対する所望の出力を得るための条件が全く同様な考察より得られ、それらの各式をまとめると、

$$V > 5V_{th}/4 \quad \cdots\cdots (2-20)$$

単位回路Ⅲについて

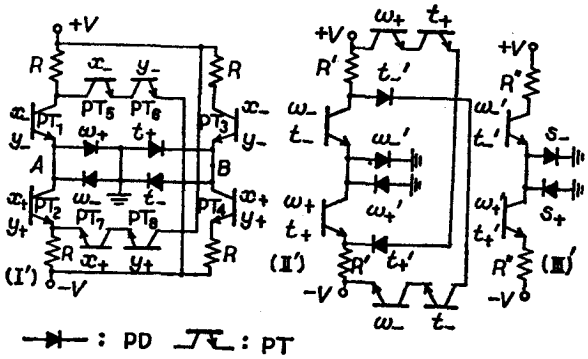
$$V > V_{th} \quad \cdots\cdots (2-21)$$

が得られる。

第６節　ホトトランジスタと発光ダイオードによる単位回路および動作条件

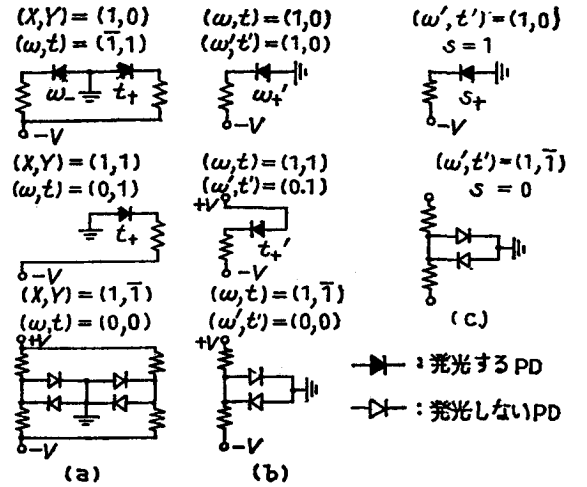
受光素子としてホトトランジスタのような光入力によって動作する素子、(以下、ＰＴと略記する）発光素子として発光ダイオードのような電流で発光する素子（以下、ＰＤと略記する）を用いることによっても本方式の演算回路を実現することができる。

ＰＴ・ＰＤを組み合わせて用いる場合には、光とＳＤＢＮとの対応は第２－２表（ｂ）が適している。（２－７）～（２－８）式,（２－12）～（２－13）式,（２－14）式の演算を行なう単位回路（それぞれを単位回路Ｉ′、単位回路II′、単位回路III′と略記する）を第２－７図に示す。



第２－７図　ＰＤ－ＰＴを用いた単位回路

第２－８図（ａ）はＰＴに光入力がある場合を短絡、光入力のない場合を開放としたときの各入力に対する単位回路Ｉ′の動作原理を示したものであり、同図（ｂ）および（ｃ）はそれぞれ単位回路II′およびIII′について示したものである。



第２－８図　単位回路Ｉ′，II′およびIII′の動作原理

以下、その動作を簡単に述べる。第２－７図の単位回路Ｉ′への入力が（Ｘ，Ｙ）＝（１，０）の場合には、x_+に対応するＰＴであるＰT_2、ＰT_4およびＰT_7に光入力が入射され、ＰT_2およびＰT_4が導通する。したがって、それらのＰＴに直列に順方向にそう入されているＰＤすなわちω_-およびt_+に電流が流れ

て発光し、出力（ω，t）＝（$\bar{1}$，1）を与える。この状態を具体的に示したのが第2－8図（a）最上段である。入力（X，Y）＝（1，1）の場合には、x_+ および y_+ に対応するそれぞれのＰＴに光入力が入射される。PT_2には光入力が入射しているが、PT_7およびPT_8が導通するのでPT_2は導通することができない。したがって、導通したPT_4に直列に順方向にそう入されているt_+のみが発光し、出力（ω，t）＝（0，1）を表示する。入力（X，Y）=（1，$\bar{1}$）の場合、x_+ および y_- に対応するそれぞれのＰＴに光入力が入射される。PT_1およびPT_2、PT_3およびPT_4が導通するが、それぞれのＰＴの特性がじゅうぶんにそろっているとすると、Ａ点およびＢ点の電位は零となり、ω_+ および ω_-、t_+ および t_- には電流が流れず出力は（ω，t）＝（0，0）となる。

上に述べたような所定の入出力特性を単位回路Ｉ′に付与するためには、次のような条件が満足されなければならない。ただし、各ＰＴは単位回路Ｉ′への入力光によって導通状態に駆動されるものとする。

（ｉ）　入力（X，Y）＝（1，0），（1，1）のような場合にＰＴが導通し、直列に順方向にそう人されているＰＤが発光するためには、ＰＤのオフセット電圧（発光ダイオード特性の順方向の立上り電圧）を V_0 とすると電源電圧Vは次の関係を満足しなければならない。

$$V \gg V_0 \quad \cdots\cdots (2-22)$$

また、単位回路Ｉ′よりの出力光が単位回路II′のＰＴを導通状態にするためにじゅうぶんでなければならないことから、次段のＰＴを導通させることのできる光量を発光させる電流を I_D とすると、単位回路Ｉ′の電源電圧VおよびＰＴの負荷抵抗Rと I_D の間に次の関係が満足されなければならない。

$$V/R \gg I_D \quad \cdots\cdots (2-23)$$

（ii）　入力（X，Y）＝（1，$\bar{1}$）などの場合、直列に接続されて導通状態にあるＰＴの中点と接地点間の二つのＰＤが発光しないためには、中点電位 V_M は次の関係を満足しなければならない。

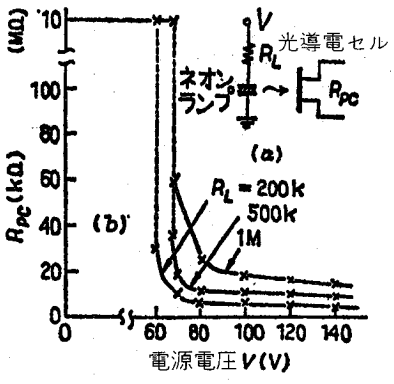
$$V_M < 2\,V_0 \qquad \cdots\cdots (2-24)$$

以上、これらの条件はそのまま単位回路II′ およびIII′ へ適用することができる。

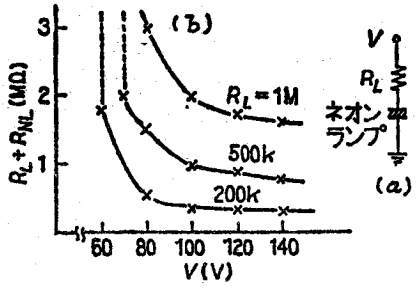
第７節　NL－PC単位回路の動作条件の検討

〈7・1〉発光素子の端子間抵抗を考慮した動作条件

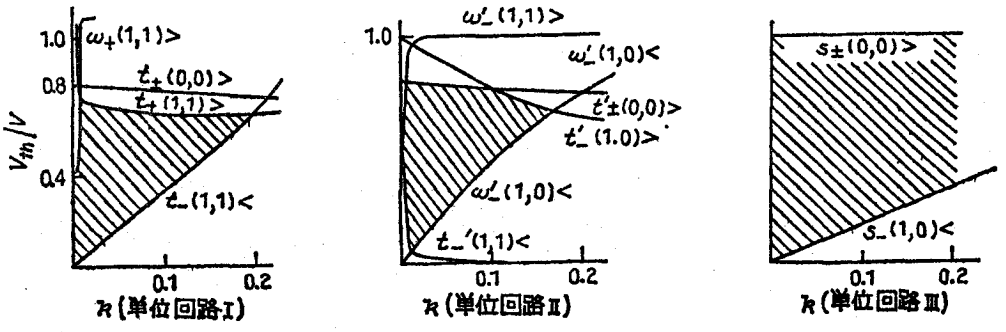
第２－９図（ｂ）は同図（ａ）のようにネオンランプと光導電セルを組み合わせた回路における電源電圧 V と、光導伝セルの端子間抵抗 R_{PC} との関係を負荷抵抗 R_L をパラメータにして測定した結果を示したものである。また、第２－10図（ｂ）は同図（ａ）のような回路の発光状態におけるネオンランプの端子間抵抗と負荷抵抗 R_L との和抵抗 R_{NL} と電源電圧 V との関係を、負荷抵抗 R_L をパラメ



第２－９図　ネオンランプ→光導電セル結合の特性



第２－10図　ネオンランプ発光回路の特性



第２－11図　R_{NL} を考慮したNL－PC 単位回路の特性

ータとして測定した結果を示したものである。第２－９図および第２－10図より、先に単位回路の動作条件を説明する際に用いた$R_{NL}' > R' > R_{NL} \gg R$の条件はネオンランプと光導電セルを用いた単位回路ではじゅうぶん満足されていることがわかる。

さらに、ここでは発光量を増加させるため負荷抵抗を低くしたネオンランプの場合などのように、端子間抵抗の低い発光素子ＮＬを用いる場合の動作条件について検討する。

単位回路Ｉ、ＩＩおよびＩＩＩについて $R' = 10^3 R$ と設定した場合に各入力に対応した所期の出力を得ることのできる条件を、R_{NL} を考慮して第２－４図～第２－６図より求め、V_{th}/V と $R/R_{NL}(=k)$ との関係としてこれを示したのが第２－11図である。図中の曲線に付記した $t_+(1,1)>$ などの記号はその曲線が単位回路Ｉへの入力（Ｘ，Ｙ）＝（１，１）のときに、発光素子 t_+ が発光するための条件式〔後に示す（２－28）式に該当する。〕から与えられていることを示している。所期の入出力特性を満足させる各条件式から求めた単位回路が正常な動作を行なうことのできる領域を斜線を施すことによって示した。た

とえば、$V_{th}/V=0.7$ 程度に設定すれば、$R_{NL}=10R$ 程度の発光素子を用いても単位回路IおよびIIに正常な動作を行なわせることができることを示している。

次に各単位回路について正常な動作領域を表わす式を示す。

（i）　単位回路I

$$V_{t+(0,0)}=\frac{4}{2k+5}V>V_{th} \quad \cdots\cdots (2-25)$$

ただし、$k=R/R_{NL}$

$$V_{t-(1,1)}=\frac{2(10^3k+2)(10^4k+6)}{(6\times10^3k+5)\times10^3}V<V_{th} \quad \cdots\cdots (2-26)$$

$$V\omega_{+(1,1)}=\frac{4\times10^3k+1}{3\times10^3k+2.5}V>V_{th} \quad \cdots\cdots (2-27)$$

$$V_{t+(1,1)}=\frac{2(10^3k+2)}{3\times10^3k+2.5}V>V_{th} \quad \cdots\cdots (2-28)$$

（ii）　単位回路II

$$V'_{t\pm(0,0)}=\frac{4}{2k+5}V>V_{th} \quad \cdots\cdots (2-29)$$

$$V\omega'_{-(1,0)}=\frac{6k}{3k+1}V<V_{th} \quad \cdots\cdots (2-30)$$

$$V'_{t-(1,0)}=\frac{1}{3k+1}V>V_{th} \quad \cdots\cdots (2-31)$$

$$V\omega'_{-(1,1)}=\frac{4\times10^3k+2}{4\times10^3k+5}V>V_{th} \quad \cdots\cdots (2-32)$$

$$V'_{t-(1,1)}=\frac{3}{4\times10^3k+5}V<V_{th} \quad \cdots\cdots (2-33)$$

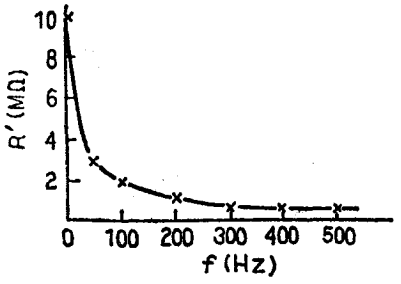
（iii）　単位回路III

$$V_{s\pm(0,0)}=V>V_{th} \quad \cdots\cdots (2-34)$$

$$V_{s-(1,0)}=\frac{2\,k}{k+1}V<V_{th} \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots \quad (2-35)$$

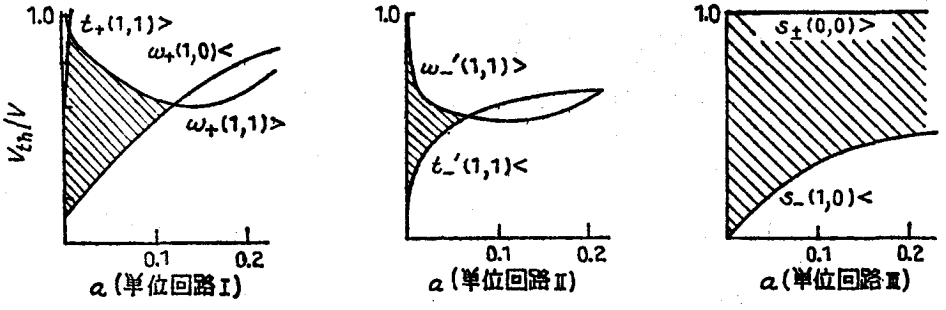
〈7・2〉 受光素子の暗抵抗を考慮した動作条件

第2－12図は第2－9図（a）の回路で光導電セルへの入力光を衝撃係数を1/2に保ったまま、くり返し周波数を変化させた場合の暗抵抗とくり返し周波数の関係を測定した結果を示したものである。図から明らかなように、単位回路への入力光のくり返し周波数が増すと光導電セルの暗抵抗 R' が減少する。また、演算回路の内部の漏光および外部からの漏光もまた暗抵抗 R' を減少させる。ここでは、入力光のくり返し周波数の上限および漏光による影響を知るため、暗抵抗 R' を考慮した動作条件を検討する。



第2－12図　ネオンランプ→光導電セル結合の周波数特性

単位回路Ⅰ、ⅡおよびⅢの各入力に対して所期の出力が得られるための条件を $R_{NL}=10^2R$ とし、R' をも考慮して第2－4図～第2－6図から求め、V_{th}/V



第2－13図　R′を考慮したNL－PC単位回路の特性

とR/R'の関係として示したのが第2－13図である。図中の各曲線に付記されている記号の意味は前節と同様である。図から明らかなように、単位回路IIはV_{th}/Vを0.5に選べばR'が20R程度に減少するまで正常に動作する。このことはまた第2－9図および第2－12図から本加減算回路の入力のくり返し周波数が200Hz程度であることを示している。

次に各単位回路について正常な動作領域を表わす式を示す。

（i）　単位回路I

$$V\omega_{+(1,0)}=\frac{300a+6}{150a+53}V<V_{th} \quad \cdots\cdots (2-36)$$

ただし、$a=R/R'$

$$V_{t+(1,1)}=\frac{1+204a}{1.5+131a+100a^2}V>V_{th} \quad \cdots\cdots (2-37)$$

$$V\omega_{+(1,1)}=\frac{2(1+29a+100a^2)}{1.5+131a+100a^2}V>V_{th} \quad \cdots\cdots (2-38)$$

（ii）　単位回路II

$$V_{t'-(1,1)}=\frac{(3+16a+16a^2)a\times10^2}{(4a+1)(4+5\times10^2a+4\times10^2a^2)}<V_{th} \quad \cdots\cdots (2-39)$$

$$V\omega'_{-(1,1)}=\frac{2+10^2a+2\times10^2a^2}{2+2.5\times10^2a+2\times10^2a^2}>V_{th} \quad \cdots\cdots (2-40)$$

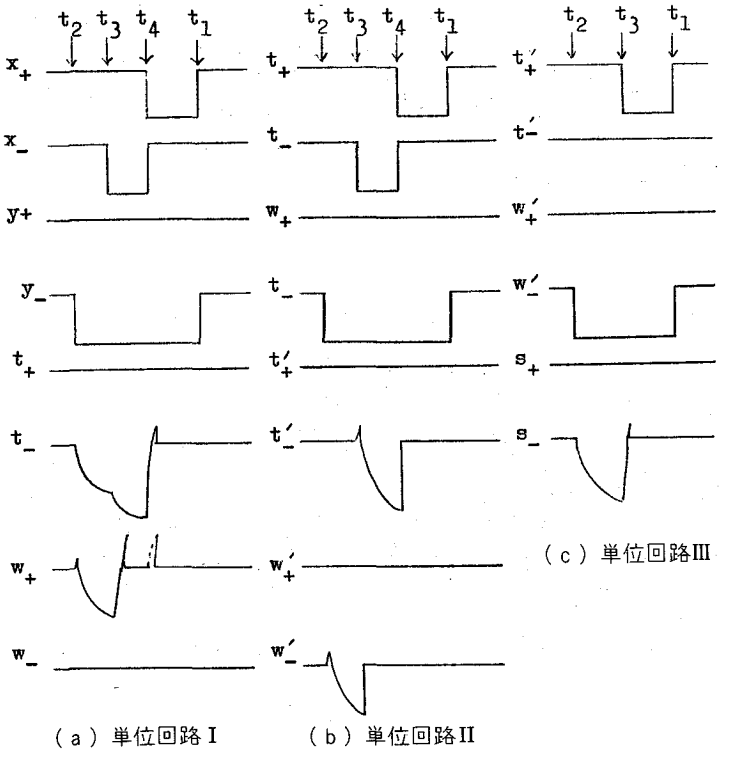
（iii）　単位回路III

$$V_{s\pm(0,0)}=V>V_{th} \quad \cdots\cdots (2-41)$$

$$V_{s-(1,0)}=\frac{4a}{1+2a}V<V_{th} \quad \cdots\cdots (2-42)$$

第８節　試作加減算回路

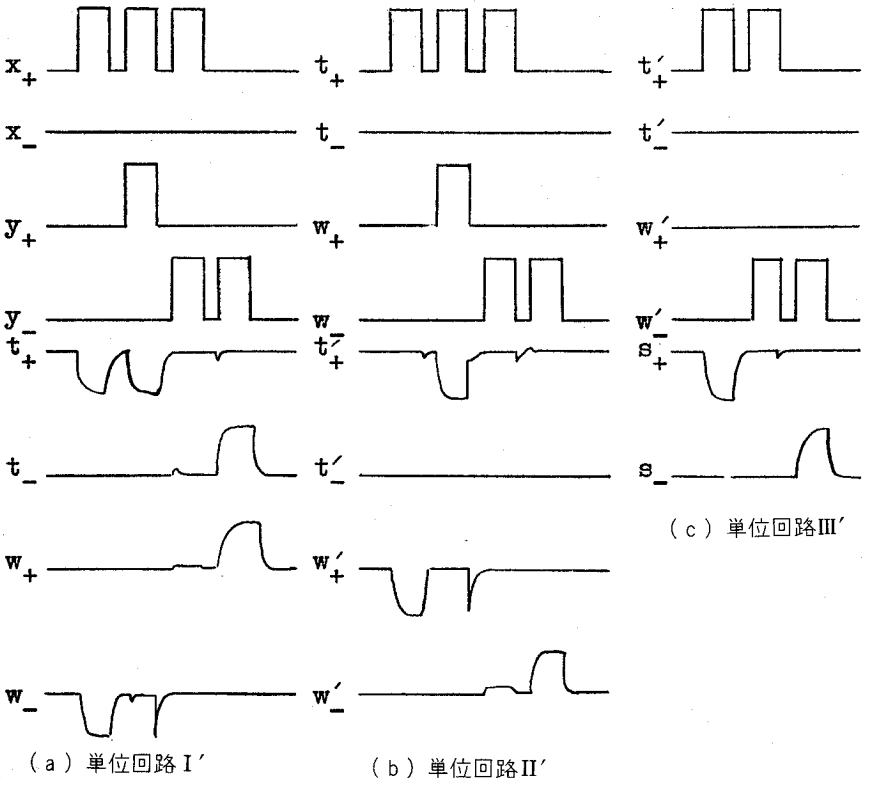
〈8･1〉ネオンランプと光導電セルによる単位回路



第２－14図　ネオンランプ-光導電セル
単位回路の出力波形

第２－14図（ａ）、（ｂ）および（ｃ）はそれぞれ発光素子ＮＬとしてネオンランプ、受光素子ＰＣとして光導電セルを用いて構成した単位回路Ⅰ、ⅡおよびⅢの入出力特性を示したものである。入力はそれぞれ入力を与えるためのネオンランプの端子間電圧によって、出力はそれぞれの出力ネオンランプの端子間電圧によって表示させたものである。単位回路への入力（Ｘ，Ｙ）、（t，ω）は（０，０）→（０，１）→（１，１）→（$\bar{1}$，１）と時刻 t_1、t_2、t_3 および t_4 で変化し、入力（t'，ω'）は（０，０）→（０,１）→（$\bar{1}$，１）と時刻 t_1、t_2 および t_3 で変化し、単位回路Ⅰでは出力（ω，t）＝（０，０）→（$\bar{1}$，１）→（０，１）→（０，０）、単位回路Ⅱでは出力（ω'，t'）＝（０，０）→（１，０）→（０，１）→（０，０）、単位回路Ⅲでは $s=0\to1\to0$ と所定の出力が得られている。

〈8·2〉発光ダイオードとホトトランジスタによる単位回路

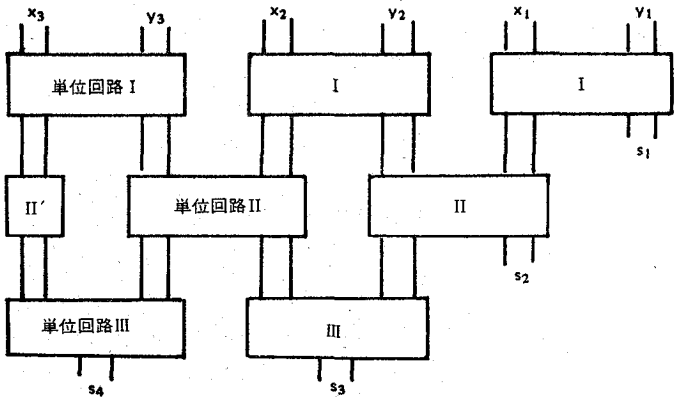


第2－15図　発光ダイオード-ホト・トランジスタを用いた単位回路の出力波形

第2－15図（a）、（b）および（c）はそれぞれ発光素子PDとしてGaAs発光ダイオード、受光素子PTとしてSi npnホトトランジスタを用いて構成した単位回路 I′、II′ および III′ の入出力特性を示したものである。入力および出力はそれぞれ入力および出力の発光ダイオードを流れる電流で表示している。各単位回路への入力は単位回路I′およびII′については（0，0）→（1，0）→（1，1）→（1，$\bar{1}$）→（0，$\bar{1}$）と変化し、単位回路 III′ については（0，0）→（1，0）→（1，$\bar{1}$）→（0，$\bar{1}$）と変化しそれぞれ所定の出力が得られている。

〈8・3〉試作加減算回路

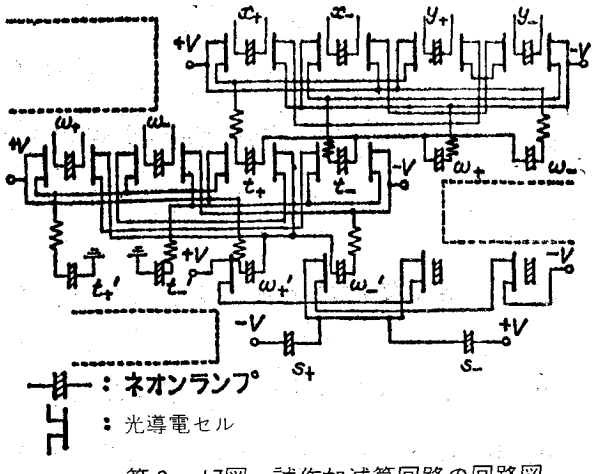
本研究においては、ＳＤＢＮを用いた多層構成によるオプトロニック演算回路の原理的な構成を検討することを目的としたので、ネオンランプと光導電セルとの組み合わせを用いて、３けたの加減算回路を試作した。



第２－16図　試作加減算回路の系統図

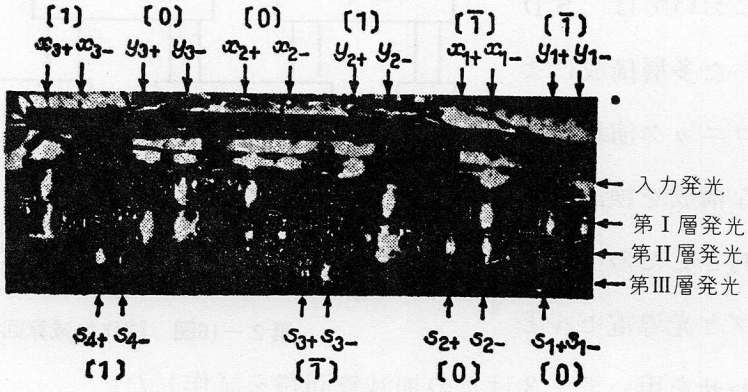
第２－16図は３けたの加減算を行なうことのできる試作加減算回路の系統図を示したものであり、単位回路Ｉは（２－２）式の演算を行ない、その入出力特性は第２－１表（ａ）および第２－３表（ａ）を満足している。単位回路 II は（２－３）式の演算を行ない、その入出力特性は第２－１表（ｂ）を、単位回路 III は第（２－４）式の演算を行ない第２－１表（ｃ）を満足している。また、回路 II′ は単に入力の状態を出力に伝える動作を行なう。

試作加減算回路の実際の回路の一部を第２－17図に示した。層間の結合は１出力２入力となるため、１個のネオンランプを２個の光導電セルがはさみ込む形とし、各出力間の漏光による誤動作を防止している。



第２－17図　試作加減算回路の回路図

第２－18図はその動作例であり、上部より入力発光、



第２－18図　試作加減算回路

第Ⅰ層発光、第Ⅱ層発光、第Ⅲ層発光でありそれぞれ次に示す演算の過程を示している。

$$
\begin{array}{lcl}
X \rightarrow & 1\ 0\ \bar{1} & \rightarrow 3 \\
Y \rightarrow & 0\ 1\ \bar{1} & \rightarrow 1 \\
\omega \rightarrow & \bar{1}\ \bar{1}\ 0 & \\
t \rightarrow & 1\ 1\ \bar{1} & \\
\omega' \rightarrow & 1\ 0\ 0\ 0 & \\
t' \rightarrow & 0\ 0\ \bar{1}\ 0 & \\
s \rightarrow & 1\ \bar{1}\ 0\ 0 & \rightarrow 4
\end{array}
$$

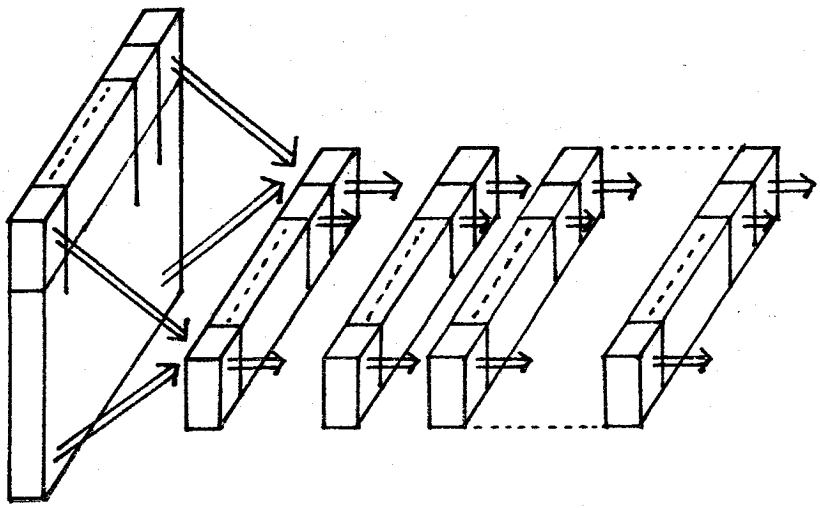
第９節　多層構成によるオプトロニック乗算回路(16)(17)

mビットとnビットの純２進数A（a_m, a_{m-1}, ……, a_1）とB（b_n, b_{n-1}, ……, b_1）の積S（s_{m+n}, s_{m+n-1}、……, s_1）は次式で与えられる。

$$S = \sum_{p=q=1}^{p=m,\ q=n} a_p b_q 2^{p+q-2} \quad \cdots\cdots (2-43)$$

したがって、乗算回路は各ビット相互の論理積 $a_p \cdot b_q$ を求める回路、論理積の結果を各重み 2^{p+q-2} ごとに加算し部分和を得る回路および部分和を加算し積Sを求める回路によって構成することができる。

第2－19図は、上述の構成原理にもとずいて構成された SDBN を用いた多層構成によるオプトロニック乗算回路を示したものであり、第1層は乗数と被乗数の各ビットの論理積を求める回路、第2層は論理積を対応する桁ごとに加算し部分和を求め SDBN に変換する回路、第3層以下は多層構成の SDBN 加算回路である。



第2－19図　多層構成によるオプトロニック乗算回路

次に、3ビットの2進数A（$a_3 a_2 a_1$）とB（$b_3 b_2 b_1$）の乗算を例にとり各回路の動作原理を述べる。

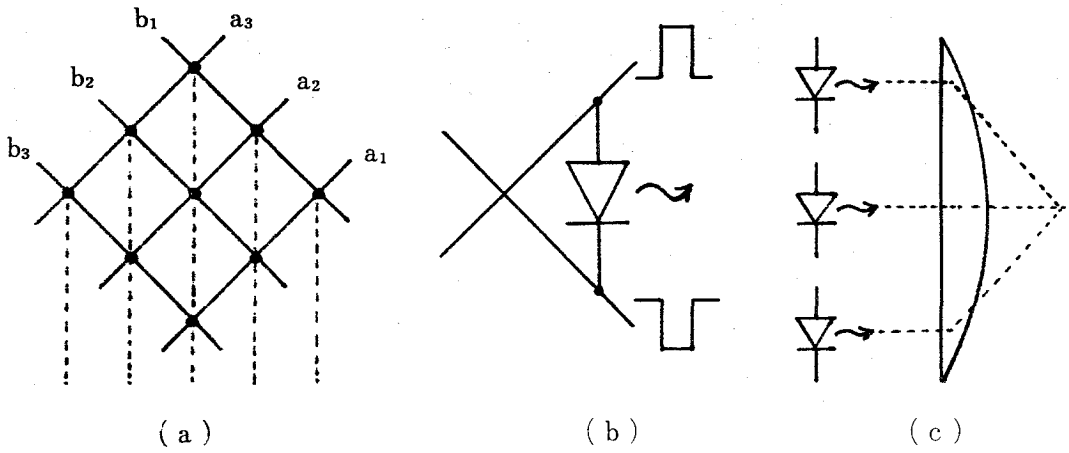
〈第1層〉

第1層は、右に示した演算過程のうち各ビットごとに論理積をとり、各重みご

ごとに加算をし部分和を得やすい形で出力を第2層に印加する機能をもっている。

$$
\begin{array}{cccccc}
 & & & a_3 & a_2 & a_1 \\
 & & \times) & b_3 & b_2 & b_1 \\
\hline
 & & & a_3b_1 & a_2b_1 & a_1b_1 \\
 & a_3b_2 & & a_2b_2 & a_1b_2 & \\
a_3b_3 & a_2b_3 & & a_1b_3 & & \\
\hline
s_5 & s_4 & & s_3 & s_2 & s_1
\end{array}
$$

第1層の構成は第2－20図（a）に示すように各ビット線がマトリックス構造をもち、その交点に論理積回路が挿入される。このような構成によって比較的簡単に各桁の部分和をオプトロニクス的に得ることができる。すなわち、被乗数Aおよび乗数Bの各ビットは、ビット線の交点で論理積の演算がほどこされ、各桁の部分和は、これらの論理積出力を点線方向にアナログ的に加算することによって得られる。さらに具体的には、被乗数Aの各ビットは正パルスによって、乗数Bは負パルスによって各ビット線に印加され、同図（b）に示すように各交点に挿入された発光ダイオードの閾値特性を用い論理積出力を得ている。これらの出力は同図（c）に示すように半円筒レンズによって円筒軸と垂直方向にアナログ的に集光され所望のアナログ和を得ている。



第2－20図　第1層の構成

si	ω_6	ω_5	ω_4	ω_3	ω_2	ω_1
0						0
1					1	$\bar{1}$
3					1	0
4			1	$\bar{1}$	0	$\bar{1}$
5			1	$\bar{1}$	0	0
6			1	$\bar{1}$	1	$\bar{1}$
7			1	$\bar{1}$	1	0
⋮			1	0	0	$\bar{1}$
⋮			⋮	⋮	⋮	⋮
10			⋮	⋮	⋮	⋮
11		$\bar{1}$	1	0	1	0
12	1	$\bar{1}$	0	$\bar{1}$	0	$\bar{1}$
⋮	1	⋮	0	$\bar{1}$	0	0
⋮	⋮	⋮	⋮	⋮	⋮	⋮
42	⋮	⋮	⋮	⋮	⋮	⋮
⋮	1	0	1	0	1	0

(a)

si′	ω'_6	ω'_5	ω'_4	ω'_3	ω'_2	ω'_1
0						1
1					1	0
2					1	1
3				1	0	0
4				1	0	1
5				1	1	0
6				1	1	1
7			1	0	0	0
⋮			⋮	⋮	⋮	⋮
⋮			⋮	⋮	⋮	⋮
10			1	0	1	1
11			1	1	0	0
12			1	1	0	1
⋮			⋮	⋮	⋮	⋮
⋮			⋮	⋮	⋮	⋮
42	1	0	1	0	1	0
⋮						

(b)

第2－4表　拡張されたSDBN

〈第2層〉

第2層は半円筒レンズにより集光させられた部分和に対応するアナログ電圧を SDBN に変換する機能をもっている。アナログ的な部分和と SDBN の対応は、第3節で述べた SDBN の諸性質より第2－4表（a）のように与えられる。いま、同表（b）に示した s_i と（s_i+1）なるアナログ量に対応する純2進数 ω_6' ～ ω_1' について、次の論理演算を行なうと同表（a）と同一の対応表になることから、第2層における単位回路はA－D変換器の出力に式（2－44）を満足する論理回路を付加した第2－21図に示す回路構成となる。

$$\left.\begin{aligned} \omega'_1 &= -\overline{\omega'_1}\ 、\ \omega_2 = \omega'_2 \\ \omega'_2 &= -\omega'_3\ 、\\ \omega'_3 &= \omega'_3\,\overline{\omega'_4} + \overline{\omega'_3}\,\omega'_4 \end{aligned}\right\} \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (2-44)$$

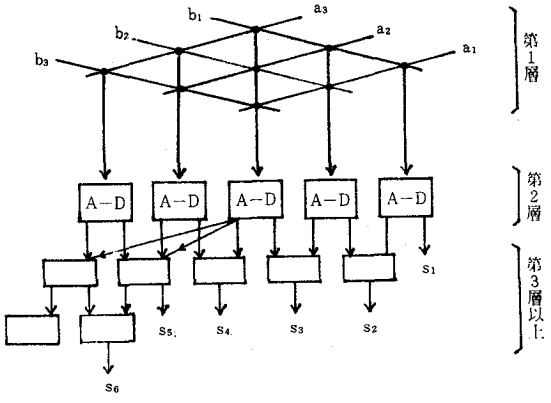
〈3層以上〉

第2層で SDBN に変換された部分和は第3層以下の SDBN 加算回路によって加算される。本加算回路の層数は部分和の最大値、すなわち被乗数および乗数のビット数の大きい方の値Mによって定まる。第2－5表は、Mと必要な層数の値の関係を示したものである。各単位回路は、さきに述べた加減算回路と同様の手法を用いて、PC－NLを用いたものあるいは、PT－PDを用いたものを実現することができる。

上述の各層の動作原理にしたがって構成した3ビットの乗数および被乗数の乗算を行なうことのできる多層構成によるオプトロニック乗算回路の系統図を第2－21図に示す。

M	層数
M≤ 3	2
4 ≤M≤ 10	5
11≤M≤ 42	5
43≤M≤170	6

第2－5表　第3層以下における層数



第2－21図　多層構成による3けたオプトロニック乗算回路の系統図

第10節　結　　言

試作した多層構成によるオプトロニック演算回路は次のような特徴をもって

いる。

（1） 同一パターンを同時に多数個作成する技術は現在の集積回路技術ですでに確立されており、構成回路が同一の回路で実現されている本方式は異なった回路から構成されているものよりも信頼性、経済性の点ですぐれている。

（2） 純光学的な技術およびコヒーレント光学と結びつくことによって、より広範な演算を行なわせることも可能である。

（3） SDBN を用いて演算を行なっているため、加減算する数が2入力の場合は3層で演算を終了させることができ、乗算の場合にもある定まった少ない層数で演算を終了させることができる。このことを利用すれば、本方式による多入力並列演算回路を実現することができる。

（4） SDBN 演算を用いたため10進出力が必要な場合には SDBN → 10進数変換回路が必要である。その方法としては次のようなものが考えられる。① SDBN を正の符号をつけた部分と、負の符号をつけた部分に分け、それらの差を得ることによって SDBN に対応した純2進数を得る。そして、それを10進数に変換する。②一般に純2進数を8進数に変換するのと同様にＳＤＢＮを 2^0 けたから3けたずつ区切り、それぞれの部分を8進数に変換しけた符号付8進数を得る。そして①と同様の方法によって純8進数を得、10進数に変換する。

これらの方法のいずれも、すでに開発された2進→10進数変換についての種々の技術を適用することができるとはいえ、かなり複雑な回路構成と演算時間を要する。しかし、一連の演算の最終結果のみを10進数に変換することによってこの難点は克服することができる。

（5） SDBN は（1，0，$\bar{1}$）の三つの状態をとるので構成素子としては3安定オプトロニック素子が最適であるが、現在では2安定素子で構成しな

ければならない。などの点については今後の研究に待つべきものが多い。

第3章　論理機能をもつ表示回路 (18)～(20)

第1節　緒　　言

電流制御形負性抵抗電圧電流特性（以下、S形特性と略記する）をもち、素子を流れる電流に比例した光強度で発光する素子（以下、SLDと略記する）は、オプトロニック回路設計の立場からは、しきい値機能と発光機能を併せ持つ素子と考えることができ、発光機能をもつ閾値論理回路あるいはしきい値機能をもつ表示回路などオプトロニック回路によってのみ実現できる独自の機能をもつ種々の回路を構成することができる。

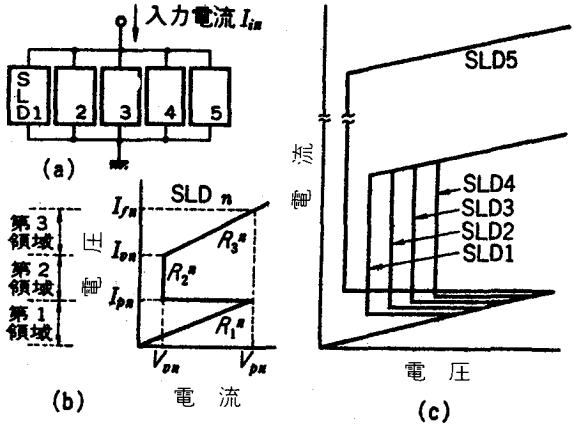
本章では、このようなオプトロニック回路の一例としてSLDのもつS形特性の閾値機能と発光機能とを有機的に結合させ、SLDのもつ独自のオプトロニクス的機能を効果的に発揮させた表示回路の一方式について述べる。

本表示回路は、入力電流をSLDによって構成されたしきい値回路網で所望の出力に変換し、同時にそれらのSLDの発光機能を生かして対応するパターンに表示させるようにしたものである。したがって、本方式の表示回路は、数の輝点数による表示、数字あるいは英字などの表示に適したしきい値回路網をSLDの平面的な配置として実現することによって、入力電流を直接所望の表示形式で表示することができる。

本章では、一例として表示形式として4個の“1”の重みをもつ輝点と1個の“5”の重みをもつ輝点による10進表示回路をとりあげ、その動作原理、設計条件などを明らかにした。

第2節　S形特性をもつ発光素子を用いた表示回路の動作原理

本方式の表示回路の原理的な系統図を、第3－1図（a）に示す。SLD1～SLD5は、同図（b）に示す直線近似されたS形特性をもち、合せて電流値に比例した強度の可視光を発光することができる素子である。図中の各パラメータに添えられた文字nは、SLD1～SLD5に対応して1～5の値をとり、各SLDのS形特性のパラメータを示している。また$R_1{}^n$、$R_2{}^n$、$R_3{}^n$はS形特性のそれぞれの領域におけるダイナミックインピーダンスを表わしている。



第3－1図　SLDを用いた表示回路の系統図

並列に接続された5個のSLDへの入力は第3－1図（a）に示すように定電流源より印加され、これらの5個のSLDのもつS形特性は同図（c）に示すような関係にある。これらの関係をS形特性のパラメータによって表わすと次式のようになる。

$$V_{pn}+(5-\mathrm{n})\Delta V_p=V_{p5} \quad \cdots\cdots (3-1)$$

$$I_{pn}+(5-\mathrm{n})\Delta I_p=I_{p5} \quad \cdots\cdots (3-2)$$

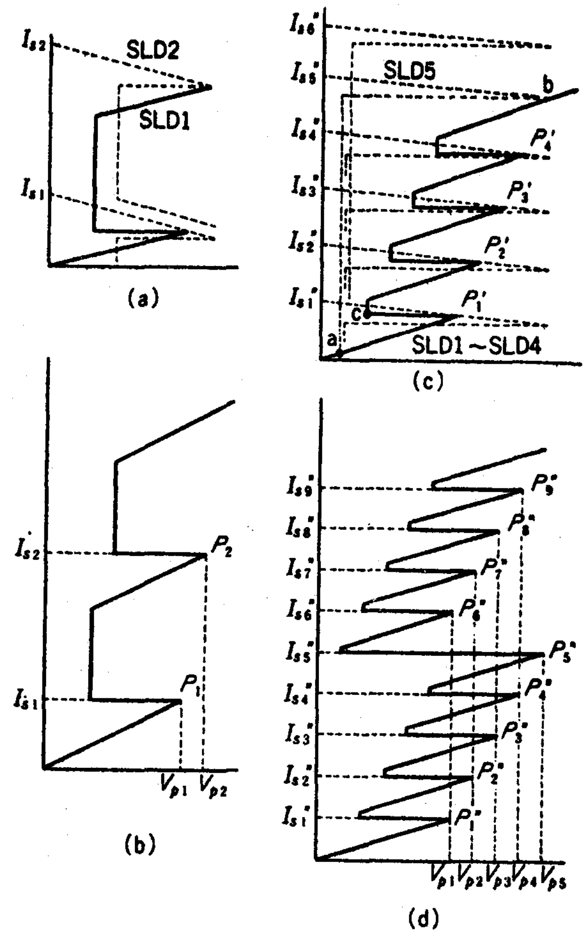
$$V_{vn}+(4-\mathrm{n})\Delta V_v=V_{v5}+4\Delta V_v \quad \cdots\cdots (3-3)$$

$$5(I_{kn}+5\Delta I_p)=I_{k5} \quad \cdots\cdots (3-4)$$

$$I_{k5}=I_{f5}-I_{p5}、I_{kn}=I_{fn}-I_{pn}、R_2^n=R_2{}^{(n+1)}=0 \quad \cdots\cdots (3-5)$$

ただし、式（３－１）～（３－５）においてｎ＝１，２，３，４．

動作原理を明らかにするために、まず第３－１図（ｃ）に示す特性をもつ２個のＳＬＤ、ＳＬＤ１とＳＬＤ２とが並列に接続された回路に定電流源より入力電流が印加された場合について考える。入力電流の増加にしたがって第３－２図（ａ）に示すように実線で示したＳＬＤ１の特性に対して破線で示したＳＬＤ２の特性が電流軸方向に移動する結果、並列回路の総合特性は第３－２図（ｂ）に示すように２個のピーク点 P_1 および P_2 をもつ特性となる。



第３－２図　ＳＬＤ並列回路の総合特性

同様に、４個のＳＬＤ、ＳＬＤ１～ＳＬＤ４の並列回路の総合特性は第３－２図（ｃ）に実線で示すように４個の次式で示す電圧・電流値をもつピーク点 P_1'，……………P_4' をもつ特性となる。

$$P_1' : V_{p1}' = V_{p1},\quad I_{S1}' = 4 I_{p1} \quad \cdots\cdots (3-6)$$

$$P'_n : V_{pn}' = V_{pn} \quad \cdots\cdots (3-7)$$

$$I_{Sn}' = (n-1)\ I_{k1} + 4\{I_{p1} + (n-1)\Delta I_p\}$$

$$n = 2,\ 3,\ 4$$

第３－１図（ｃ）の特性をもつ５個のＳＬＤ、ＳＬＤ１～ＳＬＤ５の並列回路に定電流源より入力電流を印加すると第３－２図（ｃ）に示すように、入力電流値がI_{S1}''、I_{S2}''、I_{S3}''、I_{S4}'' に達するとそれぞれＳＬＤ１、ＳＬＤ２、ＳＬＤ３、ＳＬＤ４の動作点が第１領域から第２領域へ転移し、ＳＬＤ５の動作点は第１領域を電圧値が減少する方向へ転移する。入力電流値がI_{S5}''に達すると、ＳＬＤ５の動作点が第１領域から転移し、その結果、式（3−3）および式(3−4)から明らかなようにＳＬＤ５のＳ形特性は他の４個のＳＬＤの特性に比してバレー電流値が最も小さく、I_{k5}が５（$I_{kn}+5\Delta I_p$）、ｎ＝１，２，３，４に設定されているためＳＬＤ１～ＳＬＤ４の４個のＳＬＤの動作点は第３領域から第１領域へそれぞれ復帰させられる。したがって、第３－２図（ｃ）における動作点は点ｂより点ａへ転移する。I_{k5} は式(3−4)を満足するように設定されており、I_{Sn}''（ｎ＝１，２，……５）の間に次式が成立するので、

$$I_{Sn}'' - I_{S(n-1)}'' = I_{k1} + 5\Delta I_p \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (3-8)$$

$$n = 2,\ 3,\ 4,\ 5$$

次式を満足する電流値 I_6'' に入力電流値が達すると再びＳＬＤ１の動作点が第１領域から第２領域へ転移し、ＳＬＤ５の動作点は第３領域を電圧値が減少する方向へ転移する。

$$I_{S6}'' = I_{S5}'' + I_{k1} + 5\Delta I_p \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (3-9)$$

同様にして、入力電流が次式を満足する I_{Sn}''（ｎ＝７，８，９）に達すると、それぞれＳＬＤ２、ＳＬＤ３、ＳＬＤ４の動作点が再び第１領域から転移する。

$$I_{Sn}'' = I_{S(n-1)}'' + I_{k1} + 5\Delta I_p \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (3-10)$$

$$n = 7,\ 8,\ 9$$

以上の結果から第３－１図（ｃ）に示す特性をもつ５個のＳＬＤの並列回路の総合特性は第３－２図（ｄ）に示すように９個のピーク点をもつ総合特性となる。この総合特性の各ピーク点の電圧、電流値は次式で与えられる。

P_1'': V_{p1}

$$I_{S1}''=5\,I_{p1} \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots \quad (3-11)$$

P_n'': V_{pn}

$$I_{Sn}''=(n-1)\,I_{k1}+5\{I_{p1}+(n-1)\Delta I_p\} \quad \cdots\cdots \quad (3-12)$$

$$n=2,\ 3,\ 4,\ 5$$

P_n'': $V_{p(n-5)}$

$$I_{Sn}''=(n-1)\,I_{k1}+5\{I_{p1}+(n-1)\,\Delta I_p\} \cdots\cdots\cdots \quad (3-13)$$

$$n=6,\ 7,\ 8,\ 9$$

いま、ＳＬＤの動作点が第２領域および第３領域にある場合にＳＬＤが発光するものとすると、第３－１図（ｃ）の特性をもつ５個のＳＬＤを同図（ａ）のように並列に接続した回路へ定電流源より印加される入力電流 I_{in} と各ＳＬＤの発光状態との関係は第３－１表のようになる。

第３－１表　入力電流とＳＬＤの発光状態の関係

入力電流	I_{s1}^*	I_{s2}^*	I_{s3}^*	I_{s4}^*	I_{s5}^*	I_{s6}^*	I_{s7}^*	I_{s8}^*	I_{s9}^*
SLD1	～	～	～	～	↓	～	～	～	～
SLD2	↓	～	～	～	↓	↓	～	～	～
SLD3	↓	↓	～	～	↓	↓	↓	～	～
SLD4	↓	↓	↓	～	↓	↓	↓	↓	～
SLD5	↓	↓	↓	↓	～	～	～	～	～

～発光状態　↓発光していない状態

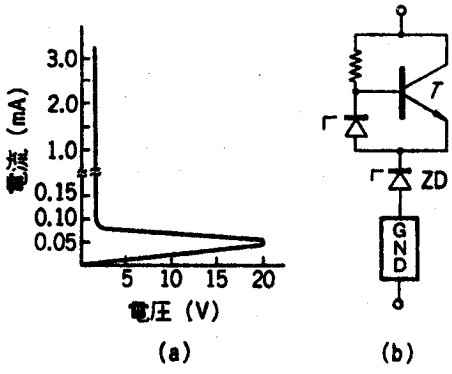
第３－１表から明らかなように、ＳＬＤ１～ＳＬＤ４の４個のＳＬＤが発光している状態に重み“１”を、ＳＬＤ５が発光している状態に重み“５”を与えることによって、この５個のＳＬＤを並列に接続した回路は入力電流をその電流値の大きさに対応した10進表示に直接変換することができる。

第３節　試作表示回路とその諸特性

３．１　ＳＬＤ並列回路の設計手法

Ｓ形特性をもち流れる電流に応じて発光することのできる素子としては、ネオンランプ、Ｓ形特性をもつトランジスタ回路と発光ダイオードを組み合わせた回路、GND（シャープ）、LANER（沖電気）などがあり、これらのいずれを用いても本方式の表示回路を実現することができるが、本研究においては、構成が簡単であるという本方式による表示回路の特長を生かすことができ、外部光などによって特性が不安定にならないGNDを用いて表示回路を実現した。

第３－３図（ａ）はＧＮＤの電圧・電流特性の代表例を示したものであり、光強度はほぼ電流に比例している。試作表示回路に用いた単位回路においては、同図（ｂ）に示すようにＧＮＤに直列にトランジスタTによる定電流回路を接続しＳＬＤの第３領域を実現している。また、直列に接続されている定電圧ダイオードＺＤはＳＬＤのＳ形特性における電圧軸パラメータの設定を容易にするた



第３－３図　ＧＬＤの特性と試作ＳＬＤ

めのものである。第（３－１）～（３－５）式を満足するＳ形特性をもつＳＬＤを実現するために、ＳＬＤ１～ＳＬＤ４についてはできるかぎり同じ電圧・電流特性をもつＧＮＤとトランジスタ定電流回路を直列にそれぞれ接続し、式(3−1)のピーク点電圧値についての順序づけ、式(3−3)のバレー点電圧値についての順序づけを直列に接続する定電圧ダイオードで行なった。

すなわち、ＳＬＤ１～ＳＬＤ４に用いたＧＮＤのピーク点電圧、バレー点電圧をそれぞれV_{Gp}、V_{Gv}とし、定電圧ダイオードのツエナ電圧をV_{zn}、ｎ＝1，2，3，4とすると各ＳＬＤのＳ形特性のピーク点電圧、バレー点電圧は次式で表わされる。

$$V_{pn}=V_{GP}+V_{zn}、V_{vn}=V_{Gn}+V_{zn} \quad \cdots\cdots\cdots\cdots\cdots\cdots (3-14)$$

$$n=1,\ 2,\ 3,\ 4$$

ただし、　$V_{zn}+\Delta V=V_{z(n+1)}$

$$n=1,\ 2,\ 3$$

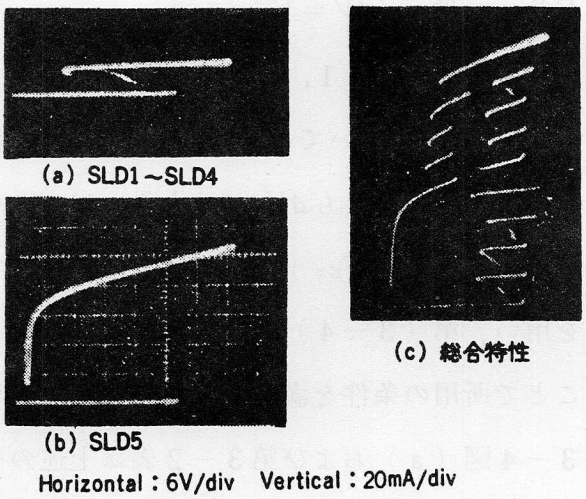
一方、ＳＬＤ５については式(3−14)で表わされるＳＬＤ４のピーク点電圧値$V_{p4}=V_{Gp}+V_{z4}$ よりもΔV だけ大きいピーク点電圧値をもち、ＳＬＤ１のバレー点電圧値 $V_{v1}=V_{Gv}+V_{z1}$ よりもΔV だけ小さいバレー点電圧値をもつＧＮＤを用い、第（３－４）式を満足するトランジスタ定電流回路を直列に接続することで所用の条件を満足するＳ形特性を実現した。

第３－４図（ａ）および第３－２表は上述の手法によって実現した５個のＳ形特性および各パラメータを示したもので、ΔV を$0.5V$ に設定し、第１領域のダイナミックインピーダンスの大きいＧＮＤを選ぶことによって、ΔI をピーク電圧値に比して十分小さくし、第（３－２）式および第（３－４）式における電流値の設定を容易にした。これらの各パラメータは本方式の表示回路を満足しなければならない条件である第（３－１）～（３－５）式を満足している。

第３－２表　試作ＳＬＤのＳ形特性パラメータ

		SLD1	SLD2	SLD3	SLD4	SLD5
V_p	(V)	32.8	33.3	33.7	35.0	35.5
I_p	(mA)	0.05	0.05	0 05	0.05	0.05
V_v	(V)	14.5	15.0	16.0	18.0	8.30
I_f	(mA)	19.9	20.0	20.0	21.4	110.5
R_1	(kΩ)	656	666	674	700	710
R_2	(Ω)	400	4 00	380	380	40
R_3	(kΩ)	8.50	9.50	8.50	10.0	5.50

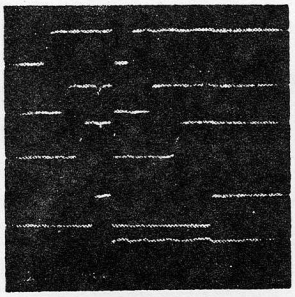
第３－４図（ｃ）および第３－３表はこれらの５個のＳＬＤを並列に接続した回路の総合特性および各ピーク点の電圧および電流値を示したもので、第３－１図（ａ）に示した並列回路が本方式の表示回路として所望の動作を行なうことができることを示している。



第３－４図　試作ＳＬＤの特性と総合特性

３．２　駆動回路

本方式の表示回路は前章で述べた動作原理から、５個のＳＬＤの並列回路への入力電流が増加する場合においてのみ、第３－１表に示した入力電流と表示パターンとの対応を示す。このことは、たとえば第３－２図（ｃ）において入



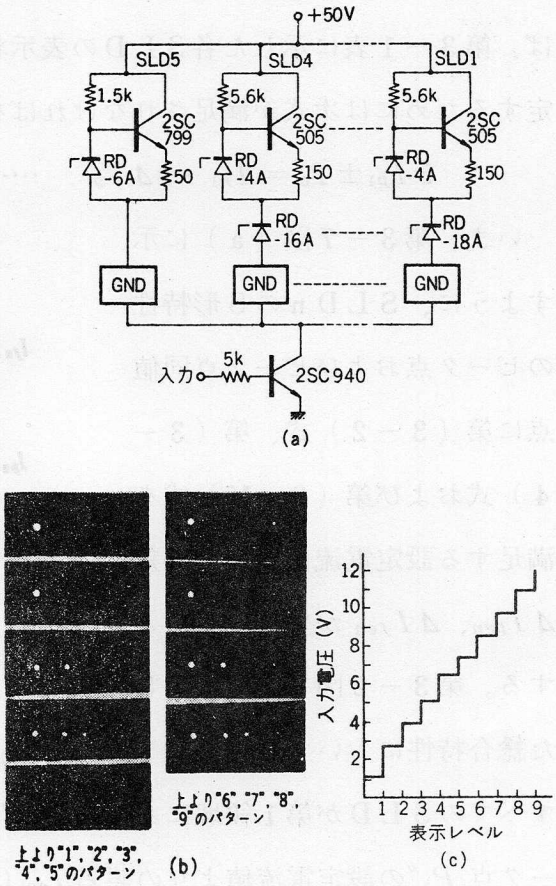
Horizontal 50μsec/div
Vertical SLD1～SLD4, 20mA/div
SLD5 100mA/div

第３－５図　試作表示回路の動作

り部分によってＳＬＤ並列回路を動作させればよい。この場合標本化周波数を標本化による表示パターンのちらつきが生じない周波数よりも高い適当な周波数に設定する必要があり、試作回路では１ kHz に設定した。第３－５図は標本化された入力の立上り部分で動作している試作表示回路の動作例を示したものである。

また、動作原理で述べたように、ＳＬＤ並列回路への入力電流は定電流源より供給しなければならないので、試作表示回路

力電流が I_{S5}'' に達し動作点が点ｂから点ａへ転移した後、入力電流が減少し始めた場合、動作点は点ａにとどまり、入力電流が I_{S4}'' に減少した場合にもＳＬＤ５が発光し続け、ＳＬＤ４が発光状態に転移することがないことからも明らかである。したがって、入力電流の増加、減少にかかわらず3－1表に示した入力電流と表示パターンとの対応を実現すんためには、入力電流を標本化し、各標本化された入力電流の立上



第３－６図　試作表示回路とその表示パターン

では第３－６図（ａ）に示すように簡単なトランジスタ定電流回路をＳＬＤ並列回路の負荷として用いた。第３－６図（ｂ）および（ｃ）は、それぞれ表示パターン例および各表示パターンと入力電圧との関係を示したものである。

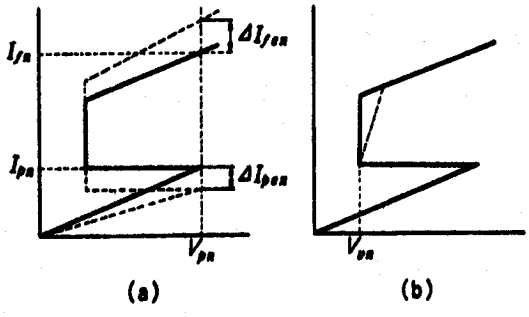
第４節　本表示回路の諸特性についての検討

４．１　等間隔の表示レベルを実現するための条件

５個のＳＬＤを並列に接続した回路が、Ｓ形特性の各パラメータ間の関係を示す式(3−1)〜式(3−5)を満足する場合には、第３－２図（ｄ）に示すように、相互の間隔が $I_{k1}+5\Delta I_p$ である９個の電流軸方向にならぶピーク点をもつ。したがって、入力電流の０レベルを補正するためのバイアス電流を I_0 とすれば、第３－１表に示した各ＳＬＤの表示状態が生じる入力電流値を等間隔に設定するためには次式が満足されなければならない。

$$5I_{p1}\pm I_0=I_{k1}+5\Delta I_p \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (3-15)$$

いま、第３－７図（ａ）に示すように、ＳＬＤｎのＳ形特性のピーク点およびピーク点同値点に第（３－２）式、第（３－４）式および第（３－15）式を満足する設定電流値よりの誤差 ΔI_{pen}、ΔI_{fen} が生じたものとする。第３－２図（ｄ）に示した総合特性において０点よりピーク点 P_1'' までの領域では、並列に接続されたすべてのＳＬＤが第１領域にあるので ΔI_p が I_{p1} に比して十分小さいならばピーク点 P_1'' の設定電流値よりの誤差 I_{ep1} は次式で与えられる。



第３－７図　Ｓ形特性パラメータの設定値よりの誤差

$$I_{epdn}=\sum_{n=1}^{5}\Delta I_{pen} \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots \quad (3-16)$$

一方、総合特性における隣り合ったピーク点 P_n'' と P_{n+1}'' との電流値の差、I_{pdn}、（n＝1，2，……8）は、ΔI_p が I_{pn} に比して十分小であるならば、1≦n≦5においてはSLDn、6≦n≦8においてはSLD（n－5）のピーク点電流値とピーク点同値点電流値の差である I_{kn}（n＝1，2，……，5）の関数で与えられる。

$$I_{epdn}=\Delta I_{fen}-\Delta I_{pen} \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots \quad (3-17)$$

試作表示回路においては、第3－2表より $R_1^n \fallingdotseq 700\text{k}\Omega$、$\Delta V=0.5\text{V}$ から、$\Delta I=7\times10^{-3}\text{mA}$ であるから、ΔI は I_{pn} に比して無視することができる。一方、I_{fn} の設定値はSLD1～SLD4については20mA、SLD5については100mAであるので、ΔI_{fen} の最大値はSLD5における10.5mAとなり、ピーク点 P_5'' と P_6'' の電流値の差 I_{pd5} に設定値よりの誤差の最大値10.5mAが生じることになる。この値は、第3—3表の測定値とよく一致している。したがって、各表示レベルの等間隔からのずれを小さくするためには、各SLDの I_k を厳密に設定すればよい。

第3－3表　総合特性のピーク点電圧・電流値

	P_1	P_2	P_3	P_4	P_5	P_6	P_7	P_8	P_9
ピーク点電圧値(V)	32.8	33.3	33.7	35.0	35.7	32.8	33.3	33.7	35.0
ピーク点電流値(mA)	0.3	20.0	40.0	60.3	82.0	111.5	131.0	151.0	173.0

4.2　SLD5による復帰条件

第3－7図（b）に示すようなSLDのS形特性の第2領域に生じる定電圧特性からのずれは、SLD1～SLD4の動作には比較的影響を与えることが

少ないが、ＳＬＤ５についてはＳＬＤ１～ＳＬＤ４を復帰させる動作を不完全にする。第３－２図（ｃ）から明らかなように、入力電力がI_{S5}''のときにＳＬＤ５の第２領域がＳＬＤ１～ＳＬＤ４の総合特性の最初のバレー部分の点ｃよりも低電圧の領域にあれば、ＳＬＤ１～ＳＬＤ４の動作点をすべて第１領域に復帰させることができる。第３－１図（ｂ）に示したＳＬＤｎのＳ形特性のパラメータ表示を用いると、第３－２図（ｃ）における入力電流がI_{S5}''の場合のＳＬＤ５の第２領域は次式で表わすことができる。

$$I=(-V/R_2^5)+I_{S5}''-I_{p1}+(V_{v5}/R_2^5) \cdots\cdots\cdots\cdots\cdots (3-18)$$

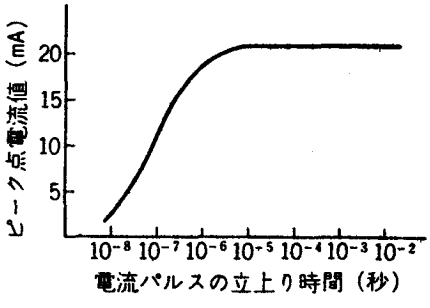
したがって、入力電流がI_{S5}''のときに、上記の第２領域が点ｃ（V_{v1}，$4I_{p1}$）よりも低電圧の部分を通るためには次式が満足されなければならない。

$$0 \leq R_2^5 < (V_{v1}-V_{v5})/(I_{S5}''-5I_{p1}) \cdots\cdots\cdots\cdots\cdots\cdots\cdots (3-19)$$

第３－２表の試作表示回路におけるＳＬＤの各パラメータを式（３－19）の右辺に代入すると、$0 \leq R_2^5 \leq 75.6\Omega$となる。試作表示回路におけるＳＬＤ５の$R_2^5$は$40\Omega$であり、上式を十分満足する。

４．３　標本化された入力電流の立上り特性による誤動作

ＰＮＰＮ構造をもつ素子は一般に印加される入力電流の立上り時間が短くなるにしたがって、Ｓ形特性のピーク点電圧値が小さくなることが知られている。試作表示回路に用いたＧＮＤにおいても第３－８図の測定結果ががが示すように上記の現象が生じる。一方、本方式の表示回路に



第３－８図　ＧＮＤのピーク点電流値の印加電流パルス立上り時間特性

おいては、各ＳＬＤの発光する順序は、ピーク点電圧値の大きさによる順序づけによって設定される。したがって、本方式の表示回路に印加される標本化された入力電流の立上り時間は、設定された各ＳＬＤのピーク電圧の順序づけをくずさない範囲に設定されなければならない。試作表示回路においては、第３－８図の測定結果より、入力電流の立上り時間を250μsecに設定したが、５個のＳＬＤのピーク点電圧値は入力電流の立上り時間が短くなるにしたがって、同程度の減少を示すため、１μsec 程度においても正常に動作する。

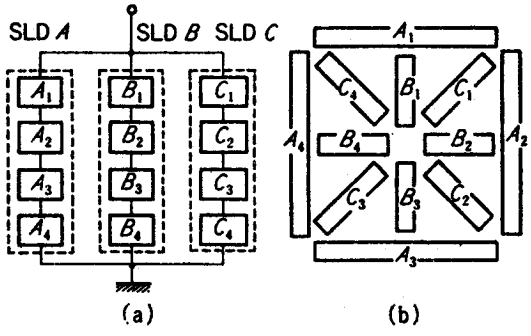
第５節　他の表示形式をもつ表示回路および高単位表示方式

５．１　他の表示形式をもつ表示回路

本稿においては、１個の“５”の重みをもつ輝点および４個の“１”の重みをもつ輝点の数によって入力電流を表示する方式について述べたが、

（１）　並列に接続された各ＳＬＤのピーク点電圧値を順序づけることによって、所用の発光順序を設定する。

（２）　ピーク点同値点電流値の値を適当に選ぶことによって各ＳＬＤの発光状態と入力電流レベルとの関



第３－９図　パターン表示回路の系統図

第３－４表　パターン表示回路の入力電流と表示パターンの関係

入力電流	I_1	I_2	I_3	I_4	I_5	I_6	I_7
SLD A	～	↓	～	↓	～	↓	～
SLD B	↓	～	～	↓	↓	～	～
SLD C	↓	↓	↓	～	～	～	～
表示パターン	□	＋	⊞	✕	⊠	✳	⊠

係を設定する。

（3） バレー点電圧値の順序づけおよびピーク点同値点電圧値を選ぶことによって復帰条件を設定する。

（4） 各ＳＬＤの空間的な配置を所望の表示形式にしたがって設定する。

ことによって、入力電流を7セグメントの数字表示あるいはその他のパターンとして直接表示することができる。

たとえば、第3－9図（a）に示すような4個の発光素子からなるＳＬＤを3個並列に接続し、これらのＳＬＤのＳ形特性のパラメータが次式を満足するように設定し、12個の発光素子を同図（b）に示すように配置すれば、入力電流が増加するにしたがい第3－4表に示すように3個のＳＬＤが発光し、入力電流を直接同表に示すパターンに変換することができる。

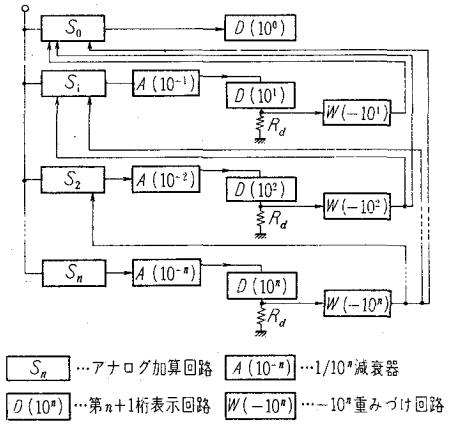
$$\left.\begin{array}{l} I_{pA}+2\Delta I=I_{pB}+\Delta I=I_{pC} \\ V_{pA}+2\Delta V=V_{pB}+\Delta V=V_{pC} \\ V_{vA}=V_{vB}+\Delta V=V_{vC}+2\Delta V \\ 4I_{kA}=2I_{kB}=I_{kC} \\ R^{2A}\fallingdotseq R_2{}^{B}\fallingdotseq R_2{}^{C}\fallingdotseq 0 \end{array}\right\}\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots(3-20)$$

ただし、ΔI および ΔV は I_{kA} および V_{pA} に比して十分小であるとする。

5．2　高単位表示の一方式

本方式の表示回路を用いて、入力電流を数けたの10進数として表示する場合には、1けたの本方式の表示回路は入力電流を1けたの10進数に変換するＡ－Ｄ変換回路であり、また、ＳＬＤの並列回路に直列に接続された抵抗 R_d の端子間電圧は表示された数字に対応する量子化されたアナログ量を与えるので、本回路は同時にＤ－Ａ変換回路でもある。したがって、第3－10図に示すよう

に、けた数に応じてアナログ加算回路、$1/10^n$ の減衰を行なう回路、-10^n の重みづけを行なう回路を付加し、上位のけたより動作を開始させることによって、入力電流を数けたの10進数に表示することができる。



第3－10図　高単位表示回路の一方式

第6節　結　　言

論理機能をもつ表示回路の一例として、ＳＬＤを用いた表示回路の一方式について述べた。本表示回路は、ＳＬＤのもつ独自のオプトロニクス的機能を効果的に生かしたものであり、入力電流をＳＬＤによって構成されたしきい値回路網で所望の出力に変換し、同時にそれらのＳＬＤの発光機能を生かして対応するパターンに表示するようにしたものである。

したがって、従来の表示回路に比べて回路構成が簡単になるなどの特長をもつが、その動作がＳＬＤのＳ形特性に直接依存しているため、より高精度、高単位の表示回路を構成するためにはＳＬＤのＳ形特性のパラメータが満足しなければならない条件が厳しくなるのが難点であろう。したがって、本方式の表示回路がより広い分野で実用化されるためには、発光効率がより高く、安定なＳ形特性をもつＳＬＤの開発が望まれる。

第4章　制御機能をもつ光結合回路(21)～(30)

第1節　緒　　言

光結合回路は、オプトロニクス的手法によってのみ可能な独自の機能をもつ回路としてオプトロニクスの領域では最も古くから注目され、従来から各方面への応用が試みられてきた。しかし、従来の光結合回路は単に1入力1出力で光結合を介して信号を伝達するにすぎなかったため

（1）　入出力を電気的に分離できる。

（2）　信号の一方向伝達性が容易に得られる。

などの特徴しか見出せず、応用もかぎられていた。

ここで述べる制御機能をもつ光結合回路は信号を単に伝達するのみであった従来の光結合に伝達を制御する機能を付与し、2入力2出力あるいはそれ以上の多入力多出力光結合回路を実現することによって、オプトロニクス的手法のみによって実現可能な光結合をさらに発展させようとする試みである。

一方、前章でも述べたＧＮＤなどのようにＳ形特性をもち素子を流れる電流に比例した光強度で発光することのできる素子ＳＬＤの開発は、Ｓ形特性と発光機能を有機的に組合わせ、ＳＬＤのもつ独自のオプトロニクス的機能を効果的に発揮させることによって、比較的簡単な回路構成で制御機能をもつ光結合回路の実現を可能にした。

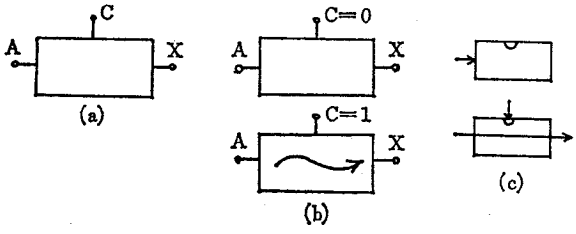
本章では、まずディジタル制御入力によってディジタル入力の結合状態を制御することのできる光結合回路（以下、制御機能をもつディジタル光結合回路と略記）、つぎにディジタル制御入力によってアナログ入力の結合状態を制御することのできる光結合回路（以下、制御機能をもつアナログ光結合回路と略

記する）について述べる。

第2節　制御機能をもつディジタル光結合回路[21]～[25]

2.1　制御機能をもつ1入力1出力ディジタル光結合回路

制御機能をもつ1入力1出力ディジタル光結合回路（1 input-1 output Digital Optical Coupler with Control Function：以下DOC 1－1と略記）を次のように定義する。



第4－1図　DOC 1－1の機能

第4－1図はDOC 1－1の系統図とその機能を示したもので、DOC 1－1は入力端子A、出力端子Xおよび制御端子Cをもち、制御入力が端子Cに印加されている場合のみ、端子Aへの入力信号を光結合によって端子Xに伝達する機能をもつ。したがって、DOC 1－1の機能は次のように書くことができる。

$$\left.\begin{array}{ll} C=1\text{のとき} & X=A \\ C=0\text{のとき} & X=0 \end{array}\right\} \cdots\cdots\cdots\cdots (4-1)$$

または、

$$X=A\cdot C \quad \cdots\cdots\cdots\cdots (4-2)$$

以下、本論文ではDOC 1－1を同図（c）のように略記する。

2.2　制御機能をもつ2入力2出力ディジタル光結合回路

制御機能をもつ2入力2出力ディジタル光結合回路（以下、DOC 2－2 と略記する）の機能を次のように定義する。

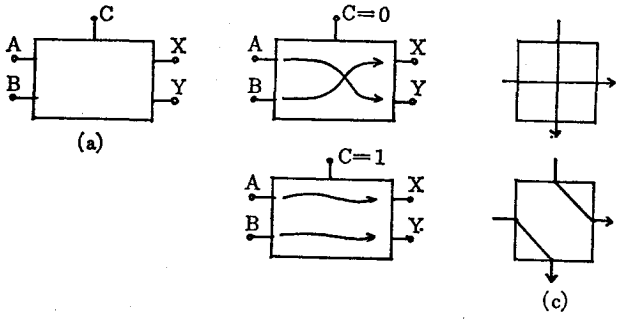
DOC 2－2 は入力端子AおよびB、出力端子XおよびY、制御端子Cをもち、制御入力が端子Cに印加されている場合には端子Aへの入力信号は出力端子Xに、端子Bへの入力信号は出力端子Yに光結合によって伝達される。一方、制御入力が端子Cに印加されていない場合には、端子Aへの入力信号は端子Yに、端子Bへの入力信号は端子Xに伝達される機能をもつ。

したがって、DOC 2－2 の機能は次のように書くことができる。

$$\left.\begin{array}{l} C=1 \text{ のとき} \\ \quad X=A、Y=B \\ C=0 \text{ のとき} \\ \quad X=B、Y=A \end{array}\right\} \cdots\cdots (4-3)$$

または、

$$\left.\begin{array}{l} X=AC+B\overline{C} \\ Y=A\overline{C}+BC \end{array}\right\} \cdots\cdots (4-4)$$



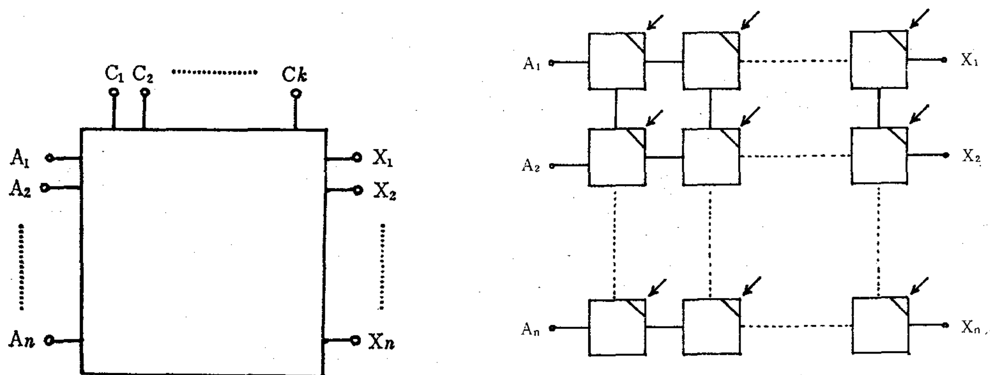
第4－2図　DOC 2－2の機能

第4－2図にDOC 2－2の系統図とその動作を示した。(本論文では、DOC

2 − 2 を同図（c）のように略記する。)

2．3　制御機能をもつｎ入力ｎ出力ディジタル光結合回路

DOC 1 − 1 および DOC 2 − 2 のもつ制御機能を拡張して、n 入力 n 出力ディジタル光結合回路（DOC n − n と略記）の機能を次のように定義する。



第4−3図　DOC n − n の系統図および DOC 2 − 2 による構成法

DOC n − n は n 個の入力端子 A_1，A_2，………，A_n、n 個の出力端子 X_1，X_2，………，X_n および k 個の制御端子 C_1，C_2，………，C_k をもち、端子 A_1，A_2，………，A_n に与えられた入力は、制御端子 C_1，C_2、………，C_k に与えられた制御入力に対応して、それぞれ光結合によって端子 X_1，X_2，………，X_n に伝達される機能をもつ。この場合、入力端子および出力端子の数 n と制御端子数 k との間には、次の関係が成立する。

$$2^{k-1} < n : < 2^{k} \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots \quad (4-5)$$

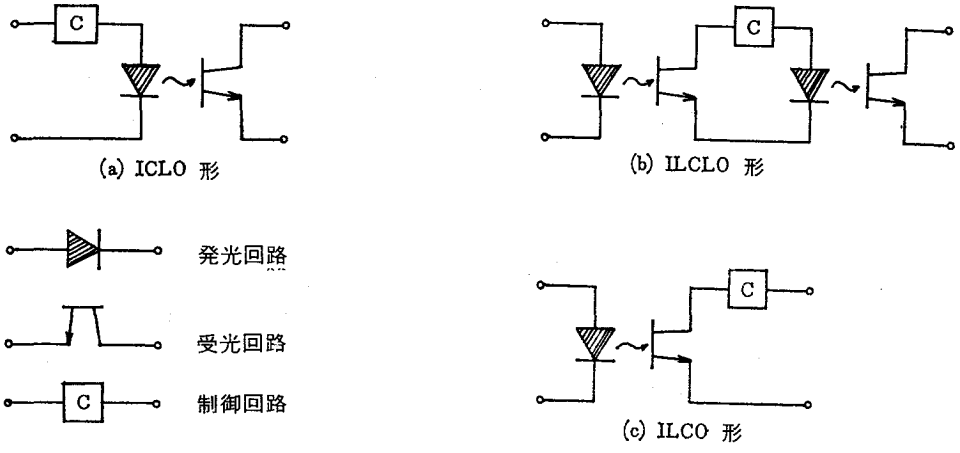
$n \geq 3$ の DOC n − n の実現は、回路構成が複雑となり、実現にはかなりの困難がともなうので実際には同図（b）に示すように DOC 2 − 2 を組み合わせて構成する方法を用いることが必要である。このことについては後で述べる。

第 3 節　制御機能をもつディジタル光結合回路の回路構成

制御機能をもつ光結合回路の回路構成は入出力端子数の如何にかかわらず三

通りの方式が考えられる。DOC 1－1 を例にその構成を第4－4図に示した。

第一の方式は同図（a）に示したように制御回路と発光回路とを電気的に結合して入力部を構成し、受光回路からなる出力部との間に光結合を行なわせるものである。



第4－4図　DOC 1－1の構成手法

第2の方式は、発光回路からなる入力部と受光回路からなる出力部とに、同図（b）に示すように入力および出力部をそれぞれ光結合させたものである。

また、第3の方式は、同図（c）に示したように発光回路からなる入力部と受光回路と制御回路とを電気的に結合して構成した出力部との間に光結合を行なわせるものである。

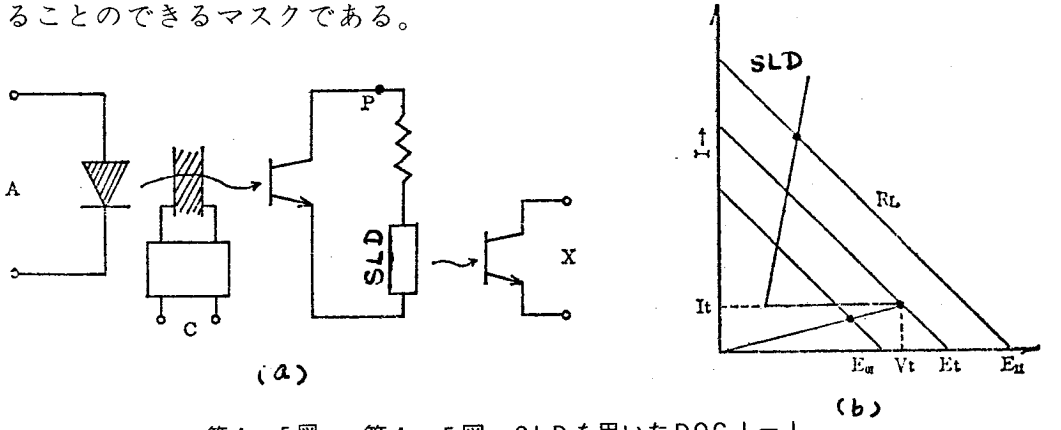
これらのいずれの方式を採用するかは、発光素子および受光素子の特性などを考慮して決定されるべきである。

第4節　S形特性発光素子を用いた制御機能をもつディジタル光結合回路

4.1　SLDを用いたDOC 1－1 回路

第4－5図（a）は SLD を用いた DOC 1－1 の系統図であり、その構成

はILCLO形をとっている。Mは与えられた電圧に応じて通過する光量を制御することのできるマスクである。



第4－5図　第4－5図　SLDを用いたDOCＩ－Ｉ

入力A＝1の場合に制御入力C＝1のとき点pに生じる電圧をE_{11}、C＝0のとき点pに生じる電圧をE_{10}とする。また、同図（c）に示したように負荷線が（Ip, Vp）を通る場合のp点の電圧をEt 、すなわち（Ip, Vp）を通る負荷線が横軸を切る点の電圧を Et とする。

E_{10}, E_{11} および Et が次式を満足するように制御回路を設定すれば、第4－5図（a）の回路は制御入力C＝1の場合のみ端子Aに印加された入力信号を光結合によって端子Xに伝達することができる。

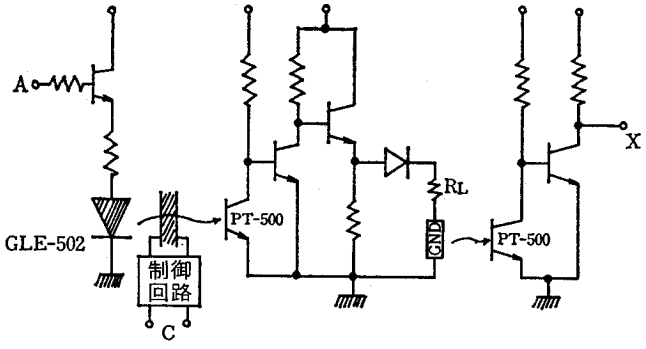
$$E_{10} < Et < E_{11} \quad \cdots\cdots (4-6)$$

ただし、　$Et = I_t R_L + V_p$

また、SLDを流れる“0”が出力電流y_0と“1”出力電流 y_1の比は、SLD の小電流領域の等価抵抗をR、大電流領域における等価抵抗を R' としたとき、次式で与えられる。

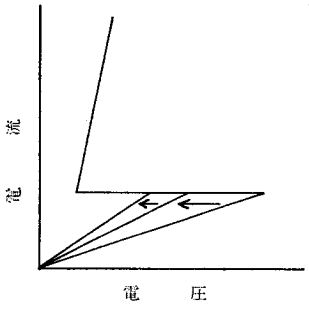
$$\frac{y_1}{y_0} = \frac{E_{11}\ (R+R_L)}{E_{10}\ (R'+R_L)} \quad \cdots\cdots (4-7)$$

第４－６図はSLDとしてGaAsS形特性発光素子GND を用いたDOC１－１の試作回路を示したものである。

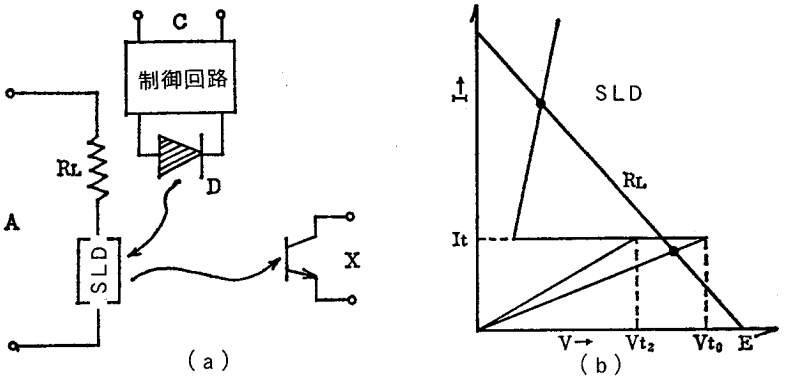


第４－６図　GNDを用いたDOC１－１回路

４．２　光駆動 SLDを用いたDOC １－１回路



第４－７図　光駆動ＳＬＤの特性



第４－８図　光駆動ＳＬＤを用いたDOC １－１

光駆動 SLD は前述の SLD と同様にS形電圧電流特性がもつが第4－7図に示すように射照される光量に応じて V_p が減少する。

第4－8図（a）は光駆動 SLD を用いた DOC 1－1 の系統図を示したもので、その構成は ICCO 形をとっている。制御入力が端子Cに与えられると発光回路Dが発光し、光駆動 SLD の山点電圧 V_{p0} を V_{p1} に減少せしめる。端子Aに入力が印加された時、p点の電圧が次式を満足するEになるものとすれば、同図（b）に示すように制御入力が端子Cに与えられ入力信号が“1”の場合のみ光駆動 SLD は大電流領域に転移し、所望の動作を行なう。

$$V_{p1} + I_p R_L > E < V_{p0} + I_t R_L \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (4-8)$$

また、光駆動 SLD を流れる“1”出力電流と“0”出力電流の比は SLD の場合と同様に第（4－7）式で与えられる。

4.3　SLDを用いた DOC 2－2 回路

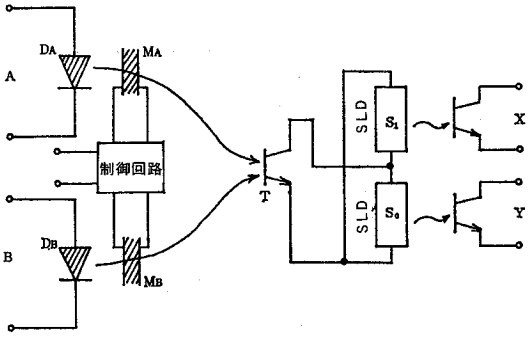


Fig. 4-8　LCC2 circuit using GND

第4－9図　SLDを用いたDOC 2－2の系統図

第4－9図に SLD を用いた DOC 2－2 の系統図を示す。端子AおよびBに与えられた入力は発光回路 D_A および D_B によって光に変換される。つぎに、マスク M_A および M_B によって、それぞれ適当な減衰が与えられたのち、受光回路 T によって両者の和に比例した電圧に変換される。SLD S_0 および S_1 が点p－q間の電圧値 a_0, a_1, a_2, a_3 に対応して第4－1表に示す動作を

行なうとする。また、端子AおよびBに与えられる入力によって点p－q間に生じる電圧値b_0，b_1，b_2，b_3が電圧値a_0，a_1，a_2，a_3と第4－2表（a）を満足するようにマスクM_AおよびM_Bの透過度を設定すると、端子Aへの入力は端子Xに、端子Bへの入力は端子Yにそれぞれ伝達される。

p－q間電圧	a_0 <	a_1 <	a_2 <	a_3
S_0	↯	～	↯	～
S_1	↯	↯	～	～

↯: no emitting　～: emitting

第4－1表　点p～q間の電圧値とS_0，S_1の状態の関係

入力A	0	1	0	1
入力B	0	0	1	1
電圧	$b_0 < a_1 < b_1 < a_2 < b_2 < a_3 < b_3$			

（a）

入力A	0	0	1	1
入力B	0	1	0	1
電圧	$b_0' < a_1 < b_1' < a_2 < b_2' < a_3 < b_3'$			

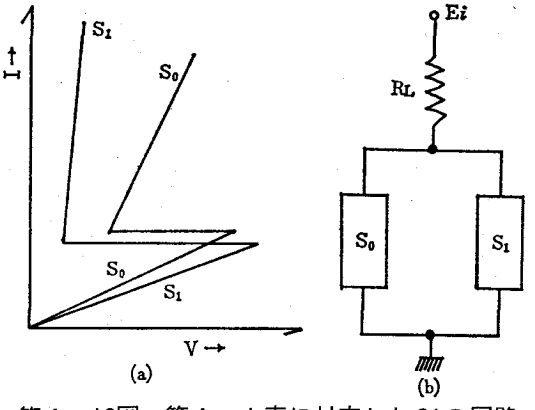
（b）

第4－2表　A，Bへの入力と点p－q間の電圧の関係

また、同表（b）を満足するようにマスクM_AおよびM_Bの透過度を設定すると、同表（a）の場合とは逆に端子Aへの入力は端子Yに、端子Bへの入力は端子Xにそれぞれ伝達される。したがって、マスクM_AおよびM_Bの透過度が第4－2表（a）を満足する場合と、同表（b）を満足する場合とを端子C

への制御入力の“1”および“0”に対応させれば、第（4－3）式で表わされる DOC 2－2 の動作を行なわせることができる。

第4－1表（a）に示した点p－q間の電圧値と SLD S_0，S_1 の状態の関係は第4－10図（a）に示すようなS形特性をもつ二つの SLD を同図（b）に示すように並列に接続することによって実現することができる。



第4－10図　第4－1表に対応したSLD回路

この動作を第4－9図の点p－q間の電圧に相当する電圧 E_i の増加にしたがって簡単に説明すると以下のようになる。

（1）　$E_i < a_1$ のとき

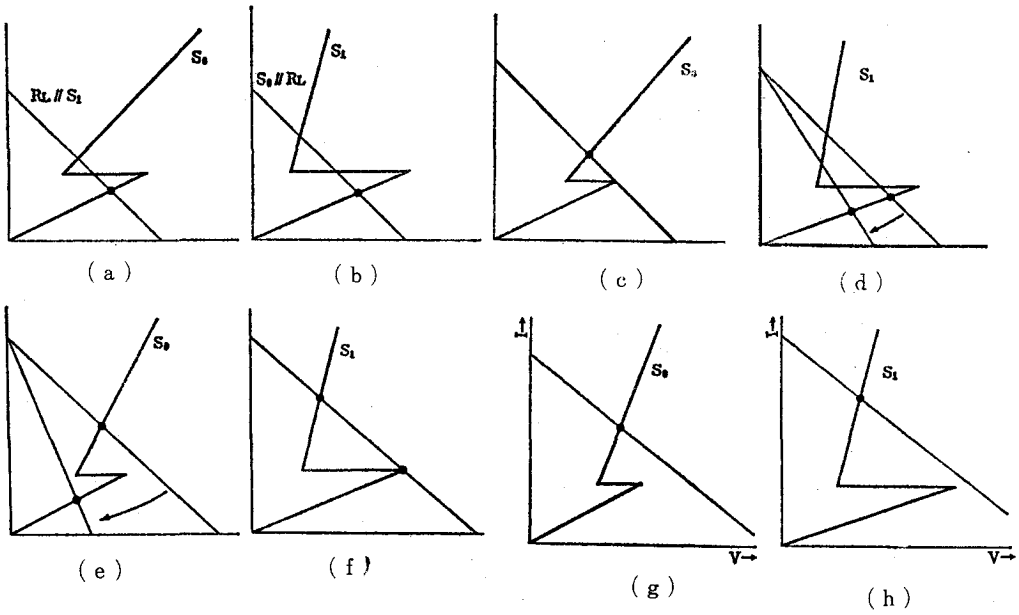
第4－11図（a）および（b）に示すように S_0 および S_1 の動作点はともに、小電流領域にあり、発光しない。ただし、S_0 にとっての負荷は、$R_L \parallel S_1$ であり、S_1 にとっては $R_L \parallel S_0$ である。

（2）　$a_1 \leq E_i < a_2$ のとき

同図（c）に示すように $E_i = a_1$ において S_0 が大電流領域に転移し、発光する。この S_0 の転移は同図（a）に示すように S_1 に対して負荷の変化をもたらすが、S_1 は依然小電流領域にとどまり発光しない。

（3）　$a_2 \leq E_i < a_3$ のとき

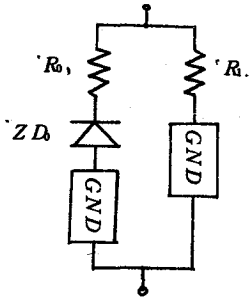
同図（f）に示すように $E_i = a_2$ において S_1 が大電流領域へ転移し発光する。この S_1 の転移は S_0 について同図（e）に示すような負荷の変化を生じ、S_0 の谷点電圧 V_v を適当に設定すれば S_0 は小電流領域に復帰する。する。



第4－11　第4－10図に示したSLD回路の動作

（4）　$a_3 \leq E_i$ のとき

同図（g）に示すように $E_i = a_3$ において再び S_0 が大電流領域へ転移する。試作回路においては、この二つのS形特性をもつ SLD の並列回路を第4－12図に示すように二つの抵抗、一つの定電圧ダイオードおよび二つの GND によって実現している。



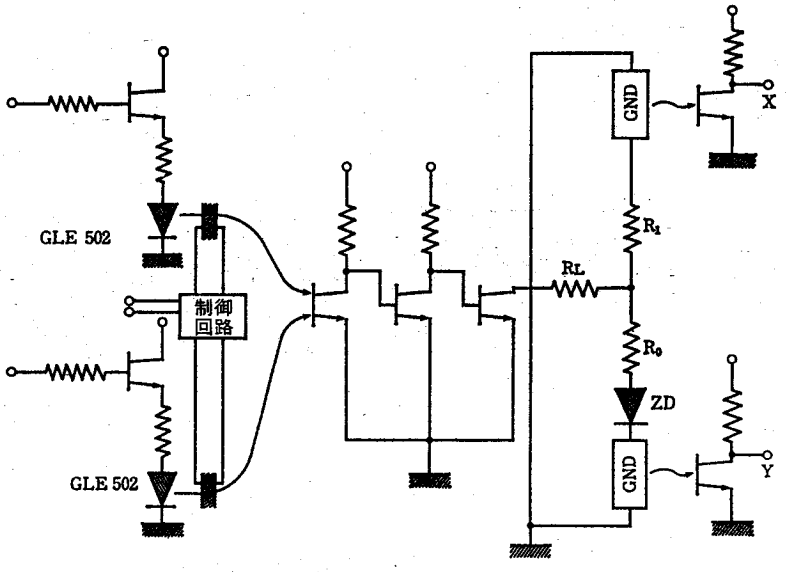
第4－12図　DOC－2の基本回路

すなわち、抵抗 R_0 および R_1 はそれぞれ S_0 および S_1 の大電流領域における抵抗値を設定するもので、定電圧ダイオード ED_0 は上述の S_0 の谷点電圧値 V_v を所望の値に設定するためのものである。

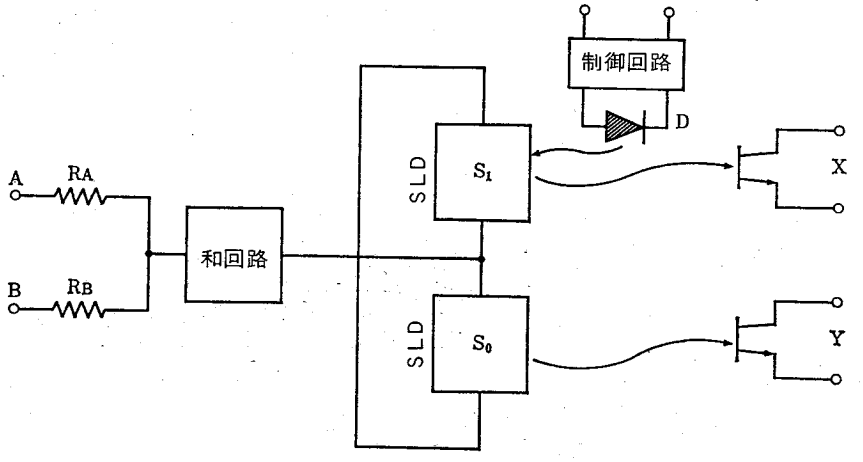
この基本回路を用いた DOC 2－2 の試作回路を第4－13図に示す。

4．4　光駆動SLD－SLDを用いたDOC 2－2回路

第4－14図に光駆動SLD－SLDの組合せを用いた DOC 2－2 回路の系統



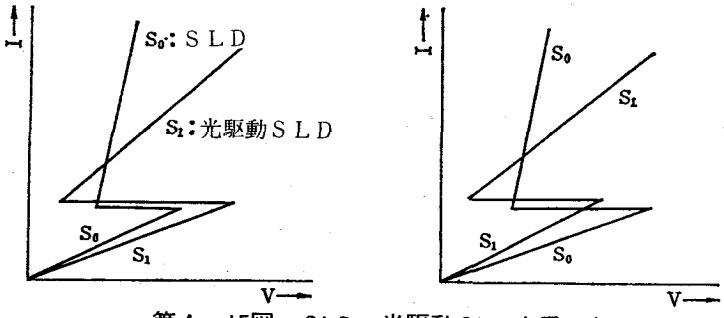
第4－13図　GNDを用いたDOC 2－2回路



第4－14図　光駆動SLD－SLDを用いたDOC 2－2

図を示した。端子Cに制御入力が印加されていない場合の SLD S_0 と光駆動 SLD S_1 の特性を第4－15図（a）に示す。制御入力が印加されると発光回路Dが光駆動 SLD S_1 を照射しその山点電圧を減少せしめるため、同図(b)に示すような特性となる。このように、制御入力の有無によって SLD S_0 と光駆動 SLD S_1 の相対的な関係が入れ替る。したがって、p－q間の電圧が

増加するにつれて、制御入力がない場合にはまず S_0 が大電流領域に転移するが、制御入力がある場合にはまず S_1 が大電流領域に転移する。さらにp－q間の電圧を増加させれば、二つのSLDを用いたDOC 2－2の場合と同様の過程を経て S_0 および S_1 がともに大電流領域へ転移する。この過程を制御入がない場合についてて示したのが第4－3表（a）で、制御入力がある場合について示したのが同表（b）である。



第4－15図　SLD－光駆動SLDを用いたDOC 2－2の負荷特性

点p－q間の電圧	b_0 <	b_1 <	b_2 <	b_3
S_0	⊥	～	⊥	～
S_1	⊥	⊥	～	～

（a）

点p－q間の電圧	b'_0 <	b'_1 <	b'_2 <	b'_3
S_0	⊥	⊥	～	～
S_1	⊥	～	⊥	～

（b）

第4－3表　SLD-光駆動SLDを用いたDOC 2－2の点p－q間電圧と S_0，S_1 の状態の関係

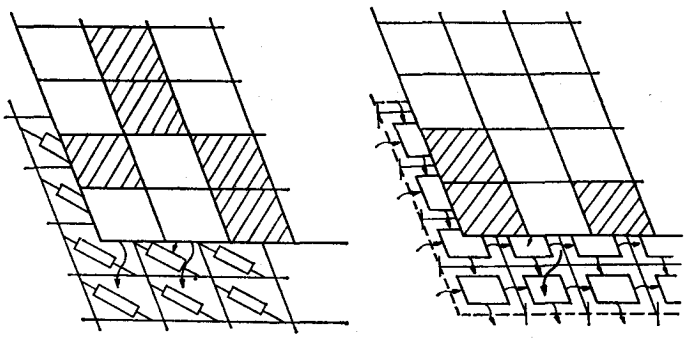
いま、AおよびBへの入力と点p－q間の電圧とが第4－4表に示す関係を満足するようにそれぞれのS形特性を設定すれすれば、制御入力が端子Cに印加されていない場合にはAへの入力はXに、Bへの入力はYに伝達され、制御入力が印加されている場合には、Aへの入力はYに、Bへの入力はXに伝達される。

Aへの入力	0	1	0	1
Bへの入力	0	0	1	1
点p－q間の電圧	$a_0 < b_1, b_1' < a_1 < b_2, b_2' < a_2 < b_3, b_3' < a_3$			

第4－4表　入力AおよびBと点p—q間の電圧の関係

第5節　制御機能をもつディジタル光結合回路のオプトロニックシステムへの応用

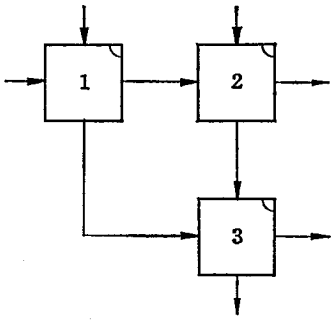
DOC 1－1 を用いて第4－16図（a）に示すようにマトリクス回路を構成し、上方から光パターンを印加することによってそれぞれの DOC 1－1 の制御入力とすれば、光パターンに対応した配列をもつ光結合マトリクスを実現することができる。



第4－16図　DOC 1－1およびDOC 2－2を用いた光結合マトリクス

同図（b）は DOC 2－2 を用いた DOC n－n の構成手法を示したものである。それぞれの DOC 2－2 は、上部から光パターンとして印加される制御入力の有無に対応した結合を行ない、それらを組合わすことにより制御可能なn入力n出力の光結合を実現する。この場合、DOC n－n の DOC 2－2 による構成法は DOC 2－2 のマトリクスの形などの異いで、いくつかの方式が考えられる。[25]

第4－17図は、一例として DOC 2－2 を用いた DOC 3－3 回路を示した



第4－17図　DOC 2－2によるDOC 3－3の実現

Table 5-1.

1	↓	↓	～	～	～	～
2	↓	↓	～	↓	↓	～
3	↓	～	↓	↓	～	～

↓: no control input　～: control input

第4－5表　DOC 2－2によるDOC 3－3の動作

もので、第4－5表に示す6通りの制御入力パターンを与えることによって、入力A，B，Cと出力X，Y，Zの結合を制御することができる。

第6節　制御機能をもつアナログ光結合回路[26]～[30]

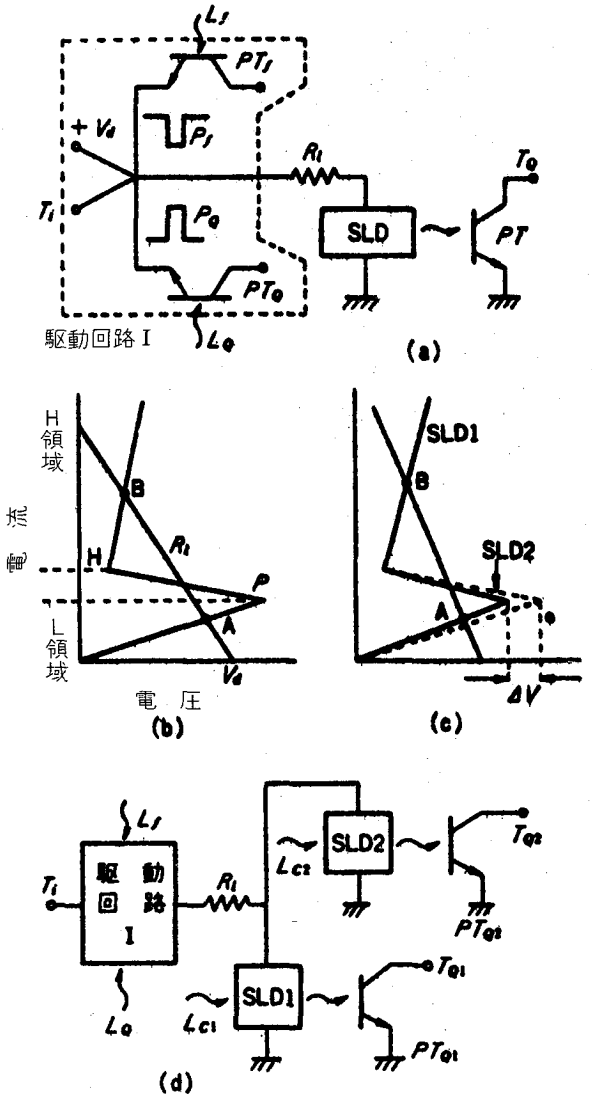
S形特性をもち電流に応じて発光する素子 SLD の動作点をS形特性の大電流領域（H領域）から小電流領域（L領域）へ、あるいはL領域からH領域へ転移させることによって SLD と受光素子間のアナログ信号の光結合を開閉させることができる。

本節で述べる制御機能をもつアナログ光結合回路は上述の SLD のオプトロニクス的特徴を利用しているので比較的簡単な回路構成で、外部から制御光を印加することによって1入力1出力の場合にはアナログ光結合を開閉することができ、1入力多出力の場合にはいくつかのアナログ光結合のうちの一つを任意で選択することができる。従って、本光結合回路は、従来光結合回路が用いられていた分野で活用されることは言うまでもないが、必要な場合のみ光結合を形成することができる融通性のある光結合回路として、不必要な結合をしゃ断し、所要の結合を形成する必要のある回路や、幾つかの回路の相互接続を可変にする必要のある回路への応用が考えられる。

6．1　方式Ｉによる制御可能なアナログ光結合回路

SLD の動作点をＬ領域からＨ領域へ転移させるために正の駆動パルスを印加する方式を方式Ｉと呼ぶことにする。以下、本方式による制御可能な光結合回路の動作原理を１入力１出力、１入力２出力の場合について述べる。

第4×18図（ａ）



第４－18図　方式Ｉによる制御可能な光結合回路の系統図

第４－18図（ａ）は方式Ｉによる１入力１出力の制御可能な光結合回路の原理図を示したものである。制御入力光 L_Q 及び L_f が印加されない場合、バイアス電圧 V_d によって SLD のＳ形特性と負荷抵抗 R_l の関係は同図（ｂ）のように設定されている。SLD の動作点がＬ領域の点Ａにあると、入力端子 T_i にＳ形特性のピーク点電圧値よりも十分に小さい電圧振幅値をもつ信号が印加されても、SLD は発光せず、ホトトランジスタ PT との間に光結合は形成されない。

今、制御入力光 L_Q がホトトランジスタ PT_Q に印

加され、正の駆動パルス P_Q が負荷抵抗 R_l と SLD の直列回路に印加されると SLD の動作点はピーク点を越え、H領域の動作点Bに転移する。そして、入力端子 T_i に入力信号が印加されると入力信号に対応した発光電流が SLD を流れ、光結合が形成される。次に、制御入力光 L_f が PT_f に印加されると、負の駆動パルス P_f が R_l と SLD の直列回路に印加され、SLD の動作点はバレー点Hを越え、L領域の動作点Aに復帰し、光結合は解消される。

同図（d）は、方式Iによる1入力2出力光結合回路の原理図を示したものであり、図中の駆動回路は、同図（a）の破線で囲まれた駆動回路と同一の構成となる。制御入力光 L_{c1} 及び L_{c2} は、2つの等しいS形特性をもつ SLD、SLD_1 及び SLD_2 のピーク点電圧値の順序づけを行うためのもので、制御入力光 L_{c1}（L_{c2}）が SLD_1（SLD_2）に印加されると、SLD_1（SLD_2）のピーク点電圧値が ΔV（V）だけ減少する。

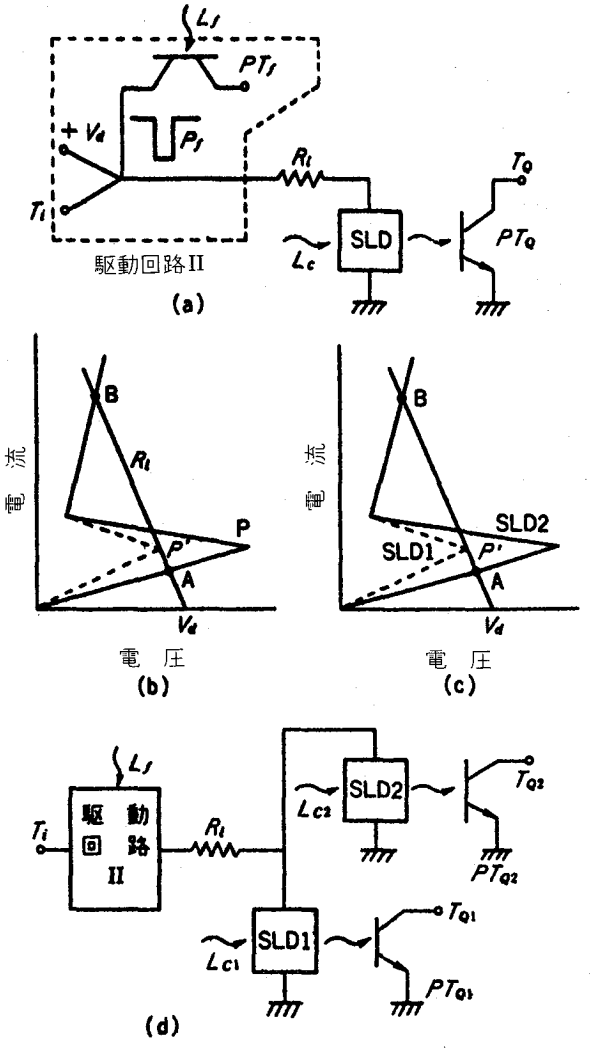
SLD_1 及び SLD_2 の動作点が共にL領域にある場合には、入力端子 T_i に入力信号が印加されても、これらの SLD を流れる発光電流は十分に小さく、光結合は形成されない。

今、制御入力光 L_Q が PT_Q に印加され、同時に L_{c1}（L_{c2}）が SLD_1（SLD_2）D_2）に印加されると、同図（c）に示すようにピーク点電圧値のより低い SL D_1（SLD_2）の動作点がH領域の点Bに転移する。従って、端子 T_i に印加された入力信号は SLD_1（SLD_2）と PT_{Q1}（PT_{Q2}）の光結合によって出力端子 T_{Q1}（T_{Q2}）に伝達される。

次に、制御入力光 L_f が PT_f に印加され負の駆動パルスが印加されると、H領域にある SLD の動作点はバレー点を越えL領域に復帰し、光結合は解消される。

6．2　方式IIによる制御可能な光結合回路

所望の SLD のS形特性のピーク点電圧値を適当な値まで減少させ、動作点をL領域からH領域へ転移させる方式を方式IIと呼ぶことにする。以下、本方式を用いた制御可能な光結合回路の動作原理を、1入力1出力、1入力2出力の場合について述べる。

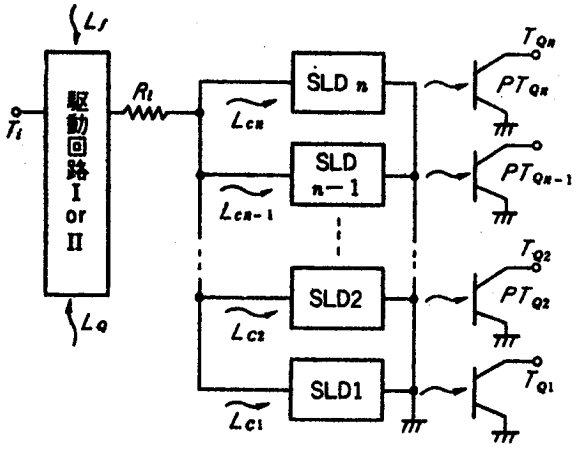


第4－19図　方式IIによる制御可能な光結合回路の系統図

第4－19図（a）は、方式IIによる1入力1出力の光結合回路を示したものである。SLD の動作点が同図（b）に示すL領域の点Aにある場合に制御入力光 L_c が SLD に入射すると、SLD のピーク点電圧値が減少しピーク点が点 P' まで移動する。その結果、SLD の動作点はH領域の点Bに転移し、光結合が形成される。次に、制御入力光 L_f が PT_f に入射すると、負の駆動パルスが印加され、SLD の動作点はL領域に復帰し、光結合は消滅する。

同図（d）は、方式IIによる1入力2出力光結合回

路の原理図を示したものである。SLD_1及びSLD_2のS形特性は等しく、共に動作点はL領域にあるとする。制御入力光L_{c1}(L_{c2})がSLD_1(SLD_2)に入射すると、同図(c)に示すようにSLD_1(SLD_2)のピーク点電圧値が減少し、ピーク点がP'に移動するため、その動作点はH領域に転移する。従って、入力端子T_iに印加された信号は光結合SLD_1-PT_{Q1}(SLD_2-PT_{Q2})によって出力端子T_{Q1}(T_{Q2})に伝達される。次に、L_fがPT_fに入射されると、負の駆動パルスが印加され、H領域にあるSLDの動作点はL領域へ復帰する。



第4−20図　制御可能な1入力n出力光結合回路の系統図

同様に、同一特性をもち入力光によってピーク点電圧値を減少させることのできるSLDを第4−20図に示すようにn個接続することによって、方式I及びIIによる1入力n出力の制御可能な光結合回路を実現することができる。

第7節　制御可能なアナログ光結合回路の動作特性

7.1　制御入力光の光強度

方式Iによる1入力k出力光結合回路(k＝1，2，……，n)において、入力端子T_iに電圧振幅値の正負の最大値がそれぞれ$+V_s$，$-V'_s$(V)の信号が与えられている場合、k個のSLDの中の1つのSLD，SLD_i(i＝1，2，……，k)の動作点をL領域(H領域)からH領域(L領域)へ転移(復帰)させるためには、負荷特性直線をピーク点Pを通る位置以上(バレー点を通る

位置以下）に移動させるに十分な尖（せん）頭値をもつ正（負）のパルスを印加する必要がある。

従って、これらの正および負の駆動パルスの尖頭値 V_{pQR} 及び V_{pfk} は、次式で与えられる。

$$\left.\begin{aligned} V_{pQR} &= (V_p - \Delta V) + I_p R_L - (V_d - V'_s) \\ V_{pfk} &= -(V_v - I_v R_L) + V_d + V_s \end{aligned}\right\} \cdots\cdots\cdots\cdots (4-9)$$

但し、V_p、I_p は直線近似したS形特性のピーク点電圧値と電流値、V_v、I_v はバレー点電圧値と電流値である。又、R_l を負荷抵抗値、R_1 をL領域のダイナミックインピーダンス値とすると、R_L は次式で与えられる。ΔV は k＝1 の場合のみ0となる。

$$R_L = R_l, \ (k=1)$$

$$R_L = R_l R_1 (k-1)/\{R_l + R_1 (k-1)\}, \ (k=2, \ 3 \cdots)$$

回路設計の立場から、正および負の駆動パルスの振幅値は等しいことが望ましい。このような条件を満足するバイアス電圧値は第（4－9）式より次式で与えられる。

$$V_d = \{V_p + V_v + (I_p + I_h) R_L + V'_s - V_s - \Delta V\}/2 \ \cdots (4-10)$$

又、同一の特性をもつk個の SLD のなかの1つを選択するために必要なピーク点電圧値の差を ΔV(V)，k個の SLD のピーク点電圧値のばらつきの最大値を ΔV_p(V)とすると、所定の動作を行わせるために減少させなければならないピーク点電圧値は次式で与えられる。

$$\Delta V_{max} = \Delta V + \Delta V_p \ \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (4-11)$$

従って、方式Iによる1入力k出力光結合回路における各制御入力光の強度は、第（4－9）式を満足する尖頭電圧値をもつ駆動パルスと第（4－11）式を満足するピーク点電圧値の減少を生じるに十分な強度でなければならない。

方式IIによる1入力k出力光結合回路において、並列に接続されたk個のSLD、SLD$_i$の動作点をL領域へ転移させるためには、第4－19図（c）に示すようにSLD$_i$のピーク点を点 P' まで移動させればよい。この場合のピーク点電圧値の減少分 ΔV_{pk} は次式で表される。

$$\Delta V_{pk} = V_p - (V_d - V'_s - I_p R_L) \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots \quad (4-12)$$

従って、方式IIの1入力k出力光結合回路における制御入力光は、式(4－9)における V_{pfk}(V) の尖頭値をもつ負の駆動パルスと、式(4－12)を満足するピーク点電圧値の減少分を生じるに十分な強度をもたなければならない。

7.2　入力信号振幅の許容値

方式I及びIIの入力k出力光結合回路において、入力信号の正方向の許容値 $+V_{s\,max}$(V) は、L領域にある SLD の動作点を入力信号がH領域へ転移させない条件およびH領域にある動作点が SLD の最大許容電流値を越えない条件によって定められる。従って、入力信号の正方向の最大許容値はこれらの2つの条件を表す次式を満足する電圧値のより小さい値で与えられる。

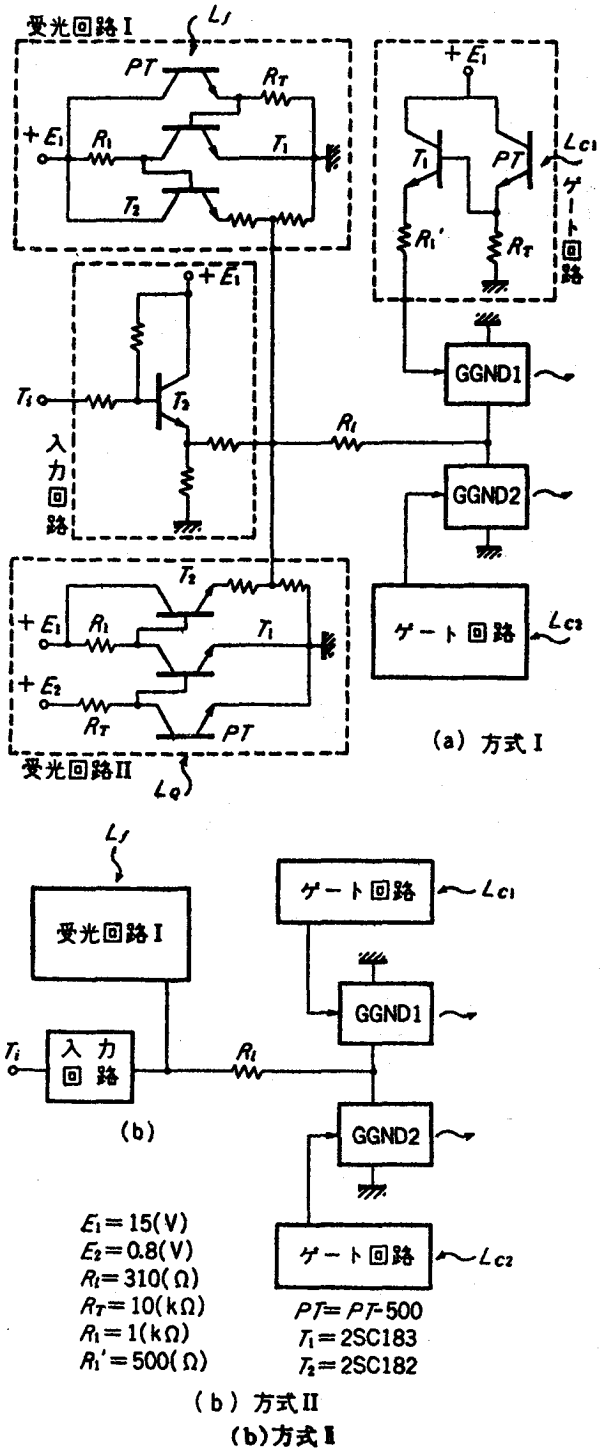
$$\left.\begin{aligned} V_{s\,max} &= V_p + I_p R_L - V_d \\ V_{s\,max} &= I_m(R_2 + R_L) + V_h - V_d - I_v R_2 \end{aligned}\right\} \cdots\cdots\cdots\cdots \quad (4-13)$$

但し、I_m は SLD の最大許容電流値、R_2 はS形特性のH領域におけるダイナミックインピーダンス値である。

一方、入力信号の負方向の最大許容電圧値 $-V'_{s\,max}$(V)は、H領域にある動作点をL領域に復帰させない条件より次式で与えられる。

$$V'_{s\,max} = V_d - (V_v + R_L I_h) \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots \quad (4-14)$$

SLD よりの光出力信号は入力信号に線形であり、しかも強度がより大きいことが望ましいので、SLD のH領域における動作点は、H領域の線形な特性領域内で SLD の最大許容電流値を越えない範囲で、より大電流な領域に設定



第4－21図　試作1入力2出力光結合回路

されなければならない。このような動作点は、第（4－13）式の第2式を満足する動作点にほかならない。従って、方式Ⅰ及びⅡの1入力k出力光結合回路の負荷抵抗値の最高値は、次式で与えられる。

$$R_l=(V_{s\,max}+I_hR_2+V_d-V_v-I_mR_2)/I_m \quad \cdots\cdots\cdots\cdots\cdots (4-15)$$

第8節　試作アナログ光結合回路とその諸特性

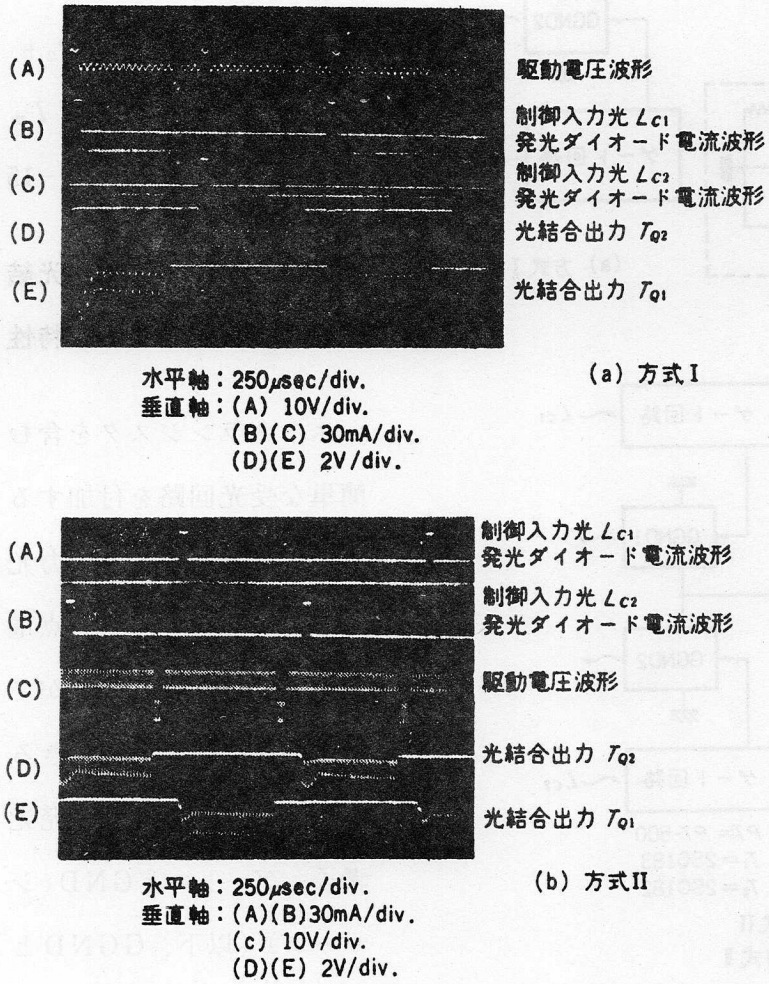
ホトトランジスタを含む簡単な受光回路を付加することで、外部からの入力光によって容易にピーク点電圧値を変化させることができるS形特性を実現できるガリウムひ素負性抵抗発光素子、ゲートつきGND（シャープ）（以下、GGNDと略記する）は、簡単な回路

第４－６表　GGNDのＳ形特性パラメータ

	GGND 1	GGND 2
ピーク点電圧値 V_p(V)	10.0	10.0
ピーク点電流値 I_p(mA)	2.0	1.0
バレー点電圧値 V_v(V)	0.4	0.4
バレー点電流値 I_v(mA)	5.8	5.4
大電流領域ダイナミックインピーダンス R_2 (Ω)	5	5
小電流領域ダイナミックインピーダンス R_1 (kΩ)	5	10

構成で本光結合回路を実現することができるので、本光結合回路の構成素子として適している。

第４－21図は、前節で述べた本光結合回路の諸特性についての検討を基礎にして試作した方式Ⅰ及びⅡによる１入力２出力



第４－21図　試作１入力２出力光結合回路の動作波形

の光結合回路の構成を示したものであり、用いたGGNDの特性はいずれも第4－6表に示したとおりである。又、同図（b）の各回路は同図（a）に示した各回路と同じである。

これらの試作光結合回路における入出力信号の直線性は、入力電圧5±1.5(V)の範囲における直線性からのずれとして±1％以内であり、その動作例を第4－21図に示した。

本方式の光結合回路の動作は、SLDのS形特性を直接利用しているので、その動作特性はS形特性の変動によって大きな影響を受ける。本試作光結合回路の動作に直接影響を及ぼすGGNDのS形特性の変動としては次のようなものがある。

（1） 動作温度の上昇によるピーク点電圧値の増加。

（2） 駆動パルスの立上り時間の短縮によるピーク電圧値の減少。

（3） 動作温度の上昇によるバレー点電流値の減少。

（4） 制御入力パルスのパルス幅縮少によるピーク点電圧値の減少分の減少。

従って、これらの変動によって本光結合回路が誤動作を生じないように、L領域およびH領域の動作点、負荷抵抗特性、入力信号電圧の許容値、制御入力光のパルス幅などの設定値を考慮しなければならない。

第9節　本アナログ光結合回路を用いたオプトロニック回路

制御可能な光結合回路の機能は、必要な時間のみ光結合を形成させることができる、という時間的な機能と複数個の結合の中から所望の一結合を任意に選択できる、という空間的な機能に大別される。従って、本光結合回路の応用は、これらの2つの機能を単独であるいは組合せて生かしたものとなる。本節では、

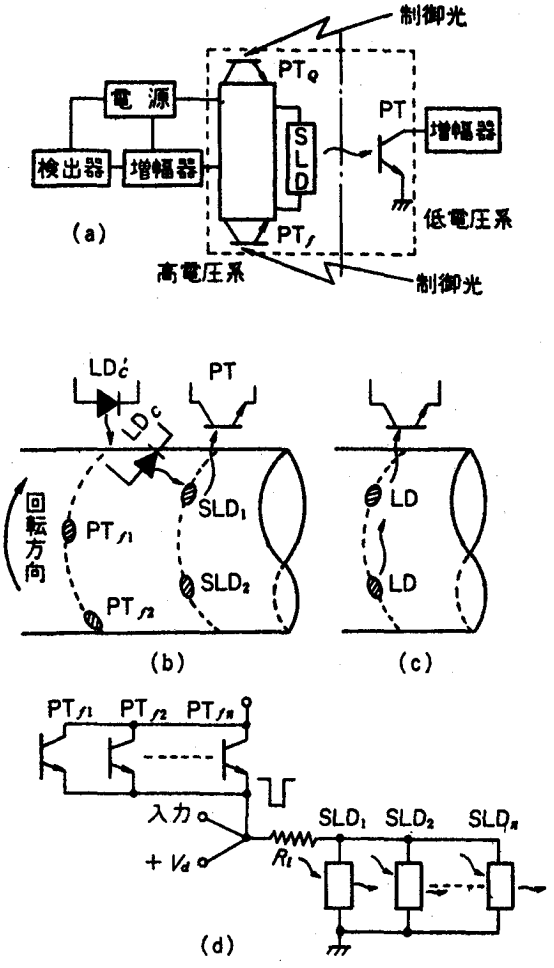
時間的な機能の応用例として、低電力消費形光結合システムを、空間的な機能の応用例として接続可変な回路をもつシステムをとりあげ、その動作について述べる。

9．1　低電力消費形光結合システム

高電圧系の監視システムなどのように高電圧系と低電圧系との間に情報伝達を必要とする場合にはよりよい電気的絶縁をはかる一手法として、又、電動機の回転軸などの回転系における諸特性の測定結果を静止系に伝達する場合には、無接触の情報伝達を行う一手法として光結合が用いられる。これらの高電圧系あるいは回転系側における測定・伝送システムは、一般には検出回路、増幅回路、発光回路およびこれらを駆動するための直流電源から構成されている。直流電源としては、蓄電池あるいは電源回路が用いられるが、前者の場合にはとりかえに伴う困難さのため、後者の場合には物理的な制約などのため比較的小容量のものを用いざるを得ないために、各回路の低電力消費化がこのようなシステムにおける切実な要求となる。検出回路・増幅回路についてはFETなどを用いることによって容易に低電力消費化を行うことができるが、発光回路については、発光素子として普通用いられるガリウムひ素発光ダイオードにおいても数mWあるいは十数mWの電力が必要であることから明らかなように低電力消費化が困難であった。しかしながら、制御可能な光結合回路を用いれば、必要な時間のみ光結合を形成させることができるので発光回路を低電力消費化することができ、これらのシステムの電源についての難点を解決することができる。

第4－22図（a）は、第4－18図に示した制御可能な1入力1出力光結合回路（方式Ⅰ）を用いて低電力消費化をはかった高電圧系の監視システムの系統図を示したものである。低電圧系側において高電圧系側の測定結果を必要とし

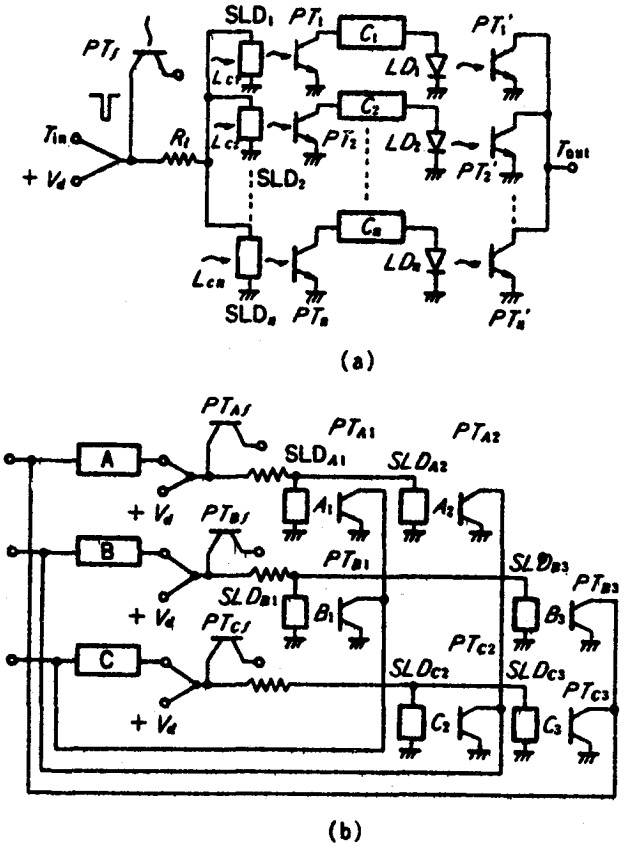
ない場合には光結合回路の SLD はL領域にあり、その消費電力は十分小さい。高電圧系の測定結果を必要とする場合には、低電圧系側より制御光を第4－18図(a)に示すPT_Qに印加し光結合を形成させる。そして、測定が終了すれば制御光を PT_f に印加し、光結合を解消させる。このように必要時のみ消費電力の大きい発光回路を駆動することによって、測定系全体の電力消費を小さくすることができる。



第4－22図　制御可能な光結合回路を用いたオプトロニック回路(Ⅰ)

第4－22図(b)及び(d)は、第4－20図に示した制御可能な1入力n出力光結合回路（方式Ⅱ）を用いて低電力消費化を行った回転系の測定システムの原理を示したものである。従来の光結合を用いた回転系の測定システムでは、同図（c）に示すように回転体の表面円周上に配列された発光ダイオードLDから測定結果を光信号として静止系の受光素子に伝達していたので、すべての発光素子が常に発光している可能性があり電力消費が大であった。しかし、制御可能な光結合を用いて同図(b)に示すように、SLD_1が

受光素子ＰＴとの間に光結合を形成することができる位置に回転体が回転した場合、静止系の制御光源 LD_c よりの制御光がSLD$_1$に印加され、SLD$_1$をＨ領域に転移させる。従って、測定結果はSLD$_1$－PT の光結合によって静止系に伝達される。次に、SLD$_1$がPT との間の光結合を維持できない位置に回転した場合、制御光源 LD'_c よりの制御光が同図（ｄ）に示す PT_{f1} に印加され、SLD$_1$はＬ領域に転移する。従って、SLD$_1$－PT の光結合は解消され、続いて制御光がSLD$_2$に印加され、SLD$_2$－PT の光結合が形成される。このように受光素子PT と対応する SLD のみを発光状態にすることによって、回転系側のシステムの電力消費を小さくすることができる。



第４－23図　制御可能な光結合回路を用いたオプトロニック回路(II)

９．２　接続可変な回路をもつシステム

制御可能な１入力ｎ出力光結合回路は、ｎ個の結合から任意に１個の結合を選択することができるので、本光結合回路を用いることによって並列に接続されたｎ個の回路から１個の回路を選択するシステム、あるいは、直列に接続されたｎ個の回路における相互接続を可変することができるシステムを実現することが

できる。

第4－23図（a）は並列に接続されたn個の回路 C_1, C_2, ……, C_n から1個の回路を任意に選択することのできるシステムの系統図を示したものである。図中、破線で囲まれた回路は第4－20図に示した1入力n出力の本光結合回路（方式II）である。システムへの入力は、1入力n出力光結合回路の入力端子であり、n個の回路は1入力n出力光結合回路の各SLDと光結合を形成できるように配置された受光素子 PT_1, PT_2, ……, PT_n を入力部にもち、出力部は通常の光結合回路 $LD_i-PT'_i$（$i=1, 2, \cdots\cdots, n$）によってシステムの出力端子 T_{out} に接続されている。

最初、回路 C_1 を選択するためには、SLD_1 に制御光 L_{c1} を印加し SLD_1 をH領域へ転移させ、光結合 SLD_1-PT_1 を形成させる。回路 C_1 の出力は光結合 $LD_1-PT'_1$ によって出力端子 T_{out} に表れる。次に、回路 C_2 に切り換えるためには制御光を PT_f に印加することによって、SLD_1 をL領域へ復帰させ光結合 SLD_1-PT_1 を解消し、その後制御光 L_{c2} を SLD_2 に印加し、SLD_2-PT_2 の光結合を形成させる。その結果、回路 C_2 の出力が光結合 $LD_2-PT'_2$ によって出力端子 T_{out} に表れる。同様に、PT_f に制御光を印加した後、所望のSLDに制御光を印加することによって、入力端子 T_{in} 及び出力端子 T_{out} の間に所望の回路をそう入することができる。

第4－23図（b）は、直列に接続されたn個の回路相互の接続を可変にすることのできるシステムの例として、3個の回路A、B、Cについて示したものである。各回路は、出力部にそれぞれ1入力2出力光結合回路（方式II）をもち、それらの2出力はそれぞれ各回路の入力部に接続されている。

例えば、回路A－B－Cの接続形を実現するためには、SLD_{A2}、SLD_{B2} に制御光を印加し、光結合 $SLD_{A2}-PT_{A2}$、$SLD_{B1}-PT_{B1}$ を形成せしめる。

次に接続形をA－C－Bに変更するためには、受光素子 PT_{Af} 及びPT_{Bf}に制御光を印加し、上述の2つの光結合を解消した後、SLD_{A1}及びSLD_{C2}に制制御光を印加し光結合 $SLD_{A1}-PT_{A1}$、$SLD_{C2}-PT_{C2}$を形成させる。

上述のように本システムは、6個の光結合の中から所望の光結合の組合せを形成させることによって、回路A，B，Cによるすべての直列回路を実現することができる。

これらの外部制御光によって、n個の並列接続された回路から1個の回路を選択できるシステムあるいはn個の直列接続された回路の相互接続を可変にできるシステムは、信頼度を向上させるための多重系あるいは限られた個数の回路によって、より多くの機能を実現させるための可変回路などの基本的な構成要素として有用である。

例えば、前述の高電圧系の監視システムにおける高電圧側の測定回路は、とりかえに伴う困難さのために、より信頼度の高い系が望ましい。このような系は、信頼度の低い回路について上述の並列多重系を用い、低電圧側よりの制御光によって切り換え可能にすることによって実現することができる。

第10節　結　　言

オプトロニクス的手法によってのみ実現可能な機能をもつ回路の一つである光結合回路に多重結合の機能および結合の形態を制御することのできる機能を付与することによって、結合回路としての機能を飛躍的に向上することができることを指摘し、結合の形態を制御することのできる機能をディジタル光結合の場合、アナログ光結合の場合について定義し、前章で述べたS形特性発光素子を用いたオプトロニック回路網の構成手法を用いて制御機能をもつ光結合回路を実現し、その応用について検討した。

本章で述べた光結合回路は、結合回路としての重要な課題である回路構成の簡易化に関しては、SLDのもつオプトロニクス的機能と電気的機能を併せ用いることによって達成することができた。しかし、現在、用いることのできるSLDでは、高速、高能率の本方式の光結合回路を実現することは困難であり、この難点は安定なS形特性と高い発光効率をもち高速動作の可能なSLDが開発されることによって克服することができると考えられる。

第5章　オプトロニックA－D変換器[31]～[36]

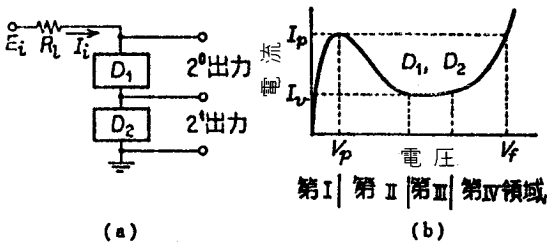
第1節　緒　　言

所定の電圧制御形負性抵抗特性(N形特性と略記)をもつ素子あるいは回路を要求される精度に応じて必要な個数だけ直列に接続することによってアナログ入力電圧に対応したディジタル出力を得ることができるN形特性列A－D変換器は、従来の電気的なA－D変換器に比べて回路構成が簡単になり、比較的低単位で高速度のA－D変換器を容易に実現することができる。しかし、このA－D変換器の出力が直列に接続された単位素子あるいは単位回路のそれぞれの端子間電圧として得られるため、出力回路を別に付加しなければならない難点があり、その実用化が妨げられている。

本章では、このような難点を克服することができる手法として、N形特性をもち端子間電圧によって発光する素子（以下、NLD と略記）を用いる手法を提案するとともに、負荷抵抗の影響を考慮した変換器の動作特性を解析し、所望のN形特性列A－D変換器を実現するために必要な動作条件を明らかにした。次に、さらに高単位のA－D変換器として NLD 列と段間増幅器を組合わせた縦続形A－D変換器を提案し、その構成手法を明らかにした。

第2節　N形特性列A－D変換器[31]～[33]

第5－1図（a）は、2単位のN形特性列A－D変換器の系統図を示したものである。素子 D_1 および D_2 は同図（b）に示すよう



第5－1図　2単位N形特性列A－D変換器

なN形特性をもつ素子であり、 R_l は負荷抵抗とアナログ信号源のインピーダンスとの和である。変換されるべきアナログ量は、電圧 E_i として R_l 、D_1 および D_2 の直列回路に印加され、アナログ量に対応した 2^0 けたおよび 2^1 けたのディジタル出力が D_1 および D_2 の端子間電圧として得られる。

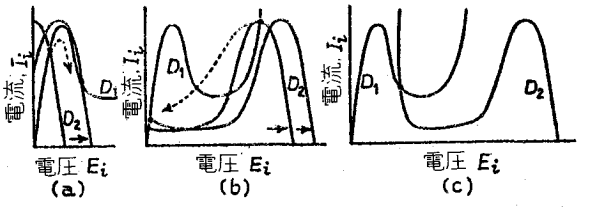
本A－D変換器の動作を E_i が増加する場合について説明する。いま、 D_1 および D_2 のN形特性のパラメーターは次式を満足しているものとする。

$$I_{p1} < I_{p2}, \quad V_{p1} = V_{p2} \quad \cdots\cdots (5-1)$$

$$I_{v1} > I_{v2} \quad \cdots\cdots (5-2)$$

$$V_{f1} < V_{f2} \quad \cdots\cdots (5-3)$$

負荷が D_1 および D_2 のもつ負性抵抗の絶対値に比べてじゅうぶん小である場合には、E_iが増加するに従って動作点は第5－2図（a）、（b）および（c）に示すような経過をたどって D_1 および D_2 の特性曲線上を移動する。



第5－2図　N形特性列A－D変換器の動作原理（I）

しかし、負荷抵抗の値が D_1 および D_2 のN形特性の負性抵抗値の絶対値よりもじゅうぶん小さくない場合には、負荷抵抗の影響を受けてN形特性の形が変化するので、これを考慮して上述のN形特性列の動作を考察しなければならない。

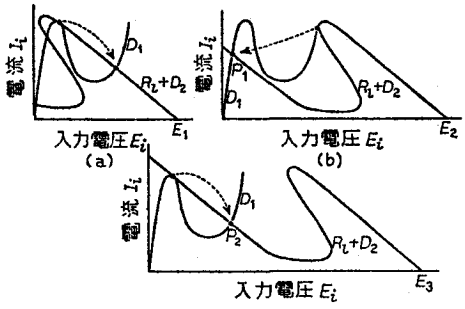
次に負荷抵抗を考慮したN形特性列A－D変換器の動作について述べる。

（0）　アナログ電圧 E_i が第5－3図（a）に示した電圧値 E_1 に達するまでは、 D_1 および D_2 における動作点はともに第I領域にある。（状態 S_0 と呼ぶ）

（1）　E_i が E_1 をこえると同図（a）に示すように D_1 における動作点

は第Ⅰ領域から転移する。この D_1 の転移は D_2 に第Ⅰ領域内の動作点の転移を与える。（状態 S_1 と呼ぶ）

（2） さらに E_i が増加して E_2 に達すると、D_2 は同図（b）に示したように第Ⅰ領域から転移する。このとき D_1 および D_2 のN型特性を適当に選べば、D_2 の転移によって D_1 を第Ⅰ領域へ復帰させることができる。（状態 S_2 と呼ぶ）



第5－3図　N形特性列A－D変換器の動作原理(Ⅱ)

（3） E_i がさらに増加して第5－3図（c）に示す電圧値 E_3 に達すると、D_1 は再び第Ⅰ領域域から転移する。この D_1 の転移は同図（c）に示す動作点に D_2 を転移する（状態 S_3 と呼ぶ）

いずれの場合においても、D_1 および D_2 の動作点が第Ⅰ領域にある状態を2進数“0”に、第Ⅲおよび第Ⅳ領域にある状態を“1”に対応させれば、D_1 および D_2 のN形特性を適当に選ぶことによって、E_i が増加するに従って D_1 および D_2 の状態を（00）、（01）、（10）、（11）へと変化させ、状態の変化が起こる E_i の電圧値 E_1、E_2 および E_3 を所望の値に設定することができる。

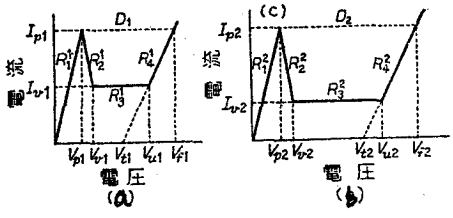
しかし、D_1 および D_2 の動作点が第Ⅰ領域あるいは第Ⅲ、Ⅳ領域のいずれにあるかを電気的に判別するためには第5－1図（a）のN形特性列の出力部に閾値機能をもつ判別回路を付加しなければならず、本A－D変換器の特長である回路構成の簡単化をそこなうおそれがある。このような難点を克服する手法の一つは結合の電気的な分離が可能な光結合を用いることであり、D_1 およ

び D_2 にN形特性をもちその端子間電圧によって発光する素子を用いることである。すなわち、N形特性電圧駆動形発光素子の動作点が第Ⅰ領域にある場合は無発光状態で“0”に対応し、第Ⅲおよび第Ⅳ領域にある場合は発光状態で“1”に対応するので、入力電圧 E_i に対応したディジタル出力を光出力として得ることができる。

第3節　N形特性電圧駆動形発光素子列A－D変換器の構成手法

3．1　2単位本A－D変換器の構成手法

第2節において、N形特性列A－D変換器の、負荷抵抗が単位回路の負性抵抗の絶対値よりもじゅうぶん小さい場合の構成条件は第（5－1）～（5－3）式で与えられるが、負荷抵抗の値が単位回路の負性抵抗の絶対値よりも小さくない場合には第5－3図（b）に示すように第（5－1）～（5－3）式のみでは十分でないことを明らかにした。



第5－4図　直線近似されたN形特性

したがって、ここでは負荷抵抗の影響を考慮しなければならない場合について動作条件を求める。以下、D_1 および D_2 は第5－4図（a）および（b）に示すような直線近似されたN形特性とパラメータをもち、その端子間電圧によって発光するものとする。そして、R_1^1，R_2^1，R_3^1，R_4^1 および R_1^2，……，R_4^2 をそれぞれN形特性電圧駆動形発光素子 D_1 および D_2 のN形特性を直線近似した時の第Ⅰ～第Ⅳ領域ダイナミックインピーダンスとする。

状態 S_0 から S_1 への転移において、まず D_1 が第Ⅰ領域から転移しなければならないので次式が満足されなければならない。

$$I_{p1} < I_{p2} \quad \cdots\cdots (5-4)$$

状態 S_1 から S_2 への転移は、第5－3図（b）に示すように D_2 が第Ⅰ領域から転移することによって生じる。したがって、動作点 P_1 が D_1 の第Ⅰ領域にあるための条件は、D_2 の第Ⅳ領域と負荷抵抗とをあわせ考慮した総合特性が D_1 の特性曲線上の点（V_{v1}, I_{v1}）よりも低電流の領域を通らなければならないことから次式で与えられる。

$$I_{v1} > I_{v2} \quad \cdots\cdots (5-5)$$

$$I_{v1}(R_l + R_4^2) > E_2 - V_{t2} - V_{v1} \quad \cdots\cdots (5-6)$$

状態 S_2 から S_3 への転移は、D_1 が再び第Ⅰ領域から転移することによって生じる。その場合、動作点 P_2 が D_1 の第Ⅲ領域へ転移するための条件は次式で与えられる。

$$I_{v1} > I_{v2} \quad \cdots\cdots (5-7)$$

ここで、E_2 は状態 S_1 から S_2 へ転移する場合の印加電圧であるから、第5－4図（b）より

$$E_2 = I_{p2}(R_l + R_4^1 + R_1^2) + V_{t1} \quad \cdots\cdots (5-8)$$

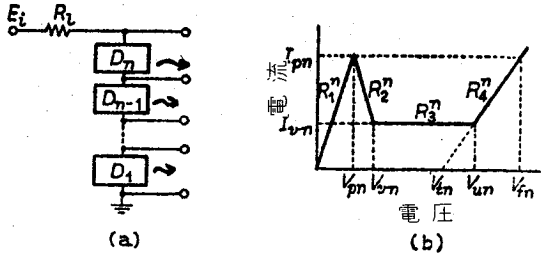
と表わすことができるので、（5－6）式は次に示す（5－9）式のようになる。

$$I_{p2}(R_l + R_4^1) - I_{v1}(R_l + R_4^2) < (V_{t2} - V_{p2}) - (V_{t1} - V_{v1}) \quad \cdots\cdots (5-9)$$

以上のように、第5－1図（a）に示した2単位N形特性列A－D変換器において、負荷 R_l を考慮した単位回路 D_1 および D_2 のN形特性が満足しなければならない条件は（5－4）、（5－5）式および（5－9）式となる。

3．2　n単位本A－D変換器を構成するための条件

第5－5図（a）に示すようなn単位N形特性電圧駆動形発光素子列A－D変換器を構成するために、n個のN形特性電圧駆動発光素子のN形特性に与えられるべき条件を2単位の場合と同様に求めるる。（b）図は、第nけたの単位回路の近似N形特性のパラメータおよびダイナミックインピーダンスを示したものである。ここでは、説明を簡略にするためn個のN形特性に次のような関係があるものとする。



第5－5図　n単位A－D変換器

$$\left.\begin{aligned} &I_{p1} \cong I_{p2} \cong \cdots\cdots \cong I_{pn} = I_p \\ &R_1{}^1 = R_1{}^2 = \cdots\cdots = R_1{}^n = R \\ &R_4{}^1 = R_4{}^2 = \cdots\cdots = R_4{}^n = R \end{aligned}\right\} \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (5-10)$$

各単位回路において

$$R_l + (n-1)R \ll |-R_2{}^q| \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (5-11)$$

$$(q = 1,\ 2,\ \cdots\cdots,\ n)$$

のように負荷抵抗の値が負性抵抗の絶対値よりじゅうぶん小なる場合には、（5－1）～（5－3）式と同様にn個のN形特性が満足しなければならない条件は、次の（5－12）～（5－14）式で与えられる。

$$I_{pq} < I_{p(q+1)} \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (5-12)$$

$$(p = 1,\ 2,\ \cdots\cdots,\ n-1)$$

$$I_{vq} > I_{v(q+1)} \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (5-13)$$

$$(p = 1,\ 2,\ \cdots\cdots,\ n-1)$$

$$V_{f(q+1)} > \sum_{k=1}^{q} V_{fk} \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots \quad (5-14)$$

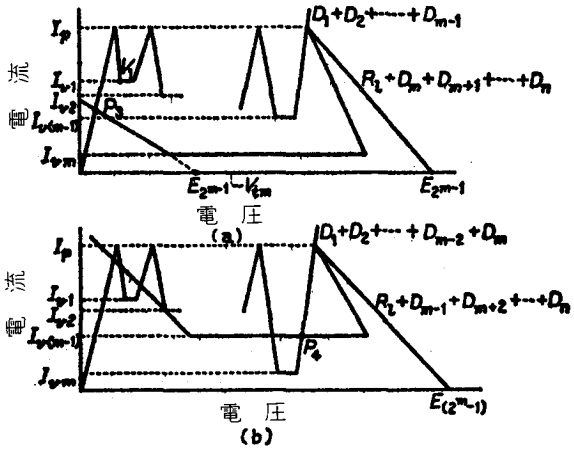
$$(q=1,\ 2,\ \cdots\cdots,\ n-1)$$

次に、各単位回路において（5－11）式が成立しない場合について、n個のN形特性に付与されるべき条件を求める。

下位のけたの単位回路より順に第Ⅰ領域から転移するための条件は、（5－4）式より前述の場合と同様の考察より（5－12）式で与えられる。

次に、第Ⅳ領域に動作点をもつ第1けたより第m－1けたの単位回路群が、第mけたの単位回路の第Ⅰ領域からの転移によって第Ⅰ領域へ復帰するための条件を求める。（ただし、$2 \leq m \leq n$）

第5－6図（a）はn単位A－D変換器に与えられるアナログ入力が$(2^{m-1}-1)E_0$から$2^{m-1}E_0$に増加した場合に、第1けたから第（m－1）けたまでの単位回路D_1、D_2，……D_{m-1}の総合特性と負荷抵抗R_lと単位回路D_m，D_{m+1}，……D_nからなる総合負荷特性との関係を示したものである。同図から明らかなように、単位回路群D_m，D_{m+1}，……，D_nの最小けたであるD_mが第Ⅰ領域から第Ⅲまたは第Ⅳ領域へ転移した場合に、D_1，D_2，……，D_{m-1}がすべて第Ⅰ領域へ復帰するための条件、すなわち動作点P_3がD_1，D_2，……，D_{m-1}の総合特性の最初の第Ⅰ領域に復帰するための条件は次で与えられる。



第5－6図　n単位A－D変換器の動作原理

$$I_{vq} > I_{vm} \quad \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots \quad (5-15)$$

$$(q=1,\ 2,\ \cdots\cdots,\ m-1)$$

$$I_{v1}\{R_l+(n-m+1)R\}-I_p(R_l+nR)>\sum_{k=1}^{m-1}V_{tk}-V_{tm}-V_{v1} \quad \cdots\cdots (5-16)$$

$$(m=2,\ 3,\ 4,\ \cdots\cdots,\ n)$$

$$I_{vq}\{R_l+(n-m+1)R\}-I_p(R_l+nR)>\sum_{k=1}^{m-1}V_{tk}-V_{tm}-V_{tq} \quad \cdots\cdots (5-17)$$

$$(q=2,\ 3,\ \cdots\cdots,\ m-1,\ m=2,\ 3,\ \cdots\cdots n)$$

次に、入力アナログ電圧 E_i が増加し（2^m-1）E_0 に達すると、第（m－1）けたの単位回路が第Ⅰ領域から第Ⅲまたは第Ⅳ領域へ転移し、第1けたから第mけたまでの単位回路はすべて“1”を示す。第5図（b）は入力アナログ電圧が（2^m-2）E_0 から（2^m-1）E_0 になる場合の単位回路 D_1, D_2, …, D_{m-2}, D_m の総合特性と負荷抵抗 R_l と単位回路 D_{m+1}, D_{m+1}, D_{m+2}, ……, D_n からなる総合負荷特性との関係を示したものである。単位回路 D_{m-1} の第Ⅰ領域から第Ⅲまたは第Ⅳ領域へ転移したときに D_1, D_2, ……, D_{m-2}, D_m における動作点が第Ⅲまたは第Ⅳ領域にとどまるためには、動作点 P_4 が D_1, D_2, ……D_{m-2}, D_m の総合特性の右端の第Ⅳ領域になければならない。そのための条件は同図から次式で与えられる。

$$I_{v(m-1)}>I_{vm} \quad \cdots\cdots (5-18)$$

以上のように、第5－4図（a）に示したn単位A－D変換器の各単位回路のN形特性が満足しなければならない条件は、負荷抵抗 R_l を考慮すれば（5－12)、（5－16)，（5－17）式および（5－18）式となる。

第4節　N形特性電圧駆動発光素子列を用いた縦続形A－D変換器 (34) (35)

いままで述べたN形特性電圧駆動発光形素子列A－D変換器の動作は、単位回

路のN形特性に直接依存しているため高単位化するにしたがって最小けたのN形特性と最大けたのN形特性の電圧パラメータの比が飛躍的に増大する。本節で述べるN形特性電圧駆動形発光素子列縦続形A－D変換器は、上述のN形特性電圧駆動形発光素子列A－D変換器の短所を補い、より高単位のA－D変換器を実現することができる手法である。

本節では、まず上述のN形特性電圧駆動形発光素子列回路に適当な負荷抵抗を接続することにより、N形特性電圧駆動形発光素子列への入力電圧と負荷抵抗の端子間電圧の関係が折り返し特性を示すことを明らかにし、その動作条件を検討した結果について述べる。

4．1　直列に接続されたN形特性回路の総合特性

第5－7図（a）に示すように、直線近似された二つのN形特性回路 N_{ms}（m＝1，2）の各パラメータが次式を満足するものとする。

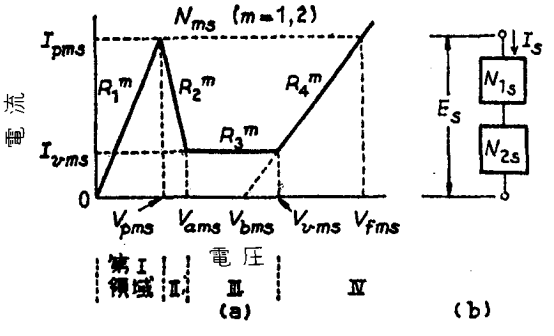
$$I_{p1s} < I_{p2s} \quad \cdots\cdots (5-21)$$

$$I_{v1s} > I_{v2s} \quad \cdots\cdots (5-22)$$

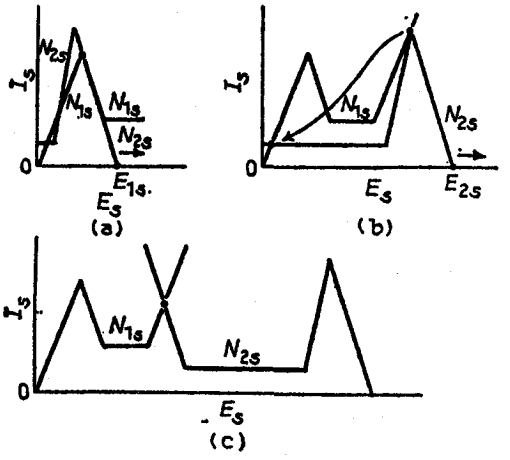
$$I_{p2s}R_4^1 - I_{v1s}R_4^2 < (V_{b2s} - V_{p2s}) - (V_{b1s} - V_{a1s}) \quad \cdots (5-23)$$

R_1^1，…，R_4^1 および R_1^2……R_4^2 はそれぞれ N_{1s} および N_{2s} の第Ⅰ領域、……、第Ⅳ領域のダイナミックインピーダンスを表わすものとする。

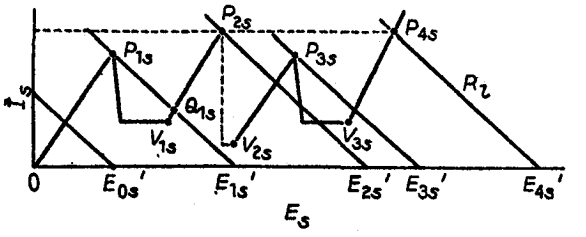
いま、これらのN形特性素子を（b）図に示すように直列に接続し、その両端に電圧 E_s を印加する。印加電圧 E_s が増加するに従って N_{1s} および N_{2s} の動作点は第5－8図に示すよう



第5－7図　直線近似N形特性



第５－８図　Ｎ形特性列回路の動作



第５－９図　Ｎ形特性列の総合特性

な経過をたどって移動するので、第５－７図（ｂ）の直列回路の総合特性は第５－９図に示すようになる。

総合特性の最初のピーク点 P_{1s} は印加電圧 E_s が E_{1s} で、N_{1s} および N_{2s} が第５－８図（ａ）に示す関係にある場合に生ずる。したがって総合特性の OP_{1s} のダイナミックインピーダンス $R(\overline{OP_{1s}})$ およびピーク点 P_{1s} の電圧・電流値は次式で与えられる。

$$R(\overline{OP_{1s}}) = R_1^1 + R_1^2 \quad \cdots\cdots (5-24)$$

$$P_{1s}(V_{p1s} + I_{p1s}R_1^2,\ \ I_{p1s}) \quad \cdots\cdots (5-25)$$

さらに印加電圧が増加すると、N_{1s} および N_{2s} のピーク点電流値の間に（５－21）式のような関係があるので、動作点は N_{2s} については第Ｉ領域を、N_{1s} については第II領域から第Ⅳ領域までを移動する。したがって、総合特性の最初のバレー点 V_{1s} の電圧・電流値は次式で与えられる。

$$V_{1s}(V_{v1s} + I_{v1s}R_1^2,\ \ I_{v1s}) \quad \cdots\cdots (5-26)$$

印加電圧が E_{2s} になり、N_{1s} および N_{2s} が第５－８図（ｂ）に示す関係になると、（５－22）式および（５－23）式によって動作点は N_{1s} の第Ⅳ領域および N_{2s} の第Ｉ領域から N_{1s} の第Ｉ領域および N_{2s} の第III あるいはⅣ領域へ転移

する。　したがって、総合特性 $V_{1s}P_{2s}$ のダイナミックインピーダンスおよびピーク点 P_{2s} の電圧・電流値は次式で与えられる。

$$R(\overline{V_{1s}P_{2s}})=R_4^1+R_1^2 \quad \cdots\cdots (5-27)$$

$$P_{2s}(V_{p2s}+V_{b1s}+I_{p2s}R_4^1,\ \ I_{p2s}) \quad \cdots\cdots (5-28)$$

さらに印加電圧が増加すると、動作点は N_{2s} の第Ⅲ領域からⅣ領域へ、また N_{1s} の第Ⅰ領域から第Ⅳ領域まで移動するので、総合特性の各ダイナミックインピーダンスおよびパラメータの電圧・電流値は次のように与えられる。

$$R(\overline{V_{2s}P_{3s}})=R_1^1+R_4^2 \quad \cdots\cdots (5-29)$$

$$R(\overline{V_{3s}P_{4s}})=R_4^1+R_4^2 \quad \cdots\cdots (5-30)$$

$$V_{2s}(V_{v2s}+I_{v2s}R_1^1,\ \ I_{v2s}) \quad \cdots\cdots (5-31)$$

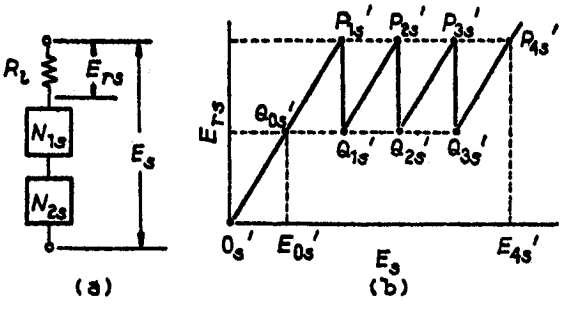
$$P_{3s}(V_{p1s}+V_{b2s}+I_{p1s}R_4^2,\ \ I_{p1s}) \quad \cdots\cdots (5-32)$$

$$V_{3s}(V_{v1s}+V_{b2s}+I_{v1s}R_4^2,\ \ I_{v1s}) \quad \cdots\cdots (5-33)$$

$$P_{4s}(V_{b1s}+V_{b2s}+I_{p1s}R_4^2+I_{p1s}R_4^1,\ \ I_{p1s}) \quad \cdots\cdots (5-34)$$

4．2　N形特性回路を用いた折り返し特性回路の設計条件

第5－9図に示す総合特性をもつN形特性 N_{1s} および N_{2s} の直列回路に第5－10図（a）のように負荷抵抗 R_l を付加し、その抵抗値を第5－9図に示した総合特性の P_{1s} および Q_{1s} を通るように選ぶと、印加電圧 E_s と負荷抵抗 R_l の端子間電圧 E_{rs} との関係は第5－10図（b）で与えられる。一方、E_s-E_{rs} 特性と N_{1s} および N_{2s} の状態との関係は動作点が N_{1s} およ



第5－10図　N形特性列による折り返し特性

第5－1表　2ビット折り返し特性

	$\overline{Q_{0s}' P_{1s}' Q_{1s}'}$	$\overline{Q_{1s}' P_{2s}' Q_{2s}'}$	$\overline{Q_{2s}' P_{3s}' Q_{3s}'}$	$\overline{Q_{3s}' P_{4s}'}$
N_{2s}	0	0	1	1
N_{1s}	0	1	0	1

びN_{2s}の第Ⅰ領域にある場合を2進符号“0”に、第Ⅳ領域にある場合を2進符号“1”に対応させると第5－1表に示すようになる。したがって、E_s-E_{rs}特性が次の条件を満足すればE_s-E_{rs}特性は2ビットの折り返し特性となり、これを用いて縦続形A－D変換器を構成することができる。

$$E_{rs}(P_{1s}')=E_{rs}(P_{2s}')=E_{rs}(P_{3s}')=E_{rs}(P_{4s}') \quad \cdots (5-35)$$

$$\overline{P_{1s}' P_{2s}'}=\overline{P_{2s}' P_{3s}'}=\overline{P_{3s}' P_{4s}'} \quad \cdots\cdots (5-36)$$

$$\overline{Q_{0s}' P_{1s}'} \parallel \overline{Q_{1s}' P_{2s}'} \parallel \overline{Q_{2s}' P_{3s}'} \parallel \overline{Q_{3s}' P_{4s}'} \quad \cdots\cdots (5-37)$$

ここで、$E_{rs}(P_{as}')$はE_s-E_{rs}特性上の点P_{as}'のE_{rs}成分の値を示している。

総合特性の各ピーク点の電圧・電流値を与える（5－25）式、（5－28）式、（5－32）式、（5－34）式、各ダイナミックインピーダンスを与える（5－24）式、（5－27）式、（5－29）式、（5－30）式と上述の（5－35）～（5－37）式より、$E_{rs}-E_s$特性が2ビットの折り返し特性を示すために、N_{1s}　およびN_{2s}の各パラメータが満足しなければならない条件は次式のようになる。

$$I_{p1s}=I_{p2s} \quad \cdots\cdots (5-38)$$

$$R_1^1=R_4^1,\ \ R_1^2=R_4^2 \quad \cdots\cdots (5-39)$$

$$2V_{b1s}=V_{b2s} \quad \cdots\cdots (5-40)$$

以上の考察から、二つのN形特性回路N_{1s}およびN_{2s}によって2ビットの折

り返し特性を実現するためには、N_{1s}およびN_{2s}各パラメータが満足しなければならない条件である（5－21)～(5－23）式および（5－38)～(5－40）式と、後で述べる負荷抵抗 R_l についての条件式が同時に満足されなければならない。

ピーク点電流値については、（5－21）式および（5－38）式を同時に満足させることができない。この点を解決するためには、ピーク点電流値の設定に際して次の二つの方法が考えられる。

（5－21）（5－38）式を満足するようにピーク点電流値を選び、まずN_{1s}が動作し、次いでN_{2s}が動作するように順序づける。

（5－22）（5－21）式を満足するようにピーク点電流値を選び、その差をできるかぎり小さくする。

試作回路においては、回路構成を簡単にするために後者の方法によりピーク点電流値を設定し、後で述べるようにピーク点電流値の差によって量子化レベルに生じる誤差を第5－7図に示すパラメータ V_{bms}によって補正した。

負荷抵抗 R_l については、E_s-E_{rs}特性において E_{rs}成分に定電圧を示す特性を生じてはならないので、第5－9図における点 Q_{1s}の電圧・電流値がバレー点 V_{1s}の電圧・電流値より大である必要がある。

このことから、

$$R_l \geq \{E_s(V_{1s})-E_s(P_{1s})\}/\{I_s(P_{1s})-I_s(V_{1s})\}$$
$$=-(R_1^1+R_1^2)+\{V_{b1s}/(I_{p1s}-I_{v1s})\} \quad \cdots\cdots\cdots (5-41)$$

が満足されなければならない。

また、抵抗 R_l と直列に接続たれた二つのN形特性回路の総合特性が、第5－9図に示すような三つのピーク点およびバレー点をもつために抵抗 R_l が具備すべき条件は

$$I_{p2s}(R_l+R_4^1)-I_{v1s}(R_l+R_4^2)$$
$$<(V_{b2s}-V_{p2s})-(V_{b1s}-V_{a1s}) \quad \cdots\cdots(5-42)$$

で与えられる。したがって、二つのN形特性回路によって2ビットの折り返し特性を実現するためには、負荷抵抗 R_l は次式を満足しなければならない。

$$-(R_1^1+R_1^2)+\{V_{b1s}/(I_{p1s}-I_{v1s})\}\leq R_l<$$
$$-R_1^2+(V_{b1s}+V_{a1s}-V_{p1s})/(I_{p2s}-I_{v1s})$$
$$\cdots\cdots(5-43)$$

4．3 本方式によるA－D変換器に用いる段間増幅器の設計条件

第5－10図に示す折り返し特性の E_s 成分の出力振幅 $E_{4s}'-E_{0s}'$ は、第5－9図の総合特性から明らかなように4 V_{b1s} で与えられる。一方、E_{rs} 成分の出力振幅 $P_{1s}'Q_{1s}'$ は総合特性における点 Q_{1s} の電流成分を I_{qs} とすると、$R_l(I_{p1s}-I_{qs})$ で与えられる。したがって、本基本回路を用いて縦続形A－D変換器を構成する場合の段間増幅器の電圧利得は次式で与えられる。

$$A=4V_{b1s}/R_l(I_{p1s}-I_{qs}) \quad \cdots\cdots(5-44)$$

また、本基本回路を用いて縦続形A－D変換器を構成するためには、第5－10図（b）の $E_{rs}-E_s$ 特性の $O_s'Q_{0s}'$ の部分を除去する必要がある。

4．4 n個のN形特性によるnビット折り返し特性回路の設計条件

二つのN形特性回路を用いて2ビットの折り返し特性を実現し、縦続形A－D変換器を構成する本方式は、同様にn個のN形特性によってnビットの折り返し特性を実現し、縦続形A－D変換器を構成することができる。

n個のN形特性によってNビットの折り返し特性を実現する場合に、n個のN形特性のパラメータが満足しなければならない条件は次式で与えられる。

$$\left.\begin{array}{l} I_{pk} < I_{p(k+1)} \\ I_{vk} > I_{v(k+1)} \\ V_{bk} = V_{b(k+1)}/2 \\ R_1{}^k = R_4{}^k,\ \ R_1{}^{(k+1)} = R_4{}^{(k+1)} \\ \mathrm{k} = 1,\ 2,\ \cdots\cdots,\ (\mathrm{n}-1) \end{array}\right\} \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots (5-45)$$

また、負荷 R_l については折り返し特性の E_r 成分に定電圧特性が生じないことから、(5−41)式が満足されなければならず、またn個のN形特性素子が負荷抵抗 R_l に直列に接続されたときに、総合特性が 2^{n-1} 個のピーク点とバレー点をもつためには次式が満足されなければならない。

$$I_{vqs}\{R_l+(n-m+1)R\}-I_{ps}(R_l+nR)$$
$$>\sum_{k=1}^{m-1} V_{bks}-V_{bms}-V_{bqs}$$

ただし、$R^1{}_m = R^4{}_m = R,\ \ I_{pms} = I_{p(m+1)s} = I_{ps}$ $\cdots\cdots$ (5−46)

$$q = 2,\ 3,\ 4,\ \cdots\cdots,\ m-1$$
$$m = 2,\ 3,\ 4,\ \cdots\cdots,\ n$$

第5節　結　　言

本章で述べたN形特性電圧駆動形発光素子列A−D変換器およびN形特性電圧駆動形発光素子列縦続形A−D変換器は、所要のN形特性をもつ発光素子を要求される精度に応じて必要な個数だけ接続することによって構成できるので、従来の電気的なA−D変換器に比較して回路構成が簡単になり小形のA−D変換器を構成することができる。したがって、アナログ的なパターンを入力とするディジタル処理装置の入力部などのように比較的低レベルのA−D変換器を多数個必要とされる分野には最適のものである。

N形特性をもつ素子としてはエサキダイオードが、N形特性をもつ回路とし

ては双補性のジャンクション形ＦＥＴを用いた回路[36]があるが、Ｎ形特性をもち端子間電圧によって発光する素子はまだ開発されていない。したがって、本章で提案したＮ形特性電圧駆動形発光素子列Ａ－Ｄ変換器および縦続形Ａ－Ｄ変換器を試作しその諸特性を検討するまでに至っていない。しかし、それぞれの構成手法については、筆者らは本章で提案した構成手法を用いてエサキダイオードとダイオードの並列回路をゆう通性のあるＮ形特性回路としたＮ形特性列Ａ－Ｄ変換器と縦続形Ａ－Ｄ変換器を実現し、その有用性を明らかにした。

今後、ゆう通性のあるＮ形特性をもち端子間電圧によって発光する素子の開発によって本方式のＡ－Ｄ変換器は多くの分野で用いられると思われる。

第6章　結　　論

本研究の成果については、各章の結言において述べたところであるが、これをさらに要約すれば次のようになる。

（1）　オプトロニクス的手法によってのみ実現可能な機能をもつオプトロニック回路は電子工学的手法と光学的手法との特長を相乗的に発揮させることができる構成でなければならないことを指摘し、そのようなオプトロニック回路として、相互に電気的に結合された同一のオプトロニック論理回路を一平面上に配列して一つの層を形成し、これらを必要な層数だけ重ね合わせ、光の直進性と並行性を利用して各層の論理回路間の情報を伝送し、所望の論理操作を迅速かつ効果的に行なわせることのできる多層構成によるオプトロニック回路を提案した。

（2）　上に述べた多層構成によるオプトロニック演算回路の特徴を十分発揮させることのできる数系として桁符号付2進数をとりあげ、加減算回路および乗算回路を例に多層構成をもつオプトロニック演算回路の構成手法を提案するとともに、多層構成によるオプトロニック加減算回路および乗算回路を試作し、その諸特性を検討した。

（3）　オプトロニック素子の電気的特性と発光あるいは受光機能とを効果的に組合わすことによって表示機能をもつオプトロニック回路を簡単な回路構成で実現できることを明らかにして、その構成手法と設計条件とを導出し、S形特性をもち素子を流れる電流に比例して発光するオプトロニック素子のS形特性と発光機能とを組合わせ、入力電流を直接所望の表示形式で表示することのできる表示回路を比較的簡単な構成で実現した。

（4）　また、上述のS形特性電流駆動形発光素子は、閾値論理素子であり

かつ発光素子でもあるので、このようなS形特性電流駆動形発光素子を用いたオプトロニック回路網は論理機能をもつ表示回路あるいは表示機能をもつ論理回路としてすぐれた特性をもっていることを明らかにし、その構成手法を示した。

（5） オプトロニクス的手法によってのみ実現可能な機能をもつ回路の一つである光結合回路に、多重結合機能および結合状態制御機能を付与することによって、光結合回路としての機能を飛躍的に向上させることができることを明らかにした。そして、前述のS形特性電流駆動形発光素子を用いたオプトロニック回路網の構成手法を用いて、いくつかの光結合のうちの任意の一つの結合を外部から制御光を印加することで選択することができるディジタル光結合回路およびアナログ光結合回路を比較的簡単な回路構成で実現し、このような多重結合で制御機能をもつ光結合回路がディジタルスイッチ回路網、低電力消費形光結合回路網など、多くの分野に応用できることを示した。

（6） 所定のN形特性をもつ素子あるいは回路を直列に接続することによってアナログ入力電圧に対応したディジタル出力を得ることができるN形特性列A－D変換器の出力が単位素子あるいは単位回路の端子間電圧として得られるため出力回路を別に付加しなければならない難点を、N形特性電圧駆動形発光素子を用いることによって克服する手法を提案し、その構成手法と設計条件を明らかにした。

（7） 次に、さらに高単位のA－D変換器としてN形特性電圧駆動形発光素子列と段間増幅器を組合わせた縦続形A－D変換器を提案し、その構成手法を検討した。

現在、オプトロニクスは情報処理のみならず通信、制御、計測などの分野においても直面している多くの問題を解決する可能性をもつ有力な手法として期

待され、その進展に大きな努力がはらわれつつある。

しかし、オプトロニクスのハードウェアであるオプトロニック回路における従来の試みは、電子工学的手法と光学的手法の特長を相乗的に発揮させるにはなお不十分なものであったと思われる。このようなオプトロニック回路における問題点を克服するための手法およびそれらの手法によって構成されたオプトロニクスのもつ独自の機能を生かしたオプトロニック回路については、本論文の各章において述べたとおりである。

これらの成果が、今後のオプトロニクスの発展にいささかなりとも寄与するところがあれば幸甚とするものである。

謝　　辞

本研究は、著者が大阪市立大学工学部電気工学科北浜研究室において行なったものの一端である。ここに一応の成果を修めることができたことについては、同大学北浜安夫教授の御指導と御鞭撻に負うところが大きい。そして、本研究について大阪大学滑川敏彦教授に御懇切な御指導と御助力を賜わった。著者は、ここに両教授の御厚情に衷心より感謝の意を捧げるものである。

また、本研究について有益な御助言と御助力を賜わった大阪大学西村正太郎教授、尾崎弘教授、小山次郎教授、熊谷信昭教授、手塚慶一教授に深甚なる謝意を表します。

終りに、本研究を行なうにあたり多大の便宜と御指導を賜わった大阪市立大学竹屋芳夫教授、奥田滋教授、安藤慶一教授、山下一美教授ならびに電気工学教室の諸先生方に深謝いたします。

文　献

(1) E. E. Loebner ："Opto-Electronic Device and Network" P. I. R. E., 43 (12), P1897, Dec. 1955,

(2) 北浜，加屋野："オプトロニック回路Ⅰ" 制御工学，10 (10, 11) P39, 昭41－10,

(3) 北浜，加野野："オプトロニック回路Ⅱ" 制御工学，10 (12) P37，昭41－12.

(4) 北浜："オプトエレクトロニクス－回路，システム，情報処理" 電気三学会関西支部専門講習会資料，昭44－11.

(5) 北浜，志水："光結合回路とその応用" 電子技術，14 (9)，P81，昭47－08.

(6) 信学誌："オプトエレクトロニクス特集号" 56 (4)，昭48－04.

(7) "オプトエレクトロニクスハンドブック" オーム社，昭49－03.

(8) 駒宮："電気学会大学講座，電子計算機" P95，オーム社，昭43－04.

(9) A. Avizienis "Signed-digit number representation for fast parallel arithmetic" IRE Trans. Elec. Comp. EC－10 (3) P389, Sept, 1961.

(10) 北浜，志水「多層構成によるオプトロニック加減算回路」，電学誌，90 (11) P235，昭45－11.

(11) E. SIMIZU, Y. KITAHAMA "Multi-layered Iterative Optronic Adder Subtracter Circuit" Memoirs of the Facu. of Osacka City Univ. 11 P47, Dec, 1971.

(12) 北浜，志水「多層くり返し形オプトロニック演算回路－加減算回路－」信学電算機研資，EC 68－30，昭43－12.

(13) 北浜，志水「多層繰返し形オプトロニック論理演算回路」，昭40，信学全大，S 8 −12，昭40−10.

(14) 北浜，志水「多層繰返し形オプトロニック論理回路」，昭41，信学全大 693，昭41−10.

(15) 北浜，志水「多層繰返し形オプトロニック加減算回路」，昭42，電気関西支連大，8 − 6，昭42−11.

(16) 北浜，志水，杉本，高橋「多層くり返し形オプトロニック乗算回路」，昭43 信学全大，916.

(17) 北浜，志水，杉本，高橋「多層くり返し形オプトロニック乗算回路（II）」昭43，電気関西支連大，11− 4，昭43−11.

(18) 志水，北浜「負性抵抗発光素子を用いた表示回路の一方式」，信学論誌（C）56−C（7），P409 昭48−07.

(19) 志水，北浜「論理機能をもつ発光素子を用いた表示回路の一方式」，信学電子装置研資，ED 71−33，昭46−10.

(20) 志水，北浜「論理機能をもつ発光素子を用いた表示回路の一方式」，昭46，電気関西支連大，S 6 − 2，昭46−11.

(21) E. SIMIZU, Y. KITAHAMA "Optical Coupler with Control Functions and It's Applications" Memoirs of the Fac. of Eng. Osaka City Univ. 13, P87, Dec, 1973.

(22) 志水，北浜「制御機能をもつ多入力多出力光結合回路とその応用」，信学トランジスタ研資，SSD 70−47，昭45−11.

(23) 志水，北浜「制御機能をもつ多入力多出力光結合回路とその応用」，昭45，信学全大，838，昭45−10.

(24) 志水，北浜「制御機能をもつ多入力多出力光結合回路とその応用」，昭45，

電気関西支連大，S 6 －17，昭45－11.

(25) W. H. KAUTZ："Cellular Interconnection Arrays" I. E. E. E. Trans. Comp. C－17（5），P443，May 1968.

(26) 志水，北浜「負性抵抗発光素子を用いた制御可能な光結合回路」，信学論誌（C），58－C，（8），P392，昭50－8.

(27) 葛本，志水「制御可能な光結合回路を用いた可変回路の一方式」，昭49，電気関西支連大，G12－4，昭49－11.

(28) 小川，志水「負性抵抗発光素子GNDによる制御可能な光結合回路を用いた自己修復回路の一方式」，昭49　電気関西支連大，G12－5，昭49－11.

(29) 葛本，志水，北浜「制御可能な光結合回路を用いた可変回路の一方式(II)」昭50信学全大，466，昭50－03.

(30) 小川，志水，北浜「制御可能な光結合回路を用いた時分割伝送システムの一方式」，昭50信学全大，858，昭50－03.

(31) 志水，北浜「電圧制御形負性抵抗特性列アナログーディジタル変換器の一方式」，電学誌，92（2），P110，昭47－02.

(32) 北浜，志水，草薙「エサキダイオード列A－D変換器」，昭42連大，1896，昭42－04.

(33) 北浜，志水，草薙「エサキダイオード・トランジスタ組合せ回路を用いた列A－D変換器」，昭42信学全大，859，昭42－10.

(34) 志水，北浜「電圧制御形負性抵抗特性を用いた縦続形アナログーディジタル変換器」，電学論誌（C），92－C（8），P304，昭47－08.

(35) 北浜，志水，草薙「縦続形エサキダイオード列A－D変換器」，昭43信学全大，882，昭43－04.

(36) 北浜，志水「ＦＥＴを用いたＮ形特性列Ａ－Ｄ変換器」，昭43，電気連大，1807，昭43－04.