



Title	ガリウムひ素電界効果トランジスタとそのマイクロ波集積回路への応用に関する研究
Author(s)	志賀, 信夫
Citation	大阪大学, 1997, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3129089
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

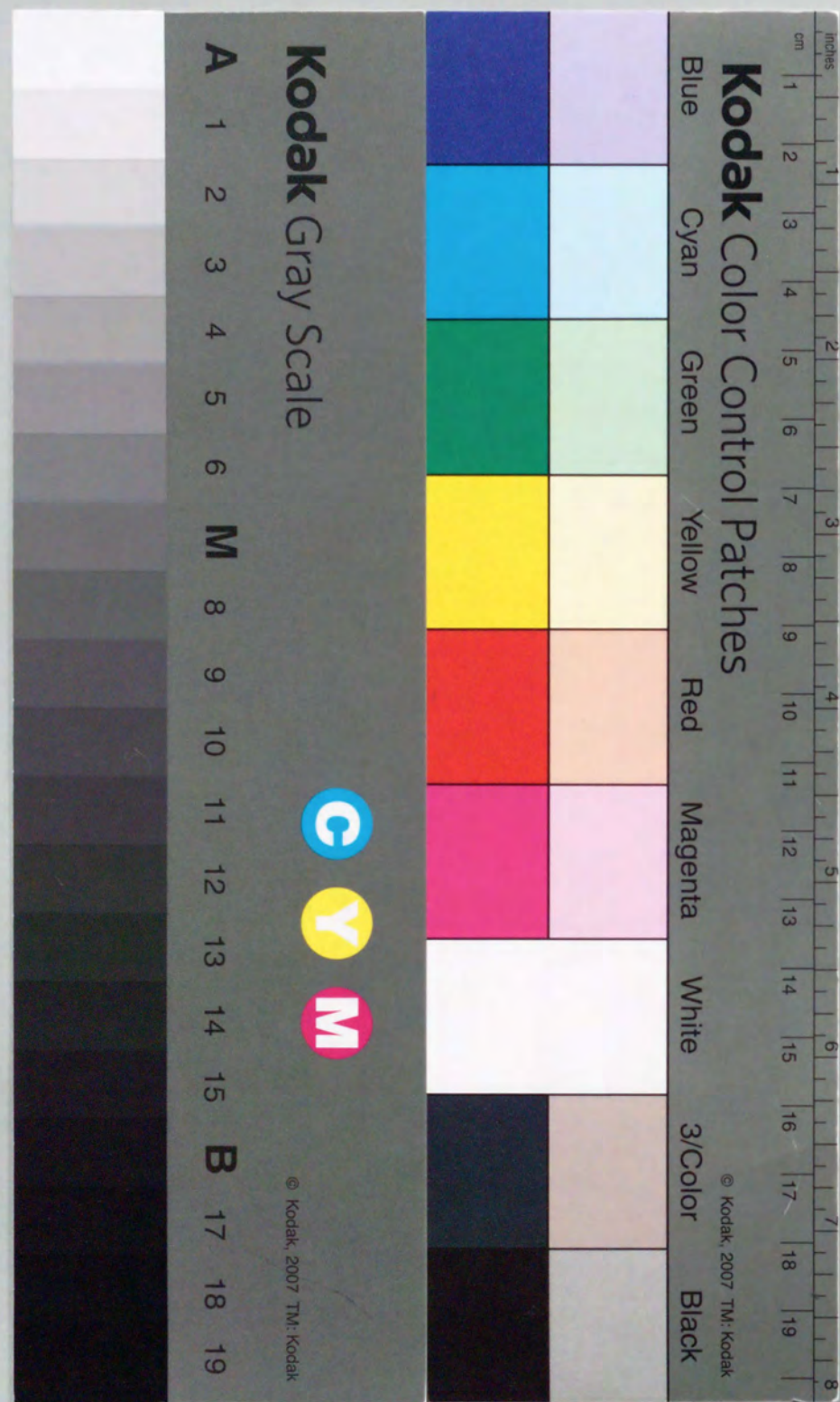
<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

ガリウムひ素電界効果トランジスタと
そのマイクロ波集積回路への応用に関する研究

1997年1月

志 賀 信 夫



謝 辞

本論文は、大阪大学大学院教授 森永規彦博士の御指導のもとに、筆者が住友電気工業株式会社オプトエレクトロニクス研究所に在職中、および大阪大学大学院工学研究科通信工学専攻博士後期課程在学中に行った研究成果をまとめたものである。本研究の遂行にあたり、終始御懇切なる御指導と御鞭撻を賜った森永規彦教授に衷心より謝恩の意を表する次第である。

本論文をまとめるに際し、大阪大学工学部教授 小牧省三博士に懇切丁寧なる御教示、御助言を賜った。ここに深く感謝の意を表する次第である。

大阪大学在学中より通信工学全般および本研究の基礎である電子回路理論に関して御指導、御教示を賜った大阪大学名誉教授 滑川敏彦博士（現在姫路獨協大学教授）、同名誉教授 熊谷信昭博士（前大阪大学総長）、同名誉教授 手塚慶一博士（故人）、同名誉教授 中西義郎博士、大阪大学大学院教授 倉藺貞夫博士、同教授 長谷川晃博士、同教授 児玉裕治博士、同教授 前田肇博士、同教授 池田博昌博士、同講師 塚本勝俊博士をはじめとする大阪大学大学院通信工学専攻の諸先生方ならびに、大阪大学産業科学研究所教授 元田浩博士、京都工芸繊維大学教授 笠原正雄博士、大阪市立大学教授 村田正博士、大阪産業大学教授 佐藤正志博士に厚く感謝申し上げる。

本研究の機会を与えて下さり、終始御懇切なる激励と御鞭撻を賜った住友電気工業株式会社取締役支配人吉田健一博士、下川忠取締役人事部長、研究開発部門支配人石田晶博士、人材開発室長山林直之博士、に厚く御礼申し上げる次第である。

また本研究の遂行にあたり、御指導ならびに暖かいご配慮を頂いた住友電気工業株式会社オプトエレクトロニクス研究所 今井元所長、工原美樹主幹、同研究所光・マイクロ波機能部品研究部 黒田正孝部長、西江光昭主任研究員、同研究所半導体光デバイス研究部 部長 林秀樹博士、主任研究員 佐々木悟郎博士、主任研究員 勝山造博士、岩崎孝主任研究員に心より感謝申し上げます次第である。

さらに、住友電気工業株式会社研究開発部門 児山正弘支配人、公江清彦取締役 半導体事業部 事業部長、電波・光システム事業部 小谷浩之事業部長、同事業部通信システム部 高橋弘隆部長、光電子事業部 事業部長 加藤正昭博士、同事業部 西沢秀明主席、情報通信システム事業部情報機器部 部長 小野公三博士、システムエレクトロニクス研究開発センター 斎藤瓊郎部長、伊丹研究所 鹿田真一主任研究員、知的財産部 長谷川好道博士、ならびに Sumitomo Electric Lightwave Corp. マネージャー西口勝規博士には、折に触れ有益な御助言を頂くとともに暖かく励まして頂いた。ここに深く感謝する次第である。

本論文は、パルスドープ構造 GaAsMESFET の応用に関する研究成果をまとめたもの

である。本研究の基礎となるパルスドープ構造 GaAsMESFETを発明した、オプトエレクトロニクス研究所光・マイクロ波機能部品研究部 主査 中島成博士、ならびに電力増幅器用パルスドープ構造を考案した、桑田展周主査、この新しいデバイスの設計技術開発にともに取り組んできた乙部健二主査、マイクロ波回路の実装設計技術開発にともに取り組んできた関口剛主査、製造プロセス技術開発にともに取り組んできた松崎賢一郎氏には本研究に着手した当初より今日に至るまで、協同研究者として日々議論を行い、ともに実験をするなど協力を頂いた。ここに衷心より感謝する次第である。本研究の期間中、有益な討論ならびに数多くの御支援を頂いた、同研究部 矢野浩主査、後藤登主査、福澤健主査、澤田宗作主査、橋長達也氏、坂本良二博士はじめ同研究部の各位ならびに、システムエレクトロニクス研究開発センター 松本一也主査、電波・光システム事業部 石井学主査、光電子事業部 御神村泰樹主査、同事業部 藤平充明主査に深く感謝する次第である。

本研究の遂行にあたり、試作、実験、測定などに多大な御協力を頂いた、横浜業務課 出口裕課長、佐藤忠志主任（故人）、高橋千秋氏、佐藤忠則氏、田中義明氏、青木慎也氏、同第四開発掛 中村文昭主任、斎藤浩主任代理、向井健一班長、藤井康祐班長、佐々木丈夫班長、同第一開発掛 鈴木良夫主任はじめ、同課の各位に深く感謝する。

最後に心のささえである両親と妻有子、長男健輔、二男淳一に感謝する。

内容梗概

本論文は、著者が住友電気工業株式会社オプトエレクトロニクス研究所に在職中、および大阪大学大学院工学研究科通信工学専攻博士後期課程在学中に行ったガリウムヒ素 (GaAs) 電界効果トランジスタとそのマイクロ波集積回路への応用に関する研究成果をまとめたものであり、以下の7章から構成されている。

第1章は序論であり、本論文に関する研究分野について述べ、本研究の背景と位置付けならびに本研究の目的を明らかにしている。

第2章では、まず本論文の基礎となるパルスドープ構造 GaAs 電界効果トランジスタについて述べ、その優れた雑音特性と線形性について明らかにしている。また、この高い線形性に着目して、パルスドープ構造 GaAs 電界効果トランジスタが電力増幅器用トランジスタとしても優れた特長を有することを示している。そして、従来の電力増幅器用電界効果トランジスタの問題点および、通常の低雑音応用のためのパルスドープ構造を電力増幅器用トランジスタとして適用する場合の問題点について明らかにしている。そして、デバイス構造の簡単な設計変更によって、電力増幅器用トランジスタとして、より適したパルスドープ構造を実現できることを明らかにしている。

第3章では、パルスドープ構造 GaAs 電界効果トランジスタの優れた低雑音特性の応用として、衛星放送受信用ダウンコンバータを構成するための4種類のモノリシックマイクロ波集積回路 (MMIC)、すなわち、12GHz 帯低雑音高周波 (RF) 増幅器、12GHz 帯ミキサ回路、10GHz 帯発振回路、1GHz 帯中間周波 (IF) 増幅器に関し、その設計および試作結果について述べ、さらにこれらの MMIC を用いて行った衛星放送の受信実験の結果について述べている。

第4章では、上記の12GHz帯低雑音RF増幅器MMICをさらに高性能化するための方法について明らかにしている。まず設計の段階から雑音指数の製造ばらつきを予測するための新しい設計手法について述べている。またRF増幅器をさらに低雑音化させるために、ゲート長がより短い0.3 μm のパルスドープ構造 GaAs 電界効果トランジスタを基本構成素子として適用するとともに、低雑音増幅器の雑音指数を支配する要因を明らかにし、初段増幅器および後段増幅器の設計方法およびその試作結果について述べている。

第5章では、低雑音 GaAs 電界効果トランジスタの素子構造の設計やこれらを用いた回路設計において重要なモデル化技術について述べている。まず雑音係数のモデル化に関して、最近の非常に優れた性能を有する CAD (Computer Aided Design) システムを用いた解析に便利な新しい雑音等価回路の提案を行い、その回路を用いたシミュレーション手法について述べている。そして、この手法に基づいてパルスドープ構造 GaAs 電界効果トランジスタにおける雑音係数のふるまいを解析し、その優れた低雑音特性の理

論解釈を与えている。また最適雑音指数のモデル化に関し、パルスドープ構造GaAs電界効果トランジスタにおける最適雑音指数のばらつきを支配する要因を明らかにし、ゲート長の製造ばらつきの分布から最適雑音指数の確率密度関数を導出し、実験結果とよく一致することを示している。

第6章では、パルスドープ構造GaAs電界効果トランジスタのもう一つの重要な特長である高い線形性に着目した電力増幅器への応用について述べている。この線形性に優れた電力増幅器用パルスドープ構造GaAs電界効果トランジスタのロードプル特性を明らかにし、消費電力のより小さい電力増幅器の設計手法について言及している。そして1.5GHz帯携帯電話システムにおいて、電波の不感地帯を補完するために適用される基地局やブースタに用いられる2種類の電力増幅器の設計およびその試作結果について述べ、その優れた性能を実証している。

第7章は結論であり、本研究で得られた成果を総括している。

目次

第1章 序論	1
1.1 本研究の背景と位置付け	1
1.2 本研究の目的	6
1.3 本論文の構成	7
参考文献	10
第2章 GaAs電界効果トランジスタの高性能化	15
2.1 緒言	15
2.2 従来のGaAs電界効果トランジスタ	17
2.3 パルスドープ構造GaAs電界効果トランジスタ	19
2.3.1 素子構造と作製方法	20
2.3.2 基本的な特長	22
2.3.3 DC特性及び高周波特性	25
2.3.4 雑音特性	27
2.4 電力増幅器用パルスドープ構造GaAs電界効果トランジスタ	31
2.4.1 電力増幅器に適したパルスドープ構造	32
2.4.2 DC特性及び高出力特性	34
2.5 結言	38
参考文献	40
第3章 衛星放送受信ダウンコンバータ用モノリシックマイクロ波集積回路	49
3.1 緒言	49
3.2 モノリシックマイクロ波集積回路の構造	52
3.3 設計パラメータの抽出	55
3.4 衛星放送受信ダウンコンバータ用モノリシックマイクロ波集積回路	59
3.4.1 ダウンコンバータの構成	59
3.4.2 RF低雑音増幅器	60
3.4.3 ミキサ	71

3.4.4	発振回路	75
3.4.5	IF 増幅器	78
3.5	受信実験	80
3.6	結言	81
	参考文献	83
第 4 章	X 帯低雑音モノリシック増幅器の設計技術と雑音特性の向上	87
4.1	緒言	87
4.2	雑音指数の製造ばらつきを予測するための設計手法	88
4.2.1	最適信号源反射係数のばらつきの特徴	90
4.2.2	雑音指数の製造ばらつきと直列帰還量の関係	91
4.3	X 帯低雑音モノリシック増幅器の雑音特性の向上	96
4.3.1	ゲート長 $0.3 \mu\text{m}$ の電界効果トランジスタの適用	97
4.3.2	低雑音増幅器の雑音指数を支配する要因	99
4.3.3	初段増幅器の設計	102
4.3.4	後段増幅器の設計	103
4.3.5	X 帯低雑音モノリシック増幅器の特性	106
4.4	結言	107
	参考文献	108
第 5 章	低雑音 GaAs 電界効果トランジスタのモデル化	111
5.1	緒言	111
5.2	雑音係数のモデル化	112
5.2.1	新しい雑音等価回路の提案	112
5.2.2	シミュレーション手法	116
5.2.3	パルスドープ構造における低雑音特性の理論解釈	117
5.3	パルスドープ構造 GaAs 電界効果トランジスタの最適雑音指数のモデル化	119
5.3.1	最適雑音指数のばらつきを支配する要因	120
5.3.2	ゲート長の製造ばらつきの分布	122
5.3.3	有効ゲート長と電子の飽和速度	123
5.3.4	最適雑音指数の確率密度関数	126
5.4	結言	130
	参考文献	132

第 6 章	パルスドープ構造 GaAs 電界効果トランジスタの電力増幅器への応用	135
6.1	緒言	135
6.2	消費電力の小さい電力増幅器の設計手法	136
6.2.1	電力増幅器の設計	137
6.2.2	ロードプル特性	142
6.2.3	低消費電力化のための設計手法	146
6.3	携帯電話基地局用 1.5GHz 帯電力増幅器	147
6.3.1	電力増幅器の適用システム	148
6.3.2	28dBm 出力の電力増幅器	148
6.3.3	32dBm 出力の電力増幅器	150
6.4	結言	152
	参考文献	154
第 7 章	結論	155
	本論文に関する原著論文	161

第1章 序論 1

第2章 GaAs MESFETの特性と構造 18

第3章 GaAs MESFETの特性と構造 20

第4章 GaAs MESFETの特性と構造 22

第5章 GaAs MESFETの特性と構造 23

第6章 GaAs MESFETの特性と構造 24

第7章 GaAs MESFETの特性と構造 25

第8章 GaAs MESFETの特性と構造 26

第9章 GaAs MESFETの特性と構造 28

第10章 GaAs MESFETの特性と構造 29

第11章 GaAs MESFETの特性と構造 29

第12章 GaAs MESFETの特性と構造 30

第13章 GaAs MESFETの特性と構造 30

第14章 GaAs MESFETの特性と構造 32

第15章 GaAs MESFETの特性と構造 33

第16章 GaAs MESFETの特性と構造 34

第17章 GaAs MESFETの特性と構造 34

第18章 GaAs MESFETの特性と構造 34

図表目次

図 2-1 イオン注入型 GaAs MESFET と AlGaAs/GaAs HEMT の構造比較

図 2-1 (a) イオン注入型 GaAs MESFET の構造断面図 18

図 2-1 (b) AlGaAs/GaAs HEMT の構造断面図 18

図 2-2 パルスドープ構造 GaAsMESFET の典型的な構造断面図 20

図 2-3 パルスドープ構造 GaAs MESFET の特長

図 2-3 (a) ドレイン電流 I_d のゲート電圧 V_g に対する特性 22

図 2-3 (b) 伝達コンダクタンス (g_m) のゲート電圧に対する特性 23

図 2-3 (c) 最小雑音指数 (F_{min}) のドレイン電流に対する依存性 23

図 2-3 (d) 電流利得遮断周波数 (f_T) のドレイン電流に対する依存性 24

図 2-3 (e) 耐放射線性 24

図 2-4 パルスドープ構造 GaAs MESFET の DC 特性
($L_g=0.3 \mu m$, $W_g=20 \mu m$)

図 2-4 (a) I-V 特性 25

図 2-4 (b) I_d - V_g 特性および G_m - V_g 特性 25

図 2-5 f_T のドレイン電流依存性 ($L_g=0.3 \mu m$, $W_g=280 \mu m$) 26

図 2-6 雑音指数測定システムのブロック図 28

図 2-7 パルスドープ構造 GaAsMESFET の最小雑音指数の測定結果 29

図 2-8 付随利得の測定結果 29

図 2-9 雑音指数の測定に用いた FET

図 2-9 (a) SEM 写真 30

図 2-9 (b) 模式図 30

図 2-10 ゲート給電点数と雑音指数の関係 30

図 2-11 電力増幅器用パルスドープ構造への結晶構造の設計変更 32

図 2-12 電力増幅器用パルスドープ構造 MESFET の構造 33

図 2-13 電力増幅器用パルスドープ構造 MESFET の特性

図 2-13 (a) 代表的な電流・電圧特性 34

図 2-13 (b) ドレイン電流 I_d と g_m のゲート電圧依存性 34

図 2-14 電力増幅器用パルスドープ構造 FET の高出力特性

図 2-14 (a) 入力電力対出力電力および電力付加効率特性	35
図 2-14 (b) 3 次インターセプトポイント	36
図 2-15 電力増幅器用パルスドープ構造 FET の IM3 と P1.....	37
図 2-16 電力増幅器用パルスドープ構造 FET の g_d - V_g 特性	38
表 3-1 MMIC と HMIC の特徴	50
表 3-2 GaAs 基板上的マイクロストリップラインの特性	58
図 3-1 MMIC と HMIC の構造の比較	
図 3-1 (a) MMIC の構造図	52
図 3-1 (b) HMIC の構造図	53
図 3-2 分布定数線路	
図 3-2 (a) マイクロストリップ線路	53
図 3-2 (b) コプレーナ線路	53
図 3-3 MMIC の断面図	54
図 3-4 パルスドープ構造 GaAs MESFET の I-V 特性	55
図 3-5 最小雑音指数 F_{min} と付随利得 G_a	56
図 3-6 S パラメータ ($V_d = 2V$, $I_d = 0.26 \times I_{dss}$, 2~18GHz)	57
図 3-7 GaAs 基板上的線路をキャラクタライズするためのパターン	57
図 3-8 小信号等価回路モデル	58
図 3-9 MMIC コンバータのブロック図	59
図 3-10 ソーススタブ長 (直列誘導性帰還量) を最適化するための TEG.....	60
図 3-11 ソーススタブを装荷した FET の模式図	61
図 3-12 Γ_{opt} と S_{11}^* の距離とスタブ長の関係	
図 3-12 (a) Γ_{opt} と S_{11}^* がスミスチャート上で移動する様子	62
図 3-12 (b) $ \Gamma_{opt}-S_{11}^* $ とスタブ長の関係	62
図 3-13 FET のパラメータとスタブ長の関係	
図 3-13 (a) Rollett の stability factor "K" の値とスタブ長の関係	63
図 3-13 (b) F_{min} および R_n とスタブ長の関係	63
図 3-14 利得および VSWR のシミュレーション結果 (ノイズマッチング)	64
図 3-15 利得 (ゲインマッチング) のシミュレーション結果	65
図 3-16 VSWR のシミュレーション結果 (ゲインマッチング)	
図 3-16 (a) 入力 VSWR.....	66
図 3-16 (b) 出力 VSWR.....	66
図 3-17 低雑音増幅器の等価回路	67
図 3-18 MMIC 低雑音増幅器のチップ写真	67
図 3-19 MMIC 低雑音増幅器の測定結果	
図 3-19 (a) 雑音指数および利得の周波数特性	67

図 3-19 (b) VSWR 周波数特性	67
図 3-20 雑音指数および利得の電流依存性	68
図 3-21 入出力 VSWR の電流依存性	68
図 3-22 雑音指数の分布ヒストグラム	68
図 3-23 利得の分布ヒストグラム	69
図 3-24 入出力 VSWR の分布ヒストグラム	
図 3-24 (a) 入力 VSWR.....	70
図 3-24 (b) 出力 VSWR.....	70
図 3-25 電力特性の測定結果	70
図 3-26 ミキサの等価回路	71
図 3-27 FET の g_m および I_d のゲート電圧に対する特性	72
図 3-28 ミキサの入力回路のシミュレーション結果	73
図 3-29 MMIC ミキサのチップ写真	74
図 3-30 変換利得の周波数特性の測定結果	74
図 3-31 発振回路とシミュレーション	
図 3-31 (a) 等価回路	74
図 3-31 (b) 出力インピーダンスのシミュレーション結果	74
図 3-32 出力回路とそのシミュレーション結果	76
図 3-33 MMIC 発振回路のチップ写真	76
図 3-34 発振スペクトルの測定結果	77
図 3-35 発振特性の電源電圧変動の測定結果	77
図 3-36 イオン注入 FET による発振回路との位相雑音の比較	78
図 3-37 IF 増幅器の等価回路	79
図 3-38 シミュレーション結果	79
図 3-39 チップ写真	79
図 3-40 利得と VSWR の周波数特性の測定結果	79
図 3-41 電力特性の測定結果	79
図 3-42 実験に用いた MMIC 実装基板	80
図 3-43 治具に固定された MMIC 実装基板	80
図 3-44 一次放射器	80
図 3-45 受信実験の様子	80
図 3-46 受信画像の例	81
図 4-1 F_{min} とスタブ長の関係	89
図 4-2 R_n とスタブ長の関係	90
図 4-3 Γ_{opt} のばらつき	91
図 4-4 $ \Gamma_{opt} $ のゲート長依存性	91

図表目次

図 4-5	$\angle \Gamma_{opt}$ のゲート長依存性	91
図 4-6	1 段アンプの雑音指数のばらつき $\Delta F1$ と R_n の関係	93
図 4-7	$\Delta F1$ とスタブ長の関係	94
図 4-8	利得とスタブ長の関係	95
図 4-9	2 段アンプの ΔF	95
図 4-10	2 段アンプの雑音指数のばらつき最悪値	96
図 4-11	I-V 特性 ($L_g=0.3 \mu m$, $W_g=280 \mu m$)	97
図 4-12	F_{min} および G_a のドレイン電流依存性の測定結果	98
図 4-13	S パラメータの測定結果	98
図 4-14	小信号等価回路モデル	99
図 4-15	Γ_{opt} と S_{11}^* の距離と直列帰還の関係のシミュレーション結果 ...	100
図 4-16	$ F_a - F_{ao} $ とスタブ長の関係のシミュレーション結果	100
図 4-17	雑音指数と伝送線路の幅の関係のシミュレーション結果	101
図 4-18	初段増幅器の周波数特性のシミュレーション結果	102
図 4-19	後段増幅器の利得とスタブ長の関係のシミュレーション結果	103
図 4-20	K ファクタとスタブ長の関係のシミュレーション結果	103
図 4-21	後段増幅器の周波数特性のシミュレーション結果	104
図 4-22	4 段増幅器の等価回路	105
図 4-23	4 段増幅器のシミュレーション結果	105
図 4-24	MMIC 増幅器のチップ写真	106
図 4-25	MMIC 増幅器の測定結果	106
図 4-26	電力特性の測定結果	107
図 5-1	小信号 S パラメータをモデル化するための等価回路	114
図 5-2	等価雑音回路	115
図 5-3	雑音パラメータの実測結果とシミュレーション結果の比較	
図 5-3 (a)	F_{min}	118
図 5-3 (b)	Γ_{opt}	118
図 5-4	パルスドープ FET の雑音係数のチャンネル厚依存性	119
図 5-5	結晶構造の均一性	121
図 5-6	ゲート長のばらつき	122
図 5-7	τ_{int} 対 W_g/L_d	125
図 5-8	F_o のゲート長依存性	127
図 5-9	F_o のばらつき (ゲート長 $0.4 \mu m$)	128
図 5-10	F_o のばらつき	129
図 6-1	ロードライン解析	138
図 6-2	大振幅動作時の R_{ds} を考慮した小信号モデル	138

図表目次

図 6-3	FET のゲート幅を大きくする方法	139
図 6-3 (a)	FET のユニットセル	139
図 6-3 (b)	ユニットセルの接続	139
図 6-3 (c)	ユニットセルの電力合成	139
図 6-4	電力分配・合成機能を持たせたインピーダンス変成器	140
図 6-5	N 分岐の電力分配・合成器	
図 6-5 (a)	ウィルキンソン形	140
図 6-5 (b)	ラジアル形	140
図 6-5 (c)	フォーク形	140
図 6-6	A 級および B 級動作のロードライン	
図 6-6 (a)	A 級動作	141
図 6-6 (b)	B 級動作	141
図 6-7	A 級、B 級、F 級動作のドレイン電流および電圧波形	
図 6-7 (a)	A 級動作	143
図 6-7 (b)	B 級動作	143
図 6-7 (c)	F 級動作	143
図 6-8	ロードプル測定のプロック図	144
図 6-9	電力増幅器用パルスドープ FET のロードプル特性	145
図 6-10	通常のイオン注入型 MESFET と電力増幅器用パルスドープ FET の比較	145
図 6-11	等電力付加効率円	146
図 6-12	電力増幅器の適用システム	
図 6-12 (a)	閉空間システム	148
図 6-12 (b)	閉空間システムのプロック図	148
図 6-12 (c)	開空間システム	148
図 6-13	28dBm 出力の電力増幅器の等価回路	149
図 6-14	28dBm 出力の電力増幅器モジュールの写真	149
図 6-15	28dBm 出力の電力増幅器の測定結果	150
図 6-16	32dBm 出力の電力増幅器の等価回路	151
図 6-17	32dBm 出力の電力増幅器モジュールの写真	151
図 6-18	32dBm 出力の電力増幅器の測定結果	152

第1章 序 論

1.1 本研究の背景と位置付け

モノリシックマイクロ波集積回路 (MMIC : Monolithic Microwave Integrated Circuit) とは半導体基板上に能動素子および受動素子を一体に形成する回路であり、これに対して能動素子や受動素子を個別に誘電体基板上に実装する回路はマイクロ波混成回路 (HMIC : Hybrid Microwave Integrated Circuit) と呼ばれる。後者は単にマイクロ波集積回路 (MIC : Microwave Integrated Circuit) と言うこともあるが、本論文では、モノリシックマイクロ波集積回路及びマイクロ波混成回路を総称して、マイクロ波集積回路と記することにする。

MMICの歴史は1960年代なかばにシリコン (Si) ウエハを用いる Si-MMIC の開発に始まった[1]。これは半導体材料を誘電体および能動素子の活性層として初めて利用したものであったが、Si ウエハは半絶縁性を保つことが難しく、その後 SOS (Silicon-On-Sapphire) 技術などで改良が試みられたが、最終的にはマイクロ波回路として大きな発展をとげることができなかった。その後1968年に Mehai and Wackar によってガリウムヒ素 (GaAs) ウエハ上にショットキーダイオードやガンダイオードを形成した94GHz のフロントエンド受信機が、世界初の GaAs MMIC として発表された [2]。GaAs ウエハは半絶縁性であり Si ウエハよりマイクロ波回路に適していたのである。1975年には、現在広く用いられている GaAs MMIC の原形である GaAs ショットキーゲート電界効果トランジスタ (MESFET : Metal-Semiconductor Field Effect Transistor) を用いた X 帯 GaAs MMIC 増幅器が Pengelly らにより発表された [3]。

1980年代に入ると、半導体製造技術の進歩に伴ってMMICの研究開発は飛躍的に加速され、HMICでは広帯域特性を得ることが難しかった分布形増幅器の発表があいついで行われるようになった[4]。MMICを用いることによりFETの寄生のリアクタンス成分を小さくすることができ、広帯域特性が得られるためMMICでなければ実現できない応用分野であった。初期の分布形増幅器MMICはGaAs MESFETを用いたもので帯域が1~13GHz程度であったが[5]、1980年代後半ではインジウム燐(InP) HEMT (High Electron Mobility Transistor)を用いた帯域100GHzの広帯域を実現するに至った[6]。

MMICの開発に拍車をかけた要因として防衛機器への応用をあげることができる。むしろ当初はコスト面で民生応用に供することが困難であったため、このような特殊用途に限られていたのであるが、東西の冷戦構造の中で米国を中心に膨大な国家予算がMMICの研究開発に投入されたのである。その代表的な物の一つに、数百から数千のT/R (Transmit and Receive) モジュールが必要となるアクティブ・フェーズド・アレイアンテナ (Active Phased Array Antenna) があるが、量産性や小型化・軽量化などの観点からMMIC技術が必須であった[7]。これにより増幅器から移相器、スイッチ、発振器、ミキサなどマイクロ波半導体回路の多くがMMICで実現されるようになった。

1980年代後半から1990年にかけて、急速にMMICの民生応用に関する研究が活発になった[8] - [11]。GaAsやInPなどの化合物半導体材料や集積回路の製造プロセス技術、結晶成長技術の進歩によって、民生応用に供し得るコストが実現可能となってきたこと、東西の冷戦構造の終結などがこの要因である。民生応用における代表的なものとして、衛星放送の受信機器やマイクロ波を用いた移動体通信や衛星通信機器への応用、ミリ波を用いた観測センサ、車載レーダ、無線LAN等への応用などがあげられる。

日本においても1989年に初の民間通信衛星として、日本通信衛星株式会社のJCSAT-1が、さらに同年引き続いて宇宙通信株式会社のスーパーバードA号機が打ち上げられ、また放送衛星BS-3aが打ち上げられるなど、我が国は本格的な衛星通信・衛星放送時代を迎えた。移動体通信機器としては、アナログおよびデジタル携帯電話、ポケットベル、PHS (Personal Handy-phone System) の利用者が急速に普及し始めている。これらのシステムや機器の小型化や低コストにとってMMICはキーデバイスとなるが、日本においても高集積化、多機能化を図ったMMICに対する要求が高まり、フロントエンドモジュール、送受信モジュールなどの発表が活発になっている[12] - [16]。

MMICを含めマイクロ波集積回路の重要な応用分野として、移動体通信システムのインフラストラクチャをあげることができる。携帯電話・自動車電話の急速な普及に伴い、全国で基地局の増設が急ピッチで進んでおり、また加入者の多い地域では従来使用されてきた800MHz~900MHz帯だけでは周波数資源が不足してきたため、さらに1.5GHz帯を使用するなど、新たな基地局の需要も増えつつある。一方、周波数資源の利用効率を高める観点からは、セルのサイズを小さくするいわゆるマイクロセル化も進んでおり、

今後基地局の要求数はますます増加する傾向にある。また、1995年よりサービスが開始されたPHSはセルの半径が100m~200mであり、その基地局は都市部に多数設置されるため、都市美観の観点から小型化に対する要求が従来にも増して強くなっている。通常の携帯電話システムにおいても、地下街やビル内駐車場などの電波の不感地域での利用を可能にするためのブースターや補完的な基地局の需要が増えてきており、やはり都市美観の観点から最近ではPHS同様、容積1,000cc以下というような極めて小さい物が要求されるようになった。このような基地局にとってマイクロ波集積回路は必要不可欠な要素技術であり、その適用範囲は広がっていくであろう。

このように今後のマイクロ波集積回路の開発は民生応用を柱として進み、要求されるコストはより厳しく、また必要な性能・仕様はますます多様になると考えられる。これらを実現する上でデバイス技術、プロセス技術、回路技術の開発がますます重要になるが、中でもとりわけデバイス技術はその性能・コストを支配する重要な技術である。マイクロ波回路に適用するトランジスタへの要求は年々高度化し、高周波化のための研究が続けられている。マイクロ波回路用デバイスに適する半導体は、電子の移動度が大きくまた飽和ドリフト速度が大きく、且つ絶縁抵抗が大きい物でなければならない。その代表的なものとして今日最も多く用いられているのがGaAsである。GaAsはⅢ族とⅤ族の元素からなる化合物半導体である。高純度GaAs中の電子の移動度は約 $8,000\text{cm}^2/\text{V}\cdot\text{sec}$ とSiの5倍程度大きい。またドリフト速度もそのピーク速度が $2 \times 10^7\text{cm/s}$ とSiの飽和速度の2倍と大きい。さらに移動度が高いためにピーク速度に達する電界の値がシリコンに比べて小さい。さらにGaAsはバンドギャップが室温で 1.43eV とシリコンに比べて大きく、高抵抗(抵抗率が $10^8\Omega\cdot\text{cm}$ 以上)の結晶が得られる。これを半絶縁性 (Semi-insulating) 結晶と呼び、これを基板として単体デバイスや集積回路を作ると寄生容量を小さくでき、かつ素子間分離が容易となる。これらの性質によってGaAsを用いたトランジスタはマイクロ波デバイスとして最も数多く使用されている[17]。

GaAs トランジスタの中で現在実用化されている最も代表的な物はMESFETである。GaAs FETなど多数キャリア (majority carrier) のみを用いるデバイスはユニポーラデバイス (unipolar device) と呼ばれる。これに対しSi-BJT (Silicon Bipolar Junction Transistor) やGaAs HBT (Hetero Bipolar Transistor) などは、その特性が電子およびホール両方に大きく依存するため、バイポーラデバイス (Bipolar device) と呼ばれる。今日広く使われている電界効果トランジスタは、すでに1930年Lilienfeldの特許にその着想が始まる。最初のGaAs MESFETが報告されたのは1966年で、カリフォルニア工科大学のMeadにより半絶縁性GaAs基板上のn形エピタキシャル層を用い、ソース・ドレイン間隔1mm、ゲート長0.1mmのAlショットキーバリア構造で電界効果トランジスタ動作が得られた[18]。その後、1960年代後半から1970年代前半にかけてFairchild、IBM、HPなどで精力的に研究が行われ、GaAs MESFETの動作周波数帯は

マイクロ波帯に向上した[19]。その後、ゲート長の短縮等の改良が進み、1970年代半ばから1980年代にかけてGaAs MESFETはSi-BJTに変わって低雑音デバイスとして広く用いられるようになった。またマイクロ波帯における重要な応用の一つに高出力回路がある。高出力用GaAs FETは1973年に初めてFukutaとNapoliらによってほぼ同時に報告された[20]、[21]。

MESFETのチャネル層に2次元電子ガスを用いた高電子移動度トランジスタ(HEMT: High Electron Mobility Transistor)あるいはPHEMT(Pseudomorphic HEMT)がある。HEMTの歴史は1978年、Bell研究所のDingleらによるn-AlGaAs/GaAs界面における2次元電子ガスの発見に始まり[22]、1980年に富士通研究所の三村らによって初めて報告された[23]。以来エピタキシャル成長装置などの開発とともに、ヘテロ接合を用いたFETは飛躍的な進歩を遂げた。それまでのMMICはGaAs MESFET技術をベースにして発達してきたが、1980年のHEMTの報告以来、低雑音化・高利得化が急ピッチで進み、HEMTを基本構成素子としたMMICの研究も数多く報告されるようになった[24]、[25]。既にHEMTは性能においてGaAs MESFETを凌駕し、マイクロ波帯の実用デバイスとして、市場において確固たる地位を築いている。

GaAs HEMTの性能を改善するひとつの方法として、2次元電子ガス層にGaAsの代わりにInGaAsを用いる方法があり、1985年にKettersonらによりn-AlGaAs/GaAsの層間にInGaAsを挿入したPHEMTが開発された[26]。InGaAsを用いる利点は、①InGaAsの方がGaAsよりも移動度が大きく、②AlGaAs/InGaAsの方がAlGaAs/GaAsよりバンドギャップが高く、2次元電子ガスの封じ込めが強い点にある。これにより電流密度の増大、電流増幅率の向上が期待できる。HEMTとPHEMTの構造の違いは、PHEMTはAlGaAsのスペーサ層とGaAsパッファ層の間に厚みが50~200 ÅのIn_{1-y}Ga_yAsのチャネル層を挿入している点にある。In_{1-y}Ga_yAsはAlGaAsやGaAsと格子定数が異なり、またInとGaの組成比率を変えることにより、格子定数、バンドギャップともに変化する。Inの比率を大きくするほど電子移動度が大きくなり、またAlGaAsやGaAsとのバンドギャップが大きくなるが、格子の不整合の度合も大きくなる。通常yの0.65 ≤ y ≤ 0.85の間で用いられる。InGaAs層の厚みが薄い場合、InGaAsの原子はAlGaAsやGaAsの原子に引っ張られ、あたかも格子が整合している状態になる。この状態を“pseudomorphic”と呼ぶ。

一方、InGaAsをチャネルに用いる場合、InP基板を用いる方法があり、1987年にPengらによりAlInAs/InGaAsの格子接合整合型InP HEMTが開発された[27]。InPはGaAsと同様Ⅲ族とⅤ族の元素からなる化合物半導体であるが、GaAsに比べて電子移動度が高く、またInGaAsをチャネルに用いた場合、格子整合が容易で且つ、より電子移動度が高くなるInの組成比の大きなInGaAsを用いることができ、高周波化および高速動作に適している。InP HEMTは優れた性能を示す反面、耐圧が低く、またプロセスの信

頼性も低く、実用化のためにはまだまだ課題が多い。

民生応用やMMICの基本構成素子という観点からは、HEMTはAlGaAsやInGaAsという異種材料を用いているため、より高度な結晶成長技術が必要とし、また製造技術においても生産性やコスト面でまだまだ克服すべき課題を残しており、この点においては製造技術が最も成熟したGaAs MESFETが優れていると考えられる。しかしながらGaAs PHEMTやInP HEMTはマイクロ波領域で優れた低雑音特性や高出力特性を示すため、現在でもなお新鮮な研究テーマとして活発な議論が行われている[28] - [32]。このようにマイクロ波集積回路はデバイス開発主導型で発展し衛星利用や移動体通信の需要を促進し、さらにこれがデバイスの高性能化の新たな原動力となる好循環を生み出してきた。

このような背景のもと本論文は、マイクロ波集積回路の基本構成素子であるトランジスタに関し、新しい素子構造のバルスドープ構造GaAsMESFETをマイクロ波集積回路へ応用するための研究成果をまとめたものである。そして、このMESFETの特長を活かした設計技術を確立するとともに、これらの設計技術を用いて実際にいくつかのマイクロ波集積回路を試作することによりその優れた性能を実証した。本研究は、

- (1) 新しい素子構造を有するバルスドープ構造GaAsMESFETが、通常のイオン注入型GaAsMESFETにおける成熟した製造技術により生産可能なMMICとして、マイクロ波帯における低雑音特性に関し、同じゲート長を有するAlGaAs/GaAs HEMTに匹敵する性能を実現した。
- (2) 衛星放送受信ダウンコンバータを構成するための4種類のMMICを試作し、実用上十分な雑音特性を実現するとともに、MMICの基本構成素子としても適用可能であることを実証した。そして世界で初めて低雑音増幅器としてHEMTを用いない、MMICのみによる衛星放送の受信実験に成功した。
- (3) バルスドープ構造GaAsMESFETは、通常のイオン注入型MESFETやHEMTでは得ることができない高い線形性を有しており、またそのデバイス構造が簡単なものであることから、わずかなデバイス構造の設計変更によって電力増幅器用トランジスタを実現できることを明らかにすることによって、多様な要求仕様に柔軟に対応し得るデバイスであることを実証した。
- (4) この電力増幅器用トランジスタの高い線形性を活かして、携帯電話基地局用パワーアンプモジュールを試作し、優れた低消費電力特性を実証した。

などの点において、従来、生産性やコスト面からイオン注入型MESFETが用いられていたマイクロ波集積回路を、より高性能化するために置き換えることができる技術であるばかりでなく、さらにその特長を活用して新しい応用を創出することも可能な技術であると位置付けることができる。

またこのパルスドープ構造GaAsMESFETを用いたマイクロ波集積回路の設計技術の基礎的な研究として、モデル化技術やデバイス特性の解明にも取り組み、

- (5) 最新のCADの非常に高度な機能を十分に活用できる、回路シミュレーションのためのFETの新しい等価回路モデルを提案し、これが測定結果とよく一致することを実証するとともに、この等価回路を用いた解析によって、提案しているデバイスの優れた雑音特性の理論的根拠の一つを明らかにした。
- (6) 従来、最適雑音指数の製造ばらつきを解析し定式化するというような研究はほとんどなされていなかったが、本研究では製造ばらつきの要因を明らかにするとともに、最適雑音指数をモデル化し、製造ばらつきを表現する確率密度関数を導出し、実験結果とよく一致することを示した。これは、設計段階からマイクロ波集積回路の製造ばらつきを予測することを可能にするものである。

などの点において、デバイスのモデル化技術に関して新規な議論を提供するものであり、その意義は大きいと考える。

1.2 本研究の目的

本研究は、量産性に優れ低コストで民生応用に十分適用することが可能で、且つ性能の高いマイクロ波集積回路を実現することを第一の目的とする。民生応用を目指したマイクロ波集積回路の研究は、従来、個別部品によって構成されていた回路を、単に小型化や低コスト化のために置き換えるためのものにとどまらず、マイクロ波集積回路を用いることによって従来に無い新しい需要を創出することが可能で、画期的な新製品や新システムを実現することによって、人々の生活を豊かにできるものでなければならない。そのためには、マイクロ波集積回路の性能とコストを支配する最も重要な基本構成素子であるトランジスタの研究が必須である。

マイクロ波集積回路に要求される性能は、受信回路においては主として低雑音特性であり、送信回路においては低歪み特性がその代表的なものであるが、その仕様は個々の応用によって極めて多様である。マイクロ波集積回路を構成するトランジスタは、単純な素子構造を有し、その構造の軽微な設計変更により、多様な要求仕様に対して柔軟に対応できるものが望ましい。また小型化が強く要求されたり、MMIC化することによって新たな応用分野が開くことが可能な場合が多く、モノリシックに集積化するのに適した素子構造が必要不可欠である。さらに集積化に適するだけでなく、生産性と製造コストの観点からも、最も成熟した生産技術を用いることができるものでなければなら

い。

現在広く応用されているGaAsトランジスタは、電子が走行する活性層としてイオン注入によってn型不純物を導入することにより形成するイオン注入型MESFETと、結晶成長により選択ドープしたAlGaAs/GaAsまたはAlGaAs/InGaAsなどのヘテロ接合を形成し、不純物が存在しない層を活性層に用いるHEMTに大別される[17]、[33]。前者は、その生産技術としては最も成熟しており、均一性や生産性が高く低コスト化の点では有利且つMMIC化にも適しており、民生用MMICの報告例も多く製品化もされているが、高周波性能の点においてHEMTに及ばない。一方、HEMTはマイクロ波領域において高い性能、とりわけ低雑音特性に関して優れた性能を実現することが可能であるが、その反面結晶成長技術や生産技術の面で、なお高度な技術を要するため民生用MMICの報告例は極めて少なく、未だMMICは製品化されておらず個別部品として製品化されているのみである。したがってマイクロ波回路の基本構成素子としては、イオン注入型MESFETとHEMTが用途に応じて2極分化する傾向にあった。

以上のことをふまえ、本研究では、パルスドープ構造GaAsMESFETの特性を明らかにし、応用面に関する種々の研究を行った。本研究の第二の目的は、このパルスドープ構造GaAsMESFETがHEMTに比肩し得る性能を実現し、またMMICの基本構成素子として十分に適用可能であること、さらにデバイス構造が多様な用途に対して対応可能な柔軟な設計性を有すること、そして通常のMESFETに見られない優れた特長を有することなどを実証することである。そして、これをマイクロ波集積回路へ応用するために必要で、且つこのMESFETの特長を活かした設計技術を確立するとともに、デバイスのモデル化技術に関しても新しい提案を行い、理論的な側面からも提案しているデバイスの優れた雑音特性や、優れた均一性の理論的根拠の一つを明らかにすることを、本研究の第三の目的とする。

1.3 本論文の構成

本論文は以下の7章から構成されている。

第1章は序論であり、本論文に関する研究分野について述べ、本研究の背景と位置付けならびに本研究の目的を明らかにしている。

第2章では、まず本研究の基礎となるパルスドープ構造GaAsMESFETについて述べている。既存のGaAsトランジスタの代表的なものとして、イオン注入型MESFET及びAlGaAs/GaAs HEMTについて概括し、パルスドープ構造GaAsMESFETの相対的位置付けを明らかにする。そしてその優れた雑音特性及び、通常のイオン注入型MESFETに見られない興味深い特長である線形性について述べ、さらにデバイス構造の柔軟な設計

性について言及することにより、電力増幅器用FETとしても優れた性能を実現できることを明らかにしている。そして、従来の電力増幅器用GaAsMESFETの問題点および、通常の低雑音応用のためのパルスドープ構造を電力増幅器用FETとして適用する際の問題点について明らかにするとともに、デバイス構造の簡単な設計変更によって電力増幅器用FETとして、より適したパルスドープ構造を実現している。

第3章では、パルスドープ構造GaAsMESFETの優れた特長である、HEMTに匹敵する低雑音特性とMMICの基本構成素子として十分に適用可能であることを実証するために、衛星放送受信用ダウンコンバータを構成するための4種類のMMIC、すなわち12GHz帯低雑音RF増幅器、12GHz帯ミキサ回路、10GHz帯発振回路、1GHz帯IF増幅器に関して、その設計および試作結果について述べている。まず、このMMICの構造及び製造方法について述べ、適用したゲート長 $0.5\mu\text{m}$ のパルスドープ構造GaAsMESFETの回路設計に必要なデバイスパラメータを分析している。そして4種類のMMICに関して、パルスドープ構造GaAsMESFETの特長を活かした回路設計手法を明らかにし、これらのMMICの試作結果と実際にこれらのMMICを用いて行った衛星放送の受信実験結果について述べている。

第4章では、上記の12GHz帯低雑音RF増幅器MMICをさらに高性能化するための方法について明らかにしている。とりわけ民生応用ではコスト低減のために製造歩留りの向上が重要であるが、このためには製造プロセスの技術開発だけではなく、まず設計の段階から雑音指数の製造ばらつきを予測するための設計手法も重要である。本章では、パルスドープ構造GaAsMESFETの雑音パラメータの製造ばらつきに関する興味深い特長に着目した、新しい設計手法について言及している。またRF増幅器をさらに低雑音化させるために、ゲート長がより短い $0.3\mu\text{m}$ のパルスドープ構造GaAs電界効果トランジスタを基本構成素子として適用するとともに、低雑音増幅器の雑音指数を支配する要因を明らかにし、初段増幅器および後段増幅器の設計方法およびその試作結果について述べている。

第5章では、低雑音GaAsMESFETのモデル化技術について述べている。デバイスのモデル化技術は、デバイス構造の設計やこれらを用いた回路設計において重要な役割を果たす。今日、CAD (Computer Aided Design) システムの発展には目を見はるものがあり、日進月歩で高度化しているが、CADシステムを用いた回路シミュレーションのためのデバイスの等価回路モデルも、この高度化されたCADシステムの機能を十分に活用できるものが望ましい。本章ではこの点に鑑みて、まずGaAsMESFETの雑音係数のモデル化に関して、最近の非常に優れた性能を有するCADシステムを用いた解析に便利な新しい雑音等価回路の提案を行い、その等価回路を用いたシミュレーション手法について述べている。そして、この等価回路及びシミュレーション手法を用いてパルスドープ構造GaAsMESFETにおける雑音係数のふるまいを解析し、その優れた低雑音特性の理論解釈を与えている。

一方、低雑音増幅器の設計では適用するトランジスタの雑音パラメータの評価が重要であるが、とりわけ最適雑音指数がその雑音特性を支配する重要なパラメータである。トランジスタの雑音指数は、そのトランジスタから見た信号源インピーダンスが最適雑音指数に一致する時最小となる。したがって、最適雑音指数の製造ばらつきは低雑音増幅器の雑音指数の歩留りに重大な影響を与えるため、そのばらつきを解析することは極めて大きな意味を持つ。本章では最適雑音指数のモデル化に際し、パルスドープ構造GaAsMESFETにおける最適雑音指数のばらつきを支配する要因を明らかにし、ゲート長の製造ばらつきの分布から最適雑音指数の確率密度関数を解析的に導出し、導出した式による計算結果と実験結果がよく一致することを示している。

第6章では、パルスドープ構造GaAsMESFETのもう一つの興味深い特長であり、通常のイオン注入型MESFETやHEMTには見られない高い線形性を利用した電力増幅器への応用について述べている。まず、消費電力の小さい電力増幅器の設計という観点から、一般的な電力増幅器の設計手法を概括し、次に、第2章で述べた新しい構造の電力増幅器用パルスドープFETの特性を明らかにするとともに、その特長を活かした設計方法について言及している。またこの線形性に優れた電力増幅器用パルスドープFETを用いて、消費電力のより小さい電力増幅器の設計手法について明らかにし、携帯電話基地局用1.5GHz帯電力増幅器の設計およびその試作結果について述べている。

第7章では、本研究で得られた成果を総括し結論を述べるとともに、問題点と今後の課題について言及している。

参考文献

- [1] H. M. Hyltin, "Microstrip Transmission on Semiconductor," IEEE Trans. Microwave Theory Tech., vol.13, No. 11, pp.777-781, 1965.
- [2] E. Mehal and R. W. Wacker, "GaAs Integrated Microwave Circuits," IEEE Trans. Microwave Theory Tech., vol. 16, No. 7, pp.451-454, 1968.
- [3] R. S. Pengelly, "Hybrid Versus Monolithic Microwave Circuits-A Matter of Cost," Microwave Systems News, No.13, pp.77-84, 1983.
- [4] K. Seino et al., "A 2~18 GHz Band Distributed MMIC Amplifier with SingleSupply Bias Network," IEICE Trans. C, J70-C [5], pp.703-708, 1987.
- [5] Y. Ayasli, R. L. Mozzi, J. L. Vorhaus, L. D. Renold, and R. A. Pucel, "A Monolithic GaAs1-13-GHz Traveling-Wave Amplifier," IEEE Trans. Microwave Theory Tech., vol. 30, No. 7, pp.976-981, 1982.
- [6] R. Majidi-Ahy, M. Riazait, M. Nisimoto, M. Glenn, S. Silverman, S. Weng, Y. C. Pao, G. Zdasiuk, S. Bandy, and Z. Tan, "5-100 GHz InP CPW MMIC 7-Section Distributed Amplifier," in IEEE Microwave and Millimeter-Wave Monolithic circuits Symp. Dig., pp. 7-10, 1990.
- [7] R.J.Mailloux, "Phased Array Theoey and Technology," Proc. IEEE, 70, pp. 246-289 (March 1982) .
- [8] E. Bastida, "A Monolithic 800 MHz Bandwidth DBS Front-End for Mass Production," in Proc.14th European Microwave Conference, pp.755-760.
- [9] R. Benton, M. Nijjar, C. Woo, A. Podell, G. Horvath, E. Wilson, and S. Mitchel, "GaAs MMIC's for an integrated GPS Front-end," in GaAs IC Symposium Dig., pp. 123-126, 1992.
- [10] C. Woo, A. Podell, R. Benton, D. Fisher, and J. Wachsman, "A fully integrated transceiver chip for the 900 MHz communication bands," in GaAs IC Symposium Dig., pp. 143-146, 1992.

- [11] P. Wallace, R. Michels, J. Bayruns, S. B. Christiansen, N. Scheinberg, J. Wang, R. Goyal and M. Patel, "A low cost high performance MMIC low noise down converter for direct broadcast satellite reception," in IEEE Microwave and Millimeter-Wave Monolithic circuits Symp. Dig., pp. 7-10, 1990.
- [12] O. Ishikawa, Y. Ota, M. Maeda, A. Tezuka, H. Sakai, T. Katoh, J. Itoh, Y. Mori, M. Sagawa, and M. Inada, "Advanced technologies of low-power GaAs IC's and power modules for cellular telephone," in GaAs IC Symposium Dig., pp. 131-134, 1992.
- [13] S. Murai, T. Sawai, T. Yamaguchi, S. Matsushita, and Y. Harada, "A high power-added efficiency GaAs power MESFET operating at a very low drain bias for use in L-band medium-power amplifiers," in GaAs IC Symposium Dig., pp. 139-142, 1992.
- [14] T. Yoshimasu, K. Sakuno, N. Matsumoto, E. Suematsu, T. Tsukano, and T. Tomita, "A low-current GaAs monolithic image rejection downconverter for X-band broadcast satellite applications," IEEE Trans. Microwave Theory Tech., vol. 40, no. 12, pp. 2433-2438, 1992.
- [15] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band MMIC Amplifier with Pulse-doped GaAs MESFET's," IEEE Trans. Microwave Theory Tech., vol. 39, no. 12, pp. 1987-1994, 1991.
- [16] N. Shiga, T. Sekiguchi, S. Nakajima, K. Otobe, N. Kuwata, K. Matsuzaki, and H. Hayashi, "MMIC Family for DBS Down-Converter with Pulse-doped GaAs MESFET's," IEEE J. Solid-Stae Circuits, vol. 27, no. 10, pp. 1413-1420, 1992.
- [17] 今井哲二、生駒俊明、佐藤安夫、藤本正友：化合物半導体デバイス [I]、5章、p193、工業調査会
- [18] C. A. Mead, "Schottky Barrier Gate Field Effect Transistor," Proc. IEEE, 54, No. 2, pp.307-308, 1966.
- [19] P. Greiling, "The Historical Development of GaAs FET Digital IC Technology," IEEE Trans. Microwave Theory Tech., vol. 32, no. 9, pp. 1144-1156, 1984.

- [20] M. Fukuta, T. Mimura, I. Tsujimura, and A. Furumoto, "Mesh Source Type Microwave Power FET," in IEEE Int. Solid-State Circuit Conf. Tech Digest, pp. 84-85, 1973.
- [21] L. S. Napoli, R. E. DeBrecht, J. J. Hughes, W. F. Reichert, A. Dreeben, and A. Triano, "High-Power GaAs FET Amplifier — A Multigate Structure," in IEEE Int. Solid-State Circuit Conf. Tech Digest, pp. 82-83, 1973.
- [22] R. Dingle, H. L. Stormer, A. G. Gossard, and W. Wiegmann, "Electron Mobilities in Modulation-Doped Semiconductor Superlattice," Appl. Phys., Lett., vol. 33, no. 7, pp. 665-667, 1978.
- [23] T. Mimura, S. Hiyamizu, T. Fujii, and K. Nanbu, "A New Field Effect Transistor with Selectively Doped GaAs/Al_xGa_{1-x}As Heterojunctions," Japan J. Appl. Phys., vol. 19, no. 5, pp. 225-227, 1980.
- [24] C. Nishimoto, R. La Rue, S. Bandy, M. Day, J. Eckstein, C. Webb, C. Yuen, and G. Zdasiuk, "A 2-20GHz, high gain, monolithic HEMT distributed amplifier," in IEEE Microwave and Millimeter-Wave Monolithic circuits Symp. Dig., pp. 109-113, 1987.
- [25] J. Berenz, H. C. Yen, R. Esfandiari, K. Nakano, T. Sato, J. Velebir, and K. Ip, "44 GHz low noise amplifier," in IEEE Microwave and Millimeter-Wave Monolithic circuits Symp. Dig., pp. 15-18, 1987.
- [26] A. Ketterson et al., "High Transconductance InGaAs/AlGaAs Pseudomorphic Modulation-Doped Field-Effect Transistor," IEEE Electron Device Letters, vol. EDL-6, pp. 628-630, 1985.
- [27] C. K. Peng, M. I. Aksun, A. A. Ketterson, H. Mrkoc, and K. R. Gleason, "Microwave Performance of InAlAs/InGaAs/InP MODFET's," IEEE Electron Device Letters, vol. EDL-8, pp. 24-26, 1987.
- [28] U. K. Mishra, A. S. Brown, L. M. Jelloian, L. H. Hackett, and M. J. Delaney, "High Performance of Submicrometer AlInAs-GaInAs HEMT's," IEEE Electron Device Letters, vol. EDL-9, pp. 41-43, 1988.
- [29] P. C. Chao, R. C. Tiberio, K. H. G. Duh, P. M. Smith, J. M. Ballingall, L. F. Lester, B. R. Lee, A. Jabra, and G. G. Gifford, "0.1 μ m Gate-Length Pseudomorphic HEMT's," IEEE Electron Device Letters, vol. EDL-8, pp. 489-491, 1987.
- [30] S. Weinreb, E. Fischer, B. Kane, N. Byer and M. Zimmerman, "W-Band 0.3W PHEMT MMIC Power Amplifier Modules," in IEEE Microwave and Millimeter-Wave Monolithic circuits Symp. Dig., pp. 25-30, 1995.
- [31] G. I. Ng, R. Lai, Y. Hwang, D. C. W. Lo, T. Block, K. Tan, D. C. Streit, R. M. Dia, A. Freudenthal, P. D. Chow and J. Berenz, "A Fully Passivated Ultra Low Noise W-Band Monolithic InGaAs/InAlAs/InP HEMT Amplifier," in IEEE Microwave and Millimeter-Wave Monolithic circuits Symp. Dig., pp. 63-68, 1995.
- [32] M. V. Aust, T. W. Huang, M. Dufault, H. Wang, W. Lo, R. Lai, M. Biedenbender, "Ultra Low Noise Q-band Monolithic Amplifiers Using InP- and GaAs-Based 0.1 micron HEMT Technologies," in IEEE Microwave and Millimeter-Wave Monolithic circuits Symp. Dig., pp. 89-92, 1996.
- [33] 菅野卓雄監修、大森正道編：超高速化合物半導体デバイス、3章、4章、5章、p57、培風館

第2章 GaAs 電界効果トランジスタの高性能化

2.1 緒言

現在、広く使用されているマイクロ波集積回路を構成している3端子能動素子として、代表的なものはGaAs MESFETとAlGaAs/GaAs HEMTである。これらはいずれも電界効果型トランジスタすなわちFETとして分類されるものであるが、FETの概念の誕生は1925年までさかのぼり、その着想はLilienfeldが出願したカナダの特許の中に見ることができる[1]。その後、Schockleyが1952年に逆バイアスされたpn接合をゲートとして用いるFETの理論を初めて発表し[2]、翌1953年、Daceyらがゲルマニウム(Ge)を用いた接合型FETの試作に成功した[3]。接合型FETや半導体材料としてのGeは、当時既に隆盛になりつつあったSiバイポーラ・トランジスタの陰に隠れてしまったが、1960年ベル研究所のKahngらによってSiを用いたMOS形FETが発表されると[4]、ICやLSI (Large Scale Integrated Circuit) の構成素子として急速に発展した。

一方GaAs材料は1963年、ガン効果の発見によって、GaAs特有の非線形バルク効果が脚光を浴び、GaAs材料開発そのものは1950年前半に端を発し、同時代にFETも発明されているため、GaAs FET技術はすでに40年の歴史を有している。GaAsは電子の移動度が高いだけでなく、抵抗率が $10^8 \Omega \cdot \text{cm}$ 以上という高抵抗の半絶縁性結晶が得られるため、FETはもちろん、基板上に抵抗やコンデンサなどの受動素子を形成した場合も寄生容量が小さく、マイクロ波集積回路への応用に適している。FETの高周波化の研究は材料にGaAsを用いたショットキー障壁型のFET、すなわちMESFETへと移り、1966年にMeadが初めてGaAs MESFETを発表し[5]、その後1970年にMiddelhockらが

最大発振周波数 12GHz を実現した [6]。材料面では、60 年代の半絶縁性基板の実現、製造技術面ではイオン注入技術、70 年代の MBE 技術が、今日、MESFET、HEMT などの GaAs IC 技術へと開花している。1972 年に、Beachtold らは最大発振周波数が 50GHz 以上の FET を発表したが、これをきっかけにマイクロ波応用のための実用デバイスとしての研究が活発になり、進行波管などを使用していた機器を固体化できるようになった。FET のチャンネル層に 2 次元電子ガスを用いた HEMT の歴史は 1978 年、Bell 研究所の Dingle らによる n-AlGaAs/GaAs 界面における 2 次元電子ガスの発見に始まり [8]、1980 年に富士通研究所の三村らによって初めて報告された [9]。HEMT は、電子を供給するための不純物ドーパ層である AlGaAs 層と、電子走行層である不純物のない GaAs 層をヘテロ接合で分離し、電子の輸送特性を向上させたものである。現在では、マイクロ波用トランジスタとして、HEMT は代表的なものであるとともに、低雑音トランジスタとしては最も優れたデバイスであり、X 帯 (8~12GHz) 周波数で雑音指数 0.6dB 以下という性能も実現されている [10]。このように、高速の 2 次元電子 (正孔) ガス物理や、さらには共鳴トンネリングなどの量子効果現象を用いたヘテロ接合構造デバイスに見られるように MESFET からヘテロ接合構造デバイスへと今後さらに高性能化が進むとともに、機能も拡大していくであろう。

GaAs FET の高出力化は、GaAs の熱電導率が Si の 3 分の 1 しかないことから、当初は実現困難と考える研究者も多かったが、高出力用 GaAs FET は 1973 年になってようやく、Fukuta と Napoli らによってほぼ同時に報告された [11]、[12]。FET の性能、とりわけ高周波性能や雑音特性を向上させるためには、その微細化が必須である。中でもゲート長を短くすることが重要であるが、これは電子の走行する距離が小さく、チャンネル内の電界が高くなり、電子がほぼ飽和速度で走行するようになるからである。電子の有効質量が Si に比べて軽い GaAs では、より一層高電界での電子の速度向上に大きく寄与する。しかしながら、小信号用 GaAs FET の場合にはこの手法により高性能化を図ることが可能であるが、高出力用 GaAs FET の場合には、高い電圧を印加し大電流を流す必要があり、高耐圧化と電流容量を大きくすることと相反する微細化の手法は、一般には困難である。

さて、現在マイクロ波応用の実用デバイスとしては、低雑音 FET では HEMT、さほど優れた低雑音特性が要求されないがしかし低コストを要求される用途や高出力用には、MESFET が主として用いられており、中でもとりわけイオン注入型 MESFET が多い。MESFET を電子が走行するチャンネル (活性層) の形成技術で分類すると、イオン注入法と有機金属気相成長法 (OMVPE : Organometallic Vapor Phase Epitaxy) や分子線エピタキシー法 (MBE : Molecular Beam Epitaxy) などの結晶成長技術を用いるものに大別される [13]、[14]。GaAs 基板は高抵抗であり、チャンネルを形成するために不純物を導入する必要がある。現在の GaAs FET ではほとんどが移動度の高い n 型不純物

を導入したものであり、一般に Si イオンが不純物として用いられる。イオン注入法は導入すべき不純物のイオン種を高電界で加速して GaAs 基板に注入する方法である。基板に注入されたイオンは、基板原子と衝突を繰り返しながらその運動エネルギーを失い、一定の位置に停止する。この際、基板内に結晶損傷が生じるが、これを回復し注入不純物を正しい格子位置に入れて活性化するために、通常 800℃ 以上の高温下で一定時間放置するが、これをアニール技術という。イオン注入法は工業的に生産性の高い方法であり、結晶成長法に比べ低コストで量産性に優れた方法である。一方、結晶成長法は不純物の分布プロファイルの制御性が高く、より高い性能を実現することが可能である。

本章では、まず本研究の第一の目的である、量産性に優れ低コストで民生応用に十分適用し得る高性能のマイクロ波集積回路を実現するために必要となる、GaAs FET の高性能化技術について述べる。マイクロ波集積回路のための実用デバイスにおける代表的なものとして、イオン注入型 GaAs MESFET と AlGaAs/GaAs HEMT を概括し、本研究で提案しているパルスドーパ構造 GaAs MESFET の位置付けについて述べ、その優れた高周波特性及び、従来の FET には見られない興味深い特長を明らかにする。さらに、パルスドーパ構造が極めて柔軟な設計性を有し、種々の応用に対してその素子構造の単純な設計変更によって対応し得ることを示し、電力増幅器に適用するための高出力用 MESFET に適したパルスドーパ構造について述べ、その優れた線形性等について述べる。

2.2 従来の GaAs 電界効果トランジスタ

図 2-1 にイオン注入型 GaAs MESFET と AlGaAs/GaAs HEMT の構造断面図を模式的に示す。以下、各デバイスの製造方法と動作原理を簡単に示すが、詳細は MESFET については文献 [14] - [17] などに詳しい。イオン注入型 GaAs MESFET は半絶縁体基板に選択的にイオン注入して動作層を形成し、その表面にソースとドレインの 2 つのオーミック電極と、両者の間にショットキー障壁のゲート電極を設けた三端子構造である。FET 構造の基本的なパラメータは、ゲート長 (L_g : チャンネル長と呼ぶときもあるが、チャンネル長を厳密に規定するのは難しい)、ゲート幅 (W_g)、動作層厚さ (a)、及び空乏層深さ (h) である。ゲート空乏化層下の動作層部分をチャンネルと呼ぶ。ドレインに、ソースに対して正の電位 (V_d) を印加すると、電作層内で電子がソースからドレインに向かって流れるが、ゲート電極はショットキー障壁であるから空乏層がチャンネル内に伸びており、ゲート電圧 V_g を変化することにより空乏層深さが変わり、チャンネルの断面積が変化し、ドレイン電流 (I_d) が変調される。あるゲート電圧 (V_g) に着目すれば、 V_d の小さな領域では V_d を増すとともにドレイン電流は直線的に増加し、次いで緩やかな増加となり、ある V_d 以上では、 V_d に依存せずに I_d に対してほぼ一定値となる。 I_d が直線的

る V_d 領域を線形領域、 I_d がほぼ一定となる V_d 領域を飽和領域という。ゲート電圧が負側に大なほどチャンネル厚が小さくなるため、飽和に至る電圧 (V_{dsat}) や飽和電流 (I_{dsat}) は小になる。

HEMT は、GaAs FET の一種であるが、図 2-1 に示すように従来の GaAs MESFET

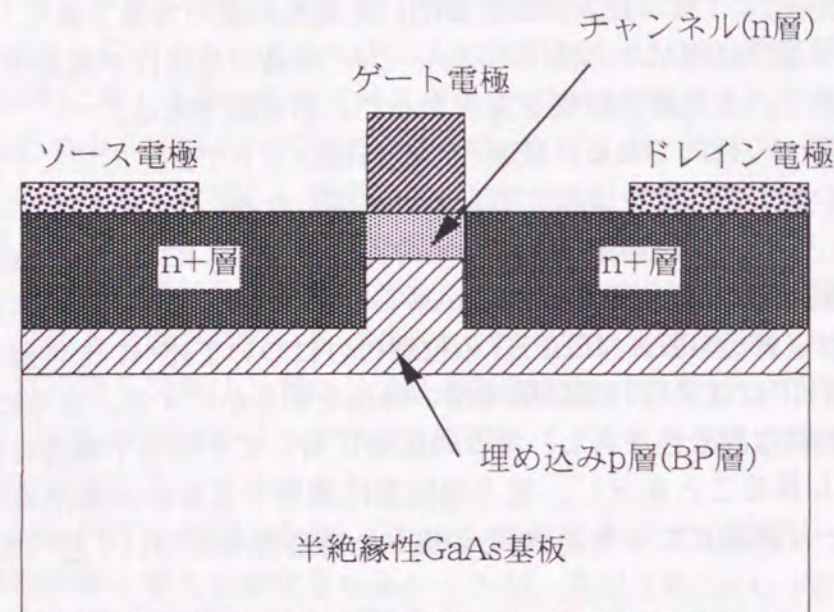


図2-1(a) イオン注入型GaAs MESFETの構造断面図

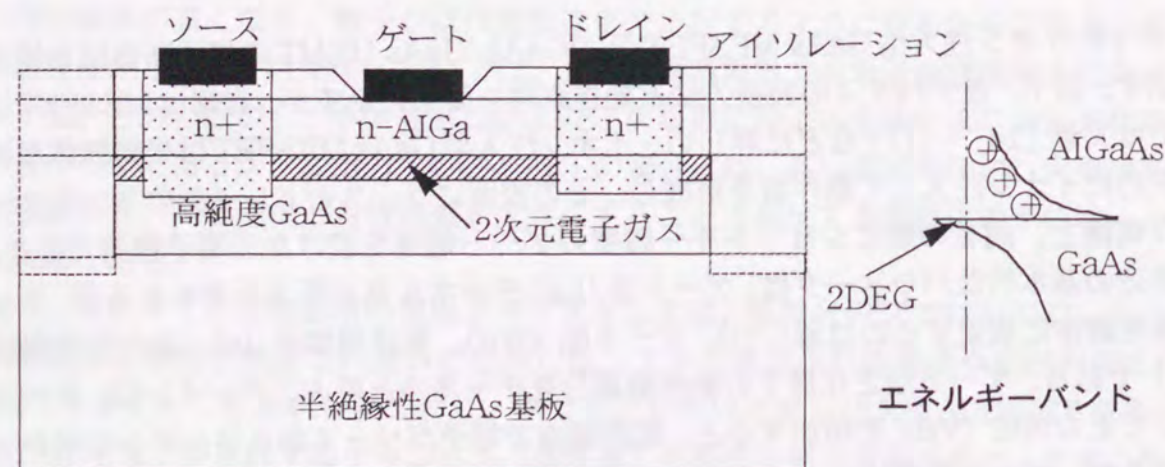


図2-1(b) AlGaAs/GaAs HEMTの構造断面図

図2-1 イオン注入型GaAs MESFETとAlGaAs/GaAs HEMTの構造比較

デバイス構造とはまったく異なっている。半絶縁性 GaAs 基板を用いるのは同じであるが、チャンネルの構造が GaAs MESFET の場合と異なる。通常、MBE を用いて半絶縁性 GaAs 基板上にアンドープ GaAs、Si ドープ $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ ($x=0.3$) 及び Si ドープ $n\text{-GaAs}$ を連続成長させる。AlGaAs 層は、厚さ $0.07\ \mu\text{m}$ 、ドナー濃度 $2 \times 10^{18}\text{cm}^{-3}$ 程度である。n-AlGaAs 層内は、ショットキー接合とヘテロ接合によって空乏化している。電子の一部は、表面ショットキーメタル側へ移動し、整流性障壁が形成され、一方、残りの電子は、GaAs と AlGaAs との電子親和力 ($X_{\text{GaAs}}=4.07\text{eV} > X_{\text{AlGaAs}}=3.5\text{eV}$) の差によって AlGaAs 層内のドナーから GaAs 側へ供給され、2次元電子ガスを形成する。2次元電子ガスは、母体ドナー原子と空間的に分離されている。この2次元電子ガスの厚さは約 10nm と極めて薄く、接合面の垂直方向に運動の自由度のない実質的にはいわゆる2次元チャンネルになっている。したがって、HEMT 動作にとって AlGaAs/GaAs ヘテロ接合の界面近傍の結晶性の良否は、決定的に重要な問題となる。このため、HEMT 用結晶成長には、原子レベルでの精密制御が可能な MBE または OMVPE が用いられている。

2.3 パルスドープ構造 GaAs 電界効果トランジスタ

本研究はまず、(1) AlGaAs/GaAs HEMT と同等の低雑音特性を実現できること、(2) 成熟した GaAs MESFET の製造プロセス技術を適用できること、(3) MMIC の基本構成素子となり得ることを目標として、トランジスタの開発から着手された。これについて述べる前に、HEMT が優れた高周波特性や低雑音特性を実現できる理由に関して研究された報告例に触れなければならない。高周波 FET の場合、ゲート長が $1\ \mu\text{m}$ 以下と極めて短いため、高電界における電子の輸送特性がその高周波特性に大きな影響を与える。HEMT 構造は、たしかに低電界における電子の移動度は高いが、高電界での電子の飽和速度は通常の MESFET と大差ない。長谷川は、HEMT が MESFET より高い性能を実現しているのは、電子の移動度が高いからではなく、電子の走行するチャンネルがゲート電極に近いからであると指摘した [18]、[19]。また、Feng らも同様に、高い電子の移動度が HEMT の性能に寄与していないことを示し [20]、イオン注入型 GaAs MESFET で HEMT に匹敵する高い性能を実現させ、ミリ波帯でも適用できることを実証した [21] - [25]。Feng らが実現したデバイス構造は、不純物を導入しない結晶成長層にイオン注入によりチャンネルを形成する方法であり、チャンネルとして GaAs の代わりに移動度の高い InGaAs を用いて、より高い性能を達成している [26] - [28]。

2.3.1 素子構造と作製方法

図2-2に本研究の基礎となるパルスドープ構造GaAsMESFETの典型的な構造断面図を示す。図に示したように、不純物の導入プロファイルがパルス状になっていることから、パルスドープ構造と呼ぶ。ヘテロ構造を用いておらず各層はGaAsのみで形成されており、各層の厚さや不純物濃度は用途に応じて簡単に設計変更可能であり、柔軟な素子構造の設計性を有する。各層はOMVPE法により容易に形成可能であり、本研究ではOMVPEを用いて試作を行ったが、またMBE法によっても同様の構造を形成することが可能である。OMVPEについては、文献[29]～[32]に詳しい。半絶縁性GaAs基板の上にもまず、極めて低い濃度 $2 \times 10^{15} \text{cm}^{-3}$ に制御されたp型のバッファ層(p-バッファ層とよぶ)を成長させる。OMVPEを用いる場合には、不純物を導入せずにIII属元素とV属元素の供給比を制御することによってバッファ層の導電性をp-に制御する。p-バッファ層は相対するn領域からの基板リーク電流を抑制するために有効であり、後に述べる短チャンネル効果を抑制することができる。その次に、 $3 \sim 4 \times 10^{18} \text{cm}^{-3}$ という極めて高濃度にSiイオンが導入されたパルスドープ層を成長させる。これは電流の流れる

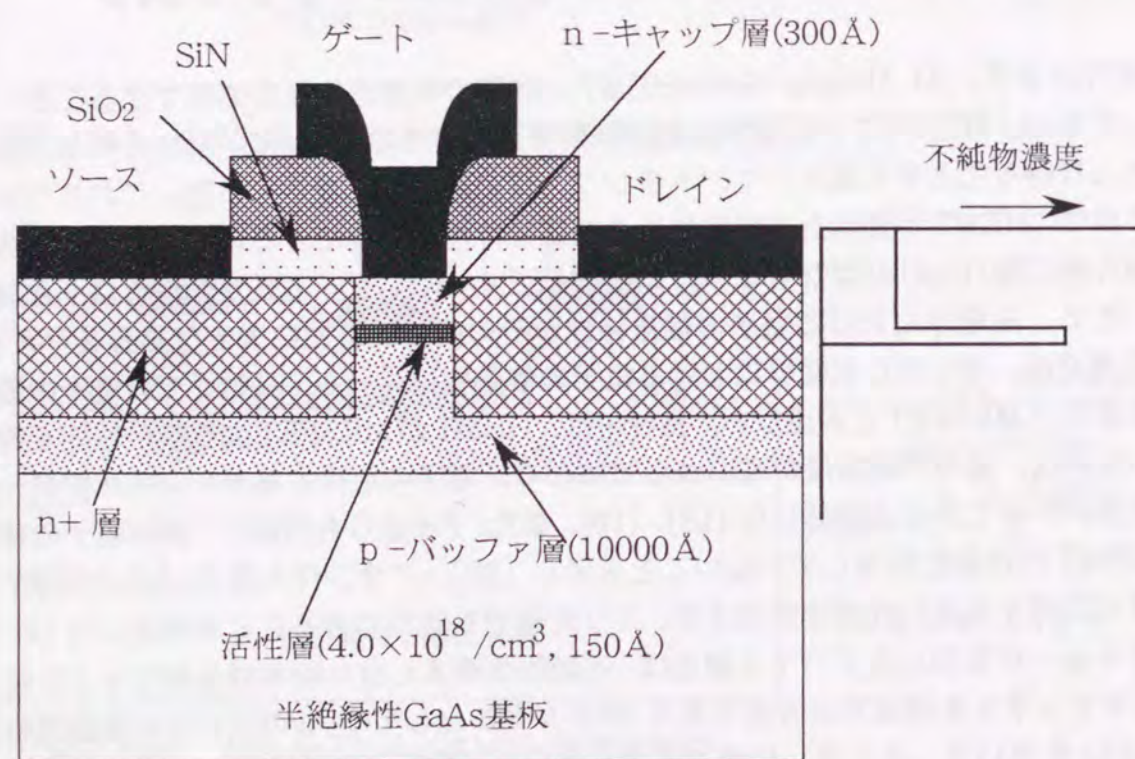


図2-2 パルスドープ構造GaAsMESFETの典型的な構造断面図

2.3 パルスドープ構造GaAs電界効果トランジスタ

チャンネルであり、厚さは100～150Åと薄層化されている。このように高濃度薄層化されたチャンネル構造は種々の興味深い特長を実現するが、これについては後述する。そして最後に $1 \times 10^{15} \text{cm}^{-3}$ 程度の低濃度のn-キャップ層を形成するが、これはゲート電極のショットキー特性を改善するためのものである。やはり、不純物を導入せずにIII属元素とV属元素の流量比を制御することによって形成している。このような結晶成長層の濃度や厚さなどの、2インチウエハ面内における均一性は5%以下と良好であった[33]。

素子の作製プロセスはダミーゲートを用いた自己整合プロセスである[34]、[35]。FETの性能を向上させる上で寄生抵抗を低減することが重要であり、とりわけゲート・ソース間の寄生抵抗、すなわちソース抵抗(R_s)の低減が重要である。ソース抵抗を低減する方法の一つに、ゲート形成領域をエッチングして掘り下げるゲートリセス構造がある[36]。この方法はFETの高性能化には極めて有効であるが、その特性がエッチング領域の深さや形状に非常に敏感に影響するため、ウエハ面内での均一性を得るのが困難である。提案しているFETでは、MMICの基本構成素子として適用し得る均一性を確保し、また高い再現性を実現し低コスト化を図るため、ゲート形成領域をエッチングするゲートリセス構造を採用していないのが特長の一つである。ゲートリセス構造を採用していないため、オーミック電極のコンタクト領域を結晶成長によって形成することができないことから、イオン注入によりSiイオンを高濃度に導入したn+領域を、ダミーゲートに対して自己整合的に形成している。このn+領域を活性化させるために前述したアニールが必要であるが、高濃度・薄層化されたチャンネルに導入された不純物が、高温下で拡散するのを抑制し、パルスドープ構造を維持するために、ラピッドサーマルアニール(RTA)法を適用し、不純物拡散を最小限に抑制し、且つ高い活性化率を実現する条件、すなわち温度と時間に制御している[37]、[38]。ゲート電極は、やはりFETの高性能化に有効なゲート抵抗(R_g)低減を図るため、図2-2に示したように絶縁膜に対してオーバーラップさせたマッシュルーム構造と呼ばれる形状に制御している。その他、作製プロセスや電極・絶縁膜の材料等は、文献[34]、[35]に詳細が記されている。

FETを高性能化するためには、微細加工が必要となるが、特にゲート長の短縮が有効であり、最近のマイクロ波用FETではほとんどがゲート長 $1 \mu\text{m}$ 以下である。しかしながら、ゲート長を短くすると、しきい値電圧(V_{th})が負にシフトし、 g_m が低下し g_d 増加、ピンチオフ特性が悪化(ゲート電圧を V_{th} 以下にしてもドレイン電流が完全に切れない)するという問題が生ずる。これを、短チャンネル効果といい、ゲート長が $1 \mu\text{m}$ 以下になると顕著になってくる。原因を大別すると、(1)短ゲート化により相対するn+領域間が接近し基板リーク電流が増加すること、(2)ゲートによって作られるポテンシャル自身の2次元的分布によることである。そして、上記の(1)には電子にとってポテンシャルバリア層として働くp-バッファ層が有効であり、(2)については高濃度・薄層化されたチャンネル構造が有効であることが知られている[39]。このように、提案してい

るFET構造は、短チャンネル効果を抑制するのに極めて適した構造であり、 $0.3\ \mu\text{m}$ まで有効であることを実証している [33]、[40]。

2.3.2 基本的な特長

パルスドープ構造の興味深い特長について述べる。図2-3はパルスドープ構造GaAs MESFETの特長をやや模式的に示したものである [41]。図2-3 (a) はドレイン電流 I_d のゲート電圧 V_g に対する特性、すなわち入出力の関係を示したものである。通常のFETやHEMTは2乗特性を示すがパルスドープ構造FETの場合、ほぼ線形な特性を示す。図2-3 (b) は伝達コンダクタンス (g_m) のゲート電圧に対する特性を示したものである。 g_m はドレイン電流の微小変化 (ΔI_d) のゲート電圧微小変化 (ΔV_g) に対する比であり、FETの利得を表現するパラメータである。通常のFETやHEMTでは、 g_m はゲート電圧に対して山なりの特性を示しピークを持つが、パルスドープ構造FETの場合、 g_m はゲート電圧に対して平坦な領域がある。これは、ゲートバイアス電圧のばらつきに対して利得の変化が小さい回路を実現できることを意味しており、製造後に調整ができないMMICを構成するFETに適している。図2-3 (c) は最小雑音指数 ($F_{\min}$: 詳細後述) のドレイン電流に対する依存性を示したものである。HEMTは一般に、 $F_{\min}$ のドレイン電流に対する依存性が小さいが、通常のMESFETは大きな依存性を持つ。パルスドープ

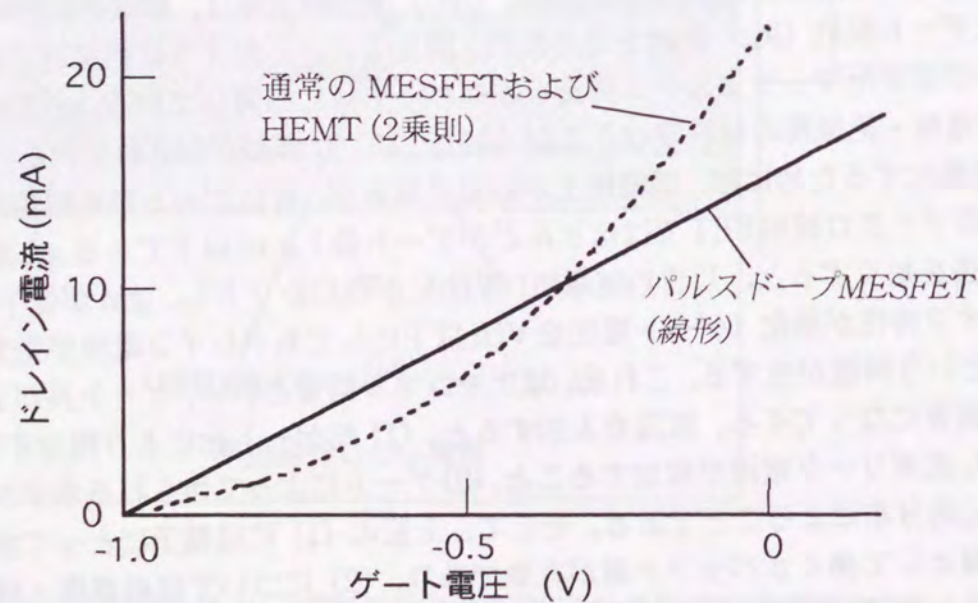


図2-3(a) ドレイン電流 I_d のゲート電圧 V_g に対する特性

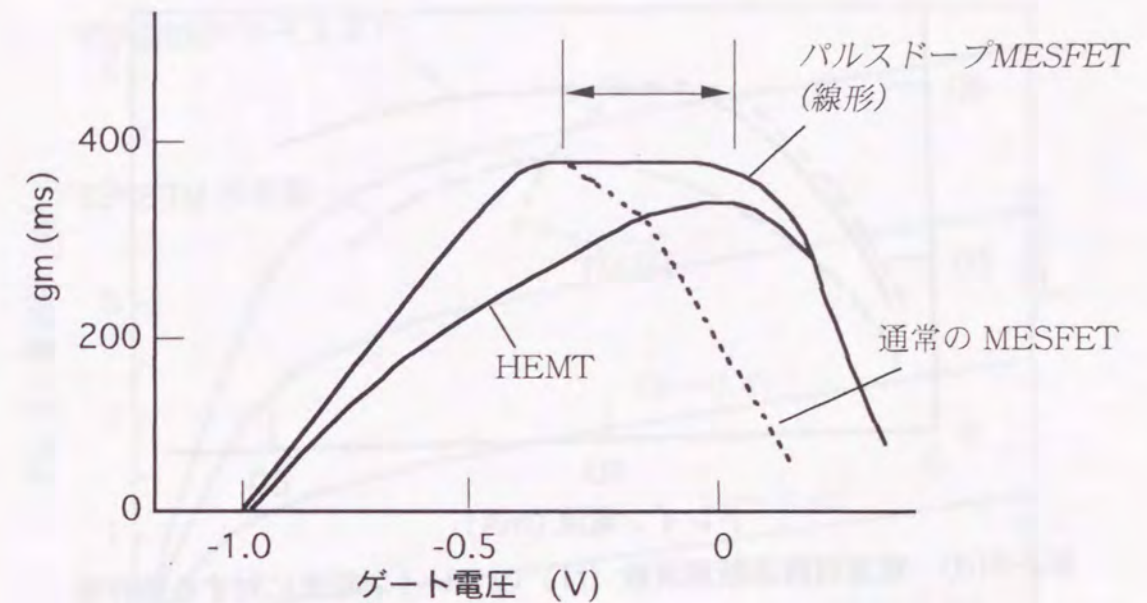


図2-3(b) 伝達コンダクタンス (g_m) のゲート電圧に対する特性

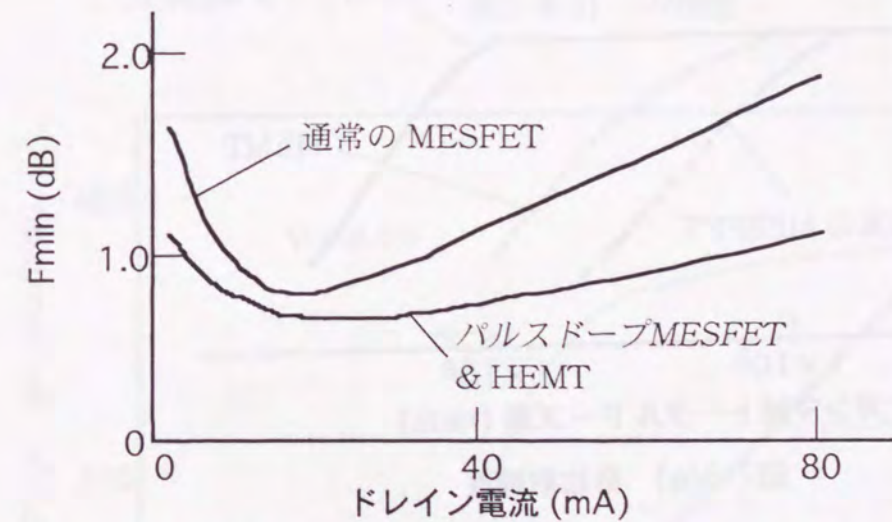


図2-3(c) 最小雑音指数 ($F_{\min}$) のドレイン電流に対する依存性

構造FETはHEMTと同様、 $F_{\min}$ のドレイン電流に対する依存性が小さく、低雑音増幅回路を設計する際、設計余裕が大きいためやはりMMICを構成するFETに適している [42]。図2-3 (d) は電流利得遮断周波数 (f_T) のドレイン電流に対する依存性を示したものである。パルスドープ構造FETは、HEMTと同様ドレイン電流の小さい領域から急峻に f_T が立ち上がり、一方HEMTと異なり大電流領域でも高い f_T を維持している [43]。図2-3 (e) は耐放射線性を各々のデバイスで比較したものである。パルスドープ構造FETが従来のデバイスより優れた耐放射線性を示すことがわかる。

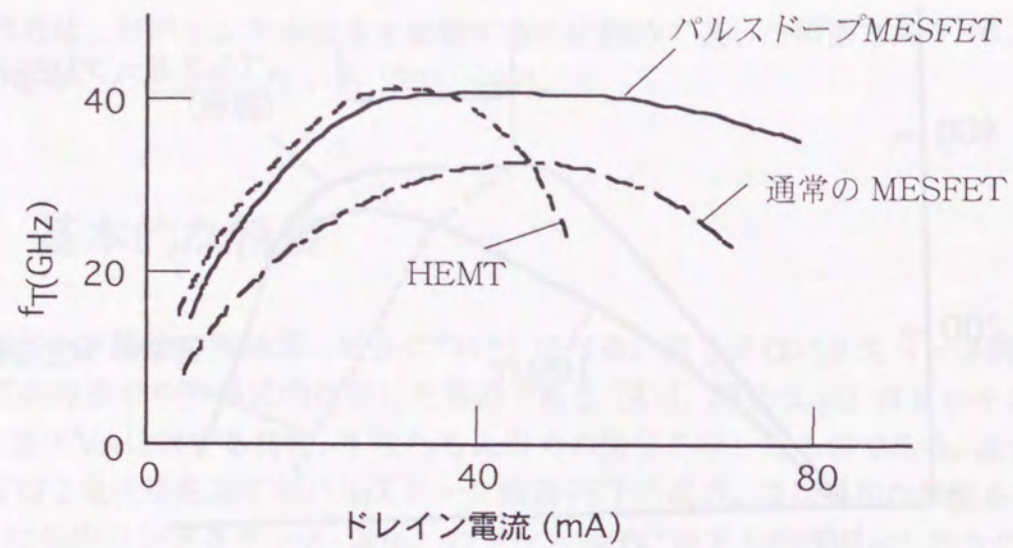


図2-3(d) 電流利得遮断周波数 (f_T) のドレイン電流に対する依存性

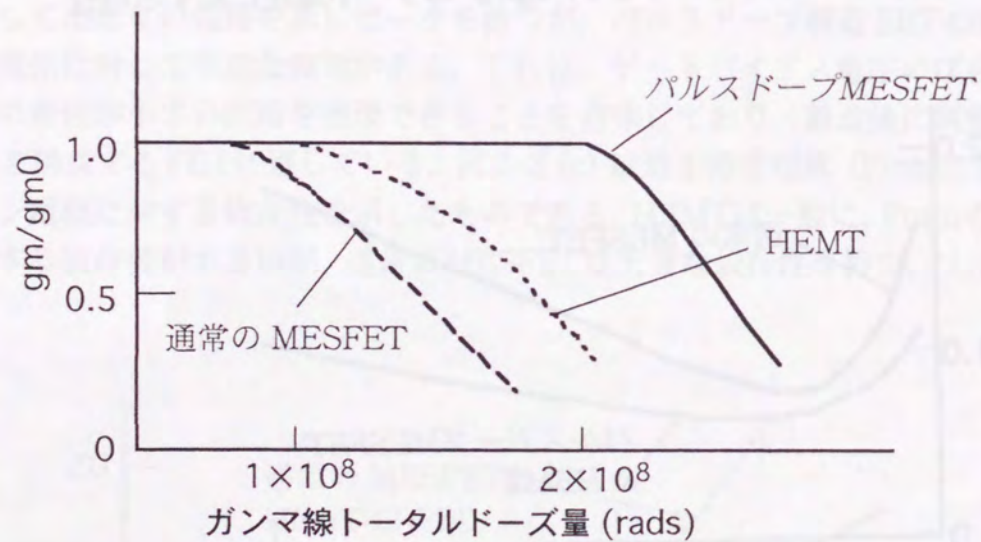


図2-3(e) 耐放射線性

2.3.3 直流特性及び高周波特性

図2-4 (a) にゲート長 $0.3 \mu\text{m}$ 、ゲート幅 $20 \mu\text{m}$ のパルスドープ構造 GaAs MESFET の I-V 特性、図2-4 (b) に I_D - V_g 特性および g_m - V_g 特性を示した。 g_m の最大値 $g_{m\text{max}}$ は 380mS/mm と極めて高い値を実現し、また2インチウエハ面内における g_m (12GHz) における雑音指数が最小となる最適動作点 $I_D=1\text{mA}$ 、詳細後述) の標準偏差も 11.8mS/

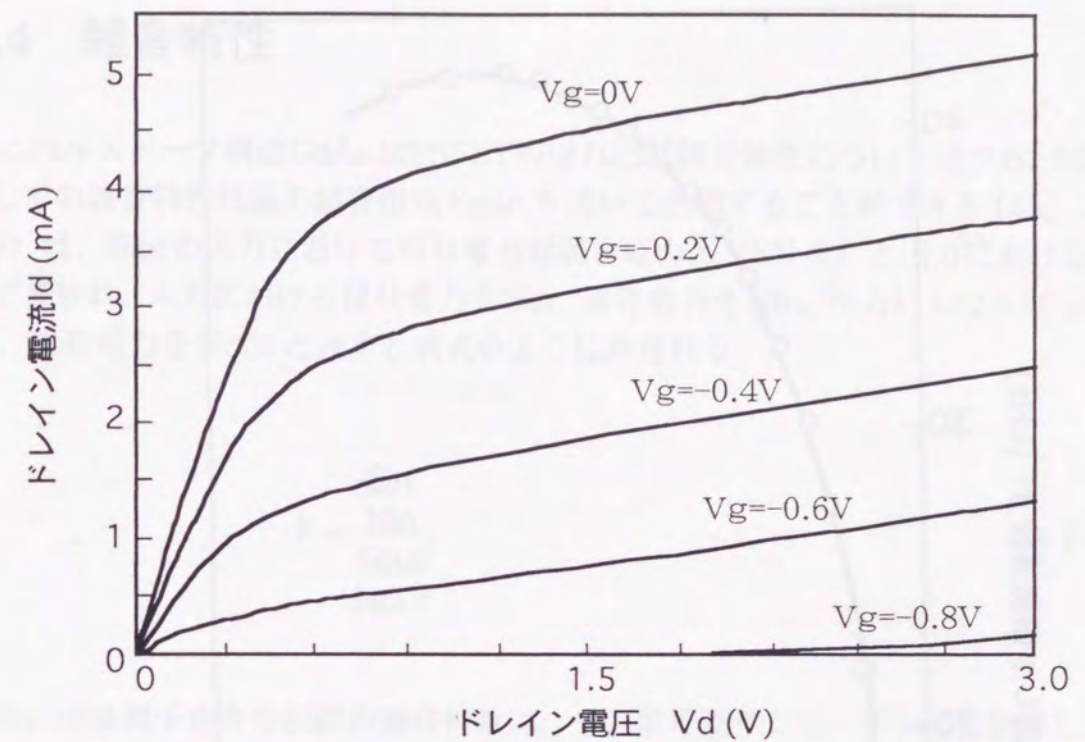


図2-4(a) I-V特性

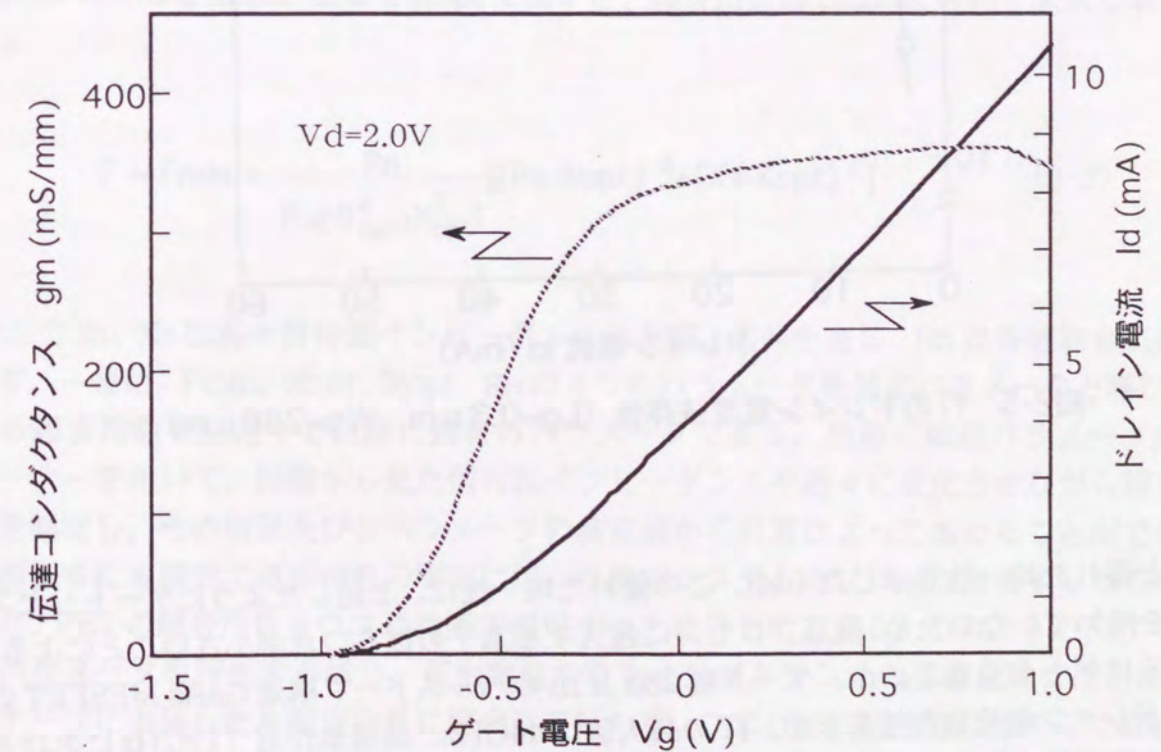
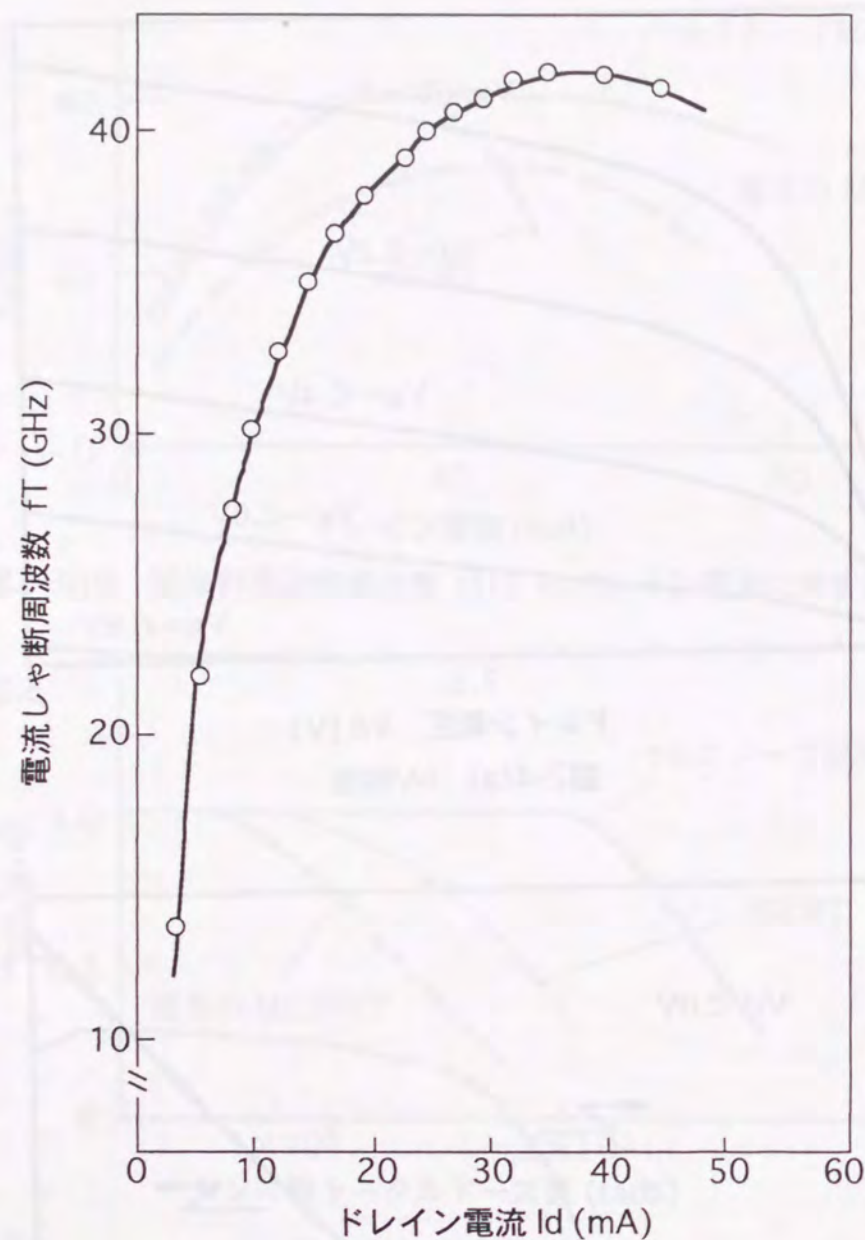


図2-4(b) I_D - V_g 特性および g_m - V_g 特性

図2-4 パルスドープ構造 GaAs MESFET の DC 特性 ($L_g=0.3 \mu\text{m}$ 、 $W_g=20 \mu\text{m}$)

図2-5 f_T のドレイン電流依存性 ($L_g=0.3\mu\text{m}$, $W_g=280\mu\text{m}$)

mmと優れた均一性を示した[44]。この優れた均一性は、上述したようにゲートリセス構造を用いていないため、製造プロセスに起因する素子のばらつきが小さいことによる。図2-5にゲート長 $0.3\mu\text{m}$ 、ゲート幅 $280\mu\text{m}$ のパルスドープ構造GaAs MESFETの f_T のドレイン電流依存性を示す。 f_T の最大値は44GHz、最適動作点(12GHzにおける雑音指数が最小となる最適動作点 $I_d=14\text{mA}$ 、詳細後述)における f_T の値は33GHzであった。

2.3.4 雑音特性

次にパルスドープ構造GaAs MESFETの優れた低雑音特性について述べる。FETの性能としての雑音特性は最小雑音指数 $F_{\min}$ を用いて表現することができる[45]。雑音指数(F)は、回路の入力における信号電力対雑音電力比(SN比)と出力におけるSN比の比で表され、入力における信号電力を S_{in} 、雑音電力を N_{in} 、出力における信号電力を S_{out} 、雑音電力を N_{out} と表すと次式のように示される。

$$F = \frac{S_{\text{in}}}{N_{\text{in}}} \cdot \frac{N_{\text{out}}}{S_{\text{out}}} \quad (2-1)$$

また、能動素子を含む回路の雑音指数は、その信号源インピーダンスに依存し、雑音指数を最小にする最適雑音信号源インピーダンス Z_{opt} が存在する。入力整合回路がこの Z_{opt} に整合された時、回路の雑音指数は最小となり、この値を最小雑音指数 $F_{\min}$ という。 Z_{opt} の実部を R_{opt} 、虚部を X_{opt} で表すと、雑音指数は $F_{\min}$ を用いて次式で示される。

$$F = F_{\min} + \frac{R_n}{R_s(R_{\text{opt}}^2 + X_{\text{opt}}^2)} [(R_s - R_{\text{opt}})^2 + (X_s - X_{\text{opt}})^2] \quad (2-2)$$

ここで R_s 、 X_s は各々信号源インピーダンスの実部、虚部を表し、 R_n は等価雑音抵抗を表す。一般に、 $F_{\min}$ 、 R_{opt} 、 X_{opt} 、 R_n の4つのパラメータを雑音パラメータと呼び、回路の雑音指数を記述する回路に固有のパラメータである。回路の雑音パラメータはチューナーを用いて、回路から見た信号源インピーダンスを種々に変化させながら雑音指数を測定し、その結果及びSパラメータの測定値から計算によって求めることができる。図2-6に本研究で雑音指数の測定に用いた測定システムのブロック図を示したものであり、FETの雑音指数をウエハ状態で測定するためのものである。このようにFETの雑音パラメータを評価する場合、寄生容量や寄生インダクタンスの影響を除くために、パッケージに実装したり測定治具に固定して行わず、ウエハ上に形成されたFETに直接プローブヘッドを接触させて行う。このような測定をオンウエハ測定と称する。測定に用いたプローブヘッドはCascade Microtech社製で、40GHzまで実用上十分なインピー

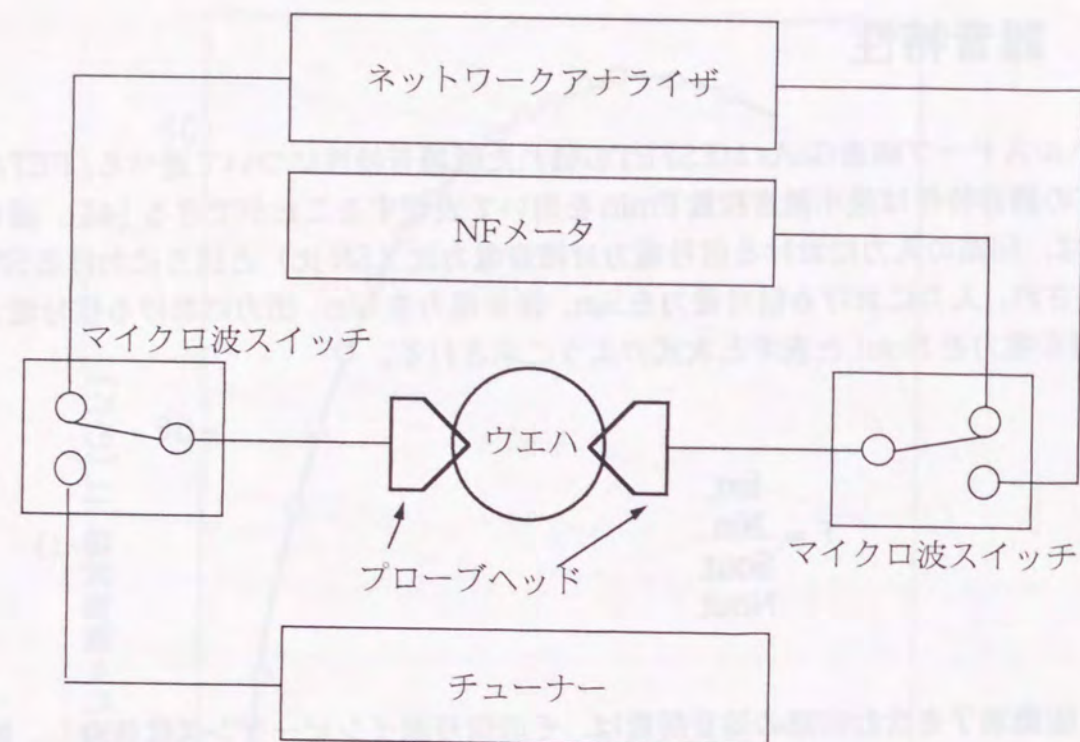


図2-6 雑音指数測定システムのブロック図

ダンス整合のとれた、コプレーナ線路型の3端子のものである。FETの最小雑音指数 F_{min} はドレイン電流の値によって変化し、 F_{min} が最小になるドレイン電流の値が存在する。この電流値を最適雑音指数と呼び、通常 F_o と表記される。 F_{min} 、 F_o などの表記法は、この分野において先駆的な研究を行った Fukui の論文に従う [46]。

図2-7に、ゲート長 $0.3\mu\text{m}$ 、ゲート幅 $280\mu\text{m}$ のパルスドープ構造GaAsMESFETの12GHz及び18GHzにおける最小雑音指数の測定結果を示す。測定にはATN microwave社のNP5を用い、オンウェハ測定により評価した。12GHzにおいて最適雑音指数 F_o を得るドレイン電流の値は14mAであり、この時 F_o の値は0.7dBを示した。また、ドレイン電流の値が5mAから28mAの広い領域にわたって F_{min} は1.0dB以下とドレイン電流依存性が極めて小さく、 F_o の値及び F_{min} のドレイン電流依存性は同じゲート長のAlGaAs/GaAs HEMTに匹敵する性能である。最小雑音指数を得る時のFETの利得を付随利得(G_a)と呼ぶが、図2-8にその測定結果を示す。12GHzにおいて最適雑音指数 F_o を得る時の付随利得は10.5dBであった。

FETの低雑音化には素子構造上、チャンネルの設計とソース抵抗 R_s やゲート抵抗 R_g などの寄生素子の低減が重要であり、これらは文献[47]～[50]に詳しく述べられている。ここでは低雑音化に関する、FETの配置配線設計（レイアウト設計）上のポイントについて明らかにする。図2-9に本節で雑音指数の測定に用いたFETの電子顕微鏡（SEM：Scanning Electron Microscope）写真を示す。図2-9(b)に示したように、ゲー

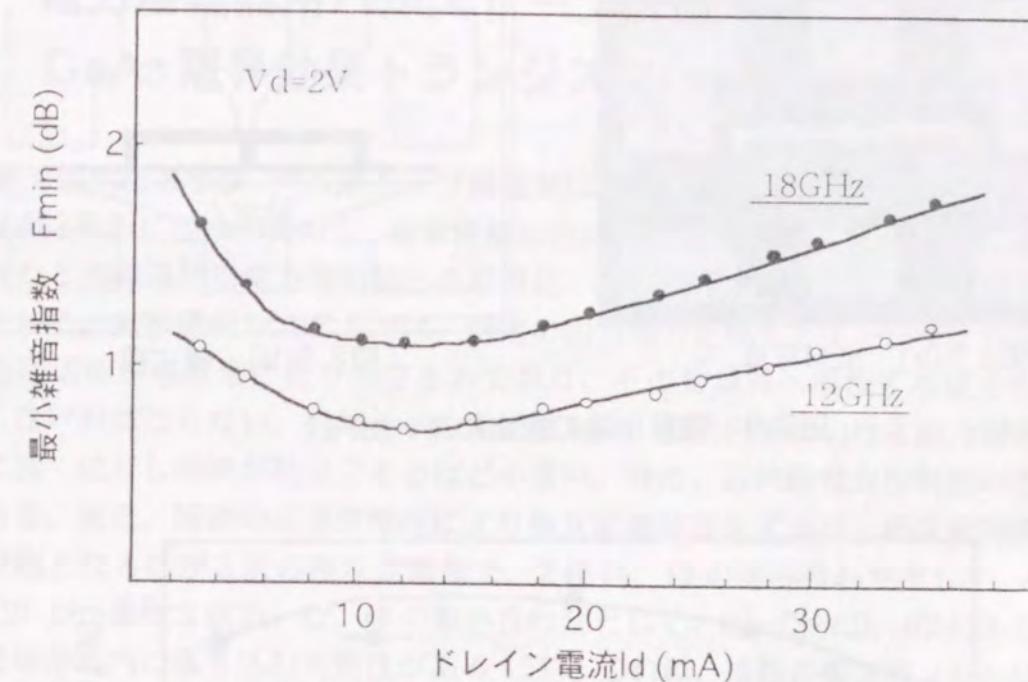


図2-7 パルスドープ構造GaAsMESFETの最小雑音指数の測定結果

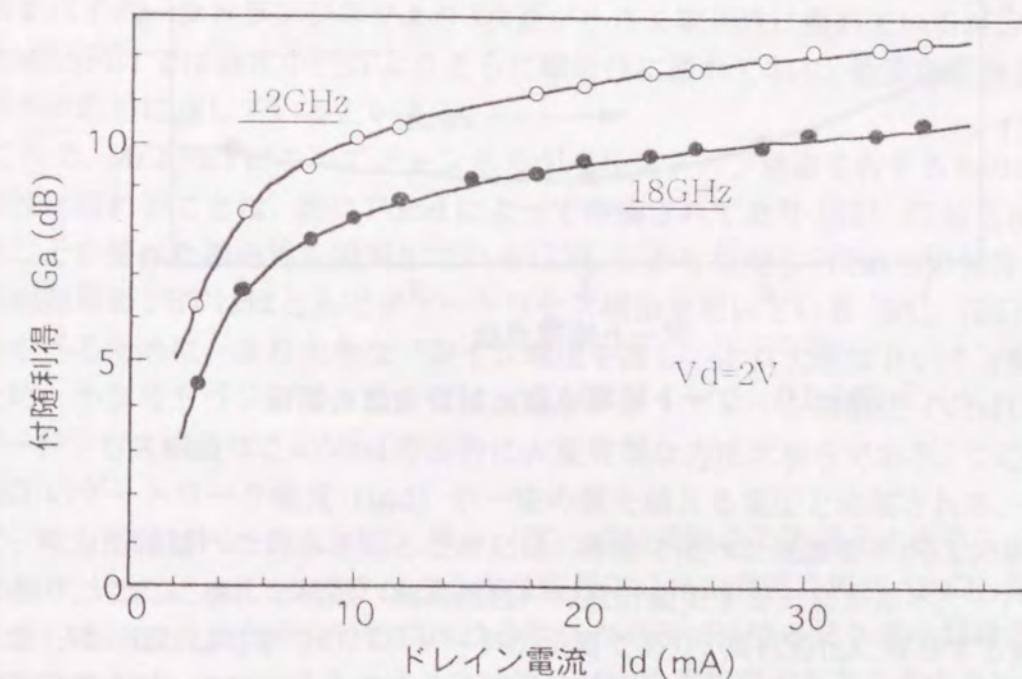


図2-8 付随利得の測定結果

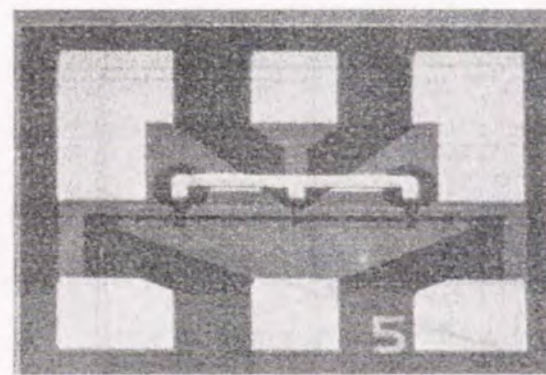


図2-9(a) SEM写真

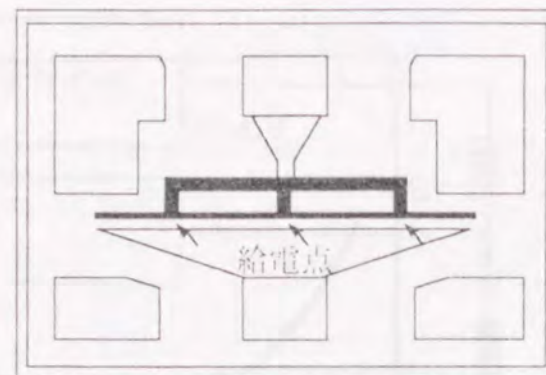


図2-9(b) 模式図

図2-9 雑音指数の測定に用いたFET

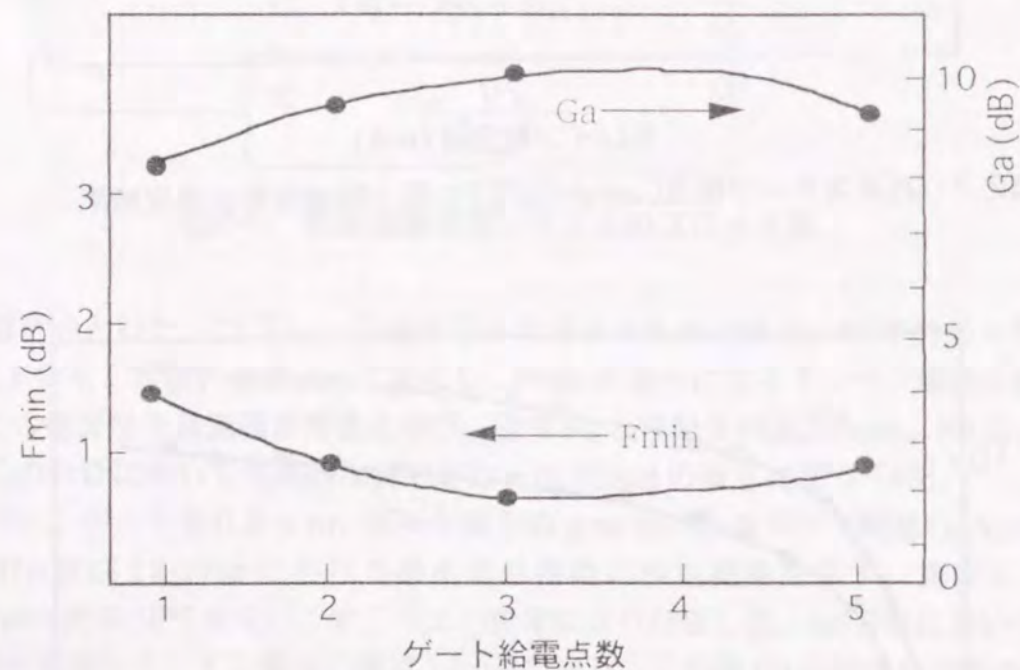


図2-10 ゲート給電点数と雑音指数の関係

ト電極に対し3カ所から給電する設計になっているが、これはゲート抵抗 R_g とゲート・ソース間容量(C_{gs})を雑音指数に対して最適化するためである。 R_g と C_{gs} ともに小さいほど雑音指数は小さくなるが、 R_g を小さくするためにはゲート給電点数が多いほど良いが、逆に C_{gs} を小さくする上では寄生容量が増加するため不利となる。本研究ではゲート給電点数の最適値を見いだすために、ゲート給電点数が1、2、3、5の評価用FETを作製し測定を行った。測定結果を図2-10に示すが、3給電点のFETが雑音指数に関して最適であることがわかる。

2.4 電力増幅器用パルスドープ構造 GaAs 電界効果トランジスタ

前節で述べたように、パルスドープ構造MESFETは通常のMESFETやHEMTの入出力関係が2乗則に従うのに対し、非常に線形性に優れた特性を示す。これは、低歪特性を要求される無線通信用電力増幅器への応用に、このFETが本質的に適していることを示唆している。無線通信システムでは、所定の出力電力を越えてアンテナより送信される信号の帯域幅が電波法により規定されており、その帯域外へ漏洩する電力を規定値以下にしなければならない。帯域外への漏洩電力は、送信回路における出力増幅回路の歪特性に強く依存し回路が低歪であるほど小さい。特に、最終段電力増幅器の歪特性は重要である。また、回路の非線形特性により相互変調積を生ずるが、相互変調積のうちで最も問題となるのが3次の相互変調積で、2波 f_1 、 f_2 の組み合わせとして、 $(2f_1-f_2)$ 、 $(2f_2-f_1)$ が、また3波 f_1 、 f_2 、 f_3 の組み合わせとして、 $(f_1-f_2+f_3)$ 、 $(f_2+f_3-f_1)$ がそれぞれ送信帯域内に落ち込む可能性がある[51]。これは、複数の搬送波(キャリア)周波数を含む信号を増幅(共通増幅)し送信するシステムでは極めて重要であり、通常の移動体通信システムにおける基地局では、3次相互変調積の仕様が規定されている。3次相互変調積は回路の3次歪により生ずるが、一般にFETは2乗則特性を示すため、指数特性を示すバイポーラトランジスタより3次歪が小さく線形性に優れているが、パルスドープ構造MESFETでは通常のFETよりさらに線形性に優れており、低歪を要求される電力増幅器への応用に適しているといえる。

ところで、MESFETにおいてチャンネルがパルスドープ構造を有するものが、本質的に線形性に優れることは、既にPucelによって指摘されており[52]、Chuらとその構造を実現しその優れた線形性を実証している[53]。しかしながら、Chuらの報告例を含め、電力増幅器用のFETはほとんどがゲートリセス構造を用いている[54]、[55]。これは、高出力を得るために、より大きなドレイン電流を流し、より大きなドレイン電圧を印加するため、小信号トランジスタに比べて高いゲート・ドレイン間耐圧(V_{bd})を必要とし、ゲートリセス構造はこの V_{bd} の改善に大変有効な方法だからである。ここで V_{bd} とは、FETのゲートリーク電流(I_{gd})が一定の値を越える電圧と定義される。

さて、電力増幅器への応用を図るためには、前節で述べた低雑音用FETの構造では不十分であり、これに適した構造(結晶構造)に設計変更する必要がある。デバイス設計の観点からは、主として2つのパラメータが重要であり、高利得化に寄与する g_m と最大出力を決定する V_{bd} である。しかしながら一般的に、これら2つのパラメータを改善するためのアプローチは相反する面を持ち、両者を同時に向上させる方法は限られている。低雑音用FETでは、小信号の用途では高い V_{bd} を必要としていないため、微細加工によ

り性能の向上を図ることが可能である。ゲートリセス構造は、従来この g_m と V_{bd} を同時に向上し得るほぼ唯一の方法であったが、本研究の独自性は、 V_{bd} を向上させるために一般的に用いられてきたゲートリセス構造を用いずに、パルスドープ構造を利用して V_{bd} を向上させ、実用上十分な V_{bd} と g_m を実現した点にある。ゲートリセス構造は前節で述べたように、高い均一性や再現性を得ることが困難であり、また MMIC の構成素子としても適さないからである。この素子構造の設計性においても、イオン注入型 MESFET や HEMT に比べ、パルスドープ構造 MESFET は柔軟性に富んでいる。設計変更された構造の結晶成長は、結晶成長装置のプログラムを変更するだけで実現することができ、製造プロセスも低雑音用パルスドープ構造 MESFET とほとんど同様である。

2.4.1 電力増幅器に適したパルスドープ構造

図2-11は、前節で述べた低雑音用パルスドープ構造から電力増幅器用パルスドープ構造への結晶構造の設計変更の様子を示したものである。これは、ゲートリセス構造を用いることなく、大入力振幅領域で g_m が低下するのを防ぎ、より優れた線形性を実現するための構造であり、桑田らにより提案されたものである [56]、[57]。詳細は後述するが、低雑音用パルスドープ構造におけるパルスドープ層を、2つのパルスドープ層に分離しいわゆる長ゲート効果を抑制することにより、大入力特性を改善した。このように、結晶構造の簡単な変更で高出力用途に対応し得る柔軟性も、このパルスドープ構造の大きな特長の一つである。

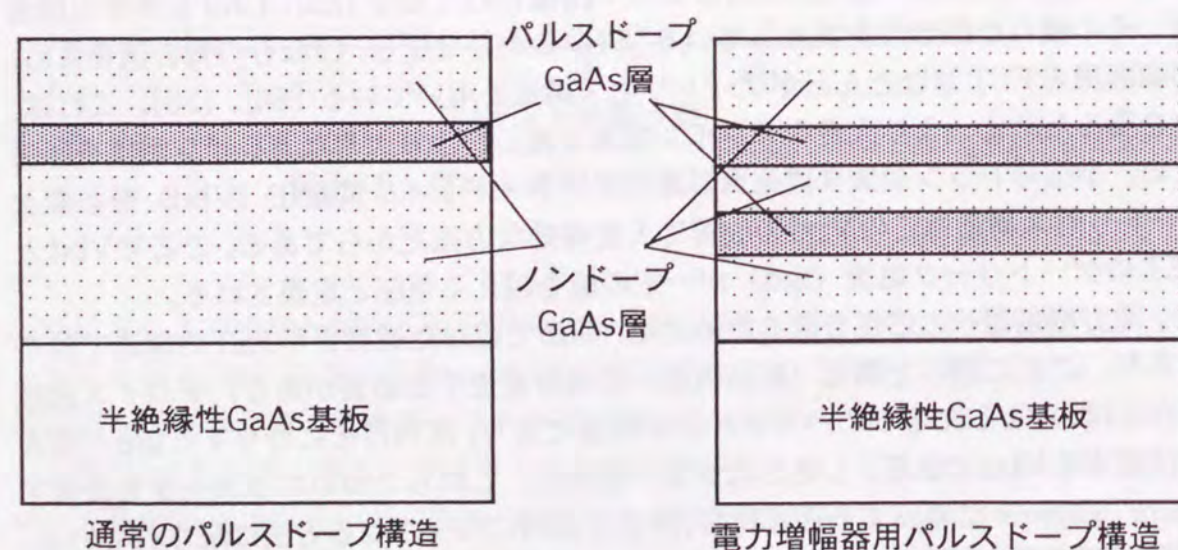


図2-11 電力増幅器用パルスドープ構造への結晶構造の設計変更

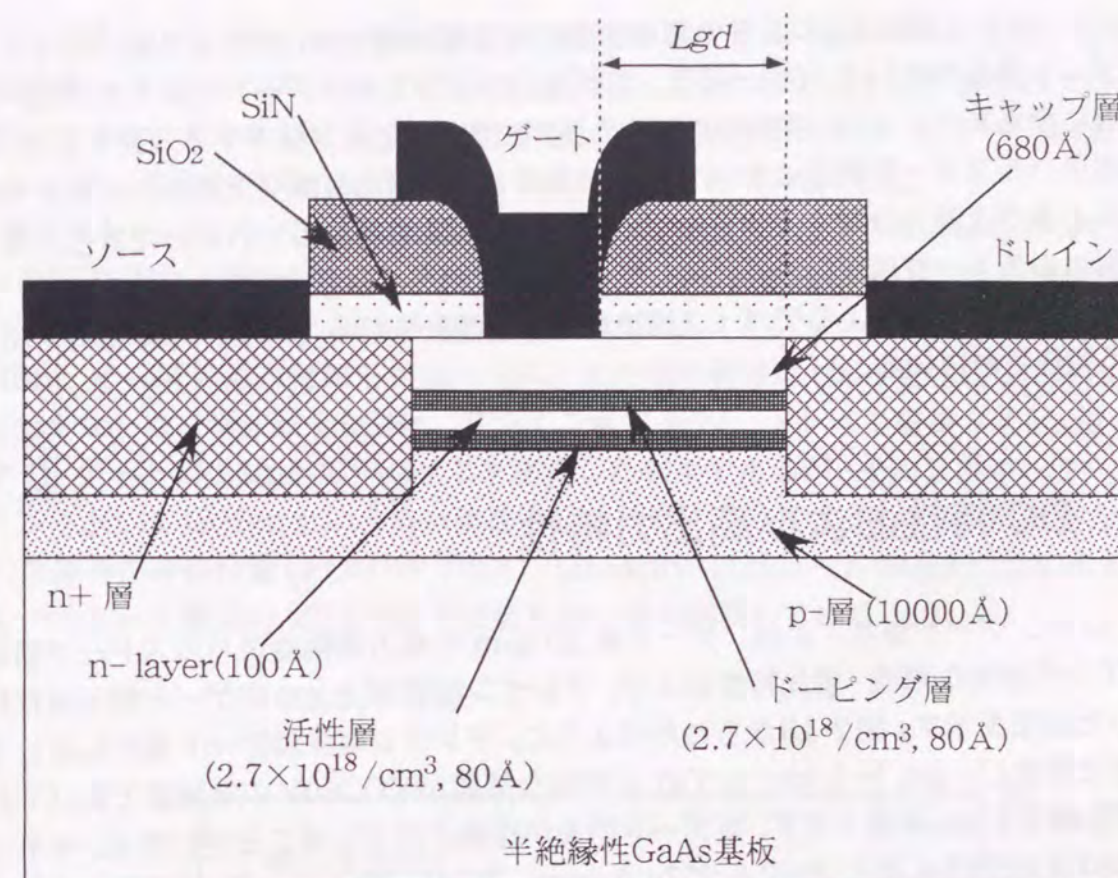


図2-12 電力増幅器用パルスドープ構造MESFETの構造

図2-12に電力増幅器用パルスドープ構造MESFETの構造を示す。低雑音用パルスドープ構造MESFETと同様すべてGaAs層で構成され、半絶縁性GaAs基板の上にもまず、極めて低い濃度のp-バッファ層を成長させ、次に不純物としてSiイオンを高濃度（たとえば $2.7 \times 10^{18} \text{cm}^{-3}$ ）に導入したパルスドープ層を成長させ、さらに不純物を導入しないアンドープn-層、再びパルスドープ層を成長させ、最後に低濃度のアンドープn-キャップ層と連続成長させる。このように、2つのパルスドープ層を有するのが電力増幅器用パルスドープ構造MESFETの特長である。図2-11に示した各層の厚さ及び不純物濃度は典型的なものであり、用途に応じて容易に素子構造の設計変更が可能である。

図2-11に示した電力増幅器用パルスドープ構造において、下側の第1パルスドープ層はチャンネルとして動作し、上側の第2パルスドープ層は長ゲート効果を抑制するためのものである。ゲートリセスを用いないプレーナゲート構造では、通常十分な V_{bd} をえることは困難であるが、図2-12に示すようにゲート電極とドレイン電極（n+領域）の間隔 L_{gd} を大きくすることにより V_{bd} の改善が可能である。これは L_{gd} を大きくしたため、この領域でGaAsの表面電位効果による表面空乏層が生じるからであるが、その反

面、ゲートバイアス電圧 V_g の大きい領域すなわち高電流域で g_m が大きく低下するという、長ゲート効果が生じる [56]、[57]。これは、ショットキーゲートによる空乏層が表面空乏層に埋もれてしまい、実効的にゲート長が拡張され g_m が低下する効果である。電力増幅器用パルスドープ構造において、第2パルスドープ層は表面空乏層とショットキーゲートによる空乏層を分離する働きをし、長ゲート効果を緩和しているのである。電力増幅器用パルスドープ構造の設計に関しては、十分な V_{bd} と g_m を両立するために、2次元シミュレーションによるデバイス構造の最適化設計を行っており、文献 [58] - [61] に詳しく報告されている。

2.4.2 DC 特性および高出力特性

図2-13に、ゲート長 $0.7\mu\text{m}$ 、ゲート幅 $20\mu\text{m}$ の電力増幅器用パルスドープ構造MESFETの代表的な電流・電圧特性および、ドレイン電流 I_d と g_m のゲート電圧依存性を測定した結果を示す。図2-13からわかるように、ドレイン電流はゲート電圧に対してほぼ線形に変化し、 $g_m (= \Delta I_d / \Delta V_g)$ の平坦な領域が $V_g > 0\text{V}$ の領域まで延びており、高電流域でも g_m が低下せず、長ゲート効果が抑制されていることがわかる。キャップ層厚 $680\text{\AA}$ のデバイスは $I_{dss0} = 257\text{mA/mm}$ 、で耐圧 $V_{bd} = -19\text{V}$ （定義はゲート

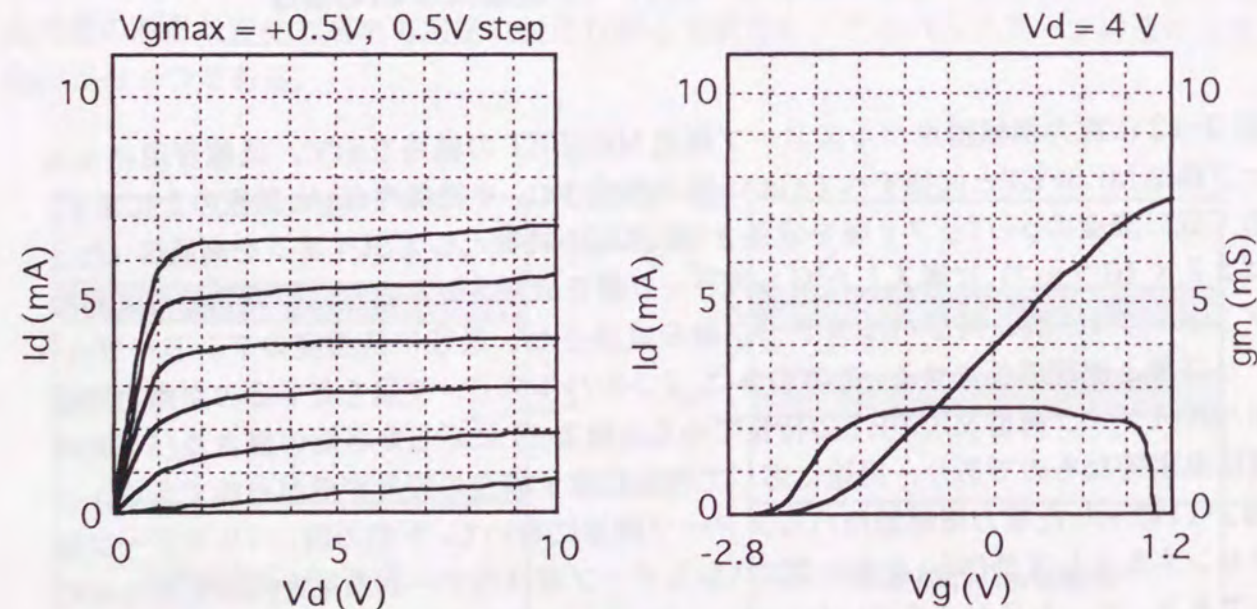


図2-13(a) 代表的な電流・電圧特性

図2-13(b) ドレイン電流 I_d と g_m のゲート電圧依存性

図2-13 電力増幅器用パルスドープ構造MESFETの特性 ($L_g = 0.7\mu\text{m}$, $W_g = 20\mu\text{m}$)

リーク電流 I_{gd} が 0.5mA/mm 以上になる電圧)、また $3''\phi$ GaAs ウエハの面内における標準偏差 $\sigma V_{bd} = 2.6\text{V}$ という優れた値を実現しており、これを他の構造のデバイスと比較した場合、たとえばイオン注入による LDD MESFET (プレーナゲート構造) では $V_{bd} = -15\text{V}$ 、 $I_{dss0} = 200\text{mA/mm}$ という値が報告されている [58]。

図2-14 (a) はゲート幅 5.2mm のデバイスに関し、周波数 1.5GHz において入力パワー対出力パワー特性を測定した結果である。ドレイン電圧 8V 、ドレイン電流が I_{dss0} の50%であるA級動作の測定条件において 1dB コンプレッション出力電力 ($P_{1\text{dB}}$) は 34dBm 、その時の電力付加効率は 45% 、また線形利得は 19dB を達成している。また図2-14 (b) は、周波数 1.5GHz 、ドレイン電圧 4.5V 、ドレイン電流 $0.4 I_{dss0}$ の測定条件で、ゲート幅 0.5mm のデバイスを測定した結果であるが、その3次インターセプトポイント IP_3 は 42dBm という高い値を示している。この IP_3 をその時の消費電力で規格化した線形性評価指数 $LFOM = IP_3 / PDC$ (Linearity-Figure-Of-Merit) は 40.8 を示し、プレーナゲート構造のMESFETでは最も高い値を実現している [58]。

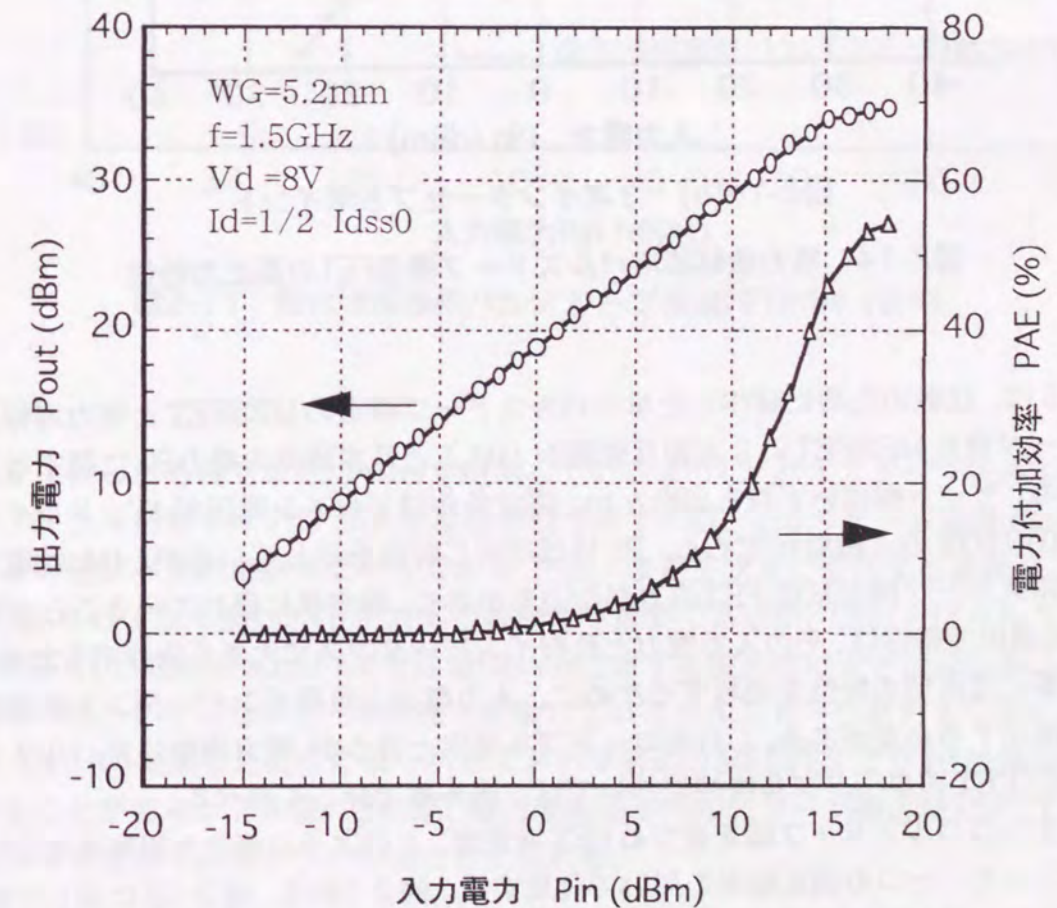


図2-14(a) 入力電力対出力電力および電力付加効率特性

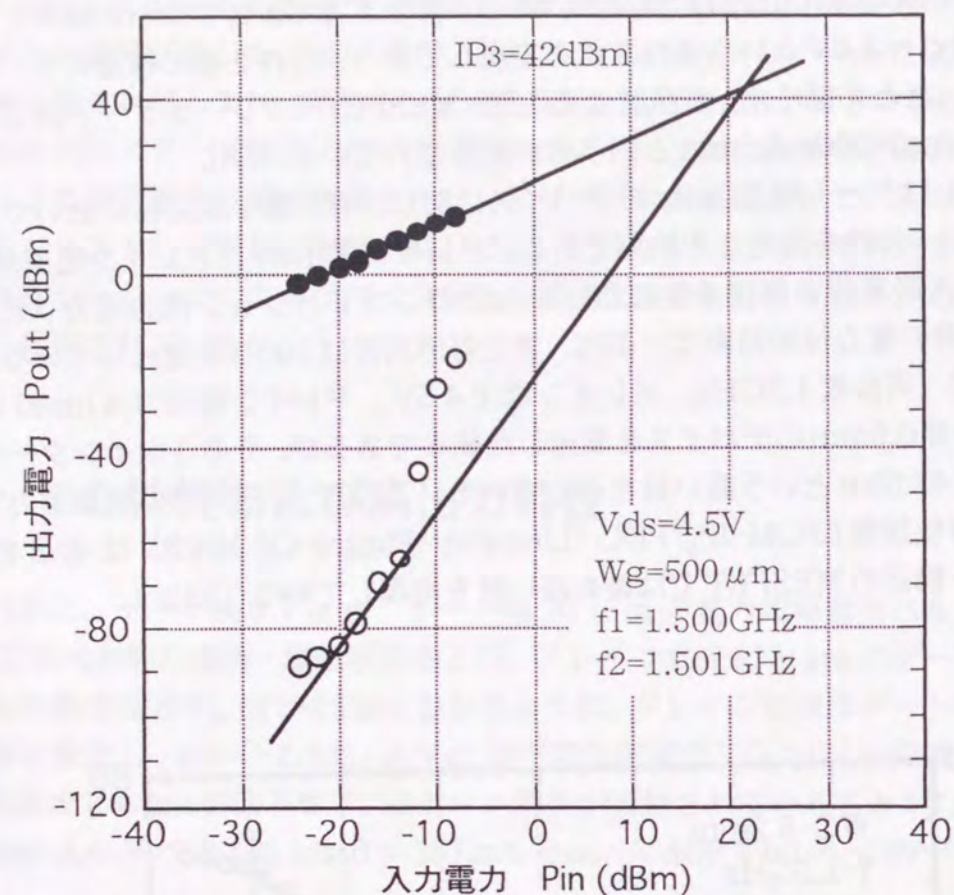
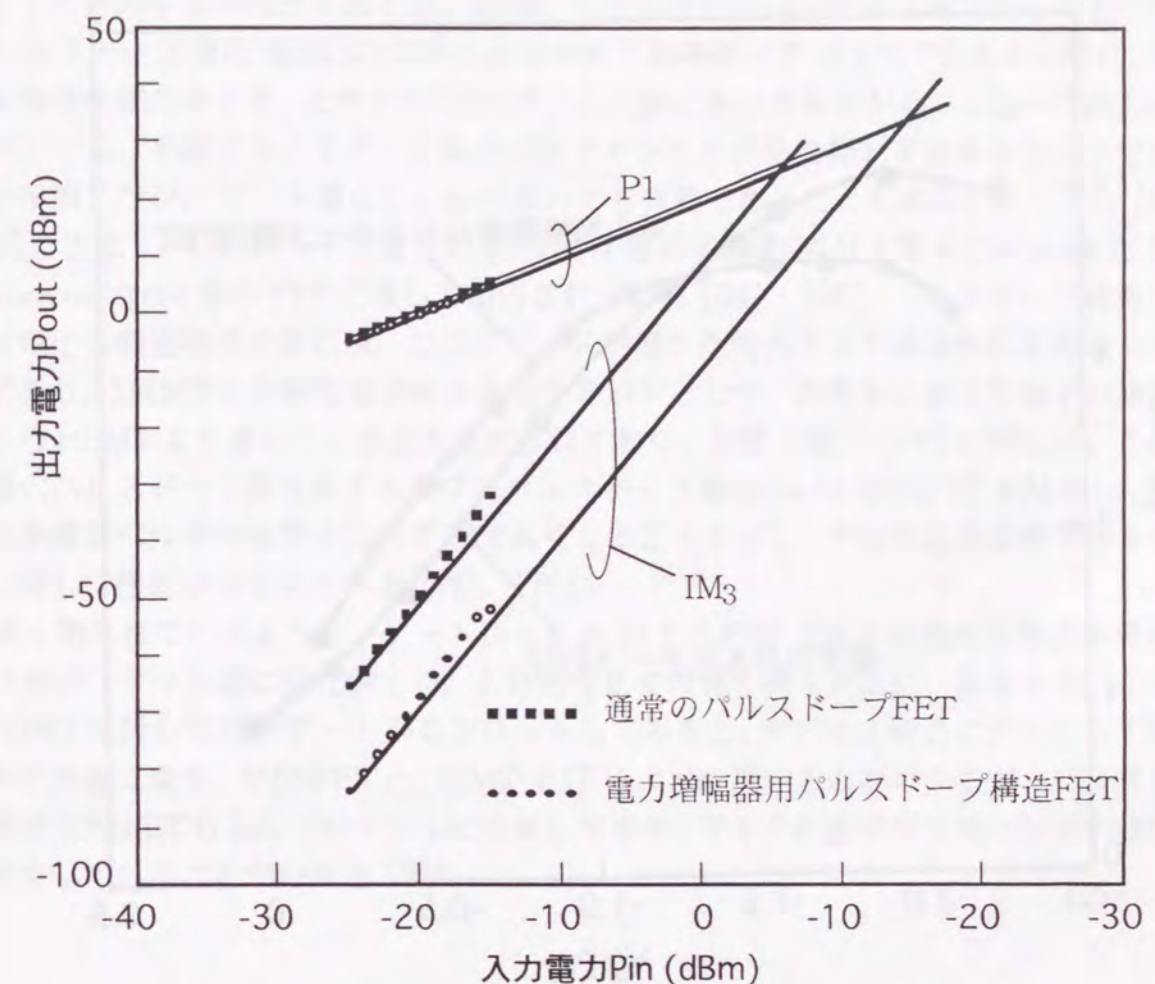


図2-14(b) 3次インターセプトポイント

図2-14 電力増幅器用パルスドープ構造FETの高出力特性

図2-15は、比較のために試作した単一パルスドープ構造のMESFETと電力増幅器用パルスドープ構造MESFETの3次相互変調歪 (IM_3) と基本波出力電力 $P1$ に関する測定結果である。ゲート幅はいずれも $280 \mu m$ 、測定条件はドレイン電圧が4V、ドレイン電流が $Idss0$ の50%のA級動作である。 $P1$ はほぼ同じ特性を示しているが、 IM_3 は電力増幅器用パルスドープ構造MESFETの方が8dBも小さく、線形性に優れていることがわかる。FETの高出力特性は、その入力電力と負荷インピーダンスに大きく依存するため、回路設計の際には所望の特性を実現するために、入力電力と負荷インピーダンスを変化させながら測定する必要がある。これをロードプル測定と言うが、電力増幅器用パルスドープ構造MESFETのロードプル特性については、第6章で詳しく述べる。

さて、2つのパルスドープ層を有するFET構造が、このような優れた線形性を示す理論解釈について、一つの測定結果を用いて言及する。図2-16は、図2-15に示した測定に用いたものと同じFETに関して、ドレインコンダクタンス gd のゲート電圧 Vg に対す

図2-15 電力増幅器用パルスドープ構造FETの IM_3 と $P1$

る特性を比較したものである。Pucelが指摘しているように、パルスドープ状の不純物導入プロファイルを有するFETが良好な線形性を示すのは、 gm やゲート容量 Cgs の Vg に対する特性が本質的に線形だからである [52]。また3次歪に寄与する要素としては、 gm や Cgs だけでなく gd の Vg に対する線形性も重要であるが、Chuらはパルスドープ構造MESFETと通常のMESFETでは gd の Vg に対する線形性に大きな差は無いと報告している [53]。しかしながら、本研究で提案しているパルスドープ層を2つ有するFET構造は、図2-16に示したように単一パルスドープ構造のMESFETより gd の線形性に優れていることが明らかである。これが、電力増幅器用パルスドープ構造MESFETが優れた線形性を実現している一つの要因と考えられる。

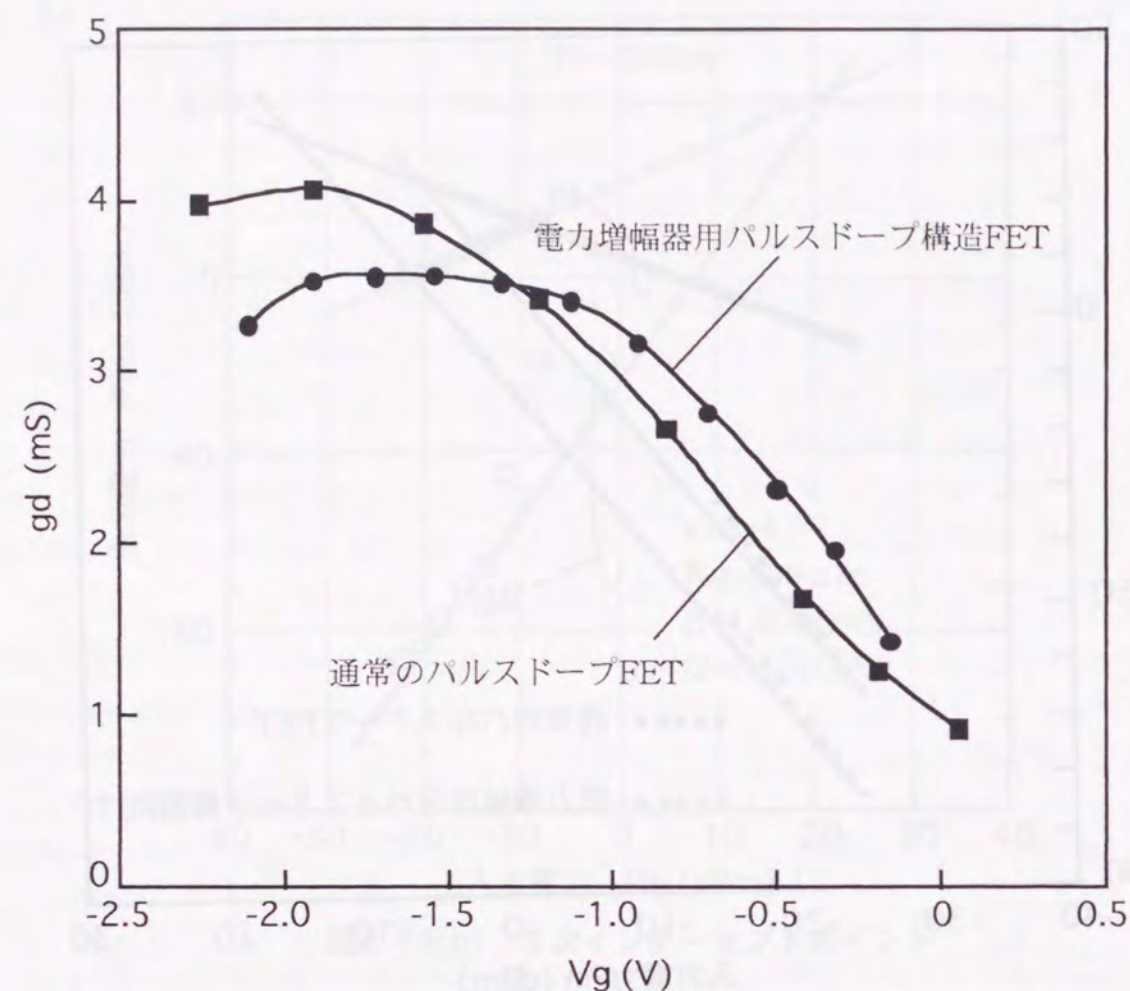


図2-16 電力増幅器用パルスドープ構造FETのgd-Vg特性

2.5 結言

パルスドープ構造 GaAs MESFET が、HEMT に匹敵する高周波性能を実現し、且つ現在、製造技術として現在最も成熟した MESFET の製造技術によって製造可能であり、高い均一性と再現性をも達成できることなどを明らかにした。12GHz において同じゲート長を有する HEMT と同じ低雑音特性を実現した。またパルスドープ層を 2 つ有する FET 構造により、優れた線形性を有する電力増幅器用 MESFET を実現するとともに、パルスドープ構造の柔軟性に富んだ設計性も実証した。いずれも FET の性能を向上させるために広く用いられているゲートリセス構造を用いておらず、これに起因する製造ばらつきがなく高い生産性、すなわち高歩留りを達成可能であるとともに、MMIC の基本構成素

子として適用する可能性も有する。MMIC への応用については第 3 章で詳しく述べる。

パルスドープ構造 MESFET は応用面で非常に興味深いデバイスであると同時に、デバイス物理の観点からも、とりわけ HEMT との比較において特徴があり、種々の研究がなされている。本節でパルスドープ構造が短チャンネル効果を抑制する有効な方法であることを論じたが、ゲート長 $0.2 \mu\text{m}$ においても有効であることを確認されている [62]、[63]。また、パルスドープ層を GaAs より電子の移動度が大きい InGaAs にした Pseudomorphic 型の FET に関して報告されている [64] - [68]。パルスドープ構造における電子の輸送特性の評価は、このデバイスが優れた特性を示す理論解釈を得る上で重要であり、HEMT と同様な電子の 2 次元性を示すことや、高電界における電子の速度がむしろ HEMT より速いことなども実証されており、文献 [69] - [74] に詳しい。さらに 2 層のパルスドープ層を有するダブルパルスドープ構造 GaAs MESFET を試作し、電子の移動度がバルクの場合と比べて 30% 高くなることを示し、その性能を改善できる可能性に関して指針が与られている [75]、[76]。

よく知られているように、ゲート長 $1 \mu\text{m}$ 以下の FET ではその電流利得遮断周波数 fT の値が、ゲート長に反比例する。これを今までの報告例をもとに、異なるデバイス構造の FET に関して fT 対ゲート長をプロットしてみると、デバイス構造にかかわらずほぼ 1 本の直線に乗り、MESFET と HEMT で fT に大差の無いことがわかるが、パルスドープ構造 MESFET もこのプロット上に位置しており、マイクロ波デバイスとして十分な性能を有していることがわかる [78]。

参考文献

- [1] J. E. Lilienfeld, "Method and apparatus for controlling electric currents," U. S. patent 1745175 (Jan. 1930) . Canadian Application Filed (Oct. 1925) .
- [2] W. Shockley, "A unipolar "field-effect" transistor," Proc. IRE, 40, pp.1365-1376, 1952.
- [3] G. C. Dacey and I. M. Ross, "Unipolar "field-effect" transistor," Proc. IRE, 41, pp.970-979, 1953.
- [4] D. Kahng and M. M. Atalla, "Silicon-silicon dioxide field induced surface devices," in IRE-AIEE Solid-State Device Research Cof., 1960.
- [5] C. A. Mead, "Schottky Barrier Gate Field Effect Transistor," Proc. IEEE , 54, No. 2, pp.307-308, 1966.
- [6] S. Middlehock, "Metalization process in fabrication of Schottky- barrier DET's," IBM J. Research & Development, 14, 3, pp. 148-151, 1970.
- [7] W. Beachtold, W. Walter and P. Wolf, "X and Ku band GaAs M.E.S.F.E.T.," Electron Lett. 8, 2, pp. 35-37, 1972.
- [8] R. Dingle, H. L. Stormer, A. G. Gossard, and W. Wiegmann, "Electron Mobilities in Modulation-Doped Semiconductor Superlattice," Appl. Phys., Lett., vol. 33, no. 7, pp. 665-667, 1978.
- [9] T. Mimura, S. Hiyamizu, T. Fujii, and K. Nanbu, "A New Field Effect Transistor with Selectively Doped GaAs/Al_xGa_{1-x}As Heterojunctions," Japan J. Appl. Phys., vol. 19, no. 5, pp. 225-227, 1980.
- [10] I. Hanyu, M. Nunokawa, K. Joshin, S. Ohmura, Y. Aoki, T. Aigo and Y. Hirachi, "Super low-noise HEMT's with a T-shaped WSi gate," Electron Lett., 24, 21, pp. 1327-1328, 1988.
- [11] M. Fukuta, T. Mimura, I. Tsujimura, and A. Furumoto, "Mesh Source Type Microwave Power FET," in IEEE Int. Solid-State Circuit Conf. Tech Digest,

- pp. 84-85, 1973. [12] L. S. Napoli, R. E. DeBrecht, J. J. Hughes, W. F. Reichert, A. Dreeben, and A. Triano, "High-Power GaAs FET Amplifier --- A Multigate Structure," in IEEE Int. Solid-State Circuit Conf. Tech Digest, pp. 82-83, 1973.
- [13] 菅野卓雄監修、大森正道編：超高速化合物半導体デバイス、6章、p183、培風館
- [14] R. Williams : MODERN GaAs PROCESSING METHODS, p17、ARTECH HOUSE.
- [15] 今井哲二、生駒俊明、佐藤安夫、藤本正友：化合物半導体デバイス [I]、工業調査会
- [16] 江崎玲於奈、榊 裕之：超格子ヘテロ接合デバイス、工業調査会
- [17] Fazal Ali, Aditya Gupta : HEMTs & HBTs Device, Fabrication, and Circuits, ARTECH HOUSE.
- [18] 長谷川文夫："HEMT はほんとうに高電子移動度トランジスタか？", 信学技報, ED85-73, pp.25-32, 1985.
- [19] F. Hasegawa, "Is HEMT really a high electron mobility transistor?," IEEE Trans. Electron Devices, vol. 32, no. 11, pp. 2528-2533, 1985.
- [20] M. Feng, C. L. Lau, V. Eu, and C. Ito, "Does the two-dimensional electron gas effect contribute to high-frequency and high-speed performance of field-effect transistor?," Appl. Phys. Lett. 57 (12) , 17 (Sept. 1990) .
- [21] E. T. Watkins, J. M. Schellenberg, L. H. Hackett, H. Yamasaki and M. Feng, "A 60 GHz GaAs FET AMPLIFIER," in IEEE MTT-S Int. Microwave Symposium Dig., pp. 145-148, 1983.
- [22] M. Feng, H. Kanber, V. K. Eu, E. Watkins, and L. R. Hackett, "Ultrahigh frequency operation of ion-implanted GaAs metal-semiconductor field-effect transistors," Appl. Phys. Lett. 44 (2) , 15 (Jan. 1984) .
- [23] G. W. Wang, M. Feng, C. L. Lau, C. Ito, and Thomas R. Lepkowski, "0.25 μ m Gate Millimeter-Wave Ion-Implanted GaAs MESFET's," IEEE Trans.

- Electron Devices Lett., vol. 10, no. 5, pp. 186-188, 1989.
- [24] G. W. Wang, M. Feng, C. L. Lau, C. Ito, and Thomas R. Lepkowski, "Ultrahigh-Frequency Performance of Submicrometer-Gate Ion-Implanted GaAs MESFET's," IEEE Trans. Electron Devices Lett., vol. 10, no. 5, pp. 206-208, 1989.
- [25] M. Feng, J. Laskar, and J. Kruse, "Super-Low-Noise Performance of Direct-Ion-Implanted 0.25 μ m Gate GaAs MESFET's," IEEE Trans. Electron Devices Lett., vol. 13, no. 5, pp. 241-243, 1992.
- [26] M. Feng, G. W. Wang, Y. P. Liaw, R. W. Kaliski, C. L. Lau, and C. Ito, "Ion-implanted In_{0.1}Ga_{0.9}As metal-semiconductor field-effect transistors on GaAs (100) substrates," Appl. Phys. Lett. 55 (6), 7 (Aug. 1989).
- [27] M. Feng, J. Laskar, W. Miller, J. Kolodzey, and G. E. Stillman, "Characterization of ion-implanted In_xGa_{1-x}As/GaAs 0.25 μ m gate metal semiconductor field-effect transistors with $f_t > 100$ GHz," Appl. Phys. Lett. 58 (23), 10 (June 1991).
- [28] M. Feng, and Chun-Lin Lau, "Ion-Implanted In (x) Ga (1-x) As MESFET's on GaAs Substrate for Low-Cost Millimeter-Wave IC Application," IEEE Trans. Electron Devices, vol. 39, no. 3, pp. 484-493, 1992.
- [29] 日本物理学会編：半導体超格子の物理と応用、培風館
- [30] 小長井 誠：半導体超格入門、培風館
- [31] G. B. Stringfellow : ORGANOMETALLIC VAPOR-PHASE EPITAXY, Theory and Practice, ACADEMIC PRESS, INC.
- [32] M. RAZEGHI : THE MOCVD CHALLENGE, Adam Hilger Bristol & Philadelphia.
- [33] S. Nakajima, K. Otobe, T. Katsuyama, N. Shiga, and H. Hayashi, "OMVPE grown GaAs MESFETs with step-doped channel for MMICs," 1988 GaAs IC Symposium Tech. Dig., Tennessee, pp. 297-300 (Nov. 1988).
- [34] S. Nakajima, K. Matsuzaki, K. Otobe, H. Nishizawa, N. Shiga, "Enhancement-mode GaAs MESFET Technology for Low Consumption Power and Low Noise Applications," 1994 IEEE MTT-S Int. Microwave Symposium Dig., San Diego, pp. 1443-1447 (May 1994).
- [35] S. Nakajima, K. Matsuzaki, K. Otobe, H. Nishizawa, and N. Shiga, "Enhancement-mode GaAs MESFET Technology for Low Consumption Power and Low Noise Applications," IEEE Trans. Microwave Theory Tech., vol. 42, no. 12, pp. 2517-2524 (Dec. 1994).
- [36] K. Ohta, K. Itoh, F. Hasegawa, and Y. Fukui, "Super low noise GaAs MESFET's with a deep-recess structure," IEEE Trans. Electron Devices, vol. 27, no. 6, pp. 1029-1034, 1980
- [37] 中島 成, 乙部健二, 桑田展周, 生駒暢之, 松崎賢一郎, 志賀信夫, 林 秀樹 : "RTA がパルスドープ構造 GaAs MESFET に及ぼす影響", 第 50 回応物秋季予稿集, 29p-Z-13, p1083 (1989).
- [38] 桑田展周, 乙部健二, 中島 成, 生駒暢之, 志賀信夫, 林 秀樹 : "RTA がパルスドープ構造 GaAs に及ぼす影響", 第 51 回応物秋季予稿集, 29a-ZK-6, p1177 (1990).
- [39] 栗野祐二 : "各種 GaAs FET におけるショートチャンネル・ピンチオフ特性の統一的解釈〜モンテカルロ解析", 信学技報, ED90-109, CPM90-84, pp.25-30 (1990).
- [40] 中島 成, 乙部健二, 勝山 造, 志賀信夫, 林 秀樹, 吉田健一 : "パルスドープ構造を有する GaAs MESFET", 第 49 回応物秋季予稿集, 5p-D-8, p976 (1988).
- [41] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "Capability of Pulse-doped GaAs MESFETs as active Devices for Satellite Communications," 1990 Joint Conference on Communication Networks, Switching System & Satellite Communications (JC-CNSS), Korea, pp. 139-143 (Dec. 1990).
- [42] 中島 成, 乙部健二, 志賀信夫, 勝山 造, 阿河圭吾, 林 秀樹 : "パルスドープ

- 構造低雑音 GaAs MESFET”, 1989 信学春季全大, C-103.
- [43] 乙部健二, 中島 成, 勝山 造, 阿河圭吾, 志賀信夫, 林 秀樹: “パルスドープ構造を有する GaAs MESFET (2)”, 第36回応物春季予稿集, 2p-T-13, p1017 (1989) .
- [44] 乙部健二, 中島 成, 桑田展周, 松崎賢一郎, 関口 剛, 志賀信夫, 林 秀樹: “パルスドープ構造低雑音 GaAs MESFET”, 信学技報, ED89-152, MW89-133, pp.7-12 (1990-01) .
- [45] R. Goyal : MONOLITHIC MICROWAVE INTEGRATED CIRCUITS, Technology and Design, Artech House.
- [46] Fukui, H., "Optimal noise figure of microwave GaAs MESFET's," IEEE Trans. Electron Dev., vol. 26, no. 7, pp. 1032-1037, 1979.
- [47] 乙部健二, 中島 成, 桑田展周, 関口 剛, 松崎賢一郎, 志賀信夫, 林 秀樹: “パルスドープ構造 GaAs MESFET の活性層薄層化の効果”, 1990 信学秋季全大, C-419.
- [48] S. Nakajima, K. Otake, N. Kuwata, N. Shiga, K. Matsuzaki, and H. Hayashi, "Pulse-doped GaAs MESFETs with planar self-aligned gate for MMIC," 1990 IEEE MTT-S Int. Microwave Symposium Dig., Dallas, pp. 1081-1084 (May 1990) .
- [49] 中島 成, 乙部健二, 桑田展周, 志賀信夫, 関口 剛, 松崎賢一郎, 林 秀樹: “パルスドープ構造 GaAs MESFET の特性解析”, 信学技報, ED90-130, MW90-120, ICD90-174, pp.35-40 (1991-01) .
- [50] S. Nakajima, K. Otake, N. Shiga, N. Kuwata, Matsuzaki, T. Sekiguchi, and H. Hayashi, "Low-Noise Characteristics of Pulse-doped GaAs MESFET's with Planar Self-Aligned Gates," IEEE Trans. Electron Devices, vol. 39, no. 4, pp. 771-776, 1992.
- [51] 宮 憲一: 衛星通信技術、電子通信学会
- [52] R. A. Pucel, "Profile design for distortion reduction in microwave field-effect transistors," Electron Lett., 1978, p. 204.
- [53] S. L. G. Chu, J. Huang, W. Struble, G. Jackson, N. Pan, M. J. Schindler, Y. Tajima, "A highly linear MESFET," in IEEE MTT-S Int. Microwave Symp. Dig., 1991, pp. 725-728.
- [54] N. Iwata, K. Inosako, M. Kuzuhara, "3V operation L-band power double-doped heterojunction FETs," in IEEE MTT-S Int. Microwave Symp. Dig., 1993, pp. 1465-1468.
- [55] K. Hikosaka, Y. Hirachi, M. Abe, "Microwave Power Double-Heterojunction HEMT's," IEEE Trans. Electron Dev., vol. 33, no. 5, pp. 583-589, 1992.
- [56] E. Yanokura, et al., "GaAs MESFETs fabricated by new self-alignment technology," in Extended Abstracts of 19th Conf. on Solid State Devices and Materials , 1987, pp. 263-266.
- [57] 水田 博, 山口 憲, 矢ノ倉栄二, 森 光廣, 高橋 進: “ゲート・ドレイン間表面空乏層による GaAs MESFET の長ゲート効果”, 信学技報, ED86-142, pp.89-96.
- [58] N. Kuwata, K. Otake, N. Shiga, S. Nakajima, T. Sekiguchi, T. Hashinaga, R. Sakamoto, K. Matsuzaki, and H. Nishizawa, "High Breakdown Voltage MESFET With Planar Gate Structure For Low Distortion Power Applications," 1993 GaAs IC Symposium Tech. Dig., San Jose, pp. 181-184 (Oct. 1993) .
- [59] 桑田展周, 坂本良二, 乙部健二, 志賀信夫, 中島 成, 松崎賢一郎, 林 秀樹: “アドバンスドパルスドープ構造 GaAsMESFET の高耐圧化”, 第53回応物秋季予稿集, 30a-ZP-5, p1271 (1992) .
- [60] K. Otake, N. Kuwata, N. Shiga, S. Nakajima, K. Matsuzaki, and H. Hayashi, "Low-distortion MESFET with Advanced Pulse-doped Structure for Power Application," the 19th Int. Symposium on GaAs and Related Compounds 1992, Karuizawa, pp. 761-766 (Sept. 1992) .
- [61] 乙部健二, 桑田展周, 中島 成, 志賀信夫, 松崎賢一郎, 関口 剛, 林 秀樹: “耐圧を改善したパルスドープ構造 GaAs MESFET”, 1992 信学春季全大, C-

- 479.
- [62] 松崎賢一郎, 中島 成, 乙部健二, 桑田展周, 志賀信夫, 関口 剛, 林 秀樹 :
“0.2 μ m ゲートパルスドープ構造 GaAs MESFET”, 1992 信学春季全大, C-480.
- [63] K. Matsuzaki, N. Kuwata, S. Nakajima, K. Otobe, N. Shiga, and H. Nishizawa, "Low Noise MMIC Technology with Pulse-Doped GaAs MESFET," Proc. IEICE Asia-Pacific Microwave Conference (APMC'94), Tokyo, vol. 1, pp. 283-286 (Dec. 1994).
- [64] N. Kuwata, S. Nakajima, T. Katsuyama, K. Otobe, K. Matsuzaki, T. Sekiguchi, N. Shiga, and H. Hayashi, "Pseudomorphic GaAs/GaInAs pulse-doped MESFETs grown by organometallic vapor phase epitaxy," the 18th Int. Symposium on GaAs and Related Compounds 1991, Seattle, pp. 143-148 (June 1991).
- [65] 桑田展周, 中島 成, 勝山 造, 志賀信夫, 林 秀樹 : “OMVPE 成長 GaInAs/GaAs 歪量子井戸”, 第 38 回応物春季予稿集, 28p-ZK-9, p224 (1991).
- [66] 桑田展周, Taylor W. J., 吉田伊知朗, 勝山 造, 志賀信夫, 林 秀樹 :
“OMVPE 成長 GaInAs/GaAs 量子井戸の熱的安定性”, 第 39 回応物春季予稿集, 28p-ZA-9, p205 (1992).
- [67] 桑田展周, 中島 成, 志賀信夫, 乙部健二, 関口 剛, 松崎賢一郎, 林 秀樹 :
“Pseudomorphic GaAs/GaInAs パルスドープ MESFET”, 信学技報, MW91-48, pp.11-16 (1991-07).
- [68] 桑田展周, 中島 成, 志賀信夫, 乙部健二, 松崎賢一郎, 関口 剛, 林 秀樹 :
“Pseudomorphic pulse-doped GaInAs MESFETs”, 1991 信学秋季全大, C-346.
- [69] S. Nakajima, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Electronic properties of a pulse-doped GaAs structure grown by organometallic vapor phase epitaxy," Appl. Phys. Lett., 57 (13), 24, pp. 1316-1317, 1990.
- [70] S. Nakajima, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Hot electron transport in a pulse-doped GaAs structure," Semicond. Sci. Technol., 7, pp. B372-374, 1992.
- [71] 中島 成, 桑田展周, 西山直樹, 志賀信夫, 林 秀樹 : “パルスドープ構造 GaAs MESFET の界面特性”, 第 37 回応物春季予稿集, 31p-D-12, p1147 (1990).
- [72] S. Nakajima, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Hot Electron Transport in a Pulse-doped GaAs structure," the 7th Conference on Hot Carriers in Semiconductors, Hawaii (June 1991).
- [73] 中島 成, 西山直樹, 桑田展周, 志賀信夫, 林 秀樹 : “パルスドープ構造 GaAs の高電界輸送特性”, 第 38 回応物春季予稿集, 28a-M-5, p1115 (1991).
- [74] S. Nakajima, K. Otobe, N. Kuwata, N. Shiga, T. Sekiguchi, K. Matsuzaki, and H. Hayashi, "A Comparison of Device Performance and Device Physics between Pulse-doped FETs and HEMTs," 1990 Advanced Heterostructure Transistors Conference, Nara (Dec. 1990).
- [75] 中島 成, 桑田展周, 乙部健二, 志賀信夫, 松崎賢一郎, 関口 剛, 林 秀樹 :
“ダブルパルスドープ構造 GaAs MESFETs”, 1991 信学秋季全大, C-331.
- [76] S. Nakajima, N. Kuwata, N. Shiga, K. Otobe, K. Matsuzaki, T. Sekiguchi, and H. Hayashi, "Characterization of Double Pulse-Doped Channel GaAs MESFETs," IEEE Electron Lett., vol. 14, no. 3, pp. 146-148, 1994.
- [77] 乙部健二, 中島 成, 桑田展周, 関口 剛, 松崎賢一郎, 志賀信夫, 林 秀樹 :
“パルスドープ構造 GaAs MESFET の活性層薄層化の効果”, 1990 信学秋季全大, C-419.
- [78] N. Shiga, S. Nakajima S., and H. Hayashi, "Metal-Semiconductor Field-Effect Transistors," MWE '92 Microwave Workshop Dig., pp. 413-418 (Sept. 1992).

第3章

衛星放送受信ダウンコンバータ用 モノリシックマイクロ波集積回路

3.1 緒言

モノリシックマイクロ波集積回路(MMIC)とは半導体基板上に能動素子および受動素子を一体に形成する回路であり、これに対して能動素子や受動素子を個別に誘電体基板上に実装する回路をマイクロ波混成回路(HMIC)と呼ぶ。後者は単にマイクロ波集積回路(MIC)と言うこともあるが、本論文では、モノリシックマイクロ波集積回路及びマイクロ波混成回路を総称して、マイクロ波集積回路と記する。これまでMMICとHMICは相対するものとして比較されてきたが、MMIC、HMICともにその発祥は同じく1960年代であり、現在でもなお両者は広く用いられている。すなわちそれぞれの持つ特徴が認識され、用途に応じて有効に活用されているのである。

MMICとHMICがそれぞれ有する利点を表3-1にまとめる。MMICでは、①小形・軽量、②高信頼性、③実装コスト低減、④大量生産性、⑤広帯域性、⑥高集積化・多機能化に優れている。すなわち、MMICは大量生産され小型化の要求が強いものに適していると考えられる。一方HMICでは、①放熱性に優れている、②安価な材料費、③使用できる受動素子の選択枝が広い、④製造後の回路調整が可能、⑤伝送線路の損失が小さい、⑥取り扱いが容易であるといった利点がある。すなわち、MMICと異なり、数は少なくとも高性能なデバイスに適していると考えられる。このようにMMICとHMICはそれぞれ特徴があり、目的や用途に応じて使い分けられる。

表3-1 MMICとHMICの特徴

MMIC	HMIC
・ 小型・軽量 ・ 高信頼性 ・ 実装コスト低減 ・ 大量生産性 ・ 広帯域化 ・ 高集積化・多機能化	・ 良好な放熱性 ・ 安価な材料費 ・ 受動素子の選択枝大 ・ 製造後の回路調整 ・ 伝送線路が低損失 ・ 取り扱いが容易

MMICの歴史は1960年代なかばにシリコン(Si)ウエハを用いるSi-MMICの開発に始まり[1]、その後1968年にMehai and Wackarによってガリウムヒ素(GaAs)ウエハ上にショットキーダイオードやガンダイオードを形成した94GHzのフロントエンド受信機が、世界初のGaAs MMICとして発表された[2]、1975年には、現在広く用いられているGaAs MMICの原形であるGaAs MESFETを用いたX帯GaAs MMIC増幅器がPengellyらにより発表された[3]。1980年代に入ると、半導体製造技術の進歩に伴ってMMICの研究開発は飛躍的に加速され、HMICでは広帯域特性を得ることが難しかった分布形増幅器の発表があいついで行われるようになった[4]。MMICを用いることによりFETの寄生のリアクタンス成分を小さくすることができ、広帯域特性が得られるためMMICでなければ実現できない応用分野であった。MMICの開発に拍車をかけた最大の要因は防衛機器への応用であり、むしろ当初はコスト面で民生応用に供することが困難であったため、このような特殊用途に限られていたのであるが、1980年代後半から1990年にかけて、急速にMMICの民生応用に関する研究が活発になった[5] - [8]。GaAsやInPなどの化合物半導体材料や集積回路の製造プロセス技術、結晶成長技術の進歩によって、民生応用に供し得るコストが実現可能となってきたこと、東西の冷戦構造の終結などがこの要因である。民生応用の代表的な物として、衛星放送の受信機器やマイクロ波を用いた移動体通信や衛星通信機器への応用、ミリ波を用いた観測センサ、車載レーダ、無線LAN(Local Area Network)等への応用などがあげられる。

日本においても1989年に初の民間通信衛星として、日本通信衛星株式会社のJCSAT-

1が、さらに同年引き続いて宇宙通信株式会社のスーパーバードA号機が打ち上げられ、また放送衛星BS-3aが打ち上げられるなど、我が国は本格的な衛星通信・衛星放送時代を迎えた。今後のマイクロ波集積回路の開発は民生応用を柱として進み、要求されるコストはより厳しく、また必要な性能・仕様はますます多様になると考えられる。これらを実現する上でデバイス技術、プロセス技術、回路技術の開発がますます重要になるが、中でもとりわけデバイス技術はその性能・コストを支配する重要な技術である。ところで、衛星放送受信用コンバータのような民生機器に応用するためのデバイスアプローチとして報告されているものには、大きく分けて二つある。一つはイオン注入技術を用いたGaAs MESFETであり、もう一つはHEMTである。前者はその優れた生産性に特長があり、後者は低雑音特性や高利得特性の点で他のデバイスを寄せつけない。既にディスクリットデバイスとしては、特に衛星放送受信用コンバータの市場において確固たる地位を築いている。一方、集積化という観点からは、HEMTはその基本構成素子として必ずしも唯一の最適解ではないと考える。報告されているコンバータ用MMIC(基本構成素子はイオン注入のMESFET)においても、ヘッドに1段乃至2段のディスクリットHEMTによる増幅段を付加する形で提案されているものもある[8]。

このような背景のもと本研究では、通常のイオン注入型MESFETにおける成熟した製造技術により生産可能なトランジスタとして、マイクロ波帯における低雑音特性に関し、同じゲート長を有するAlGaAs/GaAs HEMTに匹敵する性能を実現し、MMICの基本構成素子として集積化も可能な新しいデバイス技術として、パルスドープ構造GaAs MESFETを提案し、第2章で詳しく述べた。本章の目的は、小型で低コスト、且つ生産性に優れた衛星放送受信用コンバータを開発することであり、これをパルスドープ構造GaAs MESFETの技術を用いて実現することにより、MMICへの適用性を実証することである。コンバータをMMIC化する最大のメリットは小型化にある。最近の平面アンテナの技術進歩により、従来のパラボナアンテナは、少しずつ平面アンテナに置き換えられていくものと予想されるが、平面アンテナのスリムなファッション性を活かすために、ますますMMICによるコンバータの小型化が重要である。

本章では、パルスドープ構造GaAs MESFETの優れた特長である、HEMTに匹敵する低雑音特性とMMICの基本構成素子として十分に適用可能であることを実証するために、衛星放送受信用ダウンコンバータを構成するための4種類のMMIC、すなわち12GHz帯低雑音高周波(RF)増幅器、12GHz帯ミキサ回路、10GHz帯発振回路、1GHz帯中間周波増幅器に関して、その設計および試作結果について述べている。まず、このMMICの構造及び製造方法について述べ、適用したゲート長 $0.5\mu\text{m}$ のパルスドープ構造GaAs MESFETの回路設計に必要なデバイスパラメータを分析している。そして4種類のMMICに関して、パルスドープ構造GaAs MESFETの特長を活かした回路設計手法を明らかにし、これらのMMICの試作結果と実際にこれらのMMICを用いて行った衛星放送

の受信実験結果について述べている。

3.2 モノリシックマイクロ波集積回路の構造

MMIC と HMIC の構造の比較を図 3-1 に示す [9]。MMIC では半導体基板上に MESFET や HEMT などの能動素子とキャパシタ、インダクタ、抵抗などの集中定数素子と、マイクロストリップ線路、コンプレーナ線路などの分布定数素子が一体に形成される。一方 HMIC では、上記の能動素子および受動素子が個別に実装される。回路基板としての誘電体基板については、MMIC では GaAs、Si、InP などに限られ、比較的誘電率が低い。HMIC ではテフロン、熔融石英の低誘電率基板からアルミナ、サファイア、チタン酸バリウム系の高誘電率基板に至るまで広範囲な誘電体基板が用いられその選択枝は広い。分布定数線路については、MMIC および HMIC とともに主として図 3-2 に示したようなマイクロストリップ線路およびコプレーナ線路が用いられる。コプレーナ線路の場合、基板の裏面の影響を小さくするために厚い基板が用いられるが放熱が悪くなるため、コプレーナ線路は主として熱の影響が小さい回路に応用される。集中定数素子としてのキャパシタは、MMIC の場合 Metal-Insulator-Metal (MIM) キャパシタが主として用いられる。MIM キャパシタは SiO_2 、 Si_3N_4 、 SiON などを誘電体とするため、大き

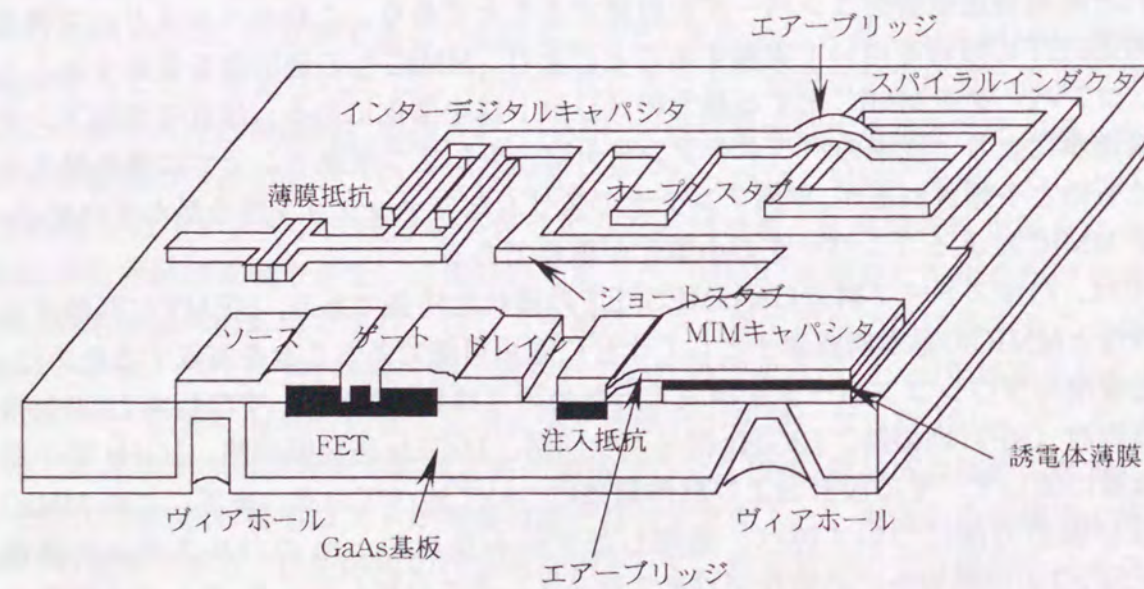


図3-1(a) MMICの構造図

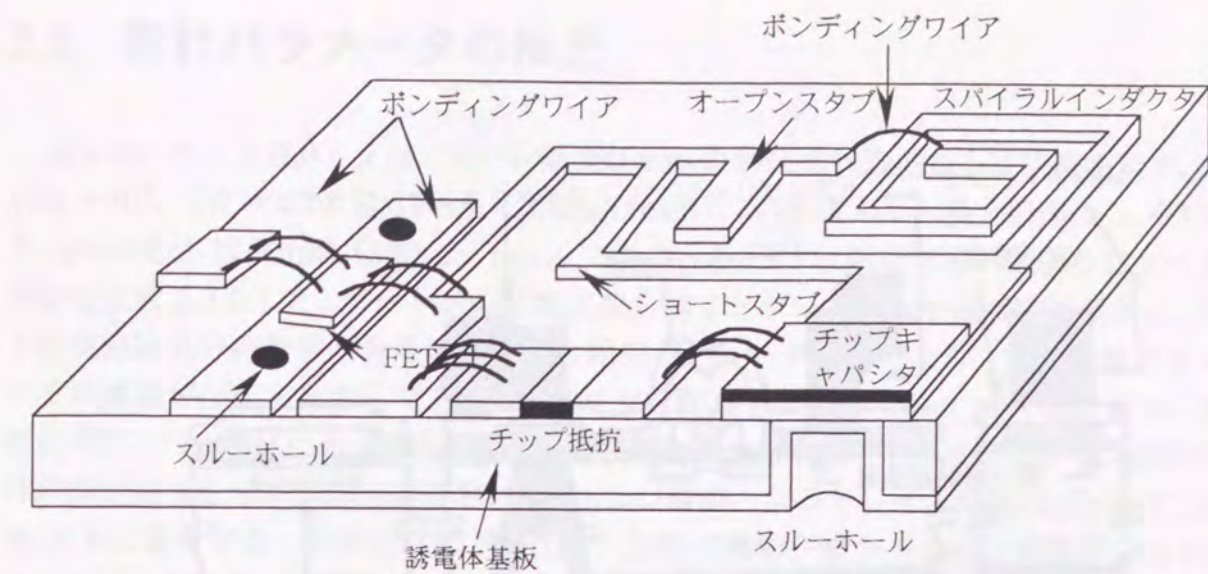


図3-1(b) HMICの構造図

図3-1 MMICとHMICの構造の比較

な容量を得ることが難しく、容量値を正確に制御することも難しい。一方HMICでは、広範囲な容量を得ることができる板極形または積層形キャパシタが用いられる。インダクタについては、MMICではスライラルインダクタまたは高インピーダンスのマイクロストリップ線路が用いられるが、スライラルインダクタは大きなインダクタンス値を得ることが難しい上、Q値が低い欠点もある。HMICの場合、大きなインダクタンスを有する巻線コイルなども用いることができる。抵抗については、MMICではプロセスにより注入抵抗、エビ抵抗などの半導体抵抗、金属薄膜抵抗などを選ぶことができるが、シート抵抗に制約があり、実現できる抵抗値にもおのずと制約が生じる。HMICでは基板に直接作り付ける金属薄膜抵抗以外にディスクリット抵抗の使用も可能である。マイクロ

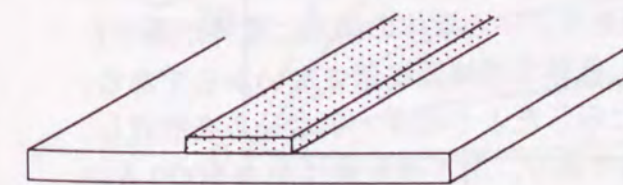


図3-2(a) マイクロストリップ線路

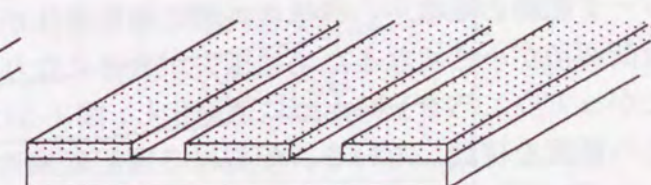


図3-2(b) コプレーナ線路

図3-2 分布定数線路

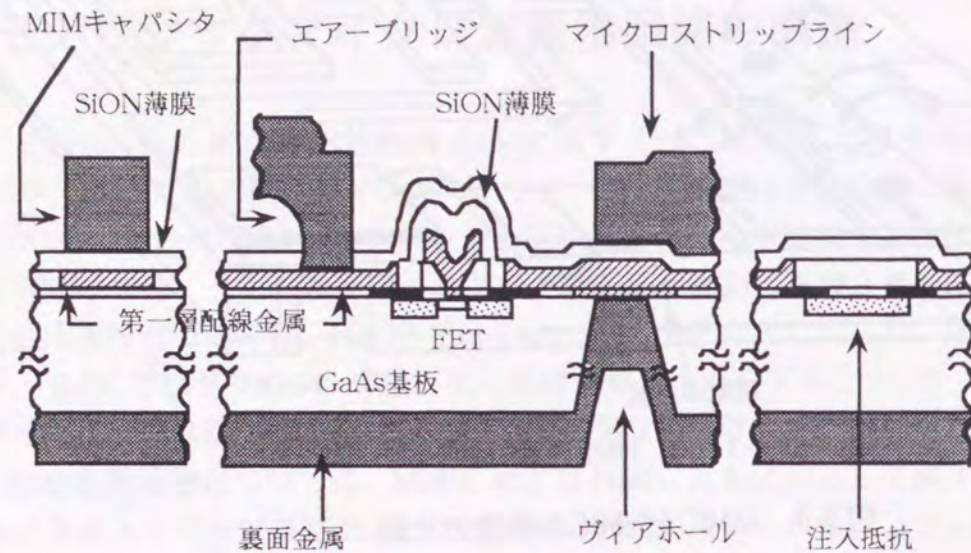


図3-3 MMICの断面図

ストリップ線路方式の回路では裏面接地が必要であり、MMICではウェットまたはドライエッチングにより形成したバイアホールにより接地をとる。HMICではレーザまたは機械的なパンチングにより形成したスルーホールにより接地をとる場合が多いが、基板にストレスがかかり割れやすくなったり、スルーホールの径の大きさ、位置精度などに制約が生じる。素子間の接続については、MMICでは主として伝送線路やエアブリッジが用いられ、HMICでは伝送線路の他にボンディングワイヤや金リボンが用いられる。

図3-3に試作したMMICの断面図を示す[10]。MMICの構成素子は、能動素子としてゲート長 $0.5\mu\text{m}$ 、ゲート幅 $280\mu\text{m}$ のパルスドープ構造GaAsMESFET、コンデンサとしてMIMキャパシタ、インダクタ素子としてスパイラルインダクタ、分布定数線路としてマイクロストリップ線路などを用いた。マイクロストリップ線路を選択したのは、コプレーナ線路の場合中心導体の両側に接地導体があり、中心導体の両端に電界が集中し実行断面積が小さくなるために損失が大きくなり、低雑音増幅器に適さないからである。したがってウエハを $150\mu\text{m}$ に薄層化し、図3-3に示したようにビアホールを形成し、ウエハ裏面を接地している。配線は2層配線構造であり、第1層配線は厚さ $6000\text{\AA}$ のAu/Pt/Ti構造、第2層配線は厚さ $3\mu\text{m}$ の金メッキ配線、両配線層の層間絶縁膜として厚さ $3000\text{\AA}$ のSiONを形成した。配線が交差するところで、配線間の容量を小さくしたいところはエアブリッジ構造とした。

3.3 設計パラメータの抽出

図3-4にゲート長 $0.5\mu\text{m}$ 、ゲート幅 $280\mu\text{m}$ のFETの代表的なI-V特性を示す。 I_{dss} ($V_{\text{g}} = 0\text{V}$ 、 $V_{\text{d}} = 2\text{V}$) は 57mA (204mA/mm)、 V_{th} は -1V 、最大伝達コンダクタンス (g_{mmax}) は 90mS (320mS/mm) である。各FETは前章で述べたようにゲートへの給電点数を3とした。ゲートへの給電点数を増すとゲート抵抗を低減する効果と、ゲート給電回路部分の寄生容量を増加させる効果のトレードオフにより、雑音指数を最小にする最適値が存在するからである。図3-5にデバイスサイズ $0.5\mu\text{m} \times 280\mu\text{m}$ 、3給電点FETの 12GHz における最小雑音指数 F_{min} および付随利得 G_{a} のドレイン電流依存性の測定結果を示す。 12GHz における F_{min} が最小となるドレイン電流は 15mA で、 I_{dss} の26%に相当する。そのときの F_{min} は 1.2dB である。またドレイン電流が I_{dss} の10%から80%の広い範囲で F_{min} のドレイン電流依存性が非常に小さく、通常のGaAsMESFETに比べて低いドレイン電流領域での利得が高い。これはパルスドープ構造GaAsMESFETの大きな特長であり、低雑音アンプを設計する際に設計マージンが大きいため、とりわけ回路調整が不可能なMMICの構成素子として適している。また、HEMT

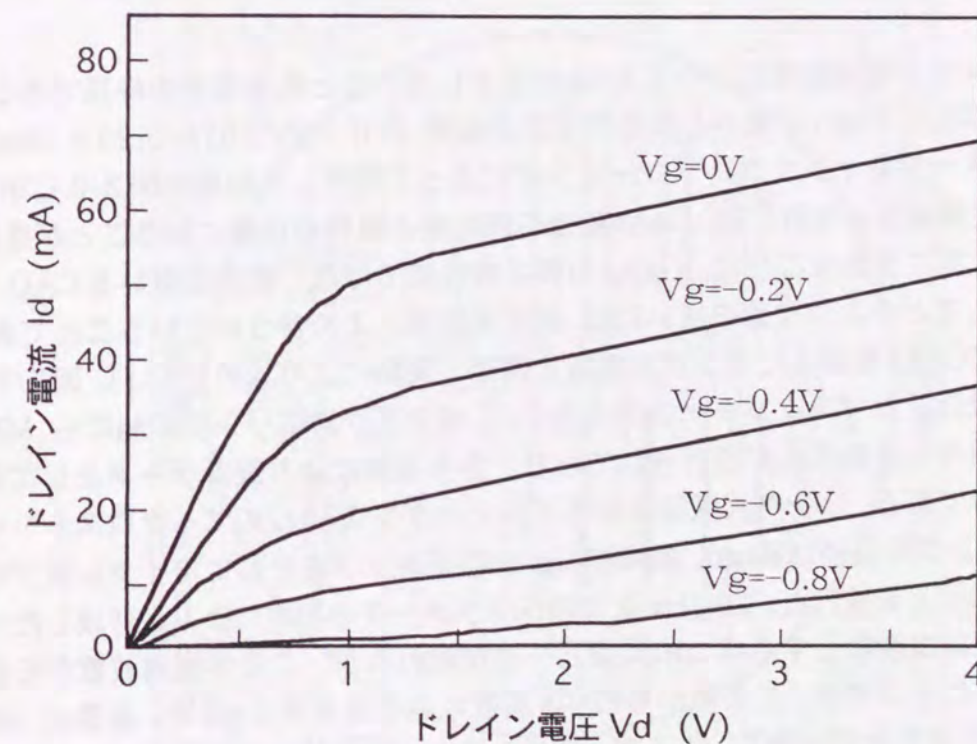


図3-4 パルスドープ構造GaAsMESFETのI-V

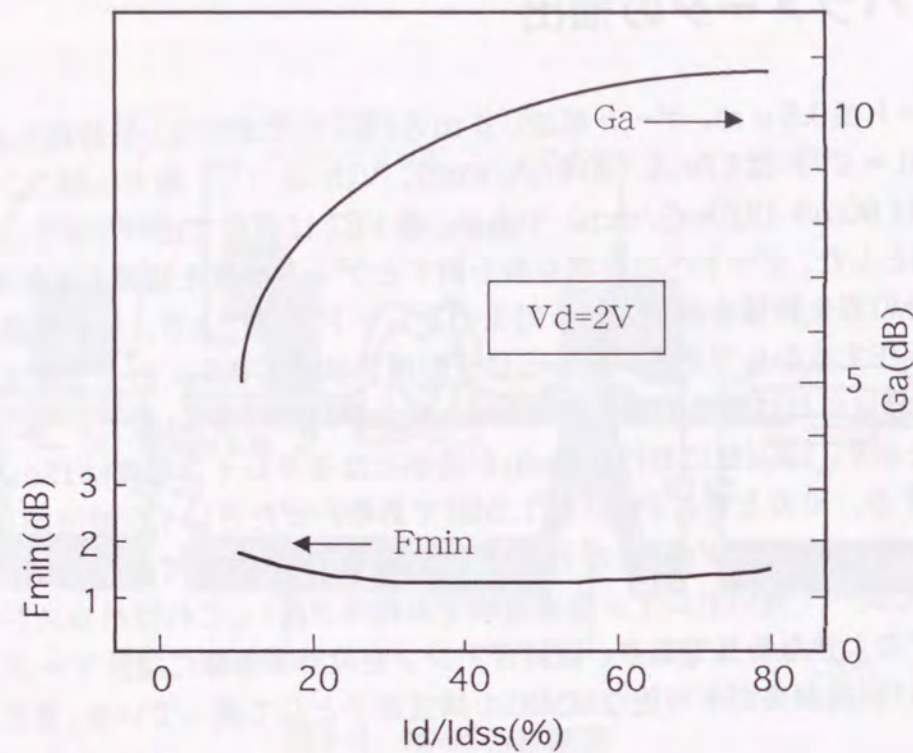


図3-5 最小雑音指数Fminと付随利得Ga

と異なり高ドレイン電流領域においてもGaが低下しないことも本素子の特長である。次に同じFETに関し、Fminが最小となるバイアス条件 ($V_d = 2V$, $I_d = 0.26 \times I_{dss}$) におけるSパラメータをオンウエハプローピングによって測定した結果を図3-6に示す。

また、分布定数線路の設計には、GaAs基板の誘電率と損失を正確に知ることが重要である。ここで、真に重要なことは、GaAsの真の物性値ではなく設計に用いるCADへの入力データとしてどのような値を用いれば、最も実測値とよく合うかということである。そこで、実際にGaAs基板上にリング共振器を試作し実測により求めた [11]。図3-7に、試作のために設計したマスクパターン図を示す。このマスクにはリングの他にも、MMICで用いられる種々の受動部品が設計されており、各々実測により設計データとして蓄積するためのものである。リング共振器は特性インピーダンス 50Ω のマイクロストリップ線路であり、リングの直径は $8mm$ 、両端に $5 \mu m$ のギャップを介してマイクロ波プローブヘッド用のパッドを設けた。 $20GHz$ までのSパラメータの測定により、形成したリングの周囲長を共振周波数とする4つの共振ピークが現れるが、この共振周波数から波長短縮率を求めることができ、この値からGaAs基板の実効誘電率 ϵ_{eff} を、計算式 $(cf_0/\lambda)^2$ により求めることができる。ここで c は光の速度、 f_0 は測定周波数、 λ は波長である。上述のように、実際に回路設計が必要となるのはこの値ではなく、このリングと全

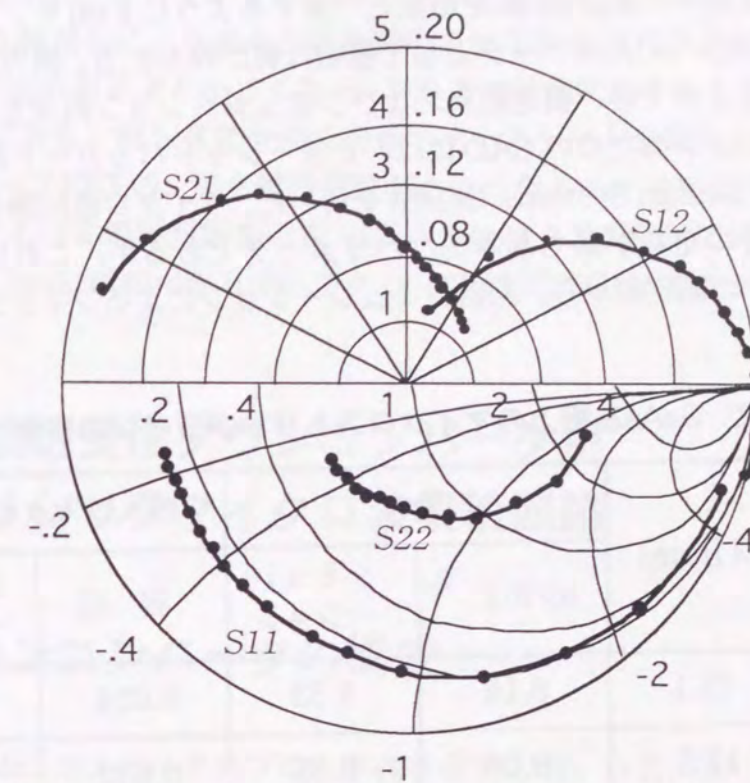


図3-6 Sパラメータ ($V_d = 2V$, $I_d = 0.26 \times I_{dss}$, $2 \sim 18GHz$)

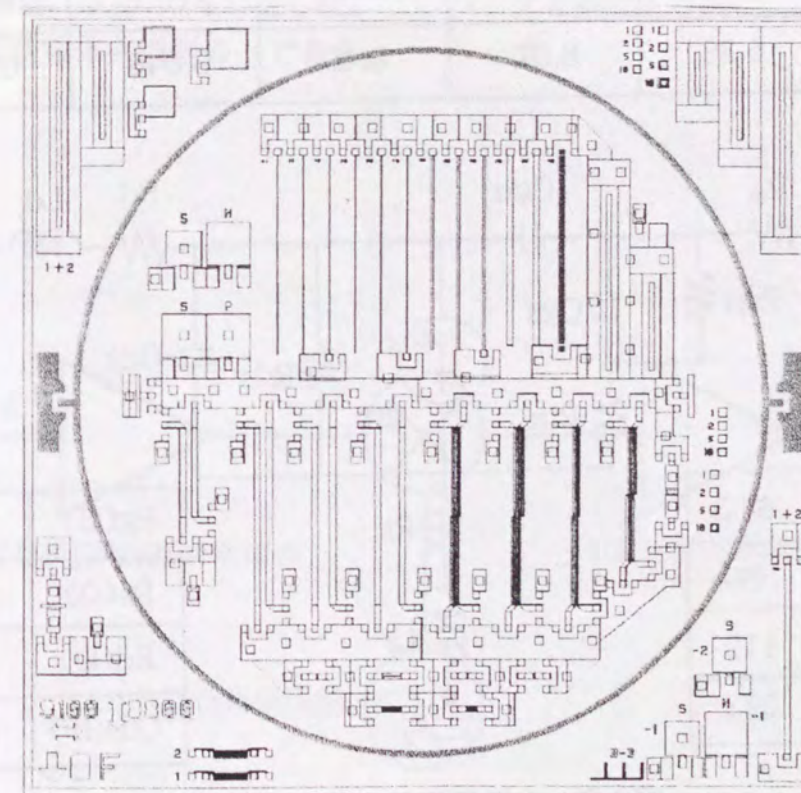


図3-7 GaAs基板上の線路をキャラクタライズするためのパターン

く同じ構造をシミュレーションし、測定結果と一致するように ϵ_{eff} をフィッティングさせることにより、CAD への入力データとして適切な値が得られる。損失は共振の負荷 Q と S21 から求めることができ、測定結果およびシミュレーション結果を表 3-2 に示す。

回路シミュレーションのための CAD には、ヒューレットパッカード社の HP85150B Microwave and RF Design Systems (MDS) を用いた。マイクロ波回路の設計には FET の等価回路およびその定数が最も基本的なパラメータであるが、これは回路に用いる FET の S パラメータの測定値から、回路シミュレーションによるフィッティングにより

表3-2 GaAs基板上のマイクロストリップラインの特性

f0[GHz]	λ [mm]	ϵ_{eff}		挿入損失 α (dB/mm)	
		$(c/f_0\lambda)^2$	シミュレーション	測定	シミュレーション
4.20	25.1	8.15	8.33	0.024	0.020
8.40	12.5	8.06	8.35	0.032	0.030
12.6	8.38	8.06	8.38	0.042	0.040
16.8	6.28	8.07	8.40	0.048	0.050

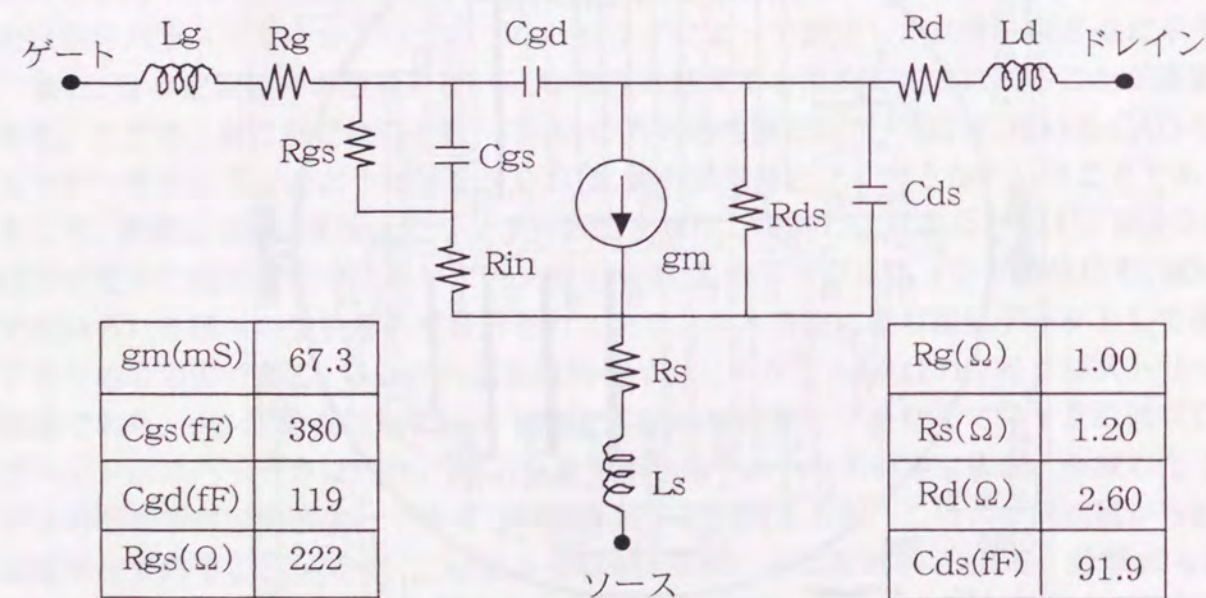


図3-8 小信号等価回路モデル

求めることができる。フィッティングとは、CAD に等価回路を入力し、その各等価回路のパラメータを乱数発生により次々と値を変化させながら、Sパラメータを計算しこれが測定値と一致（所定の誤差より小さくなる）するまで試行錯誤することにより、パラメータを求めることである。図 3-8 に今回の回路で用いるゲート長 $0.5 \mu\text{m}$ 、ゲート幅 $280 \mu\text{m}$ のパルスドープ FET の、最も雑音指数が小さくなるバイアス点、すなわち $I_d = 0.26 I_{dss}$ 、 $V_d = 2 \text{V}$ における等価回路を示す [12]。このバイアス条件における伝達コンダクタンス g_m は 67.3mS (240mS/mm) であり、 f_T は 21.5GHz であった。

3.4 衛星放送受信ダウンコンバータ用モノリシックマイクロ波集積回路

3.4.1 ダウンコンバータの構成

図 3-9 に、MMIC コンバータのブロック図を示す [10]、[12]、[13]。チップ構成は機能別に、12GHz 帯 RF 低雑音増幅器 (LNA)、ミキサ (MIX)、10.7GHz 発振回路 (DRO)、1GHz 帯 IF 増幅器 (IFA) の 4 つとした。コンバータを構成する際に、これらの IC 以外に必要な部品は誘電体共振器のみである。

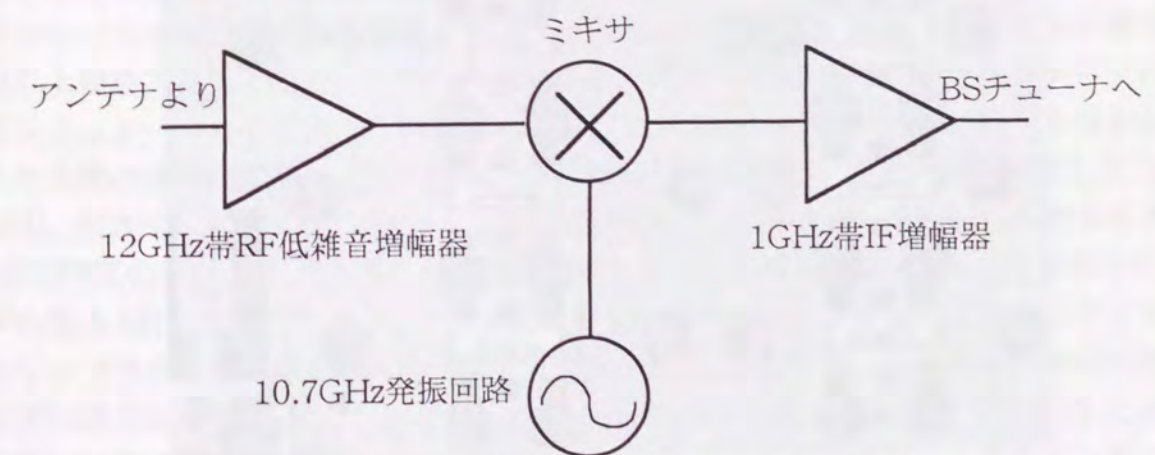


図3-9 MMICコンバータのブロック図

3.4.2 RF 低雑音増幅器

MMICを構成するFETのゲート幅は、実際にいくつかのゲート幅の異なるFETを試作し測定により決定した[13]。Fminはゲート幅 $200\mu\text{m}$ ~ $300\mu\text{m}$ のあたりに最適値があり、また雑音抵抗 R_n はゲート幅の増加とともに急激に小さくなり、ゲート幅 $250\mu\text{m}$ くらいから飽和し始める。この測定結果から、適用するFETのゲート幅を $280\mu\text{m}$ とした。狭帯域の低雑音アンプの設計には誘導性の直列誘導性帰還 (series inductive feedback) が用いられることが多い[15]、[16]。本章では低雑音アンプの設計に関し、このseries inductive feedbackの大きさ(帰還量)を最適化することをポイントにした。よく知られているように、Rollettのstability factor "K" [17]は低雑音デバイスほど小さい傾向を示し、 $0.5\mu\text{m} \times 280\mu\text{m}$ のパルスドープMESFETにおいてもKは12GHzで0.45と非常に小さい。低雑音アンプを設計する際の問題点は、Kが1より小さいデバイスは入出力で同時にインピーダンスマッチングをとることが困難であること、FETの雑音指数を最小にする最適信号源反射係数 Γ_{opt} と入力反射係数の複素共役 S_{11}^* が一致していないために入力インピーダンスマッチング(ゲインマッチング)と低雑音設計(ノイズマッチング)を両立できないことである。

多段の低雑音アンプにおいて雑音指数は初段の雑音指数が支配的であるため、初段は雑音整合(ノイズマッチング)をとるのが一般的である。雑音整合とはFETの信号源イ

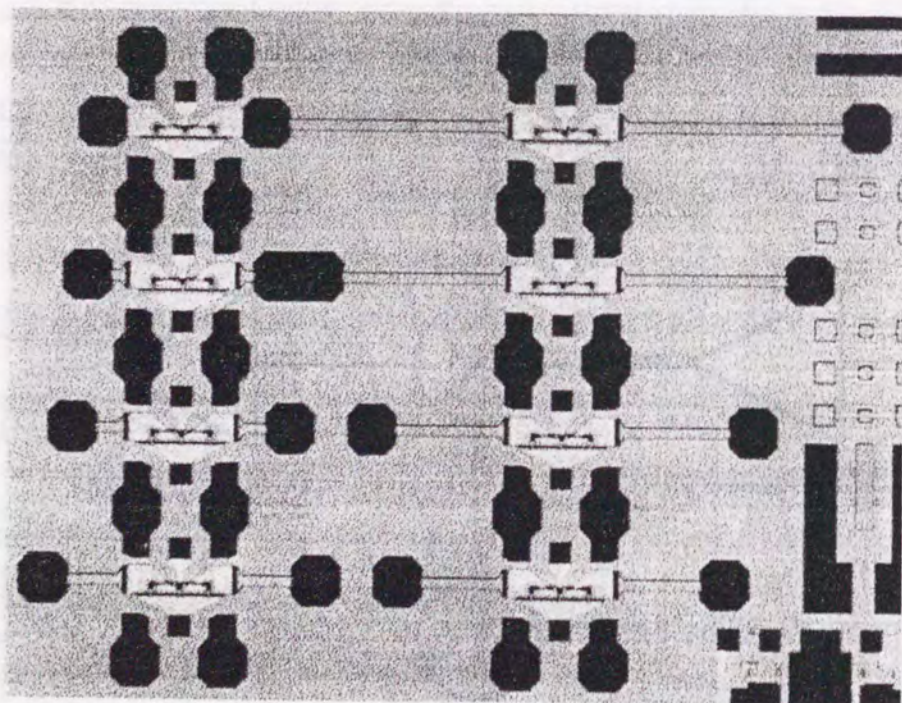


図3-10 ソーススタブ長(直列誘導性帰還)を最適化するためのTEG

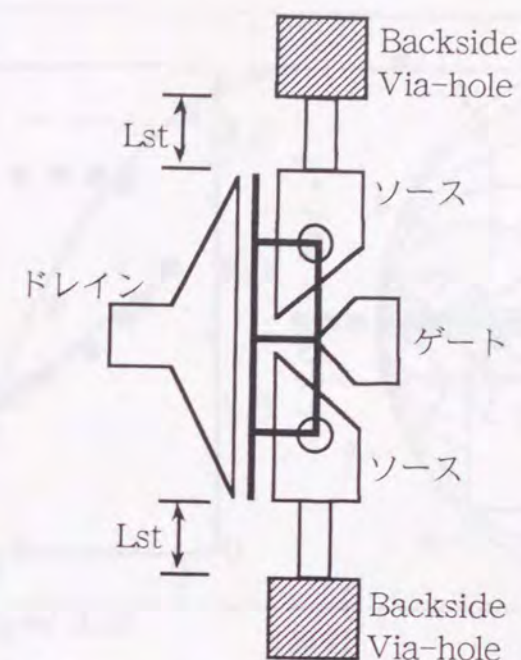


図3-11 ソーススタブを装荷したFETの模式図

ンピーダンスを、雑音指数が最小になるように整合をとることである。しかしながらノイズマッチングをとった場合のアンプの入力VSWRを計算すると6以上になってしまう。series inductive feedbackの効果は、①Fminを大きく劣化させることなくKファクタを大きくする、② Γ_{opt} と S_{11}^* を近づける、③等価雑音抵抗 R_n の値を小さくするなど、上述の設計上の2つの問題点を解決するばかりでなく、負帰還によって製造ばらつきに対する余裕度が増し歩留りの向上が期待できる。この歩留りの向上の効果については第4章で詳しく議論する。しかしながらその反面、帰還量を大きくし過ぎると利得が低下し、アイソレーション特性が劣化するというデメリットもある。したがって帰還量の選び方は設計上極めて重要であり、これを最適化するために帰還量とFETの各パラメータの関係をシミュレーションによって詳細に解析し、さらにシミュレーション精度を向上させるため実際に評価用のTest Element Group (TEG)を作成し、測定により確認した[18] - [23]。図3-10はこのTEGのチップ写真であるが、 $0.5\mu\text{m} \times 280\mu\text{m}$ のパルスドープMESFETのソースとグラウンドの間にseries inductive feedbackとして装荷したスタブの長さ(即ちインダクタンスの大きさ)を変化させたものである。スタブはマイクロストリップラインで構成し、特性インピーダンスは 72Ω とした。ドレイン電流の片流れを防ぎ回路の対称性を保つため、図3-11に模式的に示したようにスタブをFETに対して両側に対称に配置しており、回路的に2つのスタブは並列接続されるためインダクタンスの値は一つのスタブによるインダクタンスの2分の1となる。

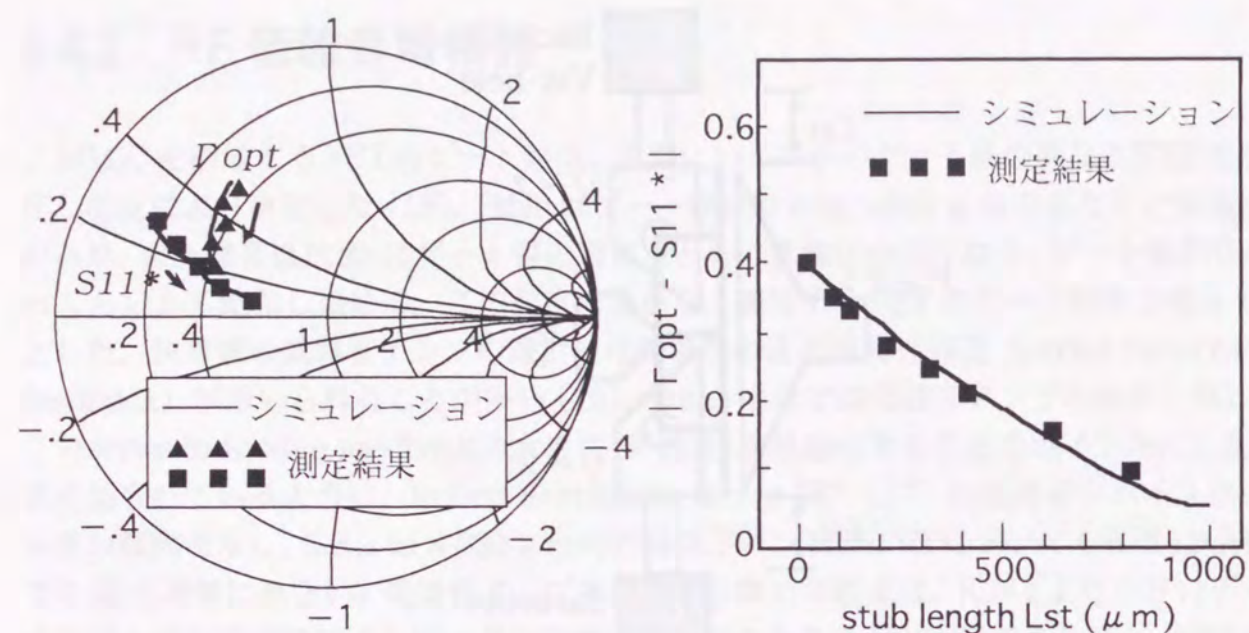


図3-12(a) Γ_{opt} と S_{11}^* がスミスチャート上で移動する様子

図3-12(b) $|\Gamma_{opt} - S_{11}^*|$ とスタブ長の関係

図3-12 Γ_{opt} と S_{11}^* の距離とスタブ長の関係

図3-12は Γ_{opt} と S_{11}^* の距離が、スタブ長が長くなるほど近づく様子を示したものである。測定条件はFETの雑音指数が最小となるバイアス条件で、測定周波数は12Hz、スタブ長は0~800 μm とした。TEGによる測定結果とシミュレーション結果はよく一致している。設計の目標は初段増幅器としてHEMTを用いることなく、直径40cmのパラボラアンテナで受信可能とするべく、雑音指数2.0dB以下、入出力VSWR2以下とした。利得は、後段のミキサやIF増幅器の雑音指数の影響を無視できるよう24dBを設計目標とした。まず初段の設計について述べる。図3-13(a)はRollettのstability factor "K"の値とスタブ長の関係、図3-13(b)はFETの最小雑音指数 F_{min} および等価雑音抵抗 R_n とスタブ長の関係をそれぞれ示したものである。測定条件は図3-12の場合と同じである。やはりTEGによる測定結果とシミュレーション結果はよく一致していることがわかる。 $K > 1$ とするためにはFETのソースに挿入されたスタブ長は400 μm 以上が必要であることがわかる。また F_{min} はスタブ長の変化に対してほとんど影響を受けないが、わずかに小さくなる傾向がある。これは最小雑音測度 M_{min} が無損失の帰還回路に対して一定であること、 M_{min} と F_{min} の関係、すなわち $M_{min} = (F_{min} - 1) / (1 - 1/G_{av})$ から、スタブ長が大きくなると負帰還量が大きくなり有能利得 G_{av} が低下することから F_{min} が小さくなることがわかる。等価雑音抵抗 R_n はスタブ長が大きくなるほど、すな

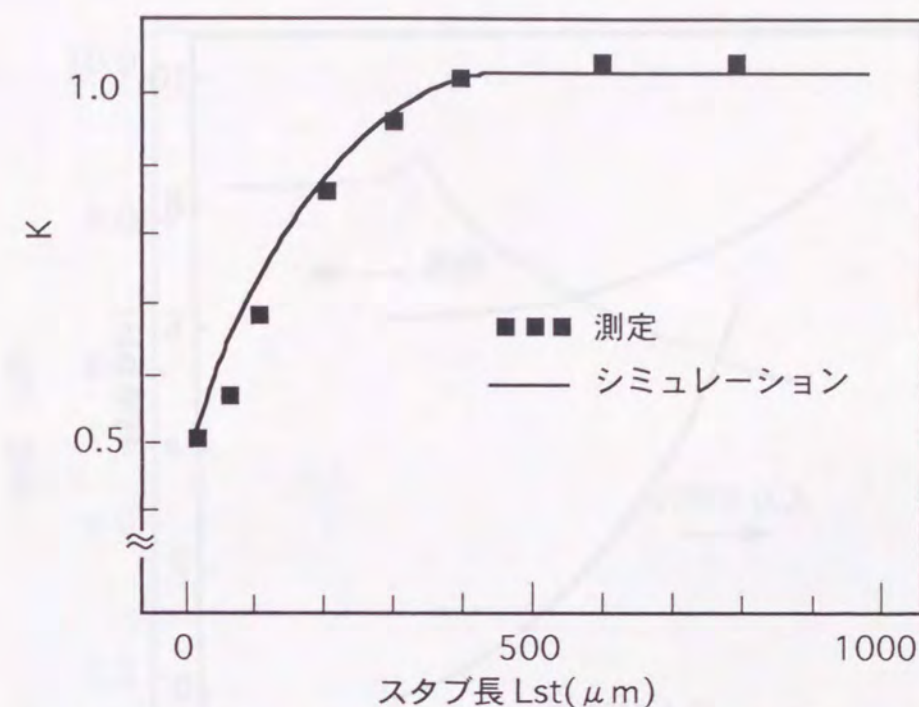


図3-13(a) Rollettのstability factor "K"の値とスタブ長の関係

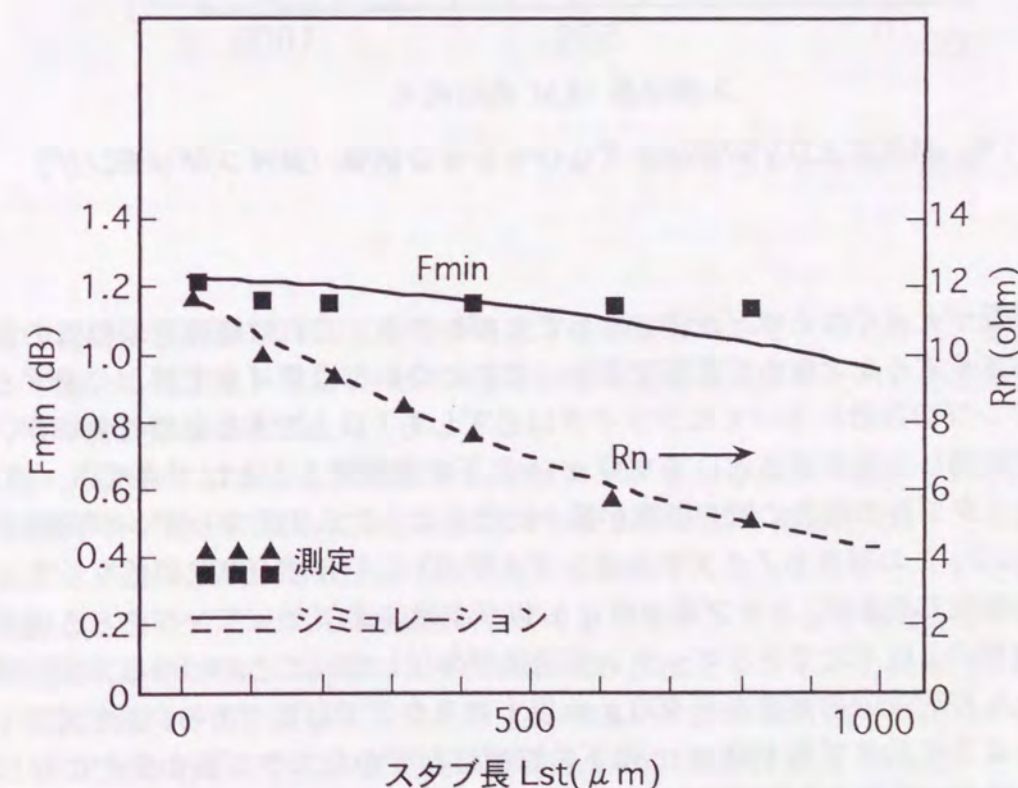


図3-13(b) F_{min} および R_n とスタブ長の関係

図3-13 FETのパラメータとスタブ長の関係

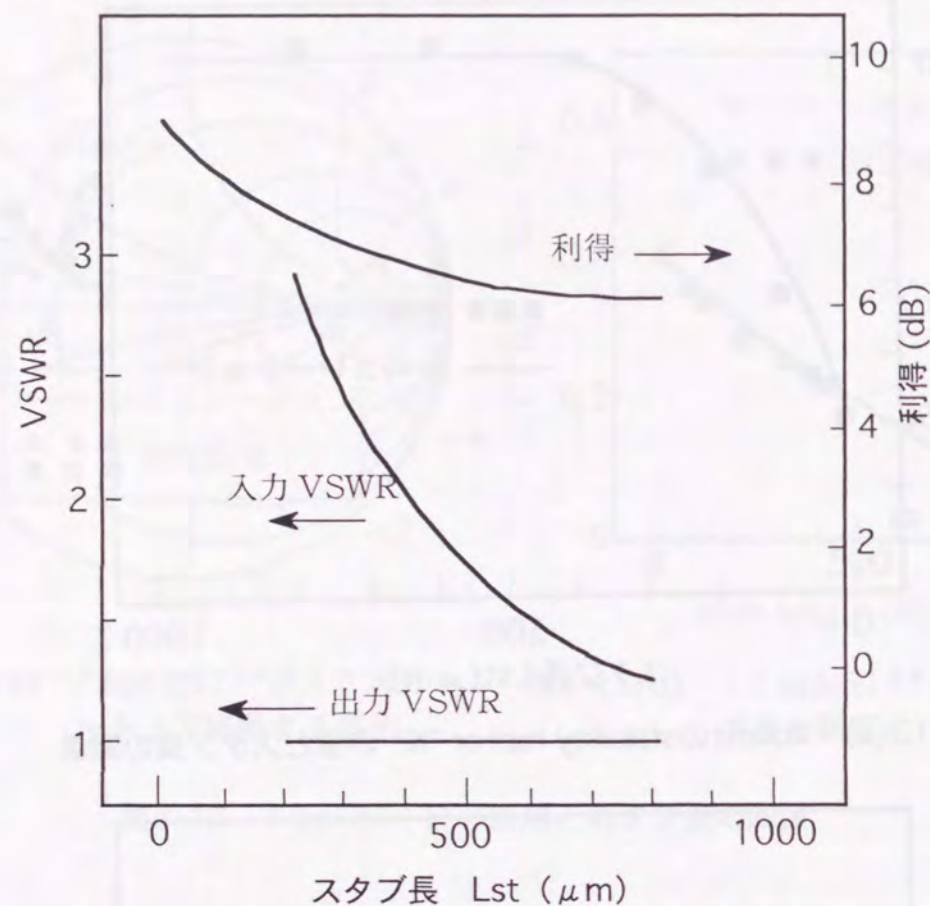


図3-14 利得およびVSWRのシミュレーション結果（ノイズマッチング）

わち負帰還量が大きくなるほど改善されることがわかる。これは低雑音増幅器の製造ばらつきを小さくする上で極めて重要であり、これについては第4章で詳しく論ずる。

狭帯域アンプの設計においてKファクタは必ずしも1以上である必要はないが、以下に述べる点に関してスタブ長として400 μm 以下を選択することはできない。図3-14は、各々のスタブ長の場合に雑音指数が最小になるように入出力マッチング回路を最適化した時（以下、この場合もノイズマッチングと呼ぶ）の入出力VSWRの値をシミュレーションした結果であるが、スタブ長400 μm 以下ではノイズマッチングをとる場合入力VSWRを目標の2以下にできるマッチング回路が存在しないことがわかる。したがって与えられた入力VSWRの要請から400 μm 以上のスタブが必要である。また図3-13 (a)からわかるようにスタブ長400 μm 以下の領域はわずかなスタブ長の変化に対してKファクタが敏感に変化する領域であり、FETのばらつきに対する余裕度が小さく歩留りが悪くなる危険性がある。したがって、スタブ長は400 μm 以上でなければならない。なお、同図より出力側についてはスタブ長にかかわらず出力VSWRをほぼ1とすること

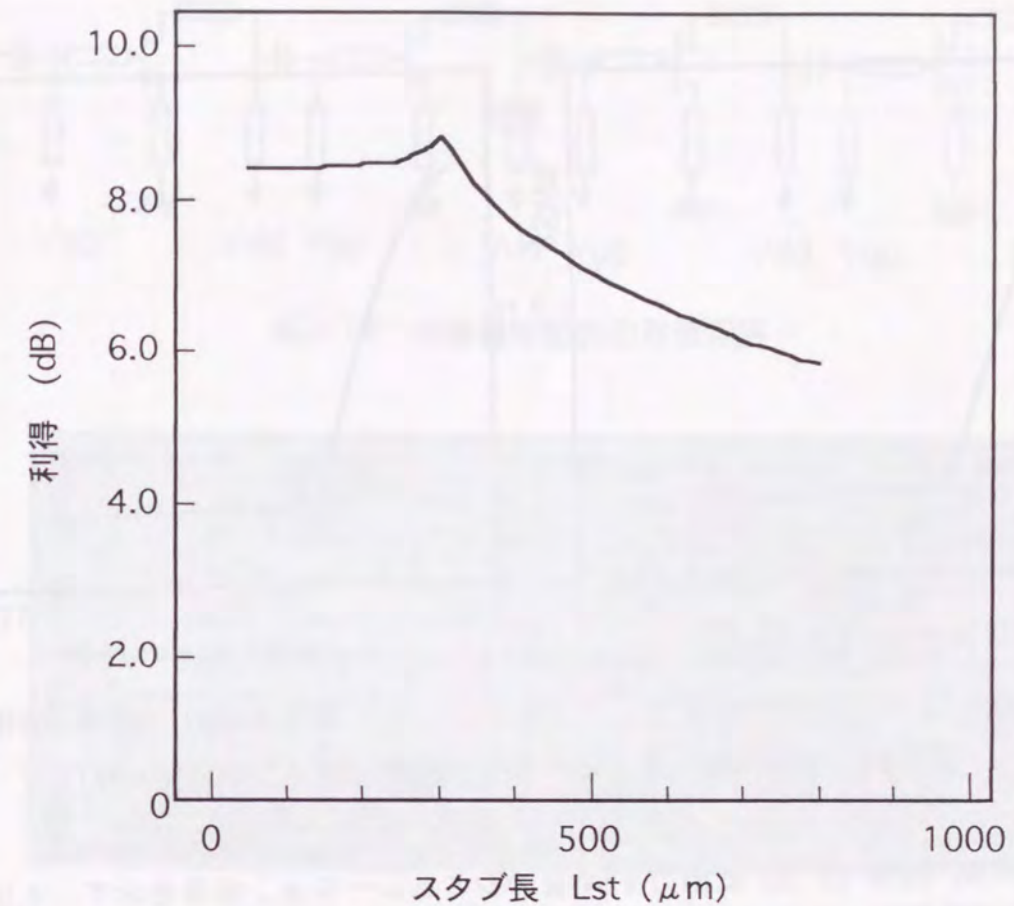


図3-15 利得（ゲインマッチング）のシミュレーション結果

ができるマッチング回路が存在するため考慮する必要はないことがわかる。最適なスタブ長は、400 μm 以上という必要条件の下で目標利得を達成するために必要な段数と後段設計の考察から決定される。

多段アンプの場合、2段目以降はゲインマッチングをとるのが一般的である。図3-15は入出力VSWRが最小になるように入出力マッチング回路を最適化（以下この場合もゲインマッチングと呼ぶ）した場合の1段当たりの利得をシミュレーションした結果である。初段をノイズマッチング、2段目以降をゲインマッチングとした場合3段で目標の利得24dBを達成するためには初段のスタブ長を400 μm としてもその利得は6.8dBであるから、2段目以降のアンプは1段当たり $(24 - 6.8) \div 2 = 8.6\text{dB}$ 以上の利得が必要となる。図3-15からわかるようにスタブ長300 μm の時、利得は最大（8.8dB）となりかろうじて3段で目標を満足できる値になっている。スタブ長300 μm 以下で利得がスタブ長300 μm の場合より小さくなるのは、Kが1より小さいために入出力のインピーダンスマッチングが両立できないからである。次に図3-16 (a) にゲインマッチングをとる場

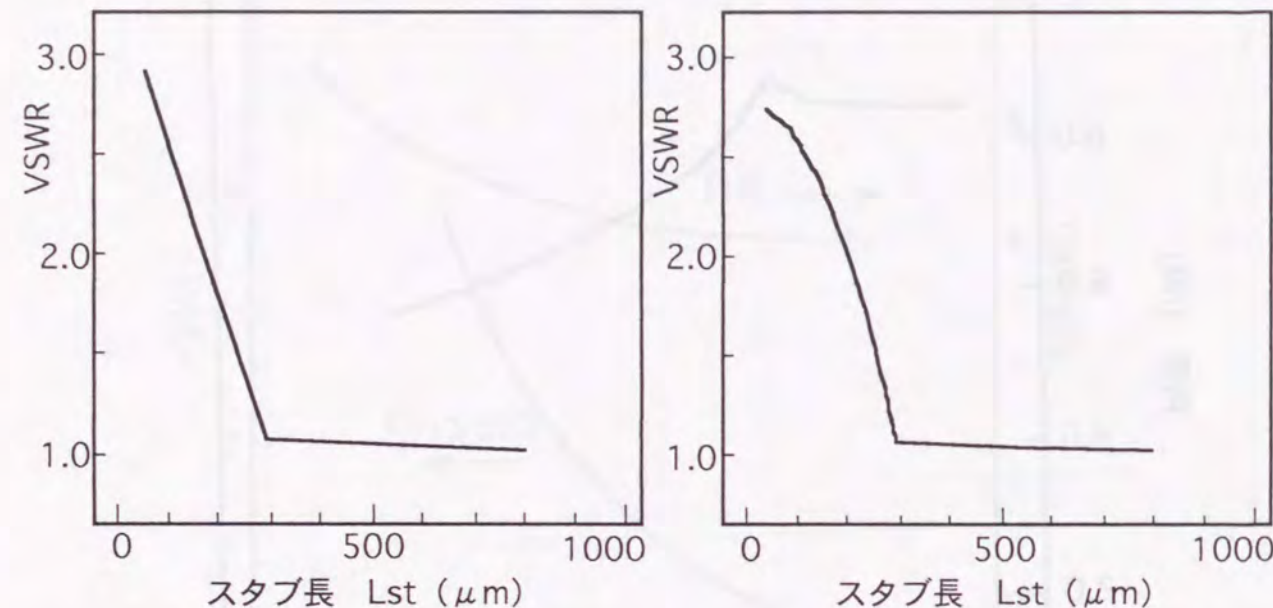


図3-16(a) 入力VSWR

図3-16(b) 出力VSWR

図3-16 VSWRのシミュレーション結果 (ゲインマッチング)

合の入力VSWR、図3-16 (b) に出力VSWRのシミュレーション結果を示す。入出力VSWRはスタブ長 $300 \mu\text{m}$ 以上ではほぼ1になるが、 $300 \mu\text{m}$ を境に $300 \mu\text{m}$ 以下では入出力VSWRは急激に劣化することがわかる。このように、スタブ長を $300 \mu\text{m}$ にすれば、シミュレーション上は3段で目標仕様のアンプを実現できることになるが、利得の点においても入出力インピーダンスの点においても非常にきわどい設計となる。これは、FETの製造ばらつきによってアンプの特性が大きく変化し、歩留りが小さくなる危険性のあることを意味している。したがって2段目以降をゲインマッチングとする場合もスタブ長は $400 \mu\text{m}$ 以上とするべきであり、少なくとも4段構成にしなければならない。

4段構成とする場合1段あたりに必要な利得は6dBとなる。図3-14、図3-15よりノイズマッチングの場合もゲインマッチングの場合もスタブ長が $800 \mu\text{m}$ 以下であれば1段あたり6dB以上の利得があることがわかる。一方、図3-14よりノイズマッチングの場合でもスタブ長が $700 \mu\text{m}$ 以上あれば入力VSWRは1.3以下と充分小さく、従属接続は可能でありまた、スタブ長 $700 \mu\text{m}$ とするとゲインマッチングにしても利得はノイズマッチングの場合とさほど変わらず、また目標利得を十分に達成することができる場合には、後段をゲインマッチングにする必要は無く、雑音指数の観点から各段ノイズマッチングのアンプを従属接続の方が有利である。以上の考察により、回路方式は決定された。図3-17に等価回路図を示す。

図3-18に試作した低雑音アンプのチップ写真を示す。チップサイズは $2.0 \times 4.5 \text{mm}^2$

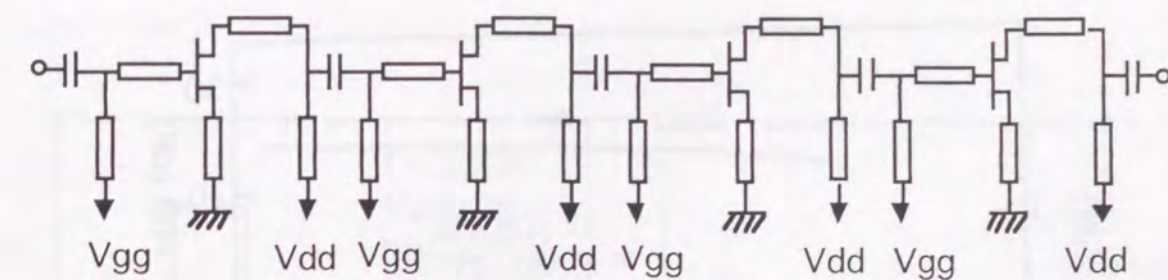


図3-17 低雑音増幅器の等価回路

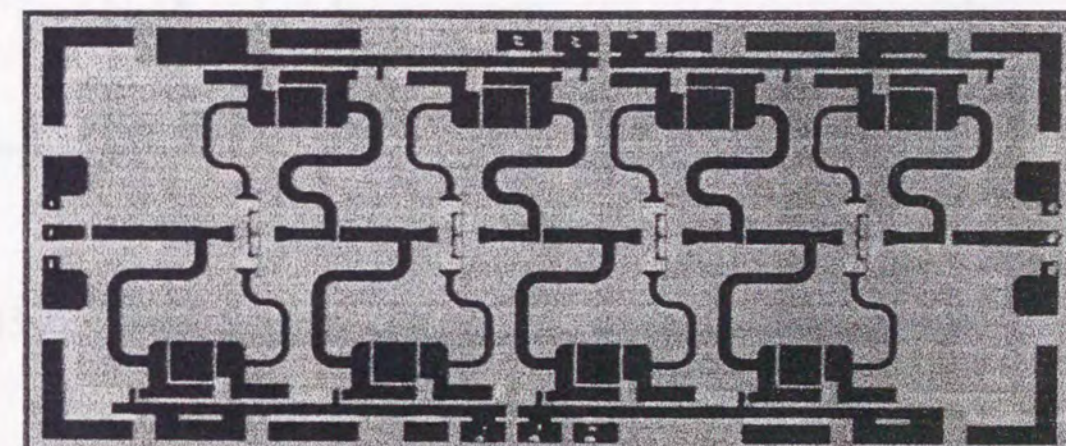


図3-18 MMIC低雑音増幅器のチップ写真

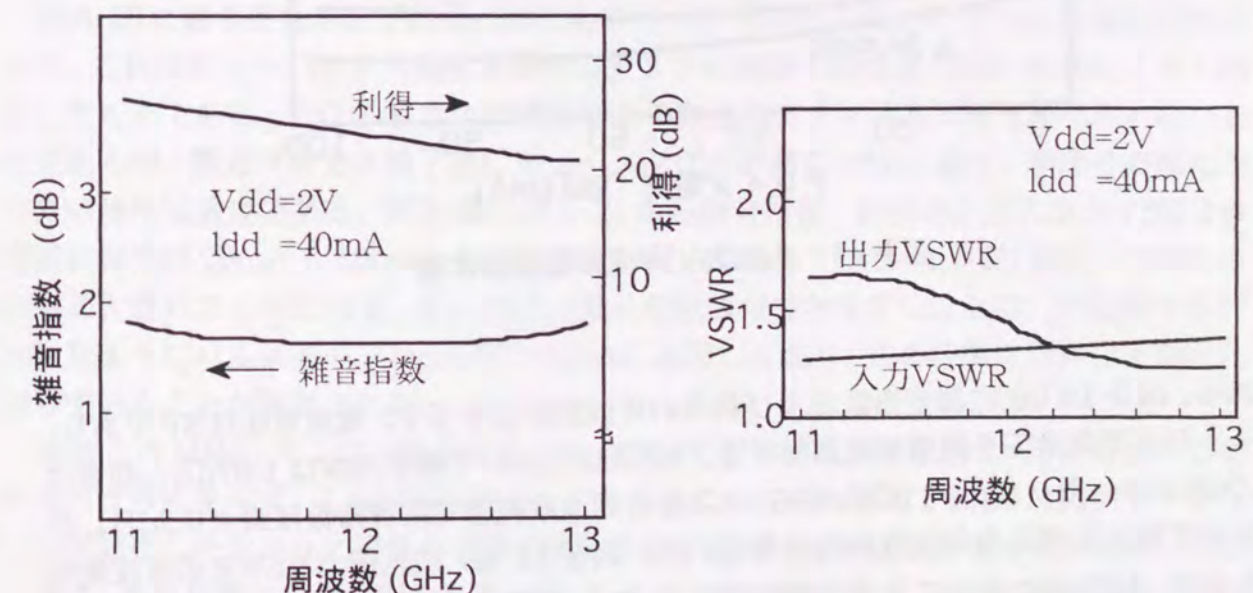


図3-19(a) 雑音指数および利得の周波数特性

図3-19(b) VSWR周波数特性

図3-19 MMIC低雑音増幅器の測定結果

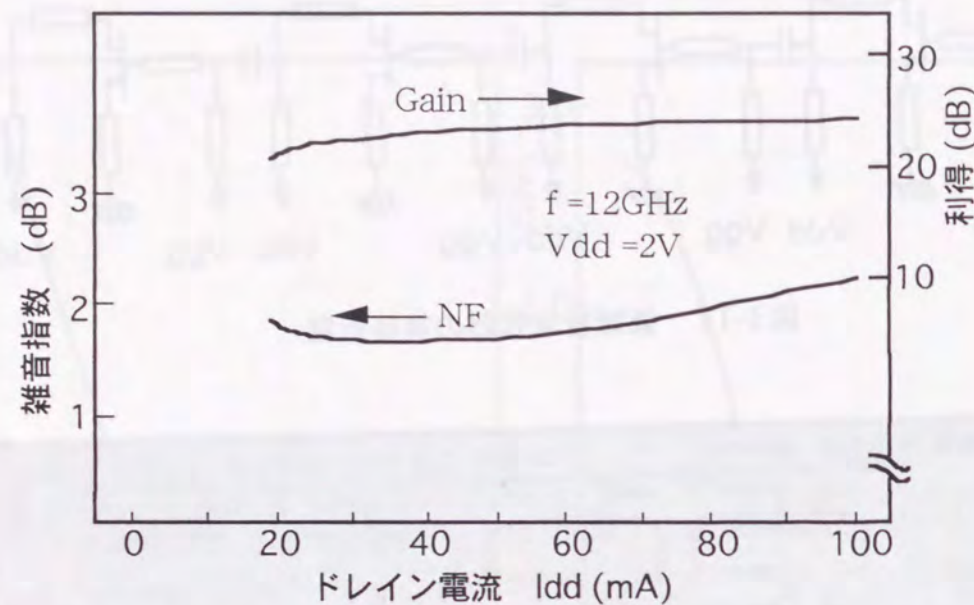


図3-20 雑音指数および利得の電流依存性

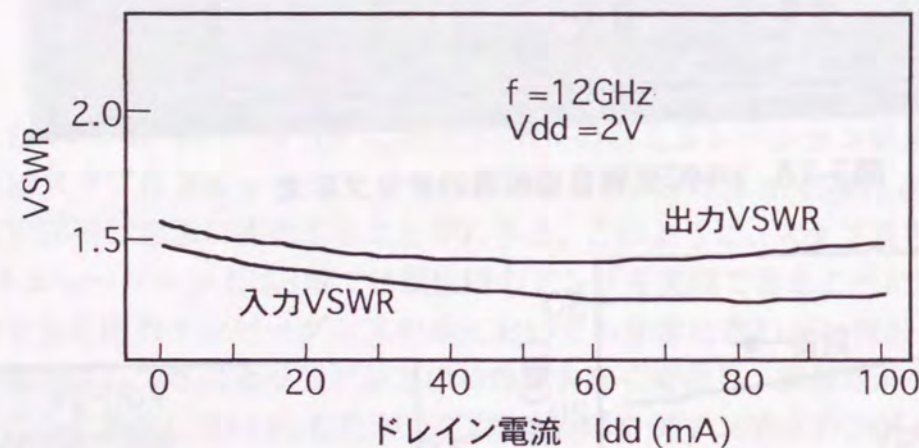


図3-21 入出力VSWRの電流依存性

である。図3-19 (a) に雑音指数および利得の周波数特性を示す。電源電圧は8Vであり、ゲートバイアス電圧を最適値に調整する。12GHzにおいて雑音指数は1.67dB、利得は24.0dBであった。また、11GHzから13GHzの周波数範囲で雑音指数は最大0.2dBしか変化せず極めて平坦な周波数特性を得ている。図3-19 (b) に入出力VSWRの周波数特性を示す。12GHzにおいて入力VSWRは1.3、出力VSWRは1.4であった。また、11GHzから13GHzの周波数範囲で入出力VSWRはともに1.7以下であり、ともに周波数依存性は小さい。

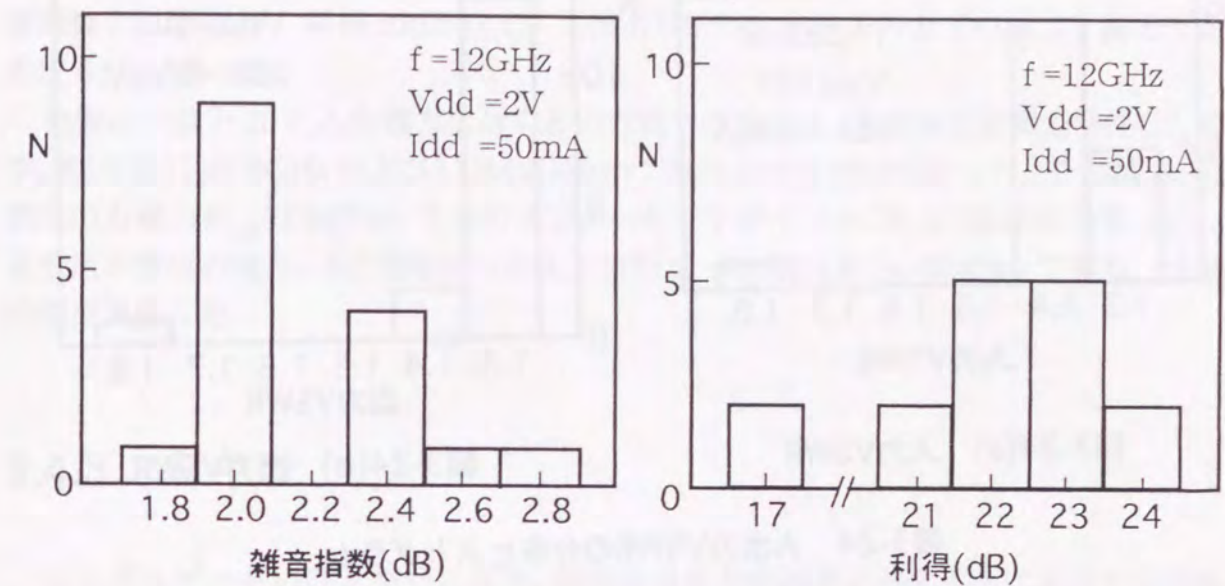


図3-22 雑音指数の分布ヒストグラム

図3-23 利得の分布ヒストグラム

図3-20に雑音指数および利得の電流依存性、図3-21に入出力VSWRの電流依存性を示す。これはゲートバイアス電圧を操作しアンプが消費する電流 (I_{dd}) を変化させて測定したものである。FETのしきい値電圧 V_{th} の製造バラツキ等ある程度避けられないものであるが、製造プロセス終了後にチューニングの困難なMMIC場合、歩留りの観点からこの特性は重要である。図3-20、図3-21から雑音指数、利得および入出力VSWRの電流依存性は20mAから100mAの広い範囲において極めて小さく、設計余裕、プロセス余裕の大きいことがわかる。特に雑音指数の電流依存性が小さいことは、先に図3-5に示したようにパルスドープMESFETの特徴に起因しており、この特徴を活かした設計になっていることが実証された。

次にこのMMICアンプの製造ばらつきについて述べる。図3-22に、雑音指数の分布ヒストグラムを示す。これは同一ロット2枚のウエハからの結果である。N数がやや少ないのは試作したマスクに複数の回路が搭載されており、1ショットのサイズが大きいためである。また母数は直流選別の結果、パスしたものの総数である。63%が雑音指数2.0dB以下に入っており非常に高い歩留りが得られた。図3-23に同じく利得の分布を示す。目標の24dBよりやや低いところにばらついているが、44%が23dB以上、75%が22dB以

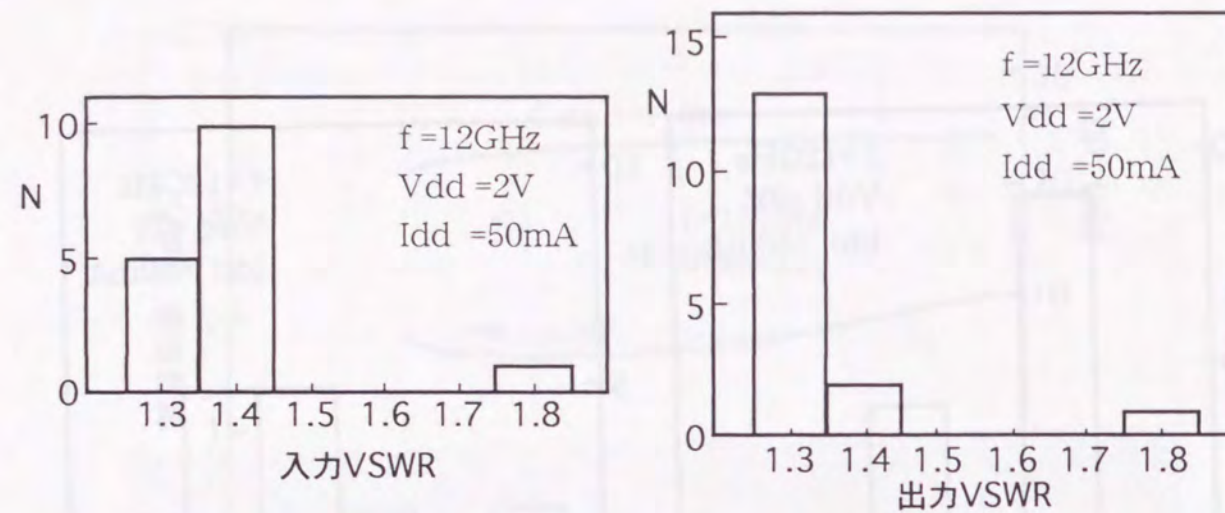


図3-24(a) 入力VSWR

図3-24(b) 出力VSWR

図3-24 入出力VSWRの分布ヒストグラム

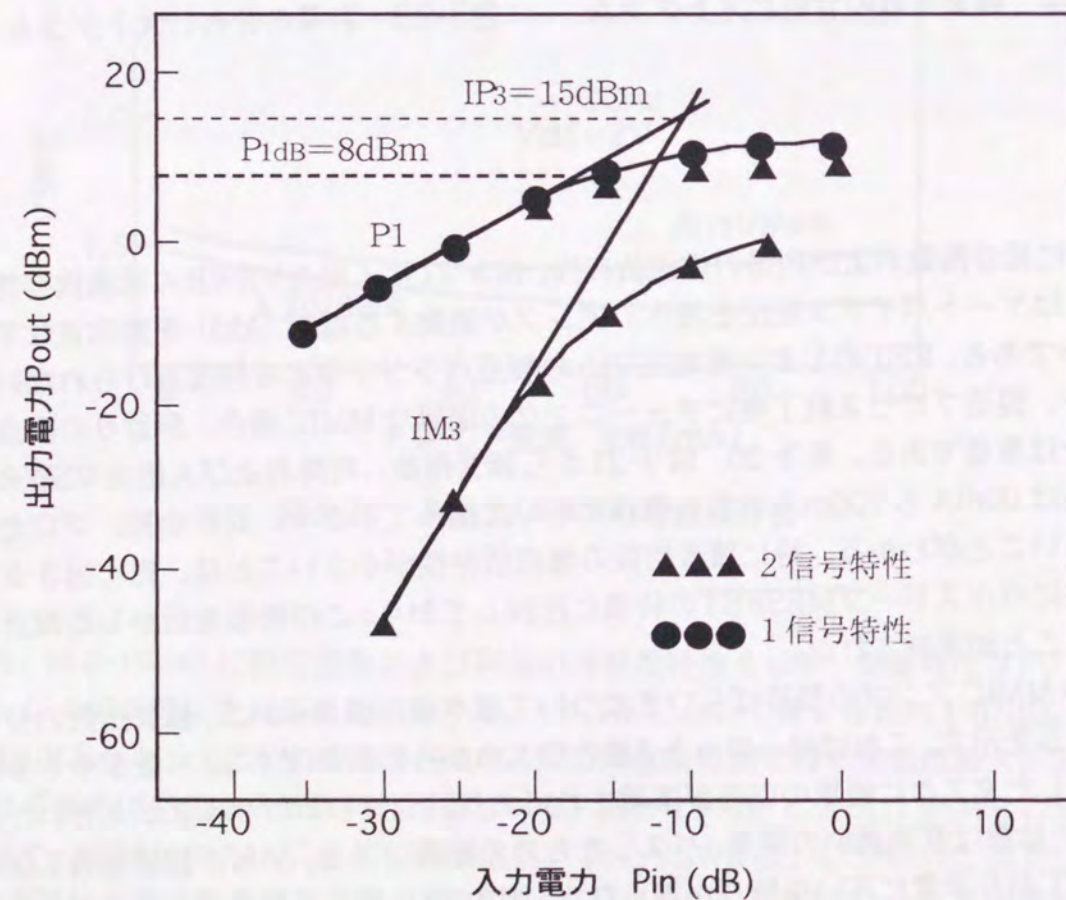


図3-25 電力特性の測定結果

上に入っており均一性は優れている。図3-24に入出力VSWRの分布を示す。入力、出力いずれも94%が1.4以下に入っており雑音指数、利得と同様、極めて均一である。雑音指数2.0dB以下、利得22dB以上、入出力VSWR1.4以下の全ての項目を満足するのは63%であった。

最後に、図3-25に入力電力に対する出力電力の特性と、3次相互変調歪特性 IM_3 を示す。測定は11.804GHzおよび11.842GHzの2周波信号を用いて行った。その結果、1dB抑圧出力電力 P_{1dB} は8dBm、3次のインターセプトポイント IP_3 は15dBmであった。衛星放送の受信の場合、RF増幅器への入力信号は-80dBmから-50dBmであり、十分な特性を実現した。

3.4.3 ミキサ

シングルゲートFETミキサの場合、局発信号をどの端子に与えるかによって3種類の回路方式がある。これらの中で、ゲートに高周波(RF)入力信号と局発(LO)信号を加える方式が一般的である[24]。局発信号が中間周波(IF)出力端子に漏洩すると、これがIF増幅器を飽和させたり、不要なスプリアスが発生するため、ミキサ回路ではLO・IF端子間のアイソレーションが重要である。この回路方式は、ゲート・ドレイン間のデバイスアイソレーションにより、局発信号がIF端子に漏洩するのを抑圧することができ、他の回路方式に比べて回路が簡単になる利点がある。一方、RF信号をドレインに与え、LO信号をゲートに与え、IF信号をソースから取り出す回路方式も提案されており、極めて小さい相互変調歪を実現している[25]。

本研究では、最も容易に高い変換利得が得られる前者の回路方式を採用した。図3-26に回路図を示す。図3-26に示したように、FETはソース接地回路として動作する。この

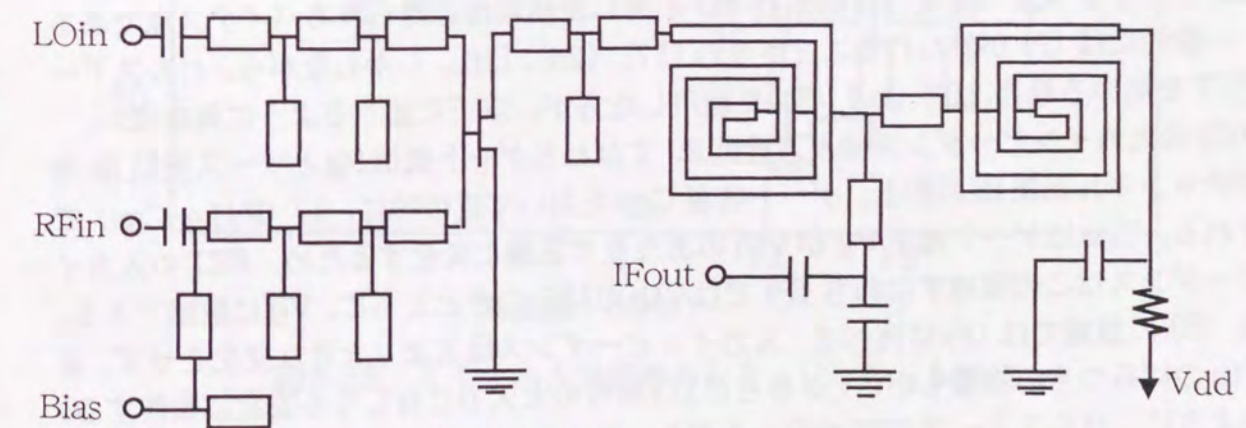


図3-26 ミキサの等価回路

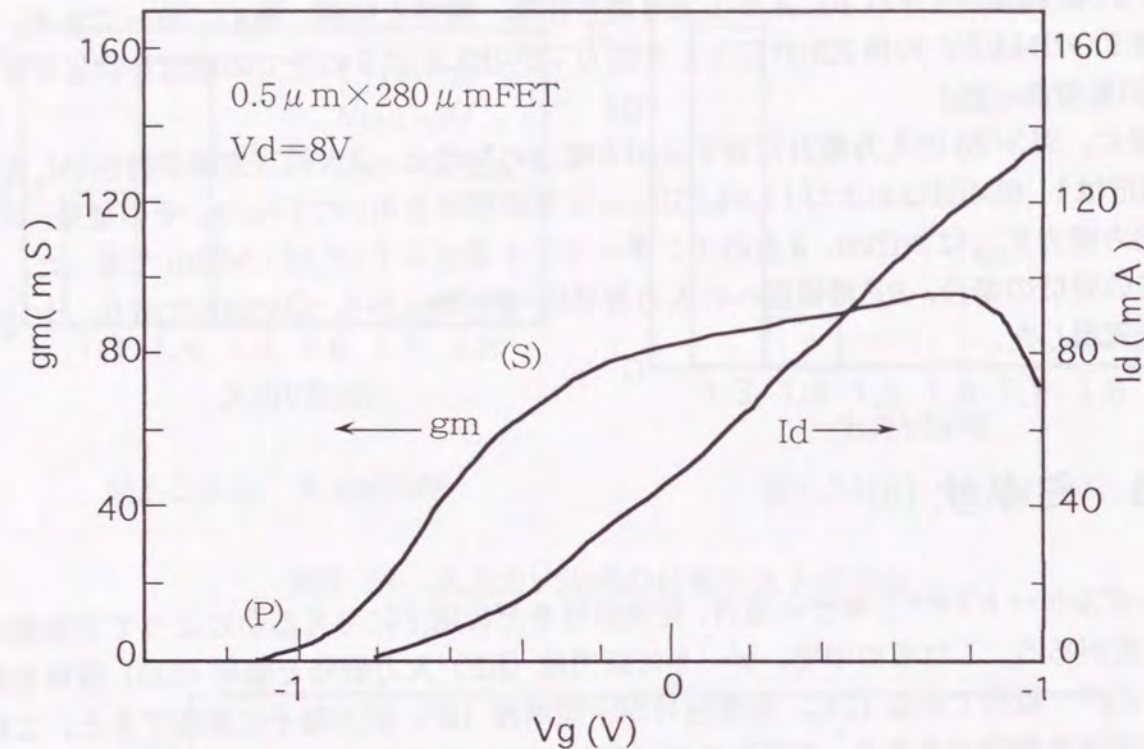


図3-27 FETのgmおよびIdのゲート電圧に対する特性

回路方式のミキサは動作モードとして2種類あり、一方はFETのI-V特性の非飽和領域で動作させる非飽和型であり、他方はFETのI-V特性の飽和領域で動作させる飽和型である。ここでは、ショットキーゲート特性を利用する非飽和型に比べて低雑音である飽和型を採用した[26]。飽和型の回路では、FETのgmの非線形性が主として周波数変換(ミキシング)に寄与する。図3-27はFETのgmおよびIdのゲート電圧に対する特性である。ピンチオフ点(P)または飽和点(S)が高い変換利得の得られるバイアス点であるが、一般的には(P)が使われることが多い[17]、[24]、[26]。しかしながら、パルスドープFETを用いる場合、(P)より(S)を適用した方が、以下に述べるように興味深い。

FETの入力インピーダンスは入力抵抗R、すなわちゲート抵抗Rgとソース抵抗Rsおよびチャンネル抵抗Riの和と、ゲート容量Cgsを用いて近似的に、 $1/(R+j\omega Cgs)$ で表される。Cgsはゲート電圧VgがVthのあたりで急激に変化するため、FETの入力インピーダンスはこの領域すなわち(P)ではVthのばらつきとともに、Vgに敏感である。一方、(S)の領域では(P)に比べて、入力インピーダンスはあまり大きな変化をせず、またVthのばらつきの影響も小さい。さらにLO信号の大入力に対しても安定に動作する。このように、パルスドープFETを用いる場合、(S)点にバイアスする方がその特長を活

かすことができる。

RF信号とLO信号をゲートに与えるため、RF端子とLO端子のアイソレーションをとるために、プランチライン90°ハイブリッド回路が一般的に用いられるが、低インピーダンスのマイクロストリップ線路、すなわち大面積の線路を必要とするため、本研究では図3-26に示したような回路を用いた。図3-28にこの入力回路のシミュレーション結果を示す。回路は特性インピーダンス86Ωの12本の線路から構成され、これらの長さは、12GHzのRF信号に対する入力インピーダンス・マッチングと、両端子のアイソレーション特性、およびイメージリジェクション特性から最適化した。また出力回路は1GHz帯IFフィルタ及びLO信号を短絡する回路から構成されている。LO信号の短絡は、IF端子への漏洩を防ぎ、ドレインの直流バイアスを安定にするために必要である。

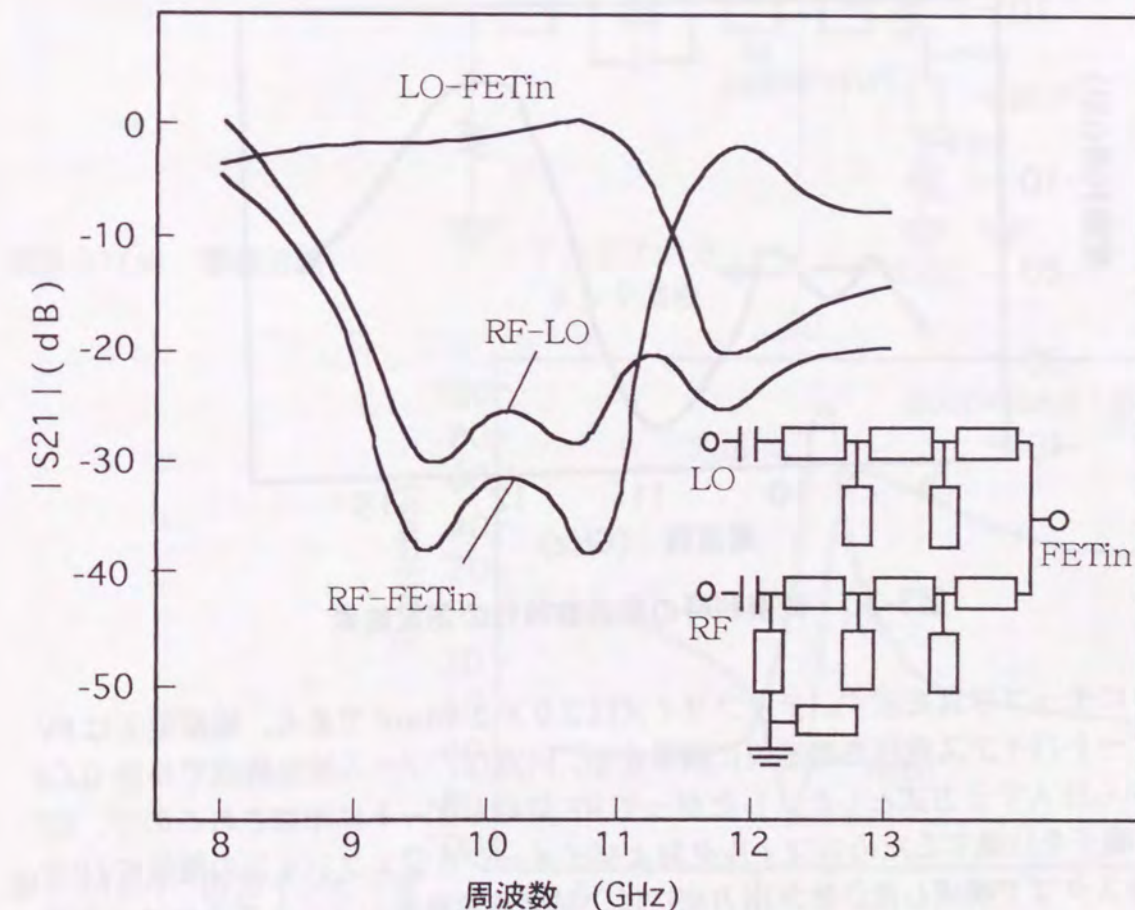


図3-28 ミキサの入力回路のシミュレーション結果

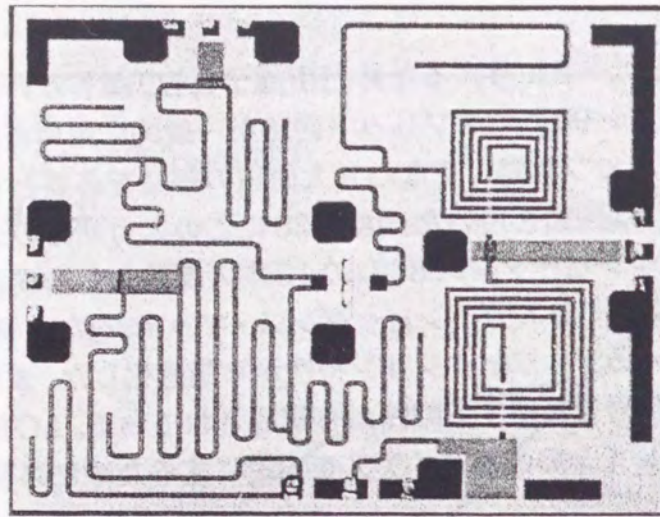


図3-29 MMICミキサのチップ写真

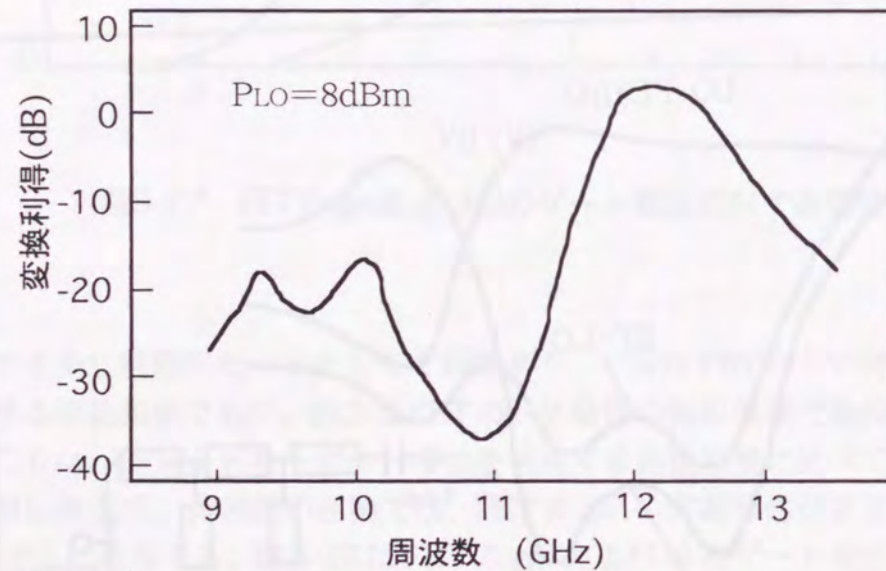


図3-30 変換利得の周波数特性の測定結果

図3-29にチップ写真を示す。チップサイズは $2.9 \times 2.4 \text{ mm}^2$ である。電源電圧は8Vであり、ゲートバイアス電圧を最適値に調整する。回路は、ソース接地構成で局発 (LO) をゲートから注入する方式とした。したがってRF信号もゲートに印加されるので、RF端子とLO端子を分離するためのフィルタおよびイメージリジェクションの機能を12セクションのスタブで構成した。また出力側には、局発周波数をショートするための回路とIFフィルタ (ローパスフィルタ) を設けた。図3-30に変換利得の周波数特性の測定結果を示す。測定は、8dBmのLO入力で行った。11.7~12GHzの周波数範囲において、変換利得は2dB以上、イメージリジェクションは20dB以上であった。

3.4.4 発振回路

ソース接地回路に容量性直列帰還 (capacitive series feedback) をかける反射型発振回路を採用した [10]、[12]、[13]、[27]。等価回路を図3-31 (a) に示す。所定のQ値を達成するために誘電体共振器を用いるが、予備実験によりマイクロストリップ線路に電磁結合させた誘電体共振器のSパラメータの測定値から、等価回路を同図に示したようなLRCの並列回路として定数をフィッティングした。誘電体共振器には、発振周波数において $Q=5,000$ 、 $\epsilon=37$ のものを使用した。動作点は、一般的に最大振幅がとれる

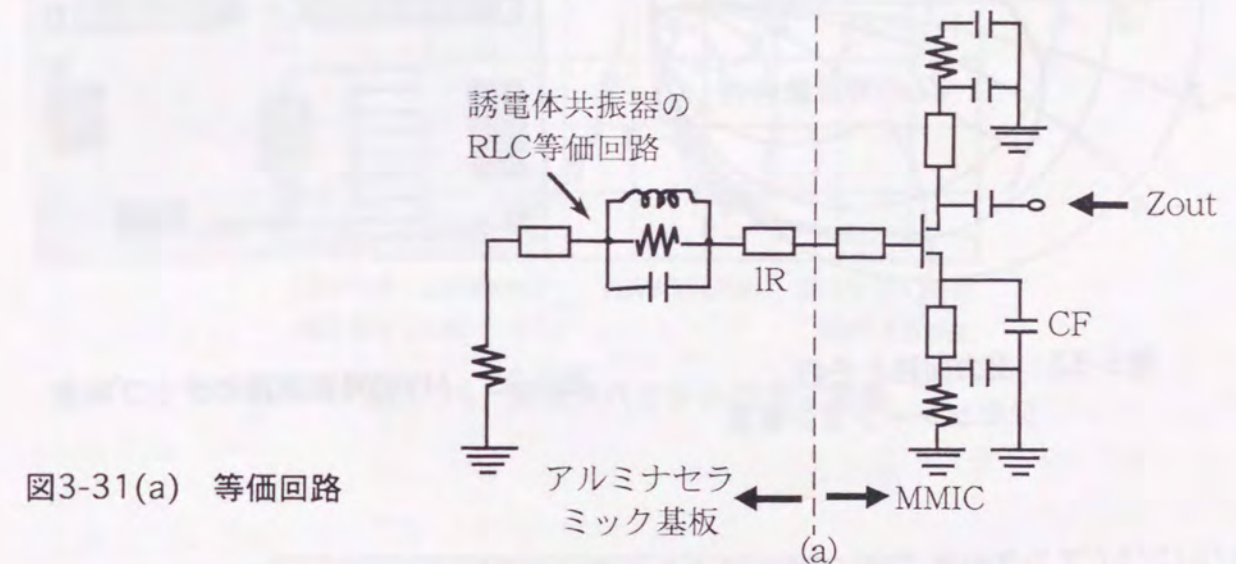


図3-31(a) 等価回路

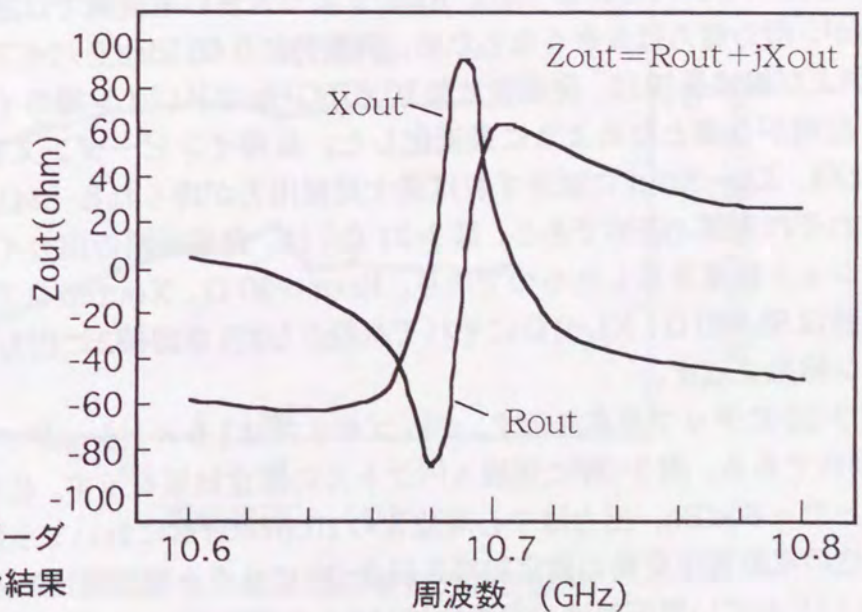


図3-31(b) 出カインピーダンスのシミュレーション結果

図3-31 発振回路とシミュレーション

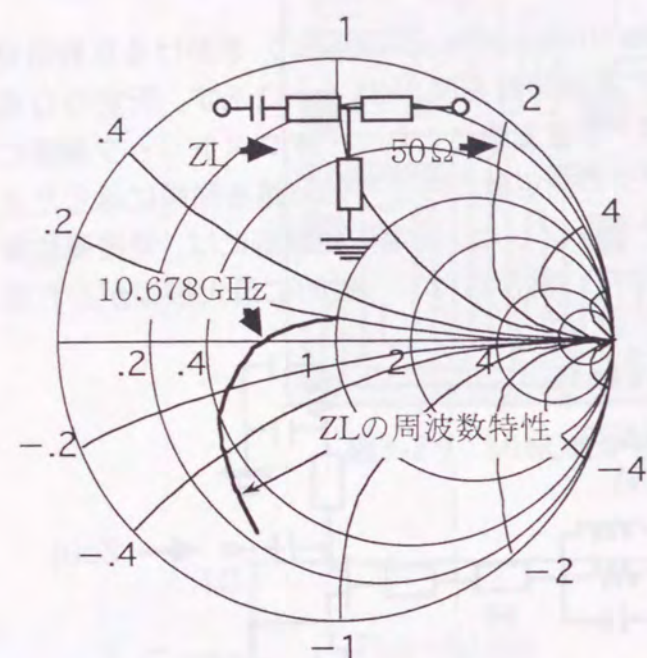


図3-32 出力回路とそのシミュレーション結果

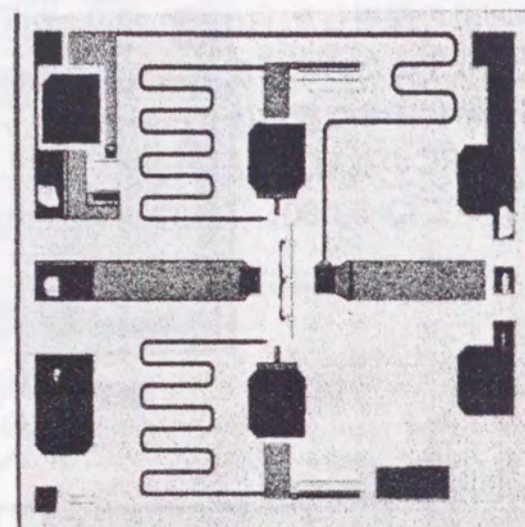


図3-33 MMIC発振回路のチップ写真

$I_{dss}/2$ にバイアスされる [28]。 $I_{dss}/2$ より大きい電流域では急激に位相雑音が大きくなるが、出力電力は大きくなるため、実験的に $0.65 I_{dss}$ をバイアス点とした。帰還容量 CF および線路長 lR は、発振周波数 10.678GHz でドレイン端のインピーダンスが負となり、位相が 0 度となるように最適化した。負荷インピーダンス $Z_L = R_L + jX_L$ は、 $R_L = -R_{out}/3$ 、 $X_L = -X_{out}$ に設計すれば最大発振出力が得られる [24]。 R_{out} 、 X_{out} は Z_{out} のそれぞれ実部、虚部である。図 3-31 (b) は、発振回路の出力インピーダンスのシミュレーション結果を示したものであり、 $R_{out} = -90\ \Omega$ 、 $X_{out} = 0\ \Omega$ である。したがって、出力回路は $R_L = 30\ \Omega$ 、 $X_L = 0\ \Omega$ にそれぞれ設計した。図 3-32 に出力回路とそのシミュレーション結果を示す。

図 3-33 にチップ写真を示す。チップサイズは $1.9 \times 1.6\text{mm}^2$ である。電源電圧は単一 8V 動作である。図 3-34 に発振スペクトルの測定結果を示す。位相雑音は、 10kHz オフセットで -80dBc 、出力は中心周波数の 10.678GHz において 9dBm であった。次に発振特性の電源電圧変動の測定結果を図 3-35 に示す。電源電圧の設計値は 8V であるが、 $5\text{V} \sim 11\text{V}$ の広い電圧範囲で周波数は 1MHz の変動であり、出力電力は 1dB の変動であった。

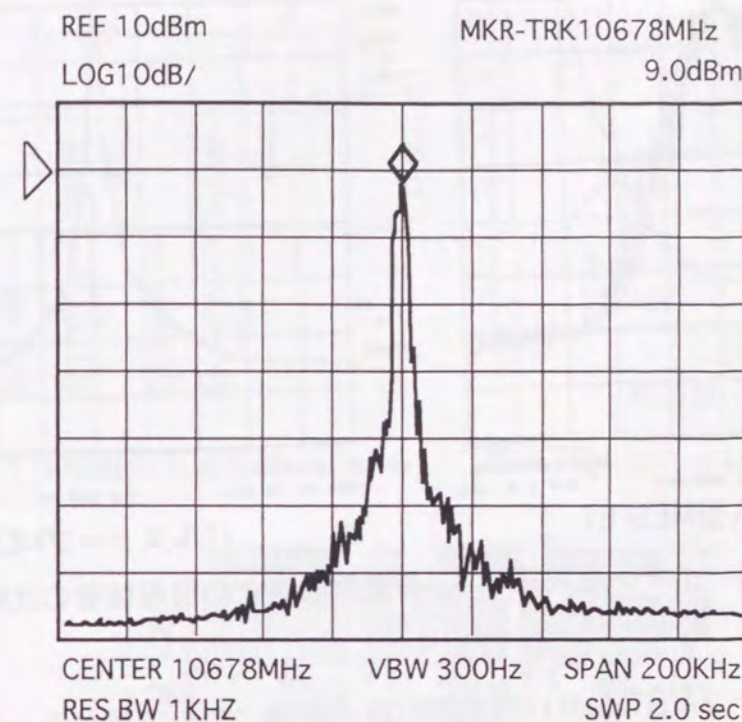


図3-34 発振スペクトルの測定結果

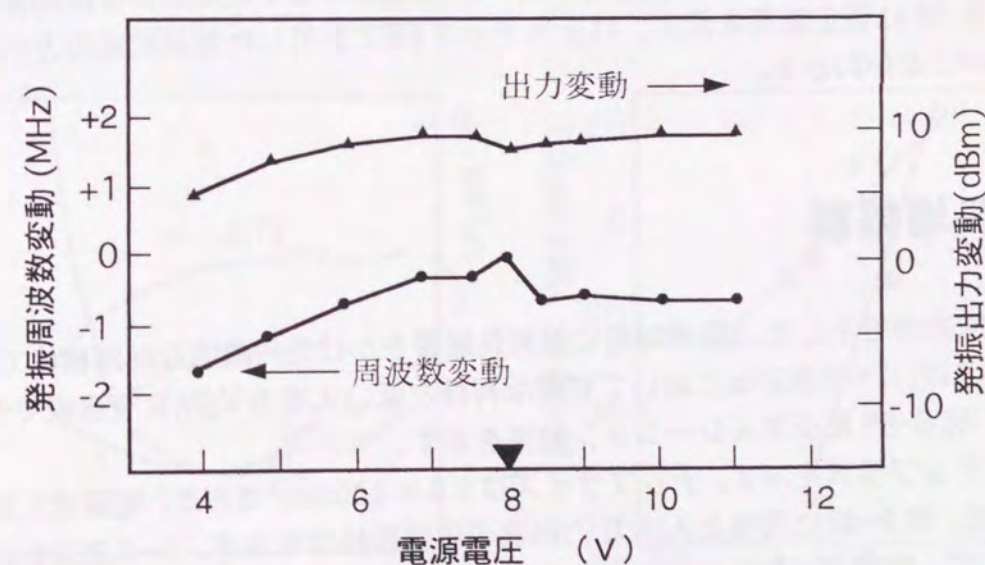
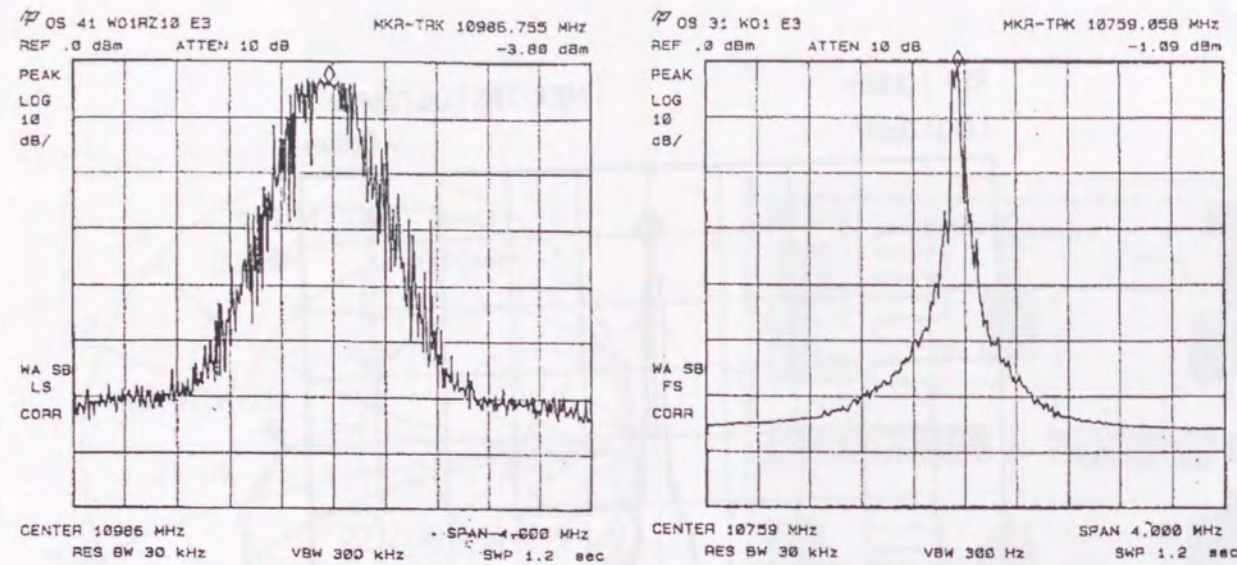


図3-35 発振特性の電源電圧変動の測定結果



イオン注入型MESFET

パルスドープMESFET

図3-36 イオン注入FETによる発振回路との位相雑音の比較

最後に、パルスドープFETを用いた発振回路の特長について述べる。パルスドープFETは高濃度薄層化されたチャンネルを用いているので、 C_{gs} のゲート電圧に対する変化が小さい。発振回路の位相雑音は、 $(\partial C_{gs} / \partial V_g)^2$ に比例するため[28]、位相雑音の小さい発振回路を実現することができる。これを明らかにするため、イオン注入型MESFETを用いた発振回路を試作し、誘電体共振器を使用せずに発振させ位相雑音を比較した。図3-36に測定結果を示す。パルスドープFETを用いた発振回路の方が、位相雑音が小さいことがわかる。

3.4.5 IF増幅器

図3-37に回路図を示した。3段増幅器に並列負帰還をかけた一般的な回路構成である。負帰還の値 R_F は、1~1.3GHzにおいて平坦な利得と低い入出力VSWRを達成できるよう設計した。図3-38にシミュレーション結果を示す。

図3-39にチップ写真を示す。チップサイズは $1.9 \times 1.2 \text{ mm}^2$ である。電源電圧は単一8V動作である。図3-40に利得と入出力VSWRの周波数特性を示す。1~1.3GHzの周波数範囲において、利得20dB以上、入出力VSWR1.7以下であった。図3-41に入力電力に対する出力電力の特性と、3次相互変調歪特性 IM_3 を示す。測定は1.088GHzおよび1.126GHzの2周波信号を用いて行った。その結果、3次のインターセプトポイントは18dBmと十分な特性を実現した。

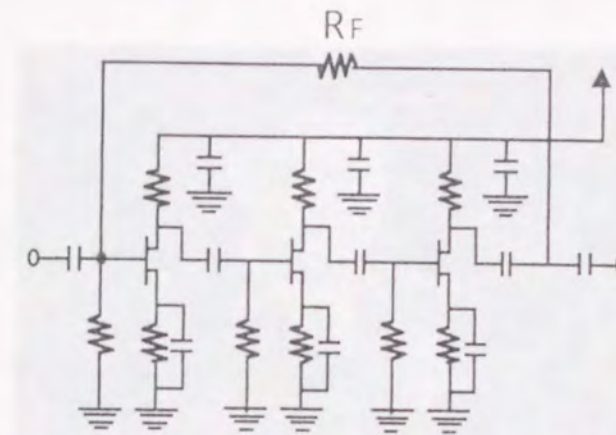


図3-37 IF増幅器の等価回路

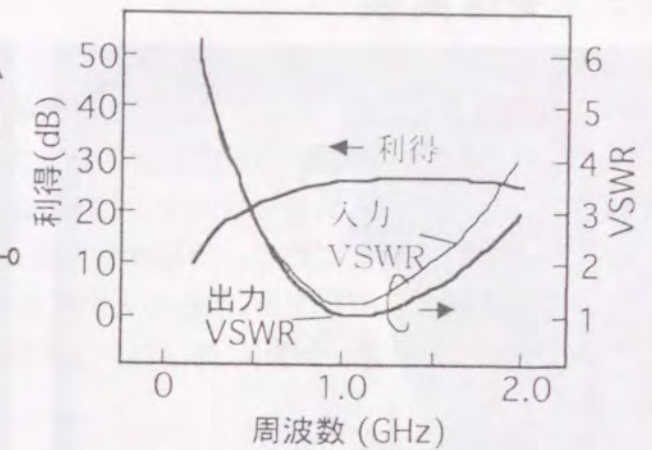


図3-38 シミュレーション結果

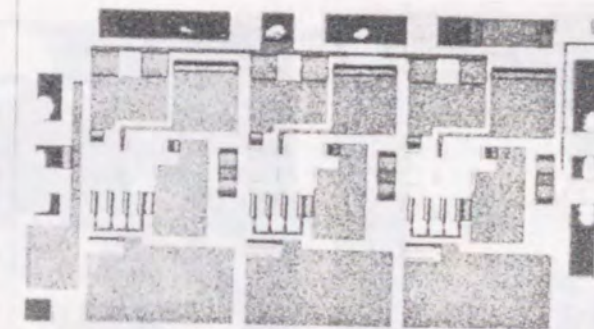


図3-39 チップ写真

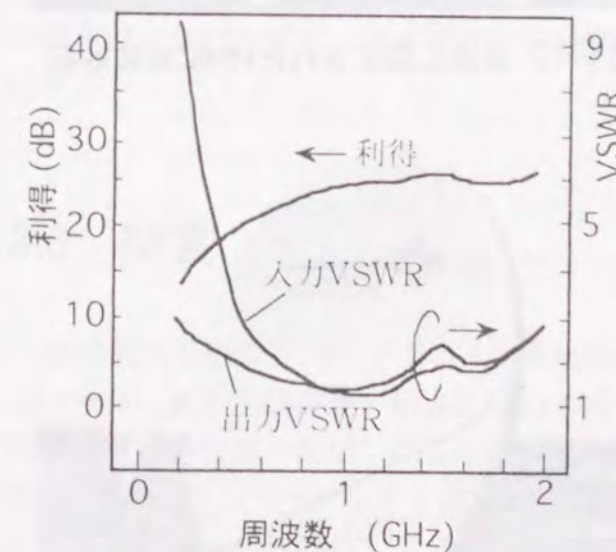


図3-40 利得とVSWRの周波数特性の測定結果

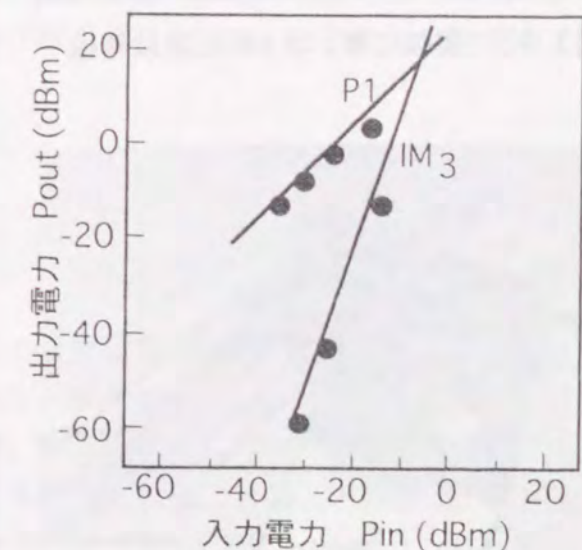


図3-41 電力特性の測定結果

3.5 受信実験

この4種類のICチップでコンバータを構成し、衛星放送の受信実験を行った。38 × 23mm²のセラミック基板にIFアンプ2チップを含む計5チップを実装した。図3-42に実験に用いたMMIC実装基板を示す。実験の便利のために、この基板を図3-43に示すような真ちゅう製の治具にのせ、誘電体共振器の上にビス付きの金属板を固定した。このビスで発振周波数を調整する。基板の入出力端子には治具に固定した同軸コネクタ(SMAコネクタ)を接続した。MMICコンバータの総合利得は60dB、雑音指数は2dB以下であった。

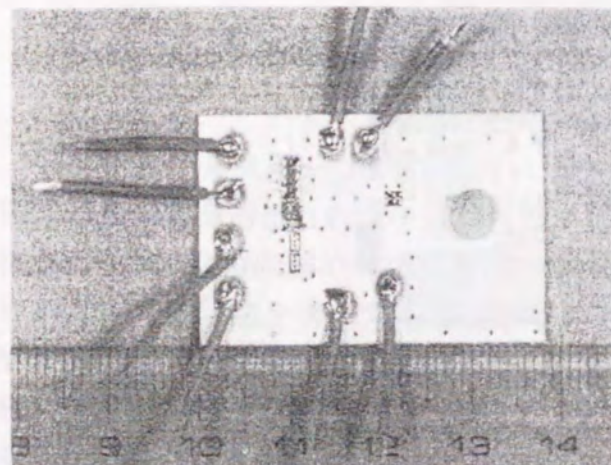


図3-42 実験に用いたMMIC実装基板

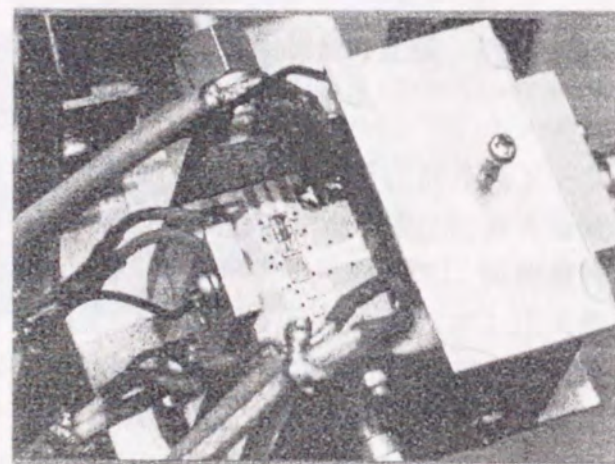


図3-43 治具に固定されたMMIC実装基板

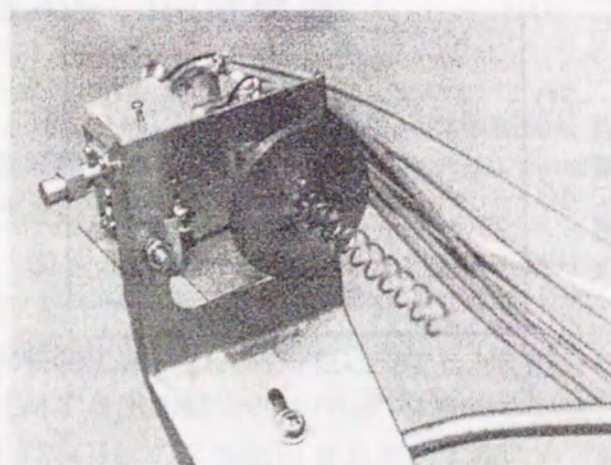


図3-44 一次放射器



図3-45 受信実験の様子



図3-46 受信画像の例

一次放射器として、図3-44に示すような容量板付きのヘリカルアンテナを作製し、同軸コネクタを介してMMICコンバータ基板に接続した。実験を効率的に行うためこのようにしたが、同軸コネクタの接続損失の分だけ、コンバータの雑音指数は過小評価される。実際の応用では一次放射器をコンバータ基板に直結されるので雑音指数は改善される。受信実験は40cm φのハラボナアンテナを用いて行った。受信実験の様子を図3-45に示す。インピーダンスや雑音指数をチューニングするための『スタブの切りはり』等の調整は一切行わずに、ノイズフリーの鮮明な画面が得られた。受信画面の例を図3.46に示す。

3.6 結言

衛星放送受信コンバータ用の4つのMMICの試作結果、およびこのMMICを用いたコンバータによる受信実験の結果について述べた。本章では、実験で用いた基板や固定治具のみについて述べたが、製品形態の一例として、文献[29]、[30]で報告しているような超小型BSコンバータなども提案している。本研究のMMICの最大の特徴は、その前段にディスクリットHEMTによる低雑音アンプを用いずに、MMICのみでコンバータの全機能と十分な雑音特性を実現したことであり、未だこのような報告例はない。また、スタブチューニング等のわずらわしい調整を行うことなく、直径40cmのハラボラアンテナ

ナで鮮明な画像を受信できたことは、実用上重要なポイントであると考え。コンバータをMMIC化する最大のメリットは小型化であるが、その他、部品点数の削減による実装コストの低減、接続点数の低減による信頼性向上、調整等のコストダウンなど数多くのメリットがある。

本研究において提案されたハルスドーフ構造FETは、とりわけ民生応用のMMICに適用することを目的としたものである。さらに衛星放送受信コンバータに適用する場合には、低雑音特性も要求されるが、本章の目的であるところの、ハルスドーフFETのMMICへの適用性とHEMTに匹敵する低雑音特性は、今回の試作結果により実証された。また4種類のMMICの設計に関し、それぞれハルスドーフMESFETの特長を活かした設計方法を提案し、それらの設計手法を用いて回路設計を行い試作した。

これらのMMICの中で、歩留りの点で最も厳しいのは12GHz帯RF低雑音増幅器と考えられるが、高周波歩留り60%以上を実現しており、その優れた生産性、均一性も実証されている。本章では、ゲート長 $0.5\mu\text{m}$ のハルスドーフ構造FETによるMMICの試作結果について述べたが、RF低雑音アンプ以外の3種類のICに関してはゲート長は $0.5\mu\text{m}$ で十分な性能を示した。一方、RF低雑音アンプに関しては雑音指数の観点から、ゲート長はより短い方が良く、ゲート長を $0.3\mu\text{m}$ にし、さらに低雑音化したMMICアンプについて、次章で詳しく述べる。

参考文献

- [1] H. M. Hyltin, "Microstrip Transmission on Semiconductor," IEEE Trans. Microwave Theory Tech., vol.13, No. 11, pp.777-781, 1965.
- [2] E. Mehal and R. W. Wacker, "GaAs Integrated Microwave Circuits," IEEE Trans. Microwave Theory Tech., vol. 16, No. 7, pp.451-454, 1968.
- [3] R. S. Pengelly, "Hybrid Versus Monolithic Microwave Circuits-A Matter of Cost," Microwave Systems News, No.13, pp.77-84, 1983.
- [4] K. Seino et al., "A 2~18 GHz Band Distributed MMIC Amplifier with SingleSupply Bias Network," IEICE Trans. C, J70-C [5], pp.703-708, 1987.
- [5] E. Bastida, "A Monolithic 800 MHz Bandwidth DBS Front-End for Mass Production," in Proc.14th European Microwave Conference, pp.755-760.
- [6] R. Benton, M. Nijjar, C. Woo, A. Podell, G. Horvath, E. Wilson, and S. Mitchel, "GaAs MMIC's for an integrated GPS Front-end," in GaAs IC Symposium Dig., pp. 123-126, 1992.
- [7] C. Woo, A. Podell, R. Benton, D. Fisher, and J. Wachsman, "A fully integrated transceiver chip for the 900 MHz communication bands," in GaAs IC Symposium Dig., pp. 143-146, 1992.
- [8] P. Wallace, R. Michels, J. Bayruns, S. B. Christiansen, N. Scheinberg, J. Wang, R. Goyal and M. Patel, "A low cost high performance MMIC low noise down converter for direct broadcast satellite reception," in IEEE Microwave and Millimeter-Wave Monolithic circuits Symp. Dig., pp. 7-10, 1990.
- [9] 伊藤康之、高木 直：MMIC技術の基礎と応用、REALIZE INC.
- [10] N. Shiga, T. Sekiguchi, S. Nakajima, K. Otobe, N. Kuwata, K. Matsuzaki, and H. Hayashi, "MMIC Family for DBS Down-Converter with Pulse-doped GaAs MESFET's," IEEE J. Solid-State Circuits, vol. 27, no. 10, pp. 1413-1420, 1992.

- [11] 関口 剛, 乙部健二, 松崎賢一郎, 桑田展周, 中島 成, 志賀信夫, 林 秀樹: “GaAs 基板上のマイクロストリップラインの評価”, 1990 信学秋季全大,
- [12] 志賀信夫, 関口 剛, 中島 成, 乙部健二, 桑田展周, 松崎賢一郎, 林 秀樹: “BS コンバータ用 GaAs MMIC”, テレビ学技報, CE91-41, BCS91-22, BFO91-22, 15, 46, pp.13-18 (1991-08) .
- [13] N. Shiga, T. Sekiguchi, S. Nakajima, K. Otobe, N. Kuwata, K. Matsuzaki, and H. Hayashi, "MMIC Family for DBS Downconverter with Pulse-doped GaAs MESFETs," 1991 GaAs IC Symposium Tech. Dig., Monterey, pp. 139-143 (Oct. 1991) .
- [14] 乙部健二, 志賀信夫, 中島 成, 桑田展周, 松崎賢一郎, 関口 剛, 林 秀樹: “パルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察 (2)”, 1991 信学春季全大, C-521.
- [15] J. Engberg, "Simultaneous input power match and noise optimization using feedback," in Dig. Tech. Pap. Fourth Eur. Microwave Conf., 1974, pp. 385-389.
- [16] R. Lehmann et al., "X-band monolithic series feedback LNA," IEEE Trans. Microwave Theory Tech., vol. 33, no. 12, pp. 1560-1566, 1985.
- [17] R. Goyal : MONOLITHIC MICROWAVE INTEGRATED CIRCUITS, Technology and Design, Artech House.
- [18] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band Monolithic Four-stage LNA with Pulse-doped GaAs MESFETs," 1990 GaAs IC Symposium Tech. Dig., New Orleans, pp. 237-240 (Nov. 1990) .C-57.
- [19] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band MMIC Amplifier with Pulse-doped GaAs MESFETs," 1991 IEEE MTT-S Int. Microwave Symposium Dig., Boston, pp. 77-80 (June 1991)
- [20] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band MMIC Amplifier with Pulse-doped GaAs MESFETs,"

- IEEE Trans. Microwave Theory Tech., vol. 39, no. 12, pp. 1987-1994, 1991.
- [21] 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: “パルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察 (1)”, 1990 信学秋季全大, C-418.
- [22] 志賀信夫, 乙部健二, 中島 成, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: “単一電源 12GHz 帯 MMIC 低雑音アンプ”, 1991 信学秋季全大, C-33.
- [23] 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: “パルスドープ構造 GaAs MESFET を用いた 12GHz 帯低雑音 MMIC アンプ”, 信学技報, MW90-84, pp.27-34 (1990-11) .
- [24] S. A. Mass : Nonlinear Microwave Circuits, Artech House.
- [25] S. A. Mass, "A GaAs MESFET Mixer with very low intermodulation," IEEE Trans. Microwave Theory Tech., vol. 35, no. 4, pp. 425-429, 1987.
- [26] S. A. Mass, "Design and performance of a 45-GHz HEMT mixer," IEEE Trans. Microwave Theory Tech., vol. 34, no. 7, pp. 799-803, 1986.
- [27] 志賀信夫, 関口 剛, 中島 成, 乙部健二, 桑田展周, 松崎賢一郎, 林 秀樹: “パルスドープ構造 GaAs MESFET を用いた X 帯 MMIC 発振回路”, 1991 信学秋季全大, C-60.
- [28] A. Sweet : MIC & MMIC Amplifier and Oscillator Circuits, Artech House.
- [29] T. Sekiguchi, N. Shiga, S. Nakajima, K. Otobe, N. Kuwata, K. Matsuzaki, and H. Hayashi, "Ultra Small Sized Low Noise Block Downconverter Module," IEEE 1992 Microwave and Millimeter-wave Monolithic Circuits Symposium Dig., Albuquerque, pp. 155-158 (June 1992) .
- [30] 関口 剛, 志賀信夫, 中島 成, 乙部健二, 桑田展周, 松崎賢一郎, 林 秀樹: “超小型 MMIC コンバータモジュール”, 1992 信学春季全大, C-78.

第4章 X帯低雑音モノリシック増幅器の 設計技術と雑音特性の向上

4.1 緒言

パルスドープ構造 GaAsMESFET は、第2章で述べたように均一性、再現性に優れ、低コストで高性能なマイクロ波集積回路、とりわけMMICの構成素子として適している。また第3章では実際にこのFETを構成素子とする衛星放送受信ダウンコンバータ用のMMICを設計、試作しその優れた性能を実証した。試作した4種類のMMICのうち、技術的に最も難度の高いのは12GHz帯RF増幅器である。2dB以下という極めて小さい雑音指数を実現し、かつ量産レベルで実用化するためには製造ばらつきが小さく制御されなければならない。そして実際にこのRF増幅器の製造ばらつきに関し、雑音指数、利得、VSWRなどの主な仕様が60%以上の歩留りで実現できたことを述べた。

本章では、この12GHz帯RF増幅器をさらに高性能化するための設計技術について詳しく述べる。第3章では、ゲート長 $0.5\mu\text{m}$ のパルスドープFETを用いたが、本章ではさらに低雑音化し、1dBに近い雑音指数を目標とするため、ゲート長 $0.3\mu\text{m}$ のパルスドープFETを用いる。ところで、ゲート長を小さくし目標性能を高くする場合、実用化の観点からは製造ばらつきに関する考察が不可欠である。パルスドープFETは本質的に均一性、再現性に優れた素子であるが、ゲート長 $0.5\mu\text{m}$ のFETとゲート長 $0.3\mu\text{m}$ のFETを比較した場合、同じ製造ばらつきを実現するのは困難である。したがって、設計段階から低雑音増幅器の雑音指数の製造ばらつきを予測し、ばらつきを最小にするような設計技術が極めて重要である。

そこでまず、雑音指数の製造ばらつきを予測するための設計手法に関し、パルスドープFETの最適信号源反射係数 Γ_{opt} のばらつきの興味深い特徴に着目し、前章でも述べた直列誘導性帰還を用いた低雑音増幅器の新しい設計手法を提案する。そして、次に雑音指数1dBを目標とし、低雑音増幅器の雑音指数を支配する要素を明確にし、それらの個々の要素を最適化することにより、原理的に達成し得る最小の雑音指数を実現するための設計方法に関し、初段増幅器および後段増幅器それぞれについて詳細に述べる。そして、この設計方法に基づいて設計された12GHz帯低雑音RF増幅器MMICの試作結果について明らかにする。

4.2 雑音指数の製造ばらつきを予測するための設計手法

低雑音増幅器の設計には(狭帯域アンプの場合)しばしば誘導性の直列帰還が用いられ[1]、[2]、本研究においてもこの手法を用いてMMICを設計し、試作した[3] - [8]。よく知られているように、Rollettのstability factor "K"は低雑音デバイスほど小さい傾向を示し、ゲート長 $0.3\mu\text{m}$ 、ゲート幅 $280\mu\text{m}$ のパルスドープMES FETの場合、Kは12GHzで0.4と非常に小さい。低雑音増幅器を設計する際の問題点は、①Kが1より小さいデバイスは入出力で同時にインピーダンスマッチング(利得整合)をとるのが困難であること、②FETの雑音指数を最小にする最適信号源反射係数 Γ_{opt} と入力反射係数の複素共役 S_{11}^* が一致していないためにインピーダンスマッチングとノイズマッチング(雑音指数最小)を同時に達成できないことである。

誘導性の直列帰還の効果は、①Fminを大きく劣化させることなくKファクタを改善できる、② Γ_{opt} と S_{11}^* を近づける、③等価雑音抵抗 R_n の値を小さくするなど、上述の設計上の2つの問題点を解決するとともに、負帰還の効果によって製造ばらつきに対する余裕度が増し、歩留りの向上が期待できる。しかしながらその反面、帰還量を大きくし過ぎると利得が低下し、アイソレーション特性が劣化するという問題点もある。したがって帰還量をどのような値にするかは設計上極めて重要であるが、帰還量とFETのパラメータの関係を詳細に解析した例は見あたらない。

またこれらの関係は低雑音アンプを構成するデバイスやプロセスにも依存するため、既に報告したようにシミュレーションだけでなく実際にTEG (Test element group) を作成し、測定する確認も行った。ゲート長 $0.5\mu\text{m}$ のパルスドープFETに関し、測定およびシミュレーションの結果について前章で述べたが、ゲート長 $0.3\mu\text{m}$ のパルスドープFETに関し、同様のTEGを試作し測定およびシミュレーションを行った[9]。FETの雑音パラメータと直列帰還の関係は、ソース・スタブの長さとの関係におきかえて考察していく方が、回路シミュレーションやレイアウト設計の際に、より直接的で便利であ

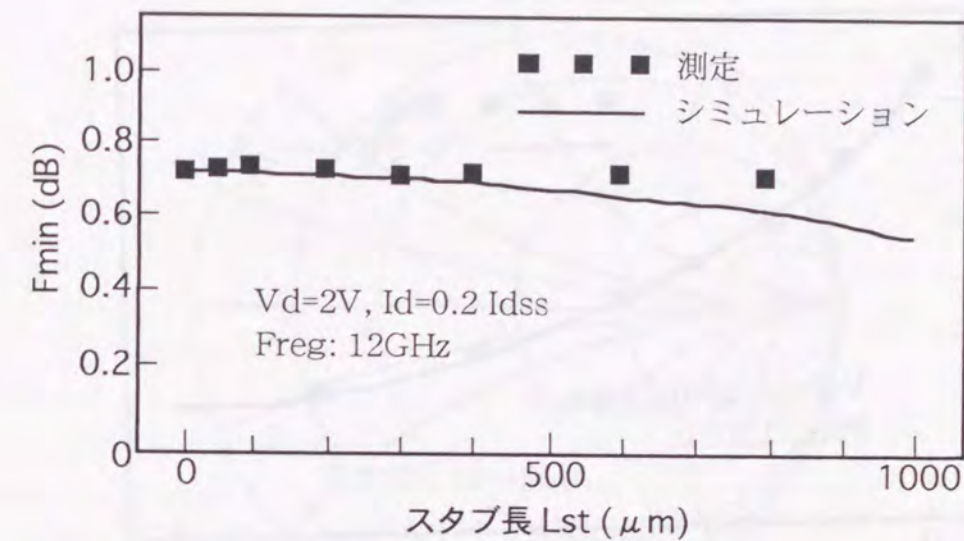


図4-1 Fminとスタブ長の関係

る。図4-1にFminとスタブ長の関係を示す。測定周波数は12GHz、FETのバイアス条件はFminが最小になる条件である。計算上Fminがスタブ長とともに小さくなっていくのは最小雑音測度Mminが、無損失の帰還に対して不変であるため、負帰還による利得低下の分だけ雑音指数が改善されるからである。しかし、図4-1が示すように測定データではスタブ長0と800 μm で有意差はない。したがって設計上はスタブ長によるFminの変化は考慮しなくてよいと考えられる。

次に、図4-2に R_n とスタブ長の関係を示す。 R_n はアンプの雑音指数を予測する上で重要なパラメータである。次に示す定雑音指数円(雑音指数 $F=Fi$ の時)の中心座標 C_{Fi} と半径 R_{Fi} を表す式から、 R_n が小さいほどある雑音指数を与える定雑音指数円が大きく、且つ定雑音指数円の間隔が粗になるため、FETの Γ_{opt} の製造ばらつき等に対する余裕度が大きくなることがわかる。

$$C_{Fi} = \frac{\Gamma_{opt}}{1+N_i} \quad (4-1)$$

$$R_{Fi} = \frac{1}{1+N_i} \sqrt{(N_i^2 + N_i(1 - |\Gamma_{opt}|^2))} \quad (4-2)$$

ただし、

$$N_i = \frac{F_i - F_{min}}{4R_n} |1 + \Gamma_{opt}|^2$$

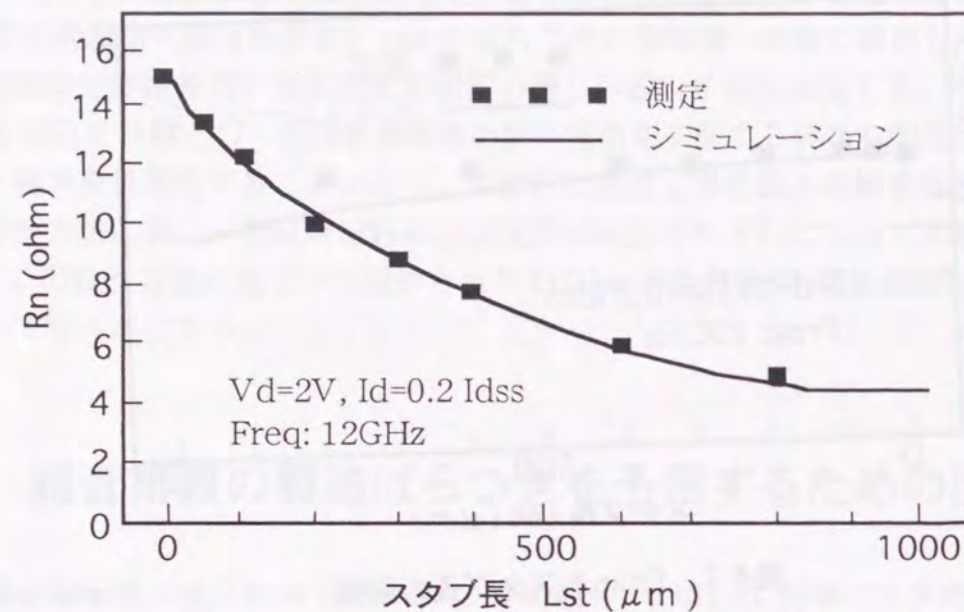


図4-2 Rnとスタブ長の関係

したがって、図4-2に示したRnとスタブ長の関係から設計したアンプの雑音指数のばらつきが、スタブ長に対してどのように依存するかを予測することができる。本節では、このようなFETの雑音パラメータと直列帰還の関係に基づいて、パルスドープFETにおける Γ_{opt} のばらつきの興味深い特徴を利用し、設計段階から低雑音増幅器の雑音指数の製造ばらつきを予測する設計手法について言及する。

4.2.1 最適信号源反射係数のばらつきの特徴

図4-3は、パルスドープFETのあるロットにおける、 Γ_{opt} の面内ばらつきの分布をスミスチャート上にプロットしたものである[10]。これはゲート長 $0.3\mu\text{m}$ を目標に試作されたものである。この図から、 Γ_{opt} はスミスチャート上で、半径方向に大きくばらついているが、その中心からの距離にはあまり大きなばらつきがないことがわかる。図4-4に $|\Gamma_{opt}|$ のゲート長依存性、図4-5に $\angle\Gamma_{opt}$ のゲート長依存性を示す。これらは、意図的に異なるゲート長のFETを試作し測定したものである。 $|\Gamma_{opt}|$ がゲート長に対して緩やかな依存性を持つのにに対し、 $\angle\Gamma_{opt}$ は比較的大きな依存性を持つことがわかる。これらの測定結果から、 Γ_{opt} はスミスチャート上で、ランダムに分布するのではなく、ある偏りを持った分布を示し、ゲート長を変化させた時に描く軌跡がほぼ一致することがわかる。

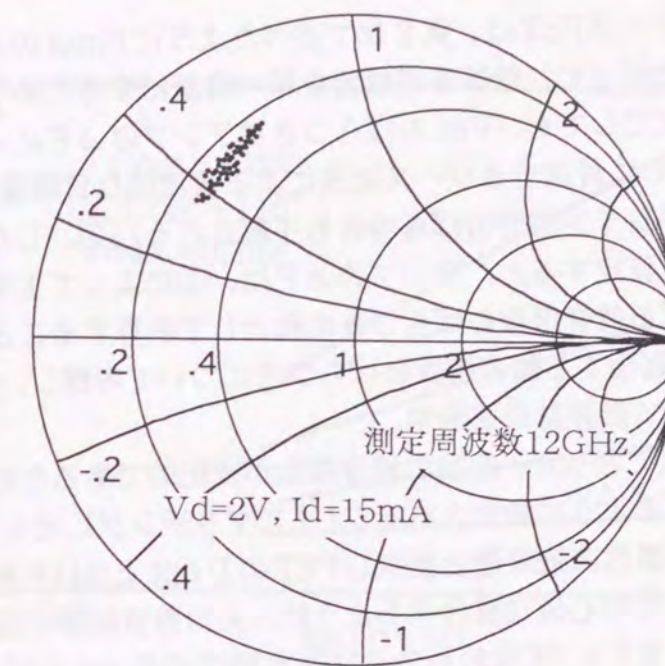


図4-3 Γ_{opt} のばらつき

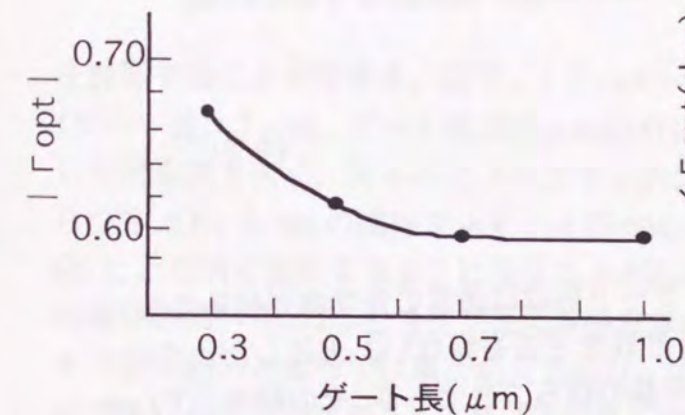


図4-4 $|\Gamma_{opt}|$ のゲート長依存性

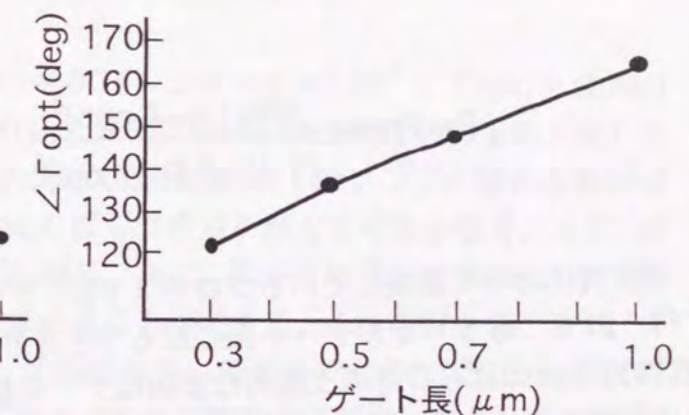


図4-5 $\angle\Gamma_{opt}$ のゲート長依存性

4.2.2 雑音指数の製造ばらつきと直列帰還量の関係

アンプの設計に関して、最も興味深い問題の一つは雑音指数の製造ばらつきである。設計の段階で雑音指数のばらつき ΔF を定量的に予測することは容易ではなく、詳しく解析された例は無い。しかしながら、民生応用に供し得る低雑音MMIC増幅器にとって、歩留りはコストを決定する最大の要因の一つであり、回路シミュレーションの段階で、「ばらつきを設計できる」ことは意味の大きいことである。ばらつきが生ずる要因として、①FETのFminのばらつき、②FETの Γ_{opt} のばらつき、③FETのVthのばらつき、等

が考えられる。パルスドープFETは、第2章で述べたようにFminのドレイン電流依存性が極めて小さい。したがって、低雑音増幅器を単一電源にするためゲートを自己バイアスするような回路方式にしても、Vthのばらつきはアンプの ΔF に大きな影響を与えない(自己バイアスのために付加するソース抵抗による直流的な負帰還の効果によって、Vthのばらつきによるドレイン電流のばらつきも圧縮される)[7]。したがって、①と②が統計的に独立であると仮定すると、アンプの ΔF は、①によって生ずる雑音指数のばらつきと②によって生ずる雑音指数のばらつきの和として計算することができる。本節では Γ_{opt} のばらつきに起因する雑音指数のばらつきについて考察し、一例として1段アンプと2段アンプについて計算結果を示す。

多段アンプの雑音指数にとって、初段の雑音指数が支配的であるため通常、初段の回路は雑音指数が最小になるように設計される(ノイズマッチング)。そして入力VSWRが仕様を満足するように誘導性直列帰還を装荷しFETの Γ_{opt} と S_{11}^* を接近させ、そのFETの Γ_{opt} のばらつきの中心値に整合するように、入力整合回路は設計される。この設計のねらいのポイントを Γ_s (すなわちスタブ付きFETの Γ_{opt} のばらつきの中心値)とすると、製造したMMICアンプの各FETの Γ_{opt} は、 Γ_s を中心に一定のばらつきを持つことになる。信号源反射係数が Γ_s のとき、雑音指数Fは次式で与えられる。

$$F = F_{min} + \frac{4R_n |\Gamma_s - \Gamma_{opt}|^2}{(1 - |\Gamma_s|^2)(1 + |\Gamma_{opt}|^2)} \quad (4-3)$$

本研究において提案しているプロセスでは、ゲート形成は通常の光学露光技術を用いて行うので、ある一定のゲート長のばらつきを許容せざるを得ない。上述したように、FETの Γ_{opt} のばらつきの支配的な要因はゲート長のばらつきであり、その結果 $\angle \Gamma_{opt}$ のばらつきに比して $|\Gamma_{opt}|$ のばらつきは小さく、アンプの ΔF の計算において考慮しなくてよい。したがって、 R_n がスタブ長Lstの関数($R_n[Lst]$ と表す)であること、 $|\Gamma_{opt}| = |\Gamma_s|$ (一定)という仮定などを考慮すれば、各段の雑音指数のばらつき ΔF_k は、 $\angle \Gamma_{opt}$ のばらつきを $\pm \Delta \theta$ と表すと式(4-3)から次のように表すことができる。

$$\Delta F_k = \frac{4R_n[Lst] |\Gamma_s|^2 \Delta \theta^2}{(1 - |\Gamma_s|^2)(1 + 2|\Gamma_s| \cos(\angle \Gamma_{opt}) + |\Gamma_s|^2)} \quad (4-4)$$

以上の考察から、スタブ長と $\angle \Gamma_{opt}$ のばらつきをパラメータとして、アンプの ΔF

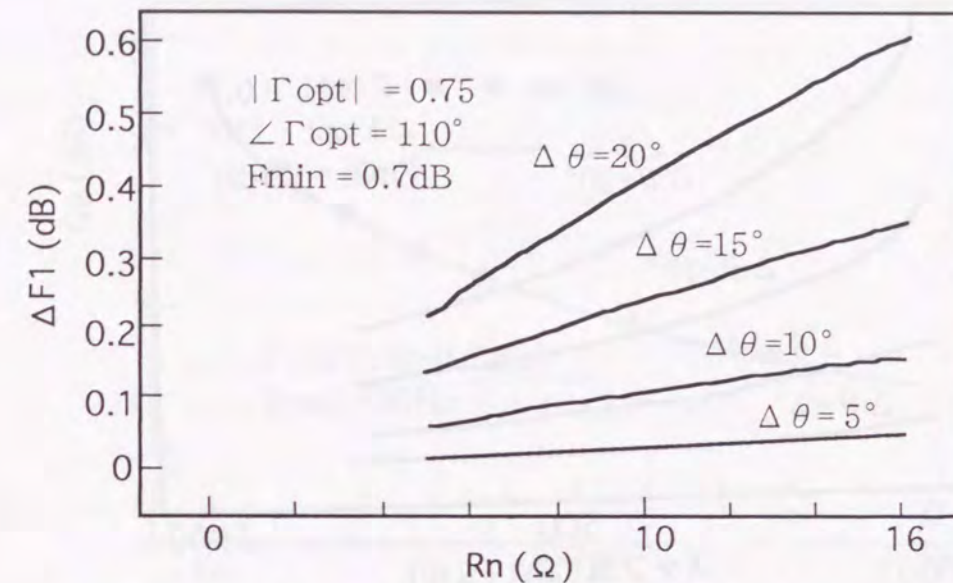


図4-6 1段アンプの雑音指数のばらつき $\Delta F1$ と R_n の関係

を計算することができる。以下、 $|\Gamma_{opt}| = 0.75$ 、 $\angle \Gamma_{opt} = 110^\circ$ 、 $F_{min} = 0.7\text{dB}$ (ゲート長 $0.3\mu\text{m}$ 、ゲート幅 $280\mu\text{m}$ のパルスドープGaAs MESFETの典型的な値)として計算例を示す。図4-6にノイズマッチングで設計された1段アンプの雑音指数のばらつき $\Delta F1$ と R_n の関係を示す。 $\angle \Gamma_{opt}$ のばらつき $\Delta \theta$ が大きくなるほど、 $\Delta F1$ は R_n により強く依存するようになることがわかる。次に、図4-2に示した R_n とスタブ長の関係を用いて $\Delta F1$ とスタブ長の関係を求めることができる。これを図4-7に示す。スタブ長の短いところでは傾きが大きく、比較的小さい帰還量で大きなばらつきの改善が得られることがわかる。スタブ長が長くなるにつれて飽和する傾向にある。この図は、回路設計の際に、アンプの雑音指数のばらつきを予測する一つの目安となるものである。

次に2段アンプについて考察する。2段アンプの雑音指数は、よく知られた式(4-5)を用いて計算することができる。

$$F = F_1 + \frac{F_2 - 1}{G_1} \quad (4-5)$$

ここで、 F_k 、 G_k はそれぞれk段目の雑音指数と利得を示す。この式が表しているように、多段アンプの雑音指数は初段の利得がある程度大きい場合、初段の雑音指数でほぼ決まるので、2段目以降は通常ゲインマッチングで設計されるが、本節では議論を簡単

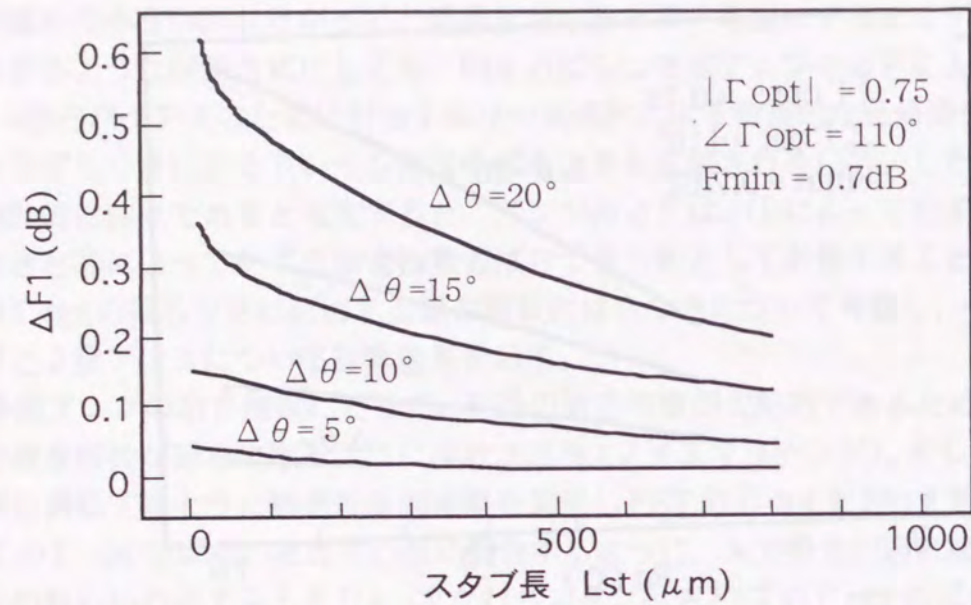


図4-7 $\Delta F1$ とスタブ長の関係

にするため、全段ノイズマッチングの構成とした場合の2段アンプについて考察する。ばらつきの小さいアンプを作ろうとする場合、比較的大きな帰還をかける（即ちスタブ長を長くする）ため、ノイズマッチングのアンプとゲインマッチングのアンプで利得に大きな差がなくなってくる。このような場合2段目以降もノイズマッチングで設計した方が雑音指数の点で有利な場合もあり、また本節での議論は2段目以降の回路がノイズマッチングでもゲインマッチングでも、ほとんど変わらない。したがって、以下の議論は必ずしも現実からかけはなれたものではない。

2段アンプの雑音指数のばらつきは、各段の雑音指数のばらつきが統計的に独立と仮定して計算した。2段アンプの場合は、式(4-5)からわかるように初段の利得の影響を受けるため、 ΔF の計算には初段回路の利得のスタブ長に対する依存性が必要である。これを図4-8に示した利得とスタブ長の関係に基づいて2段アンプの ΔF を計算した結果を図4-9に示す。1段アンプの場合と概ね同様の特性を示すことがわかる。3段アンプの ΔF の場合にも同様にして計算することができるが、2段アンプの場合とほとんど同じであり、最大でもその差は0.01dB（ $\Delta \theta = 20^\circ$ の場合）であった。したがって、図4-9は全段同一構成の多段アンプの雑音指数のばらつきのスタブ長に対する依存性を一般的に表しているといえる。

多段アンプの場合、スタブを長くすることによる雑音指数のばらつき圧縮の効果は、

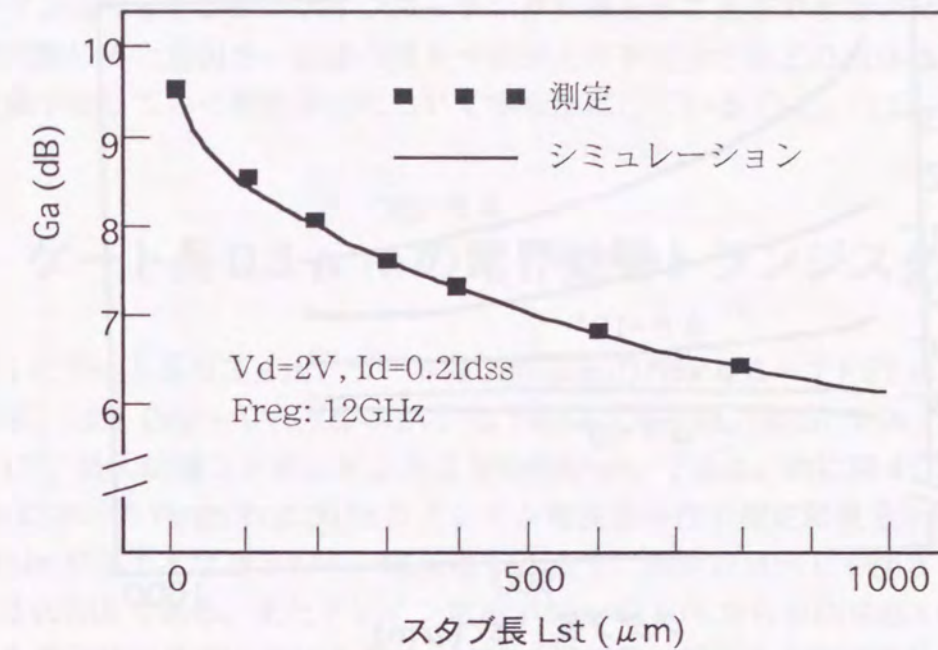


図4-8 利得とスタブ長の関係

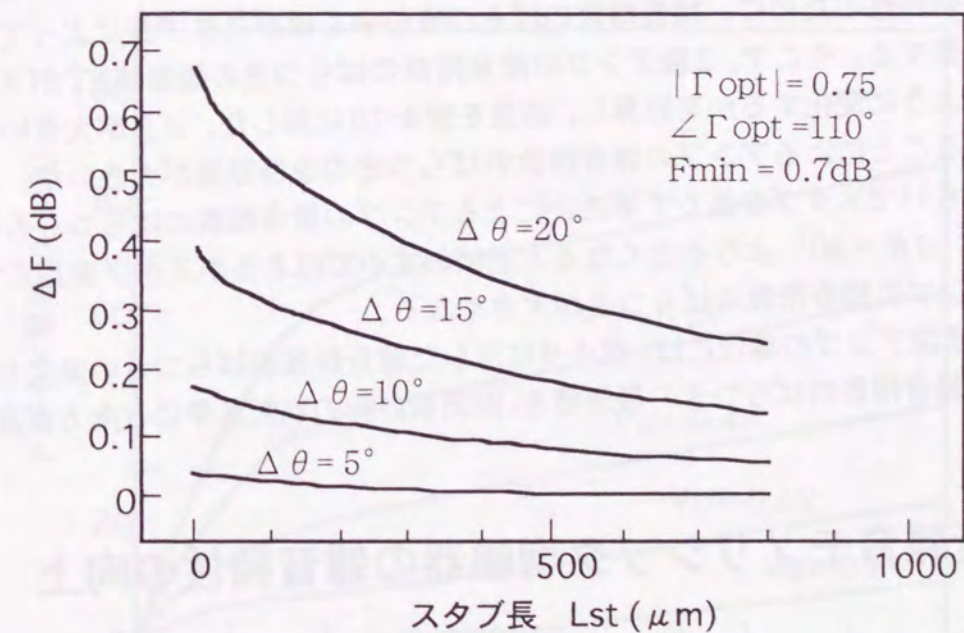


図4-9 2段アンプの ΔF

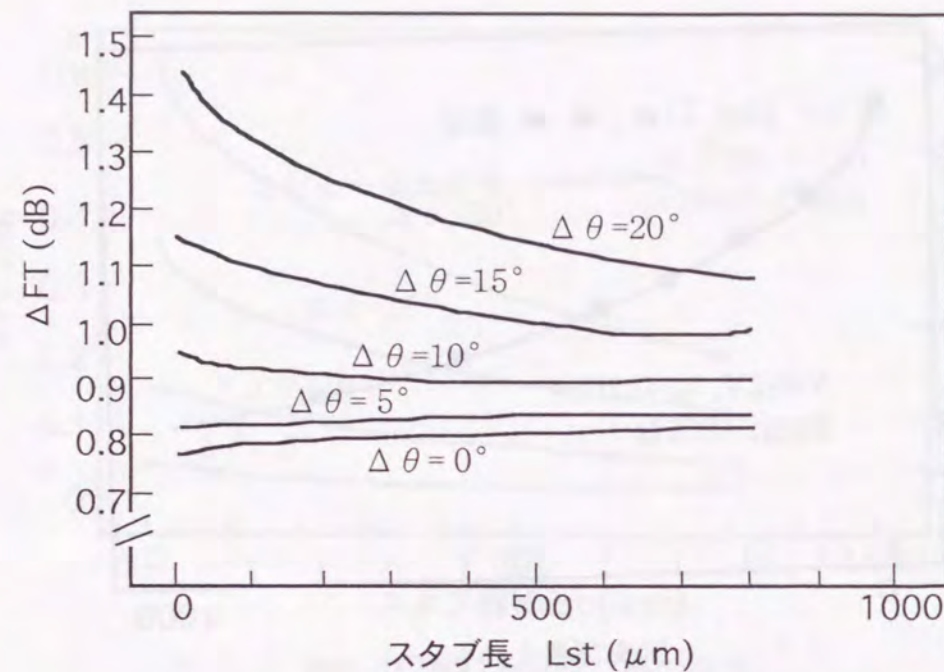


図4-10 2段アンプの雑音指数のばらつきの最悪値

一段アンプの場合よりも大きい。しかしながら、一段アンプの場合と異なって、各段の利得のスタブ長依存性のために、雑音指数のばらつきの中心値がスタブ長によって変化するため注意を要する。そこで、2段アンプの雑音指数のばらつきの最悪値FTがスタブ長に対してどのように変化するかを計算し、結果を図4-10に示した。 $\Delta\theta$ が大きいほどスタブを長くすることによるアンプの雑音指数のばらつきの改善効果が大きい、およそ $\Delta\theta=10^\circ$ くらいでスタブを長くすることによるアンプの雑音指数のばらつきの改善効果は無くなり、 $\Delta\theta=10^\circ$ より小さくなると逆にわずかながらスタブを長くすることによってアンプの雑音指数のばらつきが大きくなる。

したがって、多段アンプの場合には、図4-9に示した雑音指数のばらつきの値よりも、図4-10に示した雑音指数のばらつきの最悪値を、回路設計時の判断基準にした方がよい。

4.3 X帯低雑音モノリシック増幅器の雑音特性の向上

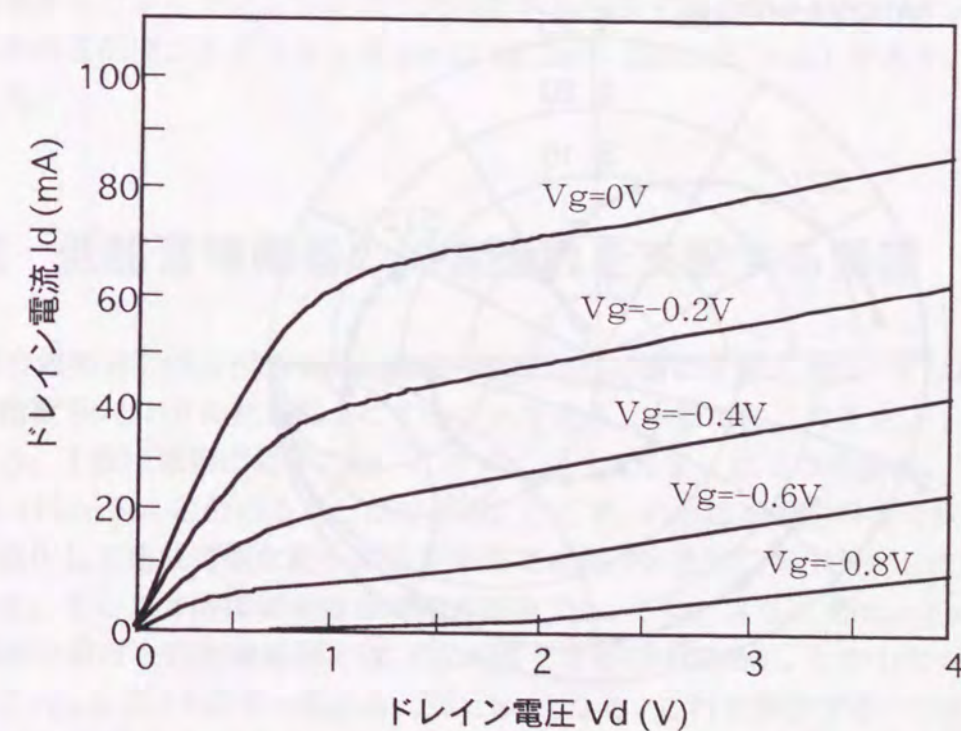
本節では、雑音指数1dBという高い目標にいかんして到達するかについて、その設計手法と、実際に試作した結果について述べる。もし、回路が無損失であり、理想的な設計が行われれば、低雑音増幅器の雑音指数は、回路を構成するFETの最適雑音指数 F_o に一致するはずである。しかしながら、実際の回路では段間のマッチング回路などに損失

があり、既に述べたように Γ_{opt} と S_{11}^* の不一致から完全なノイズマッチングあるいはインピーダンスマッチング（ゲインマッチング）をとることができない。そこで、これらの雑音指数の劣化要因を、回路の損失や設計上の不完全さなどの項目に分解し、個々の項目を最小にしていく設計手法について明らかにしている[11]、[12]。

4.3.1 ゲート長 $0.3\mu\text{m}$ の電界効果トランジスタの適用

図4-11にゲート長 $0.3\mu\text{m}$ 、ゲート幅 $280\mu\text{m}$ のパルスドープFETの代表的なI-V特性を示す。 I_{dss} ($V_g=0\text{V}$, $V_d=2\text{V}$)は 75mA (268mA/mm)、 V_{th} (ピンチオフ電圧)は -1V 、最大伝達コンダクタンスは 360mS/mm である。次に図4-12にこのFETの 12GHz における F_{min} および G_a のドレイン電流依存性の測定結果を示す。 12GHz における F_{min} が最小となるドレイン電流は 15mA で、 I_{dss} の20%に相当する。そのときの F_{min} は 0.7dB である。またドレイン電流が I_{dss} の10%から80%の広い範囲で F_{min} のドレイン電流依存性が非常に小さく、MMIC増幅器を設計する際に設計余裕が大きく且つ、 V_{th} 等のばらつきに対するプロセス余裕も大きい。

次に F_{min} が最小となるバイアス条件 ($V_d=2\text{V}$, $I_d=0.2I_{dss}$) における $2\sim 18\text{GHz}$


図4-11 I-V特性 ($L_g=0.3\mu\text{m}$, $W_g=280\mu\text{m}$)

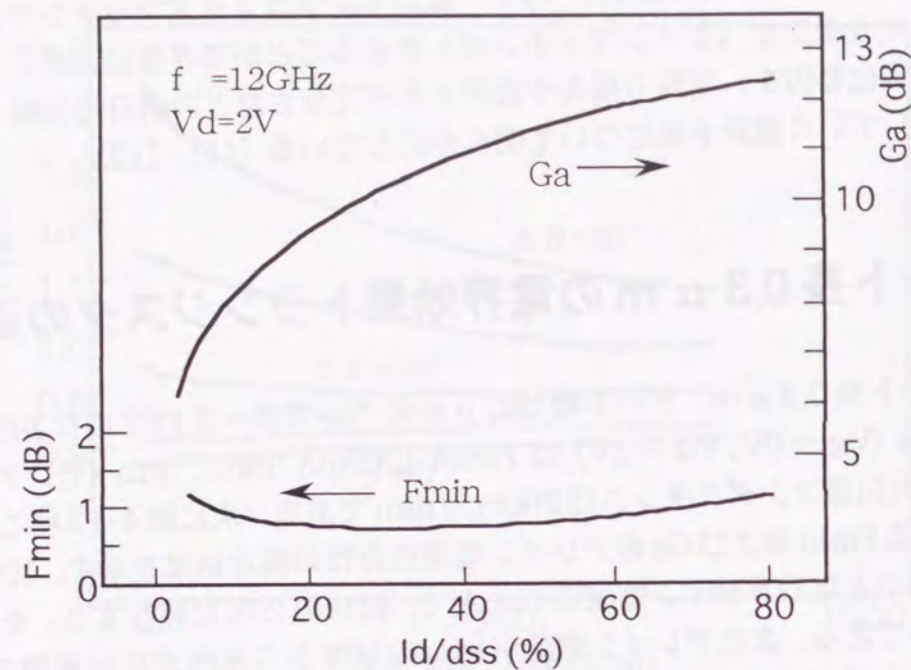


図4-12 FminおよびGaのドレイン電流依存性の測定結果

測定周波数2GHz~18GHz
Vd=2V, Id=0.2Idss

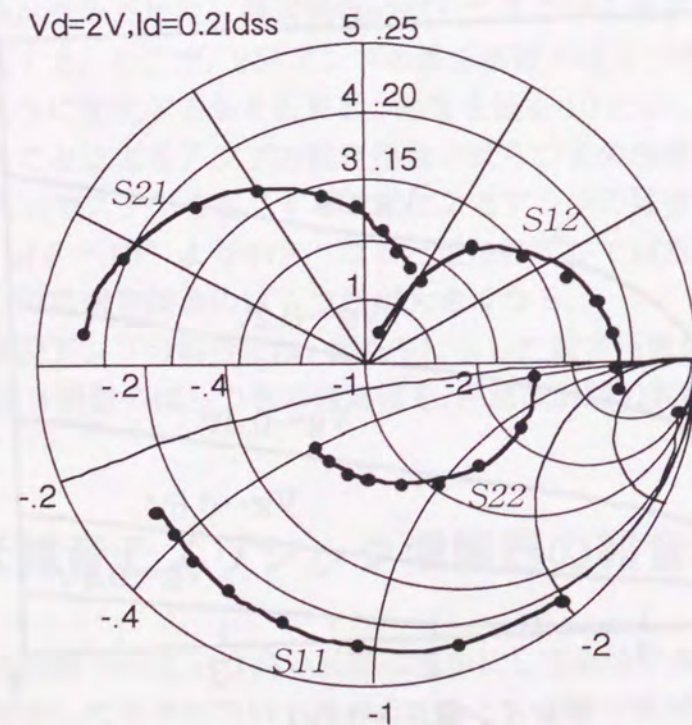


図4-13 Sパラメータの測定結果

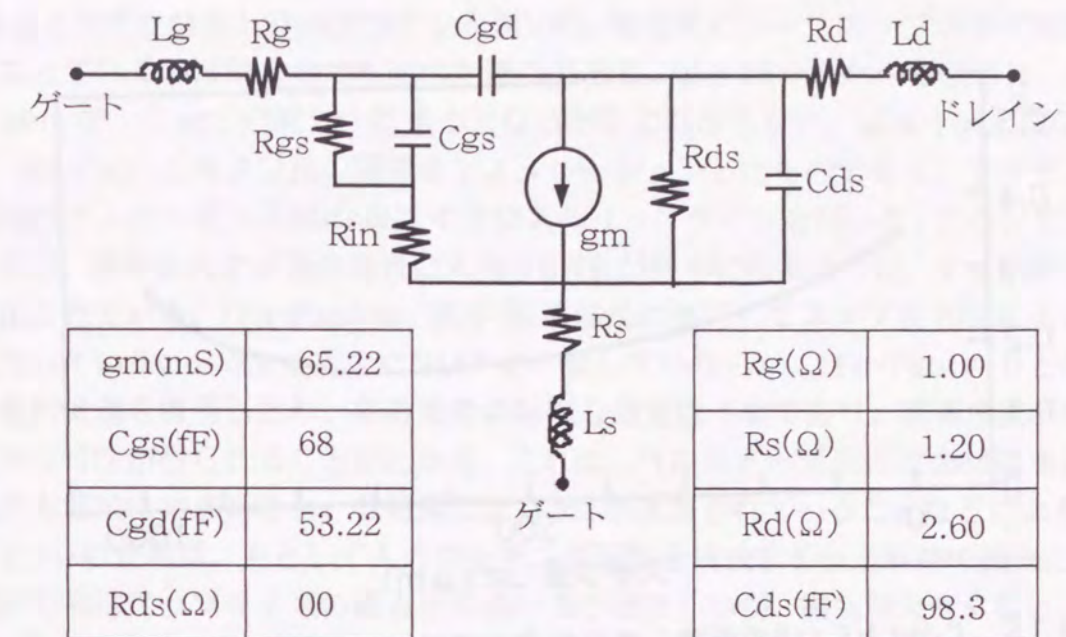


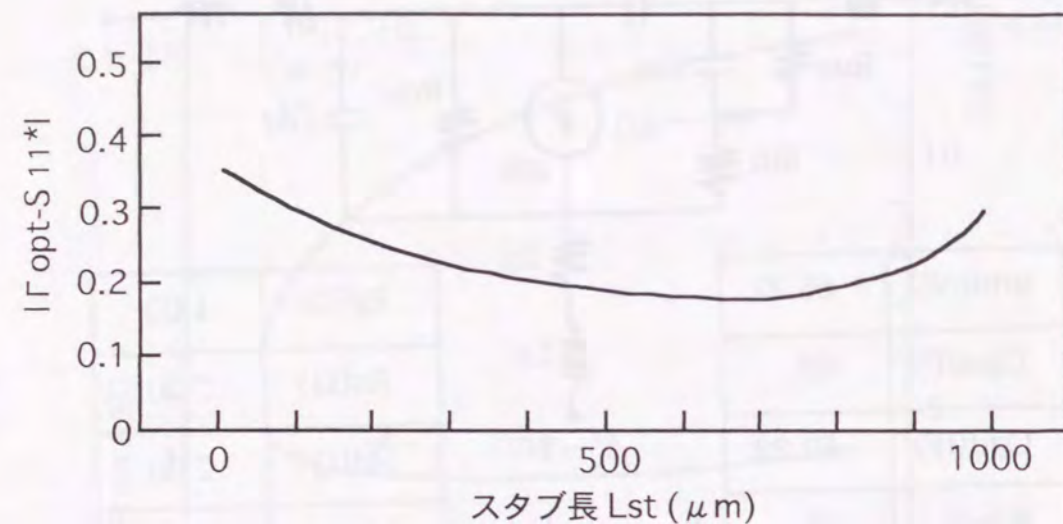
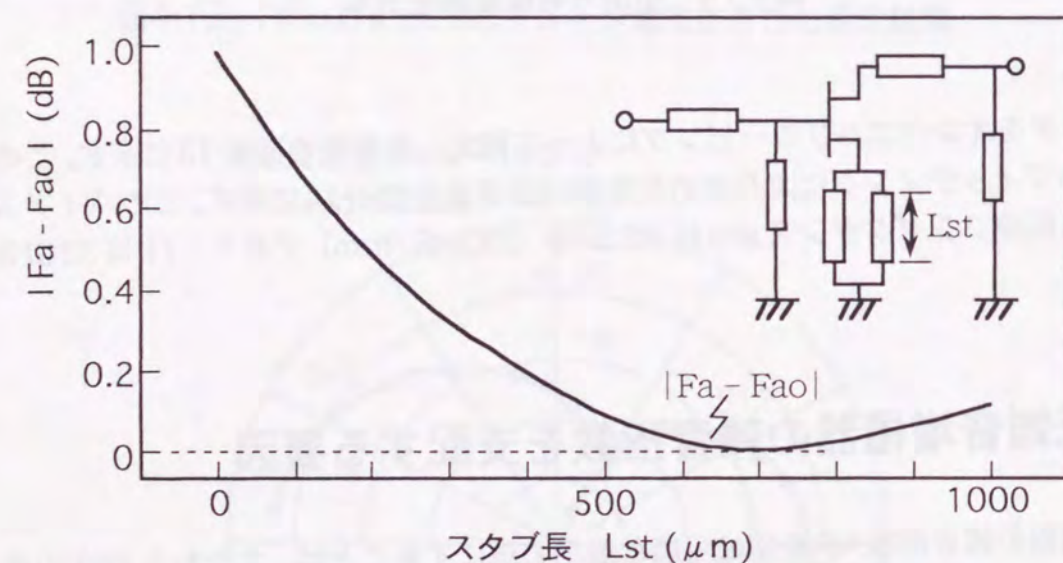
図4-14 小信号等価回路モデル

のSパラメータをオンウエハプロービングによって測定した結果を図4-13に示す。この測定結果からフィッティングにより求めた等価回路定数を図4-14に示す。このバイアス条件における伝達コンダクタンス gm は 65.2mS (232mS/mm) であり、 f_T は 32GHz であった。

4.3.2 低雑音増幅器の雑音指数を支配する要因

低雑音増幅器の雑音指数 NF を達成可能な最小の値にすることは、すなわち FET の最適雑音指数 F_o と NF の差を最小にすることである。本節ではこの差をノイズペナルティと記す。1 段増幅器の場合には、このノイズペナルティは2つの要素、すなわち $|F_a - F_{ao}|$ と $|F_{ao} - F_o|$ に分けることができる。ここで、 F_{ao} は増幅器の信号源インピーダンスを最適化して達成可能な最小の雑音指数であり、 F_a は 50Ω 系で測定した場合の雑音指数である。そして多段接続増幅器の雑音指数 F_{ma} には、さらに $|F_{ma} - F_a|$ が加わる。

理想的に設計された増幅器では、 $F_{ao} = F_a$ となるはずである。しかしながら、一般的に FET の Γ_{opt} と S_{11}^* の不一致から、 $F_a > F_{ao}$ となる。これを解決する一つ的设计手法が、誘導性直列帰還を用いるものであり、 12GHz 帯の狭帯域増幅器では有効である。Engberg は、直列帰還と並列帰還を併用することによって、最小雑音測度 M_{min} を一定

図4-15 Γ_{opt} と S_{11}^* の距離と直列帰還の関係のシミュレーション結果図4-16 $|Fa - Fao|$ とスタブ長の関係のシミュレーション結果

にしたまま、 Γ_{opt} と S_{11}^* を一致させる設計手法を明らかにした [1]。Lehmann は、誘導性直列帰還と適当な負荷条件の設定によって、ノイズマッチングとインピーダンスマッチングを両立させる設計手法を、MMIC 増幅器に初めて適用した [2]。

本節では、誘導性直列帰還のみを用いて $Fao \approx Fa$ とする手法について述べる。図4-15は、ゲート長 $0.3 \mu m$ のパルスドープ FET の $12GHz$ における Γ_{opt} と S_{11}^* の距離と直列帰還の関係をシミュレーションしたものである。直列帰還として特性インピーダ

ンス 86Ω のマイクロストリップラインを用いた。等価的にソーススタブが並列接続された形になっているのは第3章でも述べた通りである。図4-15からわかるように、スタブ長 $700 \mu m$ で $|\Gamma_{opt} - S_{11}^*|$ は最小となるが0にはならない。図4-16は $12GHz$ における $|Fa - Fao|$ とスタブ長の関係をシミュレーションしたものである。マッチング回路にも特性インピーダンス 86Ω のマイクロストリップラインを用いた。このシミュレーションでは、個々のスタブ長の場合に入力 VSWR が最小になるように、マッチング回路が最適化されている。 $|Fa - Fao|$ は、図4-15の結果に対応してスタブ長 $700 \mu m$ の時に最小となっている。 Γ_{opt} は完全に S_{11}^* に一致していないが、 $|Fa - Fao| \approx 0$ となっており、並列帰還を併用したり、負荷条件の特別な設定は不要であり、誘導性直列帰還のみで十分な特性が得られることがわかる。これは、パルスドープ FET における等雑音円の半径が本質的に大きいこと、負帰還により R_n が改善されていることなどによる。

Fao と Fo の差異は、主として入力マッチング回路を構成する伝送線路の損失による。伝送線路の幅はチップサイズの観点から細い方が望ましいが、損失が大きくなる。図4-17は、1段増幅器の $12GHz$ における雑音指数と伝送線路の幅の関係をシミュレーションしたものである。直列帰還のスタブ長は $700 \mu m$ である。配線層の金メッキ厚は、 $12GHz$ における金の表皮厚の4倍に等しい $3 \mu m$ とし、この体積抵抗率は $2.2 \mu \Omega cm$ である。この図より、雑音指数は線路の幅が $20 \mu m$ 以上では変化しなくなることがわかる。一

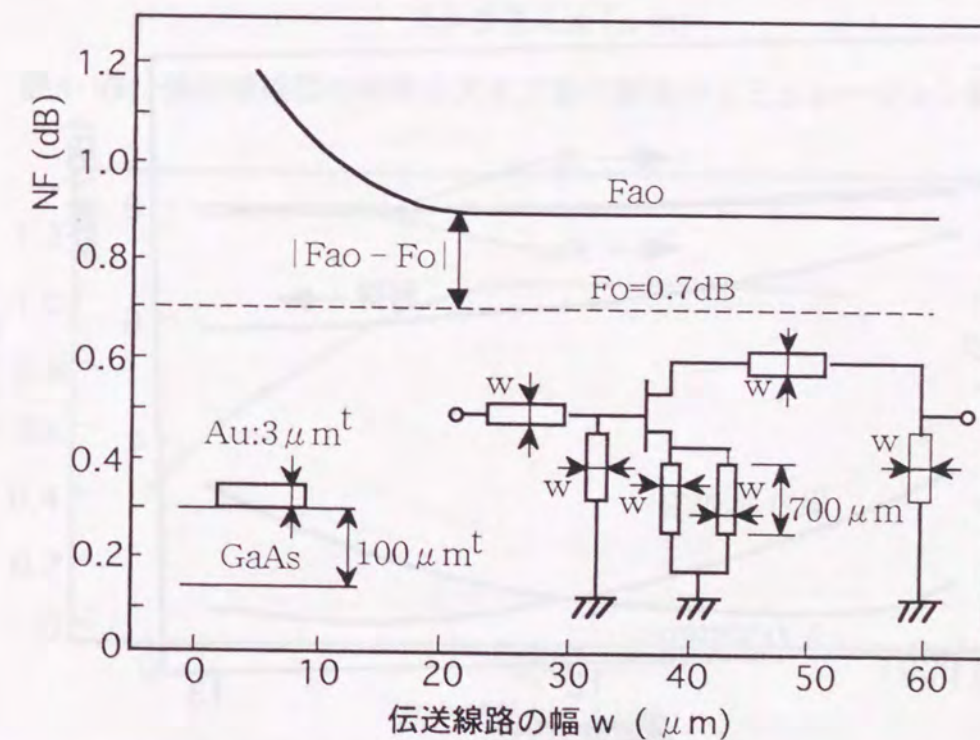


図4-17 雑音指数と伝送線路の幅の関係のシミュレーション結果

方、 $20\mu\text{m}$ 以下の領域では、雑音指数は線路の幅に対して敏感に変化することがわかる。したがって、線路の幅は $20\mu\text{m}$ とすべきことがわかる。この場合、厚さ $100\mu\text{m}$ のGaAs基板上のマイクロストリップラインの特性インピーダンスは 86Ω となる。第3章で述べたMMICは、GaAs基板の厚さを $150\mu\text{m}$ としていたが、チップサイズを小型化するため、さらに薄層化し $100\mu\text{m}$ とした。同図において破線で示したのは、ゲート長 $0.3\mu\text{m}$ のパルスドープFETの 12GHz での F_o であり、その値は 0.7dB である。このシミュレーション結果は、 $|F_{ao}-F_o|=0.2\text{dB}$ が達成可能な最小値であることを示している。

4.3.3 初段増幅器の設計

図4-18は、特性インピーダンス 86Ω のマイクロストリップラインを用いて設計した初段増幅器の周波数特性のシミュレーション結果である。直列帰還のスタブ長は $700\mu\text{m}$ である。 12GHz における雑音指数は 0.9dB 、利得 6.1dB 、入出力VSWRは 1.2 である。この図には、 F_{ao} のシミュレーション結果もプロットしたが、 12GHz では $|F_a-F_{ao}|\approx 0$ であり、 $700\mu\text{m}$ のスタブによりほぼ完全なマッチングがとれていることがわかる。

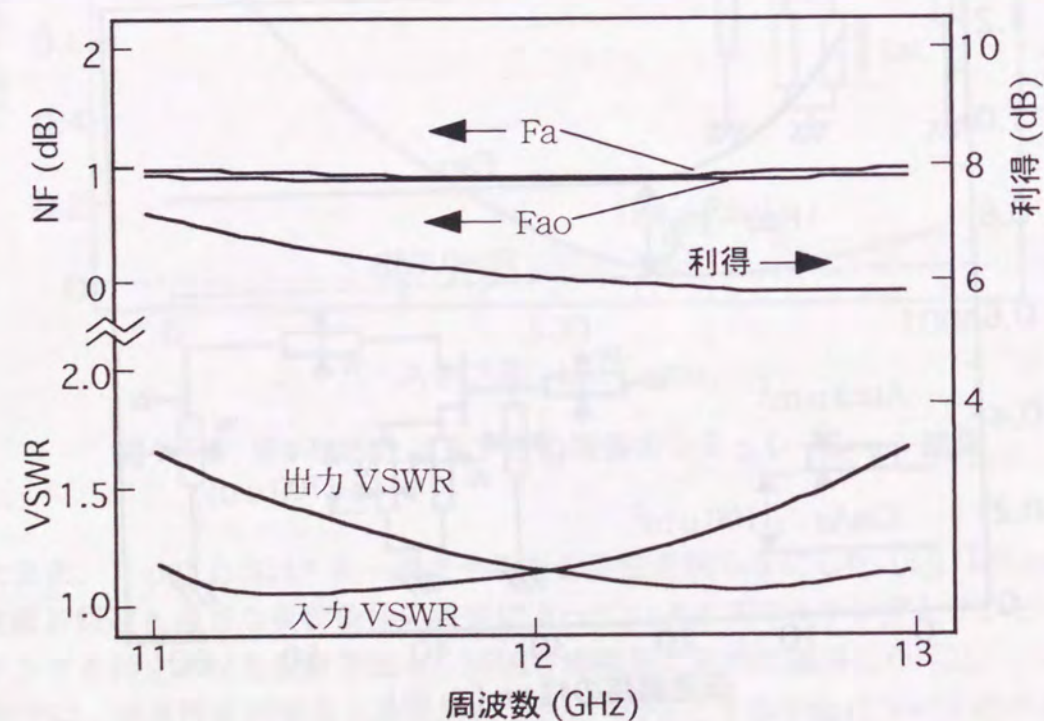


図4-18 初段増幅器の周波数特性のシミュレーション結果

4.3.4 後段増幅器の設計

多段増幅器の雑音指数は初段増幅器の雑音指数が支配的であり、通常、後段増幅器は利得をより高くするよう設計される。高利得の観点からは、負帰還としてのスタブ長は短い方が望ましい。図4-19は、 12GHz における利得とスタブ長の関係をシミュレーション

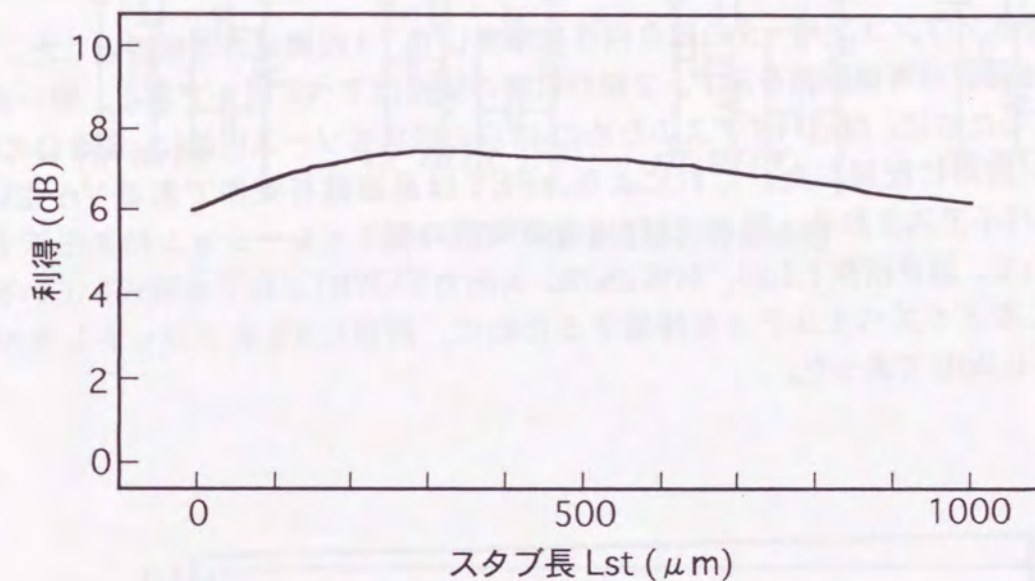


図4-19 後段増幅器の利得とスタブ長の関係のシミュレーション結果

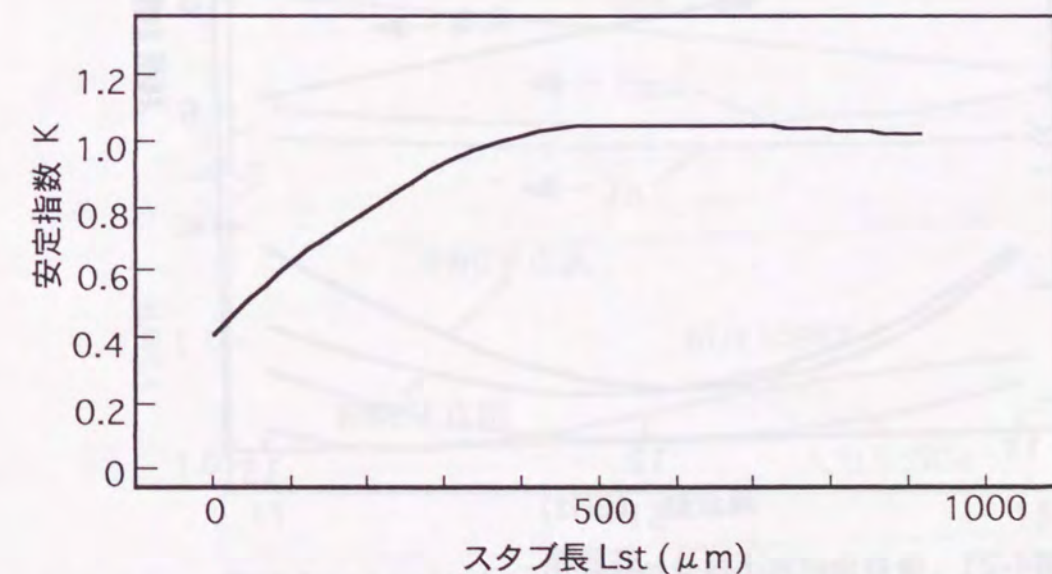


図4-20 Kファクタとスタブ長の関係のシミュレーション結果

ンしたものである。このシミュレーションでは、個々のスタブ長において利得が最大になるようにマッチング回路を最適化している。利得はスタブ長 $400\mu\text{m}$ で最大値をとることがわかる。図4-20にKファクタとスタブ長の関係のシミュレーション結果を示したが、スタブ長 $400\mu\text{m}$ 以上で $K>1$ となっており、設計余裕を考慮してスタブ長を $500\mu\text{m}$ とした。図4-21に、スタブ長 $500\mu\text{m}$ の増幅器の周波数特性のシミュレーション結果を示した。12GHzにおいて、雑音指数1.2dB、利得7.3dB、入出力VSWR1.1以下を達成している。

衛星放送受信ダウンコンバータの総合利得を考慮して、4段構成の増幅器とした。図4-22に4段増幅器の等価回路を示す。2段目以降の回路はすべて同一である。単一8V電源動作とするために、自己バイアスのための 42Ω の抵抗をソース回路に、 358Ω の抵抗をドレイン回路に配置した。これにより、FETは最適雑音条件である $V_d=2\text{V}$ 、 $I_d=15\text{mA}$ にバイアスされる。図4-23に4段増幅器のシミュレーション結果を示す。12GHzにおいて、雑音指数1.1dB、利得28dB、入出力VSWR1.2以下を達成している。多段接続によるノイズペナルティを評価するために、同図に F_a もプロットしたが、 $|F_{ma}-F_a|=0.2\text{dB}$ であった。

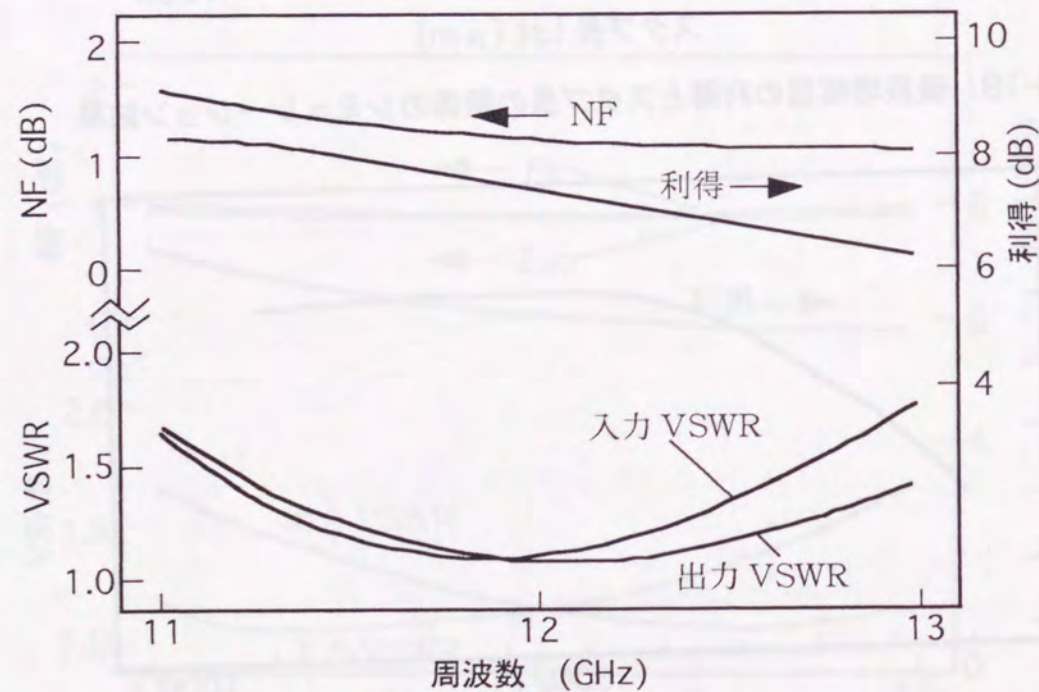


図4-21 後段増幅器の周波数特性のシミュレーション結果

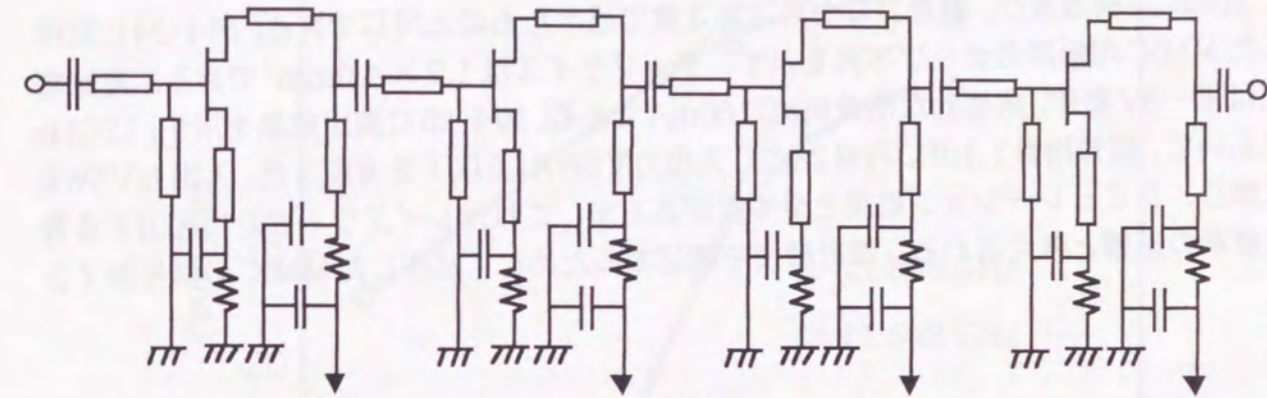


図4-22 4段増幅器の等価回路

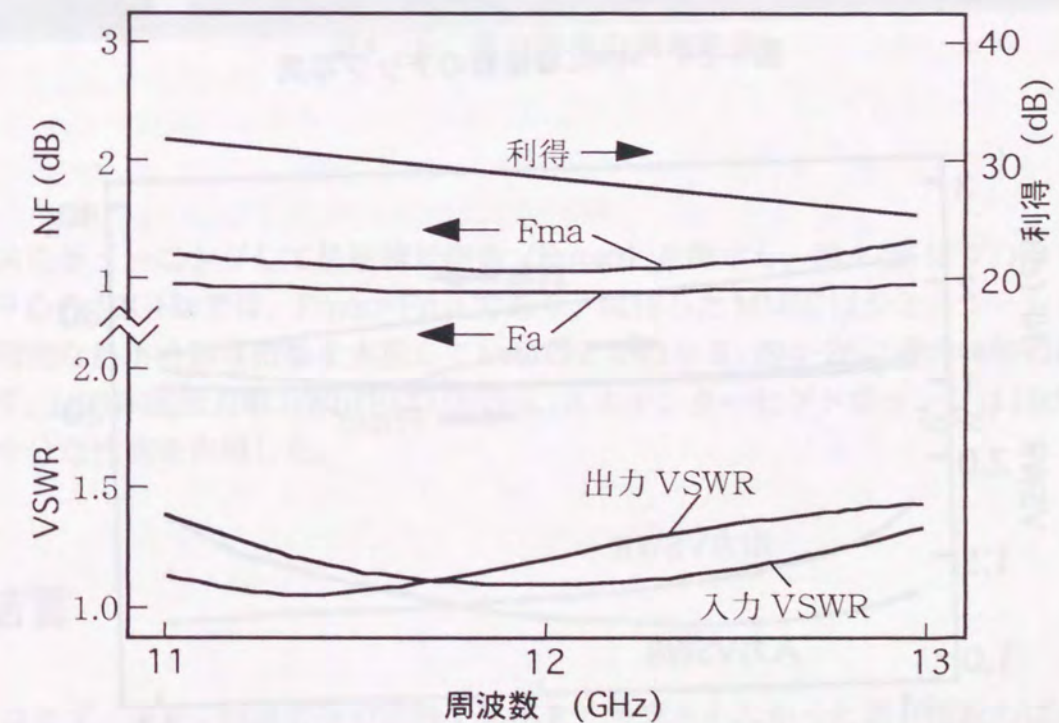


図4-23 4段増幅器のシミュレーション結果

4.3.5 X帯低雑音モノリシック増幅器の特性

MMICの構造及び、製造プロセスは第3章で述べたものと同じである。図4-24に試作したMMIC増幅器のチップ写真を示す。チップサイズは $1.2 \times 4.0 \text{ mm}^2$ である。電源電圧は単一8V動作、典型的な消費電流は60mAである。図4-25に測定結果を示す。12GHzにおいて、雑音指数1.1dB、利得28dB、入出力VSWR1.5以下を実現した。入出力VSWRに関し、シミュレーション結果とやや差があるが、これはレイアウト設計に起因する寄生要素の影響と考えられる。設計精度を確認するために、試作したMMICの信号源イン

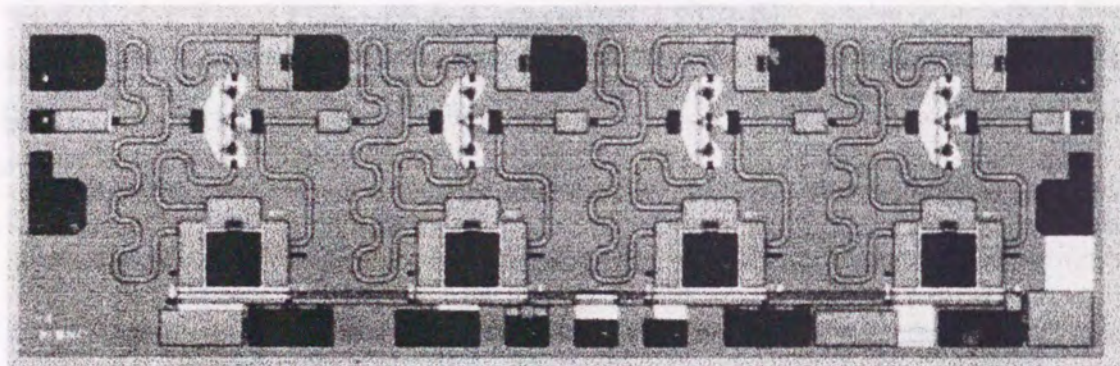


図4-24 MMIC増幅器のチップ写真

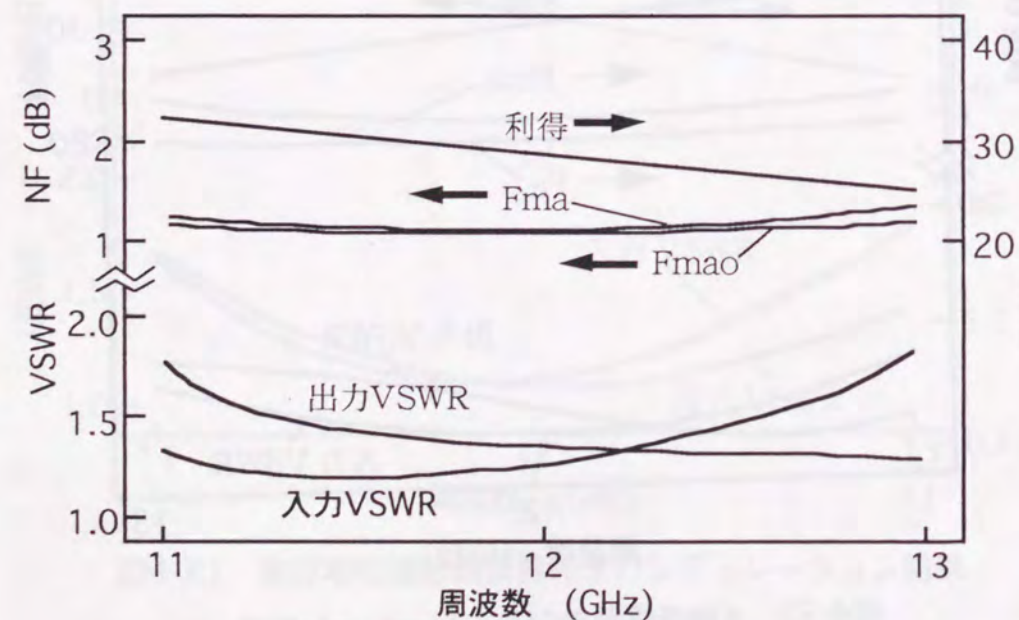


図4-25 MMIC増幅器の測定結果

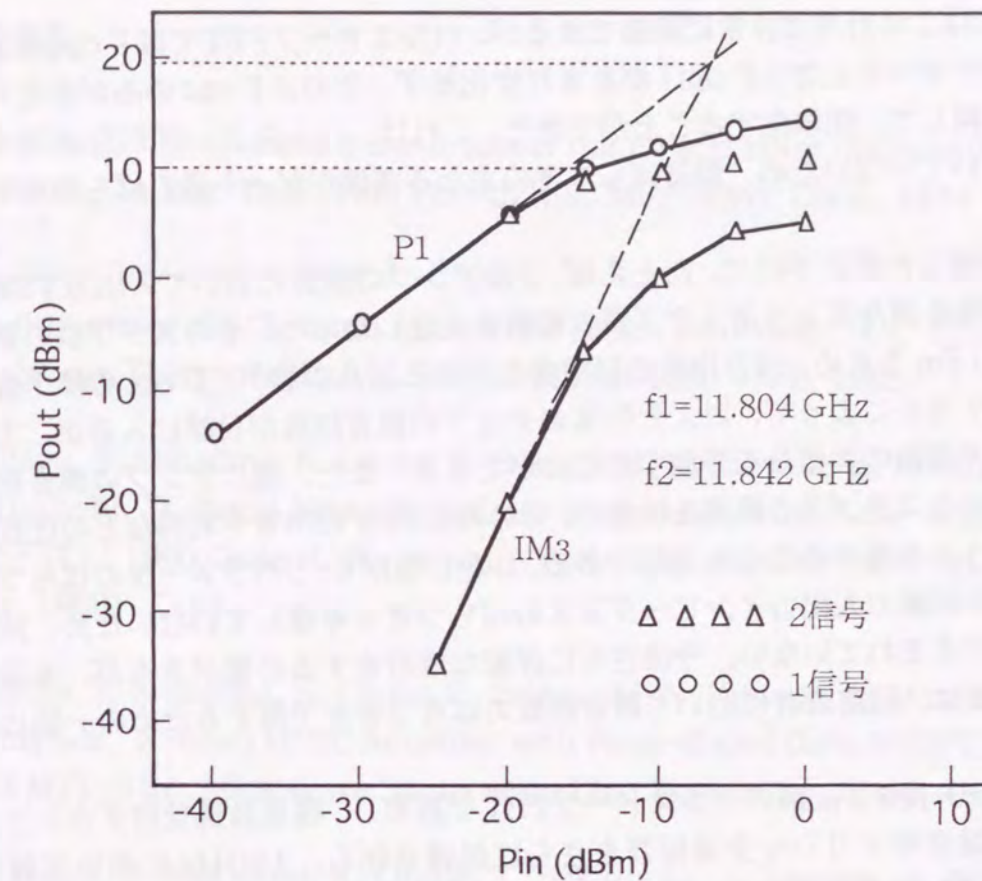


図4-26 電力特性の測定結果

ピーダンスをチューニングして最適雑音指数 (F_{mao}) を測定し、図4-25にプロットした。設計中心の12GHzでは、 $F_{mao}=F_{ma}$ であり、試作したMMICはシミュレーション通り達成可能な最小の雑音指数を実現していることがわかる。図4-26に電力特性の測定結果を示す。1dB抑圧出力電力 P_{1dB} は10dBm、3次インターセプトポイントは19dBmであり、十分な性能を実現した。

4.4 結言

本章ではまず、従来、回路設計の段階ではあまり考慮されなかった雑音指数のばらつきの問題に関し、低雑音アンプの設計において重要な誘導性直列帰還の大きさ、すなわちソース・スタブ長に関連づけてある程度予測することができることを明らかにした。通

常のFETではこの計算は非常に困難であるが、パルスドープFETでは Γ_{opt} のばらつきが、スミスチャート上で $|\Gamma_{opt}|$ があまり変化せず、その $\angle \Gamma_{opt}$ のみが変化するという特徴を利用して、簡単化することができた。これは、パルスドープFETがゲートリセス構造を用いていないため、製造ばらつきの主たる要因がゲート長のばらつきであることによる。

本章で提案した設計手法は、たとえば、2段アンプの設計において入出力VSWRや利得などの仕様を満たすようにスタブ長の範囲を決定したのち、そのスタブ長の範囲における $FT + \angle Fm$ を求め、雑音指数の目標値を下回る $\angle \theta$ の値が、 Γ_{opt} の標準偏差 σ の何倍に相当するかによって、およそ何%のチップの雑音指数が目標に入るか、すなわちアンプの雑音指数の歩留りを予測することができる。また、逆にアンプの雑音指数の歩留りの観点からスタブ長の範囲を決定し、その時入出力VSWRや利得などの仕様を満たされるかどうかを調べることも可能である。しかしながら、Sパラメータのばらつきに起因する各段の回路の入出力インピーダンスのばらつきを考慮していないため、段間の不整合の影響が含まれていない。今後さらに詳細な解析をする必要があるが、本章で提案した設計手法は、回路設計において雑音指数のばらつきを予測するための一助になると考える。

また、ゲート長 $0.3 \mu m$ のパルスドープFETを適用し、衛星放送受信ダウンコンバータ用X帯低雑音モノリシック増幅器をさらに低雑音化し、12GHzにおいて雑音指数1.1dB、利得28dBを実現した。原理的に達成可能な最小の雑音指数を実現するために、FETの最適雑音指数 Fo からのノイズペナルティを、 $Fao-Fo$ 、 $Fa-Fao$ 、 $Fma-Fa$ に分解し、各々のノイズペナルティを最小にする設計を行った。また、設計精度を確認するため、試作したMMICの信号源インピーダンスをチューニングして測定し、 $Fmao=Fma$ であることを確認した。12GHzにおける雑音指数1.1dBという値は、MMIC増幅器としては世界最小の値である。

参考文献

- [1] J. Engberg, "Simultaneous input power match and noise optimization using feedback," in Dig. Tech. Pap. Fourth Eur. Microwave Conf., 1974, pp. 385-389.
- [2] R. Lehmann et al., "X-band monolithic series feedback LNA," IEEE Trans. Microwave Theory Tech., vol. 33, no. 12, pp. 1560-1566, 1985.
- [3] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band Monolithic Four-stage LNA with Pulse-doped GaAs MESFETs," 1990 GaAs IC Symposium Tech. Dig., New Orleans, pp. 237-240 (Nov. 1990). C-57.
- [4] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band MMIC Amplifier with Pulse-doped GaAs MESFETs," 1991 IEEE MTT-S Int. Microwave Symposium Dig., Boston, pp. 77-80 (June 1991).
- [5] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band MMIC Amplifier with Pulse-doped GaAs MESFETs," IEEE Trans. Microwave Theory Tech., vol. 39, no. 12, pp. 1987-1994, 1991.
- [6] 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: "パルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察 (1)", 1990 信学秋季全大, C-418.
- [7] 志賀信夫, 乙部健二, 中島 成, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: "単一電源 12GHz 帯 MMIC 低雑音アンプ", 1991 信学秋季全大, C-33.
- [8] 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: "パルスドープ構造 GaAs MESFET を用いた 12GHz 帯低雑音 MMIC アンプ", 信学技報, MW90-84, pp.27-34 (1990-11).
- [9] 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: "パルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察 (4)", 信学技報, MW91-30, pp.55-62 (1991-05).

- [10] 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: “パルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察 (3)”, 1991 信学春季全大, C-522.
- [11] N. Shiga, S. Nakajima, N. Kuwata, K. Otobe, T. Sekiguchi, K. Matsuzaki, and H. Hayashi, "12 GHz Low-noise MMIC Amplifier with GaAs Pulse-doped MESFET's," IEICE Trans. Electron, vol. E77-C, no. 9, pp. 1500-1506, 1994.
- [12] 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: “衛星放送受信用低雑音 MMIC アンプ”, 1992 テレビ学年次大会予稿集, 6-2.

第5章 低雑音 GaAs 電界効果トランジスタの モデル化

5.1 緒言

本章では、低雑音 GaAsMESFET のモデル化技術について述べる。デバイスのモデル化技術は、デバイス構造の設計やこれらを用いた回路設計において重要な役割を果たす。今日、Computer Aided Design (CAD) システムの発展には目を見はるものがあり、日進月歩で高度化しているが、CAD システムを用いた回路シミュレーションのためのデバイスの等価回路モデルも、この高度化された CAD システムの機能を十分に活用できるものが望ましいが、このような観点からの等価回路に関する研究例はほとんど無い。本章ではこの点に鑑みて、まず GaAsMESFET の雑音係数のモデル化に関して、最近の非常に優れた性能を有する CAD システムの機能を有効に活用でき、解析に便利な新しい雑音等価回路の提案を行い、その等価回路を用いたシミュレーション手法について述べている。そして、この等価回路及びシミュレーション手法を用いてパルスドープ構造 GaAsMESFET における雑音係数のふるまいを解析し、その優れた低雑音特性の理論解釈を与えている。

一方、最近は歩留りを予測したり、そのために歩留りをモデル化するような報告例が増えている [1] - [3]。低雑音増幅器の設計では適用するトランジスタの雑音パラメータの評価が重要であるが、とりわけ最適雑音指数 F_0 がその雑音特性を支配する重要なパラメータである。トランジスタの雑音指数は、そのトランジスタから見た信号源インピー

ダンスが最適雑音指数に一致する時最小となる。したがって、最適雑音指数の製造ばらつきは低雑音増幅器の雑音指数の歩留りに重大な影響を与えるため、そのばらつきを解析することは極めて大きな意味を持つが、トランジスタの雑音指数の製造ばらつきをモデル化した研究例はほとんど無い。本章では最適雑音指数のモデル化に際し、パルスドープ構造 GaAsMESFET における最適雑音指数のばらつきを支配する要因を明らかにし、ゲート長の製造ばらつきの分布から最適雑音指数の確率密度関数を解析的に導出し、導出した式による計算結果と実験結果がよく一致することを示す。

5.2 雑音係数のモデル化

FETの雑音のふるまいをモデル化することは極めて重要であり、古くから数多くの研究がなされてきた。FETにおける熱雑音の理論に関する先駆的な研究はvan der Zielによって行われた[4]、[5]。また、Baechtoldはvan der Zielのモデルに電子の飽和速度を考慮に入れることにより[6]、また谷間散乱雑音(intervalley scattering noise)を考慮に入れることにより[7]、短ゲートのFETに関するモデルの精度を向上させた。一方、Cappyはゲート・ドレイン容量Cgdとドレインコンダクタンスgdが高周波領域における雑音指数に大きな影響を与えることを指摘した[8]。本節の目的は、上述したすべての付加的な要素を記述できる等価回路を提案し、そのモデル精度を実証することである。特に、van der Zielモデルにおける雑音係数(P, R, C)の解析は重要であるが、直接測定することは難しく、また解析的に求めることも困難である。そこで、測定が容易な雑音パラメータ、すなわち最小雑音指数Fmin、等価雑音抵抗Rn、最適信号源インピーダンス(Sopt)からフィッティングにより雑音係数シミュレーションすることができる等価回路モデルを提案する。

5.2.1 新しい雑音等価回路の提案

一般に、4つの雑音パラメータ、Fmin、Rn、|Sopt|、 $\angle$ Soptが能動回路の雑音を特性付けるために用いられる。Soptのかわりに、しばしば最適信号源反射係数 Γ_{opt} が用いられる。能動回路の雑音指数は、信号源反射係数Ssource(すなわちインピーダンス)に依存し、Ssource=Soptの時、最適値をとる。等価雑音抵抗Rnは、その回路が発生する雑音と等価な熱雑音を生じる抵抗値と定義される。抵抗が発生する熱雑音電圧の2乗平均値は次式で表される。

$$\langle v_n^2 \rangle = 4kT \Delta f R_n \quad (5-1)$$

ここで、kはボルツマン定数、Tは回路の絶対温度、 Δf は解析する帯域幅、 $\langle \rangle$ は統計的平均値を表す[9]。

雑音パラメータをモデル化するために用いられる等価雑音回路は、図5-1に示したような小信号Sパラメータをモデル化するためによく用いられる等価回路に少し手を加えることによって得られる。この等価雑音回路を用いてシミュレーションを行う際のCADとしては、HP 85150B Microwave and RF Design Systems (MDS)を想定している。図5-1は、このMDSのdesign pageに記述されるものであり、回路記号その他の表記法はMDSにしたがったものである[10]。等価雑音回路では、図5-1に示した回路においてドレイン、ゲート、ソースに配置された抵抗(Rd、Rg、Rs)が、式(5-1)で表される熱雑音電圧を持つnoisyな抵抗に置き換えられる。図5-2に本節で提案する等価雑音回路を示す。通常、noisyな抵抗はノートの等価回路が適用されるが[6]、[7]、シミュレーションにおいて抵抗値が無限大の値をとる時に問題が生じやすいので、ここではテブナンの等価回路を適用している。したがって、noisyな抵抗は、雑音を生じない理想的な抵抗と雑音電圧源が直列接続された回路で表現されている。図5-2もまた、MDSのdesign pageとして記述されるものである。

次に、FET内部で発生する雑音の雑音源、すなわちドレイン雑音電流源Indおよびゲート雑音電流源Ingを付加しなければならない。van der Zielモデルでは、IndとIngの平均2乗振幅が次式で記述される。

$$\langle i_{nd}^2 \rangle = 4kT \Delta f g_m P \quad (5-2)$$

$$\langle i_{ng}^2 \rangle = 4kT \Delta f \frac{\omega^2 C_{gs}^2}{g_m} R \quad (5-3)$$

ここで、 ω は角周波数を表し、P、Rはそれぞれバイアス条件に依存する無次元の係数を表す。本節では、すべて $\Delta f=1\text{Hz}$ として解析するので、以降の計算式では Δf を省略する。

また、一般的にIndとIngには統計的な相関があるため、等価雑音回路にはさらにこの相関係数の記述が必要である。相関は、複素数によって表され、次式で記述される。

図5-1 小信号Sパラメータをモデル化するための等価回路

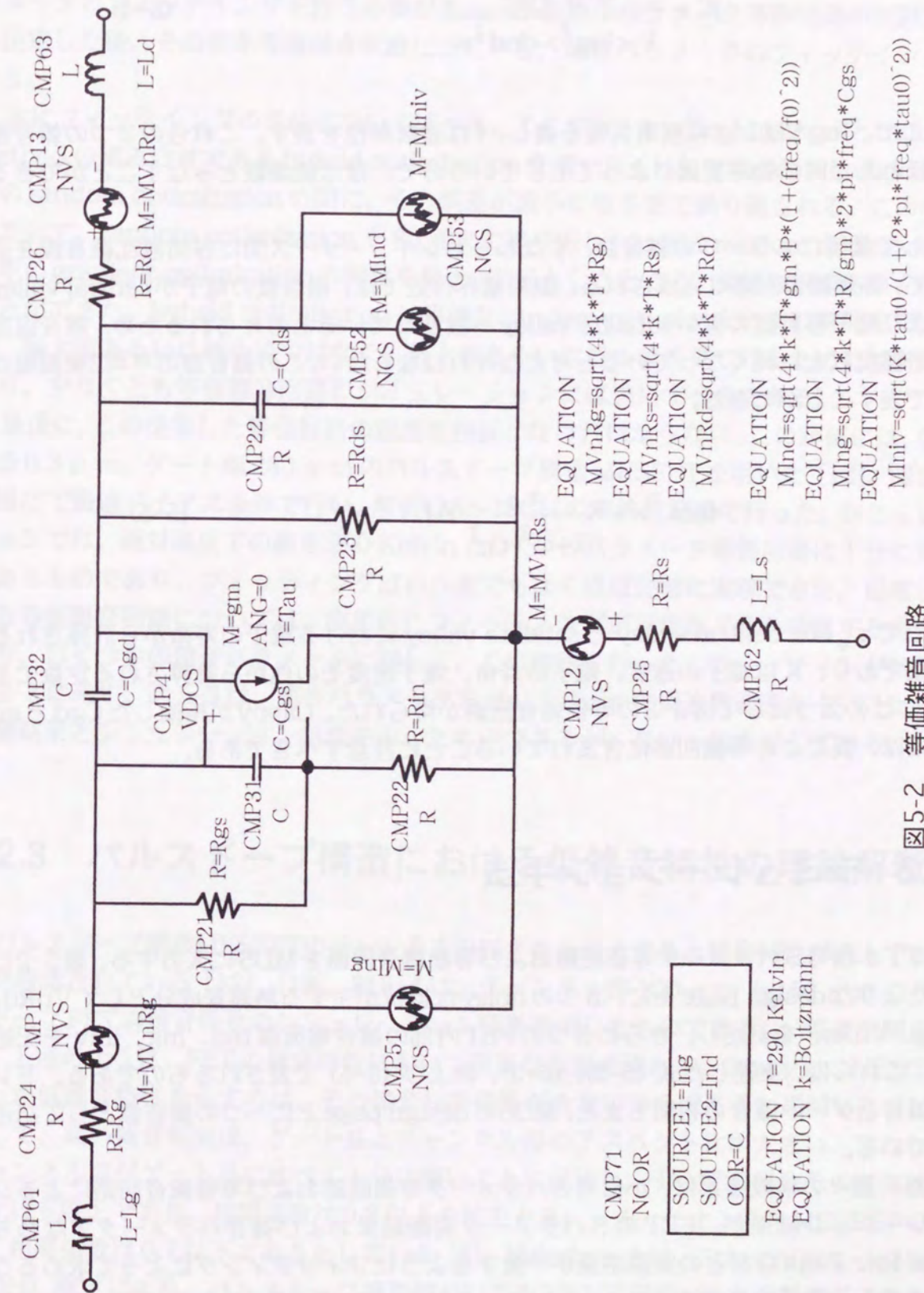
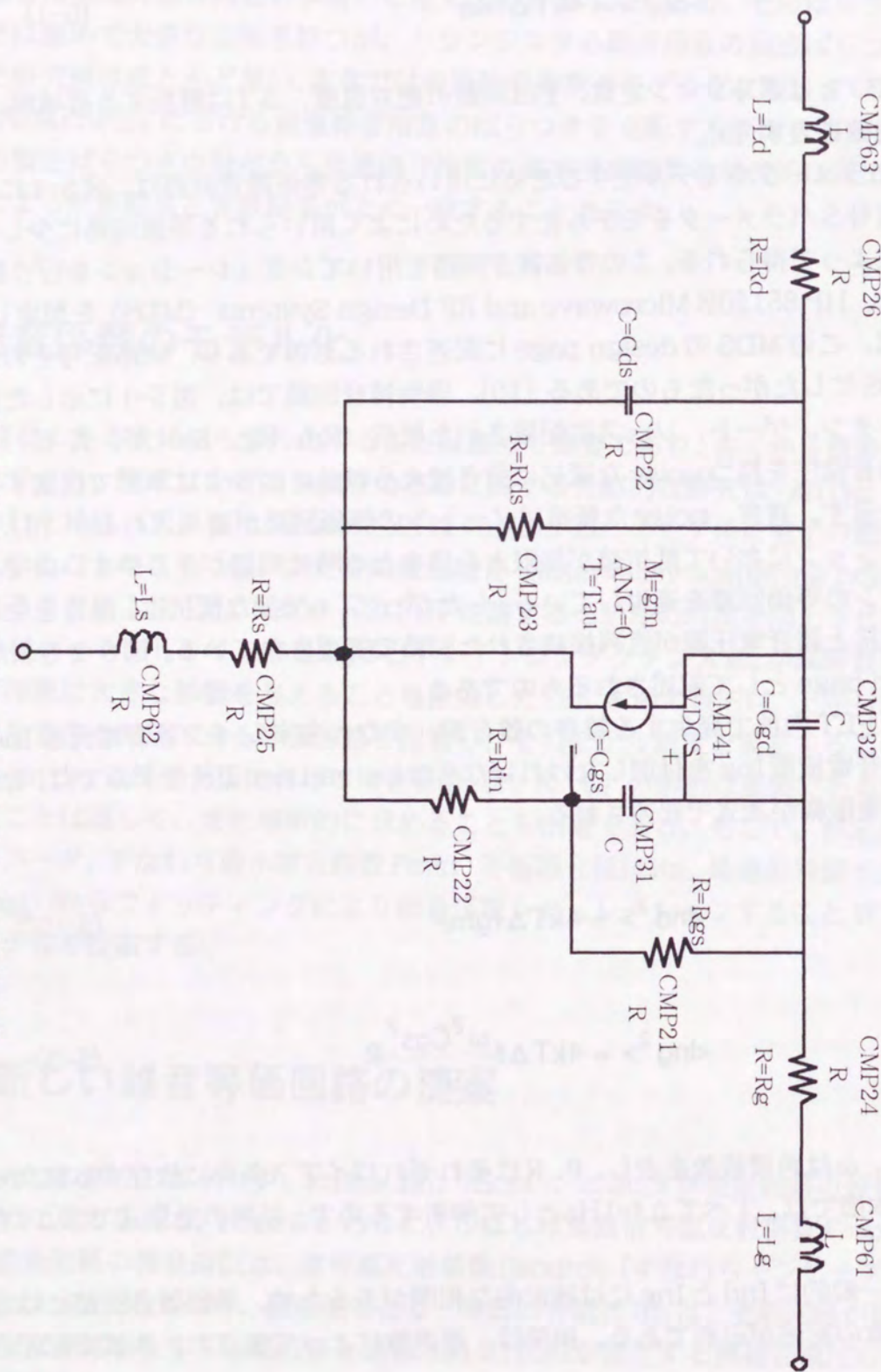


図5-2 等価雑音回路

$$jC = \frac{\langle \text{Ing}^* \text{Ind} \rangle}{\sqrt{\langle \text{Ing}^2 \rangle \langle \text{Ind}^2 \rangle}} \quad (5-4)$$

ここで、 Ing^* は Ing の複素共役を表し、 j は虚数単位を表す。これらの2つの雑音源は、ほとんど同じ物理要因によって生じているので、ほぼ純虚数とみなすことができる[5]。

そして最後にもう一つの雑音源、すなわちドレイン・ソース間に谷間散乱雑音源を追加して、等価雑音回路は完成される。飽和電界付近では、相当数の電子が central valley からより電子移動度の低い satellite valley へ散乱していると考えられるため、雑音温度は電子温度以上に高くなっていると考えなければならない。この雑音源の平均2乗振幅は次式で表すことができる。

$$\langle \text{Iniv}^2 \rangle = K \frac{\tau_0}{1 + \omega^2 \tau_0^2} \Delta f \quad (5-5)$$

ここで τ_0 は、central valley と satellite valley における電子の寿命から計算される時定数であり、 K は電子の速度、電子の寿命、電子密度その他から計算される定数である[7]。このようにして図5-2の等価雑音回路が得られた。Cappyが指摘したCgdとgdの効果は、既にこの等価回路に含まれていることに注意すべきである。

5.2.2 シミュレーション手法

まず、小信号Sパラメータ等価回路および等価雑音回路をMDSに入力する。図5-2に示したようなdesign page上に、3つのnoisyな抵抗が生ずる熱雑音成分として $VnRd$ 、 $VnRg$ 、 $VnRs$ 、を記述し、さらに3つのFET内部の雑音電流源 Ind 、 Ing 、 Iniv を記述する。これらは、上述した式(5-2)、(5-3)、および(5-5)で表されるものである。ドレイン雑音とゲート雑音の相関もまた、MDSのdesign page上に一つの雑音源として記述されている。

回路の個々の構成要素は、小信号Sパラメータ等価回路および等価雑音回路によるシミュレーション結果が、FETのSパラメータ実測結果および雑音パラメータすなわち $F_{\min}$ 、 R_n 、 Γ_{opt} などとの実測結果が一致するようにフィッティングによって求めることができる。等価雑音回路のシミュレーションでは、 P 、 R 、 C 、 K および τ_0 がフィッ

ティングパラメータとなる。雑音パラメータのフィッティングを行うためには、まずSパラメータのフィッティングを行う必要がある。小信号Sパラメータ等価回路の回路定数を決定した後、その値を等価雑音回路にコピーし、雑音パラメータのフィッティングを行う。

次にフィッティングの手法について述べる。ここでは、gradient methodとrandom methodの組み合わせであるhybrid optimizationを用いた[11]。gradient methodは一回のrandom optimizationの間に、その誤差が最小になるまで繰り返される。この手法において、random optimizationを80回まで繰り返し、一回のrandom optimizationの中のgradient optimizationの回数を最大 10^4 回としたところ、良好な収束結果を得ることができた。hybrid optimizationは単純なrandom optimizationより時間を要するが、極大値あるいは極小値ではなく、最大値あるいは最小値を見つけるためには有効であり、少なくとも等価雑音回路のシミュレーションには適用すべきである。

最後に、この提案した等価回路の精度を評価しなければならない。この評価には、ゲート長 $0.3 \mu\text{m}$ 、ゲート幅 $280 \mu\text{m}$ のパルスドープ構造MESFETを用いた[12]。測定は室温にて最適バイアス条件で行い、解析は8~18GHzの周波数範囲で行った。シミュレーションでは、絶対温度 T の値を290 Kelvinとした。Sパラメータ等価回路は十分に実績のあるものであり、フィッティングはいうまでもなくほぼ完璧に実現できた。提案している等価雑音回路については、実用的にフィッティングが可能かどうか確認する必要がある。いくつかの雑音パラメータに関して、この確認を行った。フィッティング結果を図5-3に示す。図5-3は、雑音パラメータ $F_{\min}$ 、 Γ_{opt} の周波数範囲8-18 GHzでの実測結果とシミュレーション結果を示したものであるが、良い一致を示している。

5.2.3 パルスドープ構造における低雑音特性の理論解釈

パルスドープ構造MESFETのチャンネルの厚さを小さくすると雑音特性が向上することが確認されている[12]、[13]。図5-4は、チャンネル厚 $100 \mu\text{m}$ と $150 \mu\text{m}$ のパルスドープFETの雑音係数のシミュレーション結果を示したものである。雑音相関係数は、上述のように、FETの雑音特性において重要な役割を果たす。Cappyは、HEMTが優れた低雑音特性を示すのは、その雑音相関係数が大きいからであると説明した[14]。そして、高い雑音相関は、ゲート長とチャンネル厚のアスペクト比が大きい、すなわちチャンネル厚がゲート長に比べて十分に薄いことに起因し、HEMTの場合そのアスペクト比は5以上であり、相関係数は0.8以上の値をとる。一方、イオン注入MESFETの場合、相関係数は0.7以下であるとしている[8]。Nakajimaらは、Schubnikov-de Haas (SDH) 測定により、パルスドープ構造においてもHEMT同様、2次元電子ガスのふる

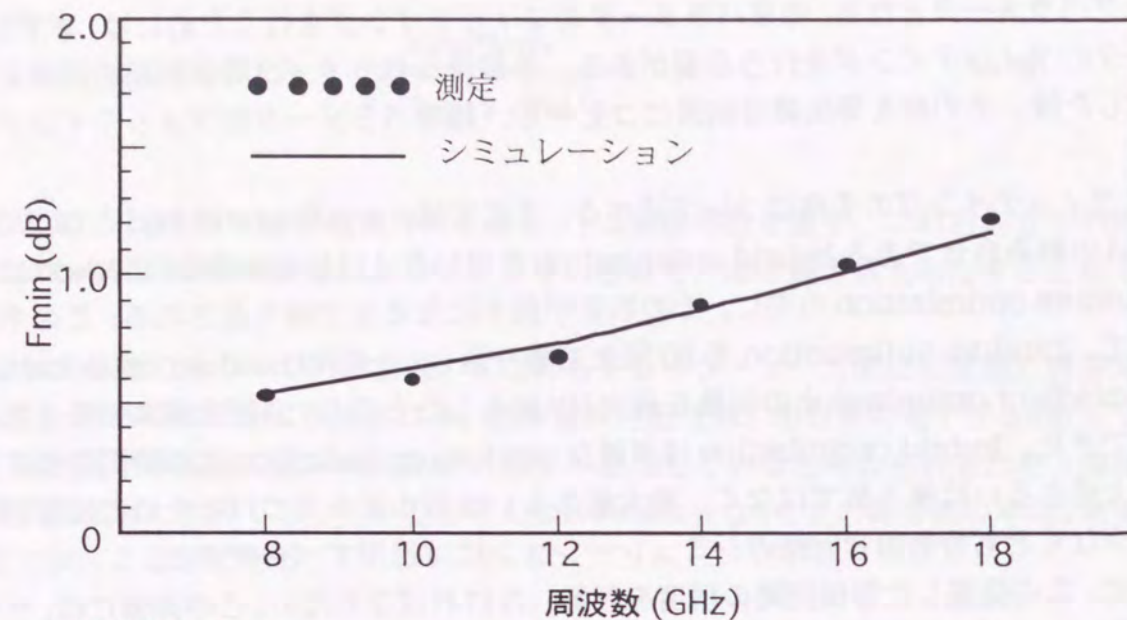


図5-3(a) Fmin

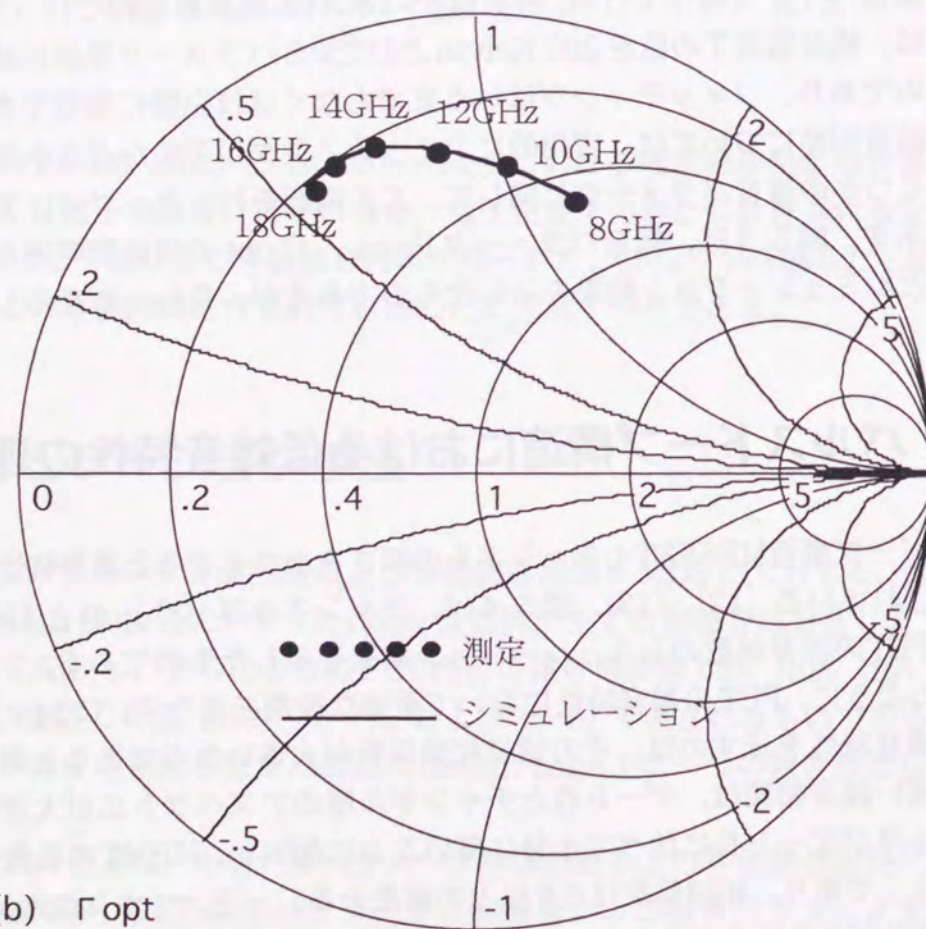


図5-3(b) Γ_{opt}

図5-3 雑音パラメータの実測結果とシミュレーション結果の比較

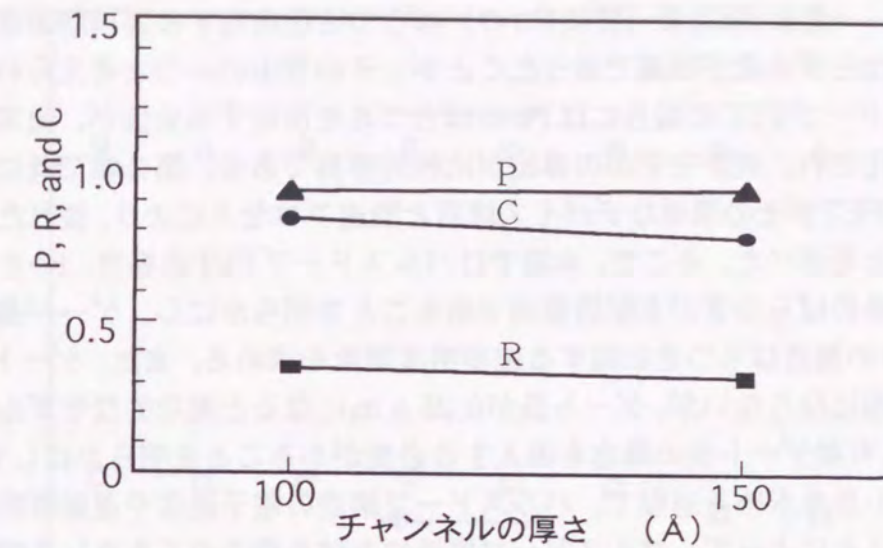


図5-4 パルスドープFETの雑音係数のチャンネル厚依存性

まいが存在することを報告しており、ゲート長とチャンネル厚のアスペクト比が十分大きいことを示唆している [15]。そして、図5-4に示したシミュレーション結果はこれを裏付けている。また、チャンネル厚の小さいFETほど相関が強いというシミュレーション結果は、Nakajimaらが報告している結果 [12]、すなわちチャンネル厚の小さいFETほど、FukuiのKfファクタ [16] が小さいという事実と一致する。したがって、パルスドープFETにおける優れた低雑音特性は、HEMTと同様、ドレイン雑音とゲート雑音の相関が強いことで解釈することができる。

5.3 パルスドープ構造 GaAs 電界効果トランジスタの最適雑音指数のモデル化

本節の目的は、パルスドープFETの最適雑音指数 F_o の製造ばらつきに関し、その統計的モデルを確立することである。FETのパラメータの製造ばらつきの数学的な表現式は、そのFETを用いた回路の性能における製造ばらつきを予測する上で極めて重要な役割を果たす。とりわけ F_o は、低雑音増幅器の場合に重要であり、 F_o の分布を表す確率密度関数が得られれば、低雑音増幅器の雑音指数の製造ばらつきを設計段階からシミュレーションすることが可能となり、特に製造後に回路調整が困難なMMICにおいて有用である。Cappyらは、HEMTやMESFETの雑音のモデル化に関する先駆的な研究を行っている [8]、[14]。しかしながら、雑音パラメータの統計モデルに関する報告例はほとん

どない。これは、一般にFETの（特にFoの）ばらつきを決定する要因があまりにも多いため、数学的なモデル化が困難であったことが、その理由の一つと考えられる。

一方、パルスドープFETの場合にはFoのばらつきを決定する要因が、通常のデバイスに比べて単純化され、統計モデルの導出が比較的容易である。第2章で既に、パルスドープ構造MESFETがその簡単なデバイス構造と製造プロセスにより、優れた均一性を実現していることを述べた。そこで、本節ではパルスドープFETの場合、Foのばらつきに関してゲート長のばらつきが支配的要因であることを明らかにし、ゲート長のばらつきの分布からFoの製造ばらつきに関する確率密度関数を求める。また、ゲート長 $0.4\mu\text{m}$ ではさほど問題にならないが、ゲート長が $0.25\mu\text{m}$ になると実用的なモデルの精度を確保するために、有効ゲート長の概念を導入する必要があることを明らかにしている。そして、有効ゲート長を求める過程で、パルスドープ構造の電子速度や遅延時間などの詳細な解析を行うことによって、パルスドープ構造における電子のふるまいを明らかにしている。

5.3.1 最適雑音指数のばらつきを支配する要因

Foの製造ばらつきには、いくつかの要因が寄与していると考えられるが、これらすべての要因を考慮した解析は極めて困難である。しかしながら、本研究で提案されているパルスドープ構造FETの場合、この問題が単純化される。すなわち、以下の理由によりパルスドープ構造FETにおいては、Foのばらつきはそのゲート長のばらつきによってほとんど支配されるのである。

- ゲートリセス構造を有するデバイスでは、そのリセス形状やエッチングの深さがデバイス特性に敏感に影響を与えるが、本研究で提案されているパルスドープ構造FETでは、ゲートリセス構造を用いておらず極めて高い均一性を実現している。
- また、優れたOMVPE装置を用いて結晶成長を行っているため、3インチウエハ面内において、図5-5に示したように、シートキャリア密度(Ns)が1%、電子移動度が2.5%という高い均一性を実現している。したがって、パルスドープ構造における電子の輸送特性においても、高い均一性を実現していると考えられる。
- 最適雑音指数Foを得るためのドレイン電流(Idopt)はウエハ面内でさほどばらつかないと考えられる。なぜなら、パルスドープFETの最小雑音指数Fminのドレイン電流依存性は、第2章で述べたように極めて小さいからである。

5.3 パルスドープ構造 GaAs 電界効果トランジスタの最適雑音指数のモデル化

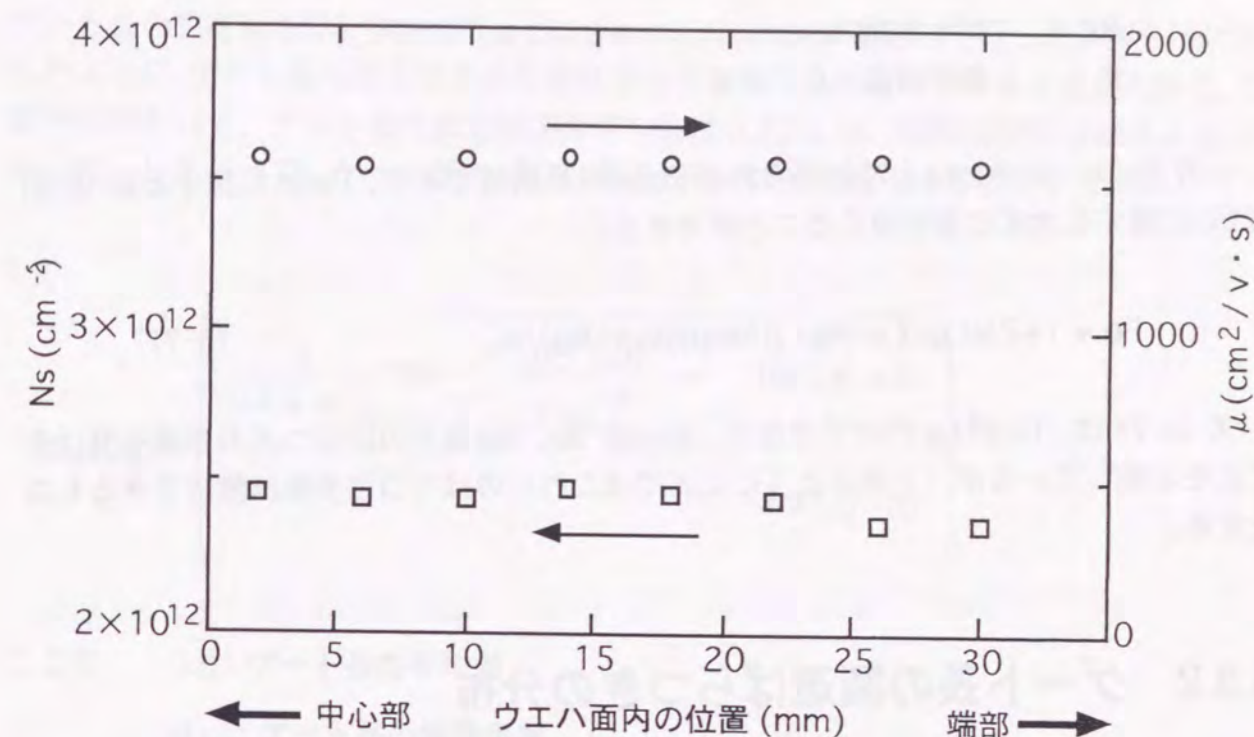


図5-5 結晶構造の均一性

一方、ゲート形成には通常の露光装置を使用しているため、ある程度のゲート長のウエハ面内でのばらつきは避けることができない。既に第4章で、 $|\Gamma_{\text{opt}}|$ がゲート長に対して緩やかな依存性を持つのに対し、 $\angle \Gamma_{\text{opt}}$ は比較的大きな依存性を持ち、 Γ_{opt} はスミスチャート上で、ランダムに分布するのではなくある偏りを持った分布を示し、それはゲート長を変化させた時に描く軌跡のほぼ一致することを明らかにした。そこで、本節では、「Foのばらつきはゲート長のばらつきで決定される」という仮定のもとに解析を進める。したがって、まずFoをゲート長の関数で表すことが必要であるが、この目的のために、次式に示すCappyの式が極めて有用である[8]。

$$F_{\min} = 1 + 2\omega L_g \sqrt{(\alpha W_g + \beta I_d)(R_s + R_g)/v_s} \quad (5-6)$$

ここで、
 ω : 角周波数
 α, β : 一般定数
 W_g : ゲート幅
 I_d : ドレイン電流
 R_s : ソース抵抗

R_g : ゲート抵抗

v_s : 電子速度

一方 F_0 は、 $I_d = I_{dopt}$ の時に得られる F_{min} の最適値であり、 F_{min} に関する式 (5-6) は F_0 に関する次式に書き換えることができる。

$$F_0 = 1 + 2\omega L_g \sqrt{(\alpha W g + \beta I_{dopt})(R_s + R_g)/v_s} \quad (5-7)$$

式 (5-7) は、 F_0 が L_g だけではなく、 I_{dopt} 、 R_s 、 R_g などのばらつきの影響を受けることを示唆しているが、上述のようにここではこれらのばらつき要因は無視できるものとする。

5.3.2 ゲート長の製造ばらつきの分布

図 5-6 は、ゲート長 $0.25 \mu m$ を目標に試作された 3 インチウエハ面内における 110 個のサンプルに関し、実際のゲート長を測定した結果をヒストグラムにしたものである。

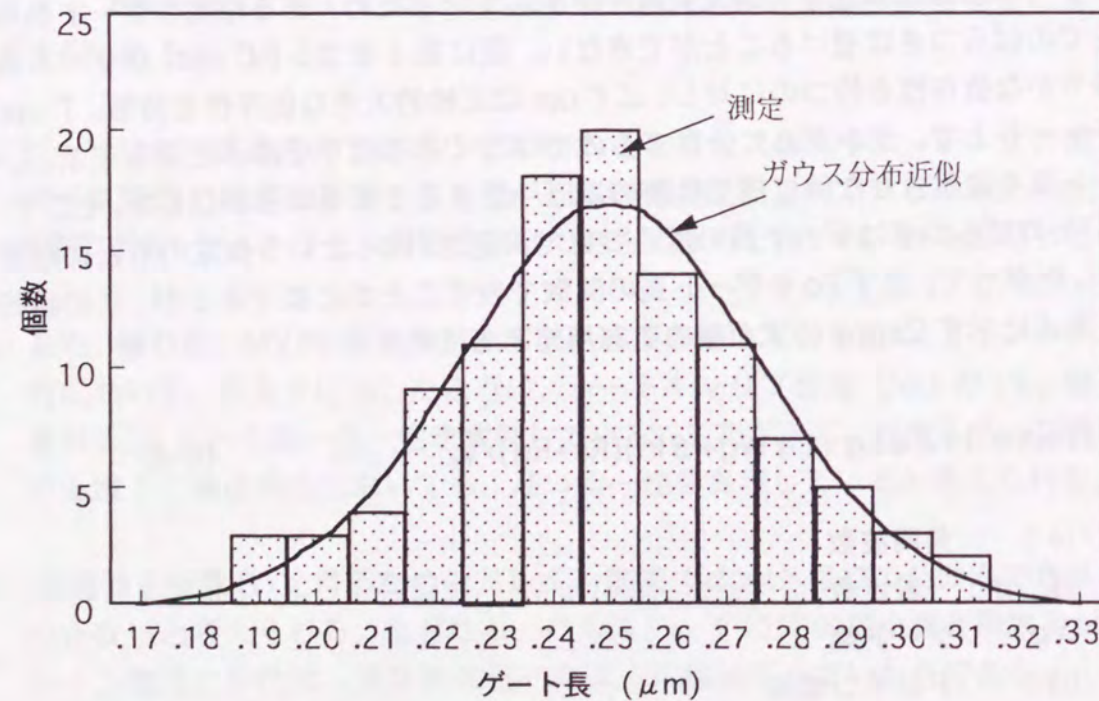


図5-6 ゲート長のばらつき

5.3 パルスドープ構造 GaAs 電界効果トランジスタの最適雑音指数のモデル化

ゲート長の測定は SEM (scanning electron microscope) を用いて行った。図 5-6 に示したように、ゲート長のばらつきの分布はガウス分布で良く近似できることがわかる。この分布において、ゲート長の測定結果の平均値は $0.25 \mu m$ 、標準偏差は $0.026 \mu m$ であった。したがって、ゲート長のばらつきの分布は次式で近似することができる。

$$p_{L_g}(L_g) = \begin{cases} \frac{1}{\sqrt{2\pi}\sigma_{L_g}} \exp\left[-\frac{(L_g - \bar{L}_g)^2}{2\sigma_{L_g}^2}\right] & \text{for } L_g \geq 0 \\ 0 & \text{for } L_g < 0 \end{cases} \quad (5-8)$$

ここで、 $\bar{L}_g$: ゲート長の平均値

σ_{L_g} : ゲート長の標準偏差

をそれぞれ表す。ここで、ゲート長の標準偏差に対して、平均値が十分大きい ($0.25/0.026$ 倍) ため、近似的に次式が成り立つ。

$$\int_{-\infty}^0 \frac{1}{\sqrt{2\pi}\sigma_{L_g}} \exp\left[-\frac{(L_g - \bar{L}_g)^2}{2\sigma_{L_g}^2}\right] dL_g = 0 \quad (5-9)$$

図 5-6 において、実線で示したのが式 (5-9) による計算結果である。

5.3.3 有効ゲート長と電子の飽和速度

後に、比較のためにゲート長 $0.4 \mu m$ の場合の結果を示すが、ゲート長 $0.25 \mu m$ の場合には有効ゲート長 (L_{geff}) の概念を導入しなければ、十分なモデル精度を得ることができない。有効ゲート長 L_{geff} はゲート電極長 L_g と、ゲート下空乏層の横方向広がり ΔL_g から構成される。 ΔL_g はゲート長が長い場合には無視することができるが、ゲート長が短くなってくると無視することができなくなる。そこで、 F_0 の確率密度関数を導出する前に、この有効ゲート長を評価しなければならない。ゲート長が $2 \mu m$ 以上の場

合には、電子移動度が電界強度に依存する gradual channel approximation が成り立つが、ゲート長 $1 \mu\text{m}$ 以下になると、飽和速度モデルを適用すべきである [20]。一方、 ΔL_g は主としてゲート下空乏層の横方向広がり起因するから、ゲート長 $0.2 \mu\text{m}$ と $0.3 \mu\text{m}$ の場合でその値はほとんど同じであると考えられる。したがって、本節の議論では、文献 [20] や [21] と同様に、 ΔL_g はゲート長に対して一定であるとみなす。

短チャンネル FET の電子の速度は、電子の遷移時間 τ_{tran} を用いて次式で表すことができる。

$$v_s = \frac{L_{\text{geff}}}{\tau_{\text{tran}}} = \frac{L_g + \Delta L_g}{\tau_{\text{tran}}} \quad (5-10)$$

また、 ΔL_g と v_s を得るためには、次式で表される電子の遅延弛緩を調べるのが重要である。

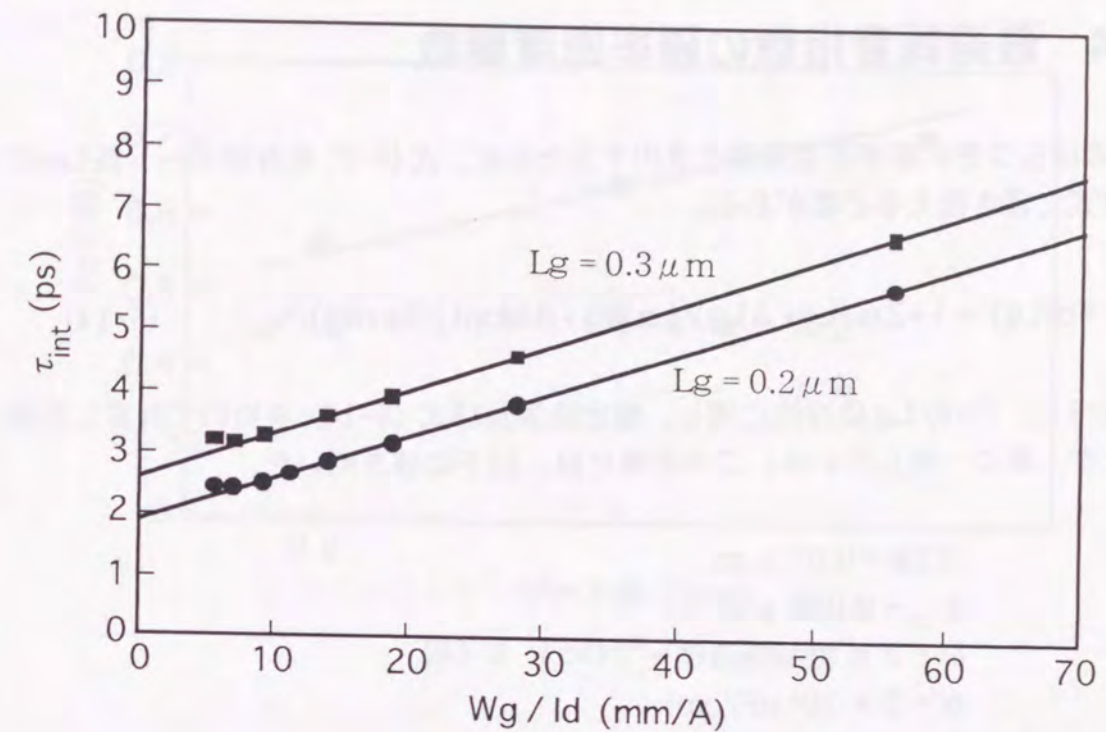
$$\tau_{\text{total}} = \frac{1}{2\pi f_T} \quad (5-11)$$

電子の遅延時間は、寄生容量を充放電するための extrinsic な遅延時間 τ_{para} と FET の intrinsic な遅延時間 τ_{int} の和であり、次式が成り立つ。

$$\tau_{\text{int}} = \tau_{\text{total}} - \tau_{\text{para}} \quad (5-12)$$

ここで、 τ_{para} は、ゲート・ドレイン間容量 C_{gd} を、ソース抵抗 R_s およびドレイン抵抗 R_d を通して充放電するための時間である。 C_{gd} の値は Y パラメータ (Y_{12}) の虚部から計算することができ、 $R_s + R_d$ は TLM (transmission-line-method) 測定により求めることができる。測定の結果、ゲート長 $0.3 \mu\text{m}$ 、ゲート幅 $280 \mu\text{m}$ のパルスドープ FET の場合、 C_{gd} は 75fF 、 $R_s + R_d$ は 2.6Ω であった (C_{gd} と $R_s + R_d$ はほとんどゲート長に依存しない)。したがって、この時定数は 1.2ps である。提案している FET の構造は第2章で述べたように、ゲート電極が GaAs 基板に対してオーバーラップするような構造になっており、MIS (metal-insulator-semiconductor) 容量が寄生的に付加されるため、 C_{gd} はほとんどがこの寄生容量である。したがって、この時定数は、ほとんどドレイン電流に依存しない。

また、intrinsic な遅延時間は、電子の遷移時間とチャンネル充電時間 (channel charging time) τ_{chan} の和であり、次式が成り立つ。


 図5-7 τ_{int} 対 Wg/Id

$$\tau_{\text{tran}} = \tau_{\text{int}} - \tau_{\text{chan}} \quad (5-13)$$

一方、電子の遷移時間 τ_{tran} は τ_{int} のドレイン電流依存性から求めることができる [24]、[25]。図 5-7 は、ゲート長 $0.2 \mu\text{m}$ とゲート長 $0.3 \mu\text{m}$ の FET における、 τ_{int} 対ドレイン電流密度 (Wg/Id) を示したものである。測定は $V_d = 2\text{V}$ で行われた。 τ_{int} はドレイン電流密度に対して、ほぼ直線的に変化するが、ドレイン電流の大きい領域で劇的に変化する。各々のプロットにおいて、直線的な領域を外挿し、 $Wg/Id = 0$ における切片が τ_{tran} を表しており、ゲート長 $0.2 \mu\text{m}$ の場合 1.9ps 、ゲート長 $0.3 \mu\text{m}$ の場合 2.6ps であった。これらの値を式 (5-10) に適用しフィッティングすることによって、 $\Delta L_g = 0.07 \mu\text{m}$ 、 $v_s = 1.4 \times 10^7\text{cm/s}$ という値が得られる。また、図 5-7 において直線部分は τ_{chan} の寄与を示しており、ゲート長 $0.2 \mu\text{m}$ の場合とゲート長 $0.3 \mu\text{m}$ の場合でほとんど差が無く、その値は、最適雑音指数が得られる条件 ($I_d = 15\text{mA}$) の時に 1.3ps となる。

5.3.4 最適雑音指数の確率密度関数

Foのばらつきの確率密度関数を導出するために、式(5-7)を有効ゲート長Lgeffを含んだ次式に書き換える必要がある。

$$Fo(Lg) = 1 + 2\omega(Lg + \Delta Lg) \sqrt{(\alpha Wg + \beta Idopt)(Rs + Rg)/vs} \quad (5-14)$$

図5-8に、FoのLg依存性に関し、測定結果及び式(5-14)を用いて計算した結果を示したが、良く一致している。この計算には、以下の値を用いた。

$$\begin{aligned} \Delta Lg &= 0.07 \mu m \\ \sigma_{Lg} &= 0.026 \mu m \\ \omega &= 2\pi \times 12 \times 10^9 \\ \alpha &= 2 \times 10^5 \text{ pF/cm}^2 \\ \beta &= 1.25 \times 10^2 \text{ pF/mA/cm} \\ Idopt &= 15 \text{ mA} \\ Wg &= 280 \mu m \\ Rs + Rg &= 2.1 \Omega \\ vs &= 1.4 \times 10^7 \text{ cm/s} \end{aligned}$$

ここで、 α 、 β はチャンネルの構造や材料の性質にほとんど依存しない一般定数である[8]。

確率変数Lgと、その確率密度関数が得られたので、新しい確率変数Foの確率密度関数は、FoがLgの1価関数であることから、次式を用いて変数変換を行うことによって求めることができる[22]。

$$p_{Fo}(Fo) = p_{Lg}(Lg) \left| \frac{\partial Lg}{\partial Fo} \right| \quad (5-15)$$

次に、式(5-8)、(5-14)、(5-15)を用いて、Foの確率密度関数を導出することができ、次式のようになる。

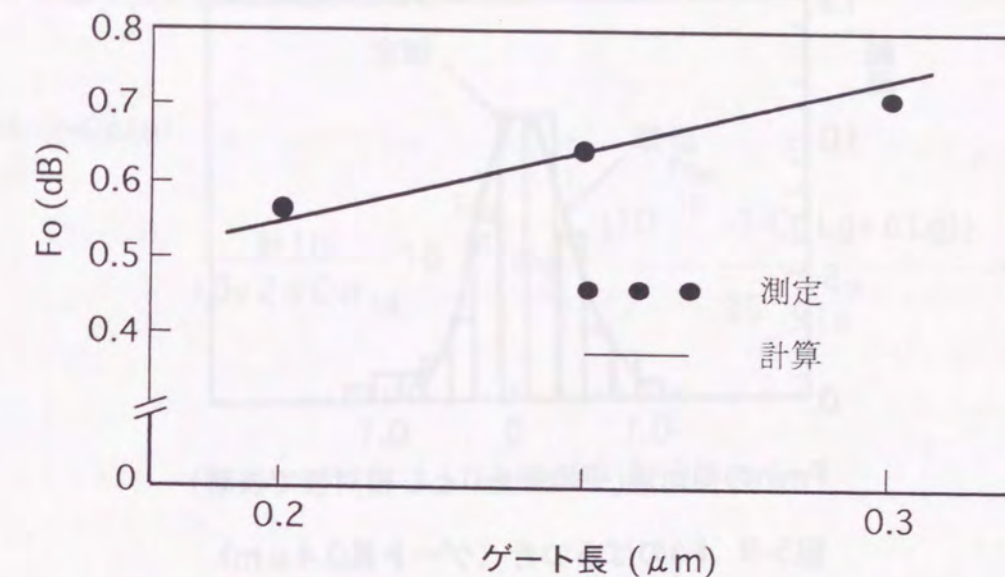


図5-8 Foのゲート長依存性

$$p_{Fo}(Fo) = \begin{cases} \frac{1}{\sqrt{2\pi} C \sigma_{Lg}} \exp \left[-\frac{\{Fo - 1 - C(Lg + \Delta Lg)\}^2}{2C^2 \sigma_{Lg}^2} \right] & \text{for } Fo \geq 1 + C\Delta Lg \\ 0 & \text{for } Fo < 1 + C\Delta Lg \end{cases} \quad (5-16)$$

$$\text{ここで、} \quad C = 2\omega \sqrt{(\alpha Wg + \beta Idopt)(Rs + Rg)/vs} \quad (5-17)$$

そして、式(5-8)の場合と同様に、次の近似式がなりたつ。

$$\int_{-\infty}^{1+C\Delta Lg} \frac{1}{\sqrt{2\pi} C \sigma_{Lg}} \exp \left[-\frac{\{Fo - 1 - C(Lg + \Delta Lg)\}^2}{2C^2 \sigma_{Lg}^2} \right] dFo = 0 \quad (5-18)$$

FoはLgの線形関数であるため、Foの確率密度関数もまた、ガウス確率密度関数となる。ここで、比較のためにゲート長0.4 μmを目標に試作されたウエハの、Foのばらつき測定結果を図5-9に示す[17]、[18]。また式(5-16)において、 $\Delta Lg=0$ とし有効ゲ

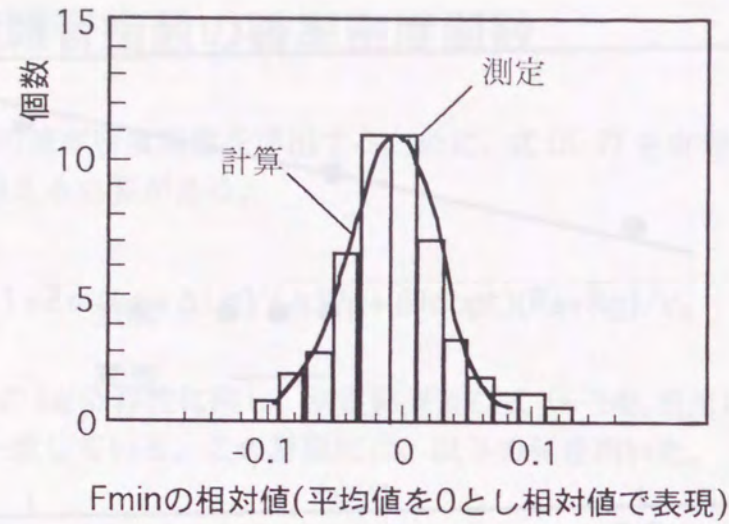


図5-9 Foのばらつき (ゲート長0.4 μm)

ト長を無視した場合の計算結果も図5-9に示したが、測定結果と比較的良好一致を示していることがわかる。

さて、実際にはFoはdB値で表現されることが多いため、式(5-16)はdB値のFoに関する式に書き換えた方が便利である。この新しい確率変数を、 Fo_{dB} ($Fo_{dB} = 10 \log Fo$)と記すことにすると、式(5-16)に対し、式(5-15)の変数変換を施すことによって、次式を得ることができる。

$$p_{Fo_{dB}}(Fo_{dB}) = \begin{cases} \frac{\ln 10}{10\sqrt{2\pi}C\sigma_{Lg}} 10^{\frac{Fo_{dB}}{10}} \exp \left[-\frac{\left\{ 10^{\frac{Fo_{dB}}{10}} - 1 - C(\overline{Lg} + \Delta Lg) \right\}^2}{2C^2\sigma_{Lg}^2} \right] & \text{for } Fo_{dB} \geq 10 \ln(1 + C\Delta Lg) \\ 0 & \text{for } Fo_{dB} < 10 \ln(1 + C\Delta Lg) \end{cases} \quad (5-19)$$

ここでもやはり次の近似が成り立つ。

$$\int_{-\infty}^{10 \ln(1+C\Delta Lg)} \frac{\ln 10}{10\sqrt{2\pi}C\sigma_{Lg}} 10^{\frac{Fo_{dB}}{10}} \exp \left[-\frac{\left\{ 10^{\frac{Fo_{dB}}{10}} - 1 - C(\overline{Lg} + \Delta Lg) \right\}^2}{2C^2\sigma_{Lg}^2} \right] dFo_{dB} = 0 \quad (5-20)$$

図5-10に、ゲート長0.25 μmを目標に試作されたウエハの、面内110個のFETの12GHzにおける Fo_{dB} のばらつきの測定結果を示す[19]。測定に用いたウエハはゲート長のばらつきを測定したものと同一のものである。 Fo_{dB} の平均値は0.65 dB、標準偏差は

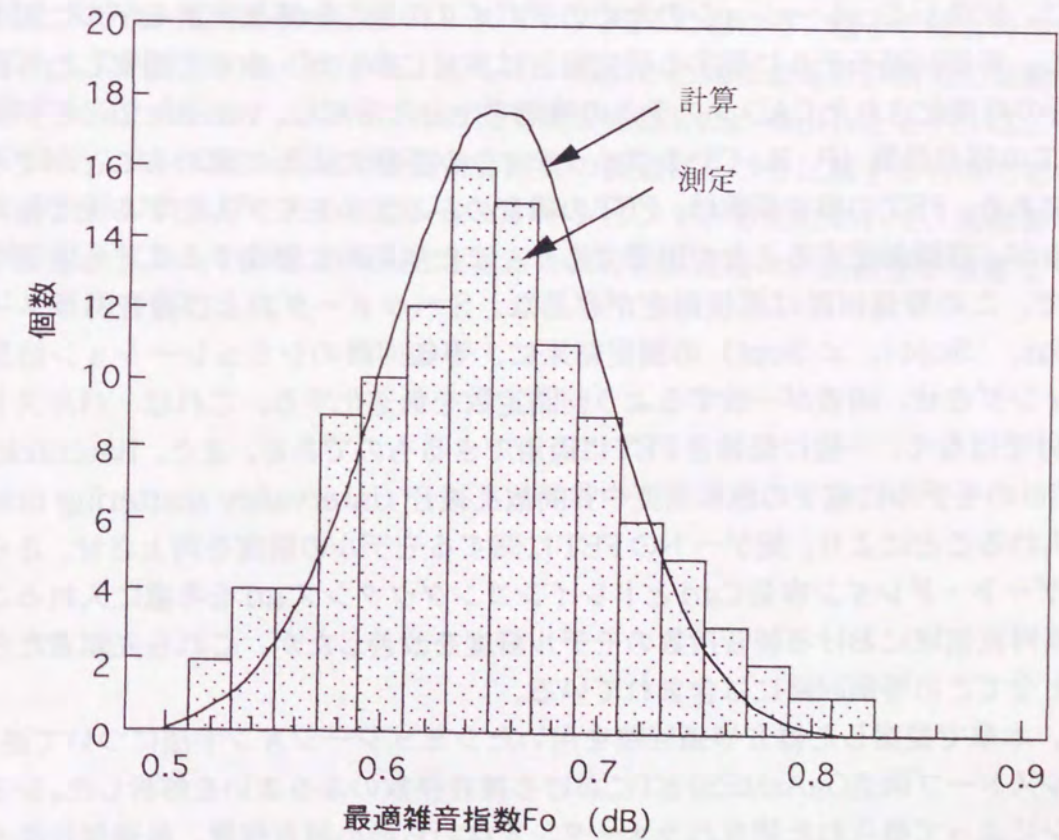


図5-10 Foのばらつき

0.05 dB であった。 $F_{o_{dB}}$ が $F_{o_{dB1}}$ と $F_{o_{dB2}}$ の間に入る確率は次式で表すことができる。

$$\Pr [F_{o_{dB1}} < F_{o_{dB}} \leq F_{o_{dB2}}] = \int_{F_{o_{dB1}}}^{F_{o_{dB2}}} p_{F_{o_{dB}}}(F_{o_{dB}}) dF_{o_{dB}} \quad (5-21)$$

図5-10には式(5-19)による計算結果も示しているが、良い一致を示していることがわかる。これらの計算結果は、 F_o のばらつきがゲート長のばらつきのみに依存すると仮定して得られたものであり、この仮定が正しいことが実証された。また、図5-10において測定結果は計算結果よりやや分散が大きい、これはゲート長以外のばらつき要因の寄与であると考えられる。

5.4 結言

本章では、低雑音GaAsMESFETのモデル化に関する2つの研究成果について述べた。その一つは、回路シミュレーションのためのデバイスの新しい等価回路モデルに関するものである。等価回路モデルに関する研究報告は非常に多いが、本章で提案した等価回路は、最近の高度化されたCADシステムの機能を十分に活用し、van der ZielモデルにおけるFETの雑音係数(P, R, C)をフィッティング手法によって求めることができる点の特徴である。FETの雑音係数は、FETの雑音のふるまいをモデル化する上で極めて重要であるが、直接測定することが困難であり、また解析的に導出することも困難である。そこで、この等価回路は直接測定が容易な、Sパラメータおよび雑音パラメータ(F_{min} , R_n , $|S_{opt}|$, $\angle S_{opt}$)の測定結果に、等価回路のシミュレーション結果をフィッティングさせ、両者が一致するよう回路定数を最適化する。これは、パルスドープFETだけではなく、一般に低雑音FETに適用できるものである。また、Baechtoldはvan der Zielのモデルに電子の飽和速度や谷間散乱雑音(intervalley scattering noise)を考慮に入れることにより、短ゲートのFETに関するモデルの精度を向上させ、さらにCappyがゲート・ドレイン容量 C_{gd} とドレインコンダクタンス g_d を考慮に入れることにより、高周波領域における雑音指数のモデル精度を改善したが、これら先駆者たちの改善内容も全てこの等価回路には含まれている。

そして、本章で提案した雑音等価回路を用いたシミュレーション手法について述べ、実際にパルスドープ構造GaAsMESFETにおける雑音係数のふるまいを解析した。シミュレーションによって得られた雑音パラメータ、すなわち最小雑音指数、最適信号源インピーダンス、等価雑音抵抗の値が測定結果と良く一致することを示し、提案している等

価回路の実用性を示した。ここではパルスドープ構造におけるチャンネル厚の異なるFETのシミュレーション結果から、チャンネル厚が薄いFETの方がドレイン雑音とゲート雑音の相関係数が大きく、パルスドープFETではHEMTと同様、0.8以上の相関係数の値をとることを明らかにし、その優れた低雑音特性の理論解釈の一つを得ることができた。

もう一つの成果は、パルスドープFETの最適雑音指数 F_o の製造ばらつきに関し、その統計的モデルを確立し、数学的な表現式、すなわち確率密度関数を解析的に導出するものである。従来、このような雑音パラメータの統計モデルに関する報告例はほとんどなかったが、これは一般にFETの F_o のばらつきを決定する要因があまりにも多いため、数学的な取り扱いが困難であったからと考えられる。そこで本章では、パルスドープFETの場合には F_o のばらつきを決定する要因が、通常のデバイスに比べて単純化され、数学的な取り扱いが容易になる事を明らかにした。すなわち、パルスドープFETの場合、 F_o のばらつきに関してゲート長のばらつきが支配的要因であることを明らかにし、ゲート長のばらつきの分布から F_o の製造ばらつきに関する確率密度関数を解析的に導出した。

また、ゲート長 $0.4 \mu m$ ではさほど問題にならないが、ゲート長 $0.25 \mu m$ になると有効ゲート長の概念を導入しなければモデルの精度が低下することを明らかにし、有効ゲート長を求める過程で、パルスドープ構造の電子速度や遅延時間などの解析を行い、正確な値を求めた。これらの値は、パルスドープFETにおける、電子の輸送特性を解明する上でも大変興味深いものである。そして、導出した式による計算結果と実験結果がよく一致することを示し、このモデルの実用性を確認した。導出したモデルは、低雑音増幅器の設計において最も重要な最適雑音指数の製造ばらつきに関するものであり、設計段階から回路の歩留りがある程度シミュレーションできる点において、低雑音増幅器の回路設計技術に新しい概念を導入でき、とりわけ、製造後の回路調整が困難なMMICの場合に、有用である。

参考文献

- [1] Hwang, Y., Ip, K., Yocom, P., Clark, M., Ngan, Y. C., Esfandiari, R., and Mlinar, M., "Yield prediction and enhancement of monolithic amplifiers," in GaAs IC Symposium Dig., 1989, pp. 295-298.
- [2] Norris, G. B. and Barratt, C. A., "GaAs MMIC yield modeling," in GaAs IC Symposium Dig., 1990, pp. 317-320.
- [3] Bilbro, G. L., Stoneking, D. E., and Trew, R. J., "Yield determination and design optimization of GaAs MESFET's using a physical simulator," in GaAs IC Symposium Dig., 1991, pp. 171-174.
- [4] Van der Ziel, A., "Thermal noise in field-effect transistors," Proc. IRE, vol. 50, pp. 1808-1812, 1962.
- [5] Van der Ziel, A., "Gate noise in field-effect transistors at moderately high frequencies," Proc. IEEE, vol. 57, pp. 461-467, 1963.
- [6] Baechtold, W., "Noise behavior of Schottky barrier gate field-effect transistors at microwave frequencies," IEEE Trans. Electron Dev., vol. 18, no. 2, pp. 97-104, 1971.
- [7] Baechtold, W., "Noise behavior of GaAs field-effect transistors with short gate lengths," IEEE Trans. Electron Dev., vol. 19, no. 5, pp. 674-680, 1972.
- [8] Cappy, A., Vanoverschelde, A., Schortgen, M., Versnaeyen, C., and Salmer, G., "Noise modeling in submicrometer-gate two-dimensional electron-gas field-effect transistors," IEEE Trans. Electron Dev., vol. 32, no. 12, pp. 2787-2795, 1985.
- [9] Goyal, Ravender, ed. Monolithic microwave integrated circuits : technology and design. Artech House : Norwood, MA, 1989.
- [10] HP 85150B Microwave and RF Design Systems Component Catalog, vol. 2 - Control Elements and Sources.

- [11] HP 85150B Microwave and RF Design Systems Designers Task Reference, vol. 4 - Simulating and Optimizing Circuit Performance.
- [12] Nakajima, S., Otobe, K., Shiga, N., Kuwata, N., Matsuzaki, K., Sekiguchi, T., and Hayashi, H., "Low-noise characteristics of pulse-doped GaAs MESFET's with planar self-aligned gates," IEEE Trans. Electron Dev., vol. 39, no. 4, pp. 771-776, 1992.
- [13] 乙部健二, 中島 成, 桑田展周, 関口 剛, 松崎賢一郎, 志賀信夫, 林 秀樹: "パルスドープ構造 GaAs MESFET の活性層薄層化の効果", 1990 信学秋季全大, C-419.
- [14] Cappy, A., "Noise modeling and measurement techniques," IEEE Trans. Microwave Theory Tech., vol. 36, no. 1, pp. 1-10, 1988.
- [15] Nakajima, S., Kuwata, N., Nishiyama, N., Shiga, N., and Hayashi, H., "Electronic properties of a pulse-doped GaAs structure grown by organometallic vapor phase epitaxy," Appl. Phys. Lett., vol. 57, no. 13, pp. 1316-1317, Sept. 1990.
- [16] Fukui, H., "Optimal noise figure of microwave GaAs MESFET's," IEEE Trans. Electron Dev., vol. 26, no. 7, pp. 1032-1037, 1979.
- [17] 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: "パルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察 (5)", 1991 信学秋季全大, C-32.
- [18] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "Modeling on Statistical Distribution of Noise Parameters in Pulse-doped GaAs MESFET's," 1992 IEEE MTT-S Int. Microwave Symposium Dig., Albuquerque, pp. 655-658 (June 1992) .
- [19] N. Shiga, "Modeling on Statistical Distribution of Optimal Noise Figure in Pulse-doped GaAs MESFET's," IEICE Trans. Electron, 掲載予定
- [20] Moll, N., Hueschen, M. R., and Fischer-Colbrie, A., "Pulse-doped AlGaAs/InGaAs pseudomorphic MODFET's," IEEE Trans. Electron Dev., vol. 35, no. 7, pp. 879-886, 1988.

- [21] ENOKI, T., Arai, K., and Ishii, Y., "Delay time analysis for 0.4- to 5- μ m-gate InAlAs-InGaAs HEMT's," IEEE Electron Device Lett., vol. 11, no. 11, pp. 502-504, 1990.
- [22] Davenport, W. B. Jr. and Root, W. L., An Introduction to the theory of random signals and noise. New York, NY : IEEE PRESS, 1987, ch.3.

第6章

パルスドープ構造 GaAs 電界効果 トランジスタの電力増幅器への応用

6.1 緒言

マイクロ波集積回路の重要な応用分野として、移動体通信システムの基地局への適用をあげることができる。携帯電話・自動車電話の急速な普及に伴い、全国で基地局の増設が急ピッチで進んでおり、また加入者の多い地域では従来使用されてきた 800MHz~900MHz 帯だけでは周波数資源が不足してきたため、さらに 1.5GHz 帯を使用するなど、新たな基地局の需要も増えつつある。一方、周波数資源の利用効率を高める観点からは、セルのサイズを小さくするいわゆるマイクロセル化も進んでおり、今後基地局の要求数はますます増加する傾向にある。また、1995 年よりサービスが開始された PHS はセルの半径が 100m~200m であり、その基地局は都市部に多数設置されるため、都市美観の観点から小型化に対する要求が従来にも増して強くなっている。通常の携帯電話システムにおいても、地下街やビル内駐車場などの電波の不感地域での利用を可能にするためのブースターや補完的な基地局の需要が増えてきており、やはり都市美観の観点から最近では PHS 同様、容積 1,000cc 以下というような極めて小さい物が要求されるようになった。このような基地局にとって、小型化するための重要な要素技術として、電源の小型化をあげることができる。電源の容積はその機器の消費電力にほぼ比例するが、基地局の場合、電力増幅器の消費電力が非常に大きな割合を占めている。したがって、電力増幅器の低消費電力化は基地局の小型化にとって、極めて重要な技術となる。

本章では、このような点をふまえて、パルスドープ構造 GaAs MESFET のもう一つの興味深い特長であり、通常のイオン注入型 MESFET や HEMT には見られない高い線形性を利用した電力増幅器への応用について述べている。GaAs FET の高出力化は、GaAs の熱電導率が Si の 3 分の 1 しかないことから、当初は実現困難と考える研究者も多かったが、高出力用 GaAs FET は 1973 年になってようやく、Fukuta と Napoli らによってほぼ同時に報告された [1]、[2]。以来、電力増幅器用トランジスタに関する多大な研究がなされてきたわけであるが、本研究ではパルスドープ構造を電力増幅器へ応用する観点から種々の検討を行った。既に第 2 章では、パルスドープ構造 MESFET が通常の MESFET や HEMT の入出力関係が 2 乗則に従うのに対し、非常に線形性に優れた特性を明らかにし、低歪特性を要求される無線通信システム用電力増幅器への応用に、本質的に適していることを示した。無線通信システムでは、所定の出力電力を越えてアンテナより送信される信号の帯域幅が電波法により規定されており、その帯域外へ漏洩する電力を規定値以下にしなければならない。帯域外への漏洩電力は、送信回路における出力増幅回路の歪特性に強く依存し回路が低歪であるほど小さい。特に、最終段電力増幅器の歪特性は重要である。また、回路の非線形特性により相互変調積を生ずるが、相互変調積のうちで最も問題となるのが、送信帯域内に落ち込む可能性がある 3 次の相互変調積である。これは、複数の搬送波（キャリア）周波数を含む信号を増幅（共通増幅）し送信するシステムでは極めて重要であり、通常の移動体通信システムにおける基地局では、3 次相互変調積の仕様が規定されている。3 次相互変調積は回路の 3 次歪により生ずるが、一般に FET は 2 乗則特性を示すため、指数特性を示すバイポーラトランジスタより 3 次歪が小さく線形性に優れているが、パルスドープ構造 MESFET では通常の FET よりさらに線形性に優れており、低歪を要求される電力増幅器への応用に適しているのである。しかしながら、電力増幅器への応用を図るためには、通常のパルスドープ構造では不十分であり、第 2 章で、これに適した結晶構造を明らかにするとともに、この設計変更が極めて容易であり、製造プロセスも低雑音用パルスドープ構造 MESFET とほとんど同様であることを述べた。

本章の目的は、この線形性に優れた電力増幅器用パルスドープ FET を用いた、消費電力のより小さい電力増幅器の設計手法について明らかにし、実際に電力増幅器を試作してその優れた特性を実証することである。2 種類の携帯電話基地局用 1.5GHz 帯電力増幅器の設計およびその試作結果について述べている [5]。

6.2 消費電力の小さい電力増幅器の設計手法

本節では、電力増幅器の一般的な設計手法について述べ、電力増幅器用パルスドープ

FET の特徴を明らかにし、その特徴を応用した設計について述べている。電力増幅器のようにトランジスタが大信号動作をする回路では、その特性が負荷インピーダンスに強く依存するため、回路設計に必要なパラメータは小信号 S パラメータだけでは不十分であり、実際に動作させる入力電力を印加して評価しなければならない。このような評価をロードプルと言うが、電力増幅器用パルスドープ FET のロードプル特性を示し、またイオン注入型 MESFET に関しても同様の測定を行い、提案しているデバイスがより優れた電力特性を実現できることを明らかにしている。さらに、FET の出力電力が最大になる負荷インピーダンス、FET の 3 次歪が最小になる負荷インピーダンス、電力付加効率が最大になる負荷インピーダンスを、それぞれスミスチャート上で比較し、消費電力のより小さい電力増幅器の設計手法について明らかにする。

6.2.1 電力増幅器の設計

電力増幅器の設計には、出力電力を最大にする設計、歪を最小にする設計、電力効率を最大にする設計などがある。消費電力をさほど問題にしない応用の場合には、目標仕様の出力電力が十分に得られるデバイスを採用し、その飽和出力電力に対して数 dB 出力の小さいところで動作をさせる（これをバックオフをとるという）ことによって所定の歪特性を満足させるという設計手法が用いられる。

高出力設計の一つの手法として、ロードライン（負荷線）解析がある。ロードライン解析とは、トランジスタの直流特性上にロードラインを描き、ロードライン上の高周波のドレイン電流およびドレイン電圧、直流成分などの振幅から出力、電力効率を計算し、出力特性の負荷依存性を求める手法である。図 6-1 において、 R_{opt} の負荷線上をドレイン電流およびドレイン電圧がスイングする場合に、電流および電圧ともに最大振幅が得られる。FET が A 級動作をしている場合のバイアス点 (V_{d0}, I_{d0}) は通常、 $0.5 Z_0 < Z_L < 2 Z_0$ となるように設定する。ただし $V_k \ll V_{br} + V_p$ とする。この場合の（出力電力 P_{out} および電力効率 (η_d) は最大となる。図 6-1 において、負荷線を R_{L1} ($> R_{opt}$) に設定すると、ドレイン電圧がクリップされるため出力電力が低下し、負荷線を R_{L2} ($< R_{opt}$) に設定すると、ドレイン電流がクリップされるため、出力電力が低下する。一方、小信号設計の場合の負荷線は通常 a 点 (V_k, V_{dss}) と b 点 ($V_{br} + V_p, 0$) を結んだ線であり、 R_{opt} の負荷線と比較すると、傾斜が穏やか、すなわち抵抗分が高くなる。高出力設計の負荷の抵抗分 (R_{opt}) を小信号設計より低く設定するのは、ゲート電圧 V_g がゼロバイアスでもまだ FET のチャンネルが完全に開いておらず（空乏層が存在）、 $V_g > 0$ にすることによりドレイン電流が増大し、出力を大きくすることができるためである。ロードライン解析の手法は文献 [4] などに詳しい。

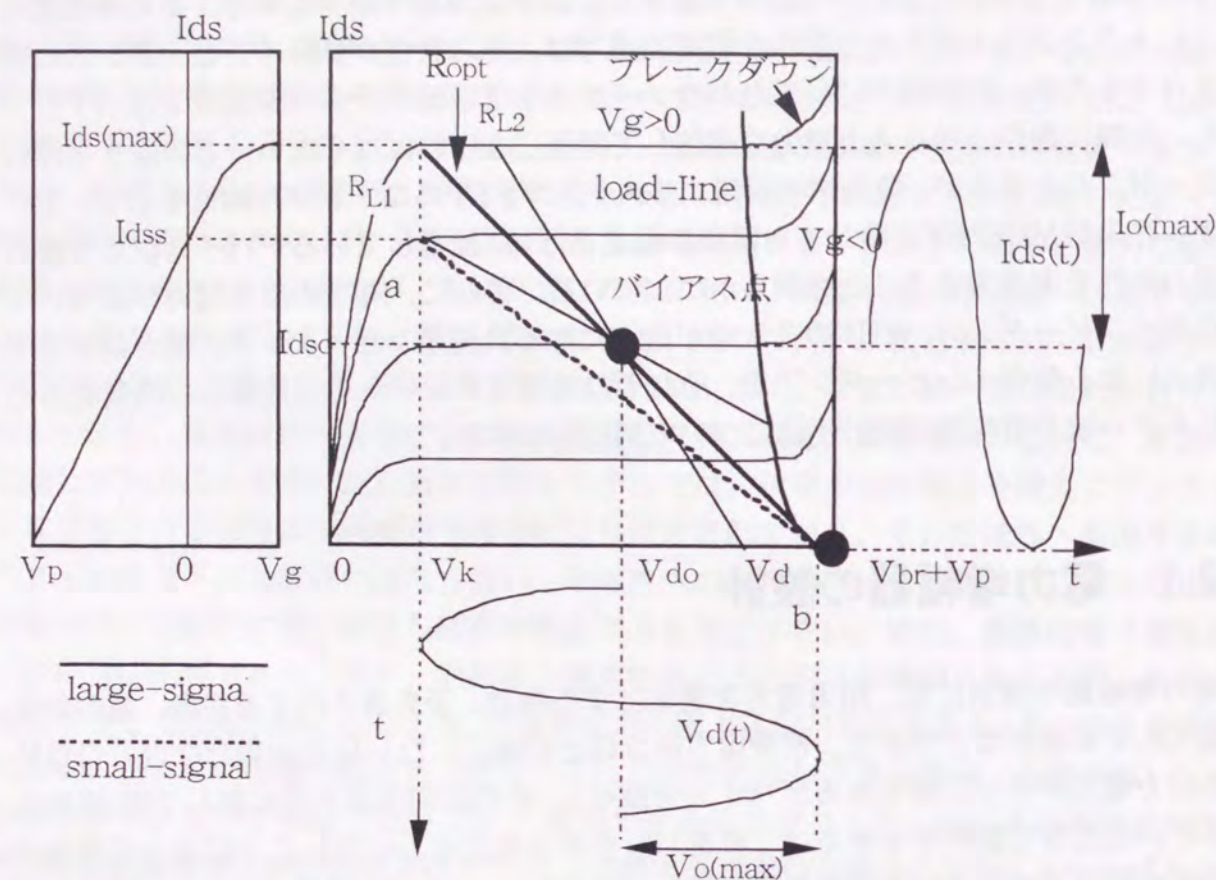


図6-1 ロードライン解析

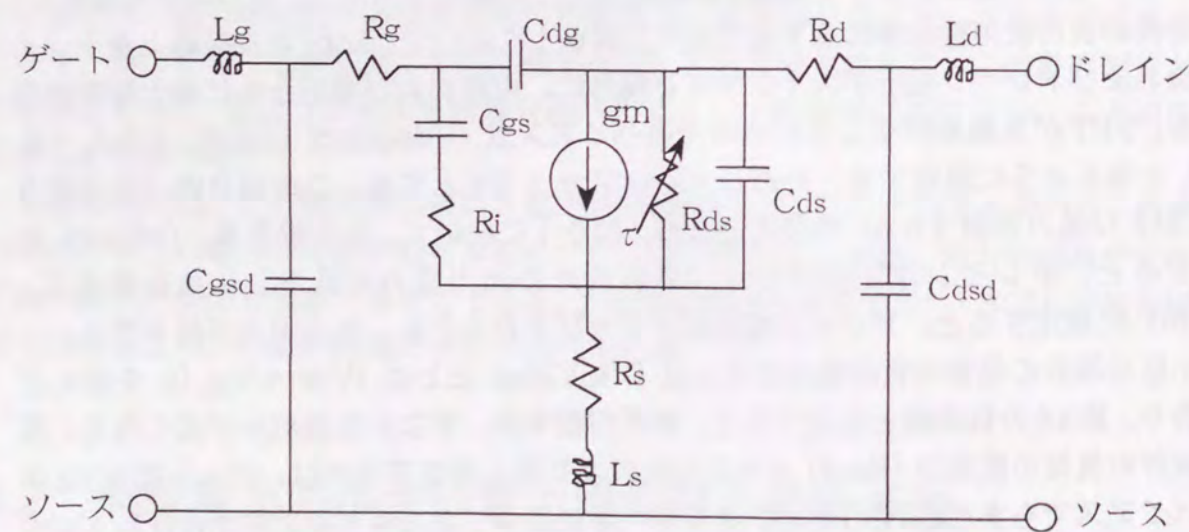


図6-2 大振幅動作時の R_{ds} を考慮した小信号モデル

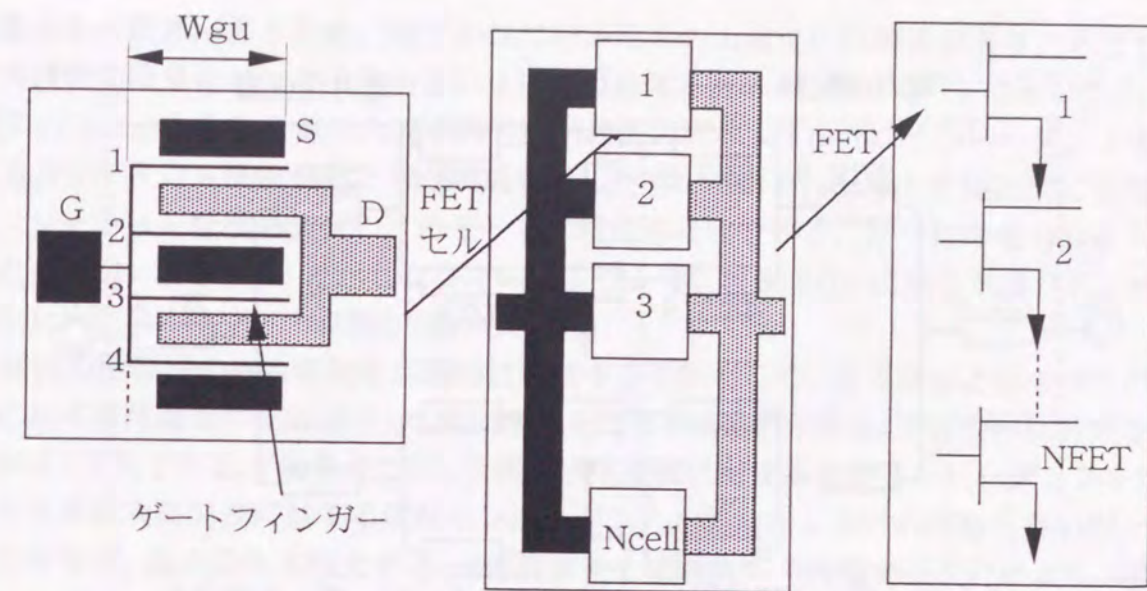


図6-3(a) FETのユニットセル 図6-3(b) ユニットセルの接続 図6-3(c) ユニットセルの電力合成

図6-3 FETのゲート幅を大きくする方法

FETの大信号モデルパラメータの内、FETが大振幅動作をしている場合に最も大きく変化するのはドレイン・ソース間抵抗 (R_{ds}) である。これはロードプル測定 (後述) より直接求めることができる。大振幅動作時の R_{ds} の値は周波数依存性が小さいため、この R_{ds} を用いた線形回路解析により、広帯域にわたって容易にパワーマッチング (出力が最大になる整合) をとることができる。大振幅動作時の R_{ds} を考慮した小信号モデルを図6-2に示す。大信号動作時の出力抵抗は直流での出力抵抗 (R_{dso}) の値に大きく依存する。 R_{dso} は大振幅動作時のバイアス点の変動に伴って大きく変化し、1周期での平均値が大信号動作時の R_{ds} と考えることができるので、大振幅動作時の R_{ds} は、直流バイアス (V_{do} , I_{dso}) に固定し、ロードプル測定によって出力が最大になる反射係数 (Γ_{opt}) が決定したら、図6-2の小信号モデルの R_{ds} の値を変化させてFETの S_{22} を計算し、 S_{22} が Γ_{opt} と共役になる点での R_{ds} の値を求める。このように大振幅動作時の出力抵抗の値を R_{ds} とした小信号モデルを用いて出力側の整合をとることにより、線形回路解析でパワー整合を実現することができる。

次に電力分配・合成回路について述べる。MMICの高出力化を図る一つの方法として、FETのゲート幅を大きくすることが考えられる。この方法を図6-3に示す。しかしながら、FETセルを構成するユニットフィンガ長を大きくするには、周波数 (波長) の観点から限界があり、フィンガ数を増す方法の場合、ゲート給電点からの距離にやはり波長

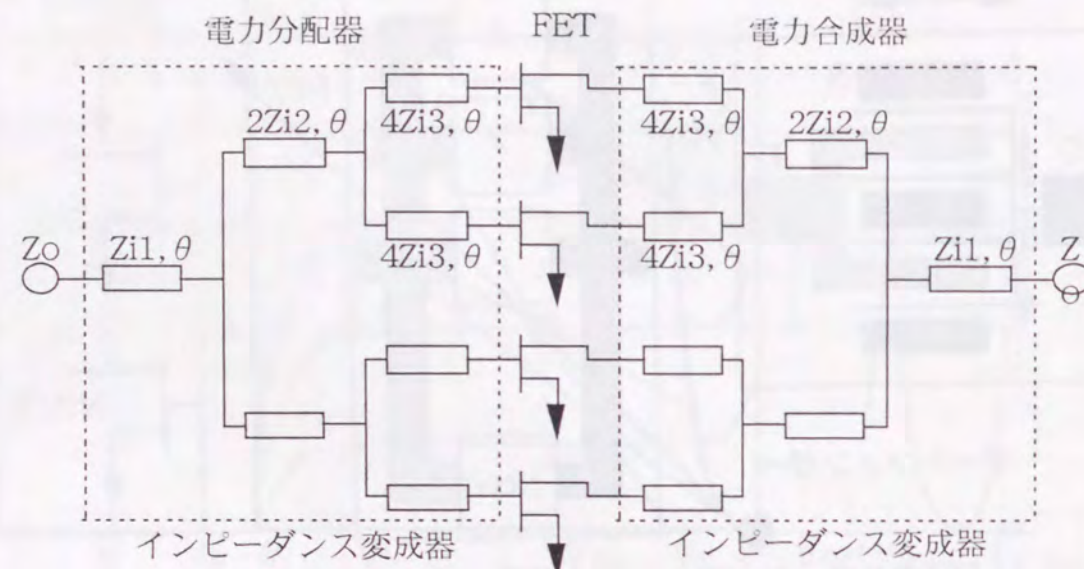


図6-4 電力分配・合成機能を持たせたインピーダンス変成器

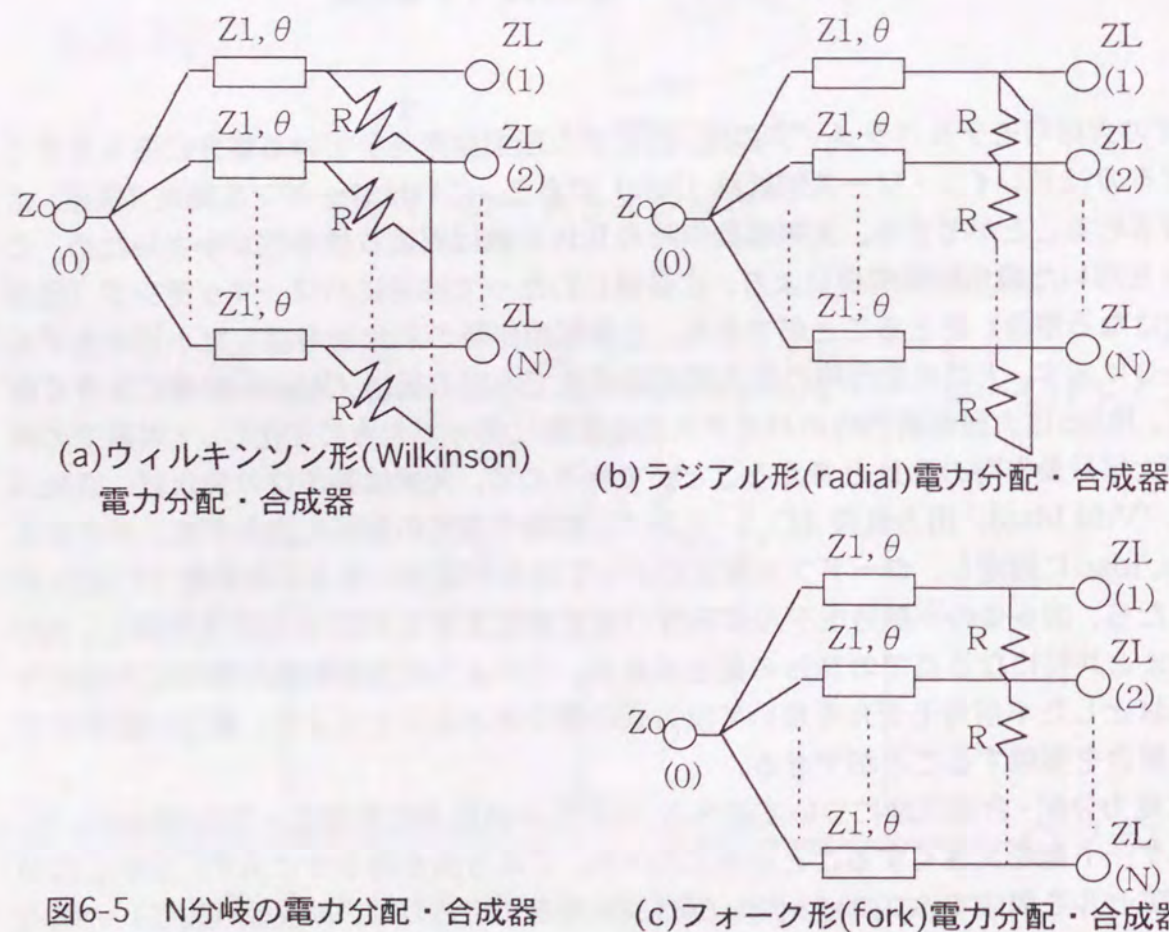


図6-5 N分岐の電力分配・合成器

(c)フォーク形(fork)電力分配・合成器

6.2 消費電力の小さい電力増幅器の設計手法

の観点から限界があるため、FETのユニットセルの大型化には限界がある。そこで、設計周波数の波長に対して十分小さい寸法に設計するために、図6-3(c)に示したように、FETのユニットセルを電力合成する方法が考えられる。図6-4はインピーダンス変成器に電力分配・合成機能を持たせた構成を示したものである。分岐した線路間には通常アイソレーション抵抗を装荷し、奇モードの電波を吸収させる。N分岐の電力分配・合成器としては、図6-5(a)に示したウィルキンソン形、図6-5(b)に示したラジアル形、図6-5(c)に示したフォーク形が用いられる。

高出力増幅器の高効率化を回路的に達成する手法として、基本波およびすべての高調波に対する終端条件を最適化し、高効率化を図るF級動作がある。F級動作における最大効率100%である。F級動作では、全偶数次高調波に対する負荷インピーダンスを短絡、また全奇数次高調波に対する負荷インピーダンスを開放にしなければならないが、高調波の寄与は、低次のもの程大きく、2倍波までを最適負荷で終端することにより、理論上86%の最大効率を得ることができる。

FETのA級およびB級動作のロードラインを図6-6に示す。A級動作のバイアス点は、ドレイン電流 $I_{ds}(t)$ が0から $I_{ds}(\max)$ の範囲内、ドレイン電圧 $V_d(t)$ が V_{k} から

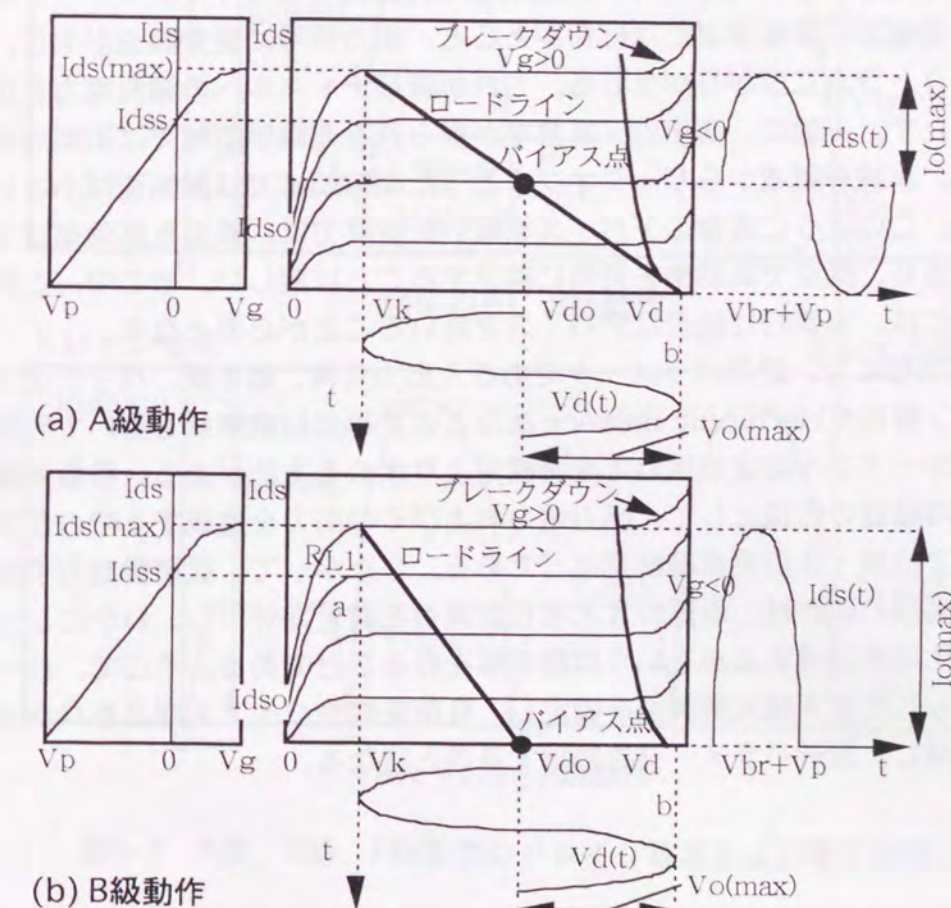


図6-6 A級およびB級動作のロードライン

$V_{br} + V_p$ の範囲内でスイングするように設定する。ドレイン電流および電圧は $(V_k, I_{ds}(\max))$ と $(V_{br} + V_p, 0)$ を結んだ負荷線上をスイングする時に最大となり、負荷線上をドレイン電流および電圧がスイングする場合に最大出力および最大効率50%が得られる。一方、B級動作のバイアス点は、図6-6 (b) に示すように、直流のドレイン電流 (I_{dso}) がゼロになるように設定するのであるが、この場合ドレイン電圧は正弦的な変化をし、ドレイン電流は半波整流された波形になる。B級動作において高効率化を図るためには、偶数次の高調波電圧を極力抑える必要があり、奇数次の高調波電流は生じないので、奇数次の電圧が発生しても効率の劣化は生じない。したがって、高調波に対する負荷条件は、すべての偶数次の高調波に対して短絡、すべての奇数次の高調波に対して開放にすることである。A級、B級、F級動作のドレイン電流および電圧を図6-7に示す。

6.2.2 ロードプル特性

移動体や衛星通信に用いられる $\pi/4$ -shift QPSK 変調信号やマルチキャリア信号を増幅した場合、増幅器に振幅歪または位相があると、出力信号に混変調歪が生じ、その結果、出力スペクトラムに広がりが生じる。これが隣接チャネルへの漏洩電力となり、通信に支障をきたす。一般に、高出力・高効率を得られる非線形領域では振幅が歪み、位相歪も大きい。非線形領域からバックオフをとった線形領域では振幅歪は小さいが、効率が劣化する。このように通常のデバイスを用いた設計では、低歪と高効率はトレードオフの関係にあり、低歪で高効率を同時に満足することは難しい。そこで、これらを両立させるためには、本質的に低歪なデバイスを用いることが必要となる。

低歪設計の方法には、設計パラメータである入出力負荷、動作級、バックオフ量などをロードライン解析や Harmonic Balance 法などの非線形回路解析を用いて計算より求める方法と、ロードプル測定を用いて直接測定より求める方法がある。移動体通信の応用では、電力増幅器の仕様として、出力電力およびその出力を達成する時の3次相互変調歪、そして2倍波・3倍波高調波歪などである。したがって、低消費電力すなわち高効率の電力増幅器の設計は、所望の3次相互変調歪を満足させつつ、いかにして高い効率で出力電力仕様を達成するかという問題の解を得ることである。そこで、ロードプル測定は、与えられた3次相互変調歪を固定し、負荷条件やバイアスなどをパラメータとして最適解を探し、設計パラメータを抽出することになる。

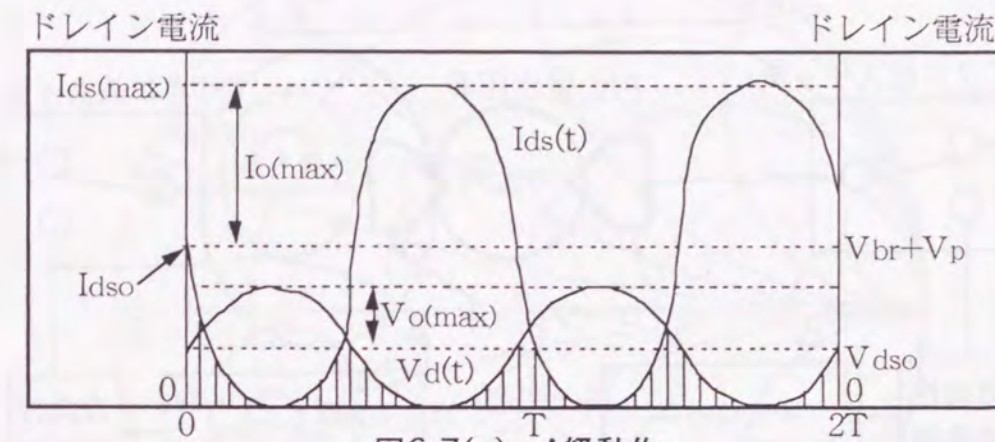


図6-7(a) A級動作

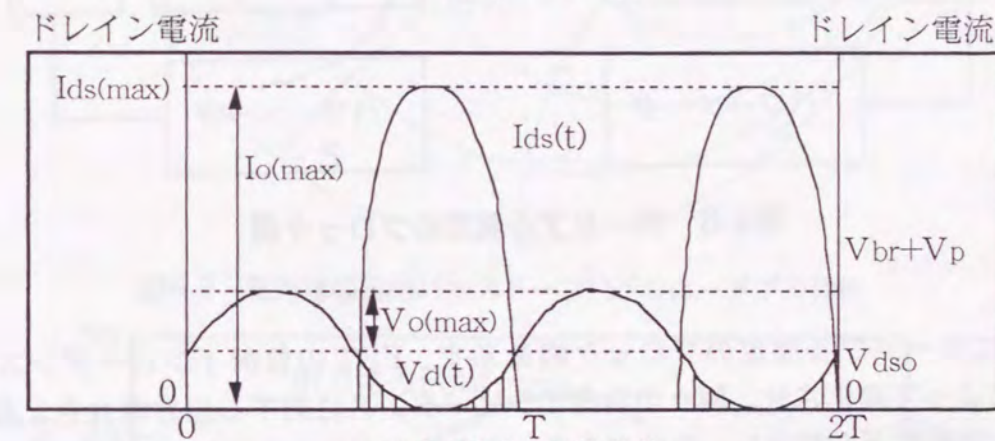


図6-7(b) B級動作

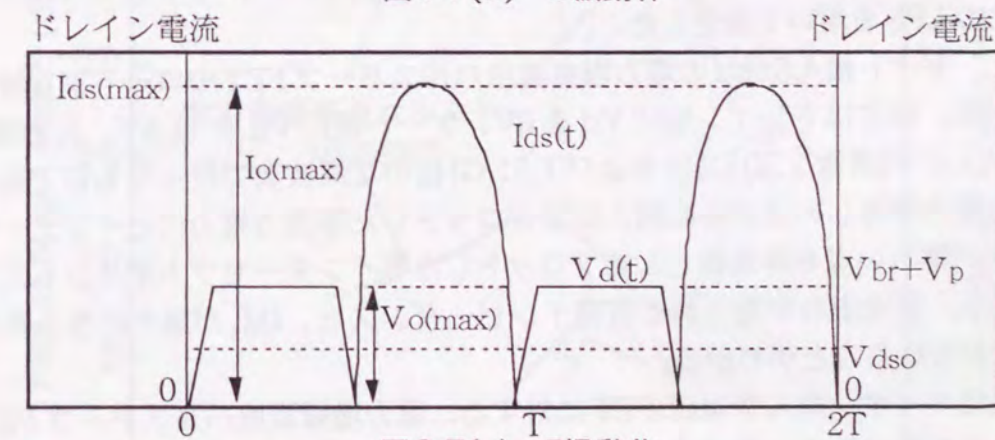


図6-7(c) F級動作

図6-7 A級、B級、F級動作のドレイン電流および電圧波形

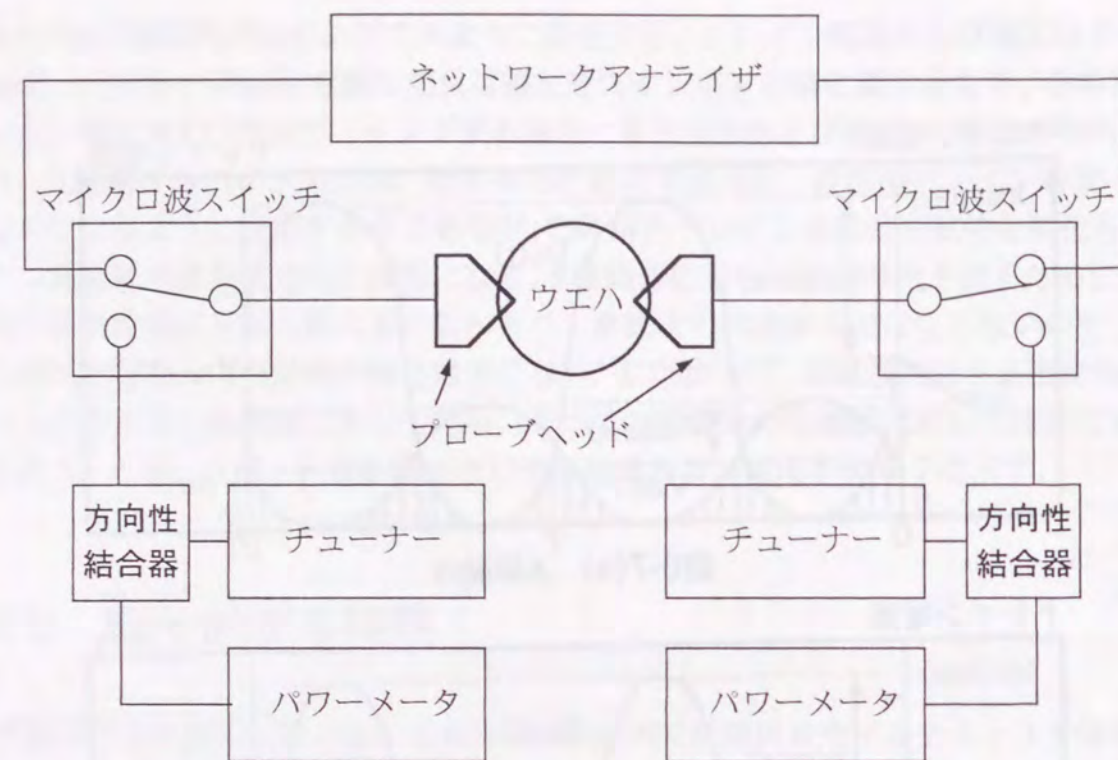


図6-8 ロードプル測定のプロック図

図6-8にロードプル測定のプロック図を示す。FETの負荷インピーダンスを電子チューナによって変化させ、個々の負荷インピーダンスに対する出力電力や3次相互変調歪、電力効率などを測定し、設計パラメータを抽出する。本研究では、ATNマイクロウェーブ社のLP5を用いて測定した。

図6-9に、ゲート幅4.8mmの電力増幅器用パルスドープFETのロードプル特性を示す[6] - [9]。測定はドレイン電圧 V_d を8V、ゲート電圧 V_g を-1.8V、入力電力 P_{in} を8 dBmとし、周波数1.50 GHzおよび1.51 GHzの2周波数で行ったものである。図6-9は、出力電力が等しい点を等高線としてプロットした等出力電力円とインターセプトポイント IP_3 が等しい点を等高線としてプロットした等インターセプトポイント円を示したものである。最大出力が得られる負荷インピーダンスと、 IM_3 が最小になる負荷インピーダンスが異なることがわかる。

また、通常のイオン注入型MESFETに対する、電力増幅器用パルスドープFETにおける電力特性の優位性を比較するため、市販の電力増幅器用FETのロードプル測定を行った。図6-10は、これをゲート幅4.8mmに換算し、電力増幅器用パルスドープFETのロードプル特性と比較したものである。測定条件は、 $IM_3 = -40$ dBcという条件で測定したものである。この図からわかるように、出力電力 P_{out} と電力付加効率PAEは、イオン注入型MESFETと比べおよそ2倍の特性を示している。これは、同じ出力電力およ

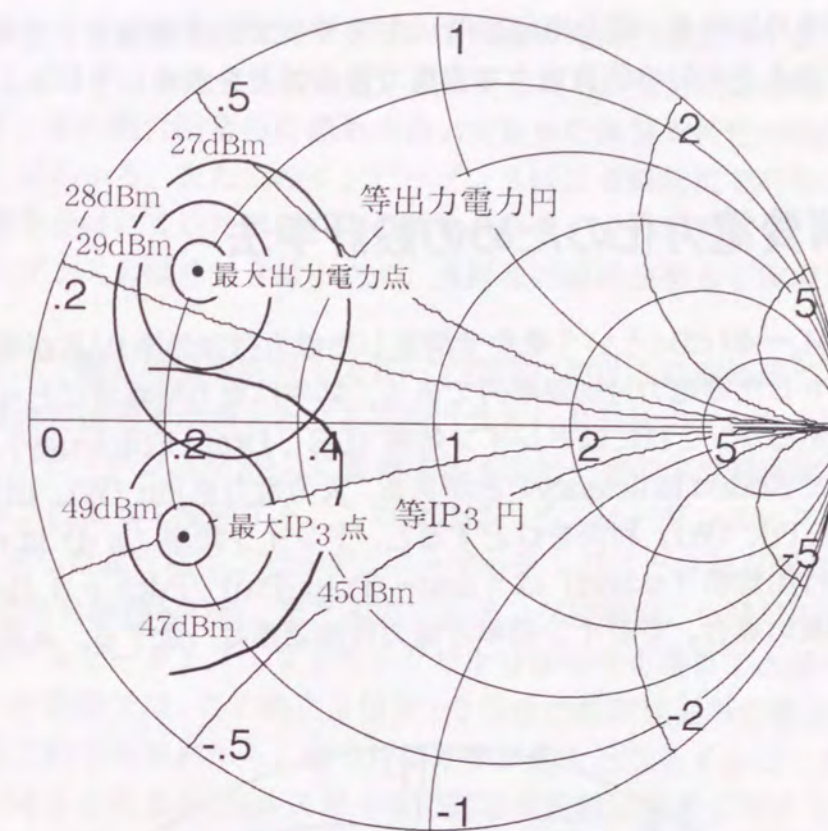


図6-9 電力増幅器用パルスドープFETのロードプル特性

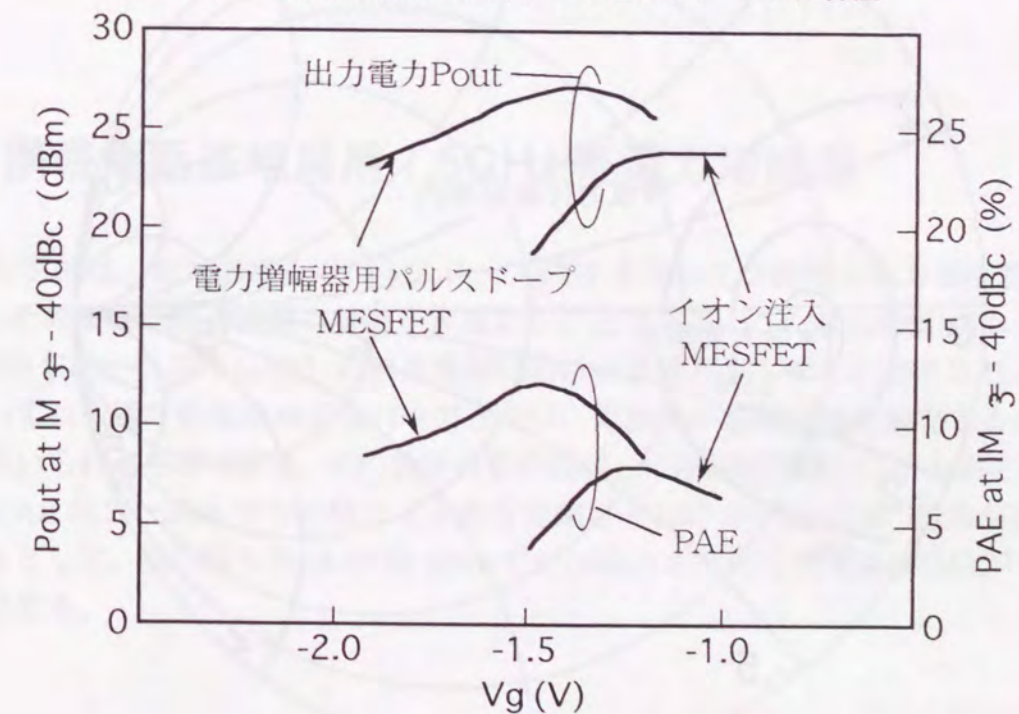


図6-10 通常のイオン注入型MESFETと電力増幅器用パルスドープFETの比較

び3次相互変調歪の特性を、電力増幅器用パルスドープFETを適用した場合、従来のデバイスに比べておよそ半分の消費電力で実現できることを意味している。

6.2.3 低消費電力化のための設計手法

図6-11は、 $IM_3 = -40$ dBcという条件で測定した電力付加効率PAEが等しい点を等高線としてプロットした等電力付加効率円である。効率は電力増幅器にとって、重要な評価パラメータであるが、これにはドレイン効率(DE: Drain Efficiency)と電力付加効率(PAE: Power Added Efficiency)とがある。入力電力を P_{in} (W)、出力電力を P_{out} (W)、消費電力を P_{dc} (W)、利得を G とすると、ドレイン効率(η_d)は $\eta_d = P_{out}/P_{in}$ で表され、電力付加効率(η_{add})は $\eta_{add} = (P_{out} - P_{in})/P_{dc} = \eta_d (1 - 1/G)$ で表される。利得 G が高い場合、ドレイン効率と電力付加効率は一致する。本節では、効率の

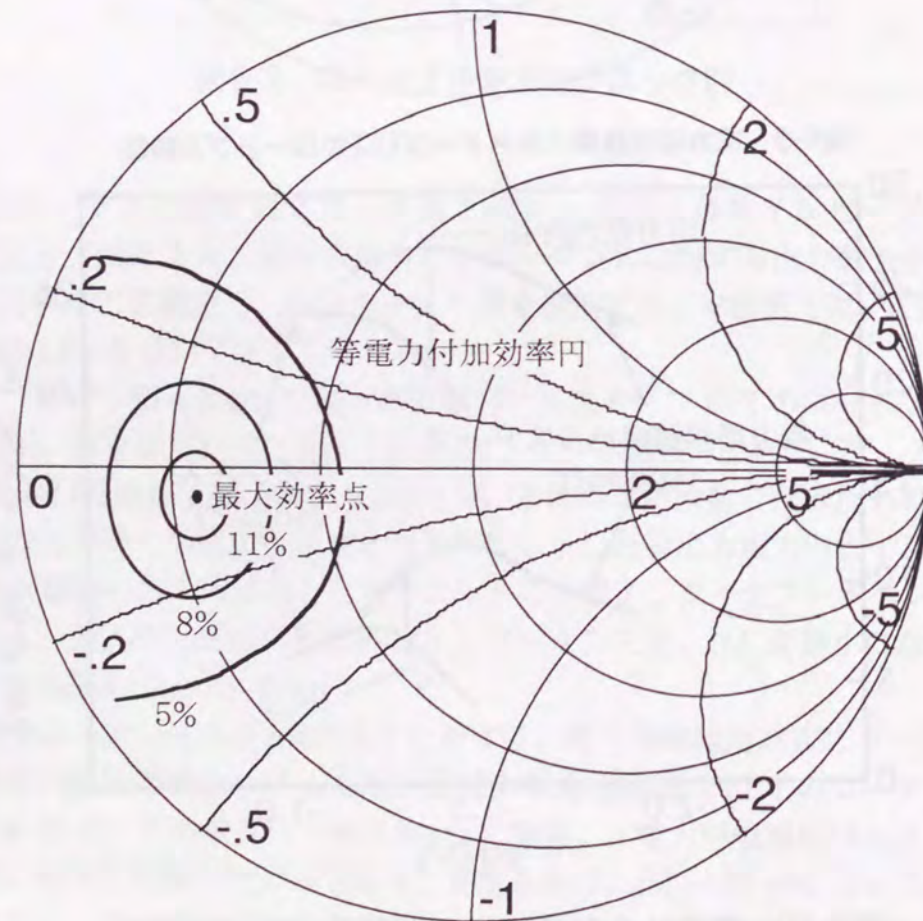


図6-11 等電力付加効率円

評価パラメータとして、電力付加効率を用いている。電力付加効率が最大になる負荷インピーダンスは、50 オームから比較的近い点にあるため、整合回路は簡単なもので構成することができ、また整合回路の Q 値も小さい安定かつ周波数特性の低い回路を容易に実現できることがわかる。またこのインピーダンスはほぼ純抵抗であり、FETの寄生パラメータの影響を受けにくいため、FETの寄生パラメータの製造ばらつきによるこの最適負荷インピーダンスのばらつきは小さく、良好な回路の歩留りを実現することができる。

このようにして、電力増幅器用パルスドープFETにおける最適負荷インピーダンス条件、すなわち電力付加効率が最大となる設計パラメータが抽出された。出力マッチング回路は、このインピーダンスを50 Ω に変換するインピーダンス変換回路を、小信号線形シミュレーションによって設計する。この設計は、インピーダンス・マッチングではないが、図6-9に示したようにインピーダンス・マッチング点とさほど離れていないため、実用上十分なVSWRが得られる。また入力マッチング回路は、小信号の S パラメータ設計による通常のインピーダンス・マッチングで十分な特性を得ることができる。従来のデバイスを用いた設計では、この他に2倍波・3倍波の高調波歪みの評価が必要であり、場合によってはこれらの制約から、電力付加効率が最大となるインピーダンス点に設計できないことが考えられるが、パルスドープFETは本質的に線形デバイスであり2倍波・3倍波歪は極めて小さいため、設計面で考慮する必要が無く、設計が単純化されるのである。

6.3 携帯電話基地局用 1.5GHz 帯電力増幅器

本節の目的は、電力増幅器用パルスドープFETを用いて2種類の電力増幅器を設計、試作し、その優れた低消費電力特性を実証することである。この電力増幅器は、1.5GHz帯(1.429 GHz~1.501 GHz)の携帯電話における基地局システムに適用されるものであり、いずれも通常の基地局がカバーできない、電波の不感知領域を補完するための基地局に用いられるものである。その設計目標仕様は、一方が開空間システム用として、出力電力 P_{out} が28 dBmでその時の3次相互変調歪 IM_3 が-40 dBc、他方が開空間システム用として、出力電力 P_{out} が32 dBmでその時の3次相互変調歪 IM_3 が-40 dBcのものである。

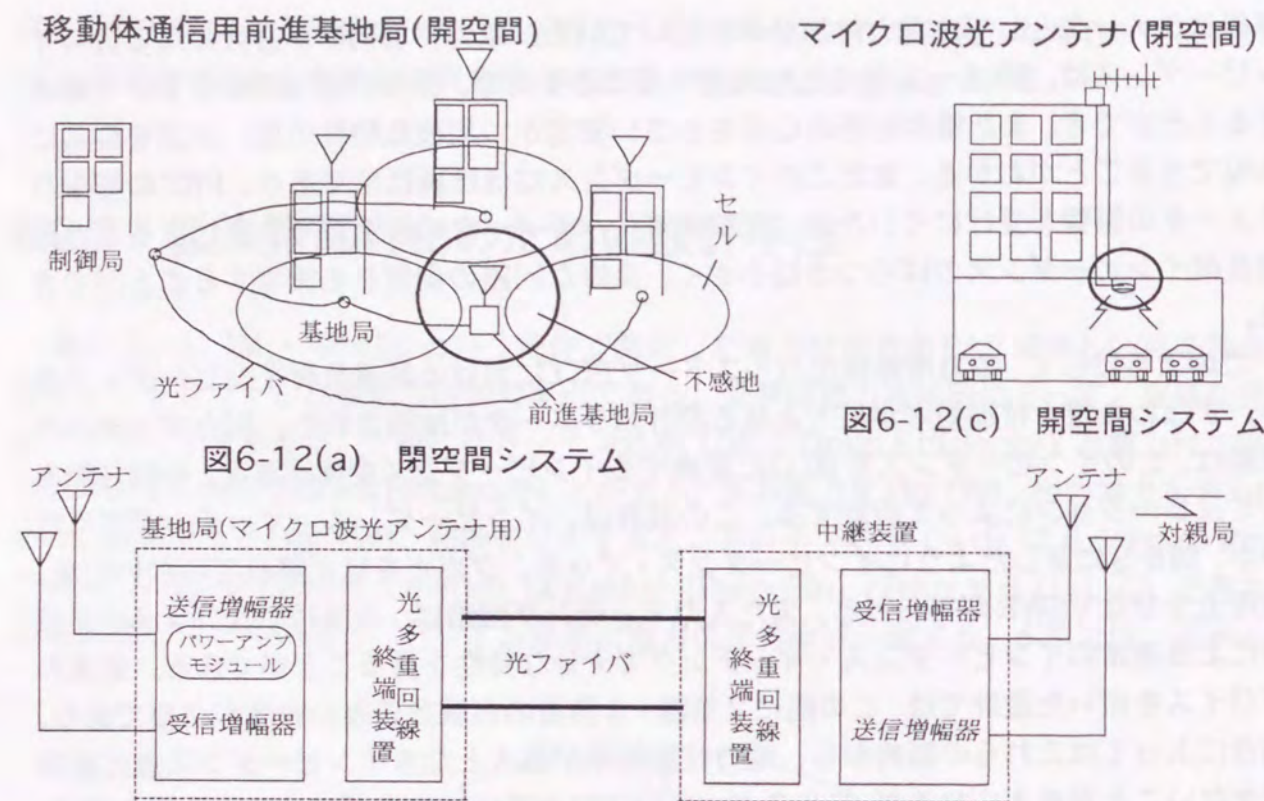


図6-12 電力増幅器の適用システム

6.3.1 電力増幅器の適用システム

図6-12に、本章で設計・試作する電力増幅器の適用システムを示す。一つは閉空間システム用で、図6-12(a)に示したようにビル内の駐車場や地下街等の電波の不感知領域に、図6-12(b)に示したように通常の基地局から光ファイバ等で信号を伝送し、再送信するためのものである。また、もう一つは開空間システム用であり、図6-12(c)のセルとセルの間や山間などの電波の不感知領域に適用するためのものである。

6.3.2 28dBm 出力の電力増幅器

等価回路を図6-13に示す。ゲート幅4.8 mmのFETを2個用い、直接接続したものである。この電力増幅器の仕様は、電源電圧Vddが8 V、ゲートバイス電圧Vggが-4 Vであり、印加されたゲートバイス電圧は抵抗分割により、FETに対し最適な電圧が与

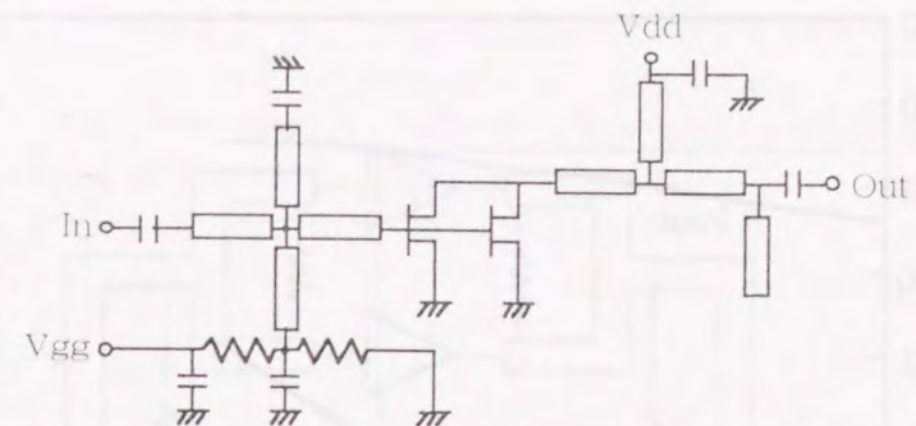


図6-13 28dBm出力の電力増幅器の等価回路

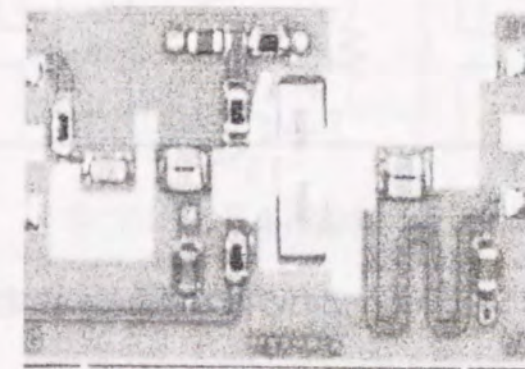


図6-14 28dBm出力の電力増幅器モジュールの写真

えられるように設計している。図6-14に、この電力増幅器モジュールの写真を示す。セラミック基板に入出力マッチング回路を形成し、FETと入出力マッチング回路はワイヤボンディングにより接続されている。FET実装部分は、セラミック基板に穴が開けられており、パッケージ底部に熱を直接逃がすことができるよう銅製のブロック（ヒートスプレッドと呼ぶ）上にFETが実装されている。図6-15に、試作した電力増幅器の測定結果を示す。1.5 GHzにおいて出力電力Poutが28.6 dBmでその時のIM3は-40.0 dBcであった。消費電力Pdcは8 Wで、電力付加効率PAEは9.1 %であり、従来のデバイスを用いた場合のおよそ2倍の効率を実現している。また、入力電力Pinを16.2dBmにして測定した時の、利得Gaは12 dB、入出力VSWRは1.6、2倍波歪は-45 dBc以下、3倍波歪は-65 dBc以下であった。得られた出力電力Poutおよび電力付加効率PAEは、図6-10に示したFETの特性より、やや低い性能となっているが、これは入出力マッチング回路における損失やインピーダンス不整合、さらには用いた2個のFETのアンバランスなどがその要因と考えられる。

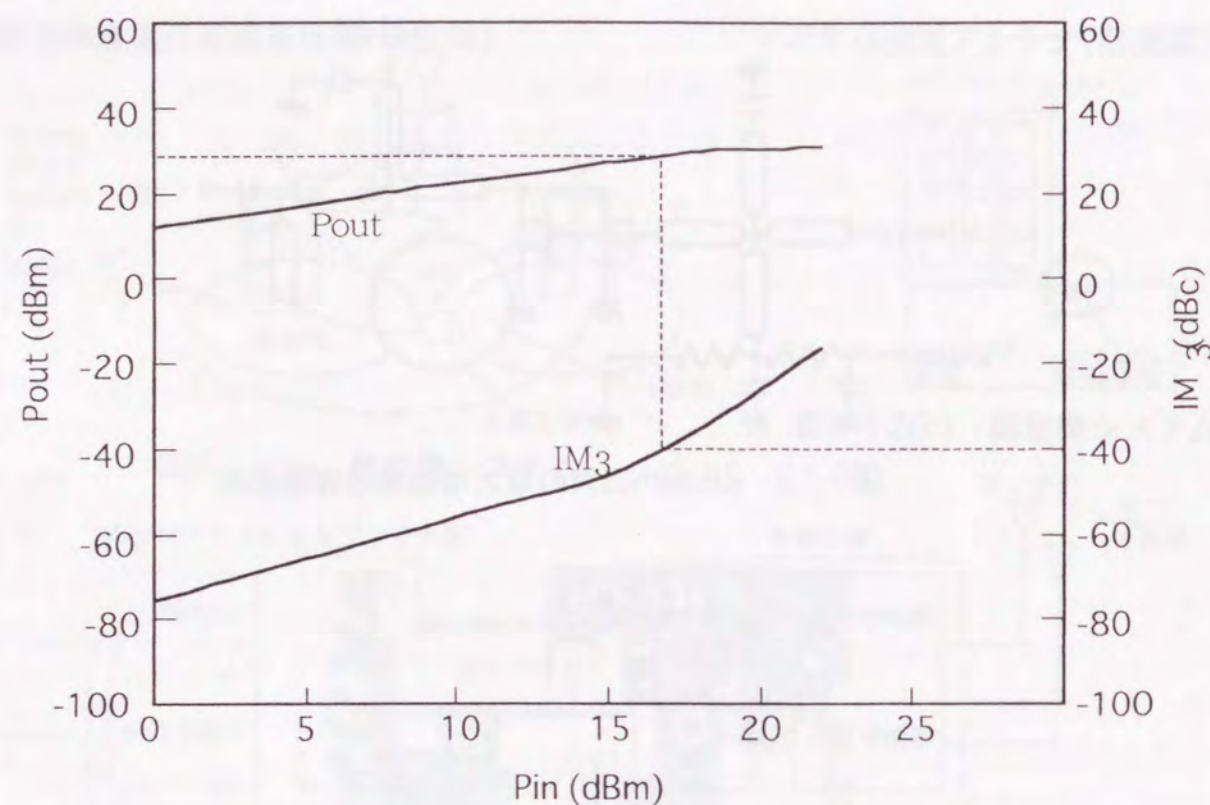


図6-15 28dBm出力の電力増幅器の測定結果

6.3.3 32dBm 出力の電力増幅器

等価回路を図 6-16 に示す。上述の 28dBm タイプの電力増幅器モジュールをサブモジュールとして、これを 4 個電力合成したものである。図 6-17 に、この電力増幅器モジュールの写真を示す。セラミック基板上に電力合成回路および電力分配回路を形成し、サブモジュールとこの電力合成回路および電力分配回路はリードピンを介してはんだ付けにより接続されている。図 6-19 に、試作した電力増幅器の測定結果を示す。1.5 GHz において出力電力 P_{out} が 33.0dBm でその時の IM_3 は -40.0 dBc であった。消費電力 P_{dc} は 32 W で、電力付加効率 PAE は 6.2 % であり、やはり従来のデバイスを用いた場合のおよそ 2 倍の効率を実現している。また、入力電力 P_{in} を 22.0dBm にして測定した時の、利得 G_a は 11 dB、入出力 VSWR は 1.8、2 倍波歪は -45 dBc 以下、3 倍波歪は -65 dBc 以下であった。得られた利得は、サブモジュールすなわち 28dBm タイプの電力増幅器の特性より、1dB 低い性能となっているが、これは電力合成回路および電力分配回路における損失やインピーダンス不整合、さらには用いた 4 個のサブモジュールのアンバランスなどがその要因と考えられる。

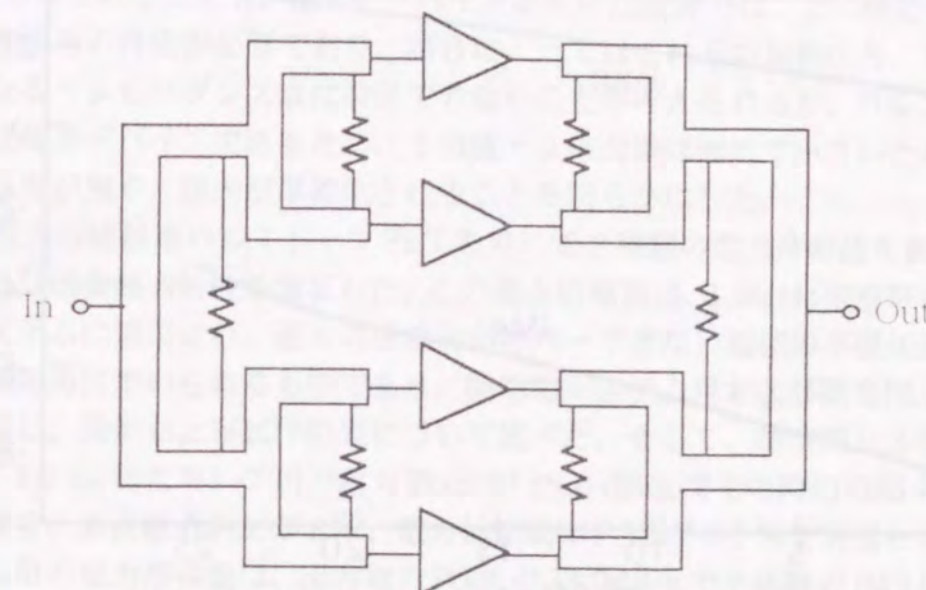


図6-16 32dBm出力の電力増幅器の等価回路

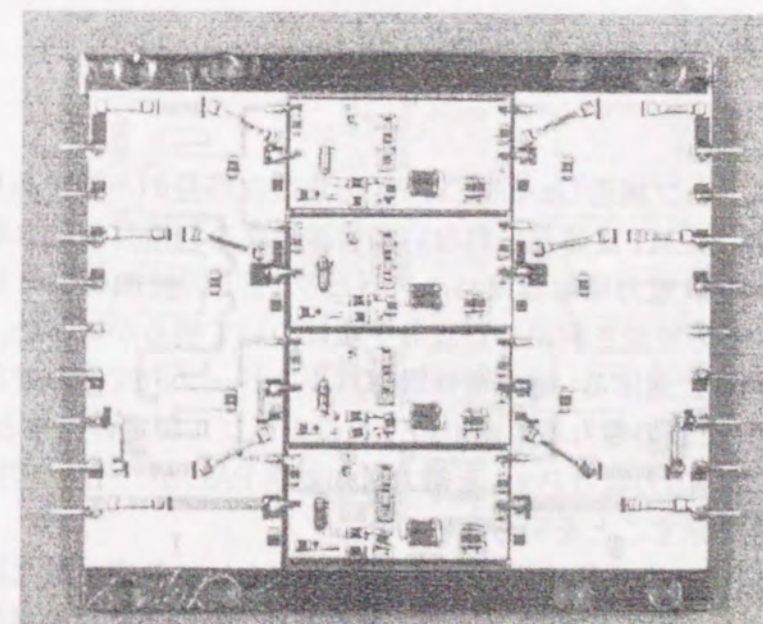


図6-17 32dBm出力の電力増幅器モジュールの写真

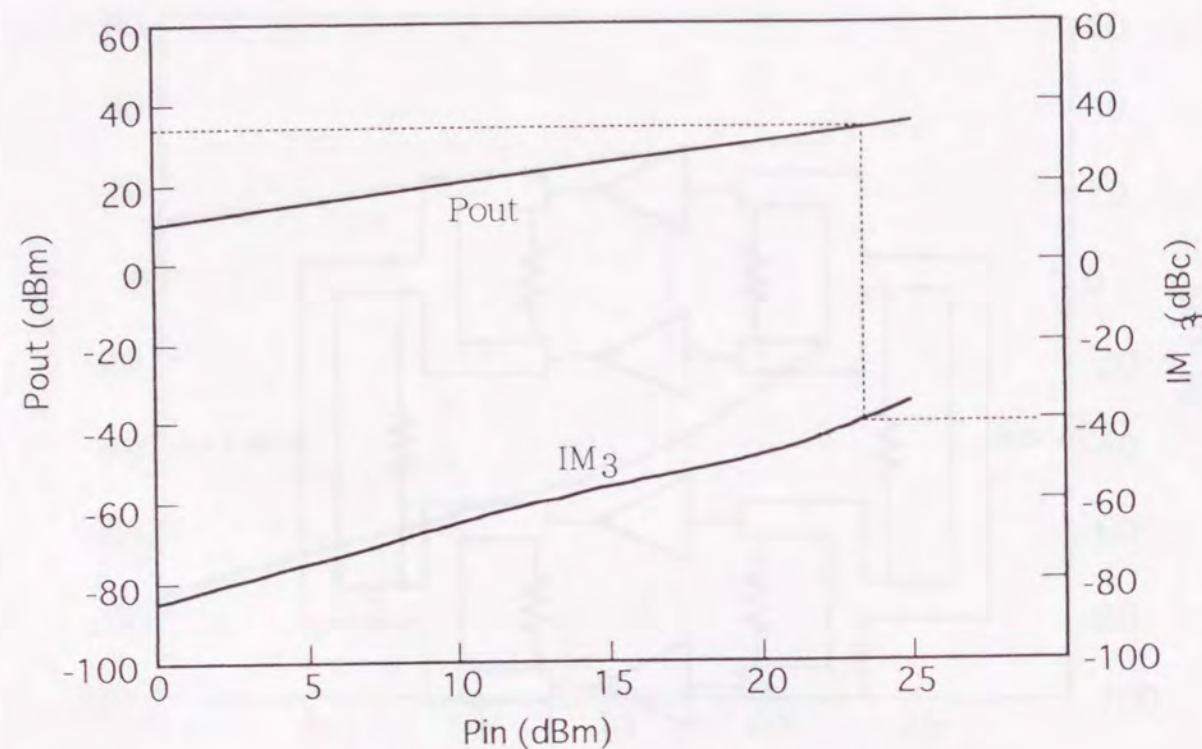


図6-18 32dBm出力の電力増幅器の測定結果

6.4 結言

本章では、パルスドープ構造 GaAs MESFET の重要な特長の一つであり、通常のイオン注入型 MESFET や HEMT には見られない高い線形性を利用した電力増幅器への応用について詳しく述べた。電力増幅器用パルスドープ FET の特徴をロードプル測定等によって明らかにし、その特徴を利用した設計手法について明らかにした。また、通常のイオン注入型 MESFET に対する、電力増幅器用パルスドープ FET における電力特性の優位性を比較するため、市販の電力増幅器用 FET のロードプル測定の結果と比較し、 $IM_3 = -40$ dBc という条件で、出力電力 P_{out} と電力付加効率 PAE が、イオン注入型 MESFET に対して 2 倍の特性を示すことを明らかにした。

さらに電力増幅器用パルスドープ FET の場合、電力付加効率が最大になる負荷インピーダンスが、50 オームから比較的近い点にあるため、整合回路は簡単なもので構成することができ、また整合回路の Q 値も小さい安定かつ周波数特性の低い回路を容易に実現できることや、このインピーダンスはほぼ純抵抗であり、FET の寄生パラメータの影響を受けにくいため、FET の寄生パラメータの製造ばらつきによるこの最適負荷イン

ピーダンスのばらつきは小さく、良好な回路の歩留りを実現することができる可能性などについても明らかにした。そして、最大効率の点にマッチングをとっても実用上十分な VSWR が得られることや、従来のデバイスを用いた設計では、この他に 2 倍波・3 倍波の高調波歪みの評価が必要であり、場合によってはこれらの制約から、電力付加効率が最大となるインピーダンス点に設計できないことが考えられるが、パルスドープ FET が本質的に線形デバイスであるため、2 倍波・3 倍波歪は極めて小さいため、設計面で考慮する必要が無く、設計が単純化されることを明らかにした。

次に、電力増幅器用パルスドープ FET を用いて 2 種類の電力増幅器を設計、試作し、その優れた低消費電力特性を実証した。この電力増幅器は、1.5GHz 帯携帯電話における基地局システムに適用され、通常の基地局がカバーできない電波の不感知領域を補完するための基地局に用いられるものであり、閉空間システム用および開空間システム用の 2 種類に関し、設計および試作結果について述べた。そして、閉空間システム用の電力増幅器は、1.5 GHz において出力電力 P_{out} が 28.6 dBm でその時の IM_3 は -40.0 dBc という性能を、消費電力 P_{dc} が 8 W、電力付加効率 PAE が 9.1 % で実現した。また開空間システム用の電力増幅器は、出力電力 P_{out} が 33.0 dBm でその時の IM_3 は -40.0 dBc という性能を消費電力 P_{dc} が 32 W、電力付加効率 PAE が 6.2 % で実現し、いずれも従来のデバイスを用いた場合のおよそ 2 倍の効率を実現した。このように電力増幅器用パルスドープ FET は、電力増幅器の消費電力を低減し、移動体通信システムにおける基地局などのマイクロ波機器の小型化にとって、極めて有用なデバイスであることを明らかにした。

参考文献

- [1] M. Fukuta, T. Mimura, I. Tsujimura, and A. Furumoto, "Mesh Source Type Microwave Power FET," in IEEE Int. Solid-State Circuit Conf. Tech Digest, pp. 84-85, 1973.
- [2] L. S. Napoli, R. E. DeBrecht, J. J. Hughes, W. F. Reichert, A. Dreeben, and A. Triano, "High-Power GaAs FET Amplifier --- A Multigate Structure," in IEEE Int. Solid-State Circuit Conf. Tech Digest, pp. 82-83, 1973.
- [3] 伊藤康之、高木 直：MMIC技術の基礎と応用、REALIZE INC.
- [4] S.C.Cripps, "A Theory for the Prediction of GaAs FET Load-Pull Power Contours," 1983 IEEE MTT-S Digest, pp.221-223,1983.
- [5] N. Shiga, K. Otobe, N. Kuwata, K. Matsuzaki, and S. Nakajima, "Low Consumption Power Application of Pulse-doped GaAs MESFET's," IEICE Trans. Electron, 条件付き採録
- [6] K. Otobe, N. Kuwata, N. Shiga, S. Nakajima, K. Matsuzaki, and H. Hayashi, "Low-distortion MESFET with Advanced Pulse-doped Structure for Power Application," the 19th Int. Symposium on GaAs and Related Compounds 1992, Karuizawa, pp. 761-766 (Sept. 1992) .
- [7] N. Kuwata, K. Otobe, N. Shiga, S. Nakajima, T. Sekiguchi, T. Hashinaga, R. Sakamoto, K. Matsuzaki, and H. Nishizawa, "High Breakdown Voltage MESFET With Planar Gate Structure For Low Distortion Power Applications," 1993 GaAs IC Symposium Tech. Dig., San Jose, pp. 181-184 (Oct. 1993) .
- [8] 乙部健二, 桑田展周, 中島 成, 志賀信夫, 松崎賢一郎, 関口 剛, 林 秀樹：“耐圧を改善したパルスドープ構造 GaAs MESFET”, 1992 信学春季全大, C-479.
- [9] 桑田展周, 坂本良二, 乙部健二, 志賀信夫, 中島 成, 松崎賢一郎, 林 秀樹：“アドバンスドパルスドープ構造 GaAs MESFET の高耐圧化”, 第53回応物秋季予稿集, 30a-ZP-5, p1271 (1992) .

第7章 結 論

本論文は、量産性に優れ低コストで民生応用に十分適用することが可能で、且つ性能の高いマイクロ波集積回路を実現することを第一の目的として、GaAs FETとそのマイクロ波集積回路への応用に関する研究成果をまとめたものである。本研究は、従来、個別部品によって構成されていた回路を、単に小型化や低コスト化のために置き換えるためのものにとどまらず、マイクロ波集積回路を用いることによって従来に無い新しい需要を創出することが可能で、画期的な新製品や新システムを実現することによって、人々の生活を豊かにできるものでなければならないという基本的な方針のもとに、マイクロ波集積回路の性能とコストを支配する最も重要な基本構成素子であるGaAs FETとして、新しい構造のパルスドープ構造 GaAs MESFET の研究を行った。

本論文は、主としてこのパルスドープ構造 GaAs MESFET の応用面に関する研究成果をまとめたものであり、本研究の第二の目的である、(1) HEMT に比肩し得る性能を示すこと、(2) MMIC の基本構成素子として十分に適用可能であること、(3) デバイス構造が多様な用途に対して対応可能な柔軟な設計性を有すること、(4) 通常の MESFET に見られない優れた特長を有することなどを明らかにし実証した。さらに、本研究の第三の目的である、(5) このデバイスの特長を活かした新しい設計技術の確立、(6) デバイスのモデル化技術に関して新しい提案、(7) 提案しているデバイスの優れた雑音特性や、優れた均一性の理論的根拠、などに関する研究成果について述べた。

以下に、第2章から第6章において得られた研究成果を総括し結論とする。

第2章では、パルスドープ構造 MESFET が応用面で非常に興味深いデバイスであることを明らかにした。低雑音特性に関しては、同じゲート長の AlGaAs/GaAs HEMT に匹敵する性能を示し、むしろ、より成熟した GaAs MESFET の製造技術を用いることができる点において、生産性やコスト面で有利であることを述べた。さらに、パルスドープ構造を電力増幅器へ応用するための、デバイス構造の設計方法についても言及し、単純な設計変更、かつほとんど同じ製造プロセスによって、非常に線形性に優れた電力増幅

第7章 結論

器用FETを実現できることを明らかにした。これは、また本研究の目的の一つであった、「パルスドープ構造が目的に応じて柔軟な設計性を有すること」を実証するものである。そして、いずれもMMICへの応用を目指して、FETの性能を向上させるためにしばしば用いられるゲートリセス構造を用いないのが大きな特徴であり、第3章の研究成果となる「パルスドープFETによるMMIC」の基礎を確立した。

第3章では、ゲート長 $0.5\mu\text{m}$ のパルスドープFETを適用した衛星放送受信コンバータ用の4つのMMIC、すなわち12GHz帯RF低雑音増幅器、ミキサ、10.7GHz発振回路、1GHz帯IF増幅器の試作結果、およびこのMMICを用いたコンバータによる受信実験の結果について述べた。このMMICの最大の特徴は、その前段にディスクリットHEMTによる低雑音アンプを用いずに、MMICのみでコンバータの全機能と十分な雑音特性を実現したことであり、報告例として初のものである。実際の受信実験では、スタブチューニング等の回路調整を行うことなく、直径40cmのパラボラアンテナで鮮明な画像を受信できたことは、実用上重要な意味を持つ。本研究の目的であるところの、「パルスドープFETのMMICへの適用性」と「HEMTに匹敵する低雑音特性の実証」は、本章における試作結果により明らかにされた。また、本研究のもう一つの目的である「パルスドープMESFETの特長を活かした設計方法」に関しては、4つのMMICの回路設計に関し、それぞれ設計手法を提案し詳細に述べた。

これらのMMICの中で、歩留りの点で最も厳しいのは12GHz帯RF低雑音増幅器であるが、高周波歩留り60%以上を実現し、その優れた生産性、均一性も実証した。そして、この研究成果は、「より高歩留りに、さらに低雑音化する」という第4章の研究テーマの大きな動機となった。

第4章では、12GHz帯RF低雑音増幅器を「より高歩留りに、さらに低雑音化する」ための研究成果について述べた。従来、回路設計の段階ではあまり考慮されなかった雑音指数のばらつきの問題に関し、低雑音アンプの設計において重要な誘導性直列帰還の大きさに関連づけて、ある程度予測することが可能なことを明らかにした。通常のFETではこの計算は非常に困難であるが、パルスドープFETでは Γ_{opt} のばらつきが、スミスチャート上で $|\Gamma_{\text{opt}}|$ があまり変化せず、その $\angle\Gamma_{\text{opt}}$ のみが変化するという特徴を利用して、簡単化することができた。これは、パルスドープFETがゲートリセス構造を用いていないため、製造ばらつきの主たる要因がゲート長のばらつきであることによるもので、ここで再び「パルスドープMESFETの特長を活かした設計方法」という本研究の目的を達成することができた。

また、12GHz帯RF低雑音増幅器にゲート長 $0.3\mu\text{m}$ のパルスドープFETを適用し、さらに低雑音化することに成功し、12GHzにおいて雑音指数1.1dB、利得28dBを実現した。理想的な低雑音増幅器が達成し得る雑音指数の理論限界はFETの最適雑音指数 F_o であるが、低雑音増幅器の原理的に達成可能な最小の雑音指数を実現するために、FETの最適雑音指数 F_o と増幅器の雑音指数の差、すなわちノイズペナルティを、「1段増幅器

の最適雑音指数 $F_{ao}-F_o$ 」、「1段増幅器の雑音指数 F_a-F_{ao} 」、「多段増幅器の雑音指数 $F_{ma}-F_a$ 」に分解し、各々のノイズペナルティ項目を最小にする設計を行った。またこの、設計精度を確認するため、試作したMMICの信号源インピーダンスをチューニングして測定し、多段増幅器の最適雑音指数 F_{mao} が F_{ma} に等しくなっていることを確認した。12GHzにおける雑音指数1.1dBという値は、報告されているMMIC増幅器としては世界最小の値である。

第5章では、低雑音GaAsMESFETのモデル化に関する2つの研究成果について述べた。一つは、回路シミュレーションのための新しい等価回路モデルに関するものであり、本章で提案した等価回路は、最近のCADシステムの高度な機能を十分に活用し、van der ZielモデルにおけるFETの雑音係数をフィッティング手法によって求めることができる点が特徴である。FETの雑音係数は、FETの雑音のふるまいをモデル化する上で極めて重要であるが、直接測定することが困難であり、また解析的に導出することも困難であるが、本章で提案した等価回路は、直接測定が容易なSパラメータおよび雑音パラメータの測定結果に、等価回路のシミュレーション結果をフィッティングさせることによって、容易に雑音係数を求めることが可能で、回路設計のみならずデバイス解析にも極めて有用なものである。これは、パルスドープFETだけではなく、一般に低雑音FETに適用できるものである。

そして、提案した雑音等価回路を用いて、実際にチャンネル厚の異なるパルスドープ構造GaAsMESFETにおける雑音係数のふるまいを解析し、そのシミュレーション結果から、チャンネル厚が薄いFETの方がドレイン雑音とゲート雑音の相関係数が大きく、パルスドープFETではHEMTと同様、0.8以上の相関係数の値をとることを明らかにし、その優れた低雑音特性の理論解釈の一つを与えることができた。

また、パルスドープFETの最適雑音指数 F_o の製造ばらつきに関し、その統計的モデルを確立し、数学的な表現式である確率密度関数を解析的に導出した。従来、このような雑音パラメータの統計モデルに関する報告例はほとんどなかったが、これは一般にFETの F_o のばらつきを決定する要因があまりにも多いため、数学的な取り扱いが困難であったからと考えられるが、パルスドープFETの場合には F_o のばらつきを決定する要因が、通常のデバイスに比べて単純化され、数学的な取り扱いが容易になる事を明らかにした。それは、パルスドープFETの場合、 F_o のばらつきに関してゲート長のばらつきが支配的要因であり、ゲート長のばらつきの分布から F_o の製造ばらつきに関する確率密度関数を容易に導出できるというものである。これも、「パルスドープFETの特徴」を活かした一つの研究成果ということができる。

また、ゲート長 $0.4\mu\text{m}$ ではさほど問題にならないが、ゲート長 $0.25\mu\text{m}$ になると有効ゲート長の概念を導入しなければモデルの精度が低下することを明らかにし、有効ゲート長を求める過程で、パルスドープ構造の電子速度や遅延時間などの解析を行い、正確な値を求めた。これらの値は、パルスドープFETにおける、電子の輸送特性を解明す

る上でも大変興味深いものである。そして、導出した式による計算結果と実験結果がよく一致することを示し、このモデルの実用性を確認した。このような、FETの最適雑音指数 F_o の製造ばらつきに関する確率密度関数を導出した報告は、ほとんど例がなく、デバイスのモデル化技術や回路設計技術に、新たな議論を提供する成果であると言える。

第6章では、パルスドープ構造 GaAsMESFETの重要な特長の一つであり、通常のイオン注入型 MESFET や HEMT には見られない高い線形性を利用した電力増幅器への応用について述べた。電力増幅器用パルスドープ FET の特徴をロードプル測定等によって明らかにし、「その特徴を利用した設計手法」について明らかにした。また、通常のイオン注入型 MESFET に対する、電力増幅器用パルスドープ FET における電力特性の優位性を比較するため、市販の電力増幅器用 FET のロードプル測定の結果と比較し、出力電力 P_{out} および電力付加効率 PAE が、イオン注入型 MESFET に対して 2 倍の特性を示すことを明らかにした。

さらに電力増幅器用パルスドープ FET の場合、整合回路は簡単なもので構成することができ、また整合回路の Q 値も小さい安定かつ周波数特性の低い回路を容易に実現できることや、最大効率の点にマッチングをとっても実用上十分な VSWR が得られること、さらには従来のデバイスを用いた設計では、この他に 2 倍波・3 倍波の高調波歪の評価が必要であり、場合によってはこれらの制約から、電力付加効率が最大となるインピーダンス点に設計できないことについて述べた。パルスドープ FET では、本質的に線形デバイスであるために、2 倍波・3 倍波歪が極めて小さく、設計面でこれらを考慮する必要が無く、設計が単純化されることを明らかにした。また、電力付加効率が最大となるインピーダンスがほぼ純抵抗であり、FET の寄生パラメータの影響を受けにくいこと、FET の寄生パラメータの製造ばらつきによるこの最適負荷インピーダンスのばらつきは小さく、良好な回路の歩留りを実現することができる可能性などについても明らかにした。

また、1.5GHz 帯携帯電話における基地局システムにおいて、通常の基地局がカバーできない電波の不感知領域を補完するための基地局に用いられる、閉空間システム用および開空間システム用の 2 種類の電力増幅器を、電力増幅器用パルスドープ FET を用いて設計、試作しその優れた低消費電力特性を実証した。これらは、いずれも従来のデバイスを用いた場合のおよそ 2 倍の効率を実現した。このように電力増幅器用パルスドープ FET は、電力増幅器の消費電力を低減し、移動体通信システムにおける基地局などのマイクロ波機器の小型化にとって、極めて有用なデバイスであることを明らかにした。

以上、本論文の研究成果をまとめたが、今後の課題について以下に述べる。

本研究では、パルスドープ構造 GaAsMESFET の優れたマイクロ波特性および低雑音特性、電力特性などを明らかにしたが、これを 30GHz 以上のミリ波領域へ適用するための研究については未着手であり、今後の課題である。また、パルスドープ構造の柔軟な設計性に関しては、パルスドープ層を 2 層有する電力増幅器用 FET に関する研究を

行ったが、これはほんの一例にしか過ぎず、パルスドープ構造はさらに多くの応用に対して展開できるものであり、応用面での研究および、さらに新しいパルスドープ構造の研究も極めて重要である。

衛星放送受信コンバータ用の MMIC では、所定の成果を得ることができたが、さらに低コスト化するためにはチップサイズを小型化するための研究、たとえば多層化 MMIC や 3 次元 MMIC などの研究が必要である。また、衛星放送受信コンバータへの応用において、真に MMIC の特長が活かされるのは平面アンテナへの適用であり、これを実現するための新しい実装技術に関する研究も重要である。FET の最適雑音指数の製造ばらつきを数学的に定式化することに成功し、その確率密度関数を導出したが、低雑音増幅器の製造歩留りを回路設計段階からシミュレーションによって正確に予測するためには、最適雑音指数だけでは不十分であり、最適信号源インピーダンスや等価雑音抵抗の製造ばらつきも定式化しなければならない。

パルスドープ FET の電力増幅器への応用では、低消費電力の点については目標とした成果を納めたが、試作したものは HMIC の形であり、機器の小型化のためには MMIC 化することが必須である。電力増幅器用 MMIC は、小信号の MMIC とは異なり、熱設計の問題が不可避である。電力増幅器を MMIC 化するためには、回路設計技術だけではなく、この熱の問題を解決するための新しい技術、たとえば GaAs ウェハを厚さ $30\mu\text{m}$ 程度まで薄層化するための研究や Plated Heat Sink などの研究も重要である。また、本論文では、低雑音 FET のモデル化に関する新しい提案を行ったが、電力増幅器用 FET のモデル化に関しては未着手である。パルスドープ FET の大きな特長である、優れた線形性を活かした回路設計を行うためには、歪特性を精度良くシミュレーションすることができる非線形モデルの研究が必須である。

最後に、本論文に記載した研究成果が、電子産業の発展に寄与するとともに、上述した今後の課題の克服や次なる研究テーマへの取り組みの動機となることを願って、本論文の結びとする。

本論文に関する原著論文

A. 学位論文に関わる論文およびレター

- (A-1) N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band MMIC Amplifier with Pulse-doped GaAs MESFET's," IEEE Trans. Microwave Theory Tech., vol. 39, no. 12, pp. 1987-1994, 1991.
- (A-2) N. Shiga, T. Sekiguchi, S. Nakajima, K. Otobe, N. Kuwata, K. Matsuzaki, and H. Hayashi, "MMIC Family for DBS Down-Converter with Pulse-doped GaAs MESFET's," IEEE J. Solid-State Circuits, vol. 27, no. 10, pp. 1413-1420, 1992.
- (A-3) N. Shiga, S. Nakajima, N. Kuwata, K. Otobe, T. Sekiguchi, K. Matsuzaki, and H. Hayashi, "12 GHz Low-noise MMIC Amplifier with GaAs Pulse-doped MESFET's," IEICE Trans. Electron, vol. E77-C, no. 9, pp. 1500-1506, 1994.
- (A-4) N. Shiga, "Modeling on Statistical Distribution of Optimal Noise Figure in Pulse-doped GaAs MESFET's," IEICE Trans. Electron, vol. E79-C, no. 10, pp. 1-7, 1996.
- (A-5) N. Shiga, K. Otobe, N. Kuwata, K. Matsuzaki, and S. Nakajima, "Low Consumption Power Application of Pulse-doped GaAs MESFET's," IEICE Trans. Electron, 掲載予定
- (A-6) S. Nakajima, K. Otobe, N. Shiga, N. Kuwata, Matsuzaki, T. Sekiguchi, and H. Hayashi, "Low-Noise Characteristics of Pulse-doped GaAs MESFET's with Planar Self-Aligned Gates," IEEE Trans. Electron Devices, vol. 39, no. 4, pp. 771-776, 1992.

本論文に関する原著論文

- (A-7) S. Nakajima, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Electronic properties of a pulse-doped GaAs structure grown by organometallic vapor phase epitaxy," *Appl. Phys. Lett.*, 57 (13), 24, pp. 1316-1317, 1990.
- (A-8) S. Nakajima, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Hot electron transport in a pulse-doped GaAs structure," *Semicond. Sci. Technol.*, 7, pp. B372-374, 1992.
- (A-9) S. Nakajima, N. Kuwata, N. Shiga, K. Otobe, K. Matsuzaki, T. Sekiguchi, and H. Hayashi, "Characterization of Double Pulse-Doped Channel GaAs MESFET's," *IEEE Electron Lett.*, vol. 14, no. 3, pp. 146-148, 1994.

B. 学位論文に関わる国際学会発表

- (B-1) N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band Monolithic Four-stage LNA with Pulse-doped GaAs MESFETs," 1990 GaAs IC Symposium Tech. Dig., New Orleans, pp. 237-240 (Nov. 1990).
- (B-2) N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "Capability of Pulse-doped GaAs MESFETs as active Devices for Satellite Communications," 1990 Joint Conference on Communication Networks, Switching System & Satellite Communications (JC-CNSS), Korea, pp. 139-143 (Dec. 1990).
- (B-3) N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band MMIC Amplifier with Pulse-doped GaAs MESFETs," 1991 IEEE MTT-S Int. Microwave Symposium Dig., Boston, pp. 77-80 (June 1991).
- (B-4) N. Shiga, T. Sekiguchi, S. Nakajima, K. Otobe, N. Kuwata, K. Matsuzaki, and H. Hayashi, "MMIC Family for DBS Downconverter with Pulse-doped GaAs MESFETs," 1991 GaAs IC Symposium Tech. Dig., Monterey, pp. 139-143 (Oct. 1991).

- (B-5) N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "Modeling on Statistical Distribution of Noise Parameters in Pulse-doped GaAs MESFETs," 1992 IEEE MTT-S Int. Microwave Symposium Dig., Albuquerque, pp. 655-658 (June 1992).
- (B-6) N. Shiga, S. Nakajima, N. Kuwata, K. Otobe, T. Sekiguchi, K. Matsuzaki, and H. Hayashi, "Monolithic Pulse-doped MESFET LNA for DBS Downconverter, 1992 GaAs IC Symposium Tech. Dig., Miami Beach, pp. 127-130 (Oct. 1992).
- (B-7) S. Nakajima, K. Otobe, T. Katsuyama, N. Shiga, and H. Hayashi, "OMVPE grown GaAs MESFETs with step-doped channel for MMICs," 1988 GaAs IC Symposium Tech. Dig., Tennessee, pp. 297-300 (Nov. 1988).
- (B-8) S. Nakajima, K. Otobe, N. Kuwata, N. Shiga, T. Sekiguchi, K. Matsuzaki, and H. Hayashi, "A Comparison of Device Performance and Device Physics between Pulse-doped FETs and HEMTs," 1990 Advanced Heterostructure Transistors Conference, Nara (Dec. 1990).
- (B-9) S. Nakajima, K. Otobe, N. Kuwata, N. Shiga, K. Matsuzaki, and H. Hayashi, "Pulse-doped GaAs MESFETs with planar self-aligned gate for MMIC," 1990 IEEE MTT-S Int. Microwave Symposium Dig., Dallas, pp. 1081-1084 (May 1990).
- (B-10) S. Nakajima, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Hot Electron Transport in a Pulse-doped GaAs structure," the 7th Conference on Hot Carriers in Semiconductors, Hawaii (June 1991).
- (B-11) N. Kuwata, S. Nakajima, T. Katsuyama, K. Otobe, K. Matsuzaki, T. Sekiguchi, N. Shiga, and H. Hayashi, "Pseudomorphic GaAs/GaInAs pulse-doped MESFETs grown by organometallic vapor phase epitaxy," the 18th Int. Symposium on GaAs and Related Compounds 1991, Seattle, pp. 143-148 (June 1991).
- (B-12) T. Sekiguchi, N. Shiga, S. Nakajima, K. Otobe, N. Kuwata, K. Matsuzaki, and H. Hayashi, "Ultra Small Sized Low Noise Block Downconverter Module," IEEE 1992 Microwave and Millimeter-wave Monolithic Circuits

本論文に関する原著論文

Symposium Dig., Albuquerque, pp. 155-158 (June 1992) .

(B-13) K. Otake, N. Kuwata, N. Shiga, S. Nakajima, K. Matsuzaki, and H. Hayashi, "Low-distortion MESFET with Advanced Pulse-doped Structure for Power Application," the 19th Int. Symposium on GaAs and Related Compounds 1992, Karuizawa, pp. 761-766 (Sept. 1992) .

(B-14) N. Kuwata, K. Otake, N. Shiga, S. Nakajima, T. Sekiguchi, T. Hashinaga, R. Sakamoto, K. Matsuzaki, and H. Nishizawa, "High Breakdown Voltage MESFET With Planar Gate Structure For Low Distortion Power Applications," 1993 GaAs IC Symposium Tech. Dig., San Jose, pp. 181-184 (Oct. 1993) .

(B-15) K. Matsuzaki, N. Kuwata, S. Nakajima, K. Otake, N. Shiga, and H. Nishizawa, "Low Noise MMIC Technology with Pulse-Doped GaAs MESFET," Proc. IEICE Asia-Pacific Microwave Conference (APMC'94) , Tokyo, vol. 1, pp. 283-286 (Dec. 1994) .

C. 学位論文に関わる国内学会発表

(C-1) 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: "パルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察 (1)", 1990 信学秋季全大, C-418.

(C-2) 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: "パルスドープ構造 GaAs MESFET を用いた 12GHz 帯低雑音 MMIC アンプ", 信学技報, MW90-84, pp.27-34 (1990-11) .

(C-3) 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: "パルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察 (3)", 1991 信学春季全大, C-522.

(C-4) 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: "パルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察 (4)", 信学技報, MW91-30, pp.55-62 (1991-05) .

(C-5) 志賀信夫, 関口 剛, 中島 成, 乙部健二, 桑田展周, 松崎賢一郎, 林 秀樹: "BS コンバータ用 GaAs MMIC", テレビ学技報, CE91-41, BCS91-22, BFO91-22, 15, 46, pp.13-18 (1991-08) .

(C-6) 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: "パルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察 (5)", 1991 信学秋季全大, C-32.

(C-7) 志賀信夫, 乙部健二, 中島 成, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: "単一電源 12GHz 帯 MMIC 低雑音アンプ", 1991 信学秋季全大, C-33.

(C-8) 志賀信夫, 関口 剛, 中島 成, 乙部健二, 桑田展周, 松崎賢一郎, 林 秀樹: "パルスドープ構造 GaAs MESFET を用いた X 帯 MMIC 発振回路", 1991 信学秋季全大, C-60.

(C-9) 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: "衛星放送受信用低雑音 MMIC アンプ", 1992 テレビ学年次大会予稿集, 6-2.

(C-10) N. Shiga, S. Nakajima S., and H. Hayashi, "Metal-Semiconductor Field-Effect Transistors," MWE '92 Microwave Workshop Dig., pp. 413-418 (Sept. 1992) .

(C-11) 中島 成, 乙部健二, 勝山 造, 志賀信夫, 林 秀樹, 吉田健一: "パルスドープ構造を有する GaAs MESFET", 第 49 回応物秋季予稿集, 5p-D-8, p976 (1988) .

(C-12) 乙部健二, 中島 成, 勝山 造, 阿河圭吾, 志賀信夫, 林 秀樹: "パルスドープ構造を有する GaAs MESFET (2)", 第 36 回応物春季予稿集, 2p-T-13, p1017 (1989) .

(C-13) 中島 成, 乙部健二, 志賀信夫, 勝山 造, 阿河圭吾, 林 秀樹: "パルスドープ構造低雑音 GaAs MESFET", 1989 信学春季全大, C-103.

(C-14) 中島 成, 乙部健二, 桑田展周, 生駒暢之, 松崎賢一郎, 志賀信夫, 林 秀樹: "RTA がパルスドープ構造 GaAs MESFET に及ぼす影響", 第 50 回応物秋季予稿集, 29p-Z-13, p1083 (1989) .

(C-15) 乙部健二, 中島 成, 桑田展周, 松崎賢一郎, 関口 剛, 志賀信夫, 林 秀樹:

本論文に関する原著論文

- “パルスドープ構造低雑音GaAs MESFET”, 信学技報, ED89-152, MW89-133, pp.7-12 (1990-01) .
- (C-16) 中島 成, 桑田展周, 西山直樹, 志賀信夫, 林 秀樹: “パルスドープ構造GaAs MESFETの界面特性”, 第37回応物春季予稿集, 31p-D-12, p1147 (1990) .
- (C-17) 中島 成, 桑田展周, 志賀信夫, 林 秀樹: “OMVPE バッファによるGaAs MESFETのサイドゲート効果”, 第51回応物秋季予稿集, 26a-ZG-11, p1072 (1990) .
- (C-18) 桑田展周, 乙部健二, 中島 成, 生駒暢之, 志賀信夫, 林 秀樹: “RTAがパルスドープ構造GaAsに及ぼす影響”, 第51回応物秋季予稿集, 29a-ZK-6, p1177 (1990) .
- (C-19) 乙部健二, 中島 成, 桑田展周, 関口 剛, 松崎賢一郎, 志賀信夫, 林 秀樹: “パルスドープ構造GaAs MESFETの活性層薄層化の効果”, 1990信学秋季全大, C-419.
- (C-20) 関口 剛, 乙部健二, 松崎賢一郎, 桑田展周, 中島 成, 志賀信夫, 林 秀樹: “GaAs 基板上のマイクロストリップラインの評価”, 1990信学秋季全大, C-57.
- (C-21) 中島 成, 乙部健二, 桑田展周, 志賀信夫, 関口 剛, 松崎賢一郎, 林 秀樹: “パルスドープ構造GaAs MESFETの特性解析”, 信学技報, ED90-130, MW90-120, ICD90-174, pp.35-40 (1991-01) .
- (C-22) 乙部健二, 志賀信夫, 中島 成, 桑田展周, 松崎賢一郎, 関口 剛, 林 秀樹: “パルスドープ構造GaAs MESFETの雑音パラメータに関する一考察(2)”, 1991信学春季全大, C-521.
- (C-23) 中島 成, 西山直樹, 桑田展周, 志賀信夫, 林 秀樹: “パルスドープ構造GaAsの高電界輸送特性”, 第38回応物春季予稿集, 28a-M-5, p1115 (1991) .
- (C-24) 桑田展周, 中島 成, 勝山 造, 志賀信夫, 林 秀樹: “OMVPE成長GaInAs/GaAs歪量子井戸”, 第38回応物春季予稿集, 28p-ZK-9, p224 (1991) .
- (C-25) 桑田展周, 中島 成, 志賀信夫, 乙部健二, 関口 剛, 松崎賢一郎, 林 秀樹: “Pseudomorphic GaAs/GaInAs パルスドープMESFET”, 信学技報, MW91-48, pp.11-16 (1991-07) .

- (C-26) 桑田展周, 中島 成, 志賀信夫, 乙部健二, 松崎賢一郎, 関口 剛, 林 秀樹: “Pseudomorphic pulse-doped GaInAs MESFETs”, 1991信学秋季全大, C-346.
- (C-27) 中島 成, 桑田展周, 乙部健二, 志賀信夫, 松崎賢一郎, 関口 剛, 林 秀樹: “ダブルパルスドープ構造GaAs MESFETs”, 1991信学秋季全大, C-331.
- (C-28) 桑田展周, Taylor W. J., 吉田伊知朗, 勝山 造, 志賀信夫, 林 秀樹: “OMVPE成長GaInAs/GaAs量子井戸の熱的安定性”, 第39回応物春季予稿集, 28p-ZA-9, p205 (1992) .
- (C-29) 乙部健二, 桑田展周, 中島 成, 志賀信夫, 松崎賢一郎, 関口 剛, 林 秀樹: “耐圧を改善したパルスドープ構造GaAs MESFET”, 1992信学春季全大, C-479.
- (C-30) 松崎賢一郎, 中島 成, 乙部健二, 桑田展周, 志賀信夫, 関口 剛, 林 秀樹: “0.2 μ mゲートパルスドープ構造GaAs MESFET”, 1992信学春季全大, C-480.
- (C-31) 関口 剛, 志賀信夫, 中島 成, 乙部健二, 桑田展周, 松崎賢一郎, 林 秀樹: “超小型MMICコンバータモジュール”, 1992信学春季全大, C-78.
- (C-32) 桑田展周, 坂本良二, 乙部健二, 志賀信夫, 中島 成, 松崎賢一郎, 林 秀樹: “アドバンスドパルスドープ構造GaAsMESFETの高耐圧化”, 第53回応物秋季予稿集, 30a-ZP-5, p1271 (1992) .

D. その他の論文、学会発表など

- (D-1) S. Nakajima, K. Matsuzaki, K. Otobe, H. Nishizawa, and N. Shiga, "Enhancement-mode GaAs MESFET Technology for Low Consumption Power and Low Noise Applications," IEEE Trans. Microwave Theory Tech., vol. 42, no. 12, pp. 2517-2524 (Dec. 1994) .
- (D-2) T. Sekiguchi, S. Sawada, T. Hirose, M. Nishiguchi, N. Shiga, and H. Hayashi, "A Mutichip Packaged GaAs 16 $\times$ 16 Parallel Multiplier," IEEE Trans. Components, Hybrids, and Manufacturing Tech., vol. 15, no. 4, pp. 444-

450 (Aug. 1992) .

- (D-3) S. Nakajima, M. Murata, N. Shiga, and H. Hayashi, "High electron mobility in modulation-doped n-AlInAs/InP heterostructures grown by low pressure organometallic vapor phase epitaxy," Appl. Phys. Lett., 59 (13) , 23, pp. 1606-1607 (Sept. 1991) .

<学会発表など>

- (D-4) S. Nakajima, K. Matsuzaki, K. Otobe, H. Nishizawa, N. Shiga, "Enhancement-mode GaAs MESFET Technology for Low Consumption Power and Low Noise Applications," 1994 IEEE MTT-S Int. Microwave Symposium Dig., San Diego, pp. 1443-1447 (May 1994) .

- (D-5) 関口 剛, 阿河圭吾, 志賀信夫, 林 秀樹: "GaAsIC 搭載 1Gbps APD-アンプモジュール", 1989 信学春季全大, B-725.

- (D-6) 村田和夫, 鈴木富博, 御神村泰樹, 関口 剛, 志賀信夫, 村上泰典, 松元健悟: "GaAsIC 搭載超小型光受信モジュール", 1991 信学春季全大, B-938.

- (D-7) 中島 成, 村田道夫, 志賀信夫, 林 秀樹: "OMVPE 成長による高電子移動度 n-AlInAs/InP と HEMT への応用", 第 52 回応物秋季予稿集, 10a-H-10, p1194 (1991) .

- (D-8) 平野 真, 志賀信夫, 堀尾和重, 山内佳紀: "1992 年 GaAsIC シンポジウム出席報告", 信学技報, ED92-139, MW92-142, ICD92-160, pp.57-65 (1993-01) .

- (D-9) 中島 成, 乙部健二, 坂本良二, 志賀信夫, 西沢秀明: "イオン注入 GaAs MESFET のドレイン電流の直線性に関する一考察", 1993 信学春季全大, C-518.

