

Title	ガリウムひ素電界効果トランジスタとそのマイクロ波 集積回路への応用に関する研究
Author(s)	志賀, 信夫
Citation	大阪大学, 1997, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3129089
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka



ガリウムひ素電界効果トランジスタと そのマイクロ波集積回路への応用に関する研究

1997年1月

志賀信夫



0

ガリウムひ素電界効果トランジスタと そのマイクロ波集積回路への応用に関する研究

1997年1月

志賀信夫

本論文は、大阪大学大学院教授森永規彦博士の御指導のもとに、筆者が住友電気工業 株式会社オプトエレクトロニクス研究所に在職中、および大阪大学大学院工学研究科通 信工学専攻博士後期課程在学中に行った研究成果をまとめたものである。本研究の遂行 にあたり、終始御懇切なる御指導と御鞭撻を賜った森永規彦教授に衷心より謝恩の意を 表する次第である。

本論文をまとめるに際し、大阪大学工学部教授小牧省三博士に懇切丁寧なる御教示、 御助言を賜った。ここに深く感謝の意を表する次第である。

大阪大学在学中より通信工学全般および本研究の基礎である電子回路理論に関して御 指導、御教示を賜った大阪大学名誉教授 滑川敏彦博士 (現在姫路獨協大学教授)、同名誉 教授熊谷信昭博士(前大阪大学総長)、同名誉教授手塚慶一博士(故人)、同名誉教授中 西義郎博士、大阪大学大学院教授 倉薗貞夫博士、同教授 長谷川晃博士、同教授 児玉裕 治博士、同教授前田肇博士、同教授池田博昌博士、同講師 塚本勝俊博士をはじめとす る大阪大学大学院通信工学専攻の諸先生方ならびに、大阪大学産業科学研究所教授元田 浩博士,京都工芸繊維大学教授笠原正雄博士,大阪市立大学教授村田正博士,大阪産業 大学教授 佐藤正志博士に厚く感謝申し上げる。

また本研究の遂行にあたり、御指導ならびに暖かいご配慮を頂いた住友電気工業株式 会社オプトエレクトロニクス研究所 今井元所長、工原美樹主幹、同研究所光・マイクロ 波機能部品研究部黒田正孝部長、西江光昭主任研究員、同研究所半導体光デバイス研究 部部長林秀樹博士、主任研究員佐々木悟郎博士、主任研究員勝山造博士、岩崎孝主任 研究員に心より感謝申し上げる次第である。

さらに、住友電気工業株式会社研究開発部門 児山正弘支配人、公江清彦取締役 半導 体事業部 事業部長、電波・光システム事業部 小谷浩之事業部長、同事業部通信システム 部 高橋弘隆部長、光電子事業部 事業部長 加藤正昭博士、同事業部 西沢秀明主席、情報 通信システム事業部情報機器部部長小野公三博士、システムエレクトロニクス研究開発 センター斎藤瓊郎部長、伊丹研究所鹿田真一主任研究員、知的財産部長谷川好道博士、 ならびに Sumitomo Electric Lightwave Corp. マネージャー西口勝規博士には、折に 触れ有益な御助言を頂くとともに暖かく励まして頂いた。ここに深く感謝する次第であ る。

本論文は、パルスドープ構造GaAsMESFETの応用に関する研究成果をまとめたもの

謝 辞

本研究の機会を与えて下さり、終始御懇切なる激励と御鞭撻を賜った住友電気工業株 式会社取締役支配人吉田健一博士、下川忠取締役人事部長、研究開発部門支配人石田晶 博士、人材開発室長山林直之博士、に厚く御礼申し上げる次第である。

i

である。本研究の基礎となるパルスドープ構造 GaAsMESFET を発明した、オプトエレ クトロニクス研究所光・マイクロ波機能部品研究部 主査 中島成博士、ならびに電力増幅 器用パルスドープ構造を考案した、桑田展周主査、この新しいデバイスの設計技術開発 にともに取り組んできた乙部健二主査、マイクロ波回路の実装設計技術開発にともに取 り組んできた関ロ剛主査、製造プロセス技術開発にともに取り組んできた松崎賢一郎氏 には本研究に着手した当初より今日に至るまで、協同研究者として日々議論を行い、と もに実験をするなど協力を頂いた。ここに衷心より感謝する次第である。本研究の期間 中、有益な討論ならびに数多くの御支援を頂いた、同研究部 矢野浩主査、後藤登主査、福 澤健主査、澤田宗作主査、橋長達也氏、坂本良二博士はじめ同研究部の各位ならびに、シ ステムエレクトロニクス研究開発センター 松本一也主査、電波・光システム事業部 石井 学主査、光電子事業部 御神村泰樹主査、同事業部 藤平充明主査に深く感謝する次第であ 3.

本研究の遂行にあたり、試作、実験、測定などに多大な御協力を頂いた、横浜業務課 出口裕課長、佐藤忠志主任(故人)、高橋千秋氏、佐藤忠則氏、田中義明氏、青木慎也氏、 同第四開発掛 中村文昭主任、斎藤浩主任代理、向井健一班長、藤井康祐班長、佐々木丈 夫班長、同第一開発掛 鈴木良夫主任はじめ、同課の各位に深く感謝する。

最後に心のささえである両親と妻有子、長男健輔、二男淳一に感謝する。

本論文は、著者が住友電気工業株式会社オプトエレクトロニクス研究所に在職中、お よび大阪大学大学院工学研究科通信工学専攻博士後期課程在学中に行ったガリウムひ素 (GaAs) 電界効果トランジスタとそのマイクロ波集積回路への応用に関する研究成果を まとめたものであり、以下の7章から構成されている。 第1章は序論であり、本論文に関する研究分野について述べ、本研究の背景と位置付 けならびに本研究の目的を明らかにしている。

第2章では、まず本論文の基礎となるパルスドープ構造 GaAs 電界効果トランジスタ について述べ、その優れた雑音特性と線形性について明らかにしている。また、この高 い線形性に着目して、パルスドープ構造GaAs電界効果トランジスタが電力増幅器用トラ ンジスタとしても優れた特長を有することを示している。そして、従来の電力増幅器用 電界効果トランジスタの問題点および、通常の低雑音応用のためのパルスドープ構造を 電力増幅器用トランジスタとして適用する場合の問題点について明らかにしている。そ して、デバイス構造の簡単な設計変更によって、電力増幅器用トランジスタとして、よ り適したパルスドープ構造を実現できることを明らかにしている。

第3章では、パルスドープ構造 GaAs 電界効果トランジスタの優れた低雑音特性の応 用として、衛星放送受信用ダウンコンバータを構成するための4種類のモノリシックマ イクロ波集積回路 (MMIC)、すなわち、12GHz帯低雑音高周波 (RF) 増幅器、12GHz 帯ミキサ回路、10GHz帯発振回路、1GHz帯中間周波(IF)増幅器に関し、その設計お よび試作結果について述べ、さらにこれらのMMICを用いて行った衛星放送の受信実験 の結果について述べている。

第4章では、上記の12GHz帯低雑音RF増幅器MMICをさらに高性能化するための方 第5章では、低雑音 GaAs 電界効果トランジスタの素子構造の設計やこれらを用いた

法について明らかにしている。まず設計の段階から雑音指数の製造ばらつきを予測する ための新しい設計手法について述べている。またRF増幅器をさらに低雑音化させるため に、ゲート長がより短い0.3 µmのパルスドープ構造GaAs電界効果トランジスタを基 本構成素子として適用するとともに、低雑音増幅器の雑音指数を支配する要因を明らか にし、初段増幅器および後段増幅器の設計方法およびその試作結果について述べている。 回路設計において重要なモデル化技術について述べている。まず雑音係数のモデル化に 関して、最近の非常に優れた性能を有する CAD (Computer Aided Design) システム を用いた解析に便利な新しい雑音等価回路の提案を行い、その回路を用いたシミュレー ション手法について述べている。そして、この手法に基づいてパルスドープ構造GaAs電 界効果トランジスタにおける雑音係数のふるまいを解析し、その優れた低雑音特性の理

内容梗概

論解釈を与えている。また最適雑音指数のモデル化に関し、パルスドープ構造GaAs電界 効果トランジスタにおける最適雑音指数のばらつきを支配する要因を明らかにし、ゲー ト長の製造ばらつきの分布から最適雑音指数の確率密度関数を導出し、実験結果とよく 一致することを示している。

第6章では、パルスドープ構造 GaAs 電界効果トランジスタのもう一つの重要な特長 である高い線形性に着目した電力増幅器への応用について述べている。この線形性に優 れた電力増幅器用パルスドープ構造GaAs電界効果トランジスタのロードプル特性を明ら かにし、消費電力のより小さい電力増幅器の設計手法について言及している。そして 1.5GHz帯携帯電話システムにおいて、電波の不感地帯を補完するために適用される基地 局やブースタに用いられる2種類の電力増幅器の設計およびその試作結果について述べ、 その優れた性能を実証している。

第7章は結論であり、本研究で得られた成果を総括している。

目次

第1章 序論 1.1 本研究の背景と位置付け 1.2 本研究の目的..... 1.3 本論文の構成..... 参考文献 第2章 GaAs電界効果トランジスタの 2.1 緒言..... 2.2 従来の GaAs 電界効果ト 2.3 パルスドープ構造 GaAs 2.3.1 素子構造と作製力 2.3.2 基本的な特長.... 2.3.3 DC 特性及び高周 2.3.4 雑音特性 2.4 電力増幅器用パルスドー 2.4.1 電力増幅器に適し 2.4.2 DC 特性及び高出 2.5 結言..... 参考文献

第3章 衛星放送受信ダウンコンバータ

3.1 緒言.....
3.2 モノリシックマイクロ波動
3.3 設計パラメータの抽出....
3.4 衛星放送受信ダウンコンパータ
3.4.1 ダウンコンバータ
3.4.2 RF低雑音増幅器.
3.4.3 ミキサ.....

1
 .1
 .6
 .7
 0

D高性能化	15
	15
・ランジスタ	17
電界効果トランジスタ	19
方法	20
	22
]波特性	25
	27
プ構造 GaAs 電界効果トランジスタ	31
レたパルスドープ構造	32
力特性	34
	38
	40

用モノリシックマイクロ波集積回路	49
	49
集積回路の構造	52
	55
バータ用モノリシックマイクロ波集積回路	59
の構成	59
	60
	71

V

目次

	3.4.4	発振回路
	3.4.5	IF 増幅器
3.5	受信実	三験
3.6	結言	
	参考文	「献

第4章	X帯	£雑音モノリシ	ック増幅器の設計技術と雑音特性の向上	87
	4.1	緒言		
	4.2	雑音指数の製	造ばらつきを予測するための設計手法	
		4.2.1 最適信	言号源反射係数のばらつきの特徴	
		4.2.2 雑音指	言数の製造ばらつきと直列帰還量の関係	
	4.3	X帯低雑音モ	ノリシック増幅器の雑音特性の向上	
		4.3.1 ゲート	-長0.3 μ m の電界効果トランジスタの適用.	
		4.3.2 低雑音	「増幅器の雑音指数を支配する要因	
		4.3.3 初段增	9幅器の設計	102
		4.3.4 後段增	9幅器の設計	
		4.3.5 X帯但	雑音モノリシック増幅器の特性	
	4.4	結言		107
		参考文献		

第5章	低雜習	音 GaAs 電界効果トランジスタのモデル化	111
	5.1	緒言	111
	5.2	雑音係数のモデル化	112
		5.2.1 新しい雑音等価回路の提案	112
		5.2.2 シミュレーション手法	116
		5.2.3 パルスドープ構造における低雑音特性の理論解釈	117
	5.3	パルスドープ構造 GaAs 電界効果トランジスタの最適雑音指	数の
		モデル化	
		5.3.1 最適雑音指数のばらつきを支配する要因	120
		5.3.2 ゲート長の製造ばらつきの分布	
		5.3.3 有効ゲート長と電子の飽和速度	
		5.3.4 最適雑音指数の確率密度関数	126
	5.4	結言	130
		参考文献	

第 0早	1110	ストーノ	構造 GaAs 電界効果トランジスタの電力増幅器への応用	135
	6.1	緒言		135
	6.2	消費電	力の小さい電力増幅器の設計手法	136
		6.2.1	電力増幅器の設計	137
		6.2.2	ロードプル特性	. 142
		6.2.3	低消費電力化のための設計手法	. 146
	6.3	携帯電	話基地局用 1.5GHz 带電力增幅器	. 147
		6.3.1	電力増幅器の適用システム	. 148
		6.3.2	28dBm 出力の電力増幅器	
		6.3.3	32dBm 出力の電力増幅器	150
	6.4	結言		
		参考文	献	.154

第7章 結論

本論文に関する原著論文

目次

155

161

図表	目	次	
----	---	---	--

図 2-1	イオン注入型 GaAs MESFET と AlGaAs/GaAs HEMTの構造比較	
図 2-1 (a)	イオン注入型 GaAs MESFET の構造断面図	18
図 2-1 (b)	AlGaAs/GaAs HEMTの構造断面図	18
図 2-2	パルスドープ構造 GaAsMESFET の典型的な構造断面図	20
図 2-3	パルスドープ構造 GaAs MESFET の特長	
図 2-3 (a)	ドレイン電流 Id のゲート電圧 Vg に対する特性	22
図 2-3 (b)	伝達コンダクタンス (gm) のゲート電圧に対する特性	23
図 2-3 (c)	最小雑音指数 (Fmin)のドレイン電流に対する依存性	23
図 2-3 (d)	電流利得遮断周波数 (fT)のドレイン電流に対する依存性	24
図 2-3 (e)	耐放射線性	24
図 2-4	パルスドープ構造 GaAs MESFET の DC 特性	
	$(Lg=0.3 \ \mu m, Wg=20 \ \mu m)$	
図 2-4 (a)	I-V 特性	25
図 2-4 (b)	Id-Vg特性およびGm-Vg特性	25
図 2-5	fTのドレイン電流依存性(Lg=0.3 µm、Wg=280 µm)	26
図 2-6	雑音指数測定システムのブロック図	28
図 2-7	パルスドープ構造 GaAsMESFET の最小雑音指数の測定結果	29
図 2-8	付随利得の測定結	29
図 2-9	雑音指数の測定に用いた FET	
図 2-9 (a)	SEM 写真	30
図 2-9 (b)	模式図	. 30
図 2-10	ゲート給電点数と雑音指数の関係	. 30
図 2-11	電力増幅器用パルスドープ構造への結晶構造の設計変更	32
図 2-12	電力増幅器用パルスドープ構造 MESFET の構造	33
図 2-13	電力増幅器用パルスドープ構造 MESFET の特性	
図 2-13 (a)	代表的な電流・電圧特性	. 34
図 2-13 (b)	ドレイン電流 Id とgmのゲート電圧依存性	34
図 2-14	電力増幅器用パルスドープ構造 FET の高出力特性	

ix

図表目次

図 2-14 (a)	入力電力対出力電力および電力付加効率特性	
図 2-14 (b)	3次インターセプトポイント	
図 2-15	電力増幅器用パルスドープ構造 FETの IM3 と P1	
図 2-16	電力増幅器用パルスドープ構造 FET の gd-Vg 特性	
志 3-1	MMICとHMICの特徴	
表 3-2	GaAs 基板上のマイクロストリップラインの特性	
図 3-1	MMIC と HMIC の構造の比較	
図 3-1 (a)	MMICの構造図	
図 3-1 (b)	HMICの構造図	
図 3-2	分布定数線路	
図 3-2 (a)	マイクロストリップ線路53	
図 3-2 (b)	コプレーナ線路	
図 3-3	MMICの断面図	
図 3-4	パルスドープ構造 GaAs MESFET の I-V 特性 55	
図 3-5	最小雑音指数 Fmin と付随利得 Ga	
図 3-6	Sパラメータ (Vd = 2V、 Id = $0.26 \times Idss$ 、 2~18GHz)	
図 3-7	GaAs 基板上の線路をキャラクタライズするためのパターン57	
図 3-8	小信号等価回路モデル 58	
図 3-9	MMICコンバータのブロック図59	
図 3-10	ソーススタブ長(直列誘導性帰還量)を最適化するためのTEG60	
図 3-11	ソーススタブを装荷した FET の模式図 61	
図 3-12	Γ opt と S11*の距離とスタブ長の関係	
図 3-12 (a)	Γ opt と S11* がスミスチャート上で移動する様子62	
図 3-12 (b)	Γ opt-S11* とスタブ長の関係62	
図 3-13	FETのパラメータとスタブ長の関係	
図 3-13 (a)	Rollettのstability factor "K"の値とスタブ長の関係63	
図 3-13 (b)	Fmin および Rn とスタブ長の関係	
図 3-14	利得およびVSWRのシミュレーション結果(ノイズマッチング)64	
図 3-15	利得 (ゲインマッチング) のシミュレーション結果 65	
図 3-16	VSWRのシミュレーション結果(ゲインマッチング)	
図 3-16 (a))入力VSWR	
図 3-16 (b)) 出力 VSWR	
図 3-17	低雑音増幅器の等価回路	
図 3-18	MMIC 低雑音増幅器のチップ写真67	
図 3-19	MMIC 低雑音増幅器の測定結果	
図 3-19 (a)) 雑音指数および利得の周波数特性	

図 3-19 (b)VSWR周波数特性	67
図 3-20	雑音指数および利得の電流依存性	68
図 3-21	入出力 VSWR の電流依存性	68
図 3-22	雑音指数の分布ヒストグラム	68
図 3-23	利得の分布ヒストグラム	69
図 3-24	入出力VSWRの分布ヒストグラム	
図 3-24 (a) 入力 VSWR	70
図 3-24 (b) 出力 VSWR	70
図 3-25	電力特性の測定結果	70
図 3-26	ミキサの等価回路	71
図 3-27	FETのgm およびIdのゲート電圧に対する特性	72
図 3-28	ミキサの入力回路のシミュレーション結果	73
図 3-29	MMIC ミキサのチップ写真	74
図 3-30	変換利得の周波数特性の測定結果	74
図 3-31	発振回路とシミュレーション	
図 3-31 (a) 等価回路	74
図 3-31 (b) 出力インピーダンスのシミュレーション結果	74
図 3-32	出力回路とそのシミュレーション結果	76
図 3-33	MMIC 発振回路のチップ写真	76
図 3-34	発振スペクトルの測定結果	77
図 3-35	発振特性の電源電圧変動の測定結果	77
図 3-36	イオン注入 FET による発振回路との位相雑音の比較	78
図 3-37	IF 増幅器の等価回路	79
図 3-38	シミュレーション結果	79
図 3-39	チップ写真	79
図 3-40	利得とVSWRの周波数特性の測定結果	79
図 3-41	電力特性の測定結果	79
図 3-42	実験に用いた MMIC 実装基板	80
図 3-43	治具に固定された MMIC 実装基板	80
図 3-44	一次放射器	80
図 3-45	受信実験の様子	80
図 3-46	受信画像の例	81
図 4-1	Fmin とスタブ長の関係	89
図 4-2	Rn とスタブ長の関係	90
図 4-3	Γ optのばらつき	91
図 4-4	Γ opt のゲート長依存性	91

図表目次

図表目次

図 4-5	∠ Γ opt のゲート長依存性	91
図 4-6	1段アンプの雑音指数のばらつき ⊿ F1 と Rn の関係	93
図 4-7	△ F1 とスタブ長の関係	94
図 4-8	利得とスタブ長の関係	95
図 4-9	2段アンプの⊿F	95
図 4-10	2段アンプの雑音指数のばらつきの最悪値	96
図 4-11	I-V特性 (Lg=0.3 µ m、Wg=280 µ m)	97
図 4-12	Fmin およびGaのドレイン電流依存性の測定結果	98
図 4-13	Sパラメータの測定結果	98
図 4-14	小信号等価回路モデル	99
図 4-15	Γ opt と S11*の距離と直列帰還の関係のシミュレーション結果.	100
図 4-16	Fa-Fao とスタブ長の関係のシミュレーション結果	100
図 4-17	雑音指数と伝送線路の幅の関係のシミュレーション結果	101
図 4-18	初段増幅器の周波数特性のシミュレーション結果	102
図 4-19	後段増幅器の利得とスタブ長の関係おシミュレーション結果	103
図 4-20	Kファクタとスタブ長の関係のシミュレーション結果	103
図 4-21	後段増幅器の周波数特性のシミュレーション結果	104
図 4-22	4段増幅器の等価回路	105
図 4-23	4段増幅器のシミュレーション結果	105
図 4-24	MMIC 増幅器のチップ写真	106
図 4-25	MMIC 増幅器の測定結果	106
図 4-26	電力特性の測定結果	107
図 5-1	小信号Sパラメータをモデル化するための等価回路	114
図 5-2	等価雑音回路	115
図 5-3	雑音パラメータの実測結果とシミュレーション結果の比較	
図 5-3 (a)	Fmin	118
図 5-3 (b)	Г opt	118
図 5-4	パルスドープ FET の雑音係数のチャンネル厚依存性	119
図 5-5	結晶構造の均一性	121
図 5-6	ゲート長のばらつき	122
図 5-7	τ int対Wg/Id	125
図 5-8	Foのゲート長依存性	127
図 5-9	Foのばらつき (ゲート長0.4 µ m)	128
図 5-10	Foのばらつき	129
図 6-1	ロードライン解析	138
図 6-2	大振幅動作時の Rds を考慮した小信号モデル	138

図 6-3	FETのゲート幅を大きくする方法	
図 6-3 (a)	FETのユニットセル	
図 6-3 (b)	ユニットセルの接続	
図 6-3 (c)	ユニットセルの電力会成	139
図 6-4	電力分配・合成機能を持ちせたく、12 ビスコエカの	
図 6-5	N分岐の電力分配・合成器	140
図 6-5 (a)	ウィルキンソン形	
図 6-5 (b)	ラジアル形	
図 6-5 (c)	フォーク形	
図 6-6	A級およびR級動作のロードライン	
図 6-6 (a)	A級動作	
図 6-6 (b)	B級動作	
図 6-7	A級、B級 F級動作のドレイン電法ならびまではな	141
図 6-7 (a)	A級動作	
図 6-7 (b)	B級動作	143
図 6-7 (c)	F級動作	143
図 6-8	ロードプル測定のブロック网	
図 6-9	電力増幅器田パルフドープ FFT のロードプルは地	144
⊠ 6-10	通常のイオン注入刑 MFSFFT ト電力増短期日 1811 - 18	
	Marking HA シビハ室 MESFEI と電力増幅器用パルスドーブ	FETの比較
図 6-11	等電力付加効率四	
図 6-12	電力増幅界の適用システノ	
図 6-12 (a)	関空間システム	
図 6-12 (b)	閉空間システムのブロック网	
⊠ 6-12 (c)	開空間システム	
⊠ 6-13	28dBm 出力の電力増幅器の等価回收	
又 6-14	28dBm 出力の電力増幅器エージー ルの写声	149
⊠ 6-15	28dBm出力の電力増幅器の測定性用	
₹ 6-16	32dBm 出力の電力増幅器の質に起来	
₹ 6-17	32dBm 出力の電力増幅器エージー リックま	151
₹ 6-18	32dBm出力の電力増幅盛モーンユールの与具	
	していた。1990年月1月1日1日日日日日日日日日日日日日日日日日日日日日日日日日日日日日日日日	152

.

1.1 本研究の背景と位置付け

モノリシックマイクロ波集積回路 (MMIC: Monolithic Microwave Integrated Circuit)とは半導体基板上に能動素子および受動素子を一体に形成する回路であり、こ れに対して能動素子や受動素子を個別に誘電体基板上に実装する回路はマイクロ波混成 回路 (HMIC: Hybrid Microwave Integrated Circuit) と呼ばれる。後者は単にマイ クロ波集積回路 (MIC: Microwave Integrated Circuit) と言うこともあるが、本論文 では、モノリシックマイクロ波集積回路及びマイクロ波混成回路を総称して、マイクロ 波集積回路と記することにする。

MMICの歴史は1960年代なかばにシリコン (Si) ウエハを用いる Si-MMICの開発に 始まった[1]。これは半導体材料を誘電体および能動素子の活性層として初めて利用した ものであったが、Siウエハは半絶縁性を保つことが難しく、その後 SOS (Silicon-On-Sapphire) 技術などで改良が試みられたが、最終的にはマイクロ波回路として大きな発 展をとげることができなかった。その後1968年に Mehai and Wackar によってガリウ ムひ素(GaAs)ウエハ上にショットキーダイオードやガンダイオードを形成した94GHz のフロントエンド受信機が、世界初のGaAs MMICとして発表された [2]。GaAs ウエハ は半絶縁性でありSiウエハよりマイクロ波回路に適していたのである。1975年には、現 在広く用いられているGaAsMMICの原形であるGaAs ショットキゲート電界効果トラン ジスタ (MESFET: Metal-Semiconductor Field Effect Transistor)を用いたX帯 GaAs MMIC 増幅器が Pengelly らにより発表された [3]。

xiv

1980年代に入ると、半導体製造技術の進歩に伴ってMMICの研究開発は飛躍的に加速 され、HMICでは広帯域特性を得ることが難しかった分布形増幅器の発表があいついで 行われるようになった[4]。MMICを用いることによりFETの寄生のリアクタンス成分 を小さくすることができ、広帯域特性が得られるためMMICでなければ実現できない応 用分野であった。初期の分布形増幅器 MMICはGaAs MESFETを用いたもので帯域が1 ~13GHz程度であったが[5]、1980年代後半ではインジウム燐(InP) HEMT (High Electron Mobility Transistor)を用いた帯域100GHzの広帯域を実現するに至った[6]。

MMICの開発に拍車をかけた要因として防衛機器への応用をあげることができる。む しろ当初はコスト面で民生応用に供することが困難であったため、このような特殊用途 に限られていたのであるが、東西の冷戦構造の中で米国を中心に膨大な国家予算がMMIC の研究開発に投入されたのである。その代表的な物の一つに、数百から数千のT/R (Transmit and Receive)モジュールが必要となるアクティブ・フェーズド・アレイア ンテナ (Active Phased Array Antenna)があるが、量産性や小型化・軽量化などの観 点から MMIC 技術が必須であった[7]。これにより増幅器から移相器、スイッチ、発振 器、ミクサなどマイクロ波半導体回路の多くが MMIC で実現されるようになった。

1980年代後半から1990年にかけて、急速にMMICの民生応用に関する研究が活発に なった[8] - [11]。GaAsやInPなどの化合物半導体材料や集積回路の製造プロセス技 術、結晶成長技術の進歩によって、民生応用に供し得るコストが実現可能となってきた こと、東西の冷戦構造の終結などがこの要因である。民生応用における代表的なものと して、衛星放送の受信機器やマイクロ波を用いた移動体通信や衛星通信機器への応用、ミ リ波を用いた観測センサ、車載レーダ、無線LAN等への応用などがあげられる。

日本においても1989年に初の民間通信衛星として、日本通信衛星株式会社のJCSAT-1が、さらに同年引き続いて宇宙通信株式会社のスーパーバードA号機が打ち上げられ、 また放送衛星BS-3aが打ち上げられるなど、我が国は本格的な衛星通信・衛星放送時代 を迎えた。移動体通信機器としては、アナログおよびディジタル携帯電話、ボケットベ ル、PHS (Personal Handy-phone System)の利用者が急速に普及し始めている。こ れらのシステムや機器の小型化や低コストにとってMMICはキーデバイスとなるが、日 本においても高集積化、多機能化を図ったMMICに対する要求が高まり、フロントエン ドモジュール、送受信モジュールなどの発表が活発になっている [12] - [16]。

MMICを含めマイクロ波集積回路の重要な応用分野として、移動体通信システムのインフラストラクチャをあげることができる。携帯電話・自動車電話の急速な普及に伴い、 全国で基地局の増設が急ピッチで進んでおり、また加入者の多い地域では従来使用されてきた 800MHz~900MHz帯だけでは周波数資源が不足してきたため、さらに1.5GHz 帯を使用するなど、新たな基地局の需要も増えつつある。一方、周波数資源の利用効率 を高める観点からは、セルのサイズを小さくするいわゆるマイクロセル化も進んでおり、 今後基地局の要求数はますます増加する傾向にある。また、1995年よりサービスが開始 されたPHSはセルの半径が100m~200mであり、その基地局は都市部に多数設置され るため、都市美観の観点から小型化に対する要求が従来にも増して強くなっている。通 常の携帯電話システムにおいても、地下街やビル内駐車場などの電波の不感地域での利 用を可能にするためのブースターや補完的な基地局の需要が増えてきており、やはり都 市美観の観点から最近ではPHS同様、容積1,000cc以下というような極めて小さい物が 要求されるようになった。このような基地局にとってマイクロ波集積回路は必要不可欠 な要素技術であり、その適用範囲は広がっていくであろう。

このように今後のマイクロ波集積回路の開発は民生応用を柱として進み、要求される コストはより厳しく、また必要な性能・仕様はますます多様になると考えられる。これ らを実現する上でデバイス技術、プロセス技術、回路技術の開発がますます重要になる が、中でもとりわけデバイス技術はその性能・コストを支配する重要な技術である。マ イクロ波回路に適用するトランジスタへの要求は年々高度化し、高周波化のための研究 が続けられている。マイクロ波回路用デバイスに適する半導体は、電子の移動度が大き くまた飽和ドリフト速度が大きく、且つ絶縁抵抗が大きい物でなければならない。その 代表的なものとして今日最も多く用いられているのがGaAsである。GaAsはⅢ族とV族 の元素からなる化合物半導体である。高純度GaAs中の電子の移動度は約8,000cm²/V・ secとSiの5倍程度大きい。またドリフト速度もそのピーク速度が2×10⁷cm/sとSiの 飽和速度の2倍と大きい。さらに移動度が高いためにピーク速度に達する電界の値がシ リコンに比べて小さい。さらにGaAsはバンドギャップが室温で1.43eVとシリコンに比 べて大きく、高抵抗(抵抗率が10⁸Ω・cm以上)の結晶が得られる。これを半絶縁性 (Semi-insulating) 結晶と呼び、これを基板として単体デバイスや集積回路を作ると寄 生容量を小さくでき、かつ素子間分離が容易となる。これらの性質によってGaAsを用い たトランジスタはマイクロ波デバイスとして最も数多く使用されている[17]。

GaAsトランジスタの中で現在実用化されている最も代表的な物はMESFETである。 GaAsFETなど多数キャリア(majority carrier)のみを用いるデバイスはユニポーラデ バイス(unipolar device)と呼ばれる。これに対しSi-BJT(Silicon Bipolar Junction Transistor)やGaAsHBT(Hetero Bipolar Transistor)などは、その特性が電子およ びホールの両方に大きく依存するため、バイポーラデバイス(Bipolar device)と呼ばれ る。今日広く使われている電界効果トランジスタは、すでに1930年Lilienfeldの特許に その着想が始まる。最初のGaAsMESFETが報告されたのは1966年で、カリフォルニ ア工科大学のMeadにより半絶縁性GaAs基板上のn形エピタキシャル層を用い、ソー ス・ドレイン間隔1mm、ゲート長0.1mmのAlショットキーバリア構造で電界効果トラ ンジスタ動作が得られた[18]。その後、1960年代後半から1970年代前半にかけて Fairchild、IBM、HPなどで精力的に研究が行われ、GaAsMESFETの動作周波数帯は

1.1 本研究の背景と位置付け

マイクロ波帯に向上した[19]。その後、ゲート長の短縮等の改良が進み、1970年代半ば から1980年代にかけてGaAs MESFETはSi-BJTに変わって低雑音デバイスとして広く 用いられるようになった。またマイクロ波帯における重要な応用の一つに高出力回路が ある。高出力用 GaAs FET は 1973 年に初めて Fukuta と Napoli らによってほぼ同時に 報告された [20], [21]。

MESFETのチャネル層に2次元電子ガスを用いた高電子移動度トランジスタ(HEMT : High Electron Mobility Transistor) あるいは PHEMT (Pseudomorphic HEMT) がある。HEMTの歴史は1978年、Bell研究所のDingleらによるn-AlGaAs/GaAs界面 における2次元電子ガスの発見に始まり[22]、1980年に富士通研究所の三村らによって 初めて報告された [23]。以来エピタキシャル成長装置などの開発とともに、ヘテロ接合 を用いたFETは飛躍的な進歩を遂げた。それまでのMMICはGaAs MESFET技術をベー スにして発達してきたが、1980年のHEMTの報告以来、低雑音化・高利得化が急ピッチ で進み、HEMTを基本構成素子とした MMIC の研究も数多く報告されるようになった [24]、[25]。既にHEMTは性能においてGaAs MESFETを凌駕し、マイクロ波帯の実用 デバイスとして、市場において確固たる地位を築いている。

GaAs HEMTの性能を改善するひとつの方法として、2次元電子ガス層にGaAsの代 わりにInGaAsを用いる方法があり、1985年にKettersonらによりn-AlGaAs/GaAsの 層間に InGaAs を挿入した PHEMT が開発された [26]。 InGaAs を用いる利点は、① InGaAsの方がGaAsよりも移動度が大きく、②AlGaAs/InGaAsの方がAlGaAs/GaAs よりバンドギャップが高く、2次元電子ガスの封じ込めが強い点にある。これにより電流 密度の増大、電流増幅率の向上が期待できる。HEMT と PHEMT の構造の違いは、 PHEMTはAlGaAsのスペーサ層とGaAsバッファ層の間に厚みが50~200 ÅのIn1yGayAsのチャネル層を挿入している点にある。In1-yGayAsはAlGaAsやGaAsと格子 定数が異なり、また In と Gaの組成比率を変えることにより、格子定数、バンドギャッ プともに変化する。Inの比率を大きくするほど電子移動度が大きくなり、またAlGaAsや GaAsとのバンドギャップが大きくなるが、格子の不整合の度合も大きくなる。通常yの 0.65 ≤ y ≤ 0.85 の間で用いられる。InGaAs 層の厚みが薄い場合、InGaAs の原子は AlGaAsやGaAsの原子に引っ張られ、あたかも格子が整合している状態になる。この状 態を "pseudomorphic" と呼ぶ。

一方、InGaAsをチャネルに用いる場合、InP基板を用いる方法があり、1987年に PengらによりAlInAs/InGaAsの格子接合整合型InPHEMTが開発された[27]。InPは GaAsと同様Ⅲ族とV族の元素からなる化合物半導体であるが、GaAsに比べて電子移動 度が高く、またInGaAsをチャネルに用いた場合、格子整合が容易で且つ、より電子移動 度が高くなる In の組成比の大きな In GaAs を用いることができ、高周波化および高速動 作に適している。InP HEMT は優れた性能を示す反面、耐圧が低く、またプロセスの信

頼性も低く、実用化のためにはまだまだ課題が多い。 民生応用やMMICの基本構成素子という観点からは、HEMTはAlGaAsやInGaAsと いう異種材料を用いているため、より高度な結晶成長技術を必要とし、また製造技術に おいても生産性やコスト面でまだまだ克服すべき課題を残しており、この点においては 製造技術が最も成熟したGaAs MESFETが優れていると考えられる。しかしながらGaAs PHEMT や InP HEMT はマイクロ波領域で優れた低雑音特性や高出力特性を示すため、 現在でもなお新鮮な研究テーマとして活発な議論が行われている[28]-[32]。このよう にマイクロ波集積回路はデバイス開発主導型で発展し衛星利用や移動体通信の需要を促 進し、さらにこれがデバイスの高性能化の新たな原動力となる好循環を生み出してきた。 このような背景のもと本論文は、マイクロ波集積回路の基本構成素子であるトランジ スタに関し、新しい素子構造のパルスドープ構造 GaAsMESFET をマイクロ波集積回路 へ応用するための研究成果をまとめたものである。そして、このMESFETの特長を活か した設計技術を確立するとともに、これらの設計技術を用いて実際にいくつかのマイク 口波集積回路を試作することによりその優れた性能を実証した。本研究は、

(1) 新しい素子構造を有するパルスドープ構造GaAsMESFETが、通常のイオン注入 HEMTに匹敵する性能を実現した。 (2) 衛星放送受信ダウンコンバータを構成するための4種類のMMICを試作し、実用 い、MMICのみによる衛星放送の受信実験に成功した。 (3) パルスドープ構造 GaAsMESFETは、通常のイオン注入型 MESFETや HEMTで 軟に対応し得るデバイスであることを実証した。 (4) この電力増幅器用トランジスタの高い線形性を活かして、携帯電話基地局用パ

などの点において、従来、生産性やコスト面からイオン注入型MESFETが用いられてい たマイクロ波集積回路を、より高性能化するために置き換えることができる技術である ばかりでなく、さらにその特長を活用して新しい応用を創出することも可能な技術であ ると位置付けることができる。

1.1 本研究の背景と位置付け

型GaAsMESFETにおける成熟した製造技術により生産可能なMMICとして、マ イクロ波帯における低雑音特性に関し、同じゲート長を有する AlGaAs/GaAs

上十分な雑音特性を実現するとともに、MMICの基本構成素子としても適用可能 であることを実証した。そして世界で初めて低雑音増幅器としてHEMTを用いな

は得ることができない高い線形性を有しており、またそのデバイス構造が簡単な ものであることから、わずかなデバイス構造の設計変更によって電力増幅器用ト ランジスタを実現できることを明らかにすることによって、多様な要求仕様に柔

ワーアンプモジュールを試作し、優れた低消費電力特性を実証した。

またこのパルスドープ構造GaAsMESFETを用いたマイクロ波集積回路の設計技術の 基礎的な研究として、モデル化技術やデバイス特性の解明にも取り組み、

- (5) 最新のCADの非常に高度な機能を十分に活用できる、回路シミュレーションのた めのFETの新しい等価回路モデルを提案し、これが測定結果とよく一致すること を実証するとともに、この等価回路を用いた解析によって、提案しているデバイ スの優れた雑音特性の理論的根拠の一つを明らかにした。
- (6) 従来、最適雑音指数の製造ばらつきを解析し定式化するというような研究はほと んどなされていなかったが、本研究では製造ばらつきの要因を明らかにするとと もに、最適雑音指数をモデル化し、製造ばらつきを表現する確率密度関数を導出 し、実験結果とよく一致することを示した。これは、設計段階からマイクロ波集 積回路の製造ばらつきを予測することを可能にするものである。

などの点において、デバイスのモデル化技術に関して新規な議論を提供するものであり、 その意義は大きいと考える。

1.2 本研究の目的

本研究は、量産性に優れ低コストで民生応用に十分適用することが可能で、且つ性能 の高いマイクロ波集積回路を実現することを第一の目的とする。民生応用を目指したマ イクロ波集積回路の研究は、従来、個別部品によって構成されていた回路を、単に小型 化や低コスト化のために置き換えるためのものにとどまらず、マイクロ波集積回路を用 いることによって従来に無い新しい需要を創出することが可能で、画期的な新製品や新 システムを実現することによって、人々の生活を豊かにできるものでなければならない。 そのためには、マイクロ波集積回路の性能とコストを支配する最も重要な基本構成素子 であるトランジスタの研究が必須である。

マイクロ波集積回路に要求される性能は、受信回路においては主として低雑音特性で あり、送信回路においては低歪み特性がその代表的なものであるが、その仕様は個々の 応用によって極めて多様である。マイクロ波集積回路を構成するトランジスタは、単純 な素子構造を有し、その構造の軽微な設計変更により、多様な要求仕様に対して柔軟に 対応できるものが望ましい。また小型化が強く要求されたり、MMIC化することによっ て新たな応用分野が開くことが可能な場合が多く、モノリシックに集積化するのに適し た素子構造が必要不可欠である。さらに集積化に適するだけではなく、生産性と製造コ ストの観点からも、最も成熟した生産技術を用いることができるものでなければならな 630

現在広く応用されている GaAs トランジスタは、電子が走行する活性層としてイオン 注入によってn型不純物を導入することにより形成するイオン注入型MESFETと、結晶 成長により選択ドーブした AlGaAs/GaAs または AlGaAs/InGaAs などのヘテロ接合を 形成し、不純物が存在しない層を活性層に用いるHEMTに大別される[17]、[33]。前者 は、その生産技術としては最も成熟しており、均一性や生産性が高く低コスト化の点で は有利且つMMIC化にも適しており、民生用MMICの報告例も多く製品化もされている が、高周波性能の点においてHEMTに及ばない。一方、HEMTはマイクロ波領域におい て高い性能、とりわけ低雑音特性に関して優れた性能を実現することが可能であるが、そ の反面結晶成長技術や生産技術の面で、なお高度な技術を要するため民生用MMICの報 告例は極めて少なく、未だ MMIC は製品化されておらず個別部品として製品化されてい るのみである。したがってマイクロ波回路の基本構成素子としては、イオン注入型 MESFETとHEMTが用途に応じて2極分化する傾向にあった。

以上のことをふまえ、本研究では、パルスドープ構造 GaAsMESFET の特性を明らか にし、応用面に関する種々の研究を行った。本研究の第二の目的は、このパルスドープ 構造GaAsMESFETがHEMTに比肩し得る性能を実現し、またMMICの基本構成素子と して十分に適用可能であること、さらにデバイス構造が多様な用途に対して対応可能な 柔軟な設計性を有すること、そして通常のMESFETに見られない優れた特長を有するこ となどを実証することである。そして、これをマイクロ波集積回路へ応用するために必 要で、且つこのMESFETの特長を活かした設計技術を確立するとともに、デバイスのモ デル化技術に関しても新しい提案を行い、理論的な側面からも提案しているデバイスの 優れた雑音特性や、優れた均一性の理論的根拠の一つを明らかにすることを、本研究の 第三の目的とする。

1.3 本論文の構成

本論文は以下の7章から構成されている。 第1章は序論であり、本論文に関する研究分野について述べ、本研究の背景と位置付 けならびに本研究の目的を明らかにしている。 第2章では、まず本研究の基礎となるパルスドープ構造GaAsMESFETについて述べ ている。既存のGaAsトランジスタの代表的なものとして、イオン注入型 MESFET 及び AlGaAs/GaAs HEMTについて概括し、パルスドープ構造GaAsMESFETの相対的位置 付けを明らかにする。そしてその優れた雑音特性及び、通常のイオン注入型MESFETに 見られない興味深い特長である線形性について述べ、さらにデバイス構造の柔軟な設計

6

1.3 本論文の構成

性について言及することにより、電力増幅器用FETとしても優れた性能を実現できることを明らかにしている。そして、従来の電力増幅器用GaAsMESFETの問題点および、通常の低雑音応用のためのパルスドープ構造を電力増幅器用FETとして適用する際の問題点について明らかにするとともに、デバイス構造の簡単な設計変更によって電力増幅器用FETとして、より適したパルスドープ構造を実現している。

第3章では、パルスドープ構造GaAsMESFETの優れた特長である、HEMTに匹敵す る低雑音特性とMMICの基本構成素子として十分に適用可能であることを実証するため に、衛星放送受信用ダウンコンバータを構成するための4種類のMMIC、すなわち 12GHz帯低雑音RF増幅器、12GHz帯ミキサ回路、10GHz帯発振回路、1GHz帯IF増 幅器に関して、その設計および試作結果について述べている。まず、このMMICの構造 及び製造方法について述べ、適用したゲート長0.5 μmのパルスドープ構造 GaAsMESFETの回路設計に必要なデバイスパラメータを分析している。そして4種類の MMICに関して、パルスドープ構造GaAsMESFETの特長を活かした回路設計手法を明 らかにし、これらのMMICの試作結果と実際にこれらのMMICを用いて行った衛星放送 の受信実験結果について述べている。

第4章では、上記の12GHz帯低雑音RF増幅器MMICをさらに高性能化するための方 法について明らかにしている。とりわけ民生応用ではコスト低減のために製造歩留りの 向上が重要であるが、このためには製造プロセスの技術開発だけではなく、まず設計の 段階から雑音指数の製造ばらつきを予測するための設計手法も重要である。本章では、パ ルスドープ構造 GaAsMESFET の雑音パラメータの製造ばらつきに関する興味深い特長 に着目した、新しい設計手法について言及している。またRF増幅器をさらに低雑音化さ せるために、ゲート長がより短い0.3 μ mのパルスドープ構造 GaAs 電界効果トランジ スタを基本構成素子として適用するとともに、低雑音増幅器の雑音指数を支配する要因 を明らかにし、初段増幅器および後段増幅器の設計方法およびその試作結果について述 べている。

第5章では、低雑音 GaAsMESFETのモデル化技術について述べている。デバイスの モデル化技術は、デバイス構造の設計やこれらを用いた回路設計において重要な役割を 果たす。今日、CAD (Computer Aided Design)システムの発展には目を見はるもの があり、日進月歩で高度化しているが、CADシステムを用いた回路シミュレーションの ためのデバイスの等価回路モデルも、この高度化されたCADシステムの機能を十分に活 用できるものが望ましい。本章ではこの点に鑑みて、まず GaAsMESFET の雑音係数の モデル化に関して、最近の非常に優れた性能を有するCADシステムを用いた解析に便利 な新しい雑音等価回路の提案を行い、その等価回路を用いたシミュレーション手法につ いて述べている。そして、この等価回路及びシミュレーション手法を用いてパルスドー プ構造 GaAsMESFET における雑音係数のふるまいを解析し、その優れた低雑音特性の 理論解釈を与えている。 一方、低雑音増幅器の設計では適用するトランジスタの雑音パラメータの評価が重要 であるが、とりわけ最適雑音指数がその雑音特性を支配する重要なパラメータである。ト ランジスタの雑音指数は、そのトランジスタから見た信号源インピーダンスが最適雑音 指数に一致する時最小となる。したがって、最適雑音指数の製造ばらつきは低雑音増幅 器の雑音指数の歩留りに重大な影響を与えるため、そのばらつきを解析することは極め て大きな意味を持つ。本章では最適雑音指数のモデル化に際し、パルスドープ構造 GaAsMESFETにおける最適雑音指数のばらつきを支配する要因を明らかにし、ゲート長 の製造ばらつきの分布から最適雑音指数の確率密度関数を解析的に導出し、導出した式 による計算結果と実験結果がよく一致することを示している。

第6章では、パルスドーブ構造 GaAsMESFET のもう一つの興味深い特長であり、通常のイオン注入型 MESFET や HEMT には見られない高い線形性を利用した電力増幅器への応用について述べている。まず、消費電力の小さい電力増幅器の設計という観点から、一般的な電力増幅器の設計手法を概括し、次に、第2章で述べた新しい構造の電力増幅器用パルスドープFET の特性を明らかにするとともに、その特長を活かした設計方法について言及している。またこの線形性に優れた電力増幅器用パルスドープFET を用いて、消費電力のより小さい電力増幅器の設計手法について明らかにし、携帯電話基地局用 1.5GHz 帯電力増幅器の設計およびその試作結果について述べている。 第7章では、本研究で得られた成果を総括し結論を述べるとともに、問題点と今後の課題について言及している。

1-3. 本論文の構成

参考文献

- [1] H. M. Hyltin, "Microstrip Transmission on Semiconductor," IEEE Trans. Microwave Theory Tech., vol.13, No. 11, pp.777-781, 1965.
- [2] E. Mehal and R. W. Wacker, "GaAs Integrated Microwave Circuits," IEEE Trans. Microwave Theory Tech., vol. 16, No. 7, pp.451-454, 1968.
- [3] R. S. Pengelly, "Hybrid Versus Monolithic Microwave Circuits-A Matter of Cost," Microwave Systems News, No.13, pp.77-84, 1983.
- [4] K. Seino et al., "A 2~18 GHz Band Distributed MMIC Amplifier with SingleSupply Bias Network," IEICE Trans. C, J70-C [5], pp.703-708, 1987.
- [5] Y. Ayasli, R. L. Mozzi, J. L. Vorhaus, L. D. Renold, and R. A. Pucel, "A Monolithic GaAs1-13-GHz Traveling-Wave Amplifier," IEEE Trans. Microwave Theory Tech., vol. 30, No. 7, pp.976-981, 1982.
- [6] R. Majidi-Ahy, M. Riazait, M. Nisimoto, M. Glenn, S. Silverman, S. Weng, Y. C. Pao, G. Zdasiuk, S. Bandy, and Z. Tan, "5-100 GHz InP CPW MMIC 7-Section Distributed Amplifier," in IEEE Microwave and Millimeter-Wave Monolithic circuits Symp. Dig., pp. 7-10, 1990.
- [7] R.J.Mailloux, "Phased Array Theoey and Technology," Proc. IEEE, 70, pp. 246-289 (March 1982).
- [8] E. Bastida, "A Monolithic 800 MHz Bandwidth DBS Front-End for Mass Production," in Proc.14th European Microwave Conference, pp.755-760.
- [9] R. Benton, M. Nijjar, C. Woo, A. Podell, G. Horvath, E. Wilson, and S. Mitchel, "GaAs MMIC's for an integrated GPS Front-end," in GaAs IC Symposium Dig., pp. 123-126, 1992.
- [10] C. Woo, A. Podell, R. Benton, D. Fisher, and J. Wachsman, "A fully integrated transceiver chip for the 900 MHz communication bands," in GaAs IC Symposium Dig., pp. 143-146, 1992.

- Millimeter-Wave Monolithic circuits Symp. Dig., pp. 7-10, 1990.
- 131-134, 1992.
- Dig., pp. 139-142, 1992.
- vol. 40, no. 12, pp. 2433-2438, 1992.
- 1992.
- 工業調査会
- No. 2, pp.307-308, 1966.

[11] P. Wallace, R. Michels, J. Bayruns, S. B. Christiansen, N. Scheinberg, J. Wang, R. Goyal and M. Patel, "A low cost high performance MMIC low noise down converter for direct broadcast satellite reception," in IEEE Microwave and

[12] O. Ishikawa, Y. Ota, M. Maeda, A. Tezuka, H. Sakai, T. Katoh, J. Itoh, Y. Mori, M. Sagawa, and M. Inada, "Advanced technologies of low-power GaAs IC's and power modules for cellular telephone," in GaAs IC Symposium Dig., pp.

[13] S. Murai, T. Sawai, T. Yamaguchi, S. Matsushita, and Y. Harada, "A high power-added efficiency GaAs power MESFET operating at a very low drain bias for use in L-band medium-power amplifiers," in GaAs IC Symposium

[14] T. Yoshimasu, K. Sakuno, N. Matsumoto, E. Suematsu, T. Tsukano, and T. Tomita, "A low-current GaAs monolithic image rejection downconverter for X-band broadcast satellite applications," IEEE Trans. Microwave Theory Tech.,

[15] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band MMIC Amplifier with Pulse-doped GaAs MESFET's," IEEE Trans. Microwave Theory Tech., vol. 39, no. 12, pp. 1987-1994, 1991.

[16] N. Shiga, T. Sekiguchi, S. Nakajima, K. Otobe, N. Kuwata, K. Matsuzaki, and H. Hayashi, "MMIC Family for DBS Down-Converter with Pulse-doped GaAs MESFET's," IEEE J. Solid-Stae Circuits, vol. 27, no. 10, pp. 1413-1420,

[17] 今井哲二、生駒俊明、佐藤安夫、藤本正友: 化合物半導体デバイス [I]、5章、p193、

[18] C. A. Mead, "Schottky Barrier Gate Field Effect Transistor," Proc. IEEE, 54,

[19] P. Greiling, "The Historical Development of GaAs FET Digital IC Technology," IEEE Trans. Microwave Theory Tech., vol. 32, no. 9, pp. 1144-1156, 1984.

- [20] M. Fukuta, T. Mimura, I. Tsujimura, and A. Furumoto, "Mesh Source Type Microwave Power FET," in IEEE Int. Solid-State Circuit Conf. Tech Digest, pp. 84-85, 1973.
- [21] L. S. Napoli, R. E. DeBrecht, J. J. Hughes, W. F. Reichert, A. Dreeben, and A. Triano, "High-Power GaAs FET Amplifier --- A Multigate Structure," in IEEE Int. Solid-State Circuit Conf. Tech Digest, pp. 82-83, 1973.
- [22] R. Dingle, H. L. Stormer, A. G. Gossard, and W. Wiegmann, "Electron Mobilities in Modulation-Doped Semiconductor Superlattice," Appl. Phys., Lett., vol. 33, no. 7, pp. 665-667, 1978.
- [23] T. Mimura, S. Hiyamizu, T. Fujii, and K. Nanbu, "A New Filed Effect Transistor with Selectively Doped GaAs/AlxGa1-xAs Heterojunctions," Japan J. Appl. Phys., vol. 19, no. 5, pp. 225-227, 1980.
- [24] C. Nishimoto, R. La Rue, S. Bandy, M. Day, J. Eckstein, C. Webb, C. Yuen, and G. Zdasiuk, "A 2-20GHz, high gain, monolithic HEMT distributed amplifier," in IEEE Microwave and Millimeter-Wave Monolithic circuits Symp. Dig., pp. 109-113, 1987.
- [25] J. Berenz, H. C. Yen, R. Esfandiari, K. Nakano, T. Sato, J. Velebir, and K. Ip, "44 GHz low noise amplifier," in IEEE Microwave and Millimeter-Wave Monolithic circuits Symp. Dig., pp. 15-18, 1987.
- [26] A. Ketterson et al., "High Transconductance InGaAs/AlGaAs Pseudomorphic Modulation-Doped Filed-Effect Transistor," IEEE Electron Device Letters, vol. EDL-6, pp. 628-630, 1985.
- [27] C. K. Peng, M. I. Aksun, A. A. Ketterson, H. Mrkoc, and K. R. Gleason, "Microwave Performance of InAlAs/InGaAs/InP MODFET's," IEEE Electron Device Letters, vol. EDL-8, pp. 24-26, 1987.
- [28] U. K. Mishra, A. S. Brown, L. M. Jelloian, L. H. Hackett, and M. J. Delaney, "High Performance of Submicromerter AlInAs -GaInAs HEMT's," IEEE Electron Device Letters, vol. EDL-9, pp. 41-43, 1988.
- [29] P. C. Chao, R. C. Tiberio, K. H. G. Duh, P. M. Smith, J. M. Ballingall, L. F.

Lester, B. R. Lee, A. Jabra, and G. G. Gifford, "0.1 µm Gate-Length Pseudomorphic HEMT's," IEEE Electron Device Letters, vol. EDL-8, pp. 489-491, 1987.

- Wave Monolithic circuits Symp. Dig., pp. 25-30, 1995.
- 1995.
- [32] M. V. Aust, T. W. Huang, M. Dufault, H. Wang, W. Lo, R. Lai, M. Biedenbender, Monolithic circuits Symp. Dig., pp. 89-92, 1996.

[33] 菅野卓雄監修、大森正道編:超高速化合物半導体デバイス、3章、4章、5章、p57、 培風館

12

[30] S. Weinreb, E. Fischer, B. Kane, N. Byer and M. Zimmerman, "W-Band 0.3W PHEMT MMIC Power Amplifier Modules," in IEEE Microwave and Millimeter-

[31] G. I. Ng, R. Lai, Y. Hwang, D. C. W. Lo, T. Block, K. Tan, D. C. Streit, R. M. Dia, A. Freudenthal, P. D. Chow and J. Berenz, "A Fully Passivated Ultra Low Noise W-Band Monolithic InGaAs/InAlAs/InP HEMT Amplifier," in IEEE Microwave and Millimeter-Wave Monolithic circuits Symp. Dig., pp. 63-68,

"Ultra Low Noise Q-band Monolithic Amplifiers Using InP- and GaAs-Based 0.1 micron HEMT Technologies," in IEEE Microwave and Millimeter-Wave

2.1 緒言

現在、広く使用されているマイクロ波集積回路を構成している3端子能動素子として、 代表的なものは GaAs MESFET と AlGaAs/GaAs HEMT である。これらはいずれも電 界効果型トランジスタすなわちFETとして分類されるものであるが、FETの概念の誕生 は1925年までさかのぼり、その着想はLilienfeldが出願したカナダの特許の中に見るこ とができる [1]。その後、Schockley が1952年に逆バイアスされた pn 接合をゲートと して用いる FET の理論を初めて発表し [2]、翌1953年、Dacey らがゲルマニウム (Ge) を用いた接合型 FET の試作に成功した [3]。接合型 FET や半導体材料としての Ge は、 当時既に隆盛になりつつあった Si バイポーラ・トランジスタの陰に隠れてしまったが、 1960 年ベル研究所の Kahng らによって Si を用いた MOS 形 FET が発表されると [4]、 ICやLSI (Large Scale Integrated Circuit)の構成素子として急速に発展した。

一方GaAs材料は1963年、ガン効果の発見によって、GaAs特有の非線形バルク効果 が脚光を浴び、GaAs材料開発そのものは1950年前半に端を発し、同時代にFETも発明 されているため、GaAs FET技術はすでに40年の歴史を有している。GaAs は電子の移 動度が高いだけではなく、抵抗率が10⁸Ω・cm以上という高抵抗の半絶縁性結晶が得られ るため、FETはもちろん、基板上に抵抗やコンデンサなどの受動素子を形成した場合も 寄生容量が小さく、マイクロ波集積回路への応用に適している。FETの高周波化の研究 は材料にGaAsを用いたショットキー障壁型のFET、すなわちMESFETへと移り、1966 年に Mead が初めて GaAs MESFET を発表し [5]、その後 1970 年に Middelhock らが

最大発振周波数12GHzを実現した[6]。材料面では、60年代の半絶縁性基板の実現、製 造技術面ではイオン注入技術、70年代のMBE技術が、今日、MESFET、HEMTなどの GaAs IC 技術へと開花している。1972年に、Beachtold らは最大発振周波数が 50GHz 以上のFETを発表したが、これをきっかけにマイクロ波応用のための実用デバイスとし ての研究が活発になり、進行波管などを使用していた機器を固体化できるようになった。 FETのチャネル層に2次元電子ガスを用いたHEMTの歴史は1978年、Bell研究所の Dingleらによるn-AlGaAs/GaAs界面における2次元電子ガスの発見に始まり[8]、 1980年に富士通研究所の三村らによって初めて報告された [9]。HEMTは、電子を供給 するための不純物ドープ層であるAlGaAs層と、電子走行層である不純物のないGaAs層 をヘテロ接合で分離し、電子の輸送特性を向上させたものである。現在では、マイクロ 波用トランジスタとして、HEMTは代表的なものであるとともに、低雑音トランジスタ としては最も優れたデバイスであり、X帯(8~12GHz)周波数で雑音指数0.6dB以下と いう性能も実現されている [10]。このように、高速の2次元電子(正孔)ガス物理や、さ らには共鳴トンネリングなどの量子効果現象を用いたヘテロ接合構造デバイスに見られ るようにMESFETからヘテロ接合構造デバイスへと今後さらに高性能化が進むとともに、 機能も拡大していくであろう。

GaAs FETの高出力化は、GaAsの熱電導率がSiの3分の1しかないことから、当初 は実現困難と考える研究者も多かったが、高出力用GaAs FETは1973年になってよう やく、FukutaとNapoliらによってほぼ同時に報告された[11]、[12]。FETの性能、と りわけ高周波性能や雑音特性を向上させるためには、その微細化が必須である。中でも ゲート長を短くすることが重要であるが、これは電子の走行する距離が小さく、チャン ネル内の電界が高くなり、電子がほぼ飽和速度で走行するようになるからである。電子 の有効質量がSiに比べて軽いGaAsでは、より一層高電界での電子の速度向上に大きく 寄与する。しかしながら、小信号用GaAs FETの場合にはこの手法により高性能化を図 ることが可能であるが、高出力用GaAs FETの場合には、高い電圧を印加し大電流を流 す必要があり、高耐圧化と電流容量を大きくすることと相反する微細化の手法は、一般 には困難である。

さて、現在マイクロ波応用の実用デバイスとしては、低雑音FETではHEMT、さほど 優れた低雑音特性が要求されないがしかし低コストを要求される用途や高出力用には、 MESFETが主として用いられており、中でもとりわけイオン注入型MESFETが多い。 MESFETを電子が走行するチャンネル(活性層)の形成技術で分類すると、イオン注入 法と有機金属気相成長法(OMVPE: Organometallic Vapor Phase Epitaxy)や分子 線エピタキシー法(MBE: Molecular Beam Epitaxy)などの結晶成長技術を用いるも のに大別される[13]、[14]。GaAs 基板は高抵抗であり、チャンネルを形成するために 不純物を導入する必要がある。現在のGaAsFETではほとんどが移動度の高いn型不純物 を導入したものであり、一般にSiイオンが不純物として用いられる。イオン注入法は導入すべき不純物のイオン種を高電界で加速してGaAs基板に注入する方法である。基板に注入されたイオンは、基板原子と衝突を繰り返しながらその運動エネルギーを失い、一定の位置に停止する。この際、基板内に結晶損傷が生じるが、これを回復し注入不純物を正しい格子位置に入れて活性化するために、通常800℃以上の高温下で一定時間放置するが、これをアニール技術という。イオン注入法は工業的に生産性の高い方法であり、結晶成長法に比べ低コストで量産性に優れた方法である。一方、結晶成長法は不純物の分布プロファイルの制御性が高く、より高い性能を実現することが可能である。

本章では、まず本研究の第一の目的である、量産性に優れ低コストで民生応用に十分 適用し得る高性能のマイクロ波集積回路を実現するために必要となる、GaAs FET の高 性能化技術について述べる。マイクロ波集積回路のための実用デバイスにおける代表的 なものとして、イオン注入型 GaAs MESFET と AlGaAs/GaAs HEMT を概括し、本研 究で提案しているパルスドープ構造GaAs MESFETの位置付けについて述べ、その優れ た高周波特性及び、従来のFETには見られない興味深い特長を明らかにする。さらに、 パルスドープ構造が極めて柔軟な設計性を有し、種々の応用に対してその素子構造の単 純な設計変更によって対応し得ることを示し、電力増幅器に適用するための高出力用 MESFETに適したパルスドープ構造について述べ、その優れた線形性等について述べる。

2.2 従来の GaAs 電界効果トランジスタ

図 2-1 にイオン注入型 GaAs MESFET と AlGaAs/GaAs HEMT の構造断面図を模式 的に示す。以下、各デバイスの製造方法と動作原理を簡単に示すが、詳細は MESFET に ついては文献 [14] - [17] などに詳しい。イオン注入型 GaAs MESFET は半絶縁体基板 に選択的にイオン注入して動作層を形成し、その表面にソースとドレインの 2つのオー ミック電極と、両者の間にショットキー障壁のゲート電極を設けた三端子構造である。 FET構造の基本的なパラメータは、ゲート長 (Lg:チャネル長と呼ぶときもあるが、チャ ネル長を厳密に規定するのは難しい)、ゲート幅 (Wg)、動作層厚さ (a)、及び空乏層深 さ (h) である。ゲート空乏化層下の動作層部分をチャネルと呼ぶ。ドレインに、ソース に対して正の電位 (Vd) を印加すると、電作層内で電子がソースからドレインに向かっ て流れるが、ゲート電極はショットキー障壁であるから空乏層がチャネル内に伸びてお り、ゲート電圧Vgを変化することにより空乏層深さが変わり、チャネルの断面積が変化 し、ドレイン電流 (Id) が変調される。あるゲート電圧 (Vg) に着目すれば、Vdの小 さな領域ではVdを増すとともにドレイン電流は直線的に増加し、次いで緩やかな増加と なり、ある Vd 以上では、Vd に依存せずに Id に対してほぼ一定値となる。Id が直線的

2.2 従来の GaAs 電界効果トランジスタ

るVd領域を線形領域、Idがほぼ一定となるVd領域を飽和領域という。ゲート電圧が負 側に大なほどチャネル厚が小さくなるため、飽和に至る電圧 (Vdsat) や飽和電流 (Idsat) は小になる。

HEMTは、GaAs FETの一種であるが、図 2-1 に示すように従来の GaAs MESFET



図2-1(a) イオン注入型GaAs MESFETの構造断面図



図2-1(b) AlGaAs/GaAs HEMTの構造断面図

図2-1 イオン注入型GaAs MESFETとAlGaAs/GaAs HEMTの構造比較

デバイス構造とはまったく異なっている。半絶縁性 GaAs 基板を用いるのは同じである が、チャンネルの構造が GaAs MESFET の場合と異なる。通常、MBE を用いて半絶縁 性GaAs 基板上にアンドープGaAs、Siドープn-AIxGa1-xAs (x=0.3) 及びSiドープn-GaAs を連続成長させる。AIGaAs 層は、厚さ0.07 µm、ドナー濃度2×10¹⁸ cm⁻³程度 である。n-AIGaAs層内は、ショットキー接合とヘテロ接合によって空乏化している。電 子の一部は、表面ショットキーメタル側へ移動し、整流性障壁が形成され、一方、残り の電子は、GaAsとAIGaAsとの電子親和力(XGaAs=4.07eV>XAIGaAs=3.5eV)の差 によってAIGaAs 層内のドナーからGaAs 側へ供給され、2次元電子ガスを形成する。2 次元電子ガスは、母体ドナー原子と空間的に分離されている。この2次元電子ガスの厚さ は約10nmと極めて薄く、接合面の垂直方向に運動の自由度のない実質的にはいわゆる 2次元チャネルになっている。したがって、HEMT 動作にとって AIGaAs/GaAs ヘテロ 接合の界面近傍の結晶性の良否は、決定的に重要な問題となる。このため、HEMT 用結 晶成長には、原子レベルでの精密制御が可能なMBEまたはOMVPEが用いられている。

2.3 パルスドープ構造 GaAs 電界効果トランジスタ

本研究はまず、(1) AlGaAs/GaAs HEMTと同等の低雑音特性を実現できること、(2) 成熟した GaAs MESFET の製造プロセス技術を適用できること、(3) MMIC の基本構成 素子となり得ることを目標として、トランジスタの開発から着手された。これについて 述べる前に、HEMTが優れた高周波特性や低雑音特性を実現できる理由に関して研究さ れた報告例に触れなければならない。高周波FETの場合、ゲート長が1µm以下と極め て短いため、高電界における電子の輸送特性がその高周波特性に大きな影響を与える。 HEMT構造は、たしかに低電界における電子の移動度は高いが、高電界での電子の飽和 速度は通常の MESFET と大差ない。長谷川は、HEMT が MESFET より高い性能を実現 しているのは、電子の移動度が高いからではなく、電子の走行するチャンネルがゲート 電極に近いからであると指摘した [18]、[19]。また、Fengらも同様に、高い電子の移動 度がHEMTの性能に寄与していないことを示し [20]、イオン注入型 GaAsMESFET で HEMTに匹敵する高い性能を実現させ、ミリ波帯でも適用できることを実証した[21]-[25]。Fengらが実現したデバイス構造は、不純物を導入しない結晶成長層にイオン注入 によりチャンネルを形成する方法であり、チャンネルとしてGaAsの代わりに移動度の高 いInGaAsを用いて、より高い性能を達成している [26] - [28]。

2.3 パルスドープ構造 GaAs 電界効果トランジスタ

2.3.1 素子構造と作製方法

図2-2に本研究の基礎となるパルスドープ構造GaAsMESFETの典型的な構造断面図 を示す。図に示したように、不純物の導入プロファイルがパルス状になっていることか ら、パルスドープ構造と呼ぶ。ヘテロ構造を用いておらず各層はGaAsのみで形成されて おり、各層の厚さや不純物濃度は用途に応じて簡単に設計変更可能であり、柔軟な素子 構造の設計性を有する。各層はOMVPE 法により容易に形成可能であり、本研究では OMVPEを用いて試作を行ったが、またMBE法によっても同様の構造を形成することが 可能である。OMVPEについては、文献 [29] - [32] に詳しい。半絶縁性 GaAs 基板の 上にまず、極めて低い濃度2×10¹⁵cm-3に制御されたp型のバッファ層(p-バッファ 層とよぶ)を成長させる。OMVPEを用いる場合には、不純物を導入せずにⅢ属元素と V属元素の供給比を制御することによってバッファ層の導電型をp-に制御する。p-バッ ファ層は相対するn領域からの基板リーク電流を抑制するために有効であり、後に述べ る短チャンネル効果を抑制することができる。その次に、3~4×1018cm-3という極め て高濃度にSiイオンが導入されたパルスドープ層を成長させる。これは電流の流れる



図2-2 パルスドープ構造GaAsMESFETの典型的な構造断面図

チャンネルであり、厚さは100~150Åと薄層化されている。このように高濃度薄層化さ 素子の作製プロセスはダミーゲートを用いた自己整合プロセスである[34]、[35]。

れたチャンネル構造は種々の興味深い特長を実現するが、これについては後述する。そ して最後に1×10¹⁵cm⁻³程度の低濃度のn-キャップ層を形成するが、これはゲート電極 のショットキー特性を改善するためのものである。やはり、不純物を導入せずにⅢ属元 素とV属元素の流量比を制御することによって形成している。このような結晶成長層の 濃度や厚さなどの、2インチウエハ面内における均一性は5%以下と良好であった[33]。 FETの性能を向上させる上で寄生抵抗を低減することが重要であり、とりわけゲート・ ソース間の寄生抵抗、すなわちソース抵抗 (Rs)の低減が重要である。ソース抵抗を低 減する方法の一つに、ゲート形成領域をエッチングして掘り下げるゲートリセス構造が ある [36]。この方法はFETの高性能化には極めて有効であるが、その特性がエッチング 領域の深さや形状に非常に敏感に影響するため、ウエハ面内での均一性を得るのが困難 である。提案している FET では、MMIC の基本構成素子として適用し得る均一性を確保 し、また高い再現性を実現し低コスト化を図るため、ゲート形成領域をエッチングする ゲートリセス構造を採用していないのが特長の一つである。ゲートリセス構造を採用し ていないため、オーミック電極のコンタクト領域を結晶成長によって形成することがで きないことから、イオン注入によりSiイオンを高濃度に導入したn+領域を、ダミーゲー トに対して自己整合的に形成している。このn+領域を活性化させるために前述したア ニールが必要であるが、高濃度・薄層化されたチャンネルに導入された不純物が、高温 下で拡散するのを抑制し、パルスドープ構造を維持するために、ラピッドサーマルアニー ル(RTA)法を適用し、不純物拡散を最小限に抑制し、且つ高い活性化率を実現する条 件、すなわち温度と時間に制御している[37]、[38]。ゲート電極は、やはりFETの高性 能化に有効なゲート抵抗(Rg)低減を図るため、図2-2に示したように絶縁膜に対して オーバーラップさせたマッシュルーム構造と呼ばれる形状に制御している。その他、作 製プロセスや電極・絶縁膜の材料等は、文献 [34]、[35] に詳細が記されている。

FETを高性能化するためには、微細加工が必要となるが、特にゲート長の短縮が有効 であり、最近のマイクロ波用FETではほとんどがゲート長1μm以下である。しかしな がら、ゲート長を短くすると、しきい値電圧 (Vth) が負にシフトし、gm が低下しgd 増加、ピンチオフ特性が悪化(ゲート電圧をVth以下にしてもドレイン電流が完全に切 れない) するという問題が生ずる。これを、短チャンネル効果といい、ゲート長が1μm 以下になると顕著になってくる。原因を大別すると、(1)短ゲート化により相対するn+ 領域間が接近し基板リーク電流が増加すること、(2)ゲートによって作られるポテンシャ ル自身の2次元的分布によることである。そして、上記の(1)には電子にとってポテン シャルバリア層として働く pバッファ層が有効であり、(2) については高濃度・薄層化 されたチャンネル構造が有効であることが知られている[39]。このように、提案してい

20

2.3 パルスドープ構造 GaAs 電界効果トランジスタ

るFET構造は、短チャンネル効果を抑制するのに極めて適した構造であり、0.3 µmま で有効であることを実証している [33]、[40]。

2.3.2 基本的な特長

パルスドープ構造の興味深い特長について述べる。図 2-3 はパルスドープ構造 GaAs MESFETの特長をやや模式的に示したものである [41]。図 2-3 (a) はドレイン電流 Id のゲート電圧Vgに対する特性、すなわち入出力の関係を示したものである。通常のFET やHEMTは2乗特性を示すがパルスドープ構造FETの場合、ほぼ線形な特性を示す。図 2-3 (b) は伝達コンダクタンス (gm) のゲート電圧に対する特性を示したものである。 gmはドレイン電流の微小変化(ΔId)のゲート電圧微小変化(ΔVg)に対する比であ り、FETの利得を表現するパラメータである。通常のFETやHEMTでは、gmはゲート 電圧に対して山なりの特性を示しピークを持つが、パルスドープ構造 FET の場合、gm はゲート電圧に対して平坦な領域がある。これは、ゲートバイアス電圧のばらつきに対 して利得の変化が小さい回路を実現できることを意味しており、製造後に調整ができな いMMICを構成するFETに適している。図 2-3 (c) は最小雑音指数 (Fmin:詳細後述) のドレイン電流に対する依存性を示したものである。HEMTは一般に、Fminのドレイン 電流に対する依存性が小さいが、通常のMESFETは大きな依存性を持つ。パルスドープ



図2-3(a) ドレイン電流Idのゲート電圧Vgに対する特性



構造 FET は HEMT と同様、 Fminのドレイン電流に対する依存性が小さく、低雑音増幅 回路を設計する際、設計余裕が大きいためやはり MMIC を構成する FET に適している [42]。図 2-3 (d) は電流利得遮断周波数 (fT) のドレイン電流に対する依存性を示した ものである。パルスドープ構造FETは、HEMTと同様ドレイン電流の小さい領域から急 峻にfTが立ち上がり、一方HEMTと異なり大電流領域でも高いfTを維持している[43]。 図2-3(e)は耐放射線性を各々のデバイスで比較したものである。パルスドープ構造FET が従来のデバイスより優れた耐放射線性を示すことがわかる。

2.3 パルスドープ構造 GaAs 電界効果トランジスタ



図2-3(d) 電流利得遮断周波数(fT)のドレイン電流に対する依存性



直流特性及び高周波特性 2.3.3

図 2-4 (a) にゲート長0.3 µm、ゲート幅 20 µmのパルスドープ構造 GaAs MESFET のI-V特性、図2-4(b)にId-Vg特性およびgm-Vg特性を示した。gmの最大値gmmax は380mS/mmと極めて高い値を実現し、また2インチウエハ面内におけるgm (12GHz における雑音指数が最小となる最適動作点Id=1mA、詳細後述)の標準偏差も11.8mS/





24

2.3 パルスドープ構造 GaAs 電界効果トランジスタ

図 2-4 パルスドープ構造 GaAs MESFET の DC 特性 (Lg=0.3 µ m、Wg=20 µ m)

25



図2-5 fTのドレイン電流依存性 (Lg=0.3µm、Wg=280µm)

mmと優れた均一性を示した[44]。この優れた均一性は、上述したようにゲートリセス 構造を用いていないため、製造プロセスに起因する素子のばらつきが小さいことによる。 図 2-5 にゲート長0.3 µm、ゲート幅280 µmのパルスドープ構造 GaAs MESFETの fTのドレイン電流依存性を示す。fTの最大値は44GHz、最適動作点(12GHzにおける 雑音指数が最小となる最適動作点 Id=14mA、詳細後述)におけるfTの値は33GHzで あった。

2.3.4 雑音特性

次にパルスドープ構造GaAs MESFETの優れた低雑音特性について述べる。FETの性 能としての雑音特性は最小雑音指数Fminを用いて表現することができる[45]。雑音指 数(F)は、回路の入力における信号電力対雑音電力比(SN比)と出力における SN比 の比で表され、入力における信号電力をSin、雑音電力をNin、出力における信号電力を Sout、雑音電力をNoutと表すと次式のように示される。

> Sin F = NinSout Nout

また、能動素子を含む回路の雑音指数は、その信号源インピーダンスに依存し、雑音 指数を最小にする最適雑音信号源インピーダンスZoptが存在する。入力整合回路がこの Zopt に整合された時、回路の雑音指数は最小となり、この値を最小雑音指数 Fmin とい う。Zoptの実部をRopt、虚部をXoptで表すと、雑音指数はFminを用いて次式で示さ れる。

 $F = Fmin + \frac{Rn}{Rs(R_{opt}^2 + X_{opt}^2)} [(Rs-Ropt)^2 + (Xs-Xopt)^2]$

ここでRs、Xs は各々信号源インピーダンスの実部、虚部を表し、Rn は等価雑音抵抗 を表す。一般に、Fmin、Ropt、Xopt、Rnの4つのパラメータを雑音パラメータと呼び、 回路の雑音指数を記述する回路に固有のパラメータである。回路の雑音パラメータは チューナーを用いて、回路から見た信号源インピーダンスを種々に変化させながら雑音 指数を測定し、その結果及びSパラメータの測定値から計算によって求めることができ る。図2-6に本研究で雑音指数の測定に用いた測定システムのブロック図を示したもの であり、FETの雑音指数をウエハ状態で測定するためのものである。このようにFETの 雑音パラメータを評価する場合、寄生容量や寄生インダクタンスの影響を除くために、 パッケージに実装したり測定治具に固定して行わず、ウエハ上に形成されたFETに直接 プローブヘッドを接触させて行う。このような測定をオンウエハ測定と称する。測定に 用いたプローブヘッドはCascade Microtech社製で、40GHzまで実用上十分なインピー

26

2.3 パルスドープ構造 GaAs 電界効果トランジスタ

(2-1)

(2-2)



図2-6 雑音指数測定システムのブロック図

ダンス整合のとれた、コプレーナ線路型の3端子のものである。FETの最小雑音指数 Fminはドレイン電流の値によって変化し、Fminが最小になるドレイン電流の値が存在 する。この電流値を最適雑音指数と呼び、通常Foと表記される。Fmin、Foなどの表記 法は、この分野において先駆的な研究を行った Fukui の論文に従う [46]。

図 2-7 に、ゲート長 0.3 µm、ゲート幅 280 µmのパルスドープ構造 GaAsMESFET の12GHz及び18GHzにおける最小雑音指数の測定結果を示す。測定にはATN microwave 社の NP5 を用い、オンウエハ測定により評価した。12GHz において最適雑 音指数Foを得るドレイン電流の値は14mAであり、この時Foの値は0.7dBを示した。 また、ドレイン電流の値が5mAから28mAの広い領域にわってFminは1.0dB以下とド レイン電流依存性が極めて小さく、Foの値及びFminのドレイン電流依存性は同じゲー ト長のAlGaAs/GaAs HEMTに匹敵する性能である。最小雑音指数を得る時のFETの利 得を付随利得(Ga)と呼ぶが、図2-8にその測定結果を示す。12GHzにおいて最適雑音 指数Foを得る時の付随利得は10.5dBであった。

FETの低雑音化には素子構造上、チャンネルの設計とソース抵抗 Rs やゲート抵抗 Rg などの寄生素子の低減が重要であり、これらは文献 [47] ~ [50] に詳しく述べられてい る。ここでは低雑音化に関する、FETの配置配線設計(レイアウト設計)上のポイント について明らかにする。図2-9に本節で雑音指数の測定に用いた FET の電子顕微鏡 (SEM: Scanning Elctron Microscope) 写真を示す。図2-9(b)に示したように、ゲー







2.4 電力増幅器用パルスドープ構造 GaAs 電界効果トランジスタ

2.4 電力増幅器用パルスドープ構造 GaAs 電界効果トランジスタ

前節で述べたように、パルスドープ構造MESFETは通常のMESFETやHEMTの入出 力関係が2乗則に従うのに対し、非常に線形性に優れた特性を示す。これは、低歪特性を 要求される無線通信用電力増幅器への応用に、このFETが本質的に適していることを示 唆している。無線通信システムでは、所定の出力電力を越えてアンテナより送信される 信号の帯域幅が電波法により規定されており、その帯域外へ漏洩する電力を規定値以 下にしなければならない。帯域外への漏洩電力は、送信回路における出力増幅回路の歪 特性に強く依存し回路が低歪であるほど小さい。特に、最終段電力増幅器の歪特性は重 要である。また、回路の非線形特性により相互変調積を生ずるが、相互変調積のうちで 最も問題となるのが3次の相互変調積で、2波f1、f2の組み合わせとして、(2f1-f2)、 (2f2-f2) が、また3波f1、f2、f3の組み合わせとして、(f1-f2+f3)、(f2+f3-f1) がそれ ぞれ送信帯域内に落ち込む可能性がある [51]。これは、複数の搬送波(キャリア)周波 数を含む信号を増幅(共通増幅)し送信するシステムでは極めて重要であり、通常の移 動体通信システムにおける基地局では、3次相互変調積の仕様が規定されている。3次相 互変調積は回路の3次歪により生ずるが、一般にFETは2乗則特性を示すため、指数特 性を示すバイポーラトランジスタより3次歪が小さく線形性に優れているが、パルスドー プ構造MESFETでは通常のFETよりさらに線形性に優れており、低歪を要求される電力 増幅器への応用に適しているといえる。

ところで、MESFETにおいてチャンネルがパルスドープ構造を有するものが、本質的 に線形性に優れることは、既にPucelによって指摘されており [52]、Chuらがその構造 を実現しその優れた線形性を実証している [53]。しかしながら、Chuらの報告例を含め、 電力増幅器用のFETはほとんどがゲートリセス構造を用いている [54]、[55]。これは、 高出力を得るために、より大きなドレイン電流を流し、より大きなドレイン電圧を印加 するため、小信号トランジスタに比べて高いゲート・ドレイン間耐圧 (Vbd)を必要と し、ゲートリセス構造はこのVbdの改善に大変有効な方法だからである。ここでVbdと は、FETのゲートリーク電流 (Igd) が一定の値を越える電圧と定義される。

さて、電力増幅器への応用を図るためには、前節で述べた低雑音用FETの構造では不 十分であり、これに適した構造(結晶構造)に設計変更する必要がある。デバイス設計 の観点からは、主として2つのパラメータが重要であり、高利得化に寄与するgmと最大 出力を決定するVbdである。しかしながら一般的に、これら2つのパラメータを改善す るためのアプローチは相反する面を持ち、両者を同時に向上させる方法は限られている。 低雑音用FETでは、小信号の用途では高いVbdを必要としていないため、微細加工によ





ト電極に対し3カ所から給電する設計になっているが、これはゲート抵抗Rgとゲート・ ソース間容量(Cgs)を雑音指数に対して最適化するためである。RgとCgsともに小さ いほど雑音指数は小さくなるが、Rgを小さくするためにはゲート給電点数が多いほど良 いが、逆にCgsを小さくする上では寄生容量が増加するため不利となる。本研究ではゲー ト給電点数の最適値を見いだすために、ゲート給電点数が1、2、3、5の評価用FETを 作製し測定を行った。測定結果を図2-10に示すが、3給電点のFETが雑音指数に関して 最適であることがわかる。

30

り性能の向上を図ることが可能である。ゲートリセス構造は、従来このgmとVbdを同 時に向上し得るほぼ唯一の方法であったが、本研究の独自性は、Vbdを向上させるため に一般的に用いられてきたゲートリセス構造を用いずに、パルスドープ構造を利用して Vbdを向上させ、実用上十分なVbdとgmを実現した点にある。ゲートリセス構造は前 節で述べたように、高い均一性や再現性を得ることが困難であり、また MMIC の構成素 子としても適さないからである。この素子構造の設計性においても、イオン注入型 MESFETやHEMTに比べ、パルスドープ構造 MESFETは柔軟性に富んでいる。設計変 更された構造の結晶成長は、結晶成長装置のプログラムを変更するだけで実現すること ができ、製造プロセスも低雑音用パルスドープ構造 MESFET とほとんど同様である。

2.4.1 電力増幅器に適したパルスドープ構造

図2-11は、前節で述べた低雑音用パルスドープ構造から電力増幅器用パルスドープ構 造への結晶構造の設計変更の様子を示したものである。これは、ゲートリセス構造を用 いることなく、大入力振幅領域でgmが低下するのを防ぎ、より優れた線形性を実現する ための構造であり、桑田らにより提案されたものである[56]、[57]。詳細は後述するが、 低雑音用パルスドープ構造におけるパルスドープ層を、2つのパルスドープ層に分離し いわゆる長ゲート効果を抑制することにより、大入力特性を改善した。このように、結 晶構造の簡単な変更で高出力用途に対応し得る柔軟性も、このパルスドープ構造の大き な特長の一つである。



図2-11 電力増幅器用パルスドープ構造への結晶構造の設計変更



図 2-12 に電力増幅器用パルスドープ構造 MESFET の構造を示す。低雑音用パルス ドープ構造MESFETと同様すべてGaAs層で構成され、半絶縁性GaAs基板の上にまず、 極めて低い濃度のp-バッファ層を成長させ、次に不純物としてSiイオンを高濃度(たと えば2.7×10¹⁸cm⁻³) に導入したパルスドープ層を成長させ、さらに不純物を導入しな いアンドープn-層、再びパルスドープ層を成長させ、最後に低濃度のアンドープn-キャップ層と連続成長させる。このように、2つのパルスドープ層を有するのが電力増幅 器用パルスドープ構造 MESFET の特長である。図 2-11 に示した各層の厚さ及び不純物 濃度は典型的なものであり、用途に応じて容易に素子構造の設計変更が可能である。

図2-11に示した電力増幅器用パルスドープ構造において、下側の第1パルスドープ層 はチャンネルとして動作し、上側の第2パルスドープ層は長ゲート効果を抑制するための ものである。ゲートリセスを用いないプレーナゲート構造では、通常十分なVbdをえる ことは困難であるが、図2-12に示すようにゲート電極とドレイン電極(n+領域)の間 隔Lgdを大きくすることにより Vbd の改善が可能である。これはLgdを大きくしたた め、この領域で GaAs の表面電位効果による表面空乏層が生じるからであるが、その反

32

2.4 電力増幅器用パルスドープ構造 GaAs 電界効果トランジスタ

図2-12 電力増幅器用パルスドープ構造MESFETの構造

面、ゲートバイアス電圧Vgの大きい領域すなわち高電流域でgmが大きく低下するとい う、長ゲート効果が生じる [56]、[57]。これは、ショットキーゲートによる空乏層が表 面空乏層に埋もれてしまい、実効的にゲート長が拡張されgmが低下する効果である。電 力増幅器用パルスドープ構造において、第2パルスドープ層は表面空乏層とショットキー ゲートによる空乏層を分離する働きをし、長ゲート効果を緩和しているのである。電力 増幅器用パルスドープ構造の設計に関しては、十分なVbdとgmを両立するために、2 次元シミュレーションによるデバイス構造の最適化設計を行っており、文献 [58] - [61] に詳しく報告されている。

2.4.2 DC 特性および高出力特性

図 2-13 に、ゲート長 0.7 µm、ゲート幅 20 µmの電力増幅器用パルスドープ構造 MESFETの代表的な電流・電圧特性および、ドレイン電流Idとgmのゲート電圧依存性 を測定した結果を示す。図2-13からわかるように、ドレイン電流はゲート電圧に対して ほぼ線形に変化し、gm (= Δ Ids/ Δ Vg)の平坦な領域がVG>0Vの領域まで延びてお り、高電流域でもgmが低下せず、長ゲート効果が抑制されていることがわかる。キャッ プ層厚680 Åのデバイスは Idss0 = 257mA/mm、で耐圧 Vbd = -19V(定義はゲート



リーク電流 Igd が 0.5mA/mm以上になる電圧)、また 3" φ GaAs ウエハの面内における 標準偏差 σ Vbd = 2.6V という優れた値を実現しており、これを他の構造のデバイスと 比較した場合、たとえばイオン注入による LDD MESFET (プレーナゲート構造)では Vbd=-15V、Idss0=200mA/mmという値が報告されている [58]。

図 2-14 (a) はゲート幅 5.2mm のデバイスに関し、周波数 1.5GHz において入力パ ワー対出力パワー特性を測定した結果である。ドレイン電圧8V、ドレイン電流がIdss0 の50%であるA級動作の測定条件において1dBコンプレッション出力電力(Pup)は 34dBm、その時の電力付加効率は=45%、また線形利得は19dBを達成している。また 図 2-14 (b) は、周波数 1.5GHz、ドレイン電圧 4.5V、ドレイン電流 0.4 Idss0 の測定 条件で、ゲート幅0.5mmのデバイスを測定した結果であるが、その3次インターセプト ポイントIP。は42dBmという高い値を示している。このIP。をその時の消費電力で規格 化した線形性評価指数LFOM=IP。/PDC (Linearity-Figure-Of-Merit)は40.8を示し、 プレーナゲート構造の MESFET では最も高い値を実現している [58]。



34

2.4 電力増幅器用パルスドープ構造 GaAs 電界効果トランジスタ



図2-15は、比較のために試作した単一パルスドープ構造のMESFETと電力増幅器用 パルスドープ構造MESFETの3次相互変調歪(IM。)と基本波出力電力P1に関する測定 結果である。ゲート幅はいずれも280 µm、測定条件はドレイン電圧が4V、ドレイン電 流がIdss0の50%のA級動作である。P1はほぼ同じ特性を示しているが、IM。は電力増 幅器用パルスドープ構造MESFETの方が8dBも小さく、線形性に優れていることがわか る。FETの高出力特性は、その入力電力と負荷インピーダンスに大きく依存するため、回 路設計の際には所望の特性を実現するために、入力電力と負荷インピーダンスを変化さ せながら測定する必要がある。これをロードプル測定と言うが、電力増幅器用パルスドー プ構造 MESFET のロードプル特性については、第6章で詳しく述べる。

さて、2つのパルスドープ層を有するFET構造が、このような優れた線形性を示す理 論解釈について、一つの測定結果を用いて言及する。図2-16は、図2-15に示した測定 に用いたものと同じFETに関して、ドレインコンダクタンスgdのゲート電圧Vgに対す

50 出力電力Pout (dBm) -50 -100 -30 -20 -40

る特性を比較したものである。Pucelが指摘しているように、パルスドープ状の不純物導 入プロファイルを有する FET が良好な線形性を示すのは、gm やゲート容量 Cgs の Vg に対する特性が本質的に線形だからである [52]。また3次歪に寄与する要素としては、 gmやCgsだけでなくgdのVgに対する線形性も重要であるが、Chuらはパルスドープ 構造MESFETと通常のMESFETではgdのVgに対する線形性に大きな差は無いと報告 している [53]。しかしながら、本研究で提案しているパルスドープ層を2つ有する FET 構造は、図2-16に示したように単一パルスドープ構造のMESFETよりgdの線形性に優 れていることが明らかである。これが、電力増幅器用パルスドープ構造MESFETが優れ た線形性を実現している一つの要因と考えられる。

2.4 電力増幅器用パルスドープ構造 GaAs 電界効果トランジスタ



図2-15 電力増幅器用パルスドープ構造FETのIM 3とP1



図2-16 電力増幅器用パルスドープ構造FETのgd-Vg特性

2.5 結言

パルスドープ構造 GaAsMESFETが、HEMTに匹敵する高周波性能を実現し、且つ現 在、製造技術として現在最も成熟した MESFETの製造技術によって製造可能であり、高 い均一性と再現性をも達成できることなどを明らかにした。12GHzにおいて同じゲート 長を有するHEMTと同じ低雑音特性を実現した。またパルスドープ層を2つ有するFET 構造により、優れた線形性を有する電力増幅器用 MESFETを実現するとともに、パルス ドープ構造の柔軟性に富んだ設計性も実証した。いずれもFETの性能を向上させるため に広く用いられているゲートリセス構造を用いておらず、これに起因する製造ばらつき がなく高い生産性、すなわち高歩留りを達成可能であるとともに、MMICの基本構成素 子として適用する可能性も有する。MMIC への応用については第3章で詳しく述べる。 パルスドープ構造MESFETは応用面で非常に興味深いデバイスであると同時に、デバ イス物理の観点からも、とりわけHEMT との比較において特徴があり、種々の研究がな されている。本節でパルスドープ構造が短チャンネル効果を抑制する有効な方法である ことを論じたが、ゲート長0.2 μ mにおいても有効であることを確認されている [62]、 [63]。また、パスルドープ層をGaAs より電子の移動度が大きいInGaAs にした Pseudomorphic型のFETに関して報告されている [64] - [68]。パルスドープ構造にお ける電子の輸送特性の評価は、このデバイスが優れた特性を示す理論解釈を得る上で重 要であり、HEMTと同様な電子の2次元性を示すことや、高電界における電子の速度が むしろ HEMTより速いことなども実証されており、文献 [69] - [74] に詳しい。さらに 2層のパルスドープ層を有するダブルパルスドープ構造GaAs MESFETを試作し、電子 の移動度がバルクの場合と比べて30%高くなることをを示し、その性能を改善できる可能 性に関して指針が与られている [75]、[76]。

よく知られているように、ゲート長1µm以下のFETではその電流利得遮断周波数 fTの値が、ゲート長に反比例する。これを今までの報告例をもとに、異なるデバイス構 造のFETに関してfT対ゲート長をプロットしてみると、デバイス構造にかかわらずほぼ 1本の直線に乗り、MESFETとHEMTでfTに大差の無いことがわかるが、パルスドー プ構造MESFETもこのプロット上に位置しており、マイクロ波デバイスとして十分な性 能を有していることがわかる [78]。

2.5 結言

参考文献

- [1] J. E. Lilienfeld, "Method and apparatus for controlling electric currents," U. S. patent 1745175 (Jan. 1930). Canadian Application Field (Oct. 1925).
- [2] W. Schockley, "A unipolar "field-effect" transistor," Proc. IRE, 40, pp.1365-1376, 1952.
- [3] G. C. Dacey and I. M. Ross, "Unipolar "field-effect" transistor," Proc. IRE, 41. pp.970-979, 1953.
- [4] D. Kahng and M. M. Atalla, "Silicon-silicon dioxide field induced surface devices," in IRE-AIEE Solid-State Device Research Cof., 1960.
- [5] C. A. Mead, "Schottky Barrier Gate Field Effect Transistor," Proc. IEEE, 54. No. 2, pp.307-308, 1966.
- [6] S. Middlehock, "Metalization process in fabrication of Schottky-barrier DET's," IBM J. Research & Development, 14, 3, pp. 148-151, 1970.
- [7] W. Beachtold, W. Walter and P. Wolf, "X and Ku band GaAs M.E.S.F.E.T.," Elctron Lett. 8, 2, pp. 35-37, 1972.
- [8] R. Dingle, H. L. Stormer, A. G. Gossard, and W. Wiegmann, "Electron Mobilities in Modulation-Doped Semiconductor Superlattice," Appl. Phys., Lett., vol. 33, no. 7, pp. 665-667, 1978.
- [9] T. Mimura, S. Hiyamizu, T. Fujii, and K. Nanbu, "A New Filed Effect Transistor with Selectively Doped GaAs/AlxGa1-xAs Heterojunctions," Japan J. Appl. Phys., vol. 19, no. 5, pp. 225-227, 1980.
- [10] I. Hanyu, M. Nunokawa, K. Joshin, S. Ohmura, Y. Aoki, T. Aigo and Y. Hirachi, "Super low-noise HEMT's with a T-shaped WSi gate," Electron Lett., 24, 21, pp. 1327-1328, 1988.
- [11] M. Fukuta, T. Mimura, I. Tsujimura, and A. Furumoto, "Mesh Source Type Microwave Power FET," in IEEE Int. Solid-State Circuit Conf. Tech Digest,

pp. 84-85, 1973. [12] L. S. Napoli, R. E. DeBrecht, J. J. Hughes, W. F. Reichert, A. Dreeben, and A. Triano, "High-Power GaAs FET Amplifier ----A Multigate Structure," in IEEE Int. Solid-State Circuit Conf. Tech Digest, pp. 82-83, 1973.

- HOUSE.
- [16] 江崎玲於奈、榊 裕之: 超格子ヘテロ接合デバイス、工業調査会
- ARTECH HOUSE.
- ED85-73, pp.25-32, 1985.
- Trans. Electron Devices, vol. 32, no. 11, pp. 2528-2533, 1985.
- Symposium Dig., pp. 145-148, 1983.
- [22] M. Feng, H. Kanber, V. K. Eu, E. Watkins, and L. R. Hackett, "Ultrahigh effect transistors," Appl. Phys. Lett. 44 (2), 15 (Jan. 1984).

40

参考文献

[13] 菅野卓雄監修、大森正道編:超高速化合物半導体デバイス、6章、p183、培風館 [14] R. Williams : MODERN GaAs PROCESSING METHODS, p17, ARTECH

[15] 今井哲二、生駒俊明、佐藤安夫、藤本正友: 化合物半導体デバイス [1]、工業調査

[17] Fazal Ali, Aditya Gupta: HEMTs & HBTs Device, Fabrication, and Circuits,

[18] 長谷川文夫: "HEMT はほんとうに高電子移動度トランジスタか?"、信学技報,

[19] F. Hasegawa, "Is HEMT really a high electron mobility transistor?," IEEE

[20] M. Feng, C. L. Lau, V. Eu, and C. Ito, "Does the two-dimensional electron gas effect contribute to high-frequency and high-speed performance of field-effect transistor?," Appl. Phys. Lett. 57 (12), 17 (Sept. 1990).

[21] E. T. Watkins, J. M. Schellenberg, L. H. Hackett, H. Yamasaki and M. Feng, "A 60 GHz GaAs FET AMPLIFIER," in IEEE MTT-S Int. Microwave

frequency operation of ion-implanted GaAs metal-semiconductor field-

[23] G. W. Wang, M. Feng, C. L. Lau, C. Ito, and Thomas R. Lepkowski, "0.25 μ m Gate Millimeter-Wave Ion-Implanted GaAs MESFET's," IEEE Trans.

Electron Devices Lett., vol. 10, no. 5, pp. 186-188, 1989.

- [24] G. W. Wang, M. Feng, C. L. Lau, C. Ito, and Thomas R. Lepkowski, "Ultrahigh-Frequency Performance of Submicrometer-Gate Ion-Implanted GaAs MESFET's," IEEE Trans. Electron Devices Lett., vol. 10, no. 5, pp. 206-208, 1989.
- [25] M. Feng, J. Laskar, and J. Kruse, "Super-Low-Noise Performance of Direct-Ion-Implanted 0.25 µ m Gate GaAs MESFET's," IEEE Trans. Electron Devices Lett., vol. 13, no. 5, pp. 241-243, 1992.
- [26] M. Feng, G. W. Wang, Y. P. Liaw, R. W. Kaliski, C. L. Lau, and C. Ito, "Ionimplanted In0.1Ga0.9As metal-semiconductor field-effect transistors on GaAs (100) substrates," Appl. Phys. Lett. 55 (6), 7 (Aug. 1989).
- [27] M. Feng, J. Laskar, W. Miller, J. Kolodzey, and G. E. Stillman, "Characterization of ion-implanted InxGa1-xAs/GaAs 0.25 μ m gate metal semiconductor field-effect transistors with Ft>100GHz," Appl. Phys. Lett. 58 (23), 10 (June 1991).
- [28] M. Feng, and Chun-Lin Lau, "Ion-Implanted In (x) Ga (1-x) As MESFET's on GaAs Substrate for Low-Cost Millimeter-Wave IC Application," IEEE Trans. Electron Devices, vol. 39, no. 3, pp. 484-493, 1992.
- [29] 日本物理学会編:半導体超格子の物理と応用、培風館
- [30] 小長井 誠:半導体超格入門、培風館
- [31] G. B. Stringfellow : ORGANOMETARLLIC VAPOR-PHASE EPITAXY Theory and Practice, ACADEMIC PRESS, INC.
- [32] M. RAZEGHI : THE MOCVD CHALLENGE, Adam Hilger Bristol & Philadelphia.
- [33] S. Nakajima, K. Otobe, T. Katsuyama, N. Shiga, and H. Hayashi, "OMVPE grown GaAs MESFETs with step-doped channel for MMICs," 1988 GaAs IC Symposium Tech. Dig., Tennessee, pp. 297-300 (Nov. 1988).

- [34] S. Nakajima, K. Matsuzaki, K. Otobe, H. Nishizawa, N. Shiga, Symposium Dig., San Diego, pp. 1443-1447 (May 1994).
- [35] S. Nakajima, K. Matsuzaki, K. Otobe, H. Nishizawa, and N. Shiga, vol. 42, no. 12, pp. 2517-2524 (Dec. 1994).
- [36] K. Ohta, K. Itoh, F. Hasegawa, and Y. Fukui, "Super low noise GaAs 27, no. 6, pp. 1029-1034, 1980
- [37] 中島 成,乙部健二,桑田展周,生駒暢之,松崎賢一郎,志賀信夫,林 秀樹: 集, 29p-Z-13, p1083 (1989).
- [38] 桑田展周,乙部健二,中島 成,生駒暢之,志賀信夫,林 秀樹: "RTA がパル p1177 (1990).
- [39] 粟野祐二: "各種 GaAs FET におけるショートチャンネル・ピンチオフ特性の統 (1990).
- [40] 中島 成,乙部健二,勝山 造,志賀信夫,林 秀樹,吉田健一: "パルスドープ (1988).
- [41] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, Devices for Satellite Communications," 1990 Joint Conference on (JC-CNSS), Korea, pp. 139-143 (Dec. 1990).

[42] 中島 成, 乙部健二, 志賀信夫, 勝山 造, 阿河圭吾, 林 秀樹: "パルスドープ

42

参考文献

"Enhancement-mode GaAs MESFET Technology for Low Consumption Power and Low Noise Applications," 1994 IEEE MTT-S Int. Microwave

"Enhancement-mode GaAs MESFET Technology for Low Consumption Power and Low Noise Applications," IEEE Trans. Microwave Theory Tech.,

MESFET's with a deep-recess structure," IEEE Trans. Electron Devices, vol.

"RTA がパルスドープ構造 GaAs MESFET に及ぼす影響", 第50回応物秋季予稿

スドープ構造 GaAs に及ぼす影響", 第51 回応物秋季予稿集, 29a-ZK-6,

一的解釈~モンテカルロ解析",信学技報,ED90-109,CPM90-84,pp.25-30

構造を有する GaAs MESFET", 第49 回応物秋季予稿集, 5p-D-8, p976

and H. Hayashi, "Capability of Pulse-doped GaAs MESFETs as active Communication Networks, Switching System & Satellite Communications

構造低雑音 GaAs MESFET", 1989 信学春季全大, C-103.

- [43] 乙部健二, 中島 成, 勝山 造, 阿河圭吾, 志賀信夫, 林 秀樹: "パルスドープ 構造を有する GaAs MESFET (2)", 第36回応物春季予稿集, 2p-T-13, p1017 (1989).
- [44] 乙部健二, 中島 成, 桑田展周, 松崎賢一郎, 関口 剛, 志賀信夫, 林 秀樹: "パルスドープ構造低雑音 GaAs MESFET", 信学技報, ED89-152, MW89-133, pp.7-12 (1990-01).
- [45] R. Goyal : MONOLITHIC MICROWAVE INTEGRATED CIRCUITS, Technology and Design, Artech House.
- [46] Fukui, H., "Optimal noise figure of microwave GaAs MESFET's," IEEE Trans. Electron Dev., vol. 26, no. 7, pp. 1032-1037, 1979.
- [47] 乙部健二, 中島 成, 桑田展周, 関口 剛, 松崎賢一郎, 志賀信夫, 林 秀樹: "パルスドープ構造 GaAs MESFET の活性層薄層化の効果", 1990 信学秋季全大, C-419.
- [48] S. Nakajima, K. Otobe, N. Kuwata, N. Shiga, K. Matsuzaki, and H. Hayashi, "Pulse-doped GaAs MESFETs with planar self-aligned gate for MMIC," 1990 IEEE MTT-S Int. Microwave Symposium Dig., Dallas, pp. 1081-1084 (May 1990).
- [49] 中島 成,乙部健二,桑田展周,志賀信夫,関口 剛,松崎賢一郎,林 秀樹: "パルスドープ構造 GaAs MESFET の特性解析", 信学技報, ED90-130, MW90-120, ICD90-174, pp.35-40 (1991-01).
- [50] S. Nakajima, K. Otobe, N. Shiga, N. Kuwata, Matsuzaki, T. Sekiguchi, and H. Hayashi," Low-Noise Caharacteristics of Pulse-doped GaAs MESFET's with Planar Self-Aligned Gates," IEEE Trans. Electron Devices, vol. 39, no. 4, pp. 771-776, 1992.
- [51] 宮 憲一:衛星通信技術、電子通信学会
- [52] R. A. Pucel, "Profile design for distortion reduction in microwave fieldeffect transistors," Electron Lett., 1978, p. 204.

- [53] S. L. G. Chu, J. Huang, W. Struble, G. Jackson, N. Pan, M. J. Microwave Symp. Dig., 1991, pp. 725-728.
- [54] N. Iwata, K. Inosako, M. Kuzuhara, "3V operation L-band power double-1993, pp. 1465-1468.
- [55] K. Hikosaka, Y. Hirachi, M. Abe, "Microwave Power Double-589.1992.
- [56] E. Yanokura, et al., "GaAs MESFETs fabricated by new self-alignment and Materials, 1987, pp. 263-266.
- pp.89-96.
- [58] N. Kuwata, K. Otobe, N. Shiga, S. Nakajima, T. Sekiguchi, T. Hashinaga, R. MESFET With Planar Gate Structure For Low Distortion Power (Oct. 1993) .
- 予稿集, 30a-ZP-5, p1271 (1992).
- 1992, Karuizawa, pp. 761-766 (Sept. 1992).

44

参考文献

Schindler, Y. Tajima, "A highly linear MESFET," in IEEE MTT-S Int.

doped heterojunction FETs," in IEEE MTT-S Int. Microwave Symp. Dig.,

Heterojunction HEMT's," IEEE Trans. Electron Dev., vol. 33, no. 5, pp. 583-

technology," in Extended Abstracts of 19th Conf. on Solid State Devices

[57] 水田 博,山口 憲,矢ノ倉栄二,森 光廣,高橋 進: "ゲート・ドレイン間表 面空乏層による GaAs MESFET の長ゲート効果", 信学技報, ED86-142,

Sakamoto, K. Matsuzaki, and H. Nishizawa, "High Breakdown Voltage Applications," 1993 GaAs IC Symposium Tech. Dig., San Jose, pp. 181-184

[59] 桑田展周,坂本良二,乙部健二,志賀信夫,中島 成,松崎賢一郎,林 秀樹: "アドバンスドパルスドープ構造 GaAsMESFET の高耐圧化",第53回応物秋季

[60] K. Otobe, N. Kuwata, N. Shiga, S. Nakajima, K. Matsuzaki, and H. Hayashi, "Low-distortion MESFET with Advanced Pulse-doped Structure for Power Application," the 19th Int. Symposium on GaAs and Related Compounds

[61] 乙部健二, 桑田展周, 中島 成, 志賀信夫, 松崎賢一郎, 関口 剛, 林 秀樹: "耐圧を改善したパルスドープ構造 GaAs MESFET", 1992 信学春季全大, C-

479.

- [62] 松崎賢一郎, 中島 成, 乙部健二, 桑田展周, 志賀信夫, 関口 剛, 林 秀樹: "0.2 µ m ゲートパルスドープ構造 GaAs MESFET", 1992 信学春季全大, C-480.
- [63] K. Matsuzaki, N. Kuwata, S. Nakajima, K. Otobe, N. Shiga, and H. Nishizawa, "Low Noise MMIC Technology with Pulse-Doped GaAs MESFET," Proc. IEICE Asia-Pacific Microwave Conference (APMC'94), Tokyo, vol. 1, pp. 283-286 (Dec. 1994).
- [64] N. Kuwata, S. Nakajima, T. Ktsuyama, K. Otobe, K. Matsuzaki, T. Sekiguchi, N. Shiga, and H. Hayashi, "Pseudomorphic GaAs/GaInAs pulsedoped MESFETs grown by organometallic vapor phase epitaxy," the 18th Int. Symposium on GaAs and Related Compounds 1991, Seattle, pp. 143-148 (June 1991).
- [65] 桑田展周, 中島 成, 勝山 造, 志賀信夫, 林 秀樹: "OMVPE 成長 GaInAs/ GaAs 歪量子井戸", 第38回応物春季予稿集, 28p-ZK-9, p224 (1991).
- [66] 桑田展周, Taylor W. J., 吉田伊知朗, 勝山 造, 志賀信夫, 林 秀樹: "OMVPE 成長 GaInAs/GaAs 量子井戸の熱的安定性",第39回応物春季予稿集, 28p-ZA-9, p205 (1992).
- [67] 桑田展周, 中島 成, 志賀信夫, 乙部健二, 関口 剛, 松崎賢一郎, 林 秀樹: "Pseudomorphic GaAs/GaInAs パルスドープ MESFET", 信学技報, MW91-48, pp.11-16 (1991-07).
- [68] 桑田展周, 中島 成, 志賀信夫, 乙部健二, 松崎賢一郎, 関口 剛, 林 秀樹: "Pseudomorphic pulse-doped GaInAs MESFETs", 1991 信学秋季全大, C-346.
- [69] S. Nakajima, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Electronic properties of a pulse-doped GaAs structure grown by organometallic vapor phase epitaxy," Appl. Phys. Lett., 57 (13), 24, pp. 1316-1317, 1990.

- [70] S. Nakajima, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Hot Technol., 7, pp. B372-374, 1992.
- [72] S. Nakajima, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Hot on Hot Carriers in Semiconductors, Hawaii (June 1991).
- [74] S. Nakajima, K. Otobe, N. Kuwata, N. Shiga, T. Sekiguchi, K. Matsuzaki, Transistors Conference, Nara (Dec. 1990).
- [76] S. Nakajima, N. Kuwata, N. Shiga, K. Otobe, K. Matsuzaki, T. Sekiguchi, MESFET's," IEEE Electron Lett., vol. 14, no. 3, pp. 146-148, 1994.
- C-419.
- [78] N. Shiga, S. Nakajima S., and H. Hayashi, "Metal-Semiconductor Field-(Sept. 1992) .

46

参考文献

electron transport in a pulse-doped GaAs structure," Semicond. Sci.

[71] 中島 成, 桑田展周, 西山直樹, 志賀信夫, 林 秀樹: "パルスドープ構造 GaAs MESFETの界面特性", 第37回応物春季予稿集, 31p-D-12, p1147 (1990).

Electron Transport in a Pulse-doped GaAs structure," the 7th Conference

[73] 中島 成,西山直樹,桑田展周,志賀信夫,林 秀樹: "パルスドープ構造 GaAs の高電界輸送特性", 第38回応物春季予稿集, 28a-M-5, p1115 (1991).

and H. Hayashi, "A Comparison of Device Performance and Device Physics between Pulse-doped FETs and HEMTs," 1990 Advanced Heterostructure

[75] 中島 成, 桑田展周, 乙部健二, 志賀信夫, 松崎賢一郎, 関口 剛, 林 秀樹: "ダブルパルスドープ構造 GaAs MESFETs", 1991 信学秋季全大, C-331.

and H. Hayashi, "Characterization of Double Pulse-Doped Channel GaAs

[77] 乙部健二, 中島 成, 桑田展周, 関口 剛, 松崎賢一郎, 志賀信夫, 林 秀樹: "パルスドープ構造 GaAs MESFET の活性層薄層化の効果", 1990 信学秋季全大,

Effect Transistors," MWE '92 Microwave Workshop Dig., pp. 413-418

● 目前の小い気が出来トランジスクの気化用化

第3章 衛星放送受信ダウンコンバータ用 モノリシックマイクロ波集積回路

3.1 緒言

モノリシックマイクロ波集積回路(MMIC)とは半導体基板上に能動素子および受動 素子を一体に形成する回路であり、これに対して能動素子や受動素子を個別に誘電体基 板上に実装する回路をマイクロ波混成回路(HMIC)と呼ぶ。後者は単にマイクロ波集積 回路(MIC)と言うこともあるが、本論文では、モノリシックマイクロ波集積回路及びマ イクロ波混成回路を総称して、マイクロ波集積回路と記する。これまで MMIC と HMIC は相対するものとして比較されてきたが、MMIC、HMIC ともにその発祥は同じく 1960 年代であり、現在でもなお両者は広く用いられている。すなわちそれぞれの持つ特徴が 認識され、用途に応じて有効に活用されているのである。

MMICとHMICがそれぞれ有する利点を表3-1にまとめる。MMICでは、①小形・軽 量、②高信頼性、③実装コスト低減、④大量生産性、⑤広帯域性、⑥高集積化・多機 能化に優れている。すなわち、MMICは大量生産され小型化の要求が強いものに適して いると考えられる。一方HMICでは、①放熱性に優れている、②安価な材料費、③使 用できる受動素子の選択枝が広い、④製造後の回路調整が可能、⑤伝送線路の損失が小 さい、⑥取り扱いが容易であるといった利点がある。すなわち、MMICと異なり、数は 少なくても高性能なデバイスに適していると考えられる。このようにMMICとHMICは それぞれ特徴があり、目的や用途に応じて使い分けられる。 第3章 衛星放送受信ダウンコンバータ用モノリシックマイクロ波集積回路

MMIC	HMIC
・小型・軽量	 良好な放熱性
·高信頼性	・ 安価な材料費
・実装コスト低減	・ 受動素子の選択枝大
・大量生産性	・ 製造後の回路調整
·広帯域化	・ 伝送線路が低損失
・高集積化・多機能化	・ 取り扱いが容易

表3-1 MMICとHMICの特徴

MMICの歴史は1960年代なかばにシリコン(Si) ウエハを用いる Si-MMICの開発に 始まり [1]、その後 1968 年に Mehai and Wackar によってガリウムヒ素(GaAs) ウエ ハ上にショットキーダイオードやガンダイオードを形成した94GHzのフロントエンド受 信機が、世界初のGaAs MMICとして発表された [2]、1975年には、現在広く用いられ ている GaAsMMIC の原形である GaAs MESFET を用いた X 帯 GaAs MMIC 増幅器が Pengellyらにより発表された [3]。1980年代に入ると、半導体製造技術の進歩に伴って MMICの研究開発は飛躍的に加速され、HMICでは広帯域特性を得ることが難しかった 分布形増幅器の発表があいついで行われるようになった[4]。MMICを用いることにより FETの寄生のリアクタンス成分を小さくすることができ、広帯域特性が得られるため MMICでなければ実現できない応用分野であった。MMICの開発に拍車をかけた最大の 要因は防衛機器への応用であり、むしろ当初はコスト面で民生応用に供することが困難 であったため、このような特殊用途に限られていたのであるが、1980年代後半から1990 年にかけて、急速にMMICの民生応用に関する研究が活発になった[5]-[8]。GaAsや InPなどの化合物半導体材料や集積回路の製造プロセス技術、結晶成長技術の進歩によっ て、民生応用に供し得るコストが実現可能となってきたこと、東西の冷戦構造の終結な どがこの要因である。民生応用の代表的な物として、衛星放送の受信機器やマイクロ波 を用いた移動体通信や衛星通信機器への応用、ミリ波を用いた観測センサ、車載レーダ、 無線 LAN (Local Area Network) 等への応用などがあげられる。

日本においても1989年に初の民間通信衛星として、日本通信衛星株式会社のJCSAT-

1が、さらに同年引き続いて宇宙通信株式会社のスーパーバードA号機が打ち上げられ、 また放送衛星BS-3aが打ち上げられるなど、我が国は本格的な衛星通信・衛星放送時代 を迎えた。今後のマイクロ波集積回路の開発は民生応用を柱として進み、要求されるコ ストはより厳しく、また必要な性能・仕様はますます多様になると考えられる。これら を実現する上でデバイス技術、プロセス技術、回路技術の開発がますます重要になるが、 中でもとりわけデバイス技術はその性能・コストを支配する重要な技術である。ところ で、衛星放送受信用コンバータのような民生機器に応用するためのデバイスアプローチ として報告されているものには、大きく分けて二つある。一つはイオン注入技術を用い た GaAs MESFET であり、もう一つはHEMT である。前者はその優れた生産性に特長 があり、後者は低雑音特性や高利得特性の点で他のデバイスを寄せつけない。既にディ スクリートデバイスとしては、特に衛星放送受信用コンバータの市場において確固たる 地位を築いている。一方、集積化という観点からは、HEMT はその基本構成素子として 必ずしも唯一の最適解ではないと考える。報告されているコンバータ用MMIC(基本構成 素子はイオン注入の MESFET) においても、ヘッドに1段乃至2段のディスクリート HEMT による増幅段を付加する形で提案されているものもある [8]。

このような背景のもと本研究では、通常のイオン注入型MESFETにおける成熟した製 造技術により生産可能なトランジスタとして、マイクロ波帯における低雑音特性に関し、 同じゲート長を有するAlGaAs/GaAs HEMTに匹敵する性能を実現し、MMICの基本構 成素子として集積化も可能な新しいデバイス技術として、パルスドープ構造GaAs MESFETを提案し、第2章で詳しく述べた。本章の目的は、小型で低コスト、且つ生産 性に優れた衛星放送受信用コンバータを開発することであり、これをパルスドープ構造 GaAs MESFETの技術を用いて実現することにより、MMICへの適用性を実証すること である。コンバータをMMIC化する最大のメリットは小型化にある。最近の平面アンテ ナの技術進歩により、従来のパラボナアンテナは、少しずつ平面アンテナに置き換えら れていくものと予想されるが、平面アンテナのスリムなファッション性を活かすために、 ますます MMICによるコンバータの小型化が重要である。

本章では、パルスドープ構造 GaAsMESFET の優れた特長である、HEMTに匹敵する 低雑音特性とMMICの基本構成素子として十分に適用可能であることを実証するために、 衛星放送受信用ダウンコンバータを構成するための4種類のMMIC、すなわち12GHz帯 低雑音高周波(RF)増幅器、12GHz帯ミキサ回路、10GHz帯発振回路、1GHz帯中間 周波増幅器に関して、その設計および試作結果について述べている。まず、この MMIC の構造及び製造方法について述べ、適用したゲート長0.5 μ mのパルスドープ構造 GaAsMESFETの回路設計に必要なデバイスパラメータを分析している。そして4種類の MMIC に関して、パルスドープ構造 GaAsMESFET の特長を活かした回路設計手法を明 らかにし、これらの MMIC の試作結果と実際にこれらの MMIC を用いて行った衛星放送

3.1 緒言
の受信実験結果について述べている。

3.2 モノリシックマイクロ波集積回路の構造

MMICとHMICの構造の比較を図 3-1 に示す [9]。MMICでは半導体基板上に MESFETやHEMTなどの能動素子とキャパシタ、インダクタ、抵抗などの集中定数素子 と、マイクロストリップ線路、コンプレーナ線路などの分布定数素子が一体に形成され る。一方HMICでは、上記の能動素子および受動素子が個別に実装される。回路基板と しての誘電体基板については、MMICではGaAs、Si、InPなどに限られ、比較的誘電率 が低いが、HMICではテフロン、溶融石英の低誘電率基板からアルミナ、サファイア、チ タン酸バリウム系の高誘電率基板に至るまで広範囲な誘電体基板が用いられその選択枝 は広い。分布定数線路については、MMICおよびHMICともに主として図 3-2 に示した ようなマイクロストリップ線路およびコプレーナ線路が用いられる。コプレーナ線路の 場合、基板の裏面の影響を小さくするために厚い基板が用いられるが放熱が悪くなるた め、コプレーナ線路は主として熱の影響が小さい回路に応用される。集中定数素子とし てのキャパシタは、MMICの場合 Metal-Insulator-Metal (MIM) キャパシタが主とし て用いられる。MIM キャパシタはSiO2、Si3N4、SiON などを誘電体とするため、大き





な容量を得ることが難しく、容量値を正確に制御することも難しい。一方HMICでは、広 範囲な容量を得ることができる板極形または積層形キャパシタが用いられる。インダク タについては、MMICではスパイラルインダクタまたは高インピーダンスのマイクロス トリップ線路が用いられるが、スパイラルインダクタは大きなインダクタンス値を得る ことが難しい上、Q値が低い欠点もある。HMICの場合、大きなインダクタンスを有す る巻線コイルなども用いることができる。抵抗については、MMICではプロセスにより 注入抵抗、エピ抵抗などの半導体抵抗、金属薄膜抵抗などを選ぶことができるが、シー ト抵抗に制約があり、実現できる抵抗値にもおのずと制約が生じる。HMIC では基板に 直接作り付ける金属薄膜抵抗以外にディスクリート抵抗の使用も可能である。マイクロ



3.2 モノリシックマイクロ波集積回路の構造

図3-2 分布定数線路



図3-3 MMICの断面図

ストリップ線路方式の回路では裏面接地が必要であり、MMICではウェットまたはドラ イエッチングにより形成したバイアホールにより接地をとる。HMICではレーザまたは 機械的なパンチングにより形成したスルーホールにより接地をとる場合が多いが、基板 にストレスがかかり割れやすくなったり、スルーホールの径の大きさ、位置精度などに 制約が生じる。素子間の接続については、MMICでは主として伝送線路やエアーブリッ ジが用いられ、HMICでは伝送線路の他にボンディングワイヤや金リボンが用いられる。

図3-3に試作した MMICの断面図を示す [10]。MMICの構成素子は、能動素子として ゲート長0.5 µm、ゲート幅280 µmのパルスドープ構造GaAsMESFET、コンデンサ としてMIMキャパシタ、インダクタ素子としてスパイラルインダクタ、分布定数線路と してマイクロストリップ線路などを用いた。マイクロストリップ線路を選択したのは、コ プレーナ線路の場合中心導体の両側に接地導体があり、中心導体の両端に電界が集中し 実行断面積が小さくなるために損失が大きくなり、低雑音増幅器に適さないからである。 したがってウエハを150 µmに薄層化し、図3-3に示したようにヴィアホールを形成し、 ウエハ裏面を接地している。配線は2層配線構造であり、第1層配線は厚さ 6000 Åの Au/Pt/Ti構造、第2層配線は厚さ3 µmの金メッキ配線、両配線層の層間絶縁膜とし て厚さ 3000 ÅのSiONを形成した。配線が交差するところで、配線間の容量を小さくし たいところはエアーブリッジ構造とした。

3.3 設計パラメータの抽出

図3-4にゲート長0.5 μ m、ゲート幅280 μ mのFETの代表的なI-V特性を示す。Idss (Vg = 0V、Vd = 2V) は57mA (204mA/mm)、Vthは-IV、最大伝達コンダクタン ス (gmmax) は90mS (320mS/mm) である。各FETは前章で述べたようにゲートへ の給電点数を3とした。ゲートへの給電点数を増すとゲート抵抗を低減する効果と、ゲー ト給電回路部分の寄生容量を増加させる効果のトレードオフにより、雑音指数を最小に する最適値が存在するからである。図3-5にデバイスサイズ 0.5 μ m×280 μ m、3給 電点FETの12GHzにおける最小雑音指数Fminおよび付随利得Gaのドレイン電流依存 性の測定結果を示す。12GHzにおけるFminが最小となるドレイン電流は15mAで、Idss の26%に相当する。そのときのFminは1.2dBである。またドレイン電流がIdssの10 %から80%の広い範囲でFminのドレイン電流依存性が非常に小さく、通常の GaAsMESFETに比べて低いドレイン電流領域での利得が高い。これはパルスドープ構造 GaAs MESFETの大きな特長であり、低雑音アンプを設計する際に設計マージンが大き いため、とりわけ回路調整が不可能なMMICの構成素子として適している。また、HEMT



図3-4 パルスドープ構造GaAsMESFETのI-V

3.3 設計パラメータの抽出



図3-5 最小雑音指数Fminと付随利得Ga

と異なり高ドレイン電流領域においてもGaが低下しないことも本素子の特長である。次 に同じFETに関し、Fminが最小となるバイアス条件 (Vd = 2V, Id = $0.26 \times Idss$) に おけるSパラメータをオンウエハプロービングによって測定した結果を図 3-6 に示す。

また、分布定数線路の設計には、GaAs 基板の誘電率と損失を正確に知ることが重要で ある。ここで、真に重要なことは、GaAsの真の物性値ではなく設計に用いる CADへの 入力データとしてどのような値を用いれば、最も実測値とよく合うかということである。 そこで、実際にGaAs基板上にリング共振器を試作し実測により求めた[11]。図3-7に、 試作のために設計したマスクパターン図を示す。このマスクにはリングの他にも、MMIC で用いられる種々の受動部品が設計されており、各々実測により設計データとして蓄積 するためのものである。リング共振器は特性インピーダンス50Ωのマイクロストリップ 線路であり、リングの直径は8mm、両端に5µmのギャップを介してマイクロ波プロー ブヘッド用のパッドを設けた。20GHzまでのSパラメータの測定により、形成したリン グの周囲長を共振周波数とする4つの共振ピークが現れるが、この共振周波数から波長 短縮率を求めることができ、この値から GaAs 基板の実効誘電率 ϵ eff を、計算式 (cf0/ λ)2により求めることができる。ここでcは光の速度、f0は測定周波数、λは波長であ る。上述のように、実際に回路設計で必要となるのはこの値ではなく、このリングと全





図3-7 GaAs基板上の線路をキャラクタライズするためのパターン

56



く同じ構造をシミュレーションし、測定結果と一致するようにεeffをフィッティングさ せることにより、CADへの入力データとして適切な値が得られる。損失は共振の負荷Q とS21から求めることができ、測定結果およびシミュレーション結果を表 3-2 に示す。

回路シミュレーションのための CAD には、ヒューレットパッカード社の HP85150B Microwave and RF Design Systems (MDS) を用いた。マイクロ波回路の設計にはFET の等価回路およびその定数が最も基本的なパラメータであるが、これは回路に用いる FETのSパラメータの測定値から、回路シミュレーションによるフィッテイングにより

f0[GHz]	λ[mm]	٤ _{eff}		挿入損失 α (dB/mm)	
		$(c/f0\lambda^2)$	シミュレ ーション	測 定	シミュレーション
4.20	25.1	8.15	8.33	0.024	0.020
8.40	12.5	8.06	8.35	0.032	0.030
12.6	8.38	8.06	8.38	0.042	0.040
16.8	6.28	8.07	8.40	0.048	0.050





図3-8 小信号等価回路モデル

3.4 衛星放送受信ダウンコンバータ用モノリシックマイクロ波集積回路

求めることができる。フィッティングとは、CADに等価回路を入力し、その各等価回路 のパラメータを乱数発生により次々と値を変化させながら、Sパラメータを計算しこれが 測定値と一致(所定の誤差より小さくなる)するまで試行錯誤することにより、パラメー タを求めることである。図 3-8 に今回の回路で用いるゲート長0.5 µm、ゲート幅280 μmのパルスドープFETの、最も雑音指数が小さくなるバイアス点、すなわち Id=0.26 Idss、Vd=2Vにおける等価回路を示す[12]。このバイアス条件における伝達コンダク タンスgmは67.3mS (240mS/mm) であり、fTは21.5GHzであった。

3.4 衛星放送受信ダウンコンバータ用 モノリシックマイクロ波集積回路

3.4.1 ダウンコンバータの構成

図 3-9 に、MMIC コンバータのブロック図を示す [10]、[12]、[13]。チップ構成は機 能別に、12GHz 帯 RF 低雑音増幅器 (LNA)、ミキサ (MIX)、10.7GHz 発振回路 (DRO)、 1GHz帯IF増幅器(IFA)の4つとした。コンバータを構成する際に、これらのIC以外 に必要な部品は誘電体共振器のみである。



3.4.2 RF 低雑音増幅器

MMICを構成するFETのゲート幅は、実際にいくつかのゲート幅の異なるFETを試 作し測定により決定した [13]。Fminはゲート幅 200 μ m~300 μ m のあたりに最適値 があり、また雑音抵抗Rnはゲート幅の増加とともに急激に小さくなり、ゲート幅250 μ m くらいから飽和し始める。この測定結果から、適用する FET のゲート幅を 280 μ m とした。狭帯域の低雑音アンプの設計には誘導性の直列誘導性帰還 (series inductive feedback)が用いられることが多い [15]、[16]。本章では低雑音アンプの設計に関し、 このseries inductive feedbackの大きさ(帰還量)を最適化することをポイントにした。 よく知られているように、Rollettのstability factor "K" [17] は低雑音デバイスほど 小さい傾向を示し、0.5 µm×280 µmのパルスドープMESFETにおいてもKは12GHz で0.45と非常に小さい。低雑音アンプを設計する際の問題点は、Kが1より小さいデバ イスは入出力で同時にインピーダンスマッチングをとることが困難であること、FETの 雑音指数を最小にする最適信号源反射係数Γ opt と入力反射係数の複素共役S11*が一 致していないために入力インピーダンスマッチング (ゲインマッチング) と低雑音設計 (ノイズマッチング)を両立できないことである。

多段の低雑音アンプにおいて雑音指数は初段の雑音指数が支配的であるため、初段は 雑音整合(ノイズマッチング)をとるのが一般的である。雑音整合とはFETの信号源イ



図3-10 ソーススタブ長(直列誘導性帰還量)を最適化するためのTEG



ンピーダンスを、雑音指数が最小になるように整合をとることである。しかしながらノ イズマッチングをとった場合のアンプの入力VSWRを計算すると6以上になってしまう。 series inductive feedbackの効果は、①Fminを大きく劣化させることなくKファクタ を大きくする、②ΓoptとS11*を近づける、③等価雑音抵抗Rnの値を小さくするなど、 上述の設計上の2つの問題点を解決するばかりでなく、負帰還によって製造ばらつきに対 する余裕度が増し歩留りの向上が期待できる。この歩留りの向上の効果については第4 章で詳しく議論する。しかしながらその反面、帰還量を大きくし過ぎると利得が低下し、 アイソレーション特性が劣化するというデメリットもある。したがって帰還量の選び方 は設計上極めて童要であり、これを最適化するために帰還量とFETの各パラメータの関 係をシミュレーションによって詳細に解析し、さらにシミュレーション精度を向上させ るため実際に評価用のTest Element Group (TEG) を作成し、測定により確認した [18] - [23]。図 3-10 はこの TEG のチップ写真であるが、0.5 µm×280 µmのパルスドー プMESFETのソースとグラウンドの間に series inductive feedback として装荷したス タブの長さ(即ちインダクタンスの大きさ)を変化させたものである。スタブはマイクロ ストリップラインで構成し、特性インピーダンスは72Ωとした。ドレイン電流の片流れ を防ぎ回路の対称性を保つため、図3-11に模式的に示したようにスタブをFETに対し て両側に対称に配置しており、回路的に2つのスタブは並列接続されるためインダクタ ンスの値は一つのスタブによるインダクタンスの2分の1となる。

60





図3-12 「optとS11*の距離とスタブ長の関係

図 3-12 は Γ opt と S11*の距離が、スタブ長が長くなるほど近づく様子を示したもの である。測定条件はFETの雑音指数が最小となるバイアス条件で、測定周波数は12Hz、 スタブ長は0~800 µmとした。TEGによる測定結果とシミュレーション結果はよく一 致している。設計の目標は初段増幅器としてHEMTを用いることなく、直径40cmのパ ラボラアンテナで受信可能とするべく、雑音指数2.0dB以下、入出力VSWR2以下とし た。利得は、後段のミキサや IF 増幅器の雑音指数の影響を無視できるよう 24dB を設計 目標とした。まず初段の設計について述べる。図 3-13 (a) は Rollett の stability factor "K"の値とスタブ長の関係、図 3-13 (b) は FET の最小雑音指数 Fmin および等価雑音 抵抗Rnとスタブ長の関係をそれぞれ示したものである。測定条件は図3-12の場合と同 じである。やはりTEGによる測定結果とシミュレーション結果はよく一致していること がわかる。K>1とするためにはFETのソースに挿入されたスタブ長は400 µ m以上が 必要であることがわかる。またFminはスタブ長の変化に対してほとんど影響を受けない が、わずかに小さくなる傾向がある。これは最小雑音測度 Mmin が無損失の帰還回路に 対して一定であること、MminとFminの関係、すなわち Mmin=(Fmin-1)/(1-1/Gav) から、スタブ長が大きくなると負帰還量が大きくなり有能利得 Gav が低下することから Fminが小さくなることがわかる。等価雑音抵抗Rnはスタブ長が大きくなるほど、すな











わち負帰還量が大きくなるほど改善されることがわかる。これは低雑音増幅器の製造ば らつきを小さくする上で極めて重要であり、これについては第4章で詳しく論ずる。

狭帯域アンプの設計においてKファクタは必ずしも1以上である必要は無いが、以下 に述べる点に関してスタブ長として400μm以下を選択することはできない。図 3-14 は、各々のスタブ長の場合に雑音指数が最小になるように入出力マッチング回路を最適 化した時(以下、この場合もノイズマッチングと呼ぶ)の入出力VSWRの値をシミュレー ションした結果であるが、スタブ長400μm以下ではノイズマッチングをとる場合入力 VSWRを目標の2以下にできるマッチング回路が存在しないことがわかる。したがって 与えられた入力VSWRの要請から400μm以上のスタブが必要である。また図3-13(a) からわかるようにスタブ長400μm以下の領域はわずかなスタブ長の変化に対してK ファクタが敏感に変化する領域であり、FETのばらつきに対する余裕度が小さく歩留り が悪くなる危険性がある。したがって、スタブ長は400μm以上でなければならない。 なお、同図より出力側についてはスタブ長にかかわらず出力VSWRをほぼ1とすること 3.4 衛星放送受信ダウンコンバータ用モノリシックマイクロ波集積回路



図3-15 利得 (ゲインマッチング) のシミュレーション結果

ができるマッチング回路が存在するため考慮する必要はないことがわかる。最適なスタ ブ長は、400 µ m以上という必要条件の下で目標利得を達成するために必要な段数と後 段設計の考察から決定される。

多段アンプの場合、2段目以降はゲインマッチングをとるのが一般的である。図3-15 は入出力VSWRが最小になるように入出力マッチング回路を最適化(以下この場合もゲ インマッチングと呼ぶ)した場合の1段当たりの利得をシミュレーションした結果であ る。初段をノイズマッチング、2段目以降をゲインマッチングとした場合3段で目標の利 得24dBを達成するためには初段のスタブ長を400 μ m としてもその利得は6.8dBであ るから、2段目以降のアンプは1段当たり(24-6.8)÷2=8.6dB以上の利得が必要とな る。図3-15からわかるようにスタブ長300 μ m の時、利得は最大(8.8dB)となりかろ うじて3段で目標を満足できる値になっている。スタブ長300 μ m 以下で利得がスタブ 長300 μ m の場合より小さくなるのは、Kが1より小さいために入出力のインピーダン スマッチングが両立できないからである。次に図3-16(a)にゲインマッチングをとる場



合の入力VSWR、図 3-16 (b) に出力VSWRのシミュレーション結果を示す。入出力 VSWRはスタブ長300 µ m以上でほぼ1になるが、300 µ mを境に300 µ m以下では 入出力VSWRは急激に劣化することがわかる。このように、スタブ長を300 µmにすれ ば、シミュレーション上は3段で目標仕様のアンプを実現できることになるが、利得の点 においても入出力インピーダンスの点においても非常にきわどい設計となる。これは、 FETの製造ばらつきによってアンプの特性が大きく変化し、歩留りが小さくなる危険性 のあることを意味している。したがって2段目以降をゲインマッチングとする場合もスタ ブ長は400 µ m 以上とするべきであり、少なくとも4段構成にしなければならない。

4段構成とする場合1段当たりに必要な利得は6dBとなる。図3-14、図3-15より/ イズマッチングの場合もゲインマッチングの場合もスタブ長が800 µ m以下であれば1 段当たり6dB以上の利得があることがわかる。一方、図3-14よりノイズマッチング の場合でもスタブ長が700 µ m以上あれば入力VSWRは1.3以下と充分小さく、従属接 続は可能でありまた、スタブ長700μmとするとゲインマッチングにしても利得はノイ ズマッチングの場合とさほど変わらず、また目標利得を十分に達成することができる場 合には、後段をゲインマッチングにする必要は無く、雑音指数の観点から各段ノイズマッ チングのアンプを従属接続する方が有利である。以上の考察により、回路方式は決定さ れた。図 3-17 に等価回路図を示す。

図3-18に試作した低雑音アンプのチップ写真を示す。チップサイズは2.0×4.5mm²







66

3.4 衛星放送受信ダウンコンバータ用モノリシックマイクロ波集積回路

図3-17 低雑音増幅器の等価回路

図3-18 MMIC低雑音増幅器のチップ写真

図3-19 MMIC低雑音増幅器の測定結果

第3章 衛星放送受信ダウンコンバータ用モノリシックマイクロ波集積回路



である。図3-19(a) に雑音指数および利得の周波数特性を示す。電源電圧は8Vであり、 ゲートバイアス電圧を最適値に調整する。12GHzにおいて雑音指数は1.67dB、利得は 24.0dBであった。また、11GHzから13GHzの周波数範囲で雑音指数は最大0.2dBしか 変化せず極めて平坦な周波数特性を得ている。図3-19(b) に入出力 VSWRの周波数特 性を示す。12GHzにおいて入力 VSWRは1.3、出力 VSWRは1.4であった。また、11GHz から13GHzの周波数範囲で入出力 VSWRはともに1.7以下であり、ともに周波数依存性 は小さい。



図3-22 雑音指数の分布ヒストグラム

図3-20に雑音指数および利得の電流依存性、図3-21に入出力VSWRの電流依存性を 示す。これはゲートバイアス電圧を操作しアンプが消費する電流(Idd)を変化させて測 定したものである。FETのしきい値電圧Vthの製造バラツキ等ある程度避けられないも のであるが、製造プロセス終了後にチューニングの困難なMMIC場合、歩留りの観点か らこの特性は重要である。図3-20、図3-21から雑音指数、利得および入出力VSWRの 電流依存性は20mAら100mAの広い範囲において極めて小さく、設計余裕、プロセス 余裕の大きいことがわかる。特に雑音指数の電流依存性が小さいことは、先に図3-5に 示したようにパルスドープMESFETの特徴に起因しており、この特徴を活かした設計に なっていることが実証された。

次にこの MMIC アンプの製造ばらつきについて述べる。図 3-22 に、雑音指数の分布 ヒストグラムを示す。これは同一ロット2枚のウエハからの結果である。N数がやや少な いのは試作したマスクに複数の回路が搭載されており、1ショットのサイズが大きいため である。また母数は直流選別の結果、パスしたものの総数である。63%が雑音指数2.0dB 以下に入っており非常に高い歩留りが得られた。図3-23に同じく利得の分布を示す。目 標の24dBよりやや低いところにばらついているが、44%が23dB以上、75%が22dB以





図3-24 入出力VSWRの分布ヒストグラム



図3-25 電力特性の測定結果

上に入っており均一性は優れている。図 3-24 に入出力 VSWR の分布を示す。入力、出 力いずれも94%が1.4以下に入っており雑音指数、利得と同様、極めて均一である。雑 音指数 2.0dB以下、利得 22dB以上、入出力 VSWR1.4以下の全ての項目を満足するも のは63%であった。

最後に、図3-25に入力電力に対する出力電力の特性と、3次相互変調歪特性IM。を示 す。測定は11.804GHzおよび11.842GHzの2周波信号を用いて行った。その結果、1dB 抑圧出力電力Pupは8dBm、3次のインターセプトポイントIP。は15dBmであった。衛 星放送の受信の場合、RF 増幅器への入力信号は-80dBm から-50dBm であり、十分な 特性を実現した。

3.4.3 ミキサ

シングルゲートFETミキサの場合、局発信号をどの端子に与えるかによって3種類の 回路方式がある。これらの中で、ゲートに高周波 (RF) 入力信号と局発 (LO) 信号を加 える方式が一般的である[24]。局発信号が中間周波(IF)出力端子に漏洩すると、これ がIF増幅器を飽和させたり、不要なスプリアスが発生するため、ミキサ回路ではLO・IF 端子間のアイソレーションが重要である。この回路方式は、ゲート・ドレイン間のデバ イスアイソレーションにより、局発信号が IF 端子に漏洩するのを抑圧することができ、 他の回路方式に比べて回路が簡単になる利点がある。一方、RF信号をドレインに与え、 LO信号をゲートに与え、IF信号をソースから取り出す回路方式も提案されており、極め て小さい相互変調歪を実現している [25]。 本研究では、最も容易に高い変換利得が得られる前者の回路方式を採用した。図3-26 に回路図を示す。図3-26に示したように、FETはソース接地回路として動作する。この



70

3.4 衛星放送受信ダウンコンバータ用モノリシックマイクロ波集積回路



回路方式のミキサは動作モードとして2種類あり、一方はFETのI-V特性の非飽和領域 で動作させる非飽和型であり、他方はFETのI-V特性の飽和領域で動作させる飽和型で ある。ここでは、ショットキーゲート特性を利用する非飽和型に比べて低雑音である飽 和型を採用した [26]。飽和型の回路では、FETのgmの非線形性が主として周波数変換 (ミキシング)に寄与する。図3-27はFETのgmおよびIdのゲート電圧に対する特性で ある。ピンチオフ点 (P) または飽和点 (S) が高い変換利得の得られるバイアス点である が、一般的には (P) が使われることが多い [17]、[24]、[26]。しかしながら、パルスドー プFETを用いる場合、(P)より(S)を適用した方が、以下に述べるように興味深い。

FETの入力インピーダンスは入力抵抗R、すなわちゲート抵抗Rgとソース抵抗Rsお よびチャンネル抵抗 Riの和と、ゲート容量 Cgs を用いて近似的に、1/(R+jω Cgs) で 表される。Cgs はゲート電圧 Vg が Vth のあたりで急激に変化するため、FET の入力イ ンピーダンスはこの領域すなわち (P) ではVthのばらつきとともに、Vgに敏感である。 一方、(S)の領域では(P)に比べて、入力インピーダンスはあまり大きな変化をせず、ま たVthのばらつきの影響も小さい。さらにLO信号の大入力に対しても安定に動作する。 このように、パルスドープFETを用いる場合、(S) 点にバイアスする方がその特長を活

3.4 衛星放送受信ダウンコンバータ用モノリシックマイクロ波集積回路

かすことができる。

RF信号とLO信号をゲートに与えるため、RF端子とLO端子のアイソレーションをと るために、ブランチライン90°ハイブリッド回路が一般的に用いられるが、低インピー ダンスのマイクロストリップ線路、すなわち大面積の線路を必要とするため、本研究で は図3-26に示したような回路を用いた。図3-28にこの入力回路のシミュレーション結 果を示す。回路は特性インピーダンス86Ωの12本の線路から構成され、これらの長さ は、12GHzのRF信号に対する入力インピーダンス・マッチングと、両端子のアイソレー ション特性、およびイメージリジェクション特性から最適化した。また出力回路は1GHz 帯IFフィルタ及びLO信号を短絡する回路から構成されている。LO信号の短絡は、IF端 子への漏洩を防ぎ、ドレインの直流バイアスを安定にするために必要である。





図3-29 MMICミキサのチップ写真



図3-29にチップ写真を示す。チップサイズは2.9×2.4mm²である。電源電圧は8V であり、ゲートバイアス電圧を最適値に調整する。回路は、ソース接地構成で局発(LO) をゲートから注入する方式とした。したがってRF信号もゲートに印加されるので、RF 端子とLO端子を分離するためのフィルタおよびイメージリジェクションの機能を12セ クションのスタブで構成した。また出力側には、局発周波数をショートするための回路 とIFフィルタ(ローパスフィルタ)を設けた。図3-30に変換利得の周波数特性の測定結 果を示す。測定は、8dBmのLO入力で行った。11.7~12GHzの周波数範囲において、 変換利得は2dB以上、イメージリジェクションは20dB以上であった。 3.4 衛星放送受信ダウンコンバータ用モノリシックマイクロ波集積回路

3.4.4 発振回路

ソース接地回路に容量性直列帰還(capacitive series feedback)をかける反射型発振回路を採用した[10]、[12]、[13]、[27]。等価回路を図 3-31 (a) に示す。所定のQ値を達成するために誘電体共振器を用いるが、予備実験によりマイクロストリップ線路に電磁結合させた誘電体共振器のSパラメータの測定値から、等価回路を同図に示したようなLRCの並列回路として定数をフィッティングした。誘電体共振器には、発振周波数においてQ=5,000、 ϵ =37のものを使用した。動作点は、一般的に最大振幅がとれる



図3-31 発振回路とシミュレーション

74

3.4 衛星放送受信ダウンコンバータ用モノリシックマイクロ波集積回路



Idss/2にバイアスされる [28]。Idss/2より大きい電流域では急激に位相雑音が大きく なるが、出力電力は大きくなるため、実験的に0.65 Idssをバイアス点とした。帰還容量 CFおよび線路長IRは、発振周波数10.678GHzでドレイン端のインピーダンスが負とな り、位相が0度となるように最適化した。負荷インピーダンスZL=RL+jXLは、RL=-Rout/3、XL=-Xout に設計すれば最大発振出力が得られる [24]。Rout、Xout はZout のそれぞれ実部、虚部である。図3-31 (b) は、発振回路の出力インピーダンスのシミュ レーション結果を示したものであり、Rout=-90Ω、Xout=0Ωである。したがって、出 力回路はRL=30Ω、XL=0Ωにそれぞれ設計した。図3-32に出力回路とそのシミュレー ション結果を示す。

図3-33にチップ写真を示す。チップサイズは1.9×1.6mm²である。電源電圧は単一 8V動作である。図3-34に発振スペクトルの測定結果を示す。位相雑音は、10kHzオフ セットで-80dBc、出力は中心周波数の10.678GHzにおいて9dBmであった。次に発 振特性の電源電圧変動の測定結果を図 3-35 に示す。電源電圧の設計値は8V であるが、 5V~11Vの広い電圧範囲で周波数は1MHzの変動であり、出力電力は1dBの変動であっ





た。

76

図3-34 発振スペクトルの測定結果

図3-35 発振特性の電源電圧変動の測定結果



最後に、パルスドープ FET を用いた発振回路の特長について述べる。パルスドープ FETは高濃度薄層化されたチャンネルを用いているので、Cgsのゲート電圧に対する変 化が小さい。発振回路の位相雑音は、(∂Cgs/∂Vg)²に比例するため [28]、位相雑音 の小さい発振回路を実現することができる。これを明らかにするため、イオン注入型 MESFETを用いた発振回路を試作し、誘電体共振器を使用せずに発振させ位相雑音を比 較した。図 3-36 に測定結果を示す。パルスドープ FET を用いた発振回路の方が、位相 雑音が小さいことがわかる。

3.4.5 IF 増幅器

図3-37に回路図を示した。3段増幅器に並列負帰還をかけた一般的な回路構成である。 負帰還の値RFは、1~1.3GHzにおいて平坦な利得と低い入出力VSWRを達成できるよ う設計した。図 3-38 にシミュレーション結果を示す。

図3-39にチップ写真を示す。チップサイズは1.9×1.2mm²である。電源電圧は単一 8V動作である。図3-40に利得と入出力VSWRの周波数特性を示す。1~1.3GHzの周波 数範囲において、利得20dB以上、入出力VSWR1.7以下であった。図3-41に入力電力 に対する出力電力の特性と、3次相互変調歪特性 IM3 を示す。測定は1.088GHz および 1.126GHzの2周波信号を用いて行った。その結果、3次のインターセプトポイントは 18dBmと十分な特性を実現した。



図3-37 IF増幅器の等価回路



図3-39 チップ写真



の測定結果

78

3.4 衛星放送受信ダウンコンバータ用モノリシックマイクロ波集積回路



3.5 受信実験

この4種類のICチッフでコンバータを構成し、衛星放送の受信実験を行った。38× 23mm²のセラミック基板にIFアンフ2チッフを含む計5チッフを実装した。図3-42に 実験に用いたMMIC実装基板を示す。実験の便利のために、この基板を図3-43に示すよ うな真ちゅう製の治具にのせ、誘電体共振器の上にビス付きの金属板を固定した。この ビスで発振周波数を調整する。基板の入出力端子には治具に固定した同軸コネクタ(SMA コネクタ)を接続した。MMICコンバータの総合利得は60dB、雑音指数は2dB以下で あった。



図3-42 実験に用いたMMIC実装基板



図3-43 治具に固定されたMMIC実装基板



図3-44 一次放射器



図3-45 受信実験の様子



一次放射器として、図3-44に示すような容量板付きのヘリカルアンテナを作製し、同 軸コネクタを介してMMICコンバータ基板に接続した。実験を効率的に行うためこのよ うにしたが、同軸コネクタの接続損失の分だけ、コンバータの雑音指数は過小評価され る。実際の応用では一次放射器をコンバータ基板に直結されるので雑音指数は改善され る。受信実験は40cm φのハラボナアンテナを用いて行った。受信実験の様子を図3-45 に示す。インヒーダンスや雑音指数をチューニングするための『スタブの切りはり』等 の調整は一切行わずに、ノイズフリーの鮮明な画面が得られた。受信画面の例を図3.46 に示す。

3.6 結言

衛星放送受信コンバータ用の4つのMMICの試作結果、およびこのMMICを用いたコ ンバータによる受信実験の結果について述べた。本章では、実験で用いた基板や固定治 具のみについて述べたが、製品形態の一例として、文献 [29]、[30] で報告しているよう な超小型BSコンバータなども提案している。本研究のMMICの最大の特徴は、その前段 にディスクリートHEMTによる低雑音アンフを用いずに、MMICのみでコンバータの全 機能と充分な雑音特性を実現したことであり、未だこのような報告例はない。また、ス タブチューニング等のわずらわしい調整を行うことなく、直径40cmのハラボラアンテ

3.5 受信実験

図3-46 受信画像の例

ナで鮮明な画像を受信できたことは、実用上重要なホイントであると考える。コンバー タをMMIC化する最大のメリットは小型化であるが、その他、部品点数の消滅による実 装コストの低減、接続点数の低減による信頼性向上、調整等のコストダウンなど数多く のメリットがある。

本研究において提案されたハルスドーフ構造FETは、とりわけ民生応用のMMICに適 用することを目的としたものである。さらに衛星放送受信用コンバータに適用する場合 には、低雑音特性も要求されるが、本章の目的であるところの、ハルスドーフ FET の MMICへの適用性とHEMTに匹敵する低雑音特性は、今回の試作結果により実証された。 また4種類のMMICの設計に関し、それぞれハルスドーフMESFETの特長を活かした設 計方法を提案し、それらの設計手法を用いて回路設計を行い試作した。

これらのMMICの中で、歩留りの点で最も厳しいのは12GHz帯RF低雑音増幅器と考 えられるが、高周波歩留り60%以上を実現しており、その優れた生産性、均一性も実証 されている。本章では、ゲート長0.5 µmのハルスドーフ構造FETによるMMICの試作 結果について述べたが、RF低雑音アンフ以外の3種類のICに関してはゲート長は0.5 μ mで十分な性能を示した。一方、RF低雑音アンフに関しては雑音指数の観点から、ゲー ト長はより短い方が良く、ゲート長を0.3 µmにし、さらに低雑音化した MMIC アンフ について、次章で詳しく述べる。

参考文献

- Microwave Theory Tech., vol.13, No. 11, pp.777-781, 1965.
- Microwave Theory Tech., vol. 16, No. 7, pp.451-454, 1968.
- Cost," Microwave Systems News, No.13, pp.77-84, 1983.

- pp. 123-126, 1992.
- Symposium Dig., pp. 143-146, 1992.
- Millimeter-Wave Monolithic circuits Symp. Dig., pp. 7-10, 1990.
- [9] 伊藤康之、高木 直: MMIC 技術の基礎と応用、REALIZE INC.
- 1992.

[1] H. M. Hyltin, "Microstrip Transmission on Semiconductor," IEEE Trans.

[2] E. Mehal and R. W. Wacker, "GaAs Integrated Microwave Circuits," IEEE Trans.

[3] R. S. Pengelly, "Hybrid Versus Monolithic Microwave Circuits-A Matter of

[4] K. Seino et al., "A 2~18 GHz Band Distributed MMIC Amplifier with SingleSupply Bias Network," IEICE Trans. C, J70-C [5], pp.703-708, 1987.

[5] E. Bastida, "A Monolithic 800 MHz Bandwidth DBS Front-End for Mass Production," in Proc.14th European Microwave Conference, pp.755-760.

[6] R. Benton, M. Nijjar, C. Woo, A. Podell, G. Horvath, E. Wilson, and S. Mitchel, "GaAs MMIC's for an integrated GPS Front-end," in GaAs IC Symposium Dig.,

[7] C. Woo, A. Podell, R. Benton, D. Fisher, and J. Wachsman, "A fully integrated transceiver chip for the 900 MHz communication bands," in GaAs IC

[8] P. Wallace, R. Michels, J. Bayruns, S. B. Christiansen, N. Scheinberg, J. Wang, R. Goyal and M. Patel, "A low cost high performance MMIC low noise down converter for direct broadcast satellite reception," in IEEE Microwave and

[10] N. Shiga, T. Sekiguchi, S. Nakajima, K. Otobe, N. Kuwata, K. Matsuzaki, and H. Hayashi, "MMIC Family for DBS Down-Converter with Pulse-doped GaAs MESFET's," IEEE J. Solid-Stae Circuits, vol. 27, no. 10, pp. 1413-1420,

- [11] 関口 剛, 乙部健二, 松崎賢一郎, 桑田展周, 中島 成, 志賀信夫, 林 秀樹: "GaAs 基板上のマイクロストリップラインの評価", 1990 信学秋季全大,
- [12] 志賀信夫, 関口 剛, 中島 成, 乙部健二, 桑田展周, 松崎賢一郎, 林 秀樹: "BS コンバータ用 GaAs MMIC", テレビ学技報, CE91-41, BCS91-22, BFO91-22, 15, 46, pp.13-18 (1991-08).
- [13] N. Shiga, T. Sekiguchi, S. Nakajima, K. Otobe, N. Kuwata, K. Matsuzaki, and H. Hayashi, "MMIC Family for DBS Downconverter with Pulse-doped GaAs MESFETs," 1991 GaAs IC Symposium Tech. Dig., Monterey, pp. 139-143 (Oct. 1991).
- [14] 乙部健二,志賀信夫,中島 成,桑田展周,松崎賢一郎,関口 剛,林 秀樹:"パ ルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察(2)", 1991 信 学春季全大, C-521.
- [15] J. Engberg, "Simultaneous input power match and noise optimization using feedback," in Dig. Tech. Pap. Fourth Eur. Microwave Conf., 1974, pp. 385-389.
- [16] R. Lehmann et al., "X-band monolithic series feedback LNA," IEEE Trans. Microwave Theory Tech., vol. 33, no. 12, pp. 1560-1566, 1985.
- [17] R. Goyal: MONOLITHIC MICROWAVE INTEGRATED CIRCUITS, Technology and Design, Artech House.
- [18] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band Monolithic Four-stage LNA with Pulse-doped GaAs MESFETs," 1990 GaAs IC Symposium Tech. Dig., New Orleans, pp. 237-240 (Nov. 1990) .C-57.
- [19] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band MMIC Amplifier with Pulse-doped GaAs MESFETs," 1991 IEEE MTT-S Int. Microwave Symposium Dig., Boston, pp. 77-80 (June 1991)
- [20] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band MMIC Amplifier with Pulse-doped GaAs MESFET's,"

IEEE Trans. Microwave Theory Tech., vol. 39, no. 12, pp. 1987-1994, 1991.

- [21] 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹:"パ 学秋季全大, C-418.
- [22] 志賀信夫, 乙部健二, 中島 成, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹:"単 一電源 12GHz 帯 MMIC 低雑音アンプ", 1991 信学秋季全大, C-33.
- [23] 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹:"パ 報, MW90-84, pp.27-34 (1990-11).
- [24] S. A. Mass : Nonlinear Microwave Circuits, Artech House.
- [25] S. A. Mass, "A GaAs MESFET Mixerwith very low intermodulation," IEEE
- [26] S. A. Mass, "Design and performance of a 45-GHz HEMT mixer," IEEE Trans. Microwave Theory Tech., vol. 34, no. 7, pp. 799-803, 1986.
- [27] 志賀信夫, 関口 剛, 中島 成, 乙部健二, 桑田展周, 松崎賢一郎, 林 秀樹: "パ 大, C-60.
- [28] A. Sweet : MIC & MMIC Amplifier and Oscillator Circuits, Artech House.
- [29] T. Sekiguchi, N. Shiga, S. Nakajima, K. Otobe, N. Kuwata, K. Matsuzaki, and Dig., Albuquerque, pp. 155-158 (June 1992).
- [30] 関口 剛,志賀信夫,中島 成,乙部健二,桑田展周,松崎賢一郎,林 秀樹:"超 小型 MMIC コンバータモジュール", 1992 信学春季全大, C-78.

参考文献

ルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察(1)", 1990 信

ルスドープ構造 GaAs MESFET を用いた 12GHz 帯低雑音 MMIC アンプ", 信学技

Trans. Microwave Theory Tech., vol. 35, no. 4, pp. 425-429, 1987.

ルスドープ構造 GaAs MESFET を用いたX帯 MMIC 発振回路", 1991 信学秋季全

H. Hayashi, "Ultra Small Sized Low Noise Block Downconverter Module," IEEE 1992 Microwave and Millimeter-wave Monolithic Circuits Symposium

The second second

Citer a real plane a part and a line of the binner but

Start and the second second and the second s

AND DESCRIPTION OF THE ASS AND AND ADDRESS OF THE PARTY O

In a beautient water from

ten in the second of a second of the second

and its Reviseds, "X -band ABGC Aug/Class with Fraze (Copyright Market)

第4章 X帯低雑音モノリシック増幅器の 設計技術と雑音特性の向上

4.1 緒言

パルスドープ構造 GaAsMESFET は、第2章で述べたように均一性、再現性に優れ、 低コストで高性能なマイクロ波集積回路、とりわけMMICの構成素子として適している。 また第3章では実際にこのFETを構成素子とする衛星放送受信ダウンコンバータ用の MMICを設計、試作しその優れた性能を実証した。試作した4種類のMMICのうち、技 術的に最も難度の高いのは12GHz帯 RF増幅器である。2dB以下という極めて小さい雑 音指数を実現し、かつ量産レベルで実用化するためには製造ばらつきが小さく制御され なければならない。そして実際にこのRF増幅器の製造ばらつきに関し、雑音指数、利得、 VSWR などの主な仕様が 60% 以上の歩留りで実現できたことを述べた。

本章では、この12GHz帯RF増幅器をさらに高性能化するための設計技術について詳 しく述べる。第3章では、ゲート長0.5 μ mのパルスドープFETを用いたが、本章では さらに低雑音化し、1dBに近い雑音指数を目標とするため、ゲート長0.3 μ mのパルス ドープFETを用いる。ところで、ゲート長を小さくし目標性能を高くする場合、実用化 の観点からは製造ばらつきに関する考察が不可欠である。パルスドープFETは本質的に 均一性、再現性に優れた素子であるが、ゲート長0.5 μ mのFETとゲート長0.3 μ mの FETを比較した場合、同じ製造ばらつきを実現するのは困難である。したがって、設計 段階から低雑音増幅器の雑音指数の製造ばらつきを予測し、ばらつきを最小にするよう な設計技術が極めて重要である。

そこでまず、雑音指数の製造ばらつきを予測するための設計手法に関し、パルスドー プFETの最適信号源反射係数 Γ optのばらつきの興味深い特徴に着目し、前章でも述べ た直列誘導性帰還を用いた低雑音増幅器の新しい設計手法を提案する。そして、次に雑 音指数1dBを目標とし、低雑音増幅器の雑音指数を支配する要素を明確にし、それらの 個々の要素を最適化することにより、原理的に達成し得る最小の雑音指数を実現するた めの設計方法に関し、初段増幅器および後段増幅器それぞれについて詳細に述べる。そ して、この設計方法に基づいて設計された12GHz帯低雑音RF増幅器MMICの試作結果 について明らかにする。。

4.2 雑音指数の製造ばらつきを予測するための設計手法

低雑音増幅器の設計には(狭帯域アンプの場合)しばしば誘導性の直列帰還が用いら れ[1]、[2]、本研究においてもこの手法を用いてMMICを設計し、試作した[3]-[8]。 よく知られているように、Rollett の stability factor "K" は低雑音デバイスほど小さい 傾向を示し、ゲート長0.3 µm、ゲート幅280 µmのパルスドープMES FETの場合、K は12GHzで0.4と非常に小さい。低雑音増幅器を設計する際の問題点は、①Kが1より 小さいデバイスは入出力で同時にインピーダンスマッチング(利得整合)をとるのが困 難であること、②FETの雑音指数を最小にする最適信号源反射係数 Γ opt と入力反射係 数の複素共役S11*が一致していないためにインピーダンスマッチングとノイズマッチン グ(雑音指数最小)を同時に達成できないことである。

誘導性の直列帰還の効果は、① Fminを大きく劣化させることなくKファクタを改善 できる、②Γ opt とS11*を近づける、③等価雑音抵抗 Rnの値を小さくするなど、上述 の設計上の2つの問題点を解決するとともに、負帰還の効果によって製造ばらつきに対す る余裕度が増し、歩留りの向上が期待できる。しかしながらその反面、帰還量を大きく し過ぎると利得が低下し、アイソレーション特性が劣化するという問題点もある。した がって帰還量をどのような値にするかは設計上極めて重要であるが、帰還量とFETのパ ラメータの関係を詳細に解析した例は見あたらない。

またこれらの関係は低雑音アンプを構成するデバイスやプロセスにも依存するため、 既に報告したようにシミュレーションだけでなく実際にTEG (Test element group)を 作成し、測定する確認も行った。ゲート長0.5 µmのパルスドープFETに関し、測定お よびシミュレーションの結果について前章で述べたが、ゲート長0.3μmのパルスドー プFETに関し、同様のTEGを試作し測定およびシミュレーションを行った[9]。FETの 雑音パラメータと直列帰還の関係は、ソース・スタブの長さとの関係におきかえて考察 していく方が、回路シミュレーションやレイアウト設計の際に、より直接的で便利であ



る。図4-1にFminとスタブ長の関係を示す。測定周波数は12GHz、FETのバイアス条 件はFminが最小になる条件である。計算上Fminがスタブ長とともに小さくなっていく のは最小雑音測度 Mmin が、無損失の帰還に対して不変であるため、負帰還による利得 低下の分だけ雑音指数が改善されるからである。しかし、図4-1が示すように測定デー タではスタブ長0と800μmで有意差はない。したがって設計上はスタブ長によるFmin の変化は考慮しなくてよいと考えられる。

次に、図4-2にRnとスタブ長の関係を示す。Rnはアンプの雑音指数を予測する上で 重要なパラメータである。次に示す定雑音指数円(雑音指数F=Fiの時)の中心座標Cnと 半径Rmを表す式から、Rnが小さいほどある雑音指数を与える定雑音指数円が大きく、且 つ定雑音指数円の間隔が粗になるため、FETの 「optの製造ばらつき等に対する余裕度 が大きくなることがわかる。

 $C_{Fi} = \frac{\Gamma \text{ opt}}{1 + \text{Ni}}$

 $R_{Fi} = \frac{1}{1 + Ni} \sqrt{(Ni^2 + Ni(1 - |\Gamma opt^2|))}$

ただし、

 $Ni = \frac{Fi-Fmin}{4Rn} |1 + \Gamma opt|^2$

4.2 雑音指数の製造ばらつきを予測するための設計手法

図4-1 Fminとスタブ長の関係

(4-1)

(4-2)



したがって、図4-2に示したRnとスタブ長の関係から設計したアンプの雑音指数の ばらつきが、スタブ長に対してどのように依存するかを予測することができる。本節で は、このようなFETの雑音パラメータと直列帰還の関係に基づいて、パルスドープFET におけるΓoptのばらつきの興味深い特徴を利用し、設計段階から低雑音増幅器の雑音指 数の製造ばらつきを予測する設計手法について言及する。

4.2.1 最適信号源反射係数のばらつきの特徴

図4-3は、パルスドープFETのあるロットにおける、Γ optの面内ばらつきの分布を スミスチャート上にプロットしたものである [10]。これはゲート長0.3 μ m を目標に試 作されたものである。この図から、Γoptはスミスチャート上で、半径方向に大きくばら ついているが、その中心からの距離にはあまり大きなばらつきがないことがわかる。図 4-4に | Γ opt | のゲート長依存性、図4-5 に ∠ Γ opt のゲート長依存性を示す。これら は、意図的に異なるゲート長のFETを試作し測定したものである。| Γ opt | がゲート長 に対して緩やかな依存性を持つのに対し、∠Γoptは比較的大きな依存性を持つことがわ かる。これらの測定結果から、Γ opt はスミスチャート上で、ランダムに分布するのでは なく、ある偏りを持った分布を示し、ゲート長を変化させた時に描く軌跡がほぼ一致す ることがわかる。



4.2.2 雑音指数の製造ばらつきと直列帰還量の関係

Γ opt

アンプの設計に関して、最も興味深い問題の一つは雑音指数の製造ばらつきである。 設計の段階で雑音指数のばらつき △ F を定量的に予測することは容易ではなく、詳しく 解析された例は無い。しかしながら、民生応用に供し得る低雑音MMIC増幅器にとって、 歩留りはコストを決定する最大の要因の一つであり、回路シミュレーションの段階で、 「ばらつきを設計できる」ことは意味の大きいことである。ばらつきが生ずる要因として、 ①FETのFminのばらつき、②FETのΓ optのばらつき、③FETのVthのばらつき、等

4.2 雑音指数の製造ばらつきを予測するための設計手法

が考えられる。パルスドープFETは、第2章で述べたようにFminのドレイン電流依存 性が極めて小さい。したがって、低雑音増幅器を単一電源にするためゲートを自己バイ アスするような回路方式にしても、Vthのばらつきはアンプの⊿Fに大きな影響を与え ない(自己バイアスのために付加するソース抵抗による直流的な負帰還の効果によって、 Vthのばらつきによるドレイン電流のばらつきも圧縮される)[7]。したがって、①と② が統計的に独立であると仮定すると、アンプの ΔFは、①によって生ずる雑音指数のば らつきと②によって生ずる雑音指数のばらつきの和として計算することができる。本節 ではΓoptのばらつきに起因する雑音指数のばらつきについて考察し、一例として1段ア ンプと2段アンプについて計算結果を示す。

多段アンプの雑音指数にとって、初段の雑音指数が支配的であるため通常、初段の回 路は雑音指数が最小になるように設計される(ノイズマッチング)。そして入力VSWRが 仕様を満足するように誘導性直列帰還を装荷しFETのΓoptとS11*を接近させ、その FETのΓ optのばらつきの中心値に整合するように、入力整合回路は設計される。この 設計のねらいのポイントを「s (すなわちスタブ付きFETの「optのばらつきの中心値) とすると、製造した MMIC アンプの各FET の Г opt は、 Г s を中心に一定のばらつきを 持つことになる。信号源反射係数がΓsのとき、雑音指数Fは次式で与えられる。

> $F = Fmin + \frac{4Rn|\Gamma s - \Gamma opt|^2}{2}$ $(1 - |\Gamma s|^2)|1 + \Gamma opt|^2$

(4-3)

本研究において提案しているプロセスでは、ゲート形成は通常の光学露光技術を用い て行うので、ある一定のゲート長のばらつきを許容せざるを得ない。上述したように、 FETのΓoptのばらつきの支配的な要因はゲート長のばらつきであり、その結果∠Γopt のばらつきに比して | Γ opt | のばらつきは小さく、アンプの ΔFの計算において考慮し なくてよい。 したがって、Rn がスタブ長Lstの関数(Rn [Lst] と表す)であること、 $|\Gamma \text{ opt}| = |\Gamma \text{ s}|$ (一定) という仮定などを考慮すれば、各段の雑音指数のばらつき Δ Fkは、∠Γoptのばらつきを±⊿θと表すと式(4-3)から次のように表すことができる。

> 4Rn Lst $|\Gamma s|^2 \Delta \theta^2$ $\Delta F k = -$ (4 - 4) $(1-|\Gamma s|^2)(1+2\Gamma s|\cos(\angle \Gamma opt)+|\Gamma s|^2)$

以上の考察から、スタブ長と∠ Γ optのばらつきをパラメータとして、アンプの△F



を計算することができる。以下、 | Γ opt | = 0.75、∠Γ opt = 110°、 Fmin = 0.7dB (ゲート長0.3µm、ゲート幅280µmのパルスドープGaAs MESFETの典型的な値)と して計算例を示す。図4-6にノイズマッチングで設計された1段アンプの雑音指数のば らつき Δ F1 と Rn の関係を示す。 $\angle \Gamma$ opt のばらつき $\Delta \theta$ が大きくなるほど、 Δ F1 は Rnにより強く依存するようになることがわかる。次に、図4-2に示したRnとスタブ長 の関係を用いて⊿F1とスタブ長の関係を求めることができる。これを図4-7に示す。ス タブ長の短いところでは傾きが大であり、比較的小さい帰還量で大きなばらつきの改善 が得られることがわかる。スタブ長が長くなるにつれて飽和する傾向にある。この図は、 回路設計の際に、アンプの雑音指数のばらつきを予測する一つの目安となるものである。 次に2段アンプについて考察する。2段アンプの雑音指数は、よく知られた式(4-5) を用いて計算することができる。

$$F = F_1 + \frac{F_2 - 1}{G_1}$$

ここで、Fk、Gk はそれぞれ k 段目の雑音指数と利得を示す。この式が表しているよ うに、多段アンプの雑音指数は初段の利得がある程度大きい場合、初段の雑音指数でほ ぼ決まるので、2段目以降は通常ゲインマッチングで設計されるが、本節では議論を簡単

4.2 雑音指数の製造ばらつきを予測するための設計手法

(4-5)

図4-6 1段アンプの雑音指数のばらつき△F1とRnの関係



にするため、全段ノイズマッチングの構成とした場合の2段アンプについて考察する。ば らつきの小さいアンプを作ろうとする場合、比較的大きな帰還をかける(即ちスタブ長 を長くする)ため、ノイズマッチングのアンプとゲインマッチングのアンプで利得に大 きな差がなくなってくる。このような場合2段目以降もノイズマッチングで設計した方が 雑音指数の点で有利な場合もあり、また本節での議論は2段目以降の回路がノイズマッ チングでもゲインマッチングでも、ほとんど変わらない。したがって、以下の議論は必 ずしも現実からかけはなれたものではない。

2段アンプの雑音指数のばらつきは、各段の雑音指数のばらつきが統計的に独立と仮定 して計算した。2段アンプの場合は、式(4-5)からわかるように初段の利得の影響を受 けるため、△Fの計算には初段回路の利得のスタブ長に対する依存性が必要である。こ れを図4-8に示した利得とスタブ長の関係に基づいて2段アンプの⊿Fを計算した結果 を図4-9に示す。1段アンプの場合と概ね同様の特性を示すことがわかる。3段アンプの △Fの場合にも同様にして計算することができるが、2段アンプの場合とほとんど同じで あり、最大でもその差は0.01dB ($\Delta \theta = 20^{\circ}$ の場合)であった。したがって、図4-9は 全段同一構成の多段アンプの雑音指数のばらつきのスタブ長に対する依存性を一般的に 表しているといえる。

多段アンプの場合、スタブを長くすることによる雑音指数のばらつき圧縮の効果は、







4.2 雑音指数の製造ばらつきを予測するための設計手法



図4-10 2段アンプの雑音指数のばらつきの最悪値

一段アンプの場合よりも大きい。しかしながら、一段アンプの場合と異なって、各段の 利得のスタブ長依存性のために、雑音指数のばらつきの中心値がスタブ長によって変化 するため注意を要する。そこで、2段アンプの雑音指数のばらつきの最悪値FTがスタブ 長に対してどのように変化するかを計算し、結果を図4-10に示した。△母が大きいほど スタブを長くすることによるアンプの雑音指数のばらつきの改善効果が大きいが、およ そ△θ=10°くらいでスタブを長くすることによるアンプの雑音指数のばらつきの改善 効果は無くなり、△θ=10°より小さくなると逆にわずかではあるがスタブを長くする ことによってアンプの雑音指数のばらつきが大きくなる。

したがって、多段アンプの場合には、図4-9に示した雑音指数のばらつきの値よりも、 図4-10に示した雑音指数のばらつきの最悪値を、回路設計時の判断基準にした方が良い。

4.3 X帯低雑音モノリシック増幅器の雑音特性の向上

本節では、雑音指数1dBという高い目標にいかにして到達するかについて、その設計 手法と、実際に試作した結果について述べる。もし、回路が無損失であり、理想的な設 計が行われれば、低雑音増幅器の雑音指数は、回路を構成するFETの最適雑音指数Foに 一致するはずである。しかしながら、実際の回路では段間のマッチング回路などに損失 があり、既に述べたようにΓoptとS11*の不一致から完全なノイズマッチングあるいは インピーダンスマッチング (ゲインマッチング)をとることができない。そこで、これ らの雑音指数の劣化要因を、回路の損失や設計上の不完全さなどの項目に分解し、個々 の項目を最小にしていく設計手法について明らかにしている[11]、[12]。

4.3.1 ゲート長 0.3 µ m の電界効果トランジスタの適用

図4-11 にゲート長0.3 µm、ゲート幅280 µmのパルスドープFETの代表的な I-V 特性を示す。Idss (Vg=0V, Vd=2V) は75mA (268mA/mm)、Vth (ピンチオフ電 圧) は-1V、最大伝達コンダクタンスは360mS/mmである。次に図4-12にこのFET の12GHzにおけるFminおよびGaのドレイン電流依存性の測定結果を示す。12GHzに おける Fmin が最小となるドレイン電流は15mAで、Idssの20%に相当する。そのとき のFminは0.7dBである。またドレイン電流がIdssの10%から80%の広い範囲でFmin のドレイン電流依存性が非常に小さく、MMIC 増幅器を設計する際に設計余裕が大きく 且つ、Vth等のばらつきに対するプロセス余裕も大きい。 次に Fmin が最小となるバイアス条件 (Vd = 2V, Id = 0.2 Idss) における 2~18GHz



96

4.3 X帯低雑音モノリシック増幅器の雑音特性の向上

図4-11 I-V特性 (Lg=0.3µm、Wg=280µm)







図4-13 Sパラメータの測定結果



のSパラメータをオンウエハプロービングによって測定した結果を図4-13に示す。この 測定結果からフィッティングにより求めた等価回路定数を図4-14に示す。このバイアス 条件における伝達コンダクタンスgmは65.2mS(232mS/mm)であり、fTは32GHz であった。

4.3.2 低雑音増幅器の雑音指数を支配する要因

低雑音増幅器の雑音指数 NFを達成可能な最小の値にすることは、すなわち FET の最 適雑音指数 Foと NFの差を最小にすることである。本節ではこの差をノイズペナルティ と記する。1段増幅器の場合には、このノイズペナルティは2つの要素、すなわち |Fa-Fao|と|Fao-Fo|に分けることができる。ここで、Faoは増幅器の信号源インピーダン スを最適化して達成可能な最小の雑音指数であり、Faは50Ω系で測定した場合の雑音指 数である。そして多段接続増幅器の雑音指数 Fma には、さらに | Fma-Fa | が加わる。 理想的に設計された増幅器では、Fao=Faとなるはずである。しかしながら、一般的に FETのΓoptとS11*の不一致から、Fa>Faoとなる。これを解決する一つの設計手法が、 誘導性直列帰還を用いるものであり、12GHz帯の狭帯域増幅器では有効である。 Engbergは、直列帰還と並列帰還を併用することによって、最小雑音測度Mminを一定

4.3 X帯低雑音モノリシック増幅器の雑音特性の向上

図4-14 小信号等価回路モデル







図4-16 IFa-Faolとスタブ長の関係のシミュレーション結果

にしたまま、Γ opt とS11*を一致させる設計手法を明らかにした [1]。Lehmann は、 誘導性直列帰還と適当な負荷条件の設定によって、ノイズマッチングとインピーダンス マッチングを両立させる設計手法を、MMIC 増幅器に初めて適用した [2]。

本節では、誘導性直列帰還のみを用いてFao = Faとする手法について述べる。図4-15は、ゲート長0.3 μmのパルスドープFETの12GHzにおける Γ opt とS11*の距離 と直列帰還の関係をシミュレーションしたものである。直列帰還として特性インピーダ

ンス86Ωのマイクロストリップラインを用いた。等価的にソーススタブが並列接続され た形になっているのは第3章でも述べた通りである。図4-15からわかるように、スタブ 長700 μmで | Γ opt - S11* | は最小となるが0にはならない。図4-16は12GHzに おける |Fa-Fao| とスタブ長の関係をシミュレーションしたものである。マッチング回 路にも特性インピーダンス86Ωのマイクロストリップラインを用いた。このシミュレー ションでは、個々のスタブ長の場合に入力VSWRが最小になるように、マッチング回路 が最適化されている。|Fa-Fao|は、図4-15の結果に対応してスタブ長700 µmの時に 最小となっている。Γ optは完全にS11*に一致していないが、|Fa-Fao| ≒0となって おり、並列帰還を併用したり、負荷条件の特別な設定は不要であり、誘導性直列帰還の みで十分な特性が得られることがわかる。これは、パルスドープFETにおける等雑音円 の半径が本質的に大きいこと、負帰還により Rn が改善されていることなどによる。 FaoとFoの差異は、主として入力マッチング回路を構成する伝送線路の損失による。 伝送線路の幅はチップサイズの観点から細い方が望ましいが、損失が大きくなる。図4-

17は、1段増幅器の12GHzにおける雑音指数と伝送線路の幅の関係をシミュレーション したものである。直列帰還のスタブ長は700 μmである。配線層の金メッキ厚は、12GHz における金の表皮厚の4倍に等しい3μmとし、この体積抵抗率は2.2μΩcmである。 この図より、雑音指数は線路の幅が20μm以上では変化しなくなることがわかる。一



100

4.3 X帯低雑音モノリシック増幅器の雑音特性の向上

図4-17 雑音指数と伝送線路の幅の関係のシミュレーション結果

方、20 μ m以下の領域では、雑音指数は線路の幅に対して敏感に変化することがわかる。 したがって、線路の幅は20 μ mとすべきことがわかる。この場合、厚さ100 μ mのGaAs 基板上のマイクロストリップラインの特性インピーダンスは86 Ω となる。第3章で述べ た MMICは、GaAs 基板の厚さを150 μ mとしていたが、チップサイズを小型化するた め、さらに薄層化し100 μ mとした。同図において破線で示したのは、ゲート長0.3 μ mのパルスドープ FET の12GHz でのFoであり、その値は0.7dB である。このシミュ レーション結果は、|Fao-Fo| = 0.2dB が達成可能な最小値であることを示している。

4.3.3 初段増幅器の設計

図4-18は、特性インピーダンス86 Ω のマイクロストリップラインを用いて設計した 初段増幅器の周波数特性のシミュレーション結果である。直列帰還のスタブ長は700 μ mである。12GHzにおける雑音指数は0.9dB、利得 6.1dB、入出力VSWRは1.2 であ る。この図には、Faoのシミュレーション結果もプロットしたが、12GHzでは | Fa-Fao | ≒0であり、700 μ mのスタブによりほぼ完全なマッチングがとれていることがわかる。



図4-18 初段増幅器の周波数特性のシミュレーション結果

4.3.4 後段増幅器の設計

多段増幅器の雑音指数は初段増幅器の雑音指数が支配的であり、通常、後段増幅器は 利得をより高くするよう設計される。高利得の観点からは、負帰還としてのスタブ長は 短い方が望ましい。図4-19は、12GHzにおける利得とスタブ長の関係をシミュレーショ



図4-20 Kファクタとスタブ長の関係のシミュレーション結果

102

4.3 X帯低雑音モノリシック増幅器の雑音特性の向上

ンしたものである。このシミュレーションでは、個々のスタブ長において利得が最大に なるようにマッチング回路を最適化している。利得はスタブ長400 µmで最大値をとる ことがわかる。図4-20にKファクタとスタブ長の関係のシミュレーション結果を示した が、スタブ長400 µ m以上でK>1となっており、設計余裕を考慮してスタブ長を500 µ mとした。図4-21に、スタブ長500μmの増幅器の周波数特性のシミュレーション結 果を示した。12GHzにおいて、雑音指数1.2dB、利得7.3dB、入出力VSWR1.1以下を 達成している。

衛星放送受信ダウンコンバータの総合利得を考慮して、4段構成の増幅器とした。図 4-22に4段増幅器の等価回路を示す。2段目以降の回路はすべて同一である。単一8V 電源動作とするために、自己バイアスのための42Ωの抵抗をソース回路に、358Ωの抵 抗をドレイン回路に配置した。これにより、FETは最適雑音条件であるVd=2V、 Id=15mAにバイアスされる。図4-23に4段増幅器のシミュレーション結果を示す。 12GHzにおいて、雑音指数1.1dB、利得28dB、入出力VSWR1.2以下を達成している。 多段接続によるノイズペナルティを評価するために、同図にFaもプロットしたが、 $|Fma-Fa| = 0.2dB \ cbsc.$



図4-21 後段増幅器の周波数特性のシミュレーション結果

4.3 X帯低雑音モノリシック増幅器の雑音特性の向上





104

図4-22 4段増幅器の等価回路

図4-23 4段増幅器のシミュレーション結果

4.3.5 X帯低雑音モノリシック増幅器の特性

MMICの構造及び、製造プロセスは第3章で述べたものと同じである。図4-24に試作 した MMIC 増幅器のチップ写真を示す。チップサイズは 1.2×4.0mm²である。電源電 圧は単一8V動作、典型的な消費電流は60mAである。図4-25に測定結果を示す。12GHz において、雑音指数1.1dB、利得28dB、入出力VSWR1.5以下を実現した。入出力VSWR に関し、シミュレーション結果とやや差があるが、これはレイアウト設計に起因する寄 生要素の影響と考えられる。設計精度を確認するために、試作した MMIC の信号源イン



図4-24 MMIC増幅器のチップ写真





ピーダンスをチューニングして最適雑音指数 (Fmao) を測定し、図4-25 にプロットし た。設計中心の12GHzでは、Fmao=Fmaであり、試作した MMIC はシミュレーション 通り達成可能な最小の雑音指数を実現していることがわかる。図4-26に電力特性の測定 結果を示す。1dB抑圧出力電力P1dBは10dBm、3次インターセプトポイントは19dBm であり、十分な性能を実現した。

4.4 結言

本章ではまず、従来、回路設計の段階ではあまり考慮されなかった雑音指数のばらつ きの問題に関し、低雑音アンプの設計において重要な誘導性直列帰還の大きさ、すなわ ちソース・スタブ長に関連づけてある程度予測することができることを明らかにした。通

106

常のFETではこの計算は非常に困難であるが、パルスドープFETではΓoptのばらつき が、スミスチャート上で | 「 opt | があまり変化せず、その < 「 opt のみが変化するとい う特徴を利用して、簡単化することができた。これは、パルスドープFETがゲートリセ ス構造を用いていないため、製造ばらつきの主たる要因がゲート長のばらつきであるこ とによる。

本章で提案した設計手法は、たとえば、2段アンプの設計において入出力VSWRや利 得などの仕様を満たすようにスタブ長の範囲を決定したのち、そのスタブ長の範囲にお ける $FT + \Delta Fm$ を求め、雑音指数の目標値を下回る $\Delta \theta$ の値が、 Γ optの標準偏差 σ の 何倍に相当するかによって、およそ何%のチップの雑音指数が目標に入るか、すなわち アンプの雑音指数の歩留りを予測することができる。また、逆にアンプの雑音指数の歩 留りの観点からスタブ長の範囲を決定し、その時入出力VSWRや利得などの仕様が満た されるかどうかを調べることも可能である。しかしながら、Sパラメータのばらつきに起 因する各段の回路の入出力インピーダンスのばらつきを考慮していないため、段間の不 整合の影響が含まれていない。今後さらに詳細な解析をする必要があるが、本章で提案 した設計手法は、回路設計において雑音指数のばらつきを予測するための一助になると 考える。

また、ゲート長0.3 µmのパルスドープFETを適用し、衛星放送受信ダウンコンバー タ用X帯低雑音モノリシック増幅器をさらに低雑音化し、12GHzにおいて雑音指数 1.1dB、利得28dBを実現した。原理的に達成可能な最小の雑音指数を実現するために、 FETの最適雑音指数Foからのノイズペナルティを、Fao-Fo、Fa-Fao、Fma-Faに分解 し、各々のノイズペナルティを最小にする設計を行った。また、設計精度を確認するた め、試作したMMICの信号源インピーダンスをチューニングして測定し、Fmao=Fmaで あることを確認した。12GHzにおける雑音指数1.1dBという値は、MMIC増幅器として は世界最小の値である。

参考文献

- [1] J. Engberg, "Simultaneous input power match and noise optimization using 389.
- [2] R. Lehmann et al., "X-band monolithic series feedback LNA," IEEE Trans.
- [3] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and (Nov. 1990) .C-57.
- [4] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and
- [5] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki,
- [6] 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹:"パ 学秋季全大, C-418.
- [7] 志賀信夫, 乙部健二, 中島 成, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹:"単
- [8] 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹:"パ 報, MW90-84, pp.27-34 (1990-11).
- [9] 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹:"パ 報, MW91-30, pp.55-62 (1991-05).

feedback," in Dig. Tech. Pap. Fourth Eur. Microwave Conf., 1974, pp. 385-

Microwave Theory Tech., vol. 33, no. 12, pp. 1560-1566, 1985.

H. Hayashi, "X-band Monolithic Four-stage LNA with Pulse-doped GaAs MESFETs," 1990 GaAs IC Symposium Tech. Dig., New Orleans, pp. 237-240

H. Hayashi, "X-band MMIC Amplifier with Pulse-doped GaAs MESFETs," 1991 IEEE MTT-S Int. Microwave Symposium Dig., Boston, pp. 77-80 (June 1991)

and H. Hayashi, "X-band MMIC Amplifier with Pulse-doped GaAs MESFET's," IEEE Trans. Microwave Theory Tech., vol. 39, no. 12, pp. 1987-1994, 1991.

ルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察(1)", 1990 信

一電源 12GHz 帯 MMIC 低雑音アンプ", 1991 信学秋季全大, C-33.

ルスドープ構造 GaAs MESFET を用いた 12GHz 帯低雑音 MMIC アンプ",信学技

ルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察(4)",信学技

- [10] 志賀信夫,中島 成,乙部健二,関口 剛,桑田展周,松崎賢一郎,林 秀樹:"パ ルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察(3)",1991 信 学春季全大,C-522.
- [11] N. Shiga, S. Nakajima, N. Kuwata, K. Otobe, T. Sekiguchi, K. Matsuzaki, and H. Hayashi, "12 GHz Low-noise MMIC Amplifier with GaAs Pulse-doped MESFET's," IEICE Trans. Electron, vol. E77–C, no. 9, pp. 1500–1506, 1994.
- [12] 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹:"衛 星放送受信用低雑音 MMIC アンプ", 1992 テレビ学年次大会予稿集, 6-2.

5.1 緒言

本章では、低雑音 GaAsMESFET のモデル化技術について述べる。デバイスのモデル 化技術は、デバイス構造の設計やこれらを用いた回路設計において重要な役割を果たす。 今日、Computer Aided Design (CAD)システムの発展には目を見はるものがあり、日 進月歩で高度化しているが、CADシステムを用いた回路シミュレーションのためのデバ イスの等価回路モデルも、この高度化されたCADシステムの機能を十分に活用できるも のが望ましいが、このような観点からの等価回路に関する研究例はほとんど無い。本章 ではこの点に鑑みて、まず GaAsMESFET の雑音係数のモデル化に関して、最近の非常 に優れた性能を有するCADシステムの機能を有効に活用でき、解析に便利な新しい雑音 等価回路の提案を行い、その等価回路を用いたシミュレーション手法について述べてい る。そして、この等価回路及びシミュレーション手法を用いてパルスドープ構造 GaAsMESFETにおける雑音係数のふるまいを解析し、その優れた低雑音特性の理論解釈 を与えている。

一方、最近は歩留りを予測したり、そのために歩留りをモデル化するような報告例が 増えている[1]-[3]。低雑音増幅器の設計では適用するトランジスタの雑音パラメータ の評価が重要であるが、とりわけ最適雑音指数Foがその雑音特性を支配する重要なパラ メータである。トランジスタの雑音指数は、そのトランジスタから見た信号源インピー

ダンスが最適雑音指数に一致する時最小となる。したがって、最適雑音指数の製造ばら つきは低雑音増幅器の雑音指数の歩留りに重大な影響を与えるため、そのばらつきを解 析することは極めて大きな意味を持つが、トランジスタの雑音指数の製造ばらつきをモ デル化した研究例はほとんど無い。本章では最適雑音指数のモデル化に際し、パルスドー プ構造 GaAsMESFET における最適雑音指数のばらつきを支配する要因を明らかにし、 ゲート長の製造ばらつきの分布から最適雑音指数の確率密度関数を解析的に導出し、導 出した式による計算結果と実験結果がよく一致することを示す。

5.2 雑音係数のモデル化

FETの雑音のふるまいをモデル化することは極めて重要であり、古くから数多くの研 究がなされてきた。FETにおける熱雑音の理論に関する先駆的な研究はvan der Zielに よって行われた [4]、[5]。また、Baechtold は van der Ziel のモデルに電子の飽和速度 を考慮に入れることにより [6]、また谷間散乱雑音(intervalley scattering noise)を 考慮に入れることにより[7]、短ゲートのFETに関するモデルの精度を向上させた。一 方、Cappyはゲート・ドレイン容量Cgdとドレインコンダクタンスgdが高周波領域に おける雑音指数に大きな影響を与えることを指摘した[8]。本節の目的は、上述したすべ ての付加的な要素を記述できる等価回路を提案し、そのモデル精度を実証することであ る。特に、van der Ziel モデルにおける雑音係数(P.R.C)の解析は重要であるが、直 接測定することは難しく、また解析的に求めることも困難である。そこで、測定が容易 な雑音パラメータ、すなわち最小雑音指数 Fmin、等価雑音抵抗Rn、最適信号源インピー ダンス (Sopt) からフィッティングにより雑音係数シミュレーションすることができる 等価回路モデルを提案する。

5.2.1 新しい雑音等価回路の提案

一般に、4つの雑音パラメータ、Fmin、Rn、|Sopt|、∠Soptが能動回路の雑音を特 性付けるために用いられる。Soptのかわりに、しばしば最適信号源反射係数 Γ opt が用 いられる。能動回路の雑音指数は、信号源反射係数Ssource (すなわちインピーダンス) に依存し、Ssource=Soptの時、最適値をとる。等価雑音抵抗 Rn は、その回路が発生す る雑音と等価な熱雑音を生じる抵抗値と定義される。抵抗が発生する熱雑音電圧の2乗平 均値は次式で表される。

$\langle v_n^2 \rangle = 4kT\Delta fRn$

ここで、kはボルツマン定数、Tは回路の絶対温度、Δfは解析する帯域幅、<>は統 計的平均値を表す [9]。

雑音パラメータをモデル化するために用いられる等価雑音回路は、図5-1に示したよ うな小信号Sパラメータをモデル化するためによく用いられる等価回路に少し手を加え ることによって得られる。この等価雑音回路を用いてシミュレーションを行う際のCAD としては、HP 85150B Microwave and RF Design Systems (MDS)を想定している。 図 5-1 は、この MDS の design page に記述されるものであり、回路記号その他の表記 法はMDSにしたがったものである[10]。等価雑音回路では、図5-1に示した回路にお いてドレイン、ゲート、ソースに配置された抵抗 (Rd、Rg、Rs) が、式 (5-1) で表さ れる熱雑音電圧を持つ noisy な抵抗に置き換えられる。図 5-2 に本節で提案する等価雑 音回路を示す。通常、noisyな抵抗はノートンの等価回路が適用されるが[6]、[7]、シ ミュレーションにおいて抵抗値が無限大の値をとる時に問題が生じやすいので、ここで はテブナンの等価回路を適用している。したがって、noisyな抵抗は、雑音を生じない理 想的な抵抗と雑音電圧源が直列接続された回路で表現されている。図5-2もまた、MDS の design page として記述されるものである。

次に、FET内部で発生する雑音の雑音源、すなわちドレイン雑音電流源 Ind および ゲート雑音電流源 Ingを付加しなければならない。van der Ziel モデルでは、Ind と Ing の平均2乗振幅が次式で記述される。

 $dnd^2 > = 4kT\Delta famP$

ここで、ωは角周波数を表し、P、Rはそれぞれバイアス条件に依存する無次元の係数 を表す。本節では、すべてムf=1Hzとして解析するので、以降の計算式ではムfを省略す 3.

また、一般的に Ind と Ing には統計的な相関があるため、等価雑音回路にはさらにこ の相関係数の記述が必要である。相関は、複素数によって表され、次式で記述される。

5.2 雑音係数のモデル化

(5-1)

(5-2)

 $dng^2 > = 4kT\Delta f \frac{\omega^2 Cgs^2}{gm}R$

(5-3)





114

第5章 低雑音 GaAs 電界効果トランジスタのモデル化

5.2 雑音係数のモデル化

$$jC = \frac{\langle lng^*lnd \rangle}{\sqrt{\langle lng^2 \rangle \langle lnd^2 \rangle}}$$

(5-4)

ここで、Ing*はIngの複素共役を表し、jは虚数単位を表す。これらの2つの雑音源は、ほとんど同じ物理要因によって生じているので、ほぼ純虚数とみなすことができる[5]。

そして最後にもう一つの雑音源、すなわちドレイン・ソース間に谷間散乱雑音源を追加して、等価雑音回路は完成される。飽和電界付近では、相当数の電子がcentral valleyからより電子移動度の低いsatellite valleyへ散乱していると考えられるため、雑音温度は電子温度以上に高くなっていると考えなければならない。この雑音源の平均2乗振幅は次式で表すことができる。

$$\operatorname{dniv}^{2} > = K \frac{\tau_{0}}{1 + \omega^{2} \tau_{0}^{2}} \Delta f$$
 (5-5)

ここで τ_0 は、central valley と satellite valley における電子の寿命から計算される時定数であり、Kは電子の速度、電子の寿命、電子密度その他から計算される定数である [7]。このようにして図5-2の等価雑音回路が得られた。Cappyが指摘した Cgd とgd の効果は、既にこの等価回路に含まれていることに注意すべきである。

5.2.2 シミュレーション手法

まず、小信号Sパラメータ等価回路および等価雑音回路をMDSに入力する。図5-2に 示したようなdesign page上に、3つのnoisyな抵抗が生ずる熱雑音成分としてVnRd、 VnRg、VnRs、を記述し、さらに3つのFET内部の雑音電流源Ind、Ing、Iniv を記述 する。これらは、上述した式(5-2)、(5-3)、および(5-5)で表されるものである。ドレ イン雑音とゲート雑音の相関もまた、MDSのdesign page上に一つの雑音源として記述 されている。

回路の個々の構成要素は、小信号Sパラメータ等価回路および等価雑音回路によるシ ミュレーション結果が、FETのSパラメータ実測結果および雑音パラメータすなわち Fmin、Rn、 Γ optなどとの実測結果が一致するようにフィッティングによって求めるこ とができる。等価雑音回路のシミュレーションでは、P、R、C、Kおよびτ。がフィッ ティングパラメータとなる。雑音パラメータのフィッテイングを行うためには、まずSパ ラメータのフィッテイングを行う必要がある。小信号Sパラメータ等価回路の回路定数 を決定した後、その値を等価雑音回路にコピーし、雑音パラメータのフィッテイングを 行う。

次にフィッテイングの手法について述べる。ここでは、gradient method と random method の組み合せである hybrid optimization を用いた [11]。gradient method は一回の random optimization の間に、その誤差が最小になるまで繰り返される。この手法 において、random optimization を 80 回まで繰り返し、一回の random optimization の中の gradient optimization の回数を最大10⁴回としたところ、良好な収束結果を得る ことができた。hybrid optimization は単純な random optimization より時間を要する が、極大値あるいは極小値ではなく、最大値あるいは最小値を見つけるためには有効で あり、少なくとも等価雑音回路のシミュレーションには適用すべきである。

最後に、この提案した等価回路の精度を評価しなければならない。この評価には、ゲート長0.3 μm、ゲート幅280 μmのパルスドープ構造 MESFETを用いた [12]。測定は 室温にて最適バイアス条件で行い、解析は8~18GHの周波数範囲で行った。シミュレー ションでは、絶対温度Tの値を290 Kelvinとした。Sパラメータ等価回路は十分に実績 のあるものであり、フィッティングはいうまでもなくほぼ完璧に実現できた。提案して いる等価雑音回路については、実用的にフィッティングが可能かどうか確認する必要が あり、いくつかの雑音パラメータに関して、この確認を行った。フィッティング結果を 図 5-3 に示す。図 5-3 は、雑音パラメータ Fmin、Γ optの周波数範囲 8-18 GHz での 実測結果とシミュレーション結果を示したものであるが、良い一致を示している。

5.2.3 パルスドープ構造における低雑音特性の理論解釈

パルスドープ構造MESFETのチャンネルの厚さを小さくすると雑音特性が向上するこ とが確認されている [12]、[13]。図 5-4は、チャンネル厚 100 µ m と 150 µ m のパル スドープFETの雑音係数のシミュレーション結果を示したものである。 雑音相関係数 は、上述のように、FET の雑音特性において重要な役割を果たす。Cappy は、HEMTが 優れた低雑音特性を示すのは、その雑音相関係数が大きいからであると説明した [14]。 そして、高い雑音相関は、ゲート長とチャンネル厚のアスペクト比が大きい、すなわち チャンネル厚がゲート長に比べて十分に薄いことに起因し、HEMTの場合そのアスペク ト比は5以上であり、相関係数は0.8以上の値をとる。一方、イオン注入 MESFET の場 合、相関係数は0.7以下であるとしている [8]。Nakajima らは、Schubnikov-de Haas (SDH) 測定により、パルスドープ構造においても HEMT 同様、2次元電子ガスのふる

116

5.2 雑音係数のモデル化





5.3 パルスドープ構造 GaAs 電界効果トランジスタの最適雑音指数のモデル化



まいが存在することを報告しており、ゲート長とチャンネル厚のアスペクト比が十分大 きいことを示唆している [15]。そして、図 5-4 に示したシミュレーション結果はこれを 裏付けている。また、チャンネル厚の小さいFETほど相関が強いというシミュレーショ ン結果は、Nakajimaらが報告している結果 [12]、すなわちチャンネル厚の小さいFET ほど、FukuiのKfファクタ [16] が小さいという事実と一致する。したがって、パルス ドープFETにおける優れた低雑音特性は、HEMTと同様、ドレイン雑音とゲート雑音の 相関が強いことで解釈することができる。

5.3 パルスドープ構造 GaAs 電界効果トランジスタの 最適雑音指数のモデル化

本節の目的は、パルスドープ FET の最適雑音指数 Fo の製造ばらつきに関し、その統 計的モデルを確立することである。FETのパラメータの製造ばらつきの数学的な表現式 は、そのFETを用いた回路の性能における製造ばらつきを予測する上で極めて重要な役 割を果たす。とりわけFoは、低雑音増幅器の場合に重要であり、Foの分布を表す確率 密度関数が得られれば、低雑音増幅器の雑音指数の製造ばらつきを設計段階からシミュ レーションすることが可能となり、特に製造後に回路調整が困難なMMICにおいて有用 である。Cappyらは、HEMTやMESFETの雑音のモデル化に関する先駆的な研究を行っ ている [8]、[14]。しかしながら、雑音パラメータの統計モデルに関する報告例はほとん

どない。これは、一般にFETの(特にFoの)ばらつきを決定する要因があまりにも多 いため、数学的なモデル化が困難であったことが、その理由の一つと考えられる。

一方、パルスドープFETの場合にはFoのばらつきを決定する要因が、通常のデバイ スに比べて単純化され、統計モデルの導出が比較的容易である。第2章で既に、パルス ドープ構造MESFETがその簡単なデバイス構造と製造プロセスにより、優れた均一性を 実現していることを述べた。そこで、本節ではパルスドープFETの場合、Foのばらつき に関してゲート長のばらつきが支配的要因であることを明らかにし、ゲート長のばらつ きの分布からFoの製造ばらつきに関する確率密度関数を求める。また、ゲート長0.4 µ mではさほど問題にならないが、ゲート長が0.25 µmになると実用的なモデルの精度を 確保するために、有効ゲート長の概念を導入する必要があることを明らかにしている。そ して、有効ゲート長を求める過程で、パルスドープ構造の電子速度や遅延時間などの詳 細な解析を行うことによって、パルスドープ構造における電子のふるまいを明らかにし ている。

5.3.1 最適雑音指数のばらつきを支配する要因

Foの製造ばらつきには、いくつかの要因が寄与していると考えられるが、これらすべ ての要因を考慮した解析は極めて困難である。しかしながら、本研究で提案されている パルスドープ構造 FET の場合、この問題が単純化される。すなわち、以下の理由により パルスドープ構造FETにおいては、Foのばらつきはそのゲート長のばらつきによってほ とんど支配されるのである。

- (a) ゲートリセス構造を有するデバイスでは、そのリセス形状やエッチングの深さがデ バイス特性に敏感に影響を与えるが、本研究で提案されているパルスドープ構造 FETでは、ゲートリセス構造を用いておらず極めて高い均一性を実現している。
- (b) また、優れたOMVPE装置を用いて結晶成長を行っているため、3インチウエハ面 内において、図5-5に示したように、シートキャリア密度(Ns)が1%、電子移動 度が2.5%という高い均一性を実現している。したがって、パルスドープ構造にお ける電子の輸送特性においても、高い均一性を実現していると考えられる。
- (c) 最適雑音指数 Foを得るためのドレイン電流(Idopt)はウエハ面内でさほどばら つかないと考えられる。なぜなら、パルスドープ FET の最小雑音指数 Fmin のド レイン電流依存性は、第2章で述べたように極めて小さいからである。

5.3 パルスドープ構造 GaAs 電界効果トランジスタの最適雑音指数のモデル化



一方、ゲート形成には通常の露光装置を使用しているため、ある程度のゲート長のウ エハ面内でのばらつきは避けることができない。既に第4章で、|Γopt|がゲート長に 対して緩やかな依存性を持つのに対し、

∠ Γ optは比較的大きな依存性を持ち、 Γ optは スミスチャート上で、ランダムに分布するのではなくある偏りを持った分布を示し、そ れはゲート長を変化させた時に描く軌跡のほぼ一致することを明らかにした。そこで、本 節では、「Foのばらつきはゲート長のばらつきで決定される」という仮定のもとに解析を 進める。したがって、まずFoをゲート長の関数で表すことが必要であるが、この目的の ために、次式に示す Cappy の式が極めて有用である [8]。

Fmin = $1+2\omega Lg \sqrt{(\alpha Wg + \beta Id)(Rs + Rg)/v_s}$

ここで,	ω:	角周波数
	α,β	:一般定数
	Wg :	ゲート幅
	Id :	ドレイン電流
	Rs :	ソース抵抗

120

(5-6)

一方Foは、Id=Idoptの時に得られるFminの最適値であり、Fminに関する式(5-6) はFoに関する次式に書き換えることができる。

$$Fo = 1 + 2\omega Lg \sqrt{(\alpha Wg + \beta Idopt)(Rs + Rg)/v_s}$$
(5-7)

式 (5-7)は、FoがLgだけではなく、Idopt、Rs、Rgなどのばらつきの影響を受ける ことを示唆しているが、上述のようにここではこれらのばらつき要因は無視できるもの とする。

5.3.2 ゲート長の製造ばらつきの分布

図 5-6は、ゲート長 0.25 µmを目標に試作された 3 インチウエハ面内における 110 個のサンプルに関し、実際のゲート長を測定した結果をヒストグラムにしたものである。



$$p_{Lg}(Lg) = \begin{pmatrix} \frac{1}{\sqrt{2\pi} \sigma_{Lg}} \exp\left[-\frac{(Lg - \overline{Lg})^2}{2\sigma_{Lg}^2}\right] & \text{for } Lg \ge 0\\ 0 & \text{for } Lg < 0 \end{pmatrix}$$
(5-8)

ここで、 Lg:ゲート長の平均値

σ_{La}: ゲート長の標準偏差

0.026倍)ため、近似的に次式が成り立つ。



図 5-6 において、実線で示したのが式 (5-9) による計算結果である。

5.3.3 有効ゲート長と電子の飽和速度

後に、比較のためにゲート長0.4 µmの場合の結果を示すが、ゲート長0.25 µmの 場合には有効ゲート長 (Lgeff)の概念を導入しなければ、十分なモデル精度を得ること ができない。有効ゲート長Lgeffはゲート電極長Lgと、ゲート下空乏層の横方向広がり Δ Lgから構成される。Δ Lgはゲート長が長い場合には無視することができるが、ゲー ト長が短くなってくると無視することができなくなる。そこで、Foの確率密度関数を導 出する前に、この有効ゲート長を評価しなければならない。ゲート長が2μm以上の場

122

5.3 パルスドープ構造 GaAs 電界効果トランジスタの最適雑音指数のモデル化

ゲート長の測定はSEM (scanning elctron microscope)を用いて行った。図5-6に示 したように、ゲート長のばらつきの分布はガウス分布で良く近似できることがわかる。こ の分布において、ゲート長の測定結果の平均値は0.25 µm、標準偏差は0.026 µmで あった。したがって、ゲート長のばらつきの分布は次式で近似することができる。

をそれぞれ表す。ここで、ゲート長の標準偏差に対して、平均値が十分大きい(0.25/

(5 - 9)

$$\frac{(-g)^2}{2} dLg = 0$$
合には、電子移動度が電界強度に依存する gradual channel approximation が成り立つ が、ゲート長1µm以下になると、飽和速度モデルを適用すべきである[20]。一方、Δ Lgは主としてゲート下空乏層の横方向広がりに起因するから、ゲート長0.2 µmと0.3 μmの場合でその値はほとんど同じであると考えられる。したがって、本節の議論では、 文献 [20] や [21] と同様に、△ Lg はゲート長に対して一定であるとみなす。

短チャンネル FET の電子の速度は、電子の遷移時間 て tran を用いて次式で表すことが できる。

$$V_{s} = \frac{\text{Lgeff}}{\tau_{\text{tran}}} = \frac{\text{Lg} + \Delta \text{Lg}}{\tau_{\text{tran}}}$$
(5-10)

また、ΔLgとvsを得るためには、次式で表される電子の遅延弛緩を調べることが重要 である。

$$t_{\text{total}} = \frac{1}{2\pi f_{\text{T}}}$$
(5-11)

電子の遅延時間は、寄生容量を充放電するためのextrinsicな遅延時間でparsとFETの intrinsic な遅延時間 τ_{int} の和であり、次式が成り立つ。

$$\tau_{int} = \tau_{total} - \tau_{para} \tag{5-12}$$

ここで、て paraは、ゲート・ドレイン間容量Cgdを、ソース抵抗Rs およびドレイン抵 抗Rdを通して充放電するための時間である。Cgdの値はYパラメータ(Y12)の虚部か ら計算することができ、Rs+RdはTLM (transmission-line-method) 測定により求め ることができる。測定の結果、ゲート長0.3 µm、ゲート幅280 µmのパルスドープFET の場合、Cgdは75fF、Rs+Rdは2.6 Ωであった(CgdとRs+Rdはほとんどゲート長に 依存しない。したがって、この時定数は1.2 ps である。提案しているFETの構造は第2 章で述べたように、ゲート電極が GaAs 基板に対してオーバーラップするような構造に なっており、MIS (metal-insulator-semiconductor) 容量が寄生的に付加されるため、 Cgd はほとんどがこの寄生容量である。したがって、この時定数は、ほとんどドレイン 電流に依存しない。

また、intrinsic な遅延時間は、電子の遷移時間とチャンネル充電時間 (channel charging time) τ_{chan} の和であり、次式が成り立つ。



$\tau_{\text{tran}} = \tau_{\text{int}} - \tau_{\text{chan}}$

一方、電子の遷移時間 て tran は て Int のドレイン電流依存性から求めることができる [24]、[25]。図 5-7は、ゲート長 0.2 µm とゲート長 0.3 µmの FET における、て int 対 ドレイン電流密度(Wg/Id)を示したものである。測定はVd=2Vで行われた。て」はド レイン電流密度に対して、ほぼ直線的に変化するが、ドレイン電流の大きい領域で劇的 に変化する。各々のプロットにおいて、直線的な領域を外挿し、Wg/Id=0における切片 が τ_{tran} を表しており、ゲート長0.2 μmの場合1.9ps、ゲート長0.3 μmの場合2.6ps であった。これらの値を式 (5-10) に適用しフィッティングすることによって、Δ Lg=0.07 µm、vs=1.4×107cm/sという値が得られる。また、図 5-7 において直線部 分は τ_{chan} の寄与を示しており、ゲート長0.2 μ mの場合とゲート長0.3 μ mの場合で ほとんど差が無く、その値は、最適雑音指数が得られる条件(Id=15mA)の時に1.3 ps となる。

124

5.3 パルスドープ構造 GaAs 電界効果トランジスタの最適雑音指数のモデル化

図5-7 T int 対Wg/Id

(5 - 13)

5.3.4 最適雑音指数の確率密度関数

Foのばらつきの確率密度関数を導出するために、式(5-7)を有効ゲート長Lgeffを含 んだ次式に書き換える必要がある。

Fo(Lg) = $1+2\omega(Lg+\Delta Lg)/(\alpha Wg+\beta Idopt)(Rs+Rg)/v_s$ (5 - 14)

図 5-8 に、FoのLg依存性に関し、測定結果及び式(5-14)を用いて計算した結果を 示したが、良く一致している。この計算には、以下の値を用いた。

> Δ Lg = 0.07 μ m $\sigma_{\rm Lg} = 0.026 \ \mu \ {\rm m}$ $\omega = 2 \pi \times 12 \times 10^9$ $\alpha = 2 \times 10^5 \, \mathrm{pF/cm^2}$ $\beta = 1.25 \times 10^2 \, \mathrm{pF/mA/cm}$ Idopt = 15 mAWg = 280 µ m $Rs + Rg = 2.1 \Omega$ $vs = 1.4 \times 10^7 \text{ cm/s}$

ここで、α、βはチャンネルの構造や材料の性質にほとんど依存しない一般定数である [8]。

確率変数Lgと、その確率密度関数が得られたので、新しい確率変数Foの確率密度関 数は、FoがLgの1価関数であることから、次式を用いて変数変換を行うことによって 求めることができる [22]。

$$p_{Fo}(Fo) = p_{Lg}(Lg) \left| \frac{\partial Lg}{\partial Fo} \right|$$
 (5-15)

次に、式 (5-8)、(5-14)、(5-15)を用いて、Foの確率密度関数を導出することがで き、次式のようになる。

5.3 パルスドープ構造 GaAs 電界効果トランジスタの最適雑音指数のモデル化



FoはLgの線形関数であるため、Foの確率密度関数もまた、ガウス確率密度関数とな る。ここで、比較のためにゲート長0.4 µmを目標に試作されたウエハの、Foのばらつ き測定結果を図 5-9 に示す [17]、[18]。また式 (5-16) において、 Δ Lg=0 とし有効ゲー

126

$$\frac{C(Lg + \Delta Lg)}{c^{2} \sigma_{Lg}^{2}} \quad \text{for Fo} \geq 1 + C\Delta Lg$$
for Fo < 1 + C\Delta Lg
$$(5-16)$$

(5 - 17)

$$\frac{-C(Lg+\Delta Lg)}{2C^2 \sigma_{Lg}^2} dF_0 = 0$$
 (5-18)



図5-9 Foのばらつき (ゲート長0.4µm)

ト長を無視した場合の計算結果も図 5-9 に示したが、測定結果と比較的良い一致を示していることがわかる。

さて、実際にはFoはdB値で表現されることが多いため、式 (5-16) はdB値のFoに 関する式に書き換えた方が便利である。この新しい確率変数を、Fo_{dB} (Fo_{dB} =10 log Fo) と記することにすると、式 (5-16) に対し、式 (5-15) の変数変換を施すことによって、 次式を得ることができる。

$$p_{F_{O_{dB}}}(F_{O_{dB}}) = \begin{cases} \frac{F_{O_{dB}}}{10\sqrt{2\pi}C\sigma_{Lg}} 10^{10} \exp\left[-\frac{\frac{F_{O_{dB}}}{10}^{-1-C(Lg+\Delta Lg)}}{2C^{2}\sigma_{Lg}^{2}}\right] \\ for \ F_{O_{dB}}(F_{O_{dB}}) = \end{cases}$$
 for \ F_{O_{dB}} \ge 10\ln(1+C\Delta Lg) \qquad (5-19)

5.3 パルスドープ構造 GaAs 電界効果トランジスタの最適雑音指数のモデル化

ここでもやはり次の近似が成り立つ。

-00



図 5-10 に、ゲート長0.25 µ mを目標に試作されたウエハの、面内110 個のFET の 12GHz における Fo_{dB} のばらつきの測定結果を示す [19]。測定に用いたウエハはゲート 長のばらつきを測定したものと同じものである。Fo_{dB} の平均値は0.65 dB、標準偏差は



128

$$\frac{Fo_{dB}}{10} \exp \left[-\frac{Fo_{dB}}{\frac{10^{10} -1-C(Lg + \Delta Lg)}{2C^2 \sigma_{Lg}^2}} \right] dFo_{dB} = 0$$

(5-20)

0.05 dBであった。Fod が Fod と Fod の間に入る確率は次式で表すことができる。

 $\Pr[Fo_{dB1} < Fo_{dB} \le Fo_{dB2}] = \int_{Fo_{dB2}}^{Fo_{dB2}} p_{Fo_{dB}}(Fo_{dB}) dFo_{dB}$ (5-21)

図5-10には式(5-19)による計算結果も示しているが、良い一致を示していることが わかる。これらの計算結果は、Foのばらつきがゲート長のばらつきのみに依存すると仮 定して得られたものであり、この仮定が正しいことが実証された。また、図5-10におい て測定結果は計算結果よりやや分散が大きいが、これはゲート長以外のばらつき要因の 寄与であると考えられる。

5.4 結言

本章では、低雑音GaAsMESFETのモデル化に関する2つの研究成果について述べた。 その一つは、回路シミュレーションのためのデバイスの新しい等価回路モデルに関する ものである。等価回路モデルに関する研究報告は非常に多いが、本章で提案した等価回 路は、最近の高度化された CAD システムの機能を十分に活用し、van der Ziel モデルに おける FET の雑音係数(P.R.C)をフィッティング手法によって求めることができる 点が特徴である。FETの雑音係数は、FETの雑音のふるまいをモデル化する上で極めて 重要であるが、直接測定することが困難であり、また解析的に導出することも困難であ る。そこで、この等価回路は直接測定が容易な、Sパラメータおよび雑音パラメータ (Fmin, Rn, |Sopt|、 ∠ Sopt)の測定結果に、等価回路のシミュレーション結果を フィッティングさせ、両者が一致するよう回路定数を最適化する。これは、パルスドー プFETだけではなく、一般に低雑音FETに適用できるものである。また、Baechtoldは van der Zielのモデルに電子の飽和速度や谷間散乱雑音 (intervalley scattering noise) を考慮に入れることにより、短ゲートのFETに関するモデルの精度を向上させ、さらに Cappyがゲート・ドレイン容量Cgdとドレインコンダクタンスgdを考慮に入れること により、高周波領域における雑音指数のモデル精度を改善したが、これら先駆者たちの 改善内容も全てこの等価回路には含まれている。

そして、本章で提案した雑音等価回路を用いたシミュレーション手法について述べ、 実際にパルスドープ構造GaAsMESFETにおける雑音係数のふるまいを解析した。シミュ レーションによって得られた雑音パラメータ、すなわち最小雑音指数、最適信号源イン ピーダンス、等価雑音抵抗の値が測定結果と良く一致することを示し、提案している等 価回路の実用性を示した。ここではパルスドープ構造におけるチャンネル厚の異なる FETのシミュレーション結果から、チャンネル厚が薄いFETの方がドレイン雑音とゲー ト雑音の相関係数が大きく、パルスドープFETではHEMTと同様、0.8以上の相関係数 の値をとることを明らかにし、その優れた低雑音特性の理論解釈の一つを得ることがで きた。

もう一つの成果は、パルスドープ FET の最適雑音指数 Foの製造ばらつきに関し、そ また、ゲート長0.4μmではさほど問題にならないが、ゲート長0.25μmになると

の統計的モデルを確立し、数学的な表現式、すなわち確率密度関数を解析的に導出する ものである。従来、このような雑音パラメータの統計モデルに関する報告例はほとんど なかったが、これは一般にFETのFoのばらつきを決定する要因があまりにも多いため、 数学的な取り扱いが困難であったからと考えられる。そこで本章では、パルスドープ FETの場合にはFoのばらつきを決定する要因が、通常のデバイスに比べて単純化され、 数学的な取り扱いが容易になる事を明らかにした。すなわち、パルスドープFETの場合、 Foのばらつきに関してゲート長のばらつきが支配的要因であることを明らかにし、ゲー ト長のばらつきの分布からFoの製造ばらつきに関する確率密度関数を解析的に導出した。 有効ゲート長の概念を導入しなければモデルの精度が低下することを明らかにし、有効 ゲート長を求める過程で、パルスドープ構造の電子速度や遅延時間などの解析を行い、正 確な値を求めた。これらの値は、パルスドープFETにおける、電子の輸送特性を解明す る上でも大変興味深いものである。そして、導出した式による計算結果と実験結果がよ く一致することを示し、このモデルの実用性を確認した。導出したモデルは、低雑音増 幅器の設計において最も重要な最適雑音指数の製造ばらつきに関するものであり、設計 段階から回路の歩留りをある程度シミュレーションできる点において、低雑音増幅器の 回路設計技術に新しい概念を導入でき、とりわけ、製造後の回路調整が困難な MMIC の 場合に、有用である。

5.4 結言

参考文献

- [1] Hwang, Y., Ip,K., Yocom, P., Clark, M., Ngan, Y. C., Esfandiari, R., and Mlinar, M., "Yield prediction and enhancement of monolithic amplifiers," in GaAs IC Symposium Dig., 1989, pp. 295-298.
- [2] Norris, G. B. and Barratt, C. A., "GaAs MMIC yield modeling," in GaAs IC Symposium Dig., 1990, pp. 317-320.
- [3] Bilbro, G. L., Stoneking, D. E., and Trew, R. J., "Yield determination and design optimization of GaAs MESFET's using a physical simulator," in GaAs IC Symposium Dig., 1991, pp. 171–174.
- [4] Van der Ziel, A., "Thermal noise in field-effect transistors," Proc. IRE, vol. 50, pp. 1808-1812, 1962.
- [5] Van der Ziel, A., "Gate noise in field-effect transistors at moderately high frequencies," Proc. IEEE, vol. 57, pp. 461-467, 1963.
- [6] Baechtold, W., "Noise behavior of Schottky barrier gate field-effect transistors at microwave frequencies," IEEE Trans. Electron Dev., vol. 18, no. 2, pp. 97-104.1971.
- [7] Baechtold, W., "Noise behavior of GaAs field-effect transistors with short gate lengths," IEEE Trans. Electron Dev., vol. 19, no. 5, pp. 674-680, 1972.
- [8] Cappy, A., Vanoverschelde, A., Schortgen, M., Versnaeyen, C., and Salmer, G., "Noise modeling in submicrometer-gate two-dimensional electron-gas field-effect transistors," IEEE Trans. Electron Dev., vol. 32, no. 12, pp. 2787-2795, 1985.
- [9] Goyal, Ravender, ed. Monolithic microwave integrated circuits : technology and design. Artech House: Norwood, MA, 1989.
- [10] HP 85150B Microwave and RF Design Systems Component Catalog, vol. 2 -Control Elements and Sources.

- vol. 4 Simulating and Optimizing Circuit Performance.
- [12] Nakajima, S., Otobe, K., Shiga, N., Kuwata, N., Matsuzaki, K., Sekiguchi, T., 771-776, 1992.
- 419.
- Microwave Theory Tech., vol. 36, no. 1, pp. 1-10, 1988.
- 1316-1317, Sept. 1990.
- Electron Dev., vol. 26, no. 7, pp. 1032-1037, 1979.
- 学秋季全大, C-32.
- Albuquerque, pp. 655-658 (June 1992).
- doped GaAs MESFET's," IEICE Trans. Electron, 揭載予定
- 7, pp. 879-886, 1988.

[11] HP 85150B Microwave and RF Design Systems Designers Task Reference,

and Hayashi, H., "Low-noise characteristics of pulse-doped GaAs MESFET's with planar self-aligned gates," IEEE Trans. Electron Dev., vol. 39, no. 4, pp.

[13] 乙部健二, 中島 成, 桑田展周, 関口 剛, 松崎賢一郎, 志賀信夫, 林 秀樹:"パ ルスドープ構造 GaAs MESFET の活性層薄層化の効果", 1990 信学秋季全大, C-

[14] Cappy, A., "Noise modeling and measurement techniques," IEEE Trans.

[15] Nakajima, S., Kuwata, N., Nishiyama, N., Shiga, N., and Hayashi, H., "Electronic properties of a pulse-doped GaAs structure grown by organometallic vapor phase epitaxy," Appl. Phys. Lett., vol. 57, no. 13, pp.

[16] Fukui, H., "Optimal noise figure of microwave GaAs MESFET's," IEEE Trans.

[17] 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: "パ ルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察(5)", 1991 信

[18] N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "Modeling on Statistical Distribution of Noise Parameters in Pulsedoped GaAs MESFETs," 1992 IEEE MTT-S Int. Microwave Symposium Dig.,

[19] N. Shiga, "Modeling on Statistical Distribution of Optimal Noise Figure in Pulse-

[20] Moll, N., Hueschen, M. R., and Fischer-Colbrie, A., "Pulse-doped AlGaAs/ InGaAs pseudomorphic MODFET's," IEEE Trans. Electron Dev., vol. 35, no.

- [21] ENOKI, T., Arai, K., and Ishii, Y., "Delay time analysis for 0.4- to 5- #m-gate InAlAs-InGaAs HEMT's," IEEE Electron Device Lett., vol. 11, no. 11, pp. 502– 504, 1990.
- [22] Davenport, W. B. Jr. and Root, W. L., An Introduction to the theory of random signals and noise. New York, NY: IEEE PRESS, 1987, ch.3.

6.1 緒言

マイクロ波集積回路の重要な応用分野として、移動体通信システムの基地局への適用 をあげることができる。携帯電話・自動車電話の急速な普及に伴い、全国で基地局の増 設が急ピッチで進んでおり、また加入者の多い地域では従来使用されてきた800MHz~ 900MHz帯だけでは周波数資源が不足してきたため、さらに1.5GHz帯を使用するなど、 新たな基地局の需要も増えつつある。一方、周波数資源の利用効率を高める観点からは、 セルのサイズを小さくするいわゆるマイクロセル化も進んでおり、今後基地局の要求数 はますます増加する傾向にある。また、1995年よりサービスが開始された PHS はセル の半径が100m~200mであり、その基地局は都市部に多数設置されるため、都市美観の 観点から小型化に対する要求が従来にも増して強くなっている。通常の携帯電話システ ムにおいても、地下街やビル内駐車場などの電波の不感地域での利用を可能にするため のブースターや補完的な基地局の需要が増えてきており、やはり都市美観の観点から最 近ではPHS同様、容積1,000cc以下というような極めて小さい物が要求されるように なった。このような基地局にとって、小型化するための重要な要素技術として、電源の 小型化をあげることができる。電源の容積はその機器の消費電力にほぼ比例するが、基 地局の場合、電力増幅器の消費電力が非常に大きな割合を占めている。したがって、電 力増幅器の低消費電力化は基地局の小型化にとって、極めて重要な技術となる。

本章では、このような点をふまえて、パルスドープ構造GaAsMESFETのもう一つの 興味深い特長であり、通常のイオン注入型 MESFETや HEMTには見られない高い線形 性を利用した電力増幅器への応用について述べている。GaAs FETの高出力化は、GaAs の熱電導率がSiの3分の1しかないことから、当初は実現困難と考える研究者も多かっ たが、高出力用 GaAs FET は 1973 年になってようやく、Fukuta と Napoli らによって ほぼ同時に報告された [1]、[2]。以来、電力増幅器用トランジスタに関する多大な研究 がなされてきたわけであるが、本研究ではパルスドープ構造を電力増幅器へ応用する観 点から種々の検討を行った。既に第2章では、パルスドープ構造 MESFET が通常の MESFETやHEMTの入出力関係が2乗則に従うのに対し、非常に線形性に優れた特性を 明らかにし、低歪特性を要求される無線通信システム用電力増幅器への応用に、本質的 に適していることを示した。無線通信システムでは、所定の出力電力を越えてアンテナ より送信される信号の帯域幅が電波法により規定されており、その帯域外へ漏洩する電 力を規定値以下にしなければならない。帯域外への漏洩電力は、送信回路における出力 増幅回路の歪特性に強く依存し回路が低歪であるほど小さい。特に、最終段電力増幅器 の歪特性は重要である。また、回路の非線形特性により相互変調積を生ずるが、相互変 調積のうちで最も問題となるのが、送信帯域内に落ち込む可能性がある3次の相互変調積 である。これは、複数の搬送波(キャリア)周波数を含む信号を増幅(共通増幅)し送 信するシステムでは極めて重要であり、通常の移動体通信システムにおける基地局では、 3次相互変調積の仕様が規定されている。3次相互変調積は回路の3次歪により生ずるが、 一般にFETは2乗則特性を示すため、指数特性を示すバイポーラトランジスタより3次 歪が小さく線形性に優れているが、パルスドープ構造MESFETでは通常のFETよりさら に線形性に優れており、低歪を要求される電力増幅器への応用に適しているのである。し かしながら、電力増幅器への応用を図るためには、通常のパルスドープ構造では不十分 であり、第2章で、これに適した結晶構造を明らかにするとともに、この設計変更が極 めて容易であり、製造プロセスも低雑音用パルスドープ構造MESFETとほとんど同様で あることを述べた。

本章の目的は、この線形性に優れた電力増幅器用パルスドープFETを用いた、消費電力のより小さい電力増幅器の設計手法について明らかにし、実際に電力増幅器を試作してその優れた特性を実証することである。2種類の携帯電話基地局用1.5GHz帯電力増幅器の設計およびその試作結果について述べている[5]。

6.2 消費電力の小さい電力増幅器の設計手法

本節では、電力増幅器の一般的な設計手法について述べ、電力増幅器用パルスドープ

FETの特徴を明らかにし、その特徴を応用した設計について述べている。電力増幅器の ようにトランジスタが大信号動作をする回路では、その特性が負荷インピーダンスに強 く依存するため、回路設計に必要なパラメータは小信号Sパラメータだけでは不十分で あり、実際に動作させる入力電力を印加して評価しなければならない。このような評価 をロードプルと言うが、電力増幅器用パルスドープFETのロードプル特性を示し、また イオン注入型MESFETに関しても同様の測定を行い、提案しているデバイスがより優れ た電力特性を実現できることを明らかにしている。さらに、FETの出力電力が最大にな る負荷インピーダンス、FETの3次歪が最小になる負荷インピーダンス、電力付加効率 が最大になる負荷インピーダンスを、それぞれスミスチャート上で比較し、消費電力の より小さい電力増幅器の設計手法について明らかにする。

6.2.1 電力増幅器の設計

電力増幅器の設計には、出力電力を最大にする設計、歪を最小にする設計、電力効率 を最大にする設計などがある。消費電力をさほど問題にしない応用の場合には、目標仕 様の出力電力が十分に得られるデバイスを採用し、その飽和出力電力に対して数dB出力 の小さいところで動作をさせる(これをバックオフをとるという)ことによって所定の 歪特性を満足させるという設計手法が用いられる。

高出力設計の一つの手法として、ロードライン(負荷線)解析がある。ロードライン 解析とは、トランジスタの直流特性上にロードラインを描き、ロードライン上の高周波 のドレイン電流およびドレイン電圧、直流成分などの振幅から出力、電力効率を計算し、 出力特性の負荷依存性を求める手法である。図6-1において、Roptの負荷線上をドレイ ン電流およびドレイン電圧がスイングする場合に、電流および電圧ともに最大振幅が得 られる。FETがA級動作をしている場合のバイアス点 (Vdo,Idso) は通常、0.5 Z。<Z, <2Z₀となるように設定する。ただしVk <<Vbr + Vp とする。この場合の(出力電力 Pout および電力効率 (η d) は最大となる。図 6-1 において、負荷線を R_{L1} (>Ropt) に 設定すると、ドレイン電圧がクリップされるため出力電力が低下し、負荷線をR₁。 (<Ropt)に設定すると、ドレイン電流がクリップされるため、出力電力が低下する。一 方、小信号設計の場合の負荷線は通常a点(Vk,Vdss)とb点(Vbr+Vp,0)を結んだ 線であり、Roptの負荷線と比較すると、傾斜が穏やか、すなわち抵抗分が高くなる。高 出力設計の負荷の抵抗分 (Ropt) を小信号設計より低く設定するのは、ゲート電圧Vgが ゼロバイアスでもまだFETのチャンネルが完全に開いておらず(空乏層が存在)、Vg>0 にすることによりドレイン電流が増大し、出力を大きくすることができるためである。 ロードライン解析の手法は文献[4]などに詳しい。







FETの大信号モデルパラメータの内、FETが大振幅動作をしている場合に最も大きく 変化するのはドレイン・ソース間抵抗 (Rds) である。これはロードプル測定 (後述) よ り直接求めることができる。大振幅動作時の Rds の値は周波数依存性が小さいため、こ の Rds を用いた線形回路解析により、広帯域にわたって容易にパワーマッチング (出力 が最大になる整合)をとることができる。大振幅動作時の Rds を考慮した小信号モデル を図 6-2 に示す。大信号動作時の出力抵抗は直流での出力抵抗 (Rdso)の値に大きく依 存する。Rdso は大振幅動作時のバイアス点の変動に伴って大きく変化し、1 周期での平 均値が大信号動作時の Rds と考えることができるので、大振幅動作時の Rds は、直流バ イアス (Vdo Idso)、出力負荷 (Γ₁)、ドレイン電流や電圧の振幅に依存する。バイアス を Vdo, Idso に固定し、ロードプル測定によって出力が最大になる反射係数 (Γ opt) が 決定したら、図 6-2 の小信号モデルの Rds の値を変化させて FET の S22 を計算し、S22 が Γ opt と共役になる点での Rds の値を求める。このように大振幅動作時の出力抵抗の 値を Rds とした小信号モデルを用いて出力側の整合をとることにより、線形回路解析で パワー整合を実現することができる。

次に電力分配・合成回路について述べる。MMICの高出力化を図る一つの方法として、 FETのゲート幅を大きくすることが考えられる。この方法を図 6-3 に示す。しかしなが ら、FET セルを構成するユニットフィンガ長を大きくするには、周波数(波長)の観点 から限界があり、フィンガ数を増す方法の場合、ゲート給電点からの距離にやはり波長

138

6.2 消費電力の小さい電力増幅器の設計手法

図6-3 FETのゲート幅を大きくする方法



図6-4 電力分配・合成機能を持たせたインピーダンス変成器





図6-5 N分岐の電力分配・合成器

の観点から限界があるため、FETのユニットセルの大型化には限界がある。そこで、設 計周波数の波長に対して十分小さい寸法に設計するために、図6-3(c)に示したように、 FETのユニットセルを電力合成する方法が考えられる。図 6-4はインピーダンス変成器 に電力分配・合成機能を持たせた構成を示したものである。分岐した線路間には通常ア イソレーション抵抗を装荷し、奇モードの電波を吸収させる。N分岐の電力分配・合成 器としては、図 6-5 (a) に示したウィルキンソン形、図 6-5 (b) に示したラジアル形、図 6-5 (c) に示したフォーク形が用いられる。

高出力増幅器の高効率化を回路的に達成する手法として、基本波およびすべての高調 波に対する終端条件を最適化し、高効率化を図るF級動作がある。F級動作における最大 効率は100%である。F級動作では、全偶数次高調波に対する負荷インピーダンスを短絡、 また全奇数次高調波に対する負荷インピーダンスを開放にしなければならないが、高調 波の寄与は、低次のもの程大きく、2倍波までを最適負荷で終端することにより、理論上 86%の最大効率を得ることができる。

FETのA級およびB級動作のロードラインを図6-6に示す。A級動作のバイアス点は、 ドレイン電流 Ids (t) が0から Ids (max)の範囲内で、ドレイン電圧 Vd (t) がVk から



図6-6 A級およびB級動作のロードライン

140

Vbr+Vpの範囲内でスイングするように設定する。ドレイン電流および電圧は(Vk,Ids (max)) と (Vbr + Vp,0) を結んだ負荷線上をスイングする時に最大となり、負荷線上を ドレイン電流および電圧がスイングする場合に最大出力および最大効率50%が得られる。 一方、B級動作のバイアス点は、図 6-6 (b) に示すように、直流のドレイン電流 (Idso) がゼロになるように設定するのであるが、この場合ドレイン電圧は正弦的な変化をし、ド レイン電流は半波整流された波形になる。B級動作において高効率化を図るためには、偶 数次の高調波電圧を極力抑える必要があり、奇数次の高調波電流は生じないので、奇数 次の電圧が発生しても効率の劣化は生じない。したがって、高調波に対する負荷条件は、 すべての偶数次の高調波に対して短絡、すべての奇数次の高調波に対して開放にするこ とである。A級、B級、F級動作のドレイン電流および電圧を図 6-7 に示す。

6.2.2 ロードプル特性

移動体や衛星通信に用いられるπ/4-shiftQPSK変調信号やマルチキャリア信号を増 幅した場合、増幅器に振幅歪または位相があると、出力信号に混変調歪が生じ、その結 果、出力スペクトラムに広がりが生じる。これが隣接チャネルへの漏洩電力となり、通 信に支障をきたす。一般に、高出力・高効率が得られる非線形領域では振幅が歪み、位 相歪も大きい。非線形領域からバックオフをとった線形領域では振幅歪は小さいが、効 率が劣化する。このように通常のデバイスを用いた設計では、低歪と高効率はトレード オフの関係にあり、低歪で高効率を同時に満足することは難しい。そこで、これらを両 立させるためには、本質的に低歪なデバイスを用いることが必要となる。

低歪設計の方法には、設計パラメータである入出力負荷、動作級、バックオフ量など をロードライン解析やHarmonic Balance 法などの非線形回路解析を用いて計算より求 める方法と、ロードプル測定を用いて直接測定より求める方法がある。移動体通信の応 用では、電力増幅器の仕様として、出力電力およびその出力を達成する時の3次相互変 調歪、そして2倍波・3倍波高調波歪などである。したがって、低消費電力すなわち高 効率の電力増幅器の設計は、所望の3次相互変調歪を満足させつつ、いかにして高い効 率で出力電力仕様を達成するかという問題の解を得ることである。そこで、ロードプル 測定は、与えられた3次相互変調歪を固定し、負荷条件やバイアスなどをパラメータと して最適解を探し、設計パラメータを抽出することになる。





図6-8 ロードプル測定のブロック図

図 6-8 にロードプル測定のブロック図を示す。FET の負荷インピーダンスを電子 チューナによって変化させ、個々の負荷インピーダンスに対する出力電力や3次相互変 調歪、電力効率などを測定し、設計パラメータを抽出する。本研究では、ATNマイクロ ウエーブ社のLP5を用いて測定した。

図6-9に、ゲート幅4.8mmの電力増幅器用パルスドープFETのロードプル特性を示 す[6] - [9]。測定はドレイン電圧 Vd を 8V、ゲート電圧 Vg を -1.8V、入力電力 Pin を8dBmとし、周波数1.50 GHzおよび1.51 GHzの2周波数で行ったものである。図 6-9は、出力電力が等しい点を等高線としてプロットした等出力電力円とインターセプト ポイントIP。が等しい点を等高線としてプロットした等インターセプトポイント円を示し たものである。最大出力が得られる負荷インピーダンスと、IM₃が最小になる負荷イン ピーダンスが異なることがわかる。

また、通常のイオン注入型 MESFET に対する、電力増幅器用パルスドープ FET にお ける電力特性の優位性を比較するため、市販の電力増幅器用 FET のロードプル測定を 行った。図 6-10 は、これをゲート幅 4.8mm に換算し、電力増幅器用パルスドープ FET のロードプル特性と比較したものである。測定条件は、IM3=-40 dBcという条件で測定 したものである。この図からわかるように、出力電力 Pout と電力付加効率 PAE は、イ オン注入型MESFETと比べおよそ2倍の特性を示している。これは、同じ出力電力およ





び3次相互変調歪の特性を、電力増幅器用パルスドープFETを適用した場合、従来のデバイスに比べておよそ半分の消費電力で実現できることを意味している。

6.2.3 低消費電力化のための設計手法

図 6-11 は、 IM_3 =-40 dBc という条件で測定した電力付加効率 PAE が等しい点を等高 線としてプロットした等電力付加効率円である。効率は電力増幅器にとって、重要な評 価パラメータであるが、これにはドレイン効率 (DE: Drain Efficiency) と電力付加効 率 (PAE: Power Added Efficiency) とがある。入力電力を Pin (W)、出力電力を Pout (W)、消費電力を Pdc (W)、利得をGとすると、ドレイン効率 (η d) は η d=Pout/Pin で表され、電力付加効率 (η add) は η add= (Pout-Pin) /Pdc= η d (1-1/G) で表さ れる。利得Gが高い場合、ドレイン効率と電力付加効率は一致する。本節では、効率の



図6-11 等電力付加効率円

評価パラメータとして、電力付加効率を用いている。電力付加効率が最大になる負荷イ ンピーダンスは、50オームから比較的近い点にあるため、整合回路は簡単なもので構成 することができ、また整合回路のQ値も小さい安定かつ周波数特性の低い回路を容易に 実現できることがわかる。またこのインピーダンスはほぼ純抵抗であり、FETの寄生パ ラメータの影響を受けにくいため、FETの寄生パラメータの製造ばらつきによるこの最 適負荷インピーダンスのばらつきは小さく、良好な回路の歩留りを実現することができ る。

このようにして、電力増幅器用パルスドープFETにおける最適負荷インピーダンス条件、すなわち電力付加効率が最大となる設計パラメータが抽出された。出力マッチング 回路は、このインピーダンスを50 Qに変換するインピーダンス変換回路を、小信号線形 シミュレーションによって設計する。この設計は、インピーダンス・マッチングではな いが、図6-9に示したようにインピーダンス・マッチング点とさほど離れていないため、 実用上十分なVSWRが得られる。また入力マッチング回路は、小信号のSパラメータ設 計による通常のインピーダンス・マッチングで十分な特性を得ることができる。従来の デバイスを用いた設計では、この他に2倍波・3倍波の高調波歪みの評価が必要であり、 場合によってはこれらの制約から、電力付加効率が最大となるインピーダンス点に設計 できないことが考えられるが、パルスドープFETは本質的に線形デバイスであり2倍波・ 3倍波歪は極めて小さいため、設計面で考慮する必要が無く、設計が単純化されるので ある。

6.3 携帯電話基地局用 1.5GHz 帯電力増幅器

本節の目的は、電力増幅器用パルスドープFETを用いて2種類の電力増幅器を設計、 試作し、その優れた低消費電力特性を実証することである。この電力増幅器は、1.5GHz 帯(1.429 GHz~1.501 GHz)の携帯電話における基地局システムに適用されるもので あり、いずれも通常の基地局がカバーできない、電波の不感知領域を補完するための基 地局に用いられるものである。その設計目標仕様は、一方が閉空間システム用として、出 力電力 Pout が28 dBm でその時の3次相互変調歪みIM3が-40 dBc、他方が開空間シ ステム用として、出力電力Poutが32 dBm でその時の3次相互変調歪みIM3が-40 dBc のものである。

146



図6-12(b) 閉空間システムのブロック図 図6-12 電力増幅器の適用システム

6.3.1 電力増幅器の適用システム

図6-12に、本章で設計・試作する電力増幅器の適用システムを示す。一つは閉空間シ ステム用で、図6-12(a)に示したようにビル内の駐車場や地下街等の電波の不感知領域 に、図 6-12 (b) に示したように通常の基地局から光ファイバ等で信号を伝送し、再送信 するためのものである。また、もう一つは開空間システム用であり、図6-12(c)のセル とセルの間や山間などの電波の不感知領域に適用するためのものである。

6.3.2 28dBm 出力の電力増幅器

等価回路を図 6-13 に示す。ゲート幅 4.8 mmの FET を 2 個用い、直接接続したもの である。この電力増幅器の仕様は、電源電圧Vddが8V、ゲートバイス電圧Vggが-4 Vであり、印加されたゲートバイス電圧は抵抗分割により、FETに対し最適な電圧が与





図6-14 28dBm出力の電力増幅器モージュールの写真

えられるように設計している。図6-14に、この電力増幅器モージュールの写真を示す。 セラミック基板上に入出力マッチング回路を形成し、FETと入出力マッチング回路はワ イアボンディングにより接続されている。FET実装部分は、セラミック基板に穴が開け られており、ハッケージ底部に熱を直接逃がすことができるよう銅製のブロック(ヒー トスフレッダと呼ぶ)上にFETが実装されている。図 6-15 に、試作した電力増幅器の 測定結果を示す。1.5 GHzにおいて出力電力 Pout が28.6 dBm でその時の IM3 は-40.0 dBc であった。消費電力 Pdc は 8 W で、電力付加効率 PAE は 9.1 % であり、従来のデ バイスを用いた場合のおよそ2倍の効率を実現している。また、入力電力 Pin を 16.2dBm にして測定した時の、利得 Ga は 12 dB、入出力 VSWR は 1.6、2 信波 歪は -45 dBc以下、3 倍波歪は-65 dBc以下であった。得られた出力電力 Pout および電力付 加効率PAEは、図6-10に示したFETの特性より、やや低い性能となっているが、これ は入出力マッチング回路における損失やインヒーダンス不整合、さらには用いた2個の FETのアンバランスなどがその要因と考えられる。





6.3.3 32dBm 出力の電力増幅器

等価回路を図 6-16 に示す。上述の 28dBm タイプの電力増幅器モジュールをサブモ ジュールとして、これを4個電力合成したものである。図6-17に、この電力増幅器モー ジュールの写真を示す。セラミック基板上に電力合成回路および電力分配回路を形成し、 サブモジュールとこの電力合成回路および電力分配回路はリードピンを介してはんだ付 けにより接続されている。図 6-19 に、試作した電力増幅器の測定結果を示す。1.5 GHz において出力電力 Pout が 33.0dBm でその時の IM3 は -40.0 dBc であった。消費電力 Pdcは32Wで、電力付加効率PAEは6.2%であり、やはり従来のデバイスを用いた場 合のおよそ2倍の効率を実現している。また、入力電力Pinを22.0dBmにして測定した 時の、利得Gaは11dB、入出力VSWRは1.8、2倍波歪は-45dBc以下、3倍波歪は-65 dBc以下であった。得られた利得は、サブモジュールすなわち 28dBm タイプの電力 増幅器の特性より、1dB低い性能となっているが、これは電力合成回路および電力分配 回路における損失やインピーダンス不整合、さらには用いた4個のサブモジュールのアン バランスなどがその要因と考えられる。



図6-16 32dBm出力の電力増幅器の等価回路



図6-17 32dBm出力の電力増幅器モージュールの写真



6.4 結言

本章では、パルスドープ構造 GaAsMESFET の重要な特長の一つであり、通常のイオ ン注入型 MESFET や HEMT には見られない高い線形性を利用した電力増幅器への応用 について詳しく述べた。電力増幅器用パルスドープ FET の特徴をロードプル測定等に よって明らかにし、その特徴を利用した設計手法について明らかにした。また、通常の イオン注入型MESFETに対する、電力増幅器用パルスドープFETにおける電力特性の優 位性を比較するため、市販の電力増幅器用FETのロードプル測定の結果と比較し、IM3=-40 dBc という条件で、出力電力 Pout と電力付加効率 PAE が、イオン注入型 MESFET に対して 2 倍の特性を示すことを明らかにした。

さらに電力増幅器用パルスドープFETの場合、電力付加効率が最大になる負荷イン ピーダンスが、50オームから比較的近い点にあるため、整合回路は簡単なもので構成す ることができ、また整合回路のQ値も小さい安定かつ周波数特性の低い回路を容易に実 現できることや、このインピーダンスはほぼ純抵抗であり、FETの寄生パラメータの影 響を受けにくいため、FETの寄生パラメータの製造ばらつきによるこの最適負荷イン ビーダンスのばらつきは小さく、良好な回路の歩留りを実現することができる可能性な どについても明らかにした。そして、最大効率の点にマッチングをとっても実用上十分 なVSWRが得られることや、従来のデバイスを用いた設計では、この他に2倍波・3倍 波の高調波歪みの評価が必要であり、場合によってはこれらの制約から、電力付加効率 が最大となるインピーダンス点に設計できないことが考えられるが、パルスドープFET が本質的に線形デバイスであるため、2倍波・3倍波歪は極めて小さいため、設計面で 考慮する必要が無く、設計が単純化されることを明らかにした。

次に、電力増幅器用パルスドープFETを用いて2種類の電力増幅器を設計、試作し、 その優れた低消費電力特性を実証した。この電力増幅器は、1.5GHz帯携帯電話における 基地局システムに適用され、通常の基地局がカバーできない電波の不感知領域を補完す るための基地局に用いられるものであり、閉空間システム用および開空間システム用の 2種類に関し、設計および試作結果について述べた。そして、閉空間システム用の電力 増幅器は、1.5 GHzにおいて出力電力Poutが28.6 dBm でその時の IM3 は -40.0 dBc という性能を、消費電力Pdcが8W、電力付加効率PAEが9.1%で実現した。また開空 間システム用の電力増幅器は、出力電力Poutが33.0dBm でその時の IM3 は -40.0 dBc という性能を消費電力Pdcが32W、電力付加効率PAEが6.2%で実現し、いずれも従 来のデバイスを用いた場合のおよそ2倍の効率を実現した。このように電力増幅器用パ ルスドープFETは、電力増幅器の消費電力を低減し、移動体通信システムにおける基地 局などのマイクロ波機器の小型化にとって、極めて有用なデバイスであることを明らか にした。

参考文献

- M. Fukuta, T. Mimura, I. Tsujimura, and A. Furumoto, "Mesh Source Type Microwave Power FET," in IEEE Int. Solid–State Circuit Conf. Tech Digest, pp. 84–85, 1973.
- [2] L. S. Napoli, R. E. DeBrecht, J. J. Hughes, W. F. Reichert, A. Dreeben, and A. Triano, "High-Power GaAs FET Amplifier --- A Multigate Structure," in IEEE Int. Solid–State Circuit Conf. Tech Digest, pp. 82–83, 1973.
- [3] 伊藤康之、高木 直: MMIC 技術の基礎と応用、REALIZE INC.
- [4] S.C.Cripps, "A Theory for the Prediction of GaAs FET Load-Pull Power Contours," 1983 IEEE MTT-S Digest, pp.221–223,1983.
- [5] N. Shiga, K. Otobe, N. Kuwata, K. Matsuzaki, and S. Nakajima, "Low Consumption Power Application of Pulse-doped GaAs MESFET's," IEICE Trans. Electron, 条件付き採録
- [6] K. Otobe, N. Kuwata, N. Shiga, S. Nakajima, K. Matsuzaki, and H. Hayashi, "Low-distortion MESFET with Advanced Pulse-doped Structure for Power Application," the 19th Int. Symposium on GaAs and Related Compounds 1992, Karuizawa, pp. 761–766 (Sept. 1992).
- [7] N. Kuwata, K. Otobe, N. Shiga, S. Nakajima, T. Sekiguchi, T. Hashinaga, R. Sakamoto, K. Matsuzaki, and H. Nishizawa, "High Breakdown Voltage MESFET With Planar Gate Structure For Low Distortion Power Applications," 1993 GaAs IC Symposium Tech. Dig., San Jose, pp. 181–184 (Oct. 1993).
- [8] 乙部健二, 桑田展周, 中島 成, 志賀信夫, 松崎賢一郎, 関口 剛, 林 秀樹: "耐 圧を改善したパルスドープ構造 GaAs MESFET", 1992 信学春季全大, C-479.
- [9] 桑田展周,坂本良二,乙部健二,志賀信夫,中島 成,松崎賢一郎,林 秀樹:"ア ドバンスドパルスドープ構造GaAsMESFETの高耐圧化",第53回応物秋季予稿集, 30a-ZP-5, p1271 (1992).

第7章 結 論

本論文は、量産性に優れ低コストで民生応用に十分適用することが可能で、且つ性能 の高いマイクロ波集積回路を実現することを第一の目的として、GaAs FET とそのマイ クロ波集積回路への応用に関する研究成果をまとめたものである。本研究は、従来、個 別部品によって構成されていた回路を、単に小型化や低コスト化のために置き換えるた めのものにとどまらず、マイクロ波集積回路を用いることによって従来に無い新しい需 要を創出することが可能で、画期的な新製品や新システムを実現することによって、人々 の生活を豊かにできるものでなければならないという基本的な方針のもとに、マイクロ 波集積回路の性能とコストを支配する最も重要な基本構成素子であるGaAs FETとして、 新しい構造のパルスドープ構造 GaAsMESFET の研究を行った。 本論文は、主としてこのパルスドープ構造 GaAsMESFET の応用面に関する研究成果 をまとめたものであり、本研究の第二の目的である、(1) HEMTに比肩し得る性能を示 すこと、(2) MMICの基本構成素子として十分に適用可能であること、(3) デバイス構造 が多様な用途に対して対応可能な柔軟な設計性を有すること、(4)通常のMESFETに見 られない優れた特長を有することなどを明らかにし実証した。さらに、本研究の第三の 目的である、(5) このデバイスの特長を活かした新しい設計技術の確立、(6) デバイスの モデル化技術に関して新しい提案、(7)提案しているデバイスの優れた雑音特性や、優れ た均一性の理論的根拠、などに関する研究成果について述べた。 以下に、第2章から第6章において得られた研究成果を総括し結論とする。 第2章では、パルスドープ構造MESFETが応用面で非常に興味深いデバイスであるこ

第2章では、パルスドーフ構造MESFETが応用面で非常に興味深いデバイスであるこ とを明らかにした。低雑音特性に関しては、同じゲート長のAlGaAs/GaAs HEMTに匹 敵する性能を示し、むしろ、より成熟したGaAsMESFETの製造技術を用いることがで きる点において、生産性やコスト面で有利であることを述べた。さらに、パルスドープ 構造を電力増幅器へ応用するための、デバイス構造の設計方法についても言及し、単純 な設計変更、かつほとんど同じ製造プロセスによって、非常に線形性に優れた電力増幅

第7章 結論

器用FETを実現できることを明らかにした。これは、また本研究の目的の一つであった、 「パルスドープ構造が目的に応じて柔軟な設計性を有すること」を実証するものである。 そして、いずれもMMICへの応用を目指して、FETの性能を向上させるためにしばしば 用いられるゲートリセス構造を用いないのが大きな特徴であり、第3章の研究成果とな る「パルスドープFETによるMMIC」の基礎を確立した。

第3章では、ゲート長0.5µmのパルスドープFETを適用した衛星放送受信コンバー タ用の4つのMMIC、すなわち12GHz帯RF低雑音増幅器、ミキサ、10.7GHz発振回路、 1GHz帯IF増幅器の試作結果、およびこのMMICを用いたコンバータによる受信実験の 結果について述べた。このMMICの最大の特徴は、その前段にディスクリートHEMTに よる低雑音アンプを用いずに、MMICのみでコンバータの全機能と充分な雑音特性を実 現したことであり、報告例として初のものである。実際の受信実験では、スタブチュー ニング等の回路調整を行うことなく、直径40cmのパラボラアンテナで鮮明な画像を受 信できたことは、実用上重要な意味を持つ。本研究の目的であるところの、「パルスドー プFETのMMICへの適用性」と「HEMTに匹敵する低雑音特性の実証」は、本章におけ る試作結果により明らかにされた。また、本研究のもう一つの目的である「パルスドー プMESFETの特長を活かした設計方法」に関しては、4つのMMICの回路設計に関し、 それぞれ設計手法を提案し詳細に述べた。

これらのMMICの中で、歩留りの点で最も厳しいのは12GHz帯RF低雑音増幅器であ るが、高周波歩留り60%以上を実現し、その優れた生産性、均一性も実証した。そして、 この研究成果は、「より高歩留りに、さらに低雑音化する」という第4章の研究テーマの 大きな動機となった。

第4章では、12GHz帯RF低雑音増幅器を「より高歩留りに、さらに低雑音化する」 ための研究成果について述べた。従来、回路設計の段階ではあまり考慮されなかった雑 音指数のばらつきの問題に関し、低雑音アンプの設計において重要な誘導性直列帰還の 大きさに関連づけて、ある程度予測することが可能なことを明らかにした。通常のFET ではこの計算は非常に困難であるが、パルスドープFETではΓoptのばらつきが、スミ スチャート上で | Γopt | があまり変化せず、その∠Γoptのみが変化するという特徴を 利用して、簡単化することができた。これは、パルスドープFETがゲートリセス構造を 用いていないため、製造ばらつきの主たる要因がゲート長のばらつきであることによる もので、ここで再び「パルスドープMESFETの特長を活かした設計方法」という本研究 の目的を達成することができた。

また、12GHz帯RF低雑音増幅器にゲート長0.3 µ mのパルスドープFETを適用し、 さらに低雑音化することに成功し、12GHzにおいて雑音指数1.1dB、利得28dBを実現 した。理想的な低雑音増幅器が達成し得る雑音指数の理論限界はFETの最適雑音指数Fo であるが、低雑音増幅器の原理的に達成可能な最小の雑音指数を実現するために、FET の最適雑音指数Foと増幅器の雑音指数の差、すなわちノイズペナルティを、「1段増幅器 の最適雑音指数 Fao-Fo」、「1 段増幅器の雑音指数 Fa-Fao」、「多段増幅器の雑音指数 Fma-Fa」に分解し、各々のノイズペナルティ項目を最小にする設計を行った。またこの、設計精度を確認するため、試作した MMIC の信号源インピーダンスをチューニング して測定し、多段増幅器の最適雑音指数 Fmaoが Fmaに等しくなっていることを確認した。12GHzにおける雑音指数1.1dBという値は、報告されている MMIC 増幅器としては 世界最小の値である。

第5章では、低雑音GaAsMESFETのモデル化に関する2つの研究成果について述べ た。一つは、回路シミュレーションのための新しい等価回路モデルに関するものであり、 本章で提案した等価回路は、最近のCADシステムの高度な機能を十分に活用し、van der ZielモデルにおけるFETの雑音係数をフィッティング手法によって求めることがで きる点が特徴である。FETの雑音係数は、FETの雑音のふるまいをモデル化する上で極 めて重要であるが、直接測定することが困難であり、また解析的に導出することも困難 であるが、本章で提案した等価回路は、直接測定が容易なSパラメータおよび雑音パラ メータの測定結果に、等価回路のシミュレーション結果をフィッティングさせることに よって、容易に雑音係数を求めることが可能で、回路設計のみならずデバイス解析にも 極めて有用なものである。これは、パルスドープFETだけではなく、一般に低雑音FET に適用できるものである。

そして、提案した雑音等価回路を用いて、実際にチャンネル厚の異なるパルスドープ 構造 GaAsMESFET における雑音係数のふるまいを解析し、そのシミュレーション結果 から、チャンネル厚が薄い FET の方がドレイン雑音とゲート雑音の相関係数が大きく、 パルスドープFETではHEMTと同様、0.8以上の相関係数の値をとることを明らかにし、 その優れた低雑音特性の理論解釈の一つを与えることができた。 また、パルスドープFET の最適雑音指数 Foの製造ばらつきに関し、その統計的モデ ルを確立し、数学的な表現式である確率密度関数を解析的に導出した。従来、このよう

また、パルスドーフFETの最適雑音指数Foの製造ばらつきに関し、その統計的モデ ルを確立し、数学的な表現式である確率密度関数を解析的に導出した。従来、このよう な雑音パラメータの統計モデルに関する報告例はほとんどなかったが、これは一般に FETのFoのばらつきを決定する要因があまりにも多いため、数学的な取り扱いが困難で あったからと考えられるが、パルスドープFETの場合にはFoのばらつきを決定する要 因が、通常のデバイスに比べて単純化され、数学的な取り扱いが容易になる事を明らか にした。それは、パルスドープFETの場合、Foのばらつきに関してゲート長のばらつき が支配的要因であり、ゲート長のばらつきの分布からFoの製造ばらつきに関する確率密 度関数を容易に導出できるというものである。これも、「パルスドープFETの特徴」を活 かした一つの研究成果ということができる。

また、ゲート長0.4 µ m ではさほど問題にならないが、ゲート長0.25 µ m になると 有効ゲート長の概念を導入しなければモデルの精度が低下することを明らかにし、有効 ゲート長を求める過程で、パルスドープ構造の電子速度や遅延時間などの解析を行い、正 確な値を求めた。これらの値は、パルスドープFETにおける、電子の輸送特性を解明す

第7章 結論

る上でも大変興味深いものである。そして、導出した式による計算結果と実験結果がよ く一致することを示し、このモデルの実用性を確認した。このような、FETの最適雑音 指数Foの製造ばらつきに関する確率密度関数を導出した報告は、ほとんど例がなく、デ バイスのモデル化技術や回路設計技術に、新たな議論を提供する成果であると言える。

第6章では、パルスドープ構造GaAsMESFETの重要な特長の一つであり、通常のイ オン注入型MESFETやHEMTには見られない高い線形性を利用した電力増幅器への応 用について述べた。電力増幅器用パルスドープFETの特徴をロードプル測定等によって 明らかにし、「その特徴を利用した設計手法」について明らかにした。また、通常のイオ ン注入型MESFETに対する、電力増幅器用パルスドープFETにおける電力特性の優位性 を比較するため、市販の電力増幅器用FETのロードプル測定の結果と比較し、出力電力 Poutおよび電力付加効率PAEが、イオン注入型MESFETに対して2倍の特性を示すこ とを明らかにした。

さらに電力増幅器用パルスドープFETの場合、整合回路は簡単なもので構成すること ができ、また整合回路のQ値も小さい安定かつ周波数特性の低い回路を容易に実現でき ることや、最大効率の点にマッチングをとっても実用上十分なVSWRが得られること、 さらには従来のデバイスを用いた設計では、この他に2倍波・3倍波の高調波歪の評価 が必要であり、場合によってはこれらの制約から、電力付加効率が最大となるインピー ダンス点に設計できないことについて述べた。パルスドープFETでは、本質的に線形デ バイスであるために、2倍波・3倍波歪が極めて小く、設計面でこれらを考慮する必要 が無く、設計が単純化されることを明らかにした。また、電力付加効率が最大となるイ ンピーダンスがほぼ純抵抗であり、FETの寄生パラメータの影響を受けにくいため、 FETの寄生パラメータの製造ばらつきによるこの最適負荷インピーダンスのばらつきは 小さく、良好な回路の歩留りを実現することができる可能性などについても明らかにし た。

また、1.5GHz帯携帯電話における基地局システムにおいて、通常の基地局がカバーで きない電波の不感知領域を補完するための基地局に用いられる、閉空間システム用およ び開空間システム用の2種類の電力増幅器を、電力増幅器用パルスドープFETを用いて 設計、試作しその優れた低消費電力特性を実証した。これらは、いずれも従来のデバイ スを用いた場合のおよそ2倍の効率を実現した。このように電力増幅器用パルスドープ FETは、電力増幅器の消費電力を低減し、移動体通信システムにおける基地局などのマ イクロ波機器の小型化にとって、極めて有用なデバイスであることを明らかにした。

以上、本論文の研究成果をまとめたが、今後の課題について以下に述べる。

本研究では、パルスドープ構造GaAsMESFETの優れたマイクロ波特性および低雑音 特性、電力特性などを明らかにしたが、これを30GHz以上のミリ波領域へ適用するため の研究については未着手であり、今後の課題である。また、パルスドープ構造の柔軟 な設計性に関しては、パルスドープ層を2層有する電力増幅器用FETに関する研究を 行ったが、これはほんの一例にしか過ぎず、パルスドープ構造はさらに多くの応用に対 して展開できるものであり、応用面での研究および、さらに新しいパルスドープ構造の 研究も極めて重要である。

衛星放送受信コンバータ用のMMICでは、所定の成果を得ることができたが、さらに 低コスト化するためにはチップサイズを小型化するための研究、たとえば多層化 MMIC や3次元 MMICなどの研究が必要である。また、衛星放送受信コンバータへの応用にお いて、真に MMIC の特長が活かされるのは平面アンテナへの適用であり、これを実現す るための新しい実装技術に関する研究も重要である。FET の最適雑音指数の製造ばらつ きを数学的に定式化することに成功し、その確率密度関数を導出したが、低雑音増幅器 の製造歩留りを回路設計段階からシミュレーションによって正確に予測するためには、最 適雑音指数だけでは不十分であり、最適信号源インピーダンスや等価雑音抵抗の製造ば らつきも定式化しなければならない。

パルスドープFETの電力増幅器への応用では、低消費電力の点については目標とした 成果を納めたが、試作したものはHMICの形であり、機器の小型化のためにはMMIC化 することが必須である。電力増幅器用MMICは、小信号のMMICとは異なり、熱設計の 問題が不可避である。電力増幅器をMMIC化するためには、回路設計技術だけではなく、 この熱の問題を解決するための新しい技術、たとえばGaAsウエハを厚さ30 μ m 程度ま で薄層化するための研究や Plated Heat Sink などの研究も重要である。また、本論文で は、低雑音 FETのモデル化に関する新しい提案を行ったが、電力増幅器用 FETのモデル 化に関しては未着手である。パルスドープFETの大きな特長である、優れた線形性を活 かした回路設計を行うためには、歪特性を精度良くシミュレーションすることができる 非線形モデルの研究が必須である。

最後に、本論文に記載した研究成果が、電子産業の発展に寄与するとともに、上述した今後の課題の克服や次なる研究テーマへの取り組みの動機となることを願って、本論 文の結びとする。

A. 学位論文に関わる論文およびレター

- (A-1) N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, 1994, 1991.
- (A-2) N. Shiga, T. Sekiguchi, S. Nakajima, K. Otobe, N. Kuwata, K. Matsuzaki, 1420, 1992.
- (A-3) N. Shiga, S. Nakajima, N. Kuwata, K. Otobe, T. Sekiguchi, K. Matsuzaki,
- (A-4) N. Shiga, "Modeling on Statistical Distribution of Optimal Noise Figure in 10, pp. 1-7, 1996.
- (A-5) N. Shiga, K. Otobe, N. Kuwata, K. Matsuzaki, and S. Nakajima, "Low Trans. Electron, 揭載予定
- (A-6) S. Nakajima, K. Otobe, N. Shiga, N. Kuwata, Matsuzaki, T. Sekiguchi, and 4, pp. 771-776, 1992.

and H. Hayashi, "X-band MMIC Amplifier with Pulse-doped GaAs MESFET's," IEEE Trans. Microwave Theory Tech., vol. 39, no. 12, pp. 1987-

and H. Hayashi, "MMIC Family for DBS Down-Converter with Pulse-doped GaAs MESFET's," IEEE J. Solid-Stae Circuits, vol. 27, no. 10, pp. 1413-

and H. Hayashi, "12 GHz Low-noise MMIC Amplifier with GaAs Pulse-doped MESFET's," IEICE Trans. Electron, vol. E77-C, no. 9, pp. 1500-1506, 1994.

Pulse-doped GaAs MESFET's," IEICE Trans. Electron, vol. E79-C, no.

Consumption Power Application of Pulse-doped GaAs MESFET's," IEICE

H. Hayashi," Low-Noise Caharacteristics of Pulse-doped GaAs MESFET's with Planar Self-Aligned Gates," IEEE Trans. Electron Devices, vol. 39, no.

- (A-7) S. Nakajima, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Electronic properties of a pulse-doped GaAs structure grown by organometallic vapor phase epitaxy," Appl. Phys. Lett., 57 (13), 24, pp. 1316-1317, 1990.
- (A-8) S. Nakajima, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Hot electron transport in a pulse-doped GaAs structure," Semicond. Sci. Technol., 7, pp. B372-374, 1992.
- (A-9) S. Nakajima, N. Kuwata, N. Shiga, K. Otobe, K. Matsuzaki, T. Sekiguchi, and H. Hayashi, "Characterization of Double Pulse-Doped Channel GaAs MESFET's," IEEE Electron Lett., vol. 14, no. 3, pp. 146-148, 1994.

B. 学位論文に関わる国際学会発表

- (B-1) N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band Monolithic Four-stage LNA with Pulse-doped GaAs MESFETs," 1990 GaAs IC Symposium Tech. Dig., New Orleans, pp. 237-240 (Nov. 1990).
- (B-2) N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "Capability of Pulse-doped GaAs MESFETs as active Devices for Satellite Communications," 1990 Joint Conference on Communication Networks, Switching System & Satellite Communications (JC-CNSS), Korea, pp. 139-143 (Dec. 1990).
- (B-3) N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "X-band MMIC Amplifier with Pulse-doped GaAs MESFETs," 1991 IEEE MTT-S Int. Microwave Symposium Dig., Boston, pp. 77-80 (June 1991).
- (B-4) N. Shiga, T. Sekiguchi, S. Nakajima, K. Otobe, N. Kuwata, K. Matsuzaki, and H. Hayashi, "MMIC Family for DBS Downconverter with Pulse-doped GaAs MESFETs," 1991 GaAs IC Symposium Tech. Dig., Monterey, pp. 139-143 (Oct. 1991).

- (B-6) N. Shiga, S. Nakajima, N. Kuwata, K. Otobe, T. Sekiguchi, K. Matsuzaki, 127-130 (Oct. 1992).
- (B-7) S. Nakajima, K. Otobe, T. Katsuyama, N. Shiga, and H. Hayashi, "OMVPE
- (B-8) S. Nakajima, K. Otobe, N. Kuwata, N. Shiga, T. Sekiguchi, K. Matsuzaki, Transistors Conference, Nara (Dec. 1990).
- (B-9) S. Nakajima, K. Otobe, N. Kuwata, N. Shiga, K. Matsuzaki, and H. Hayashi, 1990).
- (B-11) N. Kuwata, S. Nakajima, T. Ktsuyama, K. Otobe, K. Matsuzaki, T. Sekiguchi, (June 1991).
- (B-12) T. Sekiguchi, N. Shiga, S. Nakajima, K. Otobe, N. Kuwata, K. Matsuzaki,

(B-5) N. Shiga, S. Nakajima, K. Otobe, T. Sekiguchi, N. Kuwata, K. Matsuzaki, and H. Hayashi, "Modeling on Statistical Distribution of Noise Parameters in Pulse-doped GaAs MESFETs," 1992 IEEE MTT-S Int. Microwave Symposium Dig., Albuquerque, pp. 655-658 (June 1992).

and H. Hayashi, "Monolithic Pulse-doped MESFET LNA for DBS Downconverter, 1992 GaAs IC Symposium Tech. Dig., Miami Beach, pp.

grown GaAs MESFETs with step-doped channel for MMICs," 1988 GaAs IC Symposium Tech. Dig., Tennessee, pp. 297-300 (Nov. 1988).

and H. Hayashi, "A Comparison of Device Performance and Device Physics between Pulse-doped FETs and HEMTs," 1990 Advanced Heterostructure

"Pulse-doped GaAs MESFETs with planar self-aligned gate for MMIC," 1990 IEEE MTT-S Int. Microwave Symposium Dig., Dallas, pp. 1081-1084 (May

(B-10) S. Nakajima, N. Kuwata, N. Nishiyama, N. Shiga, and H. Hayashi, "Hot Electron Transport in a Pulse-doped GaAs structure," the 7th Conference on Hot Carriers in Semiconductors, Hawaii (June 1991).

N. Shiga, and H. Hayashi, "Pseudomorphic GaAs/GaInAs pulse-doped MESFETs grown by organometallic vapor phase epitaxy," the 18th Int. Symposium on GaAs and Related Compounds 1991, Seattle, pp. 143-148

and H. Hayashi, "Ultra Small Sized Low Noise Block Downconverter Module," IEEE 1992 Microwave and Millimeter-wave Monolithic Circuits

Symposium Dig., Albuquerque, pp. 155-158 (June 1992).

- (B-13) K. Otobe, N. Kuwata, N. Shiga, S. Nakajima, K. Matsuzaki, and H. Hayashi, "Low-distortion MESFET with Advanced Pulse-doped Structure for Power Application," the 19th Int. Symposium on GaAs and Related Compounds 1992, Karuizawa, pp. 761-766 (Sept. 1992).
- (B-14) N. Kuwata, K. Otobe, N. Shiga, S. Nakajima, T. Sekiguchi, T. Hashinaga, R. Sakamoto, K. Matsuzaki, and H. Nishizawa, "High Breakdown Voltage MESFET With Planar Gate Structure For Low Distortion Power Applications," 1993 GaAs IC Symposium Tech. Dig., San Jose, pp. 181-184 (Oct. 1993).
- (B-15) K. Matsuzaki, N. Kuwata, S. Nakajima, K. Otobe, N. Shiga, and H. Nishizawa, "Low Noise MMIC Technology with Pulse-Doped GaAs MESFET," Proc. IEICE Asia-Pacific Microwave Conference (APMC'94), Tokyo, vol. 1, pp. 283-286 (Dec. 1994).

C. 学位論文に関わる国内学会発表

- (C-1)志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹:"パ ルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察(1)", 1990 信学秋季全大, C-418.
- (C-2) 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: "パ ルスドープ構造 GaAs MESFETを用いた 12GHz 帯低雑音 MMIC アンプ",信学 技報, MW90-84, pp.27-34 (1990-11).
- (C-3) 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹:"パ ルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察(3)", 1991 信学春季全大, C-522.
- (C-4) 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: "パ ルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察(4)",信学 技報, MW91-30, pp.55-62 (1991-05).

- (C-5)志賀信夫, 関口 剛, 中島 成, 乙部健二, 桑田展周, 松崎賢一郎, 林 秀樹: "BS 22, 15, 46, pp.13-18 (1991-08).
- 信学秋季全大, C-32.
- (C-8) 志賀信夫, 関口 剛, 中島 成, 乙部健二, 桑田展周, 松崎賢一郎, 林 秀樹:"パ 全大, C-60.
- 1992).
- (1988).
- p1017 (1989).
- プ構造低雑音 GaAs MESFET", 1989 信学春季全大, C-103.
- 集, 29p-Z-13, p1083 (1989).

164

コンバータ用 GaAs MMIC", テレビ学技報, CE91-41, BCS91-22, BFO91-

(C-6) 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹: "パ ルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察(5)", 1991

(C-7)志賀信夫,乙部健二,中島 成,関口 剛,桑田展周,松崎賢一郎,林 秀樹:"単 一電源12GHz帯 MMIC 低雑音アンプ", 1991 信学秋季全大, C-33.

ルスドープ構造 GaAs MESFET を用いた X帯 MMIC 発振回路", 1991 信学秋季

(C-9) 志賀信夫, 中島 成, 乙部健二, 関口 剛, 桑田展周, 松崎賢一郎, 林 秀樹:"衛 星放送受信用低雑音 MMIC アンプ", 1992 テレビ学年次大会予稿集, 6-2.

(C-10) N. Shiga, S. Nakajima S., and H. Hayashi, "Metal- Semiconductor Field-Effect Transistors," MWE '92 Microwave Workshop Dig., pp. 413-418 (Sept.

(C-11) 中島 成, 乙部健二, 勝山 造, 志賀信夫, 林 秀樹, 吉田健一: "パルスドー ブ構造を有する GaAs MESFET", 第49回応物秋季予稿集, 5p-D-8, p976

(C-12) 乙部健二, 中島 成, 勝山 造, 阿河圭吾, 志賀信夫, 林 秀樹: "パルスドー プ構造を有する GaAs MESFET (2)", 第36 回応物春季予稿集, 2p-T-13,

(C-13) 中島 成,乙部健二,志賀信夫,勝山 造,阿河圭吾,林 秀樹: "パルスドー

(C-14) 中島 成,乙部健二,桑田展周,生駒暢之,松崎賢一郎,志賀信夫,林 秀樹: "RTAがパルスドープ構造GaAs MESFETに及ぼす影響",第50回応物秋季予稿

(C-15) 乙部健二, 中島 成, 桑田展周, 松崎賢一郎, 関口 剛, 志賀信夫, 林 秀樹:

"パルスドープ構造低雑音GaAs MESFET", 信学技報, ED89-152, MW89-133, pp.7-12 (1990-01).

- (C-16) 中島 成, 桑田展周, 西山直樹, 志賀信夫, 林 秀樹: "パルスドープ構造 GaAs MESFETの界面特性",第37回応物春季予稿集,31p-D-12, p1147 (1990).
- (C-17) 中島 成, 桑田展周, 志賀信夫, 林 秀樹: "OMVPE バッファによる GaAs MESFETのサイドゲート効果", 第51回応物秋季予稿集, 26a-ZG-11, p1072 (1990).
- (C-18) 桑田展周, 乙部健二, 中島 成, 生駒暢之, 志賀信夫, 林 秀樹: "RTA がパル スドープ構造GaAsに及ぼす影響",第51回応物秋季予稿集,29a-ZK-6,p1177 (1990).
- (C-19) 乙部健二, 中島 成, 桑田展周, 関口 剛, 松崎賢一郎, 志賀信夫, 林 秀樹: "パルスドープ構造GaAs MESFETの活性層薄層化の効果", 1990信学秋季全大, C-419.
- (C-20) 関口 剛, 乙部健二, 松崎賢一郎, 桑田展周, 中島 成, 志賀信夫, 林 秀樹: "GaAs 基板上のマイクロストリップラインの評価", 1990信学秋季全大, C-57.
- (C-21) 中島 成,乙部健二,桑田展周,志賀信夫,関口 剛,松崎賢一郎,林 秀樹: "パルスドープ構造GaAs MESFETの特性解析", 信学技報, ED90-130, MW90-120, ICD90-174, pp.35-40 (1991-01).
- (C-22) 乙部健二,志賀信夫,中島 成,桑田展周,松崎賢一郎,関口 剛,林 秀樹: "パルスドープ構造 GaAs MESFET の雑音パラメータに関する一考察(2)", 1991 信学春季全大, C-521.
- (C-23) 中島 成, 西山直樹, 桑田展周, 志賀信夫, 林 秀樹: "パルスドープ構造 GaAs の高電界輸送特性", 第38回応物春季予稿集, 28a-M-5, p1115 (1991).
- (C-24) 桑田展周, 中島 成, 勝山 造, 志賀信夫, 林 秀樹: "OMVPE 成長 GaInAs/ GaAs 歪量子井戸", 第38回応物春季予稿集, 28p-ZK-9, p224 (1991).
- (C-25) 桑田展周, 中島 成, 志賀信夫, 乙部健二, 関口 剛, 松崎賢一郎, 林 秀樹: "Pseudomorphic GaAs/GaInAs パルスドープ MESFET", 信学技報, MW91-48, pp.11-16 (1991-07).

- (C-26) 桑田展周, 中島 成, 志賀信夫, 乙部健二, 松崎賢一郎, 関口 剛, 林 秀樹: 346.
- (C-27) 中島 成, 桑田展周, 乙部健二, 志賀信夫, 松崎賢一郎, 関口 剛, 林 秀樹:
- (C-28) 桑田展周, Taylor W. J., 吉田伊知朗, 勝山 造, 志賀信夫, 林 秀樹: "OMVPE 9, p205 (1992).
- (C-29) 乙部健二, 桑田展周, 中島 成, 志賀信夫, 松崎賢一郎, 関口 剛, 林 秀樹: 479.
- (C-30) 松崎賢一郎, 中島 成, 乙部健二, 桑田展周, 志賀信夫, 関口 剛, 林 秀樹:
- (C-31) 関口 剛, 志賀信夫, 中島 成, 乙部健二, 桑田展周, 松崎賢一郎, 林 秀樹:
- (C-32) 桑田展周,坂本良二,乙部健二,志賀信夫,中島 成,松崎賢一郎,林 秀樹: 予稿集, 30a-ZP-5, p1271 (1992).

D. その他の論文、学会発表など

- (D-1) S. Nakajima, K. Matsuzaki, K. Otobe, H. Nishizawa, and N. Shiga, vol. 42, no. 12, pp. 2517-2524 (Dec. 1994).
- (D-2) T. Sekiguchi, S. Sawada, T. Hirose, M. Nishiguchi, N. Shiga, and H. Hayashi,

166

"Pseudomorphic pulse-doped GaInAs MESFETs", 1991 信学秋季全大, C-

"ダブルパルスドープ構造 GaAs MESFETs", 1991 信学秋季全大, C-331.

成長GaInAs/GaAs量子井戸の熱的安定性",第39回応物春季予稿集,28p-ZA-

"耐圧を改善したパルスドープ構造 GaAs MESFET", 1992 信学春季全大, C-

"0.2 µmゲートパルスドープ構造GaAs MESFET", 1992信学春季全大, C-480.

"超小型 MMIC コンバータモジュール", 1992 信学春季全大, C-78.

"アドバンスドパルスドープ構造 GaAsMESFET の高耐圧化",第53回応物秋季

"Enhancement-mode GaAs MESFET Technology for Low Consumption Power and Low Noise Applications," IEEE Trans. Microwave Theory Tech.,

"A Mutichip Packaged GaAs 16 × 16 Parallel Multiplier," IEEE Trans. Components, Hybrids, and Manufacturing Tech., vol. 15, no. 4, pp. 444-

450 (Aug. 1992).

(D-3) S. Nakajima, M. Murata, N. Shiga, and H. Hayashi, "High electron mobility in modulation-doped n-AlInAs/InP heterostructures grown by low pressure organometallic vapor phase epitaxy," Appl. Phys. Lett., 59 (13), 23, pp. 1606–1607 (Sept. 1991).

く学会発表など>

- (D-4) S. Nakajima, K. Matsuzaki, K. Otobe, H. Nishizawa, N. Shiga, "Enhancementmode GaAs MESFET Technology for Low Consumption Power and Low Noise Applications," 1994 IEEE MTT-S Int. Microwave Symposium Dig., San Diego, pp. 1443-1447 (May 1994).
- (D-5) 関ロ 剛, 阿河圭吾,志賀信夫,林 秀樹: "GaAsIC 搭載 1Gbps APD-アンプモジュール", 1989 信学春季全大, B-725.
- (D-6) 村田和夫,鈴木富博,御神村泰樹,関口 剛,志賀信夫,村上泰典,松元健悟: "GaAsIC 搭載超小型光受信モジュール",1991 信学春季全大,B-938.
- (D-7) 中島 成,村田道夫,志賀信夫,林 秀樹: "OMVPE成長による高電子移動度n-AlInAs/InPとHEMTへの応用",第52回応物秋季予稿集,10a-H-10,p1194 (1991).
- (D-8) 平野 真,志賀信夫,堀尾和重,山内佳紀: "1992年GaAsICシンポジューム出席報告",信学技報,ED92-139,MW92-142,ICD92-160,pp.57-65 (1993-01).
- (D-9) 中島 成,乙部健二,坂本良二,志賀信夫,西沢秀明:"イオン注入GaAs MESFET のドレイン電流の直線性に関する一考察",1993 信学春季全大,C-518.



