The University of Osaka
Institutional Knowledge Archive

Title	MOSダイナミックRAMの高集積化に関する基礎的研究
Author(s)	吉原, 務
Citation	大阪大学, 1983, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/1969
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

MOSダイナミックRAMの高集積化に関する基礎的研究

1983年8月

吉　原　　務

MOSダイナミックRAMの高集積化に関する基礎的研究

1983年8月

吉　原　　務

内　容　梗　概

第1章　序　　論

本章ではMOSダイナミックRAMの高集積化に関する研究の沿革と現状について概説し，本研究の目的と意義を明らかにする。

第2章　多結晶シリコンの電気伝導に関する研究

本章では高集積MOS　RAMの基本素子の構成材料である多結晶シリコンの電気伝導機構の解明を行った。イオン注入により多結晶シリコン中の不純物濃度を精密に制御し，抵抗の温度依存性から空間電荷領域のポテンシャル障壁の高さを求め，ポテンシャル障壁の高さが不純物濃度に逆比例することを実験的に検証した。さらにポテンシャル障壁の高さから結晶粒界のトラップ準位密度を求め，多結晶シリコン成長条件，成長後の熱処理条件との関係を明らかにした。また成長時に存在する微量酸素の影響についても調べた。

第3章　高集積MOSダイナミックRAMのソフトエラーに関する研究

本章ではMOS RAMの微細化に伴うデバイス上の問題であるソフトエラーについて，そのメカニズムの解析と，改善手法について検討を行った。ソフトエラーに対する臨界電荷量を電荷中和則から求め，デバイスパラメータとの関係を明らかにした。ソフトエラーと臨界電荷量，入射エネルギーとの関係について，収集される電荷の分布がQ＝0に最大値を持つガウス分布というモデルを提案し，ソフトエラー率が臨界電荷量に対し，相補誤差関数で表わされることを示し，人工α線源 ^{241}Am を用いた加速実験によりその内容を検証した。また収集電荷分布の分散が入射エネルギー依存性を持つことも明らかにした。さらにソフトエラー改善のため，回路，デバイス，プロセス面からの検討を行い，Hi-Cセル，ワード線昇圧により臨界電荷量を1.8倍増加させることができ，ソフトエラー率を700倍改善することができた。

第4章　高集積MOSダイナミックRAMの最適設計

本章では，微細化したMOS　RAMを安定に動作させるための設計手法の提案を行う。スケーリング則をさらに発展させ，センス感度および読み出し電圧から導出される動作領域を決める係数について解析を行った。その結果，デバイスパラメータの加工精度のバラツキが大容量MOS　RAMの動作の安定性に重大な影響を与え，諸データと電気特性の関連を統計的に検討した結果，加工精度のバラツキは必ずしもスケールダウンされず，この加工精度の向上が安定動作のための必須条件であることを明らかにした。さらに大容量MOS　RAMとして64K(D)RAM を考えた時，安定動作係数の上か

ら256リフレッシュ方式より128リフレッシュ方式が有利であるという結論を得た。

第5章　高集積MOSダイナミックRAMの工学的応用に関する研究

本章では第2章から第4章までの検討結果に基づき，高集積MOSダイナミックRAMの応用例として1980年代前半市場で最も多量に使われる64K(D)RAMをとりあげ，2章～4章までの検討結果を工学的に応用する上での問題点について述べた。

1978～1982年最も多量に使われた16K(D)RAMに比し，4倍の高集積化を実現するために諸寸法を1／2に比例縮小するとともにリフレッシュ方式に関しては128リフレッシュ方式を採用し，動作マージンが広く，高速で消費電力の少い64K(D)RAMを実現することができた。さらにソフトエラー対策として低抵抗化されたポリシリコンビット線使用による電荷収集面積の低減およびHi-Cセル，ワード線昇圧による臨界電荷量の増加を図ることにより，ソフトエラー率3×10^{-7}／D・Hを実現し，市場要求1×10^{-6}/D・Hに比べ問題ないことを確認した。試作した64K(D)RAMの諸特性はアクセス時間　90ns，消費電流30mAという良好な結果であり，工学的応用上問題ないことを確認できた。

第6章　結　　論

本研究で得られた成果を総括した。

目　　次

第1章　序　　論 …… 1

1.1　関連分野の歴史的背景 …… 1

1.2　問題点と本研究の目的 …… 5

1.3　本研究の内容 …… 6

参 考 文 献 …… 9

第2章　多結晶シリコンの電気伝導に関する研究 …… 11

2.1　序 …… 11

2.2　多結晶シリコン中の電気伝導のモデル …… 12

2.3　電気的特性 …… 15

2.3.1　はじめに …… 15

2.3.2　試料作成 …… 15

2.3.3　電流－電圧特性 …… 17

2.3.4　シート抵抗の注入量依存性 …… 18

2.3.5　ホール効果による移動度の測定 …… 19

2.4　ポテンシャル障壁の高さ …… 19

2.4.1　シート抵抗の温度依存性 …… 19

2.4.2　トラップ準位密度と空間電荷領域の幅 …… 22

2.5　トラップ準位密度 …… 23

2.5.1　はじめに …… 23

2.5.2　成長温度 …… 23

2.5.3　熱処理効果 …… 25

2.5.4　酸素の影響 …… 26

2.6　結　　言 …… 28

参 考 文 献 …… 29

第3章　高集積MOSダイナミックRAMのソフトエラーに関する研究 …… 33

3.1　序 …… 33

3.2　ソフトエラーのメカニズム …… 33

3.2.1　ソフトエラーの発生モード …… 33
3.2.2　臨界電荷量の算出 …… 34
3.2.3　臨界電荷量，収集電荷分布とソフトエラーの関係 …… 36
3.2.4　実験結果および検討 …… 37
3.2.4.1　ソフトエラーのサイクル時間依存性 …… 38
3.2.4.2　ソフトエラーの電源電圧依存性 …… 38
3.3　樹脂膜を用いたソフトエラーの解析実験 …… 39
3.3.1　樹脂膜によるソフトエラー改善効果 …… 40
3.3.2　α粒子のエネルギーと収集電荷分布の関係 …… 42
3.4　ソフトエラーと回路パラメータの関係 …… 45
3.4.1　はじめに …… 45
3.4.2　センスアンプ感度 …… 46
3.4.3　内部タイミング …… 47
3.4.3.1　ビット線フローティング時間 …… 47
3.4.3.2　センスアンプ駆動のタイミング …… 49
3.5　ソフトエラー改善手法の検討 …… 50
3.5.1　はじめに …… 50
3.5.2　臨界電荷量増加によるソフトエラー改善 …… 51
3.5.2.1　Hi－Cセル …… 51
3.5.2.2　ワード線昇圧 …… 53
3.5.2.3　ダミーセル面積最適化 …… 56
3.5.3　電荷収集効率の低減によるソフトエラー改善 …… 57
3.5.3.1　ポリシリコンビット線 …… 57
3.5.3.2　基板比抵抗の効果 …… 58
3.6　結　言 …… 59
参考文献 …… 61

第4章　高集積MOSダイナミックRAMの最適設計 …… 64
4.1　序 …… 64
4.2　スケーリング則を適用した大容量ダイナミックRAMの回路設計 …… 64
4.2.1　はじめに …… 64

4.2.2　安定動作の条件式 …… 65
4.2.3　デバイスパラメータのばらつき …… 67
4.2.4　微細パターン製造技術を用いたＭＯＳダイナミックＲＡＭの設計理論 …… 69
4.2.4.1　加工精度のばらつきが比例縮小されない場合 …… 69
4.2.4.2　加工精度のばらつきが比例縮小される場合 …… 70
4.2.4.3　６４Ｋ MOS(D)RAMのリフレッシュ方式の検討 …… 71
4.2.5　６４Ｋ MOS(D)RAM の設計指針 …… 72
4.3.　ソフトエラーを考慮したＭＯＳダイナミックＲＡＭの回路設計 …… 74
4.3.1　はじめに …… 74
4.3.2　修正比例縮小則 …… 75
4.3.3　デバイス回路設計 …… 76
4.3.3.1　ソフトエラーを低減する回路構成 …… 76
4.3.3.2　高速化を達成するデバイス構造 …… 78
4.4　結　　言 …… 79
参 考 文 献 …… 82

第５章　高集積ＭＯＳダイナミックＲＡＭの工学的応用に関する研究 …… 84
5.1　序 …… 84
5.2　回路技術 …… 84
5.2.1　完全昇圧センス回路 …… 84
5.2.2　ワード線昇圧回路 …… 85
5.2.3　リフレッシュ機能の内蔵 …… 87
5.3　６４Ｋ MOS(D)RAMの試作 …… 90
5.3.1　適用プロセス …… 90
5.3.2　仕様および構成 …… 91
5.4　試作６４ＫMOS(D) RAM の評価結果 …… 93
5.4.1　電気的特性 …… 93
5.4.2　リフレッシュ機能 …… 95
5.4.3　信頼性 …… 96
5.5　結　　言 …… 98
参 考 文 献 …… 100

第６章　結　　論 …… 102

第1章　序　　論

1.1　関連分野の歴史的背景

半導体技術は情報化社会の進展，各種機器のエレクトロニクス化の鍵となる技術として，その重要性はますます増大してきている。なかでも半導体集積回路は従来の電子，電気回路を小型化するだけでなく，高信頼性化，低価格化[(1)]が同時に実現できるという利点を持っている。さらに既存の回路を集積化するだけにとどまらず，マイクロプロセサーに代表される様に新しいシステム，機能をもSi基板上に組み込むという展開もなされてきている。[(2)] これらは素子の高密度化により，多くの素子を集積化できることで実現されるもので，半導体集積回路の歴史は大容量，高密度化の歴史であるといっても過言ではない。[(3-10)]

MOS RAM，とくにMOSダイナミックRAMは高密度化の利点が最も顕著に生かされるもので，情報化社会における情報蓄積手段として重要な役割を担っている。MOSダイナミックRAMは市場における大容量化，高性能化，経済性などの強い要求に応える中で，半導体技術革新の先導的役割を常に果しており，MOSダイナミックRAMの高集積化についての研究は極めて重要である。

図1.1にMOSダイナミックRAMの集積ビット数の年次推移を示す。1チップ当たりのビット容

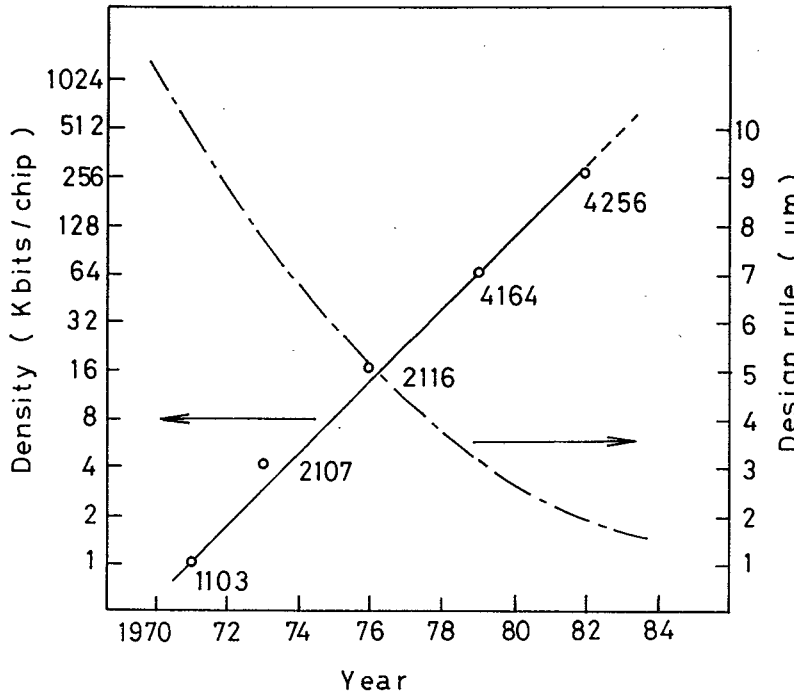


図1．1　ダイナミックRAMにおける集積度，最小設計寸法の年次推移

量は3年で1世代，すなわち4倍増加しており，年率1.3倍強の集積度増加率であることがわかる。

この高集積化は微細加工技術の進展によるパターン線巾の縮小，回路・デバイス上の工夫，ウエハの大口径化によるチップサイズの増大によりもたらされた。なかでも微細加工技術の進歩によるメモリセル面積，周辺回路の縮小効果は大きく，メモリセルの簡素化（6トランジスタ型[11]から出発して，4トランジスタ型[12]，3トランジスタ型[13]を経て現在では最も集積度の高い1トランジスタ1キャパシタ型[7]へと発展）と相まって高密度化を達成してきた。図1.2はメモリセル面積を示すもので，一世代毎にメモリセル面積は約1/2になり，著しい微小化が図られていることがわかる。尚このような高集積化，

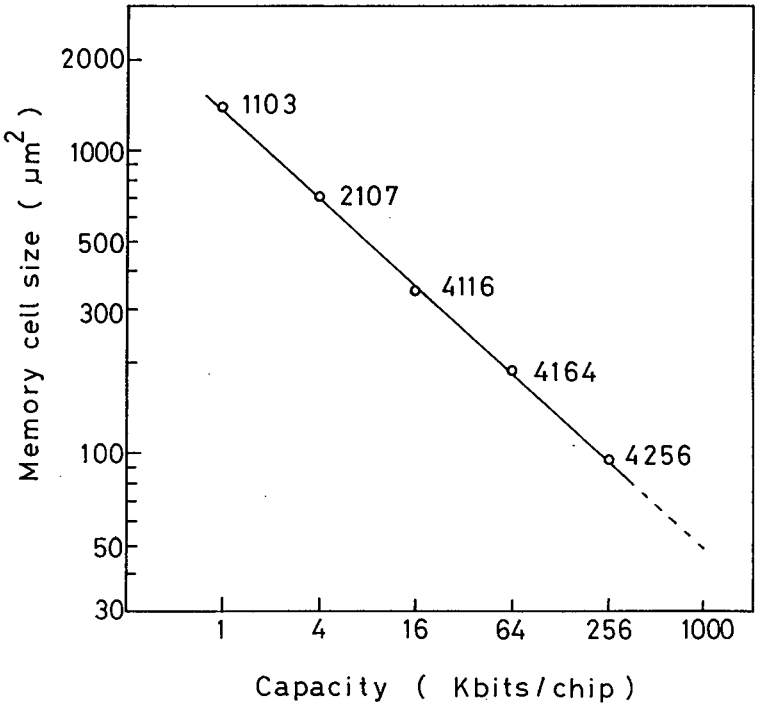


図1．2　メモリセル面積とメモリ容量の関係

高密度化を可能としたのは微細加工技術の進歩によるのは勿論であるが，微小信号を高感度に検知するセンスアンプ回路の研究など回路設計技術の進歩による所も大きい。[14]

表1.1は各世代のダイナミックRAMに使用された基準設計寸法値，新しく取り入れられた技術をまとめたものである。表1.1に見るようにいくつかの技術要素が加わったものの，高集積化の本質は

ビット数	セル面積	チップ面積	最小線巾	新　技　術	新　機　能
1K	μm² 3417	mm² 9.7	μm 10	PチャンネルSiゲート 3Tr	ダイナミックRAM化
4K	1400	15.6	7.5	NチャンネルSiゲート 1Tr	TTL互換性
16K	351	16.3	5	ダブルポリシリコン	アドレス多重化
64K	176	29.3	3	ソフトエラー対策	5V単一電源 リフレッシュ機能内蔵
256K	98	47	2	シリサイドプロセス	冗長度設計 ニブルモード

表1.1　各世代のダイナミックRAMの技術推移

シリコンゲートMOSプロセスの使用とその微細加工の進展によるものと言える。

MOSトランジスタは構造，製造工程が簡単であるという面でバイポーラ素子と較べて高集積化に適しているが，[14] ゲートとソース・ドレイン領域が自己整合できるという，多結晶シリコンを用いたシリコンゲートMOSトランジスタの出現[15]により，一段と有利性を高めた。さらにイオン注入，選択酸化を用いた分離法などのプロセス技術の進歩により移動度の大きなNチャンネルMOSトランジスタの製作が容易となり，[10] 今日の高速でしかも高集積なMOS集積回路の原形が出来上がった。

シリコンゲートMOSトランジスタはMOS RAMの高集積化にとって画期的なものであり，自己整合できることでMOS集積回路の動作速度を制限していた一つの要因であるゲート重り容量の低減が図られた。また，これまでは金属アルミニウムと拡散層だけが配線材料として用いられていたが，多結晶シリコンをもう一つの配線材料として用いることができ，パターンレイアウト上の自由度が増せたことも高集積化に拍車をかけた。多結晶シリコンはガスプラズマによるドライエッチングに適しており，電子ビーム露光によるマスク技術，縮小投影法を用いた転写技術などの進歩により現在ではサブミクロンレベルの素子も実現しつつある。[16]

多結晶シリコンの利用については二層，三層のポリシリコンを使って集積度を上げる方法や[6]，スタティックRAMのメモリセルの負荷抵抗[17]，レーザーアニール技術と組合せて異なる機能を積み重ねていく三次元デバイスの基本材料としても注目されており，その物理的・電気的特性の把握が重要な研究テーマとなっている。

一方回路特性から微細化を考える時，物理定数，電源電圧を比例させて縮小するいわゆるスケーリング則がR. H. Dennard らによって提案され[18]，基本となる特性の概略が把握でき高集積 MOS RAM設計の指導原理として有用視されている。このスケーリング則からは素子寸法の微細化により集積密度が向上するのみならず，性能指数の向上も図れるということが導出される。

ダイナミックRAMの性能指数としてアクセス時間とビット当たりの消費電力の積をとると，その年次推移は図1.3に示すようになり，例えば64Kでは1Kの約1/100の性能向上を達成しており，上に述べたスケーリング則の効果を実証している。

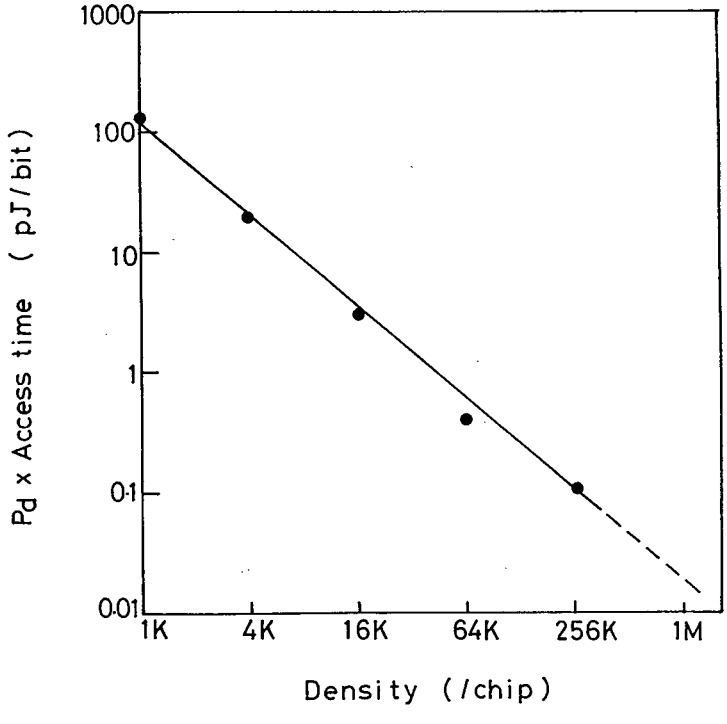


図1．3　性能指数の推移

MOSダイナミックRAMの高集積化を進める上で，これまで述べてきた素子の微細化とこれに伴う回路設計の問題の外に，ソフトエラーという外因的な制限要素があることが1978年にT. C.May らによって指摘された[19]。既成概念にとらわれず，異なる領域の技術を考慮する必要性の問題提起であ

り，ＲＡＭの開発に大きな影響を与えている。

ソフトエラーはパッケージ材料などに含まれるウランやトリウムなどの放射性物質から放出されるα粒子により生成される電荷によるエラーで，情報を新たに書き込むと起こらないので，ハードエラーと区別してソフトエラーと呼ばれている。１６ＫダイナミックＲＡＭで初めてソフトエラーが顕在化したが，メモリセル面積，電源電圧が大きいため本質的な問題となるに至らなかった。64K，256Ｋ(D)ＲＡＭ，さらには１Ｍ(D)ＲＡＭと高集積化が進み，また，電源電圧も微細化に合わせて小さくなると，蓄積電荷量も減小し，発生電荷量が無視できなくなり，ソフトエラーの克服が製品化の鍵となり，ソフトエラー発生メカニズムの解明，デバイスパラメータとの関係，改善手法についての検討などが重要な研究テーマとなっている。

1.2　問題点と本研究の目的

ＭＯＳダイナミックＲＡＭの高集積化を進めるには素子の微細化とそれに関連したデバイス，回路面からの検討が必要である。

多結晶シリコン技術が集積回路に積極的に利用される様になり，現在のＶＬＳＩの実現に果した役割は測り知れない。とくにTrのゲート電極に従来のAlの替わりに多結晶シリコンを使用することによってTrの小型化を図り，高密度化，高速化を同時に達成することが出来た。

多結晶シリコンは今後もＭＯＳ　ＶＬＳＩの高集積化をさらに進めるに当たっての鍵となる材料である。

しかし乍ら，微細化によるゲート電極抵抗の増大，高抵抗層の再現性など不明な点が多く，微細化する時の障害となっていた。本研究の開始時点では多結晶シリコンについては結晶学的性質，成長条件などの議論にとどまり，電気的性質についての研究は緒についたばかりであった。先に述べた事柄を明らかにするには基本となる多結晶シリコンの電気伝導機構の解明が必要で，これらの研究によりＭＯＳ　ＶＬＳＩの高集積化における多結晶シリコンの有効利用をさらに進展させることができる。

ＭＯＳ　ダイナミックＲＡＭの高集積化は微小信号の検出感度の向上という回路技術の進歩に支えられ，メモリセル面積を小さくするということで行われたが，メモリセルに蓄積される電荷量が小さくなる結果，パッケージ材料などから放出されるα粒子により，ソフトエラーが起こる。ＲＡＭのハードエラーは酸化プロセス技術などの改善で著しく少くなったため，このソフトエラーが高集積化にとって大きな制限要因となる。

本研究の開始時点では，１６Ｋ(D)ＲＡＭでソフトエラーの問題が顕在化し，ソフトエラーの発生原因についてはパッケージ材料に微量に含まれる放射性物質から放出されるα粒子によることが明らかにされ，各種のパッケージ材料に含まれる放射性物質の定量化について多くの報告がなされた。６４Ｋ(D)ＲＡＭへ移行すると，蓄積電荷量と生成電荷量が同じオーダとなり，ソフトエラーは本質的に最も

重要な技術的課題となった。高集積MOS RAMのソフトエラーを改善し，実使用上の問題をなくするには，ソフトエラーとデバイス，設計パラメータとの関係を把握し，さらに入射エネルギーとソフトエラーの関係についての研究が必要であり，これらの研究，検討により，高集積RAMのソフトエラー改善の指針が得られるとともに，将来の大容量RAMへの展望が開ける。

MOS RAMの高集積化を構成素子の観点から見ると，ドライエッチング，写真製版，イオン注入技術などの加工技術の進歩により，素子を微細化することにより進んできたと言える。本研究の開始時点において，素子構造の微細化についてはスケーリング則が指導原理として提案され，素子特性の予測に利用されていた。例えばこれによると1／kの縮小を行う時，パターン面積が$1/k^2$と小さくなるだけではなく，デバイスの主な性能指数である，遅延時間・電力消費積は$1/k^3$と向上する。しかしMOSダイナミックRAMの動作上，最も重要な電気的特性であるセンスアンプ感度がスケーリングによってどの様に影響されるかは明らかになっておらず，動作範囲の広いRAMの設計をする上で，大きな問題となっていた。素子を微細化した高集積MOS RAMの動作範囲を広く安定に保ち，実用価値の高いRAMを得るには，安定動作条件のスケーリングとの関係，それに必要なスケーリングした時のデバイスパラメータのばらつきの実績データの把握および回路技術に関する研究が必要で，これらの研究，検討によって高集積RAMの最適設計が可能となる。

半導体デバイス開発の面からMOSダイナミックRAMを眺めると，本研究の開始時点では16K(D)RAMが市場において用いられるメモリの主流を占めていたが，高集積化に対する要求は強く，次世代のRAMとして64K(D)RAMの開発が緒についたばかりであった。64K(D)RAMの開発にあたって電源電圧の低電圧化，記憶セル面積の微細化に伴う内部信号，蓄積電荷量の低下を克服するとともにユーザーの使い易さを考慮した多くの機能を持つデバイスの実用化研究が必要である。これらの研究により，使用条件に対して十分な動作マージンを持ち，品質水準が高くかつ応用性の広いデバイスを得ることができ，工業的に価値の高い高集積RAM実用化の推進が可能となる。

1.3 本研究の内容

本論文は上述の目的を達成するために著者が行った研究の成果を述べるものであり，論文の構成は次の通りである。

第2章はMOS RAMを高集積化する際のプロセス技術の問題点の解決を目的とし，シリコンゲートMOS RAMの基本素子の構成材料である多結晶シリコンの電気伝導機構を明らかにする。イオン注入により不純物濃度を精密制御することにより，多結晶シリコンの抵抗を決定している結晶粒界のトラップ準位を求め，さらにトラップ準位密度と多結晶シリコン成長条件，熱処理条件の関係を明らかにする。

第3章はMOS RAMを高集積化した際の蓄積電荷量減小に伴う問題として，ソフトエラーを取り

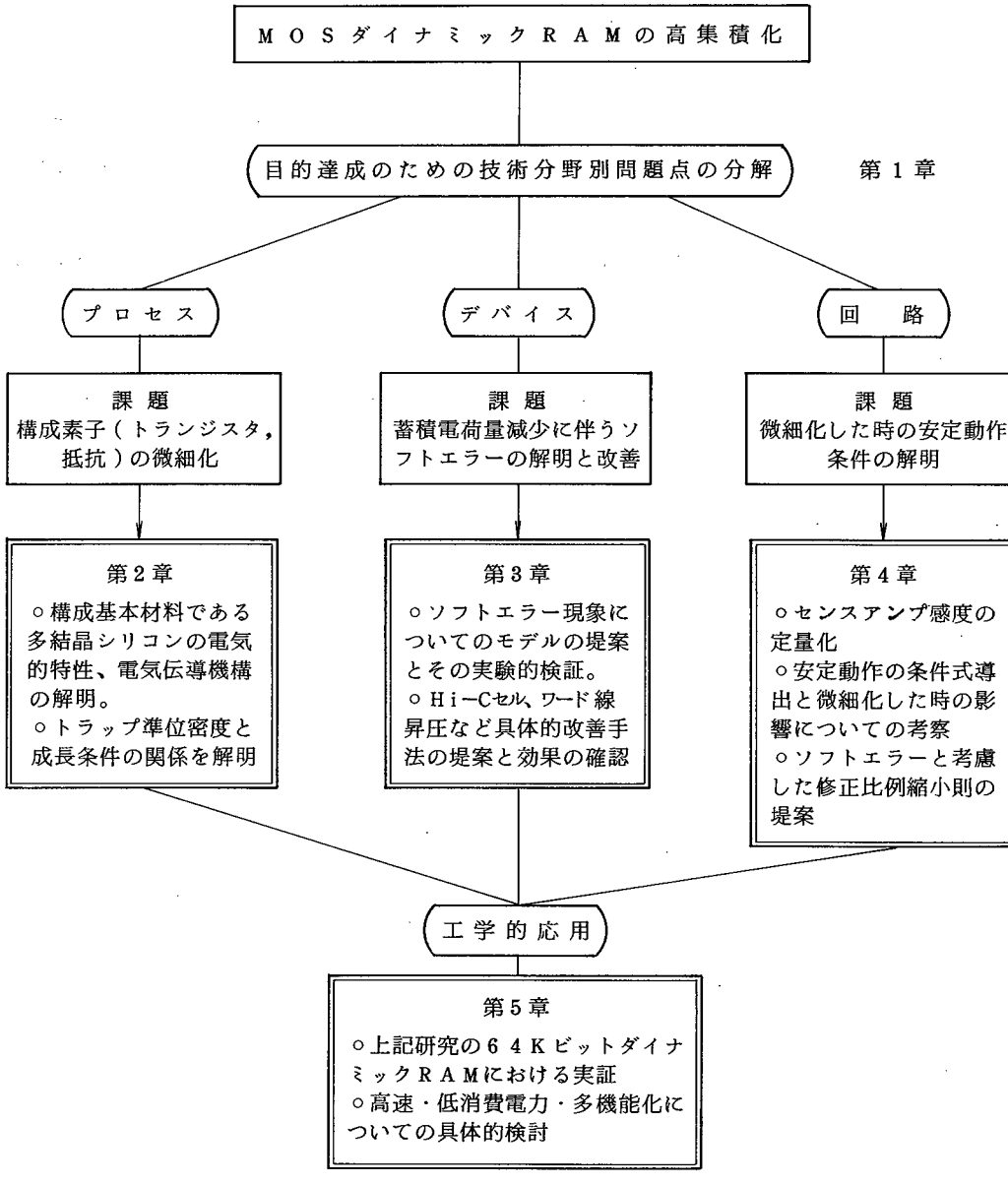
上げ，ソフトエラーと臨界電荷量，入射エネルギーの関係を解析的に検討し，^{241}Am による加速実験との比較検討結果について述べる。またソフトエラー改善手法についてプロセス，デバイス，回路設計面から検討した結果について述べる。

第4章では微細化した時のMOS RAM の安定動作の条件について言及し，デバイスパラメータの加工精度のばらつきが，安定動作条件に及ぼす影響について，スケーリング則に基づき検討した結果について述べる。

第5章では第2～第4章までの結果を踏まえ，具体的な高集積MOSダイナミックRAMを実用化するに当り応用面での検討，評価結果について述べる。

第6章では本研究で得られた成果を総括した。

図1.4に問題点の概要と本研究の目的およびその構成を示す。



第６章　結言

図１．４　本論文の構成

(1) Vadarz, L.L., Grove, A.S., Rowe. T.A. and Moore, G.E., "Silicon Gate Technology", IEEE Spectrum vol. 6 No.10, PP. 28-35, 1969.

(2) Regity, W.M. and Karp, J.A.,"Three-Transistor-Cell 1024-Bit 500ns MOS RAM", IEEE J. Solid-State Circuits, vol. SC-5, pp.181, 1970.

(3) Abbott, R.A., Regity, W.M. and Karp, J.A., "A 4K MOS Dynamic Random Access Memory", ibid vol. 5C-8, No.5, PP. 292-298, 1973.

(4) Hoffman, W.K. and Kalter, H.L., "An 8K-b Random Access Memory Chip Using the One-Device FET cell", ibid, PP. 298-305, 1974.

(5) Boonstra, L., Lambrechtse, C.W. and Salters, R.H.W., "A 4096-b One-Transistor per Bit Random Access Memory with Internal Timing and Low Dissipation", ibid., PP. 305-310, 1974.

(6) Stein, K.U. and Friedrich, H., "A 1-Mil^2 Single Transistor Memory Cell in n Silicon-Gate Technology", ibid., PP. 319-323, 1974.

(7) Armstrong, L., "4096-bit RAM Uses One-transistor Cell", Electronics, vol. 46, No.18, PP. 143, 1973.

(8) Taniguchi, M., Yoshihara, T., Yamada, M., Shimotori, K., Nakano, T. and Gamou, Y., "Fully Boosted 64K Dynamic RAM with Auto and Self-Refresh", IEEE J. Solid-State Circuits, vol. SC-16, No.10, PP. 492-498, 1981.

(9) Matsue, S., Yamamoto , H., Kobayashi, K., Wada, T., Tamada, M., Okuda, T. and Inagaki, Y., "A 256 K dynamic RAM", ISSCC Dig. Tech. Papers, Feb. P. 232, 1980.

(10) Yamamoto, H., Shiraishi, M. and Kurosawa, T., "A 40ns 144 bit N-channel MOS IC memory", ISSCC Dig. Tech. Papers P. 40, 1969.

(11) Mckenny, V.G., "A 5V only 4K static RAM", ISSCC Dig. Tech. Papers, P. 16, 1977.

(12) Martino, W. and Croxon, B.F., "Inverting cell concept of MOS RAM", ISSCC Dig. Tech. Papers, P. 12, 1972.

(13) Ahlguist, C.N., Breivogel, J.R., Koo, T.J., McCollum, J.L., Oldham, W.G. and Renniner, A.L., "A 16384 bit dynamic RAM", IEEE Trans. vol. SC-11, No.5, PP. 590, 1976.

(14) Terman, L.M., "MOSFET memory circuits", Proc. IEEE vol. 59, No.7, PP. 1044, 1971.

(15) Faggin, F. and Klein, T., "Silicon Gate Technology", Solid-State Electronics, vol. 13, No.8, PP. 1125-1144, 1970.

(16) Nakamura, T., Yamamoto, M., Ishikawa, H. and Shinoda, M., "Submicron channel MOS FET's logic under punch through", IEEE J. Solid-State Circuits, vol. SC-13, PP. 572, 1978.

(17) Ozone, T., "A 2K x 8 bit Static RAM", Tech. Dig. of Int. Electron Device Meeting, PP. 684, 1978.

(18) Dennard, R.H., Gaensslen, F.H., Yu, H.N., Rideout, V.L., Basseous, E. and Le Blanc, A.R., "Design of ion implanted MOS FET's with very small physical dimensions", IEEE J. Solid-State Circuits, vol. SC-9, PP. 256, 1974.

(19) May, T.C. and Wood, M.H., "A new physical mechanism for soft errors in dynamic memories", Proc. of Reliability Phys. Symp. PP. 88, 1978.

第2章　多結晶シリコンの電気伝導に関する研究

2.1　序

ＭＯＳダイナミックＲＡＭの集積度の向上は，構成素子の微細化とこれを用いる回路技術の進歩によって支えられてきた。

１９６８年に多結晶シリコンを電極としたシリコンゲートトランジスタが発表されて以来[1]，多結晶シリコン技術は，基本トランジスタを初め，配線，抵抗素子[2]などＭＯＳ集積回路に不可欠なものとして積極的に利用される様になった。なかでも多結晶シリコンによる自己整合ゲート構造は画期的でありＭＯＳ　ＬＳＩの最近の急速な進歩は多結晶シリコン技術によってなされたと言って過言ではない。シリコンゲートトランジスタの特徴は，多結晶シリコンが高融点金属であるので，ゲートとソースドレイン領域の自己整合が可能でマスク合わせ精度の余裕をとる必要がなくなると同時に，重なり容量が減るため帰還容量が大幅に減小することである。このため集積度の向上と高速化が同時に図られることになる。さらにガスプラズマエッチ[3]が可能で微細加工に適していること，減圧ＣＶＤ技術などの進歩により量産性の向上が図られたことなどが，多結晶シリコンの積極利用に拍車をかけている。

一方微細化が進むにしたがい[4]問題となるのは配線，ゲート電極，抵抗素子の縦方向および横方向の寸法縮小による抵抗増大で回路特性への影響が問題となる[5]。このため多結晶シリコンの比抵抗率を下げることが課題となる[6, 7]。また，低抵抗化とは別に，抵抗素子の占有面積を減らすために高抵抗素子がスタティックＲＡＭを初め随所に用いられているが精度よく制御する必要がある。これらに対して多結晶シリコンの電気伝導機構を明らかにすることは非常に重要な課題となってきている。

多結晶シリコンの諸特性については多くの報告がなされているが，大部分は成長方法に関するもの[8, 9, 10, 11, 12]，結晶状態に関するものである[13, 14, 15]。

電気的特性については，これらの発表に較べて報告例は少い。真空蒸着法によって形成した多結晶シリコンの抵抗値が，その後の熱処理で大きく変化することがKataoka らによって報告された[16]。また熱分解法で形成される多結晶シリコンにおいても，成長温度によって抵抗値が大きく変わることがEversteyn[12] らによって報告され，種々の方法で形成された多結晶シリコンの電気伝導が単結晶シリコンと大きく異なることが実験的に示された。さらにKing[17] らは多結晶シリコンのホール移動度を測定し，その濃度依存性は単結晶シリコンと異なり，低濃度側でも移動度が小さくなる傾向のあること，ＴＣＲ（thermal coefficient of resistivity）が負になることを実測した。このようにいくつかの実験データは多結晶シリコンの電気伝導が単結晶シリコンとかなり異なっていることを示し，定性的には多結晶シリコンの結晶粒界の存在がその原因であるという見方が一般的となっている。Kamins[18] は多結晶シリコン中の電気伝導をキャリヤトラップモデルと呼び，結晶粒界のトラップ準位によりできる空間電荷領域の障壁の高さが電気伝導を決めるという提案を行った。現在では

このモデルが多結晶シリコンの電気伝導を良く表わすものとして受け容れられている。

本報告では多結晶シリコンのポテンシャル障壁の高さを決定する最も重要な因子であるトラップ準位密度について，それを求める方法，トラップ準位密度と各種条件との関係などを中心に議論する。多結晶シリコンの伝導機構の基本量である多結晶シリコン中の不純物濃度は，成長中に添加，或は成長後熱拡散によって添加していたが，精密に制御するのが難しかった。こゝでは不純物量はイオン注入を採用することにより精密に制御した。

2.2 多結晶シリコン中の電気伝導のモデル

本章での議論の理解を助けるため，多結晶シリコンの電気伝導モデルについて概説する。

多結晶物質は小さな結晶が結晶粒界で互いに接しながら形づくる混合体である。それぞれの結晶内部では原子は規則正しく配列しており，単結晶体であると考えてよい。結晶粒界は無秩序な数原子層から成り，複雑な構造をしており，この結晶粒界の存在が多結晶物質の電気伝導を単結晶体と異なるものにしている。結晶粒界が不純物を添加した多結晶シリコンの電気的性質へ与える影響について二つの異なるモデルがある。一つは析出モデルと呼ばれ[11]，結晶粒界が不純物のsinkとして働き，粒界に不純物が析出するというものである。そのため結晶中にある不純物量は減り，一様に不純物が分布する時よりもキャリヤー数が少くなり，電気伝導度が低下する。他の一つはキャリヤートラップモデルで[18,19,20]，結晶粒界での原子の配列が乱れているために不完全な原子結合による多数の欠陥があってその結果トラップ準位が形成されキャリヤーが捕獲されるというモデルである。可動キャリヤーが捕獲されるとトラップは電気的に帯電し，ポテンシャルエネルギーの障壁を作ることによってキャリヤーが自由に結晶間を動くのを妨げ移動度を下げることになる。このモデルに基づけば，同じ不純物量に対し，多結晶半導体の移動度およびキャリヤー濃度は単結晶物質より小さくなる。

析出モデルの根本的な限界は熱的に活性化され，負の温度特性を示す膜抵抗の温度依存性を説明できない点である。

本章では以上の理由からキャリヤートラップモデルに基づき解析を進めた。次にキャリヤートラップモデルについて説明する。

図2.1は多結晶シリコン中のエネルギーバンド図，等価回路および電荷分布である。ϕは空間電荷領域のために結晶粒界にできたポテンシャルバリヤの高さである。

ここでは簡単のためにトラップ準位が単一エネルギー分布をしているとする。空乏層の幅をℓ_S，キャリヤー濃度をn_N，トラップ準位密度をn_t，中性フェルミレベルを基準にしたフェルミレベル，トラップ準位のエネルギーレベルをE_f，E_tとすると電気的な中和条件から次式が成立つ。

$$n_N \ell_S = \frac{n_t}{2\exp[(E_t+\phi-E_f)/kT]+1} \qquad (2.1)$$

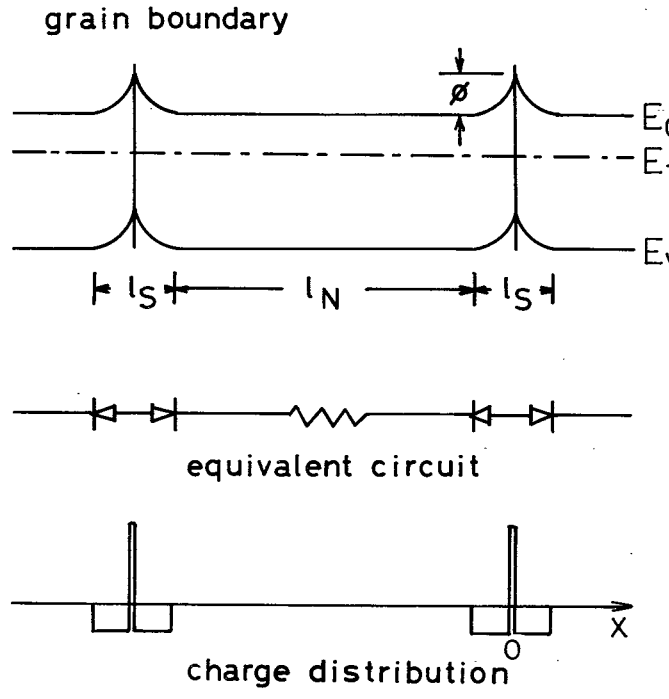


図 2.1　多結晶シリコンの一次元エネルギーバンド図，等価回路，電荷分布

ポテンシャル障壁の高さ ϕ に対して，次のポアソン方程式が成立つ。

$$\frac{d^2\phi}{dx^2} = \frac{en_N}{\varepsilon} \qquad (2.2)$$

ここで ε はシリコンの誘電率である。また x は結晶を一次元とみた時の結晶粒界からの距離である。空間電荷領域の端で障壁の高さ，その微分関数がゼロという次の境界条件，

$$\phi\Big]_{x=\pm\frac{\ell_s}{2}} = 0\ ,\ \frac{d\phi}{dx}\Big]_{x=\pm\frac{\ell_s}{2}} = 0 \qquad (2.3)$$

を考慮して（2.2）式のポアソン方程式を解き，x = 0 でのポテンシャル障壁でのピーク値を求めると次式で表わされる。

$$\phi = \frac{en_N}{2\varepsilon}\left(\frac{\ell_s}{2}\right)^2 \qquad (2.4)$$

与えられた多結晶シリコンに対して，不純物濃度に依存して二つの場合にわけられる。一つはキャリ

ヤー濃度に比較してトラップ準位密度が非常に多い場合で，この時には結晶中ではキャリヤーが完全に空乏層化し，トラップ準位が部分的に充たされている。この時，空間領域は結晶全体に広がり，空乏層の幅は結晶粒の大きさLに等しくなるのでポテンシャル障壁の高さは（2.4）式より次の様になる。

$$\phi = \frac{e n_N L^2}{8\varepsilon} \qquad (2.5)$$

この式によればポテンシャル障壁の高さはキャリヤー濃度に比例して大きくなることがわかる。

一方，キャリヤー濃度がトラップ準位密度に比較して多い場合には，結晶は部分的に空乏層化するだけで，トラップ準位密度は完全にキャリヤーで満たされることになる。（2.1）（2.4）式から空乏層の幅 ℓ_s を消去すると次式の関係が成立つ。

$$\phi = E_f - E_t + kT\,\ell n \frac{1}{2}\left\{ n_t \left(\frac{e}{8\varepsilon n_N \phi}\right)^{1/2} - 1 \right\} \qquad (2.6)$$

ϕ は繰返し計算によって求めることができる。[20]

不純物濃度が比較的大きい時，$E_f - E_t - \phi \gg kT$ という条件が成立ち ϕ は次式で表わされる。

$$\phi = \frac{e n_t^2}{8\varepsilon n_N} \qquad (2.7)$$

この式によればポテンシャル障壁の高さ ϕ はキャリヤー濃度に逆比例し，トラップ準位密度の二乗に比例する。

本実験での不純物濃度は $10^{18} \sim 10^{20}/cm^3$ の範囲にあり，結晶が部分的に空乏層化し，トラップ準位がすべて満たされるという後者の場合に相当し，以下の解析では（2.7）式で与えられるポテンシャル障壁の高さを用いて議論する。

さて，この様にしてポテンシャル障壁の高さが求まると，結晶粒界，即ち空間電荷領域にあるキャリヤー濃度 n_s はポテンシャル障壁の高さ ϕ を用いて次式で与えられる。

$$n_s = n_N \exp\left(-\frac{e\phi}{kT}\right) \qquad (2.8)$$

結晶粒界でのポテンシャルバリヤの幅は，通常のキャリヤー濃度ではトンネリングを起こす程狭くはないので，多結晶シリコン中の電荷輸送の大部分は thermoionic emission によるポテンシャル障壁を越えるキャリヤーによるものと考えることができる。

ポテンシャル障壁に印加される電圧が Va の時，電流 J は次式で表わされる。[21]

$$J = 2AT^2 \exp\left(-\frac{e\phi}{kT}\right) \sinh \frac{eVa}{kT} \qquad (2.9)$$

印加電圧が小さい時（2.9）式の双曲正弦曲線の項はVaに比例するので，結局電流値は印加電圧に比例する。今回の実験でのシート抵抗値はこの様な条件の下で測定したものである。また（2.9）式における指数部以外の温度依存性は指数部のそれに較べて小さいので，アレニウスプロットの傾きからポテンシャル障壁の高さを求めることができる。これらについては，次節以下で詳しく述べる。

2.3 電気的特性

2.3.1 はじめに

前節で論じた結晶粒界のポテンシャル障壁の高さ，トラップ準位密度などの伝導機構を決めている重要な因子の検討に入る前に，本節ではもう少し基本的な事柄，すなわち多結晶シリコンにより作った抵抗素子がどの様な電気的性質を持つかを検討した。具体的にはシート抵抗の不純物濃度依存性，電流－電圧特性，ホール効果による移動度およびキャリヤー濃度の測定などについて調べた。

2.3.2 試料作成

測定のための試料は表2.1のフローチャートにより作成した。

- ○シリコンウエハ準備
- ○酸化膜形成（1μm）
- ○多結晶シリコン膜形成
- ○（熱処理　N_2中）
- ○イオン注入（ボロン又はリン）
- ○アニール（1100℃または1000℃ N_2中　30分）
- ○多結晶シリコン写真製版
- ○酸化膜形成（430℃，0.8μm）
- ○写真製版（酸化膜にコンタクト窓開孔）
- ○ボロン又はリン拡散（オーミックコンタクトのため）
- ○Aℓ蒸着
- ○Aℓ写真製版

表2．1　試料作成のフローチャート

多結晶シリコン膜形成には縦型反応炉AMV800を用いた。また反応ガスはSiH_4（Ar希釈）。試料作成にあたって注目すべきは，多結晶シリコンへの不純物導入をイオン注入で行っている点である。[22] これまでは多結晶シリコン形成中に不純物を導入するか，形成後熱拡散で行っていた。[18] 形成中に導入の場合，モニタウエハとして酸化膜をつけないウエハを準備してエピ成長させ，そのデータから入っ

た不純物量を決めていた。形成後の熱拡散の場合もほゞ同様に行っており，いずれの場合も多結晶シリコン中の不純物量の正確な制御は困難であった。今回の実験では不純物の導入にイオン注入を用いた。イオン注入は精密制御できるので，基本量となる不純物濃度を正確に知ることができる。多結晶シリコン（中性領域）中の不純物濃度n_Nはイオン注入量をn_D，多結晶シリコンの膜厚をt_{poly}とするとイオン注入後のアニールで不純物は膜中にほゞ一様に分布するので

$$n_N = \frac{n_D}{t_{poly}} \qquad (2.10)$$

で表わされる。またイオン注入エネルギーの影響については，加速電圧を25KVから100KV まで変えて注入したが，シート抵抗値には差が見られなかった。以下の実験での加速電圧はすべて50KVである。

図2.2は測定用の多結晶シリコンパターンである。この測定素子を用いて，I－V特性，シート抵抗，ホール効果の測定を行った。

また多結晶シリコンの膜厚測定はSLOAN社の表面荒さ計を用いた。

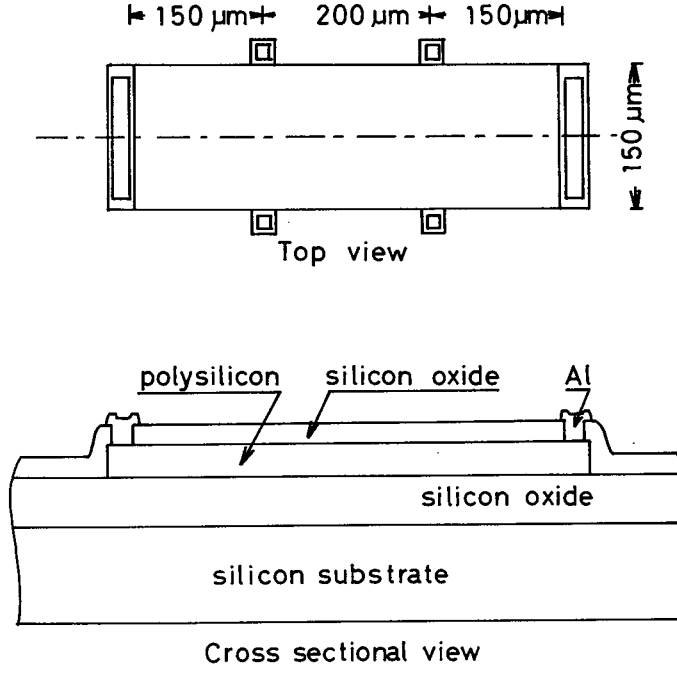


図2．2　抵抗測定用素子のパターン図および断面図

2.3.3　電流－電圧特性

多結晶シリコン抵抗の電流－電圧特性を図2.3に示す。印加電圧Vでの電流値を1Vの時の値で規格化している。

直線Aは電流値が電圧に比例するオーミックな関係を示すものである。単結晶シリコンのI－V特性は基板をゲートとするJFET効果の影響で，電圧増加とともに直線Aから下側にずれてくるのに対し，多結晶シリコン抵抗の場合，電圧の増加とともに電流値は直線Aから上側にずれてくる。[23] これは前節で説明した様に結晶粒界でのショットキーバリヤ型電流によるためであり，双曲正弦曲線的な，I－V特性を示すことがこの実験からも確められる。注入量が少いほどポテンシャル障壁の高さが大きくなり，直線からのずれが大きくなる。通常の集積回路での動作電圧は5Vであるが，この電圧範囲では注入量が$1\times10^{13}/cm^2$と小さく，高抵抗であってもI－V特性はオーミックな直線に近いことがわかる。

以下の実験での抵抗値はすべてI－V特性が直線を示す低電流領域で測定したものである。

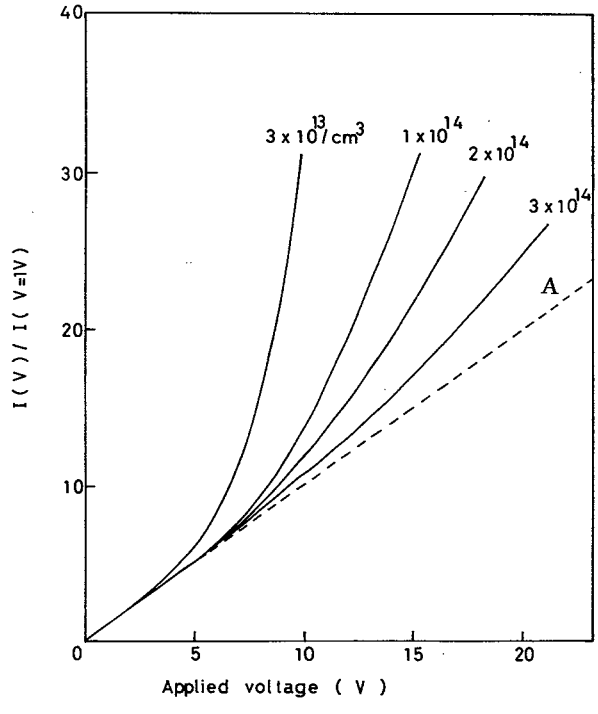


図2．3　多結晶シリコン抵抗の電流－電圧特性

2.3.4　シート抵抗の注入量依存性

図2.4はボロン及びリンを不純物として注入した時の多結晶シリコンシート抵抗のイオン注入量依存性を示すものであり，膜厚は0.5 μmである。注入量が少くなるにしたがい，シート抵抗値の注入量依存性はますます大きくなる。不純物がリン，ボロンで依存性に差が生じるのはトラップ中心であるアクセプター準位，ドナー準位の密度が異なることによると考えられる。[24] 単結晶シリコンにボロンをイオン注入した場合，シート抵抗値は注入量に逆比例する。多結晶シリコンでは注入量が

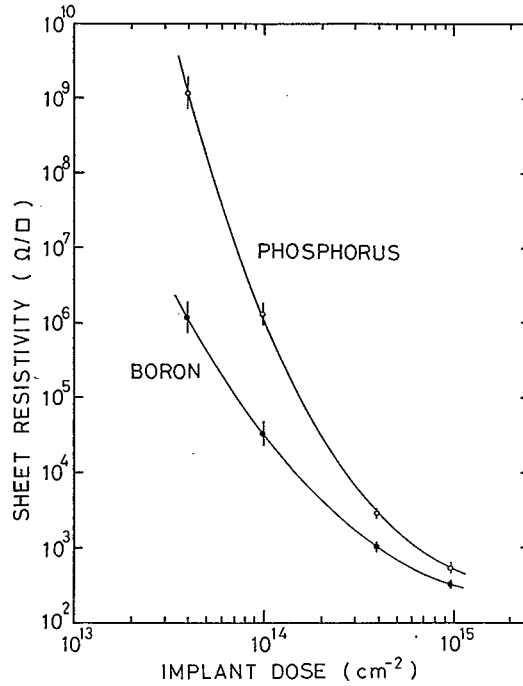


図2．4　シート抵抗のイオン注入量依存性

大きい側では単結晶シリコンと同様シート抵抗は注入量に逆比例しているが，注入量が低い側では同じ注入量に対して多結晶シリコンのシート抵抗が単結晶シリコンより数桁も高く，結晶粒界により抵抗値が増大することを表わしている。上に示した様に多結晶シリコンは高抵抗を作るのに適しており，小さい占有面積で高抵抗をチップ内に作り込むことができる。このことを利用してスタチックRAMではスタンドバイ時の電流を低減させるためにギガオームの抵抗をメモリセルの負荷抵抗として実用化している。

2.3.5　ホール効果による移動度の測定

不純物濃度と移動度の関係を調べるために，ホール係数の測定を行った。図2.5はホール係数の測定により得られた移動度と不純物濃度の関係を示す。

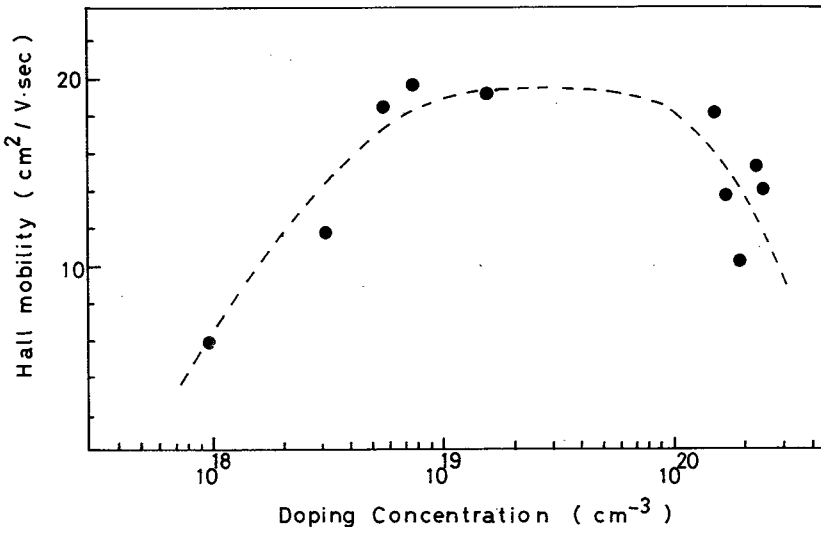


図2．5　ホール移動度の不純物濃度依存性

図2.5から明らかなように不純物濃度により2つの異なる領域があることがわかる。即ち不純物濃度が10^{20}/cm³以上では移動度は不純物濃度の増大とともに減少する。また低濃度側では不純物濃度の減少とともに再び移動度は減小する。一方単結晶シリコンでは，不純物濃度の増大とともに移動度は単調に減小し，不純物散乱だけが支配的である。このように移動度の測定からも，多結晶シリコンは単結晶シリコンと異なる振舞をし，不純物濃度が10^{19}/cm³と10^{20}/cm³の付近で，単結晶シリコン型の伝導機構から結晶粒界が支配する伝導機構へ変化することを示すことがわかる。移動度の絶対値自体は単結晶のそれに較べてかなり小さい。[18]

2.4　ポテンシャル障壁の高さ[26]

2.4 1　シート抵抗の温度依存性

図2.6はボロンをイオン注入した多結晶シリコンシート抵抗の温度依存性を示す。縦軸は温度T°Kでのシート抵抗値を室温での値で規格化した対数で，横軸は1/Tであり，イオン注入量をパラメータにしている。単結晶シリコンの場合$T^{3/2}$に比例して抵抗値が増加する。[20] これは良く知られている様に格子散乱によるものである。これに対し，図に示した多結晶シリコンの場合は，温度上昇に対し，

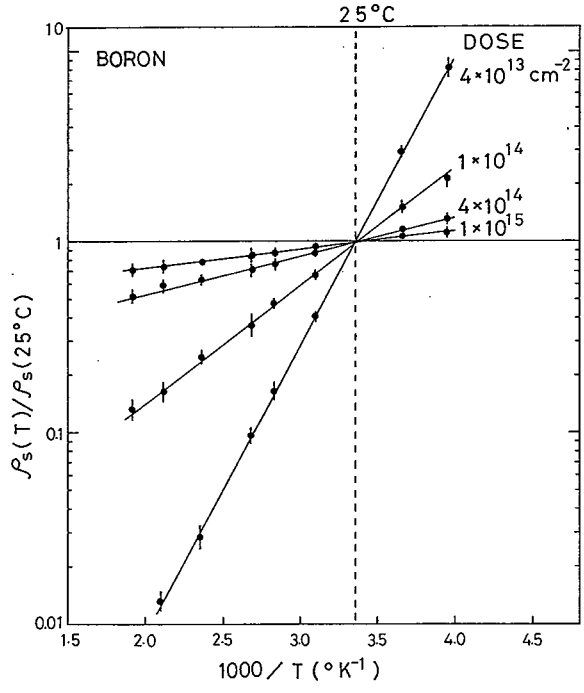


図2．6　シート抵抗の温度依存性

抵抗値は減少し，$\ell n[\rho_s(T)/\rho_s(25℃)]$ は1／Tに比例する。

またイオン注入量が小さい程，その傾きは小さい。式（2.9）において指数項の前の係数の温度依存性はT^2であり，指数項に較べて小さいことから図2.6の直線の傾きから得られるシート抵抗の活性化エネルギーは，ポテンシャル障壁の高さに相当すると考えることができる。

図2.7は図2.6の直線の傾きから計算されたポテンシャル障壁の高さと不純物濃度の関係を両対数グラフにプロットしたものである。両者は逆比例関係にあり，式（2.7）に示した関係と一致しており，シート抵抗の温度依存性から得られる活性化エネルギーが，空間電荷領域のポテンシャル障壁の高さに相当しているという考えの妥当性を実験的にも裏付けている。

図2.7にはボロンおよびリンのポテンシャル障壁のキャリヤー濃度依存性を示しているが，同じキャリヤー濃度に対してリンの方がポテンシャル障壁が1.5倍程高い。これは，図2.4のシート抵抗のイオン注入量依存性のところでも言及した様にトラップ中心であるアクセプタレベル，ドナーレベルの密度が異っているためと考えられる。

ボロンを例にとるとキャリヤー濃度が$8\times10^{17}/cm^3$から$2\times10^{19}/cm^3$と変化するのに対して，ポテンシャル障壁の高さは0.17^{ev}から0.022^{ev}と大きく変わる。

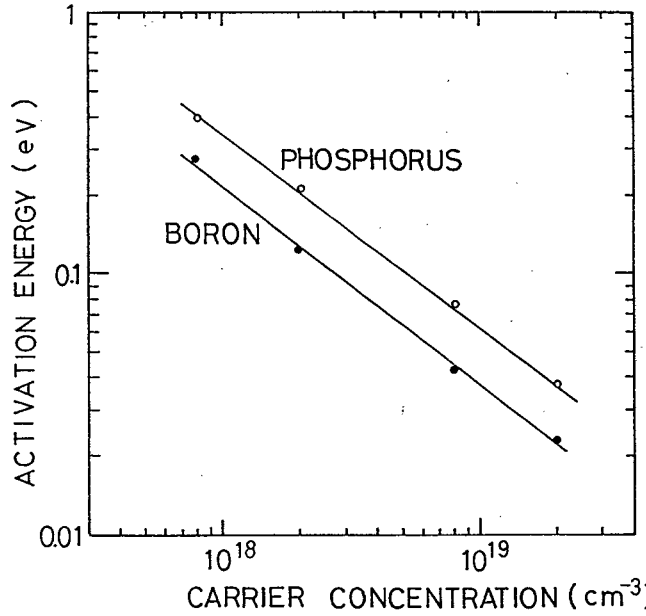


図２．７　活性化エネルギーの不純物濃度依存性

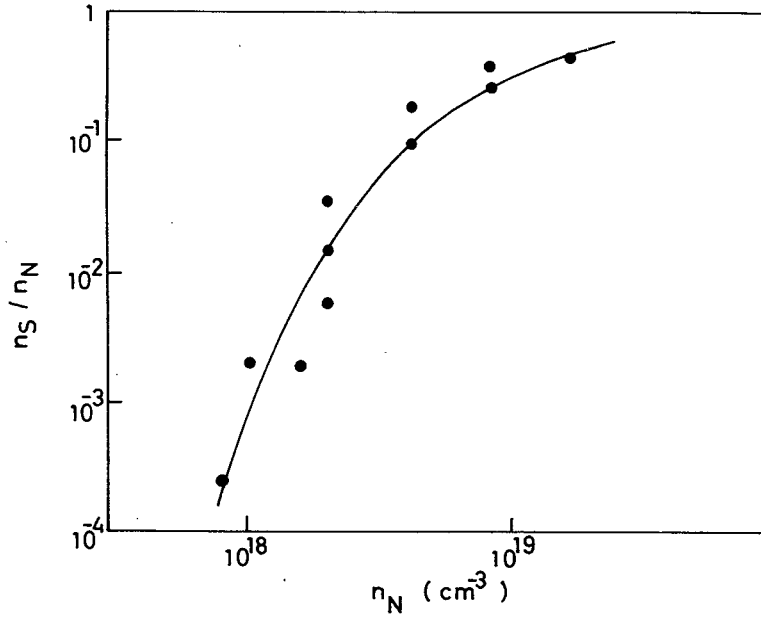


図２．８　電気伝導に寄与するキャリヤー濃度と
中性領域のキャリヤー濃度依存性

試みにこの実験から得られたポテンシャル障壁の高さϕを用いて，式（2.8）から空間電荷領域のポテンシャル障壁の頂上にあるキャリヤー濃度n_Sと中性領域のキャリヤー濃度n_Nとの比n_S/n_Nとn_Nの関係を示すと図2.8の様になる。中性領域のキャリヤー濃度n_Nが$10^{19}/cm^3$以上ではポテンシャル障壁の高さは非常に小さくなり，n_S/n_Nは1に近づく。このことはこの濃度以上では中性領域での電気伝導が支配的となることを示している。

一方，中性領域のキャリヤー濃度が小さくなるにしたがいn_S/n_Nは小さくなり伝導が空間電荷領域のポテンシャル障壁で律せられる様になる。これらの傾向は図2.5に示したホール移動度の不純物濃度依存性とよく対応している。

2.4.2 トラップ準位密度と空間電荷領域の幅

空間電荷領域のポテンシャル障壁の高さϕがシート抵抗の温度依存性から実験的に求まること，中性領域のキャリヤー濃度n_Nはイオン注入量を多結晶シリコンの膜厚で割れば簡単に計算できることから（2.7）式を用いてトラップ準位密度n_tを算出することができる。結果は以下の通りである。

ボロンの場合　$n_t = 3.3\times10^{12}/cm^2$

リンの場合　$n_t = 5.0\times10^{12}/cm^2$

上に示した様にリンに対するトラップ準位密度はボロンに較べて大きい。これらの値はSeto[19]によって報告されている値と良く一致している。

次節に示すようにこのトラップ準位密度は各種条件，たとえば多結晶シリコンの成長温度，アニール条件などに大きく依存している。

トラップ準位密度が求まると式（2.6）より空間電荷領域の幅ℓ_Sが不純物濃度の関数として求められる。またホール係数より求めた濃度から中性領域の幅ℓ_Nも求めることができる[18]。図2.9に結果を示す。不純物濃度が低くなるにしたがい空間電荷領域の幅は大きくなる。また不純物濃度が$10^{20}/cm^3$程度の高濃度では空間電荷領域の幅は数Å となり，中性領域での伝導が支配的になることがこのことからもわかる。

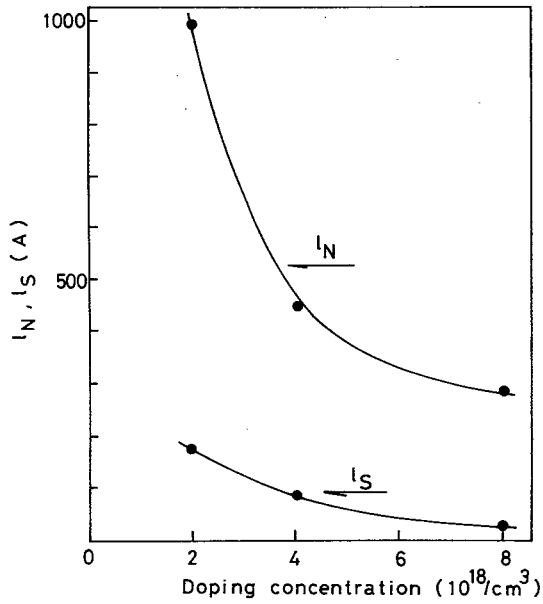


図２．９　空間電荷領域および中性領域の
幅の注入量依存性

2.5　トラップ準位

2.5.1　はじめに

多結晶シリコン中の電気伝導は空間電荷領域にできるポテンシャル障壁の高さで支配されることが明らかになった。このポテンシャル障壁の高さは式（ 2.7 ）で表わされる様に中性領域のキャリヤー濃度と結晶粒界のトラップ準位密度で決まる。中性領域のキャリヤー濃度は，この報告で述べた様にイオン注入量により，任意に変えることができるので，トラップ準位密度が多結晶シリコンの本質的な物理量であると結論できる。本節ではこのトラップ準位密度を決めている要因を明らかにするために，多結晶シリコンの成長温度，成長後の熱処理，イオン注入後のアニール，成長時の酸素の影響などを中心に調べた。

2.5.2　成長温度

多結晶シリコン成長時の温度は多結晶シリコンの結晶性に一番大きな影響を与えることが予想される。多結晶シリコン成長温度と成長速度の関係は表２．２の通りである。

成長温度（℃）	成長速度（Å／min）
700	105
800	340
900	1100
1000	1550
1050	1600

表2．2　成長温度と成長速度

成長温度の上昇とともに成長速度は増加する。上表の結果をもとにして膜厚 0.5 μm の多結晶シリコンを成長させ実験を行った。

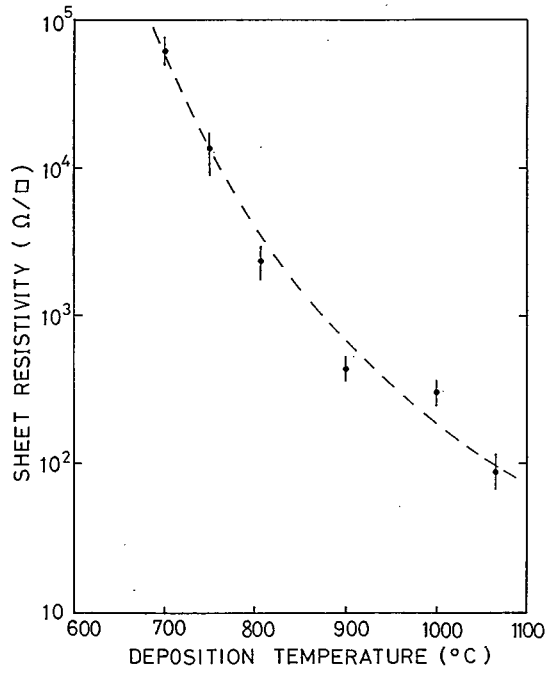


図2．10　シート抵抗の多結晶シリコン成長温度依存性

図2.10はボロンイオン注入量が $5\times10^{13}/cm^2$ で，1100℃ N_2 中で30分アニールした時のシート抵抗の成長温度に対する関係を示したもので，成長温度が700℃から1050℃と変わるのにしたがって，シート抵抗は2桁以上低下する。このことは成長温度が高くなると結晶性が改善されることを示唆しているものと考えられる。

2.4節で述べた様にシート抵抗の測定温度依存性からポテンシャル障壁の高さが，また式（2.7）を用いてトラップ準位密度を計算することができる。

図2.11はこの様にして求めたトラップ準位密度の成長温度依存性で，成長温度が700℃から1050℃まで変化するのに応じてトラップ準位密度は$3.5\times10^{12}/cm^2$から$2.0\times10^{12}/cm^2$へと減

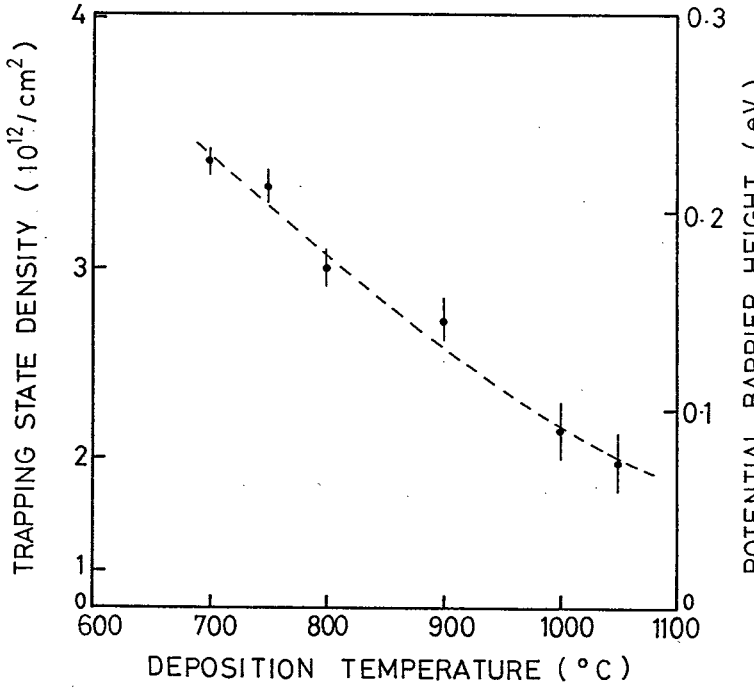


図2．11　トラップ準位密度の成長温度依存性

少し結晶粒界の不整合が緩和されることを示している。また，このことは成長温度とともにシート抵抗が減少する図2.10の結果とも良い一致を示す。

2.5.3　熱処理効果

多結晶シリコン成長直後に高温の熱処理を施こした時に，多結晶シリコンの結晶性がどの様に改善されるかを調べた。図2.12は熱処理温度を1180℃まで変えた時のトラップ準位密度を示すものである。イオン注入後のアニール[27]は熱処理の効果と区別するために比較的低温の1000℃とした。多結晶シリコンの成長温度は700℃で，ボロンイオン注入量は$1\times10^{14}/cm^2$である。図2．12から判るようにトラップ準位密度は$4.5\times10^{12}/cm^2$から，1180℃の熱処理によって$2.6\times10^{12}/cm^2$と減少し，成長温度だけでなく，成長後の熱処理によっても結晶粒界の不整合性が改善される。

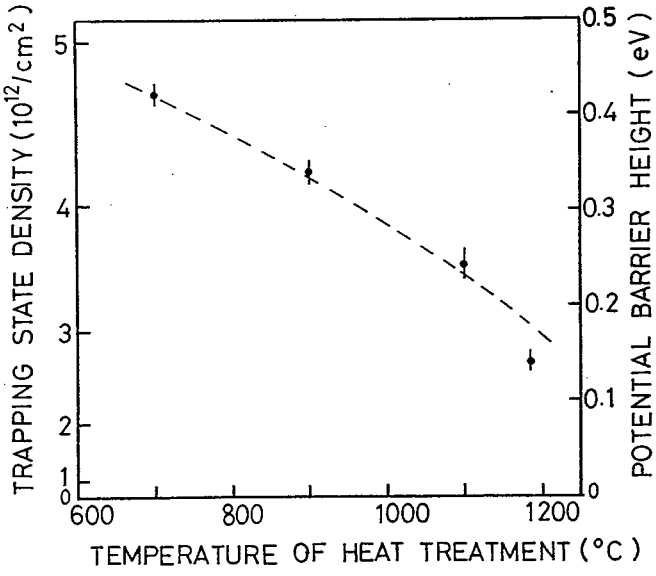


図２．12　トラップ準位密度の熱処理温度依存性

2.5.4　酸素の影響

単結晶シリコンの結晶転位の原因は酸素原子であるといわれており，完全結晶を作るに際して酸素の存在を極力押えることに注意が払われている。多結晶シリコンの場合も成長時に微量に存在する酸素が結晶性[28]，電気特性[29]へ影響を与えることが考えられる。そこで模擬実験として酸素の代わりにCO_2ガスを混入することによりトラップ準位密度への影響を調べた。

多結晶シリコン成長時のガス構成はH_2キャリヤーガスが４５ＳＬＰＭ，５％Ａｒ希釈ＳｉＨ$_4$ガスが２５００ＳＣＣＰＭで，CO_2ガスは４５０ＳＣＣＰＭまで変えた。図２．１３はボロンイオン注入量が１×１０^{14}/cm^{2}の時のCO_2ガス流量に対するシート抵抗の関係を示す。図から極く微量のCO_2が混入することによってシート抵抗は急激に増大する様子がわかる。図2.14はトラップ準位密度とCO_2ガス流量の関係を示すもので，シート抵抗の場合と同様，CO_2ガスの混入によって急激に増加する。初期状態では純粋な多結晶シリコンであるが，極く微量の酸素の存在が非常に大きな影響を与えることがわかる。CO_2ガス量が増加するにしたがって，多結晶シリコンの電気的性質は半絶縁性に変化して，トラップ準位密度の増加率も飽和傾向を示す。

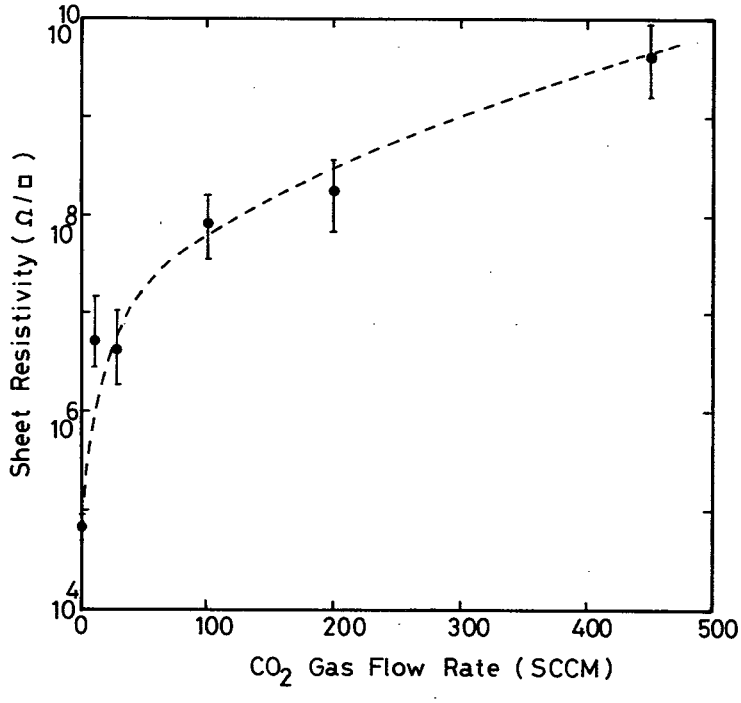


図 2.13　シート抵抗の CO_2 ガス流量依存性

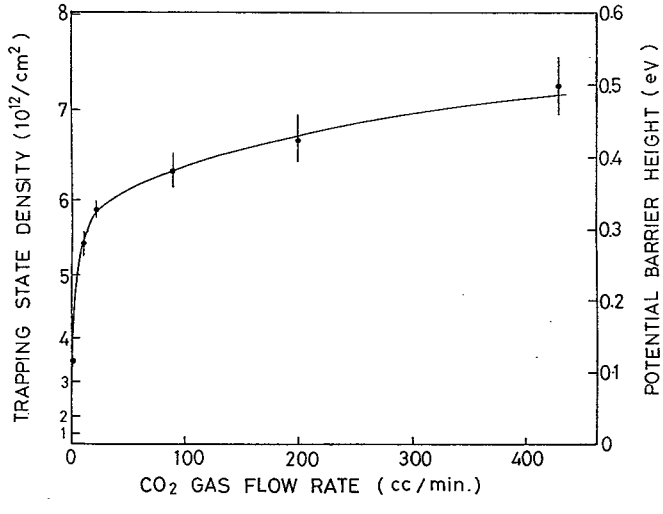


図 2．14　トラップ準位密度の CO_2 ガス流量依存性

2.6 結　　言

高集積MOSダイナミックRAMのトランジスタ，抵抗，配線，容量など基本素子の構成材料である多結晶シリコンの電気伝導機構の解明を行った。検討の結果以下のことが明らかになった。

イオン注入により多結晶シリコン中の不純物濃度を精密に制御し，抵抗値のアレニウスプロットから得られる活性化エネルギーが空間電荷領域のポテンシャル障壁に相当し，ポテンシャル障壁の高さが不純物濃度に逆比例することを実験的に検証した。

ポテンシャル障壁の高さから結晶粒界のトラップ準位密度を求めることができた。標準試料についてのトラップ準位密度はボロンイオンの場合 $3.3\times10^{12}/cm^2$，リンの場合 $5.0\times10^{12}/cm^2$ であった。不純物導電型でトラップ準位密度が異なるのはアクセプタレベル，ドナーレベルの数が異なるためと考えられる。

トラップ準位密度は多結晶シリコン成長温度，多結晶シリコンの熱処理によって大きく影響を受けることを明らかにした。成長温度，熱処理温度の上昇につれて，結晶粒界の結晶の不完全さが緩和されトラップ準位密度が減少する。またトラップ準位密度が多結晶シリコン成長中に微量に存在する酸素によって増大することを明らかにした。

ホール移動度の測定から，不純物濃度が $10^{19}\sim10^{20}/cm^3$ を境として高，低濃度側で移動度が減少することを実験的に明らかにし，高濃度側では単結晶領域が，低濃度側では結晶粒界が電気伝導を支配していることがわかった。

(1) Faggin, F. and Klein, T., "Silicon Gate Technology", Solid-State Electronics, vol. 13, No.8, PP. 1125-1148, 1970.

(2) Ozone, T., "A 2Kx8 bit Static RAM", Tech. Dig. of Int. Electron Device Meeting, pp.684, 1978.

(3) Abe, H., Sonobe, Y. and Enomoto, T., "Etching Characteristics of Silicon and its Compounds by Gas Plasma", Japan. J. Appl. Phys., vol. 12, PP. 154, 1973.

(4) Dennard, R.H., Gaensslem, F.H., Yu, H.N., Rideout, V.L., Bassons, E. and LeBlanc, A., "Ion Implanted MOS FETs with Very Short Channel Length", IEEE Int. Device Meeting, Technical Digest, PP. 152-155, Dec. 1973.

(5) Brown, D.M., "Self-Resistered Molybdenum-Gate MOSFET", J. Electrochem. Soc. vol. 115, No.8, PP. 874-876, 1968.

(6) Fripp, A.L. and Slack, L.H. "Resistivity of Doped Polycrystalline Silicon Films", J. Electrochem. Soc. vol. 120, No.1, PP. 145-146, 1973.

(7) Joseph, J.D. and Kamins, T.I., "Resistivity of Chemically Deposited Polycrystalline Silicon Films", Solid-State Electronics, vol. 15, No.3, PP. 355-358, 1972.

(8) Kumagai, H.Y., Thompson, J.M. and Krauss, G., "Properties and Structure of Thin Silicon Films Sputtered on Fused Quartz Substrate", Transaction on the Metallugical Society of Aime, vol 236, PP. 295-299, 1966.

(9) Feldman, C. and Plachy, R., "Vacuum Deposited Silicon Devices on Fused Silica Substrates", J. Electrochem. Soc. vol. 121, No.5, PP. 685-688, 1974.

(10) Chiang, Y.S.,"Low Temperature Growth and Properties of Polycrystalline Silicon", Semiconductor Silicon 1973, edited by Electrochem. Soc. Chicago, PP. 285-291, 1973.

(11) Cowher, M.E. and Sedgwick, T.O., "Chemical Vapor Deposited Polycrystalline Silicon", J. Electrochem. Soc., vol. 119, No.11, PP. 1565-1569, 1972.

(12) Eversteyn, F.C. and Put, B.H., "Influence of AsH_3, PH_3, and B_2H_6 on the Growth Rate and Resistivity of Polycrstalline Silicon Films Deposited from a SiH_4-N_2 Mixture", J. Electrochem. Soc., vol. 120, No.1, PP. 106-110, 1973.

(13) Mountvala, A.J. and Abowitz, G., "Textual Characteristics and Electrical Properties of Vacuum Evaporated Silicon Films", Vacuum, vol. 15, No.7, PP. 359-362, 1965.

(14) Emmanuel, A. and Polloch, H.M., "Growth of Polycrystalline Silicon Films: Grain Size", J. Electrochem. Soc. vol. 120, PP. 1586-1591, 1973.

(15) Rai-Choudhury, P. and Hower, P.L., "Growth and Characterization of Polycrystalline Silicon", J. Electrochem Soc. vol. 120, No. 12, PP. 1761-1766, 1973.

(16) Kataoka, Y., "Some Properties of Evaporated Silicon Films", J. Phys. Soc. Japan, vol. 17, No.6, PP. 967-969, 1962.

(17) King, F.D., Shewchun, J., Thompson, D.A., Barber, H.D. and Pieczonka, W.A., "Polycrystalline Silicon Resistors for Integrated Circuits", Solid-State Electronics, vol. 16, PP. 701-708, 1973.

(18) Kamins, T.I., "Hall Mobility in Chemically Deposited Polycrystalline Silicon", J. Appl. Phys. vol. 42, No.11, PP. 4357-4365, 1971.

(19) Seto, J.Y.W., "The Electrical Properties of Polycrystalline Silicon", J. Appl. Phys., vol. 46, PP. 5247, 1975.

(20) Baccarani, G., Ricco, B. and Spadini, G., "Transport Properties of Polycrystalline Silicon Films", J. Appl. Phys., vol. 49, PP. 5565, 1978.

(21) Karsh, G.J. and Muller, R.S., "Conduction Properties of Lightly Doped Polycrystalline Silicon", Solid-State Electronics, vol. 21, PP. 1045-1051, 1978.

(22) 吉原，角，柴田，安岡，〝イオン注入法による多結晶シリコン高抵抗層の形成〟 第5回「イオン注入とサブミクロン加工」シンポジウム予稿集, PP. 69-72, 1974.

(23) Macdougall, J.D., Manchester, K.E. and Roughan, P.E., "High Value Implanted Resistors for Microcircuits", Proc. IEEE, vol. 57, No.9, PP. 1538-1542, 1969.

(24) Kamins, T.I. "Field-Effects in Polycrystalline Silicon Films", Solid-State Electronics, vol. 15, PP. 789-799, 1972.

(25) Yoshihara, T., Abe, H. and Yasuoka, A., "Conduction Properties of Chemically Deposited Polycrystalline Silicon", J. Electrochem. Soc., vol. 127, No.7, PP. 1603-1607, 1980.

(26) Bardeen, J. and Shockley, W., Phys. Rev. No.80, PP. 72, 1950.

(27) Seto, J.Y.W., "Annealing Characteristics of Boron and Phosphorus Implanted Polycrystalline Silicon", J. Appl. Phys. vol. 47, No.12, PP. 5167-5170, 1976.

(28) Kamins, T.I., "Deformation Occurring during the Deposition of Polycrystalline Silicon Films", J. Electrochem. Soc. vol. 121, No.5, PP. 681-684, 1974.

(29) Tarng, M.L., "Carrier Transport in Oxygen-rich Polycrstalline Silicon Films", J. Appl. Phys. vol. 49, No.7, PP. 4069-4075, 1978.

第３章　高集積MOSダイナミックＲＡＭのソフトエラーに関する研究

3.1　序

ＭＯＳダイナミックＲＡＭは微細加工技術，センスアンプの感度向上を可能とした回路設計技術などの進歩によって，その集積度を飛躍的に増大してきた。この高集積化は主として記憶セル面積を小さくすることによってなされたが，結果として記憶セルにおける蓄積電荷量の低下をもたらすこととなった。蓄積電荷量が小さくなりすぎると，パッケージ材料などに含まれる放射性物質から放出されるα粒子のシリコン基板への入射で生成される電子－正孔対による雑音でメモリ情報の破壊を引き起すことになる。この現象はソフトエラーと呼ばれ[1,2]16K(D)ＲＡＭでは記憶セルの蓄積電荷量がα粒子による雑音よりも十分大きくできるため，余り大きな問題にならなかったが，64K(D)ＲＡＭでは記憶セル面積の縮小とともに，電源電圧も16K(D)ＲＡＭのときの12V／±5V 3電源系から，5V単一電源へと低電圧化されるため，蓄積電荷量はより一層小さくなり，ソフトエラーは重大な問題となる。256K，1M(D)ＲＡＭでは，記憶セル面積はさらに小さくなるため，ソフトエラーの問題はますます重要な技術課題となるものと考えられる。このため，回路，プロセス，デバイス，アセンブリ技術などそれぞれの面から総合的な検討が必要とされる。

本章ではダイナミックＲＡＭのソフトエラーについて，発生メカニズムのモデル化，実験によるメカニズムの解析，ソフトエラー改善手法について述べる。

3.2　ソフトエラーのメカニズム

3.2.1　ソフトエラーの発生モード

ソフトエラーはメモリデバイス中でランダムに発生し，繰り返すことのないシングルエラーで，永久的なエラーではない。この点が従来のメモリデバイスでの故障の大部分であった物理的欠陥によるハードエラーと区別される。事実，エラーのあったビットに新たにデータを書き込むと正しい動作をする。メモリセル面積の大きかった4K(D)ＲＡＭ以前では問題にならなかったが，微細化が進んだ16K(D)ＲＡＭで初めて顕在化し，T. C. Mayらによって指摘された[1]。

パッケージ材料などに含まれるウランやトリウムなどから放出されるα粒子がシリコン基板中に入射した時，物質との強い相互作用を起こし，電離作用によって多数の電子－正孔対を生成する[3]。図3.1にα粒子がシリコンウエハに垂直に入射した時に，生成される電子の分布を示す。飛程の終端に近づくにつれ相互作用が増える結果，生成電子数が多くなる。半導体材料中に含まれる極微量のウラン，トリウムから放出されるα粒子は0.1 α／cm²・h程度であると言われ，そのエネルギーは3～8 MeVに分布し，5 MeVにピークを持つ[4]。一対の電子－正孔対を生成するのに必要とされるエネルギーは

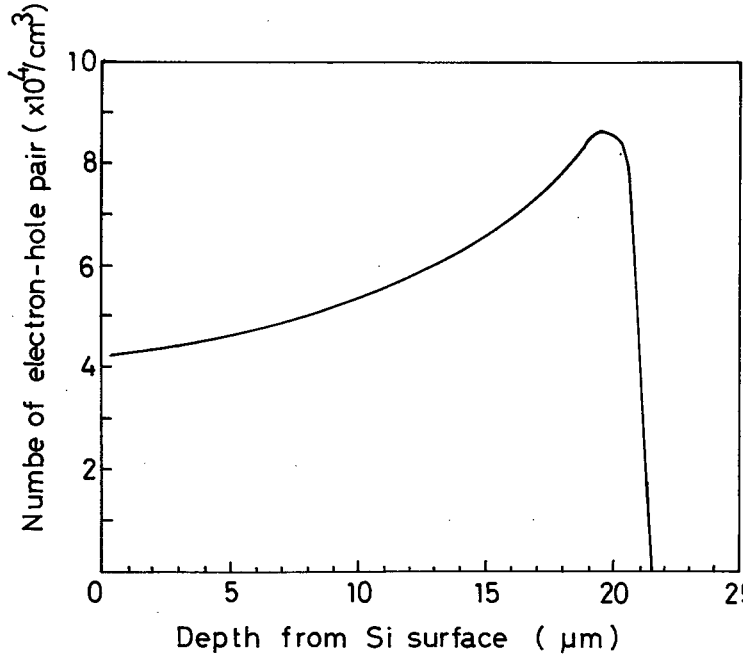


図3．1　α粒子によって生成される電子・正孔対のシリコン中での分布

約3.6 ^{ev}であるので，5 ^{Mev} のα粒子が入射した場合には 1.4 × 1 0^6 ケの対が生成される。

この値は微細化が進んだメモリに蓄積される電荷量と同じオーダである。

NチャンネルMOSデバイスの場合には生成された電子－正孔対のうち正孔は基板に流れて吸収されるが，電子は正にバイアスされたノードに収集される。このノードがフローティングであるとこの電位は低下してしまう。ダイナミックRAMの場合，メモリセルの蓄積領域，ビット線はこの様なノードであるので，α粒子が当たるとメモリ情報が反転しソフトエラーとなる。

3.2.2　臨界電荷量の算出

デバイス自体のソフトエラーに対する強さは臨界電荷量の大きさによって知ることができる。すなわち，α粒子によって発生した電子が収集され，その電荷量がメモリ情報の〝0〟と〝1〟を識別する電圧に相当するとして定義される臨界電荷量より大きくなるとソフトエラーを生じる。

臨界電荷量は電荷中和則から導出できる[(5)]。図3.2はダイナミックRAMのタイミング動作を示すものである。3.2.1で述べた様にソフトエラーにはα粒子が記憶セルに当たって起こる場合と，ビット線に当って起こる場合とがある。ビット線でのエラーには次の2つの場合が考えられる。

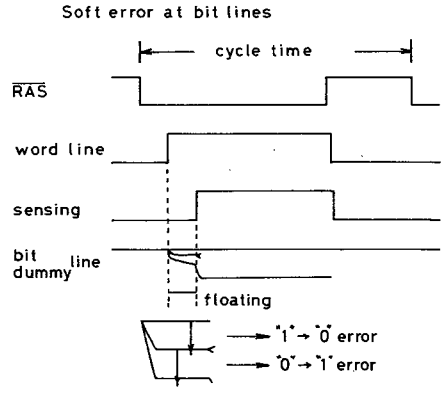


図3．2　ダイナミックRAMにおける内部信号とソフトエラー

(i)記憶セルに〝1〟の情報が書き込まれていて，読み出し後，それに接続するビット線にα粒子が当たり，ビット線の電位がダミーセル側のビット線の電位より下がり〝1〟→〝0〟エラーとなる。

(ii)記憶セルに〝0〟の情報が書き込まれていて，読み出し後ダミーセル側のビット線にα粒子が当たってダミーセル側のビット線の電位が記憶セル側のビット線の電位より下がって〝0〟→〝1〟エラーとなる。記憶セル部にα粒子が当たる場合は臨界電荷量の上からは(i)に含まれた形で扱うことができ，この場合は〝1〟→〝0〟エラーだけが起こる。(i)(ii)それぞれについて臨界電荷量 Qc を計算する。

(i)記憶セルが〝1〟で記憶セル側のビット線にα粒子が当たった場合

ビット線にα粒子が当たって発生する電荷のうち，Qという電荷が収集されるものとする。読み出し前後の電荷の中和則から記憶セル側，ダミーセル側のビット線それぞれについて次の式が成り立つ。

$$C_B V_{BM} + C_S V_M = C_B V_{BM'} + C_S V_{M'} + Q \qquad (3.1)$$

$$C_B V_{BD} + C_D V_D = C_B V_{BD'} + C_D V_{D'} \qquad (3.2)$$

ここで記号は次の様に定める（読み出し後の場合はその記号にダッシュをつける）。

$V_{BM,\ BD}$ ： 記憶セル，ダミーセル側ビット線の電位

$V_{M,\ D}$ ： 記憶セル，ダミーセルの記憶電位

$C_{B,\ S,\ D}$ ： ビット線，記憶セル及びダミーセルの容量

V_{WL} ： ワード線の電位

V_{TH} ： 転送ゲートトランジスタQのしきい値電圧

ダイナミックRAMでは記憶セル側，ダミーセル側ビット線のプリチャージ電圧は電源電圧V_{CC}に等しくしており，又ダミーセルの初期電圧 V_D は0Vとしている。式（3.1），（3.2）において

$$V_{BM} = V_{BD} = V_{CC}\ ,\quad V_D = 0$$

$$V_M = V_{M'} = V_{D'} = V_{WL} - V_{TH}$$

を代入すると

$$C_B V_{CC} = C_B V_{BM'} + Q \qquad (3.3)$$

$$C_B V_{CC} = C_B V_{BD'} + C_D (V_{WL} - V_{TH}) \qquad (3.4)$$

となる。読出し後の記憶セル側のビット線の電位 $V_{BM'}$ とダミーセル側のビット線の電位 $V_{BD'}$ の差がセンスアンプの感度 $\triangle V_S$ より小さくなるときのQを臨界電荷量と定義すると式（3.3），（3.4）より，〝1〞→〝0〞エラーを起こすときの Q_C は次のようになる。

$$Q_C(\text{〝1〞}\rightarrow\text{〝0〞}) = C_D(V_{WL} - V_{TH}) - C_B \triangle V_S \qquad (3.5)$$

(ii)記憶セルが〝0〞で，ダミーセル側ビット線にα粒子が当たる場合，

$$V_M = V_D = 0,\ V_{M'} = V_{D'} = V_{WL} - V_{TH},\ V_{BM} = V_{BD} = V_{CC}$$

であるから(i)の場合と同様に計算できて Q_C は次式で表わされる。

$$Q_C(\text{〝0〞}\rightarrow\text{〝1〞}) = (C_S - C_D)(V_{WL} - V_{TH}) - C_B \triangle V_S \qquad (3.6)$$

式（3.5）（3.6）より次のことが言える。

1. Q_C はワード線の電位に応じて大きくなる。したがって V_{WL} は大きい方が望ましい。
2. Q_C は記憶セル，ダミーセル容量に応じて大きくなるが，ダミーセル容量だけが大きいと〝1〞→〝0〞エラーに対する Q_C は増大するが〝0〞→〝1〞エラーに対する Q_C は逆に小さくなるので，ダミーセル容量は適切に選ぶ必要がある。
3. Q_C はビット線容量にセンスアンプの感度を乗じた量だけ減少する。両者とも小さい方が望ましい。
4. 転送ゲートトランジスタのしきい値電圧 V_{TH} に相当する量がワード線電位より減じられるので，V_{TH} を可能な限り低くする必要がある。

上に得られた知見に基づき3.5節に述べるようなソフトエラーの改善を行った。

3.2.3 臨界電荷量，収集電荷分布とソフトエラーの関係

α粒子がシリコン基板中に入射して生成される電荷のうちQという量の電荷量が収集される確率分

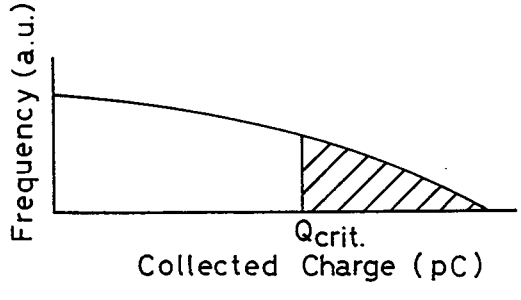


図3．3　収集電荷分布に対するソフトエラーと臨界電荷量の関係

布をf(Q)とする。図3.3に示した様に示した様に斜線部の臨界電荷以上の電荷がソフトエラーを引き起こすので，臨界電荷量がQ_Cの時のソフトエラー率S（Q_C）は次式で表わされる

$$S(Q_C) = \int_{Q_C}^{\infty} f(Q)\,dQ \qquad (3.7)$$

収集される電荷の分布はα粒子の入射条件[6]，メモリセルの幾何学的条件，メモリの動作条件に依存しており，解析的に求めるのは困難であるので，これまでの実験などの報告例に基づき考察した。収集される電荷の分布はα粒子の入射によりシリコン基板内で電荷が生成される過程，それらがノードに収集される二つの過程で決められる。生成される電荷の分布はこれまで半導体検出器などでよく研究されており，単一エネルギーのα粒子が入射した時には鋭いピークを持つガウス分布に近い分布をしている[7]。収集過程に関しては，ここでは入射位置，入射タイミングについて考えてみる。あるノードに着目して収集を考えた場合，そのノードを中心とする平面に入射したα粒子による電荷が収集に関与する訳であるが，収集される電荷量はそのノードからの距離が大きい程，小さくなる[8]。入射位置の確率は均等であるので遠方に入射したものの占める割合が大きくなるため，電荷量が小さい程収集される比率は大きい。また入射タイミングについても，ノードがフローティングになる以前に入射したα粒子による電荷も収集に関与し，それらの数は非常に多いので，電荷量が小さいものの収集される割合は大きいと考えられる。以上のことを考慮して，収集される電荷の分布がQ＝0に最大値を持つガウス分布[9,10,11]であり，次式で表わされるものとする。

$$f(Q) = \frac{\alpha}{\sqrt{2\pi}\sigma} \exp\left\{-\frac{Q^2}{2\sigma^2}\right\} \qquad (3.8)$$

ここでσは分布の形を与える分散，αは定数である。生成される電荷の最大量は入射エネルギーに比例するので，分散σは入射エネルギーの増加に応じて大きくなる。この時ソフトエラー率S（Q_C）は次の様に計算される[5]。

$$S(Q_C) = \int_{Q_C}^{\infty} \frac{\alpha}{\sqrt{2\pi}\sigma} \exp\left\{-\frac{Q^2}{2\sigma^2}\right\} dQ = \alpha\left\{1 - \mathrm{erfc}\left(\frac{Q_C}{\sqrt{2}\sigma}\right)\right\}$$

$$= \alpha\ \mathrm{erfc}\left(\frac{Q_C}{\sqrt{2}\sigma}\right) \qquad (3.9)$$

式（3.9）より，ソフトエラー率は臨界電荷量に対して相補誤差関数で表わされることがわかる。

3.2.4 実験結果および検討

実験に用いた試料は5V単一電源64K(D)RAMである。記憶セル容量は0.05pFで，電源電圧が5Vの時には0.11pCの臨界電荷量を有する。測定には強度57μCiの人工放射線源 ^{241}Amを用いた。線源のエネルギーのピークは5.0 MeVにある。

3.2.4.1　ソフトエラーのサイクル時間依存性

3.2.1で述べた様にソフトエラーには記憶セル，ビット線でのエラーと2つのタイプがある。記憶セルについては〝1〞→〝0〞エラーだけが発生し，このエラーはメモリ動作をしている限り，α粒子の入射に対してエラーを生じる可能性があり，サイクル時間には依存しない。一方ビット線でのエラーについては〝1〞→〝0〞，〝0〞→〝1〞両方のエラーが起こり，記憶セルに情報が読み出されてから，センスアンプが動作してラッチが確定するまで，すなわちビット線がフローティングになっている時間内にのみ発生する。従ってこのエラーは読み出し回数に比例し，サイクル時間に逆比例する。図3.4は単位時間のα線放射で発生するソフトエラーのサイクル時間依存性を〝1〞→〝0〞，〝0〞→〝1〞エラーを分離して測定したものである。電源電圧は5Vである。図3.4で〝0〞→〝1〞

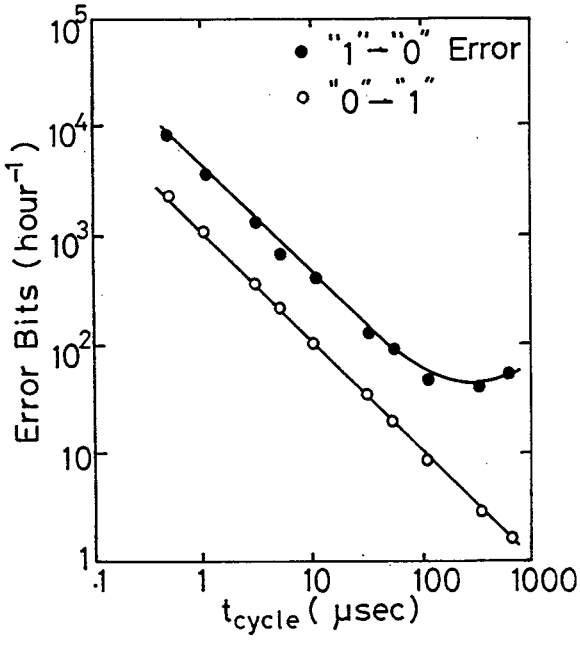


図3.4　ソフトエラーのサイクル時間依存性

エラーはサイクル時間に逆比例しており，ビット線でのエラーであることがわかる。又〝1〞→〝0〞エラーについてはサイクル時間の短い側ではサイクル時間に逆比例しているが長い側ではほゞ一定となりエラーがビット線でのエラーと記憶セル部でのエラーの和であることを確めることができた。

3.2.4.2　ソフトエラーの電源電圧依存性

図3.5の○印はソフトエラーの電源電圧 V_{CC} に対する依存性を示したものであり，サイクル時間は1μsである。式（3.9）に見る様にソフトエラー率は臨界電荷量 Q_C に対して相補誤差関数で表わ

される。Q_cとワード線電位V_{WL}の関係は式（3.5），（3.6）に示されているが，V_{WL}はV_{CC}の関数としてIC内部に直接探針することによって実測することができるので，式（3.9）を用いて

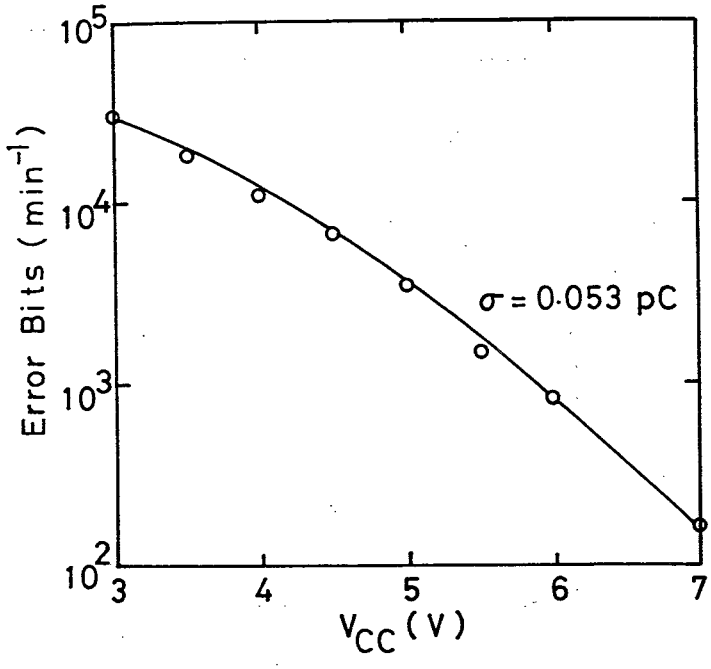


図3．5　ソフトエラーの電源電圧依存性

ソフトエラーのV_{CC}依存性を計算によって求めることができる。図3.5に示した実線は式（3.9）において分散σを0.053pCとし，V_{TH}のV_{CC}依存性を考慮に入れた時の計算によるソフトエラーのV_{CC}依存性である。計算式が実験値と良く一致することがわかる。この様に分散σを適切に選ぶことによってソフトエラーの電源電圧依存性を良く表わすことができ，収集された電荷の分布がガウス分布をしているというモデルの妥当性を実験によって確めることができた。

3.3　樹脂膜を用いたソフトエラーメカニズムの解析実験

3.2.4.2で述べた様にソフトエラーの電源電圧依存性から収集電荷分布の形を決めている分散σを求めることができる。

この様にしてソフトエラーにおける重要な因子である収集電荷分布の分散σを求め，種々の検討を加えた。(12)

3.3.1 樹脂膜によるソフトエラー改善効果

図3.6は放射線源 ^{241}Am と試料の間にポリイミド樹脂を挟んで，ソフトエラーの改善率を調べたものである。測定条件は電源電圧が 4.5V，サイクル時間が 1 μsecである。

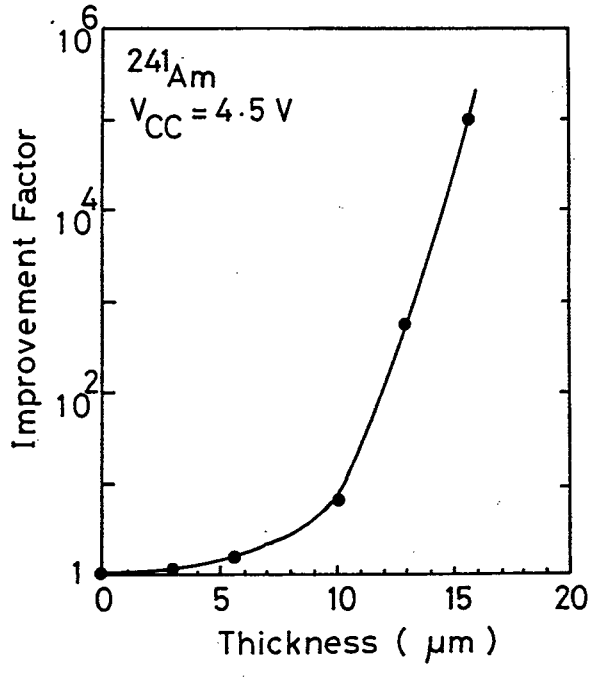


図3．6　ソフトエラー改善率のポリイミド膜厚依存性

膜厚の薄いところでは改善率の変化は小さいが，厚くなるにしたがい加速度的に改善率が大きくなり，15.7 μm の厚さでは 10^5 倍も改善されることがわかる。図3.7は各ポリイミド膜厚に対するソフトエラーの電源電圧依存性を示したものである。この図から膜厚が厚くなるにしたがい，電源電圧依存性が大きくなることがわかる。

空気による α 粒子のエネルギー損失は定量的に知られているので，放射線源と試料の間の空気間隙量を変えて，ソフトエラーの電源電圧依存性を測定し，ポリイミド樹脂膜による実験との比較を行った。図3.8は試料と線源との空気間隙量を変えた時のソフトエラーの電源電圧依存性で，V_{CC}＝3V の値で規格化したものである。

この図から，空気間隙量が大きくなるにしたがい，電圧依存性が大きくなることがわかる。図3.7と図3.8の電源電圧依存性の比較によって，空気間隙量に対して同じ依存性を示す，言い換えれば同じ分散を与えるポリイミド膜厚を知ることができる。図3.9にこの様にして求めたポリイミド膜と空気間隙量の関係を示す。

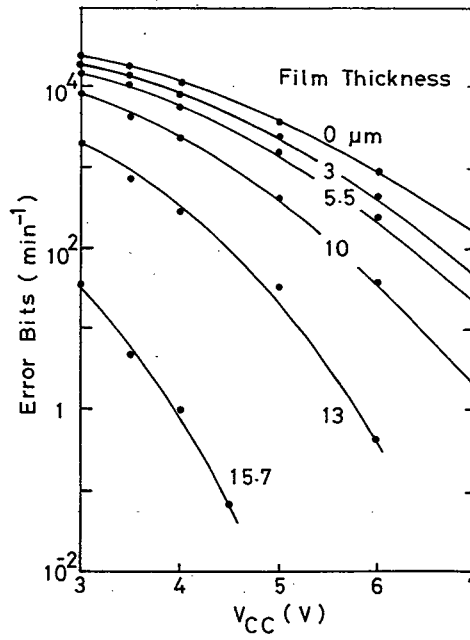


図３．７　ポリイミド膜厚に対するソフトエラーの
電源電圧依存性

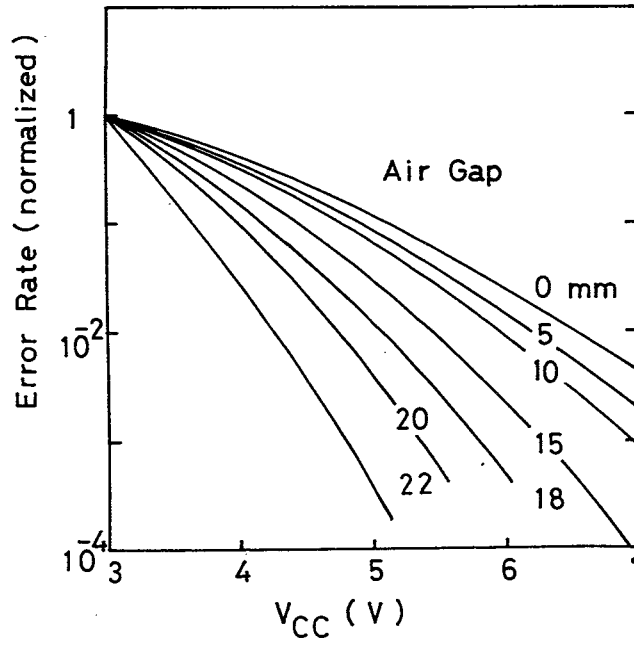


図３．８　空気間隙量に対する規格化したソフトエラーの
電源電圧依存性

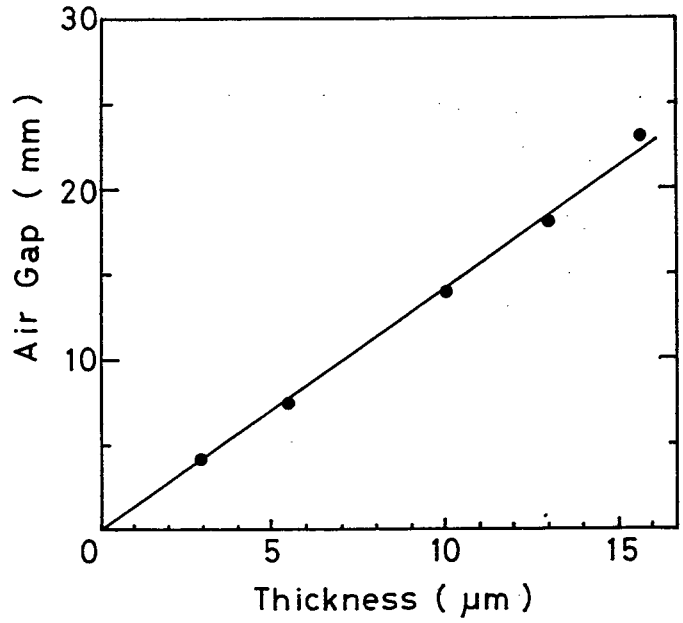


図3．9　空気間隙量とポリイミド膜厚の関係

化学式が X_aY_b …… と表わされる物質中での α 粒子の飛程Rは空気中での飛程 Rair に比例しており，定数Kを用いて次式で表わされる。[13]

$$R = \frac{1}{K} Rair \qquad (3.10)$$

$$\frac{1}{K} = 0.846 \times \frac{M}{aSx + bSy + \cdots} \times \frac{1}{\rho} \qquad (3.11)$$

こゝでMは化合物の式量，Sx，Sy …… は原子 X，Y，…… の空気に対する比原子阻止能，ρ は物質の密度である。図3.9からわかる様に同じ分散を与えるポリイミド膜厚と空気間隙量は比例しており，式（3.10）と良い一致を示す。図3.9の直線の傾きから求められる α 線阻止能の空気に対する比である定数Kの値は 1.47×10^3 で，この値は式（3.11）において，ポリイミドの化学式を $C_{22}H_{11}O_5N_2$，密度を 1.42 g／cm³ として各元素の比原子阻止能[14]を用いて計算した値 1.21×10^3 とほゞ一致している。

3.3.2　α 粒子のエネルギーと収集電荷分布の関係

図3.9に示したポリイミド膜厚と空気間隙量の関係から，α 粒子の空気によるエネルギー損失量を用いて，ポリイミド膜による α 粒子のエネルギー損失を求めることができる。図3.10はこの様にして求めた入射時の α 粒子のエネルギーが 5.0 MeV の時のポリイミド膜厚に対するエネルギー損失を示

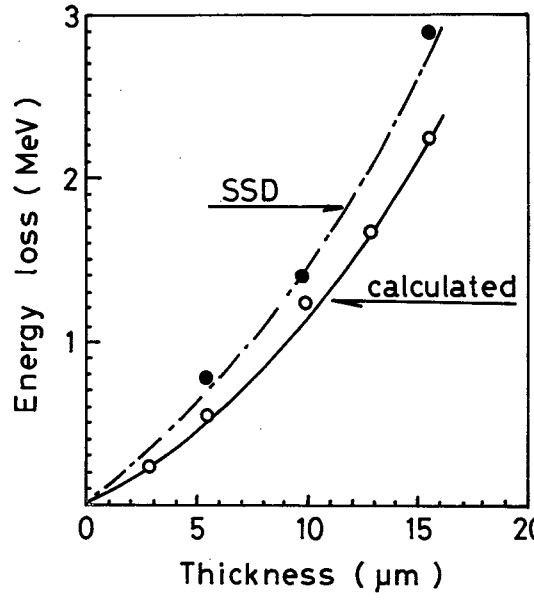


図3．10　α粒子エネルギー損失量のポリイミド膜厚依存性

すものである。

ポリイミド膜厚が厚くなるにしたがい，エネルギー損失の程度が大きくなることがわかる。同図の鎖線は表面障壁型固体検出器によるエネルギースペクトルのピークシフトから求めたエネルギー損失を示すもので，空気間隙量との比較から得られた結果とほゞ一致していることがわかる。

デバイスへの入射エネルギーがこの様に変化する時，デバイス内で収集される電荷の確率分布がどのように変わるかを次に検討する。図3.7の各ポリイミド膜厚に対するソフトエラーの電源電圧依存性と図3.10のα粒子エネルギー損失のポリイミド膜厚依存性より，分散σの入射エネルギー依存性を求めることができる。結果を図3.11に示す。

収集電荷の分布の形は生成される電荷の最大値に依存するが，この最大値は入射エネルギーに比例するので，図3.11に見るように分散σが入射エネルギーの増加とともに大きくなることが説明される。

分散σが求まれば，ソフトエラーの測定値と式（3.9）と用いてポリイミド膜厚による透過係数に相当する係数αを計算することができる。図3.12はこの透過係数αのポリイミド膜厚依存性を示したもので，膜厚の増加，言い換えれば入射エネルギーの減少とともにα粒子の透過量は急速に減少していくことがわかる。

各ポリイミド膜厚に対する分散と透過係数を用いて式（3.8）により，電荷の収集される確率分布を計算することができる。

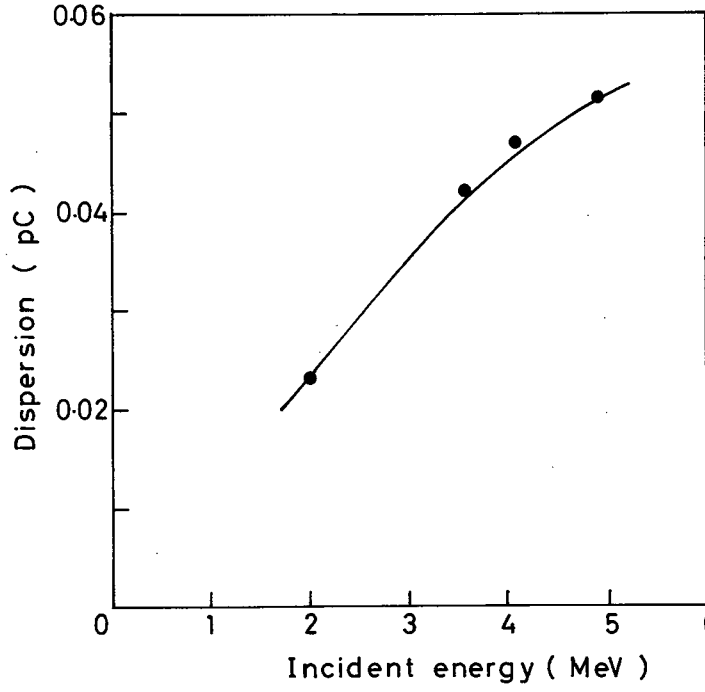


図３．１１　収集電荷分布の分散値と入射α粒子エネルギの関係

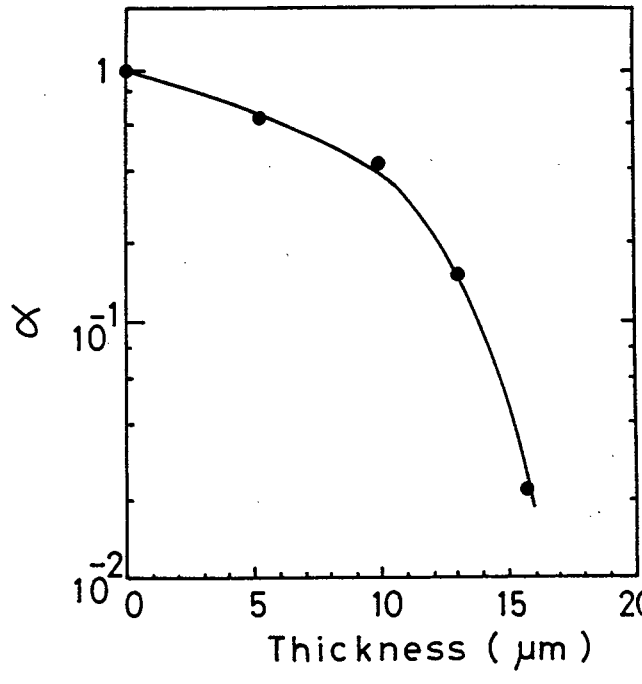


図３．１２　α粒子透過係数のポリイミド膜厚依存性

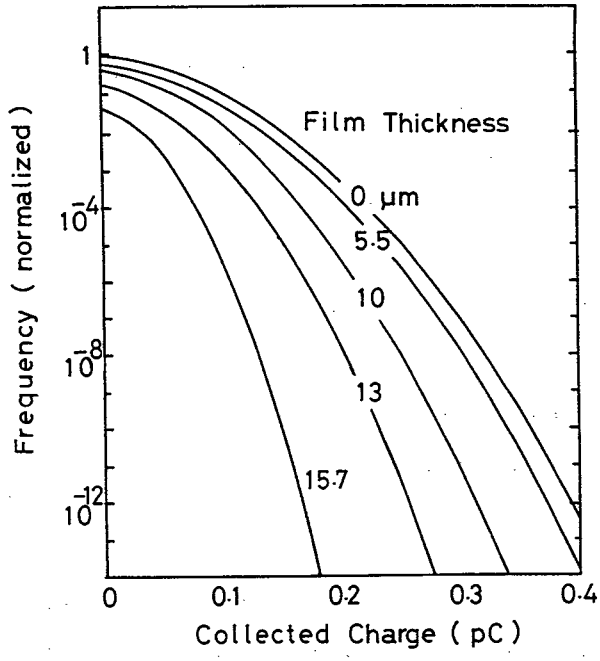


図3．13　ポリイミド膜厚に対する収集電荷分布

結果を図3.13に示す。

本実験では入射エネルギーが5.0MeVの^{241}Am を放射線源として用いたが，実際のパッケージ材料などに含まれるTh やUから放出されるα粒子の場合にはエネルギースペクトルはもっと高い側にも分布している[4]。入射エネルギーが高い時には樹脂膜によるエネルギーの減衰が小さいので収集電荷分布の分散が大きく，またα粒子数の吸収も少い。したがってソフトエラーの改善率はエネルギーが高くなるに伴い小さくなると考えられる。

3.4　ソフトエラーと回路パラメータの関係

3.4.1　はじめに

前節までに見てきたように，ソフトエラーはデバイスのもつ臨界電荷量，入射するα粒子のエネルギーおよびシリコン中で収集される電荷の分布で決められる。これらの諸量に対し，プロセス，デバイスパラメータは密接な関係を持ちソフトエラーはこれらのパラメータに大きく依存する。一方回路パラメータのもつ効果も重要で，ソフトエラーに与える影響について十分な検討を必要とする。

臨界電荷量増大に関したワード線電圧，ダミーセル最適化については3.5節で詳細に述べることとし，本節ではセンスアンプ感度やセンスアンプ駆動，ビット線フローティング時間に関連した内部タイミングについて検討した結果について述べる[15]。

3.4.2 センスアンプ感度

（3.5），（3.6）式に見る様にセンスアンプ感度を向上させることによってソフトエラーの発生確率を向上させることができる。図3.14にセンスアンプ回路とその駆動タイミングを示す。信号ϕ_2によりワード線が選択され，メモリセルの情報をビット線に伝達した状態でフリップフロップのソース端ノードNを接地することによりビット線電位を増幅する。センスアンプの感度は一般に次式で表わされる。[16]

$$\triangle V_S = \sqrt{\frac{2\alpha \cdot K \cdot C_B}{\beta_0}} \left(\frac{\triangle C_B}{C_B} + \frac{\triangle \beta_0}{\beta_0} \right) + 2\triangle V_{th} \qquad (3.12)$$

ここでαはビット線の電位下降速度とフリップフロップのソース端電位の下降速度比，Kはフリップフロップ端ソース電位の下降速度，C_B，$\triangle C_B$ はビット線容量の平均値とそのばらつき，β_0，$\triangle \beta_0$ はフリップフロップを構成するMOSトランジスタのコンダクタンス定数とそのばらつき，$\triangle V_{th}$ はMOSトランジスタのしきい値電圧のばらつきである。センスアンプ感度$\triangle V_S$ を小さくするため，ソース端ノードNはトランジスタQ_1，Q_2を介して信号ϕ_3とϕ_4により2段階で接地され，トランジスタQ_1 のゲート幅はトランジスタQ_2 のゲート幅より小さく設定している。図3.15はソフトエラーとセンスアンプ感度との関係を調べたもので，信号ϕ_4 の駆動タイミング依存性を示すものである。A点は本試料における緩やかな第一段階の接地開始時点で，ϕ_4 により第二段階の高速接地が開始される。信号ϕ_4 の立ち上がり点をA点より後にする。すなわち，トランジスタQ_1 による第一段階のビット線放電時間を確保することにより，ソフトエラーを低くすることが確認できた。放電時間を一定時間以上長くしても，ソフトエラー率は飽和しており，センスアンプがすでに安定状態にあることを意味している。

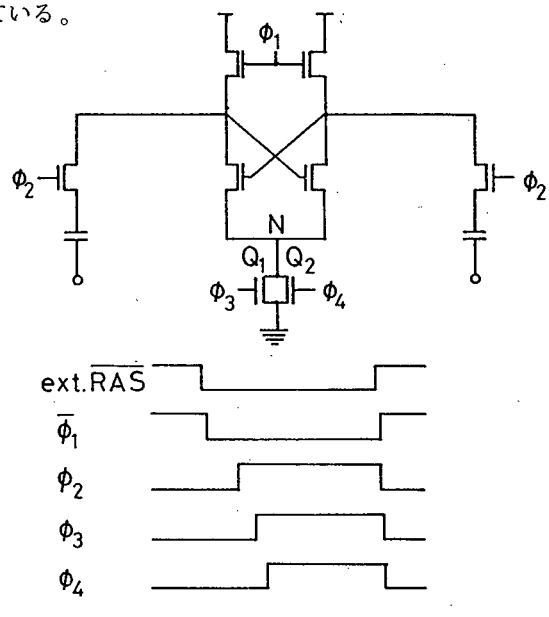


図3.14　センスアンプ回路と駆動タイミング

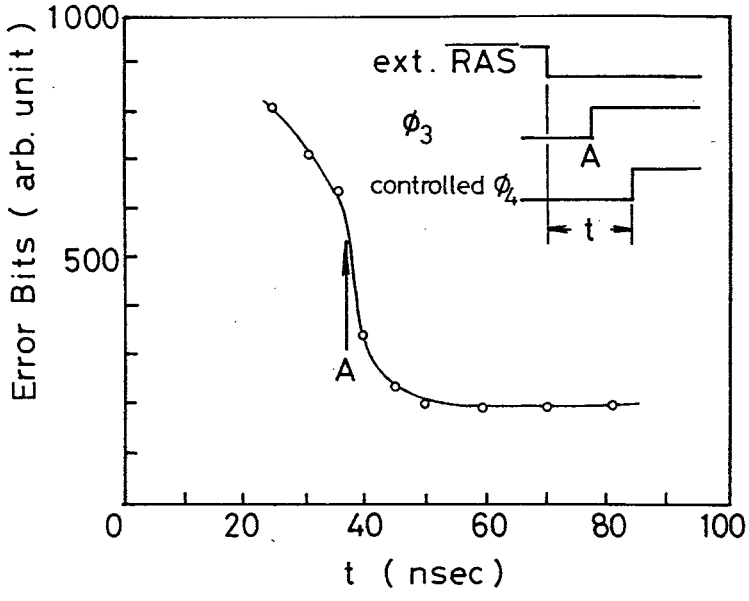


図3.15　ソフトエラーのセンスアンプタイミングϕ_4依存性

3.4.3　内部タイミング

3.4.3.1　ビット線フローティング時間

ビット線モードのソフトエラーはビット線がフローティングになっている期間中にα粒子が入射することによって起こり，サイクル時間に逆比例する[5]。ビット線は図3.14のセンスアンプ周辺回路に示した様に，ビット線プリチャージ信号$\overline{\phi_1}$の立ち下がりで電源と切離されてフローティング状態となる。その後センスアンプが駆動信号ϕ_3によって活性化し，ラッチが決まるまでフローティング状態が続き，ラッチが決まつてからはα粒子が入射してもエラーは起こらない。実験ではビット線がフローティングになってからセンスアンプのラッチが決まるまでの時間とソフトエラーの関係を見るために，プリチャージ信号$\overline{\phi_1}$を外部から制御することによって変化させた。図3.16にそのタイミングを示す。サイクル時間は1 μsecで，ext $\overline{RAS}$が〝H〟の時間は十分長くとり，$\overline{\phi_1}$によるプリチャージの時間は200 nsecに固定し，センスアンプ駆動信号ϕ_3の立ち上がり点に対する時間位置を変化させた。図3.17にV_{CC}＝5.0 Vの時のビット線フローティング時間とソフトエラーの関係を示した。図3.17に見る様にエラー数はビット線フローティング時間に比例して増大することがわかる。このことはα粒子の入射する確率がフローティング時間に比例していることを実証している。プリチャージ信号$\overline{\phi_1}$を外部から変化させない時のエラー数から，本実験で用いた試料のビット線フロ

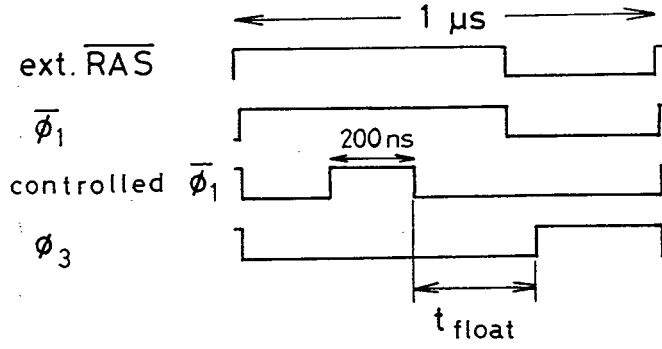


図3.16　センスアンプ信号とビット線フローティング時間

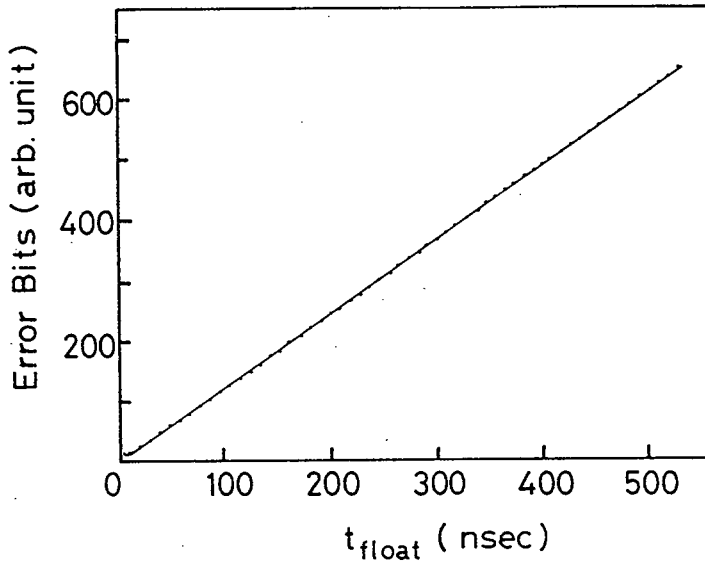


図3.17　ビット線フローティング時間とソフトエラー

ーティング時間を知ることができる。この結果は38−40 nsec で，内部波形の観測から得られた値と良く一致する。またワード線駆動信号 ϕ_2 をプリチャージ信号 $\overline{\phi_1}$ に対して外部制御で遅らせてもビット線フローティング時間を変えることができ，同様の結果を得ることができた。

3.4.3.2　センスアンプ駆動のタイミング

回路設計上はアクセス時間の高速化と，ビット線のフローティング時間を短くすることを考慮して，図3.14に示したタイミング図において，ワード線駆動信号 ϕ_2 の発生を極力早めている。一方センスアンプ駆動信号 ϕ_3 の発生を早めることは，アクセス時間，ビット線フローティング時間を一層短縮することになるが，ビット線へメモリセルからの電位を十分に伝達することとは相反することになと考えられる。

図3.18はセンスアンプ駆動開始信号 ϕ_3 を外部から制御することによって変化させた時のタイミングとソフトエラーの関係を示すもので，ext. $\overline{\mathrm{RAS}}$ の立ち下がり点を基準とした。図3.18よりエラー数は極小点を持つことがわかる。この理由としてはソフトエラーが，読み出し電荷量の大小で決まるセンス開始時間が遅くなるとともに減少するエラーと，ビット線フローティングによるエラーの和として表わされることによると考えられる。したがって回路設計的にはセンスアンプ駆動タイミングはこの極小点にできるだけ近くなる様設定することが重要で，高速化を考えた時には，ビット線での電位伝達を十分早くするために，デバイス設計的にビット線容量，抵抗の低減が必要となる。

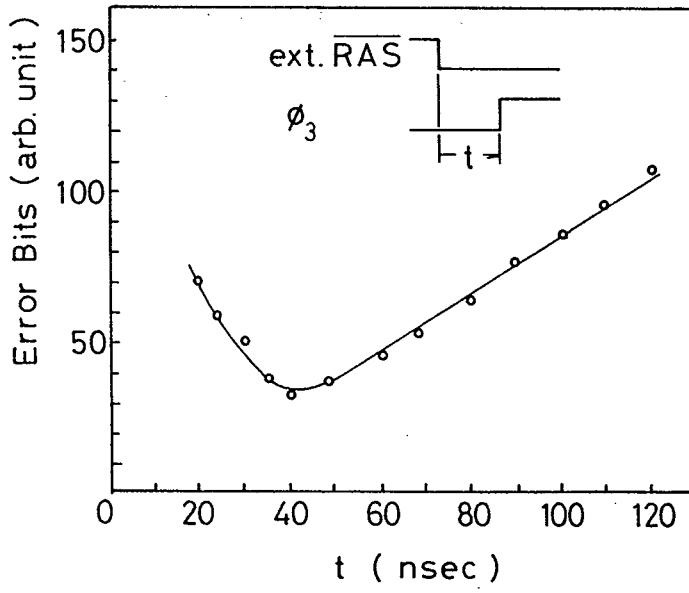


図3.18　センスアンプ駆動開始タイミングとソフトエラー

図3.19は64K(D)RAMにおいて，実際にトランジスタのチャネル長を変えた時のアクセス時間とソフトエラーの関係を示すものである。アクセス時間についてはチャネル長が短くなるとともに早くなるが，ソフトエラーはチャネル長に対して極小値を持つことがこの実験からも確かめることができた。

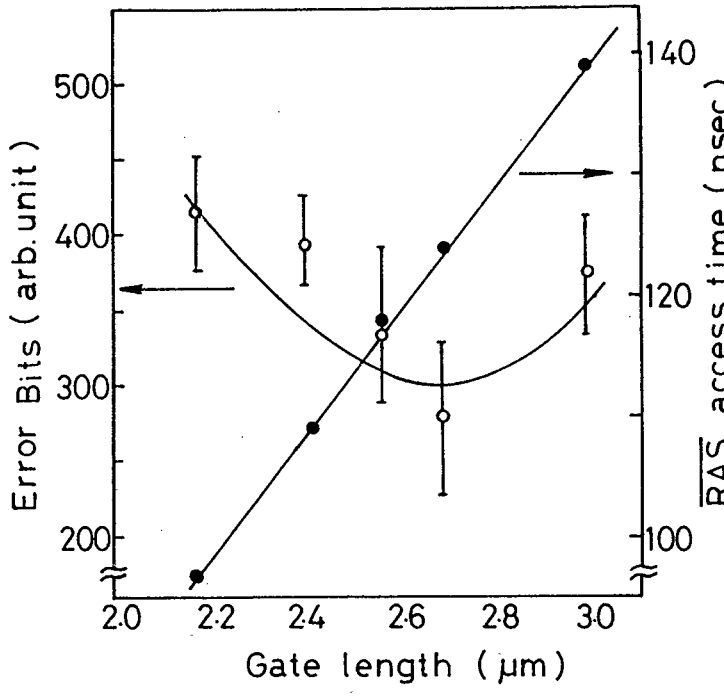


図3.19　ソフトエラー，アクセス時間のチャネル長依存性

3.5　ソフトエラー改善手法の検討

3.5.1　はじめに

16K(D)RAMでソフトエラーの問題が顕在化して以来，その後の大容量ダイナミックRAMの開発においてソフトエラーの問題は最も重要な技術的課題となり，ソフトエラー対策の成否が開発に成功できるかどうかの鍵となるといって差支えない。

本節ではソフトエラー改善手法についての検討結果について述べる。

ソフトエラーを改善するには大別してチップそのものを強くすることと，3.3節に述べた様にチップを樹脂膜で被覆し[17]α粒子を遮断するという二つの方法がある。さらにチップ自体を強くする方法については臨界電荷量を増大させるためにメモリセル容量，記憶セル電位を増加させると同時に電荷の

収集を減らすことが考えられる。これらについて，回路，プロセス，デバイス技術の面から考えられる改善法を図3.20に簡単にまとめた。

これらの項目について検討した結果について述べる。

	C	V	collection efficiency
Circuit		boosted word line	
Process	thin oxide	low V_{TH}	substrate (6)
Device	Hi-C		poly Si bit line

図3.20　ソフトエラー改善のアプローチ

3.5.2　臨界電荷量増加によるソフトエラー改善

3.5.2.1　Hi－Cセル

記憶セルの容量に関して，セル占有面積はチップサイズの制限の下で許される最大限にしている。ゲート絶縁膜にシリコン酸化膜の替わりにシリコン窒化膜や他の誘電体の使用が検討されているが，生産性，信頼性などの面から本格的に実用化されるに到っていない。64K(D)RAMでは16K(D)RAMに比較してゲート酸化膜を約 1/2 程度に薄くしているが，さらに増加を図るためにイオン注入によるHi－C（High－Capacitance)セル構造について検討を加えた。(18)

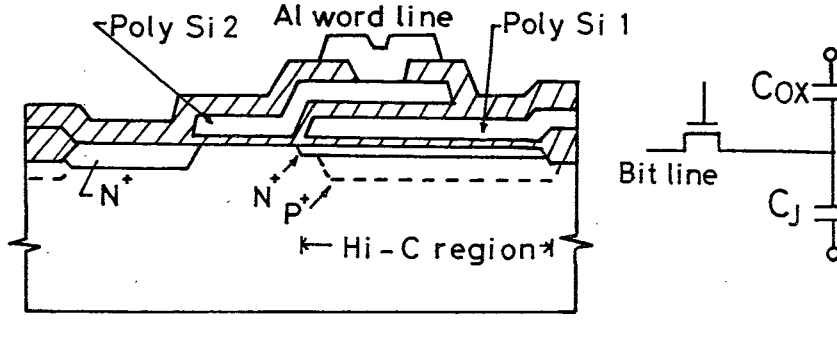


図3.21　Hi－Cメモリセルの断面図と等価回路

Hi－Cセルの断面図とその等価回路図を図3.21に示す。Hi－Cセルは記憶セル電極の下に二重イオン注入によりpn接合を形成し，その接合容量とゲート容量の並列接続により記憶セル容量の増加を図るものである。図3.22はボロンイオン注入量に対する接合容量の関係を示したものである。

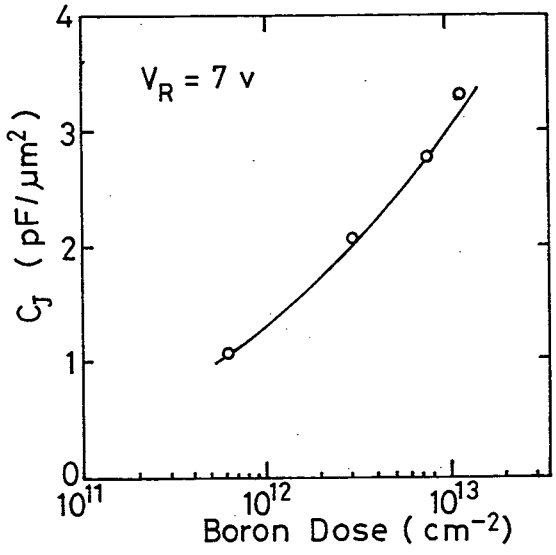


図3.22　Hi－C接合容量のボロンイオン注入量依存性

注入量の増加に応じて容量は増加するが，耐圧の劣化を考慮してボロン注入量を設定する必要がある。図3.23はpn接合容量の逆方向電圧依存性を示すもので，容量は電圧の1／3乗に逆比例する特性を示す。これはpn接合が直線傾斜形の接合モデルに近いことを表わしている。上の特性から得られる濃度勾配は 6.6×10^{21}/cm^3 でシュミレーション結果と良く一致する。

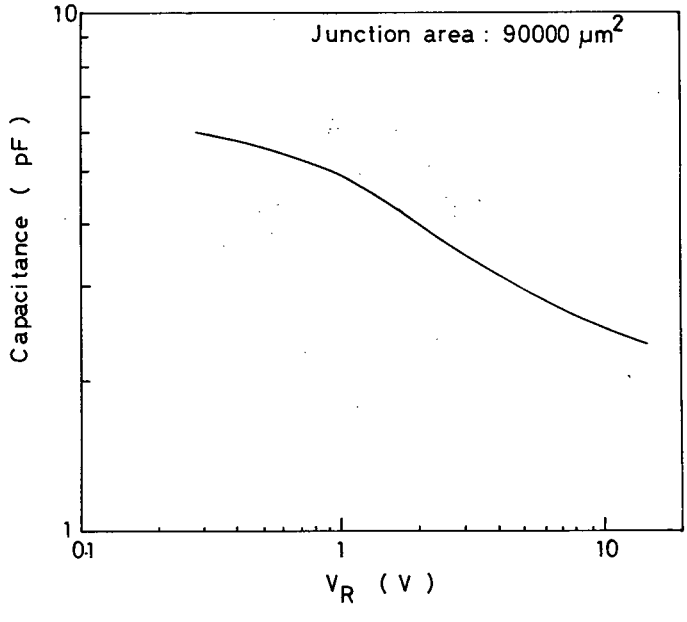


図3.23　Hi－C接合容量の逆方向電圧依存性

〝1〞，〝0〞の情報を記憶している時の記憶セルノードの電位はバックバイアスが約－3Vであるから，それぞれ8V，3Vである。この時の単位面積当たりのpn接合容量は2.62×10^{-4} pF/μm²，3.78×10^{-4} pF/μm²で，ゲート膜厚が400AのMOS容量の31.2%，45%に相当し，かなりの比率の増加が可能となる。

図3.24は^{241}Amによるソフトエラーの電源電圧依存性を示したものである。$V_{CC}=5V$での

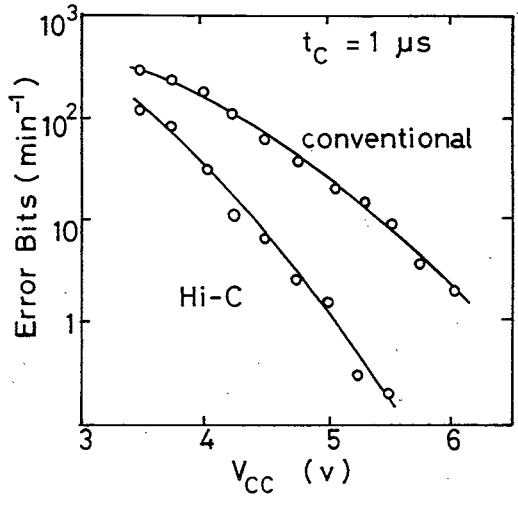


図3.24　Hi－Cセルのソフトエラーの電源電圧依存性

値を比較するとHi－Cセルは従来のものに較べ10倍以上改善されている。又，Hi－CセルのVcc＝5.0Vでの値はHi－Cなしの場合の6.3Vに相当し，この結果から蓄積電荷量が26%増加していることがわかり，上の検討結果とも一致する。

Hi－Cセルは記憶セル電極の下のシリコン基板に二重のイオン注入によってpn接合を形成しているため，イオン注入による結晶欠陥が，空乏層内の再結合電流を増加させ，それによってデータ保持特性が劣化することが懸念される[19]。図3.25はHi－Cセルおよび従来のものについて，チップ内のデータ保持時間の分布を調べたものである。Hi－Cはイオン注入により形成しているため，分布の広がりは若干大きくなるが，記憶セル容量が増加した分だけ分布の中心はデータ保持時間の長い側へシフトするため最悪ビットのデータ保持時間にほとんど差がなく実用上全く問題はない。

3.5.2.2　ワード線昇圧

記憶セル電位を大きくするにはワード線の電位を電源電圧V_{CC}レベル以上にすることが必要であるが，新しいワード線昇圧回路を提案[20]し，ソフトエラーに関する検討を行う。ワード線とセンスアンプ動作の関係を図3.26に示す。図3.26(a)はワード線の最大値がV_{CC}の場合で，式(3.5)，

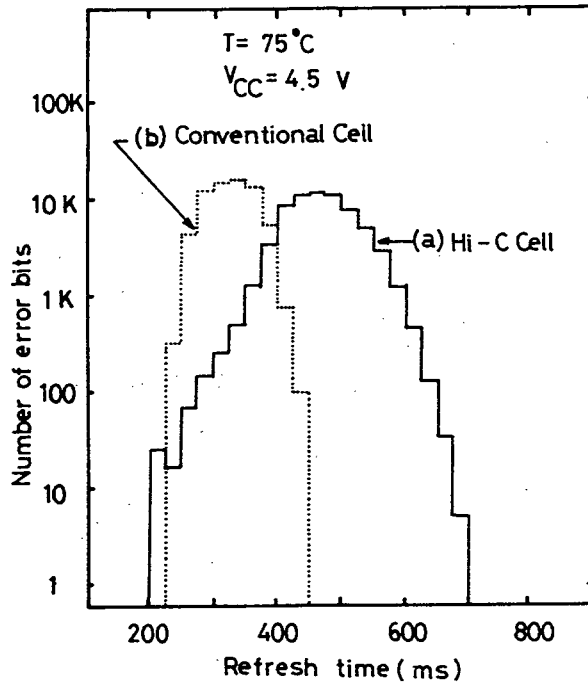


図 3.2 5　データ保持時間のチップ内分布

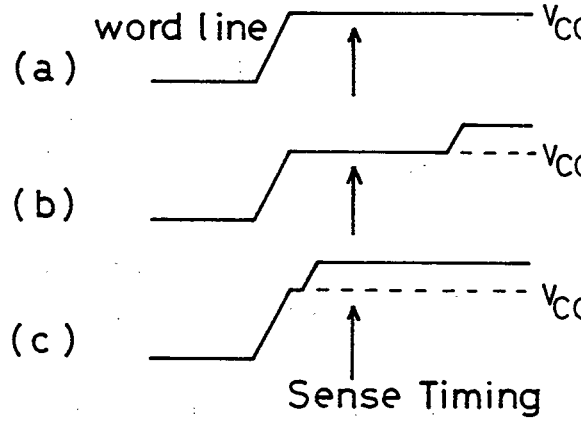


図 3.2 6　ワード線とセンスアンプ動作タイミング

(3.6) における V_{WL} は V_{CC} で〝1〞→〝0〞，〝0〞→〝1〞エラー共にその Q_C は小さく，ソフトエラーに対して不利である。図 3．2 6 (b)は一般に行われているワード線昇圧のタイミング例であるが，図に示したようにセンスアンプ動作が終了してからワード線を昇圧するもので，主にデータ保持特性を良くするのが目的であり，ビット線でのエラーは改善されない。今回検討したのは図 3.2 6 (c)

に示したもので，ワード線をセンスアンプ動作開始前に昇圧しているのが大きな特徴で，(a)に較べて〝1〞→〝0〞，〝0〞→〝1〞エラーともワード線がV_{CC}レベルより以上に昇圧された分だけQ_Cが大きくなる。新しいワード線昇圧回路を図3.27に示す。ワード線信号ϕ_{WL}がV_{CC}レベルにまで

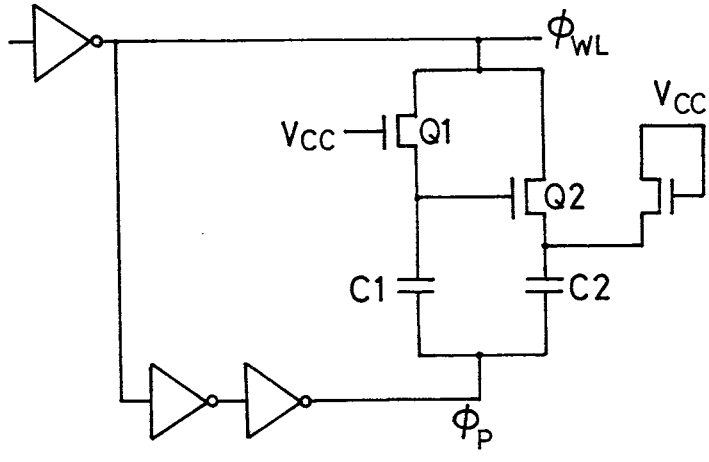


図3.27　ワード線昇圧回路

立ち上がるときはトランジスタQ_2をオフ状態にしておき，昇圧用容量C_2をワード線から切り離すことによって，負荷を軽くする。昇圧信号ϕ_pによってC_1を介してトランジスタQ_2をオン状態にしてワード線とC_2を結合させる。これによって高速で，且つ低消費電力が可能となった。

ワード線昇圧の効果を調べるために^{241}Amによるα線照射でソフトエラーの電源電圧依存性を測定した。図3.28はその結果を示すもので，ワード線を昇圧したときの$V_{CC}=5.0$Vでのエラー率は昇圧していない時の$V_{CC}=6.0$Vの値に相当している。言い換えれば，電源電圧が5.0Vの時内部

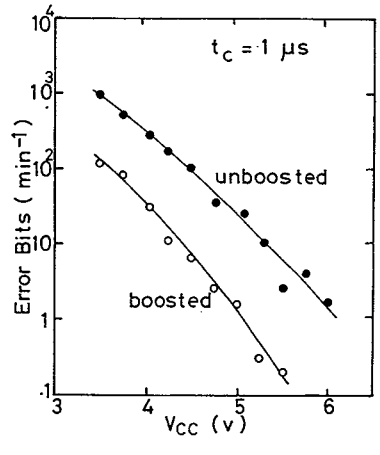


図3.28　ワード線昇圧回路を使用した時および使用しない時のソフトエラーの電源電圧依存性

のワード線は6.0Vまで昇圧されていることになる。又図3.22より，$V_{CC}=5.0V$ でのエラー率を比較すると，ワード線の昇圧によって約15倍ソフトエラーが改善されることが確められた。

3.5.2.3　ダミーセル面積の最適化

Hi－Cセルおよびワード線昇圧によって臨界電荷量の増大が図られたが，考慮しておかなければならない要因としてダミーセル面積の最適化がある。図3.29に3.2.2で求めた〝1″→〝0″,〝0″→〝1″エラーに対する臨界電荷量をC_Sで規格した量をダミーセル容量C_Dと記憶セル容量C_Sの比C_D/C_Sの関数で示した。同図からダミーセル容量C_Dが大きくなると，Q_C(〝0″→〝1″)が

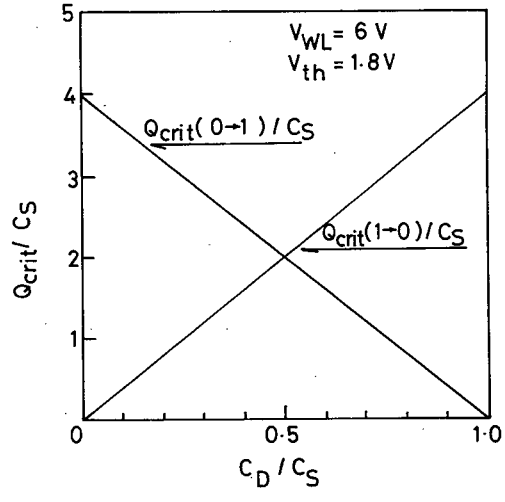


図3.29　臨界電界量のC_D/C_S依存性

小さくなるため，〝0″→〝1″エラーが増し，逆に記憶セル面積が大きくなるとQ_C(〝1″→〝0″)が小さくなり〝1″→〝0″エラーが増すことになる。ソフトエラー率はQ_Cに大きく依存する関数で，Q_C(〝1″→〝0″)，Q_C(〝0″→〝1″)のどちらか小さい方で律せられてしまうため，両者がほゞ等しいのが望ましい。図3.30は$V_{CC}=5.0V$の時の〝0″→〝1″エラーの数と〝1″→〝0″エラー数の比をC_D/C_Sの関数として表わしたものである。これ迄述べた様にC_D/C_Sが大きくなると〝0″→〝1″エラーが多くなり，C_D/C_Sが小さくなると〝1″→〝0″エラーが多くなる。C_D/C_Sが1/2に等しい時，計算上〝0″→〝1″エラー，〝1″→〝0″エラーが等しくなるが実際には分離酸化膜の影響，センスアンプ感度にオフセットがあるなどの理由によって，〝0″→〝1″エラーと〝1″→〝0″エラーの比を1に等しくするにはC_D/C_Sを0.5～0.53程度に選ぶ必要がある。

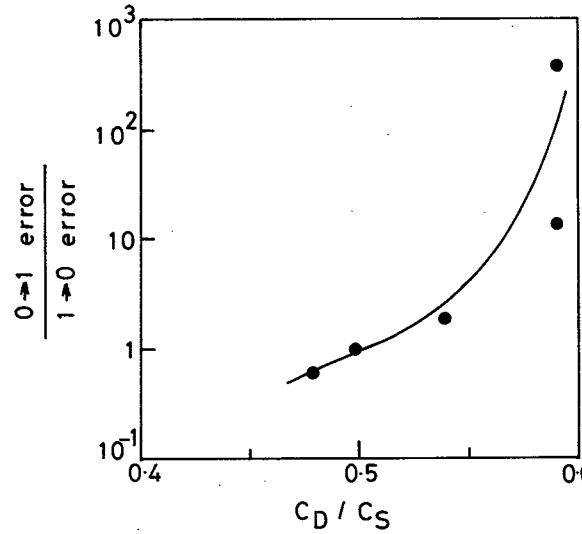


図3．30　0→1エラー，1→0エラー比のC_D/C_S依存性

3.5.3　電荷収集効率の低減によるソフトエラー改善

3.5.3.1　ビット線ポリシリコン化

最小サイクル時間における動作では，ビット線で起きるエラーが大部分であり，これを低減するためにはビット線の構造を少数キャリヤを収集する n^+ 拡散面積の少ない，ポリシリコンビット線にすることが有効と考えられる。表3.1に n^+ ビット線と第1ポリシリコンビット線の場合の n^+ 拡散面積と記憶セル面積を比較した（n^+ ビット線チップで規格化）

ビット線	N^+ 拡散面積	記憶セル容量
N^+	1	1
ポリシリコン	0.485	1.06

表3．1　ビット線の種類とN^+拡散面積および記憶セル容量

ビット線をポリシリコン化した際，n^+ 拡散面積が1／2以下になると同時に，レイアウト上の考慮によって記憶セル面積も約6％程大きくすることが可能となった。これら二つの効果によりソフトエラー率は4～5倍改善することができた。

3.5.3.2　基板比抵抗の効果

ソフトエラーに対して基板比抵抗の与える影響は生成電荷の収集量に関する。図3.3 1は基板比抵抗に対するソフトエラーのサイクル時間依存性を示したものである。基板比抵抗が小さい程ソフトエラー率は低い。

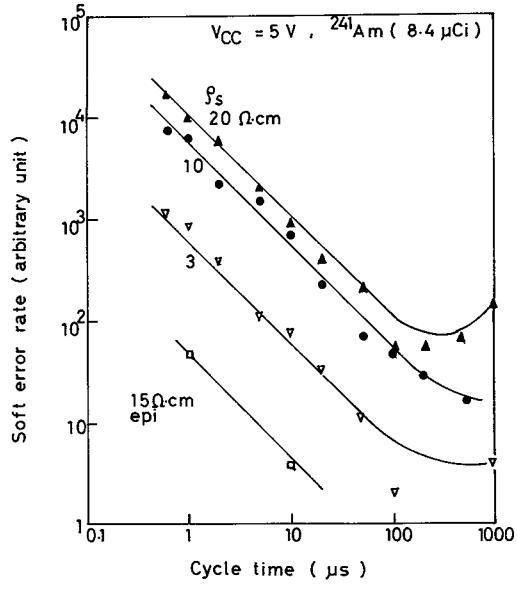


図3.3 1　基板比抵抗に対するソフトエラーのサイクル時間依存性

ビット線に当たったα粒子により生成した電荷のうち空乏層内のものは100% ソフトエラーに寄与し，空乏層外のものは拡散によって空乏層へ到達する。今，第一次近似的に空乏層内での電荷量に着目する。図3.1より1ケのα粒子が基板に垂直に入射する時，生成される電荷数は深さ方向の関数として

$$f(x) = (0.25x + 4) \times 10^4 \qquad (3.12)$$

で表わされる。空乏層の幅がWの時，空乏層内で生成される電荷数Nは次式で与えられる

$$N = \int_0^W f(x)\,dx = (0.125W^2 + 4W) \times 10^4 \qquad (3.13)$$

基板比抵抗によりWが決まり，Nが計算される。

表3.2に各基板比抵抗に対する不純物濃度，空乏層幅，収集電荷量および図3.3 1より求められるソフトエラー改善率をまとめた。17～23Ω・cmを基準にした時，8～12Ω・cm，3Ω・cm の収集電荷量はそれぞれ 2/3，1/3となる。この場合ソフトエラー改善率は式（3.9）に従えばもっと差が生ずるはずで，表3.2程度の改善率にしかならないのは空乏層の外側で生成される電荷も2次的

比抵抗	不純物濃度	空乏層幅	収集電荷量	ソフトエラー改善率
3Ω・cm	5×10^{15}/cm³	1.6	1.08×10^{-14} C	10.5
8～12	1.4×10^{15}	3	2.9×10^{-14}	1.2
17～23	7×10^{14}	4.2	3.04×10^{-14}	1

表3.2　基板比抵抗と空乏層幅，収集電荷量
およびソフトエラー改善率

にソフトエラーに寄与しているものと考えられる。回路特性上，とくにアクセス時間の点で基板比抵抗は低くできず，比較的高抵抗のものを用いているが，高濃度基板上に適切な厚さ，濃度のエピ層を成長させたものを用いることはソフトエラー改善，デバイス特性の面から有利性を持っており，実用化が今後の課題となる。[21]

以上のソフトエラー改善の検討結果をまとめたのが表3.3である。

デバイス	メモリセル容量(pF)	臨界電荷量(PC)	改善率
1　従来	0.040	0.064	1
2　Hi－Cセル	0.052	0.083	～10
3　2)＋ワード線昇圧	0.052	0.109	～150
4　3)＋ポリシリコンビット線	0.056	0.117	～700

表3.3　ソフトエラー改善結果のまとめ

Hi－Cセル構造，ワード線昇圧およびビット線のポリシリコン化によって，$V_{CC}=5V$ での Q_C は最初0.064 PCであったが，0.117 PCと約1.8倍に増加し，これによってソフトエラー率も約 1/700 と大幅に改善することができた。

3.6　結　　言

MOS RAMの高集積化のデバイス面での制限要因として，記憶セル容量の減小によるソフトエラーの問題を取り上げ，ソフトエラーのメカニズムに関する解析，実験および改善手法についての検討を加えた。得られた結果は次の通りである。

(1) 電荷中和則から，ソフトエラーを引き起こす臨界電荷量を記憶セル容量，ダミーセル容量，ワード線電位およびトランスファゲートトランジスタしきい値電圧の関数として，〝1〟→〝0〟，〝0〟→〝1〟エラーのそれぞれについて算出した。

(2) シリコン基板内での収集電荷の分布がQ＝0に最大値を持つ正規分布であると仮定し，ソフトエラーが臨界電荷量に対し相補誤差関数で表わされることを導出し，実験的にその妥当性を検証した。

(3) ソフトエラー率決定の重要な因子である収集電荷分布の分散をソフトエラーの電源電圧依存性から求め，また分散と入射エネルギーの関係を樹脂膜を用いた実験から明らかにした。

(4) 分散を求める実験から得られたポリイミド樹脂のα粒子に対する阻止能は空気の1.47×10^{3}倍で，計算値と良く一致することが確められた。

(5) ソフトエラー改善手法について，臨界電荷量を増加させる，電荷収集を低減させるの二つの見地から64K(D)RAMについて検討を加えた。Hi-Cセル構造の採用，センスアンプ動作開始前のワード線昇圧およびビット線ポリシリコン化を検討した結果，従来のものと較べ臨界電荷量は約1.8倍，電荷収集面積は半分以下にすることができた。これによりソフトエラー率も約1/700に改善されチップ自体をソフトエラーに対し十分強くすることができた。

(1) May, T.C. and Woods, M.H., "A New Physical Mechanism for Soft Error in Dynamic Memories", 16th Annual Proceedings of International Reliability Physics Symposium, PP. 30-40, 1978.

(2) Yaney, D., Nelson, J.T. and Vanskike, L.L., "Alpha-particle Tracks in Silicon and Their Effect on Dynamic MOS RAM Reliability", IEEE Trans. Electron Devices, vol. ED-26, PP. 10-16, 1979.

(3) Fano, U., "Penetration of Protons, Alpha Particles and Mesons", Studies in Penetration of Charged Particles in Matter, National Accademy of Sciences, National Research Council Publication 1133 (Nuclear Science Series, Report Number 39), 1964.

(4) Meiraw, E.S., Engel, P.R. and May. T.C., "Measurement of Alpha Particle Radioactivity in IC Device Packages", 1979 Int. Reliability Physics Symposium, PP. 13-21, 1979.

(5) 吉原，高野，中野，〝ＭＯＳダイナミックＲＡＭのソフトエラー〞，電気通信学会論文誌， vol. J64-C, No.8, PP. 469-474, 1981.

(6) 鳥谷部，篠田，青木，川本，光定，増原，浅井，〝ＭＯＳダイナミックＲＡＭのソフトエラーモデル〞，信学技報，ＳＳＤ８１－８（１９８１－０５）

(7) Friedland, S.S., Mayer, J.W. and Wiggins, J.S., Proc. of 7th Scintillation Counter Symp., PP. 181, 1960.

(8) Kirkpatrik, S., "Modeling Diffusion and Collection of Charge from Ionizing Radiation in Silicon Devices", IEEE Trans. Electron Devices, vol. ED-26, No.11, PP. 1742-1753, 1979.

(9) 光定，加藤，山口，稲館，〝α粒子による高速バイポーラＲＡＭのソフトエラー〞，電子通信学会論文誌，vol. J63-C, No.2, PP. 61-66, 1980.

(10) Hwang, T.T. and Chaudhari, P.K., "Alpha Particle Induced Soft Error Characteristics", 1980 ECS Fall Meeting Digest, PP. 1402, 1980.

(11) Aoki, M., Toyabe, T., Shinoda, T., Masuhara, T., Asai, S., Kawamoto, H. and Mitsusada, H., "Soft Error Rate Analysis Model (SERAM) for Dynamic NMOS RAMs", 13th Conf. on Solid State Devices, Tech. Dig., PP. 23-24, 1981.

(12) 吉原，高野，谷口，原田，中野，〝ＭＯＳダイナミックＲＡＭのソフトエラー解析〟，電子通信学会論文誌，vol. JC65-C, PP. 251-256, 1982.

(13) 日本放射性同位元素協会編，〝アイソトープ便覧〟，丸善（昭45）

(14) Evans, R.D., "The Atomic Neucleus", (McGrawhill, New York, 1955) Chapt. 18-25.

(15) 吉原，益子，高野，長山，中野，〝ＭＯＳダイナミックＲＡＭのソフトエラーに対する回路設計の影響〟，電子通信学会論文誌掲載予定.

(16) 下酉，長山，中野，〝ダイナミックＭＯＳ　ＲＡＭのセンスアンプ感度〟，電子通信学会論文誌，vol. J61-C, No.6, PP. 399-401, 1978.

(17) Itoh, K., Hori, R., Masuda, H. and Kamigaki, Y., "A Single 5V 64K RAM", ISSCC Tech. Digest, PP. 228-229, 1980.

(18) Yamada, M., Taniguchi, M., Yoshihara, T., Takano, S., Matsumoto, H., Nishimura, T., Nakano, T. and Gamou, Y., "Soft Error Improvement of Dynamic RAM with Hi-C Structure", Tech. Digest of Int. Electron Device Meeting, PP. 578-581, 1979.

(19) Yoshihara, T., Takano, S., Kimata, M. and Nakano, T., "Degradation of Refresh Time in Dynamic MOS RAM by Irradiation of Alpha Particles", IEEE Trans. on Electron Devices, vol. ED-28, PP. 1198-1199, 1981.

(20) Taniguchi, M., Yoshihara, T., Yamada, M., Shimotori, K., Nakano, T. and Gamou, Y., "Fully Boosted 64K Dynamic RAM with Automatic and Self-Refresh". IEEE Solid-State Circuits, vol. SC-16, No.5, PP. 492-499, 1981.

(21) Satoh, S., Denda, M. and Fukumoto, T., "Soft Error Improvement in MOS RAM's by the Use of Epitaxial Substrate", 12th Conf. on Solid-State Devices, Tech. Dig., PP. 63-64, 1980.

第4章　高集積MOSダイナミックRAMの最適設計

4.1　序

本章では高集積MOS RAMの回路設計上の問題をとりあげ検討した結果を述べる。

MOS RAMの高集積化はこれまで述べてきた様に素子の微細化が必要不可欠であり，この微細化に当たって Dennard らが提案した比例縮小則が指導原理とされ，これによって微細化に対する，デバイス，回路設計の指針を得ることができる。[1]

比例縮小則の考え方は，微細化に際して平面寸法，縦方向寸法を比例させて縮小し，同時に電源電圧，基板濃度も比例させて縮小，増加させた時，電気回路の基本量である容量，抵抗，電流などが，どの様に記述されるかを導出するもので，これによってデバイスの性能である遅延時間，消費電力，性能指数（消費電力・遅延時間積）を予測することができ非常に重要である。この比例縮小則によれば素子寸法を $1/k$ に比例縮小した時，素子占有面積は $1/k^2$ になると同時に，消費電力遅延時間積は $1/k^3$ となり，素子占有面積の縮小だけでなく性能の上から言っても微細化が好ましいことを裏づけている。

MOSダイナミックの回路設計に当たってはセンスアンプ回路の特性を中心として，いかに広い動作範囲を得るかが最も重要であるが，この安定動作の条件が素子の微細化によってどの様に影響を受けるかということまでは比例縮小則は取扱っていない。本章ではまず，比例縮小則を更に発展させて，微細化を進めた時のセンス回路感度と読み出し電圧についての解析を行い，それらとデバイスパラメータとの関連を定量的に明らかにし，高集積MOS RAMの安定動作のための条件と回路設計指針について論じる。

一方比例縮小則により単純に縮小を進めた場合，臨界電荷量は $1/k^2$ となる。このためソフトエラーに対して非常に弱くなり，これに対する考慮が必要となる。[2] 本章の後半ではソフトエラーが比例縮小則の律速条件になるという考えに基づいて，修正比例縮小則を提案し，低ソフトエラーで，高速，低消費電力のMOS RAMを実現するための新しいデバイス構造，回路構成法の検討結果について述べる。

4.2　スケーリング則を適用した大容量ダイナミックRAMの回路設計[3]

4.2.1　はじめに

大容量MOSダイナミックRAMのメモリセルは1トランジスタ型が主流である。[4] このメモリセルは素子数が少いため，大容量化に適しているがメモリセルから読み出される記憶情報が微小電圧であり，その電圧を増幅するセンス回路の設計が難しいという欠点がある。しかし大容量MOSダイナミックRAMの動作特性を向上させ，安定動作を図るためには，センス回路の設計が非常に重要であり，

センス回路に関する研究が活発に行われている[5,6]。しかしながら，大容量MOSダイナミックRAMのセンス回路の設計においてはプロセス，デバイス，回路技術を同時に包含する設計手法が必要であり，その研究は非常に重要な意味を持っていると考えられる。

本節ではプロセス，デバイス，回路技術を一元化し，1トランジスタ型メモリセルを用いたダイナミック形センス回路の感度とメモリセルからの読み出し電圧，動作領域を決める係数mの解析を行いセンス回路が安定動作するための条件と設計指針について明らかにする。素子を微細化した時のデバイスパラメータのばらつきと係数mとの関係について検討した結果を述べる。

4.2.2 安定動作の条件式

こゝではMOSダイナミックRAMが安定に動作するための条件について考察をする。検討した1トランジスタ形記憶セルとセンス回路の構成を図4.1に示す。

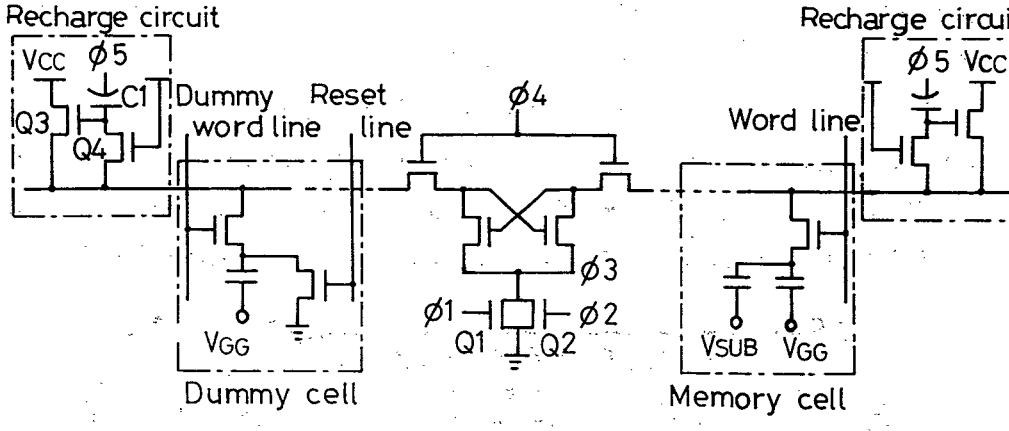


図4.. 1 メモリセルとセンスアンプ回路

ビット線の充電電圧，ワード線電位，ダミーワード線電位がV_{CC}で，ダミーセル容量C_dが記憶セル容量C_Sの1/2に等しい時，読み出し電圧$\triangle V_R$は3.2.2の臨界電荷量と同様に計算され，次式で表わされる。

$$\triangle V_R = \frac{V_{CC} - V_{th}}{2\ C_b / C_S} \qquad (4.1)$$

ここでC_bはビット線容量，C_Sは記憶セル容量，V_{th}はトランスファゲートトランジスタのしきい値である。

一方，センス回路は原理的に無限小の電位差を増幅でき，且つ構成素子数の少ないフリップフロップが用いられている。このセンス回路の感度は計算機による回路解析から実験的に求められている[5,6]が，

簡単なＭＯＳＴの特性式を用いて，解析的に次式が得られている。[7]

$$\triangle V_{ASmax} = \sqrt{\frac{2 \cdot \alpha \cdot K \cdot C_b}{\beta_0}} \left(\frac{\triangle C_b}{C_b} + \frac{\triangle \beta_0}{\beta_0} \right) + 2\triangle V_{th} \qquad (4.2)$$

こゝで，αはビット線の電位下降速度とフリップフロップソース端電位の下降速度比，Ｋはフリップフロップソース端電位の下降速度，C_bはビット線容量の平均値，β_0はフリップフロップ MOS トランジスタ利得の平均値，$\triangle C_b$，$\triangle \beta_0$，$\triangle V_{th}$ はそれぞれビット線容量，フリップフロップ MOS トランジスタの利得，しきい値電圧のばらつきである。

次にＭＯＳダイナミックＲＡＭが安定に動作するための条件について考察する。安定動作のためには$\triangle V_R$と$\triangle V_{ASmax}$の間に次式が成立する必要がある。

$$\triangle V_R = m \cdot \triangle V_{ASmax}, \quad m > 1 \qquad (4.3)$$

係数ｍは式（4.1），（4.2）で与えられる$\triangle V_R$，$\triangle V_{ASmax}$がMOSダイナミックＲＡＭの動作範囲を保証している外部条件（電源電圧，温度，外部信号のタイミング）で動作するための必要条件，$\triangle V_R > \triangle V_{ASmax}$を得るための標準条件（$T_a = 20℃$，$V_{DD} = 7V$，$V_{BB} = -2V$）における$\triangle V_R$と$\triangle V_{ASmax}$の比を表わしている。$V_{DD} = 3.5 \sim 10V$，$T_a = 0 \sim 70℃$を外部条件とした。図4.2は$V_{th}$，$\beta_0$，$C_J$（接合容量）の$V_{DD}$依存性を示す。$V_{th}$，$\beta_0$，$C_J$の電圧依存性だけを考慮し，$\triangle V_{ASmax}$に対する$2\triangle V_{th}$と他の項の寄与率が$V_{DD} = 7V$で等しい時，

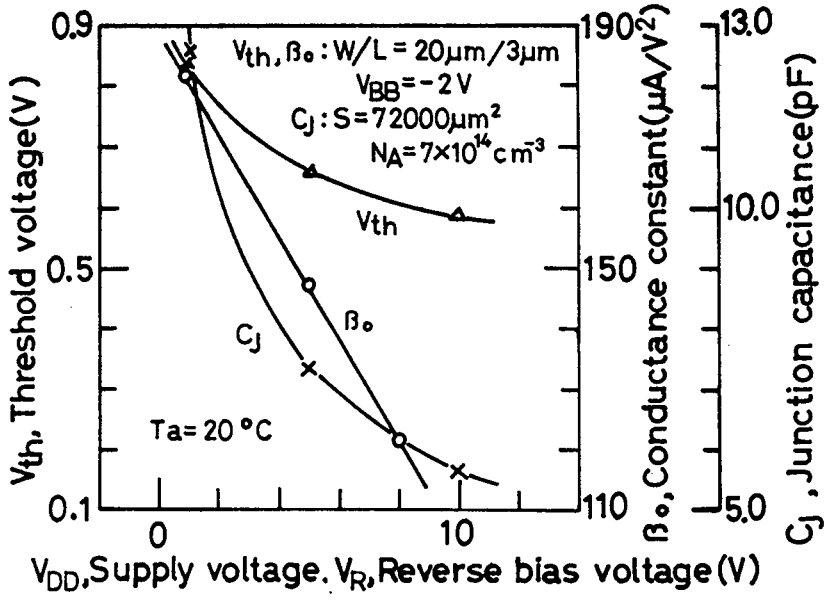


図４．２　各パラメータの電源電圧依存性

$V_{DD}=3.5V$ で $\triangle V_R=\triangle V_{ASmax}$ が成立つためには $m=2.3$ が必要である。図4.3は V_{th}，β_0，C_J の温度依存性を示す。

パラメータの温度特性より，標準電源電圧で標準温度に対する70℃のmは1.2である。従って，式(4.1)，(4.2)を与えている V_{th}，β_0，C_b の電圧，温度特性を考慮すると，MOSダイナ

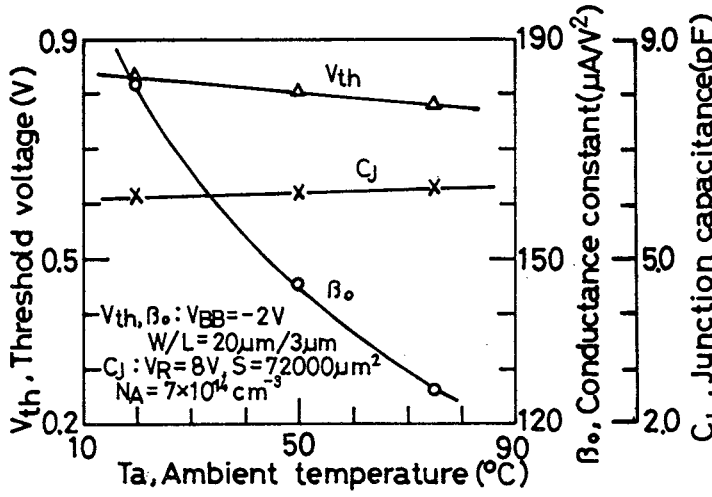


図4．3　各パラメータの温度依存性

ミックRAMの温度，電圧条件を満足させるためには，mは約3以上の値に設計する必要がある。

4.2.3　デバイスパラメータのばらつき

V_{th}，β_0，C_b のばらつきを生じる原因としては，微細加工精度のばらつきと，半導体表面近傍の電子濃度，および表面準位のばらつき，更にレイアウトに起因したマスク合せずれの3点が考えられる。第2のばらつきは製造条件が決まれば一定値に抑えられ，第3のばらつきはマスク合わせに対してレイアウトを工夫しているので，第一のばらつきだけに着目した。

しきい値電圧は Y_{au} の短チャンネル効果のモデル[(8)]を用いると次の様に書ける。

$$V_{th}=\frac{t_{ox}}{\varepsilon_{ox}}\left[-Q_{eff}+\sqrt{2\varepsilon_{si}qN_A(2\phi_F+|V_{BB}|)}\right]+\triangle\omega_f+2\phi_F$$

$$-\frac{x_j}{L}\cdot\frac{t_{ox}}{\varepsilon_{ox}}\sqrt{2\varepsilon_{si}qN_A(2\phi_F+|V_{BB}|)}$$

$$\cdot\left[\sqrt{1+\frac{2}{x_j}\sqrt{\frac{2\varepsilon_{si}}{qN_A(2\phi_F+|V_{BB}|}}}-1\right]\qquad(4.4)$$

こゝで t_{OX}，ε_{OX} はそれぞれゲート酸化膜の厚さと誘電率，N_A，ε_{si} は基板シリコンの不純物濃度と誘電率，q は電子の電荷，Q_{eff} は実効的な酸化膜とシリコン界面の電荷，$2\phi_F$ は $V_{BB}=0V$ で強反転となるときのシリコン表面のバンドの曲がり，$\triangle\omega_f$ はゲート金属とシリコンとの仕事関数差，xj はソース・ドレインの拡散層の深さ，LはMOSトランジスタのチャンネル長である。

V_{th} のばらつきを誘起するパラメータは t_{OX}，L であり，V_{th} のばらつき $\triangle V_{th}$ は次の様に表すことができる。

$$\triangle V_{th}=\frac{V_{th}}{t_{OX}}\triangle t_{OX}+\frac{V_{th}}{L}\triangle L \qquad (4.5)$$

従って $\triangle V_{th}$ は具体的に次式で与えられる。

$$\triangle V_{th}=\frac{\triangle t_{OX}}{t_{OX}}(V_{th}-\triangle\omega_f-2\phi_F)-\frac{\triangle L}{L}(V_{th}-V_{thlong}) \qquad (4.6)$$

こゝで V_{thlong} は，短チャンネル効果を起こさない長チャンネルMOSトランジスタのしきい値電圧であり次式で与えられる。

$$V_{thlong}=\frac{t_{OX}}{\varepsilon_{OX}}\left[-Q_{eff}+\sqrt{2\varepsilon_{si}qN_A(2\phi_F+|V_{BB}|)}\right]+\triangle\omega_f+2\phi_F \qquad (4.7)$$

又コンダクタンス定数 β_O は次式で与えられる

$$\beta_O=\frac{W}{L}\cdot\mu_n\cdot\frac{\varepsilon_{OX}}{t_{OX}} \qquad (4.8)$$

こゝでWはセンス回路に使用したフリップフロップ用MOSトランジスタのチャンネル幅，μ_n は電子移動度である。β_O のばらつきを誘起するパラメータは，L，t_{OX} であり，β_O のばらつき $\triangle\beta_O$ は次式で与えられる。

$$\triangle\beta_O=\beta_O\left(-\frac{\triangle L}{L}-\frac{\triangle t_{OX}}{t_{OX}}\right) \qquad (4.9)$$

ビット線に n^+ 拡散層を用いたビット線容量の主な成分はシリコン基板，および分離用 p^+ 拡散層による接合容量であり，C_b は次式で近似できる。

$$C_b\approx\sqrt{\frac{\varepsilon_{si}qN_A}{2(V_R+2\phi_F)}}\cdot\ell\cdot\left(\omega+2\sqrt{\frac{N_{AI}}{N_A}}\cdot xj\right) \qquad (4.10)$$

こゝで，ℓ はビット線の長さ，ω はビット線の幅，N_{AI} は分離用 p^+ 拡散層の不純物濃度，V_R は接合の逆バイアス電圧である。C_b のばらつきを誘起するパラメータは ω であり，C_b のばらつき $\triangle C_b$ は次式で与えられる。

$$\triangle C_b = \left[C_b - 2\sqrt{\frac{\varepsilon_{si} q N_{AI}}{2(V_R + 2\phi_F)}} \cdot \ell \cdot x_j \right] \cdot \frac{\triangle \omega}{\omega} \qquad (4.11)$$

このようにセンス回路の感度を決定するパラメータのばらつきは，長さの単位をもつパラメータのＬＳＩ製造の加工精度に起因するばらつきで表現できる。

4.2.4　微細パターン製造技術を用いたＭＯＳダイナミックＲＡＭの設計理論

ＭＯＳ(D)ＲＡＭを安定動作させるためには，タイミングを考慮しないとき，式（4.3）がセンス回路設計の必要十分条件となる。

こゝでは高集積ＭＯＳＬＳＩの高性能化に対する指導原理である比例縮小則に従って，加工精度のばらつきが短チャンネルＭＯＳトランジスタを用いた微細パターン製造技術によって比例縮小される場合と，されない場合に分けて$\triangle V_{th}$，$\triangle \beta_0$，$\triangle C_b$を検討した結果について述べる。比例定数ｋは現在商用に供されている１６KMOS(D)RAMに用いられている設計基準を１（５～６μm）とした。更に微細パターン製造技術を用いた大容量ＭＯＳ(D)ＲＡＭにおける式（4.3）の関係についてビット線当たりの記憶セル数を６４個に固定した場合と，ビット線当たりの記憶セル数が比例定数に応じて増す場合に分けて検討した結果について述べる。又，その結果を６４ＫＭＯＳ(D)ＲＡＭ に対応させ，ビット線に６４個の記憶セルを接続した。いわゆる１２８ リフレッシュ方式と１２８個 の記憶セルを接続した２５６ リフレッシュ方式の比較検討結果について述べる。

4.2.4.1　加工精度のばらつきが比例縮小されない場合

加工精度のばらつきが微細加工の程度によっても変化しない場合，$\triangle V_{th}'$，$\triangle \beta_0'$，$\triangle C_b'$（添字′は加工精度のばらつきが比例縮小されない場合を表わす）はそれぞれ式（4.12）～（4.14）となる。ＭＯＳ(D)ＲＡＭの記憶保持時間に影響を与えるＭＯＳトランジスタの裾電流が比例縮小の理論からはずれるため[1]，実際のＭＯＳ(D)ＲＡＭの設計においては，しきい値電圧を低くできないので[9]，しきい値電圧は比例縮小しないものとした。

$$\triangle V_{th}' = \frac{\triangle t_{ox}}{t_{ox}/k}(V_{th} - \triangle \omega_f - 2\phi_F) - \frac{\triangle L}{L/k}(V_{th} - V_{thlong})$$

$$= k \cdot \triangle V_{th} \qquad (4.12)$$

$$\triangle \beta_0' = k \cdot \beta_0 \left(-\frac{\triangle L}{L/k} - \frac{\triangle t_{ox}}{t_{ox}/k} \right) = k^2 \cdot \triangle \beta_0 \qquad (4.13)$$

$$\triangle C_b' = \left[C_b/k - \sqrt{\frac{\varepsilon_{si} q \cdot k \cdot N_{AI}}{2(V_R/k + 2\phi_F)}} \cdot \ell/k \cdot xj/k \right] \cdot \frac{\triangle \omega}{\omega/k}$$

$$= \triangle C_b \qquad (4.14)$$

こゝで$\triangle V_{th}$, $\triangle \beta_0$, $\triangle C_b$ は$k=1$のときのばらつきを示す。ビット線当たりの記憶セル数を64個に固定した場合（128リフレッシュ方式の64K(D)RAMに相当），

$$C_S' = \frac{C_S}{k} \quad , \quad C_b' = C_b / k \qquad (4.15)$$

であるので

$$\triangle V_R' = \frac{(V_{DD}/k - V_{th})}{2 \cdot (C_b/k)(C_S/k)} \approx \triangle V_R/k \qquad (4.16)$$

$$\triangle V_{AS}'max = \sqrt{\frac{2 \cdot \alpha \cdot k (C_b/k)}{k \cdot \beta_0}} \left(\frac{\triangle C_b}{C_b/k} + \frac{k^2 \triangle \beta_0}{k \cdot \beta_0} \right) + 2k \cdot \triangle V_{th}$$

$$= \triangle V_{ASmax} + 2 \cdot \triangle V_{th} (k-1) \qquad (4.17)$$

式（4.16），（4.17）より係数m'は次式で与えられる。

$$m' = k^{-1} \frac{\triangle V_R}{\triangle V_{ASmax} + 2\triangle V_{th}(k-1)} \qquad (4.18)$$

一方ビット線当たりの記憶セル数が比例定数とともに増す場合は256リフレッシュ方式の64K MOS(D)RAMに相当しており

$$C_S' = \frac{C_S}{k} \quad , \quad C_b' = C_b \qquad (4.19)$$

であるので，上と同様の計算により係数m'は次式で表わされる。

$$m' = k^{-\frac{5}{2}} \frac{\triangle V_R}{\triangle V_{ASmax} + 2 \cdot \triangle V_{th} (\sqrt{k} - 1)} \qquad (4.20)$$

4.2.4.2　加工精度のばらつきが比例縮小される場合

微細パターン製造技術で，加工精度のばらつきが比例縮小される場合には，$\triangle V_{th}''$，$\triangle \beta_0''$，

$\triangle C_b''$（添字 ″ は加工精度のばらつきが比例縮小される場合を示す）はそれぞれ次の式（4.21）～（4.23）で表わせる。

$$\triangle V_{th}'' = \triangle V_{th} \tag{4.21}$$

$$\triangle \beta_0'' = k \cdot \triangle \beta_0 \tag{4.22}$$

$$\triangle C_b'' = \triangle C_b / k \tag{4.23}$$

こゝでも(i)と同様に2つの場合を考える。

まずビット線当たりの記憶セル数を固定してデバイスパラメータを比例縮小した場合，$\triangle V_{ASmax}''$ は次式で与えられる。

$$\begin{aligned}\triangle V_{ASmax}'' &= \sqrt{\frac{2 \cdot \alpha \cdot k (C_b / k)}{k \cdot \beta_0}} \left(\frac{\triangle C_b / k}{C_b / k} + \frac{k \triangle \beta_0}{k \beta_0} \right) + 2 \triangle V_{th} \\ &= k^{-1} \left[\triangle V_{ASmax} + 2 \triangle V_{th} (k-1) \right]\end{aligned} \tag{4.24}$$

この時，m″ は式（4.16），（4.24）より次式で与えられる。

$$m'' = \frac{\triangle V_R}{\triangle V_{ASmax} + 2 \triangle V_{th} (k-1)} \tag{4.25}$$

一方，縮小定数に比例して，ビット線当たりの記憶セル数が増し，且つデバイスパラメータが比例縮小される場合には $\triangle V_{ASmax}''$ は次式で表わされる。

$$\triangle V_{ASmax}'' = k^{-\frac{1}{2}} \left[\triangle V_{ASmax} + 2 \cdot \triangle V_{th} (\sqrt{k} - 1) \right] \tag{4.26}$$

したがって m″ は次式で与えられる。

$$m'' = k^{-\frac{3}{2}} \frac{\triangle V_R}{\triangle V_{ASmax} + 2 \cdot \triangle V_{th} (\sqrt{k} - 1)} \tag{4.27}$$

4.2.4.3　64K MOS(D)RAMのリフレッシュ方式の検討

デバイスパラメータを比例縮小したときの安定動作の係数m′，m″ を比例縮小係数kとk＝1におけるMOS(D)RAMの$\triangle V_R$，$\triangle V_{ASmax}$，$\triangle V_{th}$ で表わすことができた。k＝1（16KMOS(D)RAM）で，$\triangle V_R = 270$mV，$\triangle V_{ASmax} = 25$mV，$\triangle V_{th} = 8$mV が実測されたので 比例縮小後の安定動作の係数m′，m″ は加工精度のばらつきが比例縮小されない場合とされる場合で，

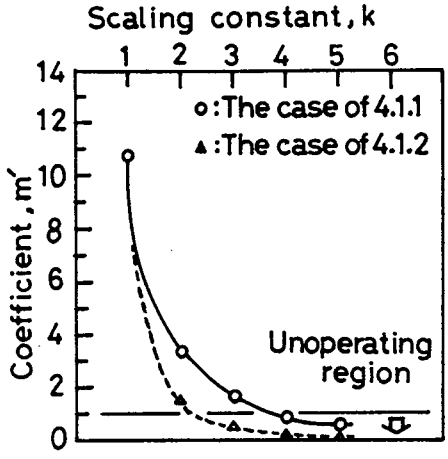


図4．4　係数m′の比例定数kに対する依存性

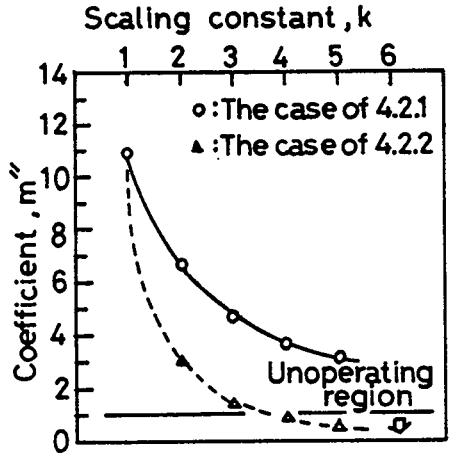


図4．5　係数m″の比例定数kに対する依存性

それぞれ図4.4，図4.5に表わすことができる。図4.4は加工精度が比例縮小されず，ビット線当たりの記憶セル数を64個に固定した場合にはk＝2でm′＝3.3であり，MOS(D)RAMの外部使用条件を満足させられる限界（m≈3に近い値）しか得られないことを示している。又，図4.5は加工精度のばらつきが比例縮小され，ビット線当たりの記憶セル数が増す場合には，k＝2の微細パターンを用いたMOS(D)RAMでは，外部使用条件を満足させられる限界に近いm″しか得られないことと，記憶セル数を64個に固定した場合にはk＝2でm″＝6.6が得られるので，広い動作領域の製造が可能なことを示している。

従って，ビット線当りの記憶セル数が128個の場合（256リフレッシュ方式の64K MOS(D)RAMに相当）には，ばらつきが比例縮小される場合に限り，十分注意した設計をすることによって広い動作領域の64K MOS(D)RAMの製造が可能である。一方，ビット線当たりの記憶セル数が64個の場合（128リフレッシュ方式の64K(D)RAMに相当）には，ばらつきが比例縮小される場合，されない場合共に，注意を払った設計をすることによって広い動作領域の64KMOS(D)RAMの製造が可能であることが分かる。

4.2.5　64KMOS(D)RAMの設計指針

4.2.4の検討結果より，加工精度のばらつきがMOS(D)RAMの性能に大きな影響を与えることが分かった。比例縮小定数kを16K MOS(D)RAMに相当するパターン技術に対してk＝1とし，64K MOS(D)RAMに相当する微細パターン技術に対してk＝2としたときに，同一製造条件で作成した多数の試料により調べたパラメータの実測値を表4.1に示す。表中の添字eは実測値を示している。

比例縮小定数	$\triangle t_{oxe}$ (Å)	$\triangle L_e$ (μm)	$\triangle \omega_e$ (μm)	N_{Ae} (cm^{-3})	x_{je} (μm)
k=1 (16K(D)RAM)	18.2 (852)	0.144 (5.67)	0.205 (4.88)	7×10^{14}	1.2
k=2 (64K(D)RAM)	16.6 (517)	0.197 (3.12)	0.252 (3.16)	7×10^{14}	0.5

表4.1　パラメータの実測値（括弧内は平均値）

比例縮小定数		$\triangle V_{th}$ (V)	$\triangle \beta_0$ ($\mu A/V^2$)	$\triangle C_b$ (pF)
k=1 (16K(D)RAM)	実測値	0.07 (1.075)	22.2 (360.9)	− (0.857)
	計算値	0.023	17.0	0.021
k=2 (64K(D)RAM)	実測値	0.104 (0.815)	58.8 (368.5)	− (0.305)
	計算値	0.041	34.0	0.014

表4.2　$\triangle V_{th}$，$\triangle\beta$，$\triangle C_b$ の実測値と平均値（括弧内は平均値）

N_A は k＝1，2に対して変化させていないが，しきい値電圧の制御はMOSトランジスタのチャンネル部へのイオン注入によって行った。表1はk＝2の微細パターン製造技術を用いた時，加工精度のばらつきが，k＝1の製造技術に比べて縮小されず，ばらつきの絶対値がほとんど変化しないことを示している。この結果は4.2.4.1で述べた理論的解析に対応すると考えられ，64KMOS(D)RAMではビット線当たりの記憶セル数を64個にしなければ動作領域の広いMOS(D)RAMの設計，製造が困難なことを示している。

又表4.1に示したばらつきから式（4.6），（4.9），（4.11）を用いて計算した $\triangle V_{th}$，$\triangle\beta_0$，$\triangle C_b$ と実測値との比較を表4.2に示す。$\triangle V_{th}$，$\triangle\beta_0$ はk＝2 に相当する微細パターンの場合に

k＝1の場合に比べてばらつきの絶対値が大きくなっている。計算値と実測値との差は，計算式に用いたMOSトランジスタのモデルが実際のデバイスと厳密に一致していないことと，表1に示したように必ずしもデバイスパラメータが縮小係数に比例していないためである。

このように微細パターンの程度とともに加工精度のばらつきが比例縮小できないことは，大容量MOS(D)RAMの集積度向上に対する制限項目の一つと考えられ，加工精度の向上が大容量MOS(D)RAMの動作領域を広め，安定動作させるための重要な項目の一つであることが分かる。以上の検討結果より64K MOS(D)RAMの設計に当たって式（4.3）を満足させるため，次の対策を講じる必要がある。

(1) 記憶セルでの蓄積電荷量が比例縮小されない。

(2) ビット線当たりの記憶セル数が増えない。

(3) センス回路のフリップフロップソース端の電位下降速度を遅くする。

(4) フリップフロップMOSトランジスタのβ_0を大きくする。

上で求めた設計指針を基に，微細パターン製造技術を用いた64K(D)RAMを設計した。具体的な64K(D)RAMの詳細は次の第5章に述べることにして，こゝでは設計に当たって留意した点について説明する。センス回路は図4.1に示したようにフリップフロップMOSトランジスタとビット線をセンス時に高インピーダンス状態にして切り離すためのMOSトランジスタによって構成した。上記の4項目の設計指針について，64K(D)RAMの設計では以下の方法による対策をとった。(1)に対しては電源電圧が比例縮小して約半分になる分をゲート酸化膜厚を薄くすることによって補い，さらに記憶セル面積も可能な範囲内で大きくしておく（これについては修正スケーリング則として次節で詳しく述べる）。(2)に対しては，ビット線当たりの記憶セル数を64個とし，16K MOS(D)RAMの場合と同一にした。(3)に対しては$\triangle V_{ASmax}$を小さくするため，センス回路のソース端下降速度を遅くした。(4)に対しては，フリップフロップMOSトランジスタのコンダクタンス定数をビット線容量の大きさを考慮して許容できる限り大きくし，W＝40μmとした。又ショートチャンネル効果によって$\triangle V_{th}$が大きくなるの極力押えるため，センス回路のフリップフロップMOSトランジスタは他の回路で用いられるL＝3μmより大きいL＝4μmで設計した。

4.3 ソフトエラーを考慮したMOSダイナミックRAMの回路設計[10]

4.3.1 はじめに

前節ではMOSダイナミックRAMの回路設計上の問題として微細化した時の安定化条件について検討を加えた。そこではデバイスパラメータを比例縮小した時安定動作係数がどの様に記述されるかをデバイスパラメータのばらつきが比例縮小される場合とされない場合にわけて議論した。回路設計上のもう一つの大きな問題はソフトエラーである。第3章ではメカニズムの解析と主にデバイス面か

らの改善手法について検討を加えたが，回路設計という観点からソフトエラーを見直す必要がある。電源電圧，デバイスパラメータを比例縮小させた時臨界電荷量は $1/k^2$ となるので，ソフトエラーを考えたとき，比例縮小則を単純に適用することはできない。しかし比例縮小則を全面的に変更する必要はなく，ソフトエラーを考慮した修正比例縮小則を提示することが高集積MOS(D)RAMの開発展開を方向づけるには極めて重要であると考えられる。

本節では高集積MOS(D)RAMに比例縮小則を適用するに当たり，ソフトエラーがスケーリング則の律速条件になるという考え方に基づいた修正比例縮小則を示す。また修正比例縮小則による欠点を打破するための新しい回路構成法を提案する。

4.3.2 修正比例縮小則

R. H. Dennard[1] らによって提案された比例縮小則は高集積MOS(D)RAMや他のVLSIの開発の方向づけを与える重要な考えである。しかし T. C. May らによって指摘されたソフトエラーは，MOS RAMの比例縮小に制限を与えるものと考えられる。即ち，比例縮小則は，デバイスの物理定数を小さくすることによって，MOS(D)RAMでは1ビットの情報エネルギーを小さくすることを意味しているが，ソフトエラーはこの情報エネルギーに最小値があることを示唆しているからである。従って，ソフトエラーを考慮した場合には，記憶セルの1ビットの情報エネルギーに最小値があることから，比例縮小則を完全に適用できなくなると考えなければならない。

ソフトエラーを考慮した修正比例縮小則は，比例定数 $k=1$ において，ソフトエラーとして十分満足できる値が得られている回路，デバイスを設定したとき，記憶セルの蓄積電荷量が比例定数に依存しない場合であると考えることができる。ソフトエラーを考慮した時，比例縮小則が適用できない点は，記憶セルの設計であり，デバイス寸法，不純物濃度，電圧に対して修正する必要はない。記憶セル容量に対して比例縮小則を修正すると，記憶セル面積が一定となり，ワード線やビット線の容量は修正比例縮小則では $k=1$ となる。これらの容量を駆動し，遅延時間を比例縮小則に従って高速化する条件を用いると，電流は $k=1$ となり，周辺回路のトランジスタのゲート幅が比例縮小則からはずれ，縮小できなくなるので周辺回路の容量は $k=1$ になる。従って，容量の修正比例縮小定数は，ソフトエラーによって決定される記憶セルとRAMの高速性によって決定される周辺回路に分離して表わすことができ，遅延時間の修正比例縮小定数は周辺回路の容量によって決まると考えられる。以上の検討の結果から修正比例縮小則は表4.3で表わすことができる。

パラメータ	比例縮小則	修正比例縮小則
デバイス寸法（t_{ox}, L, W）	1/k	1/k
不純物濃度（Na）	k	k
電圧（V）	1/k	1/k
電流（I）	1/k	1
容量（ε/t_{ox}）	1/k	k（メモリセル）
		1（周辺回路）
遅延時間／回路（VC/I）	1/k	1/k
消費電力／回路（V・I）	$1/k^2$	1/k
P・D積／回路（性能指数）	$1/k^3$	$1/k^2$

t_{ox} … ゲート酸化膜厚，　L … MOS トランジスタのゲート長
W　… MOS トランジスタのゲート幅，　ε … 誘電率

表 4.3　修正比例縮小則

4.3.3　デバイス，回路設計

修正比例縮小則によると性能指数は 1/k に比例縮小されるだけであり，比例縮小則による $1/k^3$ の改善度より悪い結果になることが予想される。また，修正比例縮小則に従って電圧を下げると種々の問題が生じるので，その解決方法や高性能化の新らしい技術が必要である。

こゝでは高性能化を図るために次の新らしいデバイス・回路技術を用いた。

(1)　記憶セル部で発生するソフトエラーモードを低減する回路構成

(2)　ビット線部で発生するソフトエラーモード[11]を低減する回路構成

(3)　低電圧でも高速化を達成するデバイス構造

4.3.3.1　ソフトエラーを低減する回路構成

記憶セル部で発生するソフトエラーを低減するためには，蓄積電荷量を大きくする必要がある。このことに関しては第3章に詳述したが，そこで述べた以外に回路上で検討した項目は次の二点である。

(a)　チップ内に記憶セルへ印加する V_{GG}（$V_{CC}+2V_{TH}$）電源を内蔵。

(b)　リチャージ回路で，記憶セルへ V_{CC} 電位を再書込み。

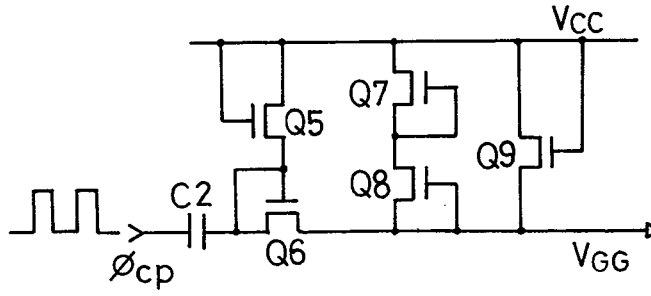


図4．6　V_{GG} 発生回路

図4.6にV_{GG}発生回路を示す。V_{BB}発生回路で使用した9段のリング発振器の出力パルス（ϕcp）と整流用MOSトランジスタ（Q_5，Q_6）容量C_2を用いた昇圧回路によりV_{GG}電位を得ている。V_{GG}は$V_{CC}+2V_{TH}$の電位を発生するため，記憶セルのV_{GG}電位を印加したゲートの表面電位は十分反転している。またワード線電位は第3章でも述べた様に記憶セルのMOSトランジスタの値電圧以上に昇圧しているので記憶セルへV_{CC}電位を書き込むことができる。一方再書き込みは，センスアンプ動作時にカップリング容量や，センスアンプの損失電流によって高電位となるべき側のビット線電位が僅かに下降するので，センスアンプ動作完了後，リチャージ回路を活性化し，高電位となるべき側の電位をV_{CC}に再充電している。リチャージ回路は図4.1のQ_3，Q_4，C_1の3素子によって構成した。

ビット線部で発生するソフトエラーを考える時，α粒子の入射に対して安定に動作をするためには次式を満足する必要がある。

$$\triangle V_R = m\cdot(\triangle V_{ASmax}+\triangle V_\alpha)\ ,\quad m>1 \qquad (4.28)$$

こゝで$\triangle V_\alpha$はα粒子がチップに入射した場合にチップ内で発生する電子によってビット線に現われる電位である。上の（4.28）式において$\triangle V_{ASmax}$を小さくすることにより，ソフトエラーの発生確率を小さくすることが期待できる。$\triangle V_{ASmax}$は（4.2）式で表わすことができるので$\triangle V_{ASmax}$を小さくする回路要素はK（フリップフロップのソース端下降速度），ϕ_3である。ここではフリップフロップソース端下降速度，およびϕ_3波形の最適化について考察する。図4.1には，センスアンプ回路とフリップフロップソース端波形ϕ_3を変化させ得るパラメータが示されている。ϕ_3波形を変化させたパラメータはϕ_1のタイミングとQ_2のゲート幅である。Q_2のゲート幅はQ_1のゲート幅に較べて非常に小さくϕ_3は2段階で接地する。

ϕ_1のタイミングをパラメータとした時のϕ_3波形を図4.7に示す。bはaに較べて約1nsec遅延させた場合であり，Cは更にbより約2nsec遅延させた場合である。また図4.8はセンスアンプのソース端下降速度Kをパラメータとしたϕ_3波形である。eはdにおけるQ_2のゲート幅を1/2

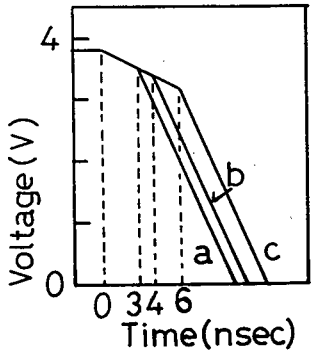


図4．7　センスアンプ共通ノードϕ_3波形(1)

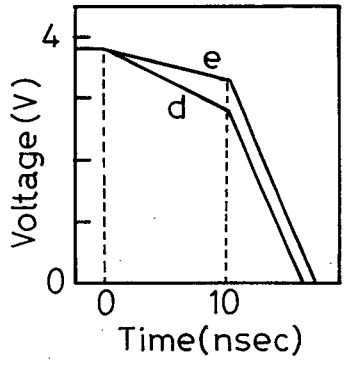


図4．8　センスアンプ共通ノードϕ_3波形(2)

とした波形である。ソフトエラーの改善度は，$V_{CC}=4.5V$，$t_C=1\mu sec$において^{241}Am，8.4 μCiのα線源による加速試験により求めた。表4.4の実験結果はaおよびdの場合を基準とし，規格化した値で示してある。

ϕ_3 波　形	ソフトエラー改善度
a	1
b	1.3
c	2.7
d	1
e	0.96

表4.4　ソフトエラーの改善度

センスタイミングϕ_1によるソフトエラーの改善度はこの実験によれば最大約3倍得られた。この改善は，センス信号遅延による読み出し電荷量の増加であると考えられる。一方フリップフロップソース端下降速度Kによる改善度は殆んどなく，デバイスのばらつきに含まれている。この原因は$\triangle V_{ASmax}$が標準的な条件では$\triangle V_R$に較べて非常に小さな値であるためと考えられる。

4.3.3.2　高速化を達成するデバイス構造

MOS(D)RAMの高速化には，MOSトランジスタの電流駆動能力を上げることが重要である。そのためには，短チャンネルMOSトランジスタが適している。しかし短チャンネルトランジスタは短チャンネル効果のため閾値電圧の低下，耐圧の低下を起こし，MOS(D)RAMにおいては致命的な欠

点となる。こゝでは短チャンネルMOSトランジスタでも耐圧，閾値電圧の低下を余り起こさない三重拡散型MOSトランジスタTDT（Triple Diffused Transistor）を提案する。図4.9にデバイスの断面構造を示す。短チャンネル効果はソース・ドレイン電界が表面チャンネル部へ影響を与えるためであり[8]，ソース・ドレイン領域をxjの浅い領域にすることが望ましい。しかしソース・ドレイン領域全部がxjの浅い領域にするとMOSトランジスタのソース・ドレイン抵抗が大きくなり，gmを悪化させる。そのためにチャンネル長を決める部分だけxjが浅く，その他の部分は低抵抗である構造が望まれる。TDT構造はこの目的に沿ったデバイスである。ソース・ドレイン領域は3つの異なる拡散深さを持つ領域からなる。第1の領域はゲート電極に沿った浅いxjの領域でAsのイオン注入量1×10^{15}/cm²によって形成され，xjは0.15μm，シート抵抗は90Ω／口である。第2の領域は中程度に注入（As，5×10^{15}/cm²）された領域で，ソース・ドレイン抵抗の低減を目的とした領域である。xjは0.4μmでシート抵抗は27～30Ω/口である。第3の領域はPを熱拡散したxjの深い領域で，コンタクト窓を通して拡散が行われる。xjは約1.8μmである。この領域は金属配線のコンタクト部での信頼性向上を目的としている。この様に目的に応じて3つの異なる拡散深さを持つ部分でソース・ドレイン領域を構成している。図4.10，図4.11はTDT構造のゲート長とV_{TH}，BV_{SD}の関係を示したものである。V_{TH}，BV_{SD}の低下が非常にゆるやかで理想に近いトランジスタ特性を示している。

4.4 結　　言

高集積MOS(D)RAMのセンス回路の設計において，読出し電圧，センス回路の感度及びこれらから導出される安定動作係数mを定量化した。さらに比例縮小則を更に発展させ，これらの諸量が微細化によってどの様に記述されるかを検討した。その結果微細パターン製造技術を用いた高集積MOS(D)RAMの設計では，デバイスパラメータの加工精度によるばらつきが非常に大きな障害となっていることが分かった。又，64KMOS(D)RAMでは，十分広い動作範囲を得るためには，ビット線に64個の記憶セルを接続した128リフレッシュ方式が256リフレッシュ方式に較べて非常に有利であることが分った。

またMOS(D)RAMの高集積化に対してソフトエラーが比例縮小則の律速条件になるという考え方に基づいた修正比例縮小則を提案した。この場合，MOS(D)RAMの性能指数が単純に比例縮小則を適用した場合に較べ低下することが予想されたので，新しい三重拡散構造を持つデバイスを提案し，性能向上をデバイス面からの工夫で図った。

さらに記憶セル部，ビット線部でのソフトエラーに対して，新しい回路構成法を提案し，その効果の確認を行った。

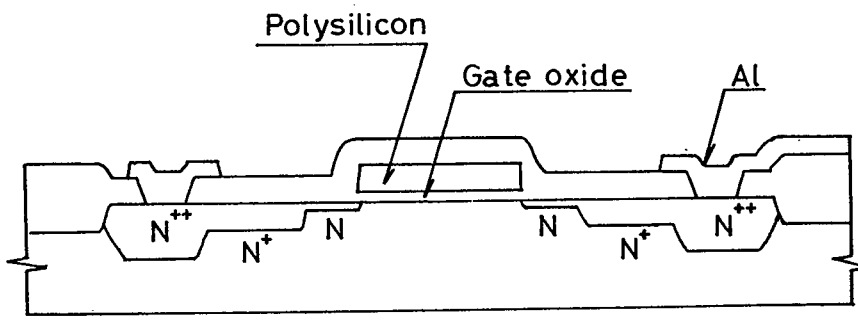


図4．9　TDT 構造断面図

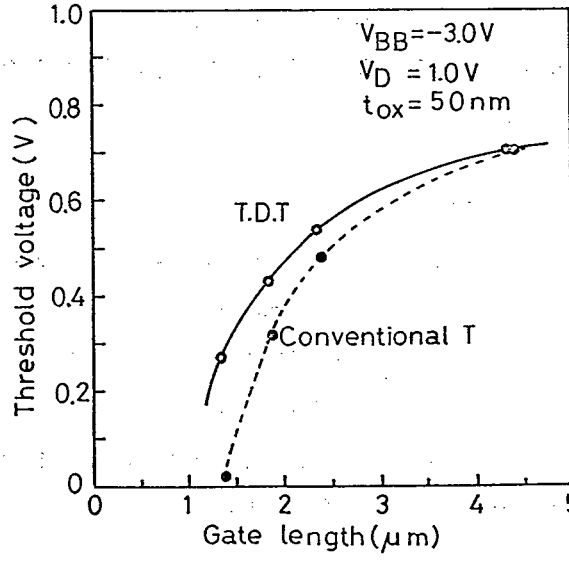


図4．10　しきい値電圧のゲート長依存性

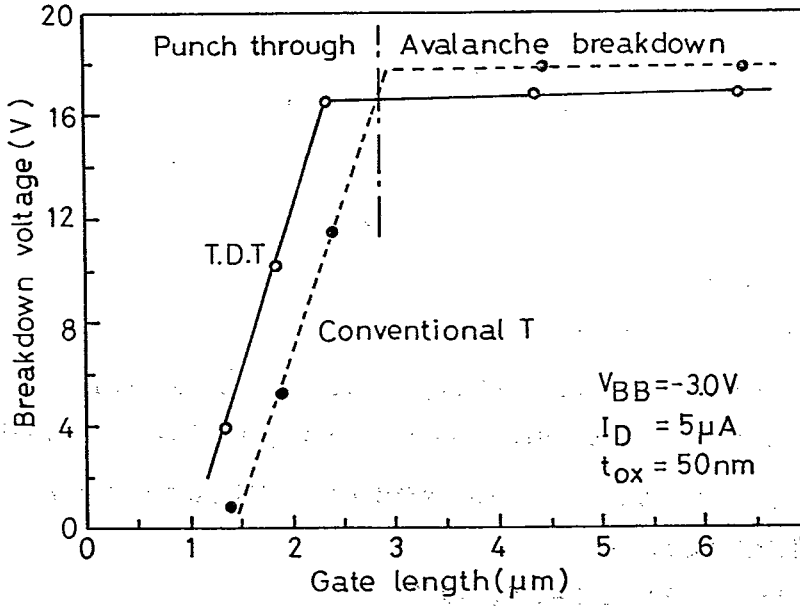


図4．11　ソースドレイン耐圧のゲート長依存性

(1) Dennard, R.H.,Gaensslem,F.H., Yu, H.N., Rideout, V., Passous, E. and Leblanc, A.R., "Design of ion-implanted MOS FET's with very small physical dimensions", IEEE J. Solid-State Circuits, vol. SC-9, PP. 256-267, 1974.

(2) May, T.C. and Woods, M.H., "A New Physical Mechanism for Soft Errors in Dynamic Memories", 16th Processing of 1978 International Reliability Physics Symposium, PP. 34-40, 1978.

(3) 長山，吉原，中野，蒲生，〝スケーリング法を適用した大容量MOS RAMの回路設計〞，電子通信学会論文誌，vol. J64-C, No.2, PP. 61-68, 1981.

(4) Schroeder, R. and Proebsting, R.J., "A 16K x 1-bit Dynamic RAM", ISSCC Dig. Tech. Papers, PP.154-155, 1979.

(5) 矢野，家田，大森，武谷，〝1トランジスタ形MOSメモリ用高感度センス回路〞，電子通信学会論文診，vol. J61-C, PP. 273-280, 1978.

(6) Ieda, N., Arai, E., Kiuchi, K., Ohmori, Y. and Takeya, K., "A 64K MOS RAM Design", Japan, J. Appl. Phys., vol. 17, No.1, PP. 57-63, 1973.

(7) 下酉，長山，中野，〝ダイナミックMOS RAMのセンスアンプ感度〞，電子通信学会論文誌，vol. J61-C, No.6, PP. 399-401, 1978.

(8) Yau, L.D., "A Simple Theory to Predict the Threshold Voltage of Short Channel IGFET's" Solid-State Electronics, vol. 17, PP. 1059-1063, 1974.

(9) 増原，足達，永田，橋本，〝低電圧ダイナミックMOSメモリ〞，電子通信学会論文誌，vol. J57-C, No.8, PP. 271-278, 1974.

(10) 長山，熊野谷，山田，吉原，谷口，〝ソフトエラーを考慮したダイナミックMOS RAMの回路設計〞，電子通信学会論文誌，
vol. J65-C, PP. 522-529, 1982.

(11) Yaney, D.S., Nelson, J.T. and Vanskike, L.L., "Alpha-Partide Tracks in Silicon and Their Effect on Dynamic MOS RAM Reliability", IEEE Trans. Electron Devices, vol. ED-26, pp. 10-16, 1979.

第5章　高集積MOSダイナミックRAMの工学的応用に関する研究

5.1　序

応用面からMOSダイナミックRAMの推移を見ると過去10年間に1Kビットから64Kビットへと大容量化が進み，実に4倍／3年の割合で伸びてきている。この着実な進歩はMOSダイナミック実用化に当たって基盤となるプロセス，デバイス，回路技術の発展に支えられてきたといえる。プロセス上の課題として第2章では微細化デバイスの基本構成材料である多結晶シリコンの電気特性を取りあげ，電気伝導機構について検討を加えた。第3章ではデバイス上の問題として記憶セル面積の縮小，電源電圧低電圧化に伴う蓄積電荷量低減によるソフトエラーの問題をとりあげ，そのメカニズム，改善手法について検討を加えた。第4章では回路設計上の問題として比例縮小則とRAM安定動作条件との関係およびソフトエラーを考慮した回路設計についての検討を行った。

本章では第2章から第4章で得られた研究の成果をもとに，高集積MOSダイナミックRAMを実用化するにあたって高速化，低消費電力化，リフレッシュ機能内蔵，信頼性などについての検討結果と，試作した64KビットダイナミックRAMの性能評価結果について述べる。

5.2　回路技術

本節では64KビットダイナミックRAM[1,2,3,4]における，高速化，低消費電力，多機能化という高性能化を実現するための回路について述べる。

5.2.1　完全昇圧センス回路

図5.1は64KダイナミックRAMのセンスアンプ回路[5,6,7]とそのタイミングを示したものである。センス回路への入力信号を最大限にすること，それによりソフトエラーに強くするという二つの目的のためには記憶セルにおける書き込み，記憶電位は供給電位V_{CC}まで目一杯にする必要がある[8]。このためセンス回路の動作に関係する主な信号をV_{CC}レベル以上に昇圧し，さらに，それぞれのビット線をリチャージする方式を採用した。記憶セルの容量電極の電位V_{GG}はチップ内部で発生させ，記憶セルへV_{CC}レベルを十分に記憶させるため，これもV_{CC}レベル以上に昇圧した。

図5.1において，ビット線はV_{CC}以上に高い電位を持つ信号ϕ_Pによって予めV_{CC}レベルに充電されている。センス回路への入力信号を最大にし，V_{CC}レベルを再書込みするために，ワード線ϕ_{WL}およびダミーワード線の電位を$V_{CC}+V_{TH}$以上に昇圧した。容量結合信号ϕ_Tはビット線からの電位変化が遅滞なくセンス回路のフリップフロップへ伝達する様にセンス動作開始前にはそのレベルを$V_{CC}+V_{TH}$以上にしておき，センス開始と同時に容量結合によってフリップフロップをビット線から切り離す。また列デコーダ出力信号ϕ_Yは同様にメモリセルへV_{CC}レベルを十分に書き

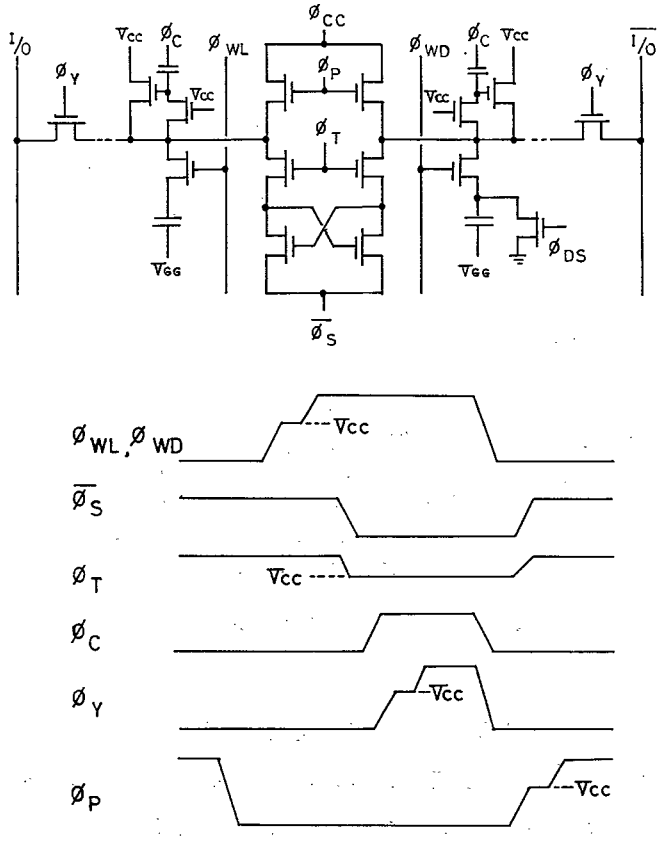


図5．1　センスアンプ回路とその動作タイミング図

込むために $V_{CC}+V_{TH}$ 以上に昇圧している。この様に図5.1のセンス回路に使われている制御信号の大部分は $V_{CC}+V_{TH}$ 以上に昇圧されている。特にワード線 ϕ_{WL}，ダミーワード線 ϕ_{DL}，プリチャージ信号 ϕ_P，列デコーダ出力 ϕ_Y は次に述べる新規な昇圧回路を用いている。

5.2.2　ワード線昇圧回路

図5.2は新しく提案するワード線昇圧回路であり，V_{CC} レベル信号発生回路，遅延回路とスイッチ昇圧回路より構成されている。電源電圧以上の高い電位を発生させるために，従来の回路方式では，ϕ_X と ϕ_B の間に直接結合容量 C_1 を入れていた。

しかしこの方式では ϕ_X が V_{CC} レベルにまで上昇する間，C_1 は ϕ_X に対して単なる容量としてしか働かず，ϕ_X の立ち上がり時間は遅く，また C_1 を介して ϕ_X から ϕ_B へ大きなピーク電流が流れることになる。この問題を解決するために新しい回路方式では図5.2に示す様に容量 C_1，C_2 を含むスイッチ昇圧容量を用いている。ノードAはあらかじめ $V_{CC}-V_{TH}$ のレベルに充電しておく。この時

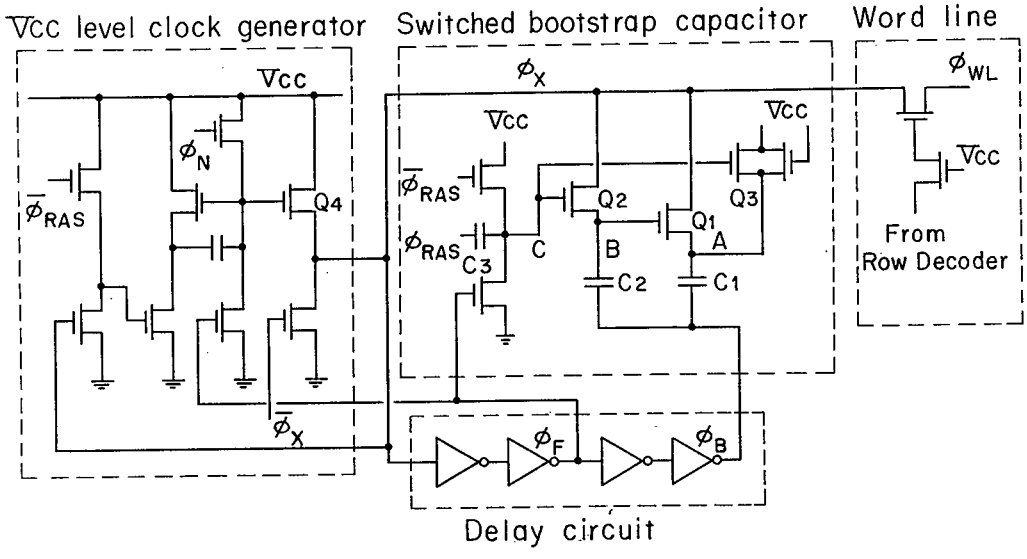


図5．2　ワード線昇圧回路

トランジスタQ_1はϕ_XとC_1を分離している。次にϕ_{RAS}が立ち上がるとノードAはトランジスタQ_3を介してV_{CC}レベルに充電される。続いてϕ_Xが立ち上がるとノードBはパストランジスタQ_2を通してV_{CC}レベルに充電される。この時トランジスタQ_1はまだ閉じたままで，容量C_1はϕ_Xに対して負荷容量としては作用しない。ある遅延時間を置いて，信号ϕ_Fが立ち上がってトランジスタQ_2，Q_3，Q_4をオフ状態にすると，ノードBはϕ_Xと分離されるため，遅延信号ϕ_Bが立ち上がることによってノードBは$V_{CC}+2V_{TH}$以上に昇圧されトランジスタQ_1はオン状態になりインピーダンスは十分低い値となる。トランジスタQ_1がオンになっているのでϕ_Xは容量C_1とϕ_Bの容量結合によってV_{CC}レベル以上に昇圧されることになる。図5.3はワード線昇圧回路の計算機シュミレーション結果を示すものである。ϕ_Xの立ち上がり時点ではC_1は負荷容量として作用しないため，ワード線の立ち上がり時間は従来の昇圧法に較べて速く，またピーク電流も容量C_1を充電する必要がないため40％も少くなる。同様のやり方はプリチャージ信号，デコーダ出力信号においても高性能を得るため使われている。

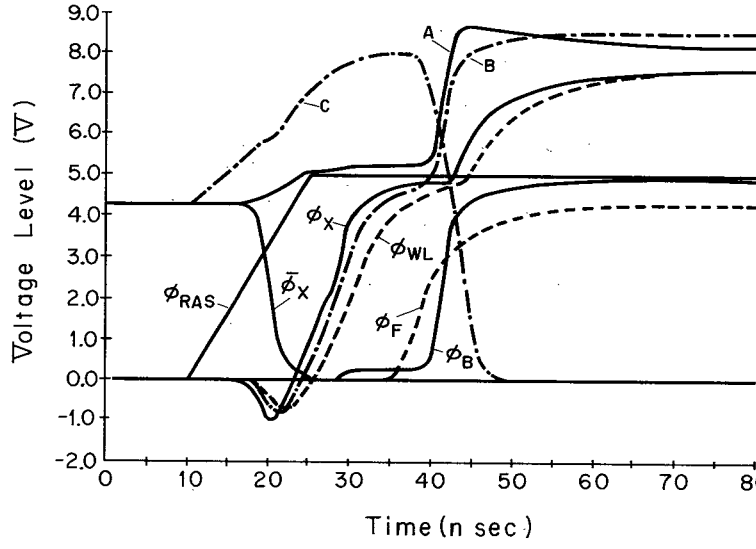


図5．3　ワード線昇圧回路の計算機シミュレーション

5.2.3　リフレッシュ機能の内蔵

MOSダイナミックRAMにおける記憶手段はゲート酸化膜を容量として片側の電極であるシリコン基板に電荷を蓄積することによっている。記憶情報の〝1〟状態は熱的に非平衡状態にあり，長時間経過するとシリコン基板中の再結合電流によって〝0〟状態になり誤動作を引き起こす。このため周期的にデータの再書き込みを行う必要がある。この動作をリフレッシュ動作と言い，64KDRAMの仕様では2msec，ないし4msecに一度 センスアンプを活性化すると同時に各ワード線を順次選択する$\overline{\mathrm{RAS}}$オンリーリフレッシュを行っている。$\overline{\mathrm{RAS}}$オンリーリフレッシュを行うにはメモリシステムに行，列アドレスとリフレッシュアドレスを切り替えるためのマルチプレクサー，リフレッシュアドレスカウンタを備える必要がある。

リフレッシュ操作をチップ内部で行えるようになると回路が簡略化できると同時に使い易くなる利点を持つ。実際にはピン1にリフレッシュ要求信号を入力させて，リフレッシュ動作をチップ内で行わせるようにしている。こゝではリフレッシュ内蔵についての設計上の検討結果について述べる。

リフレッシュ機能にはオートリフレッシュとセルフリフレッシュがある[9,10]。図5.4にチップに内蔵されたリフレッシュ回路を示す。リフレッシュ回路は(i)リフレッシュ制御回路，(ii)リフレッシュカウンタ，(iii)セルフリフレッシュ用タイマから構成される。これらの回路はピン1に入力される$\overline{\mathrm{REF}}$信号によって制御される。

図5.5はオートリフレッシュ時のタイミングを示したもので，オートリフレッシュ動作は$\overline{\mathrm{RAS}}$信号によってすべてのビット線が再充電された後$\overline{\mathrm{REF}}$信号を〝L〟にすることによって開始する。これによって内部のリフレッシュカウンタからの出力がアドレスバッファに入力され，同時に内部の

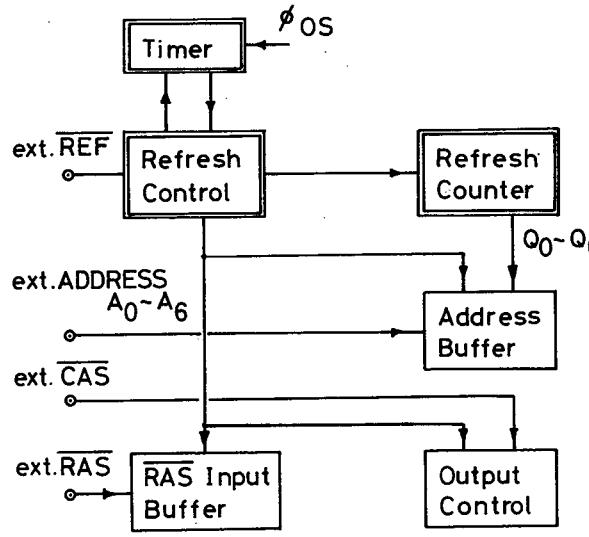


図5．4　リフレッシュ回路のブロック図

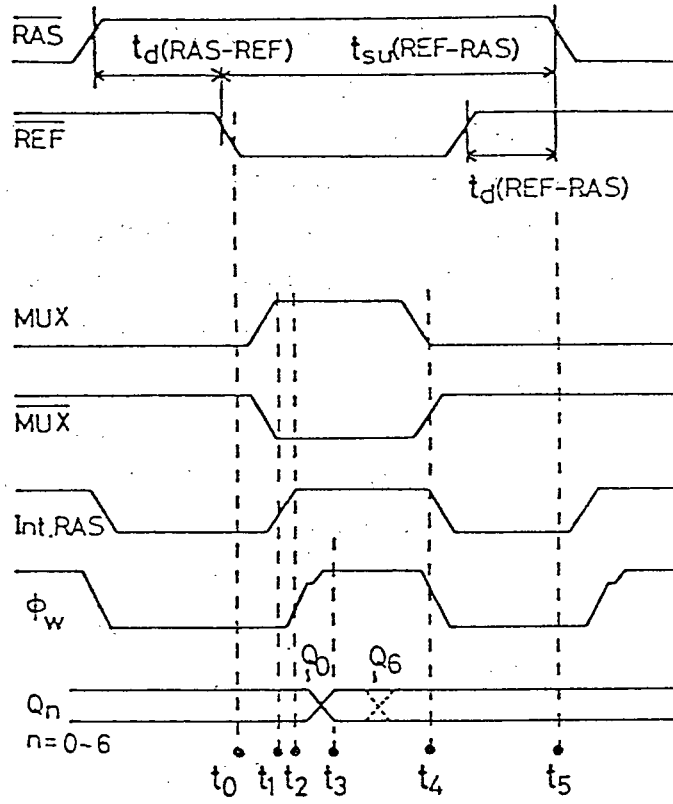


図5．5　オートリフレッシュ回路のタイミング図

$\overline{\text{RAS}}$ 系統の回路が動作を開始し，リフレッシュ動作が行われる。オートリフレッシュサイクルの終了時にはリフレッシュアドレスカウンタは1つだけインクリメントされた状態になる。この様に外部アドレスカウンタからのアドレスを必要としない点を除いてオートリフレッシュは標準的な $\overline{\text{RAS}}$ オンリーリフレッシュとよく似ている。

外部 $\overline{\text{REF}}$ 信号が〝L〟であり続けると，内部タイマ回路によって8～16 μs 毎に非同期的にオートリフレッシュと同じ動作が行われチップ自体でリフレッシュを行う。これをセルフリフレッシュ動作という。この非同期動作のため回路設計が少し複雑になる。特にリフレッシュ制御回路の初期設定については注意深い考慮を必要とする。図5.6はリフレッシュ制御回路の初期設定のために提案したリセット信号発生回路である。電源がオンした時，非同期回路のためリフレッシュ制御回路には過

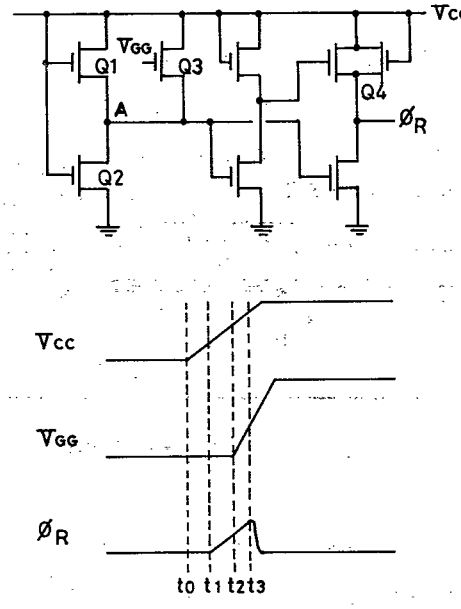


図5．6　リセット信号発生回路

大電源電流が流れることがある。これを防止するため，図に示した様に信号 ϕ_R をリフレッシュ制御回路に印加するものである。トランジスタ Q_3 のゲートは記憶セル電極用の内部発生電源 V_{GG} に接続されている。このトランジスタ Q_3 が以下に述べるヒステリシス特性を与える重要な役割を果たす。時刻 t_0 に V_{CC} が印加されるとプルアップトランジスタ Q_4 を介して時刻 t_1 から信号 ϕ_R が立ち上がり初める。また V_{GG} 発生回路は時刻 t_2 から活性化し始める。しかしノードAを充電する迄にある時間を必要とするため，時刻 t_3 まで ϕ_R の電位は上昇し続け，V_{CC} が 3.5V になる時刻 t_3 に ϕ_R は急に電位を下げる。このトリガーレベルはトランジスタ Q_1 －Q_3 の組合わせを適切に調整することによって設定される。これによりリフレッシュ制御回路を初期設定するのに十分な時間が

保たれる。一方，トランジスタQ_3はノードAのプルアップ抵抗として働くため，電源をオフにする時にはϕ_R信号は出ない様になっており，メモリサイクル動作の時には最小電源電圧はこのリセット回路によって制限を受けない。

5.3　64KMOS(D)RAMの試作

5.3.1　適用プロセス

64KMOS(D)RAMの試作には最新のNチャンネル二層ポリシリコン技術を使用した[11]。基本となるトランジスタ・配線などの設計基準は3μmである。トランジスタの実効チャンネル長は2μmで，この値はプラズマエッチとソースドレイン領域への砒素イオン注入により精密に制御されている。また配線抵抗として用いられる多結晶シリコンの抵抗は第2章に得られた知見をもとに低抵抗化が図られている。記憶セル面積は176μm^2とし，その断面図は図5.7に示した。蓄積容量を増加させソフトエラーを改善するために二重イオン注入したHi－Cセル構造を採用した[12]。イオン注入による$_p$n

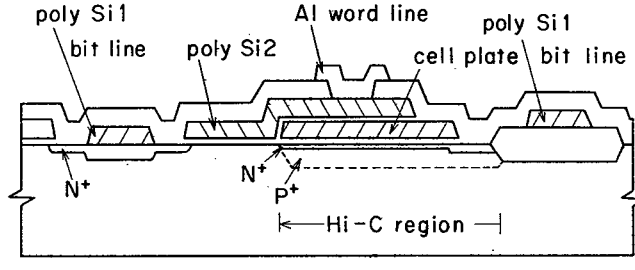


図5．7　メモリセル断面図

接合はゲート電極の真下に位置しゲート容量と並列に接続し蓄積容量の増大に寄与する。Hi－Cセルのためには図5.8に示した2組の写真製版とイオン注入が従来の工程に追加される。pおよびn型不純物注入量は接合耐圧とリフレッシュ特性を考慮して決定した。

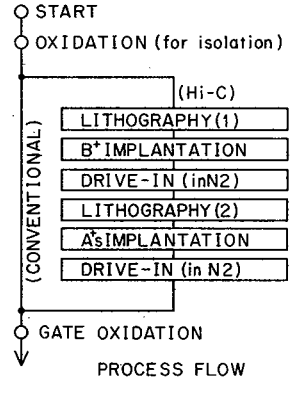


図5．8　Hi－C構造のためのプロセスフロー

センスアンプが動作している時にはソフトエラーは主にビット線で起こるので，α粒子によって誘起された電子の収集面積を減らすため図5.7に示した様にn^+ 拡散層の替わりに低抵抗化した第一多結晶シリコン層を用いた。この結果収集面積は1／2に記憶容量は6％程度大きくすることができる。

ソフトエラー対策としてさらに，パッケージ材料などから入射してくるα粒子を遮断するためにチップ表面を有機樹脂で被覆した。試作した64K(D)RAMの臨界電荷量はV_{CC}＝5Vで0.11PCである。この値は約3MeVのエネルギーを持つα粒子により生成される電荷量に相当している。パッケージ材料などに含まれるα粒子のエネルギースペクトルは8MeVまでの分布の広がりを示しているので，5MeVのエネルギー分を減衰させれば良いことになる。樹脂膜の厚さはこの様に考えて，40μmに設定した。外界の影響がなくなるので，有機樹脂自体のα粒子放出量が問題となる。放射化分析による測定結果では1ppb以下，電離箱（Gridded Ionization Chamber）による測定では，測定限界である0.005α／cm²・hrと非常に低いレベルにある。

5.3.2 仕様および構成

試作した64K(D)RAMのピン配置は米国のJEDEC（Joint Electron Device Engineering Council）の提唱した標準仕様に従っている。図5.9に16K(D)RAMと対比させた64K(D)RAMのピン配置図を示した。64K(D)RAMでは基板電位を内部発生させることによって5V単一

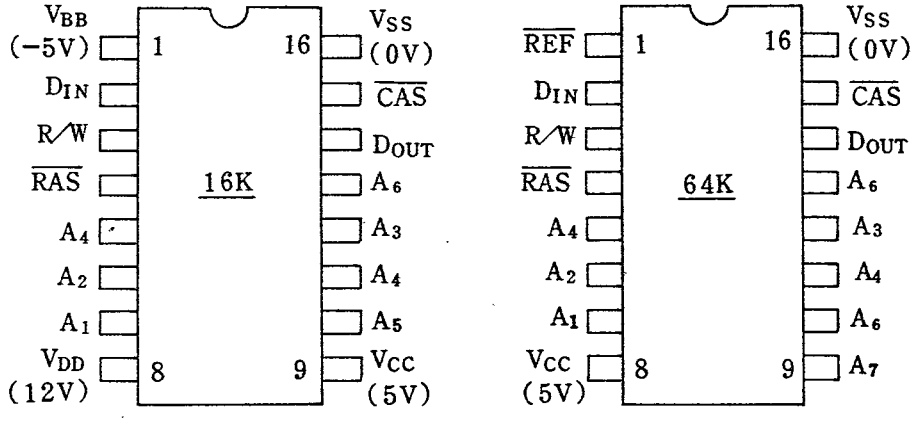


図5．9　16Kと64K(D)RAMのピン配置

電源動作が可能となっている。これによって空端子となった1ピンと9ピンのうちA_7 アドレス用に9ピンを割合て，1ピンについては前述のようにリフレッシュ機能を持たせている。

図5.10は顕微鏡によるチップ拡大写真であり，図5.11はそのチップ構成図を示す。メモリセルは合計65536ビットあるが4等分されて64×256ビットのアレイに分割されている。

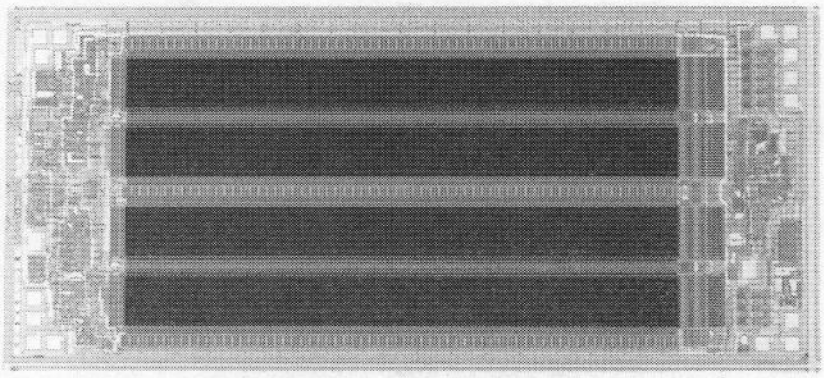


図5.10　64K(D)RAMの拡大写真

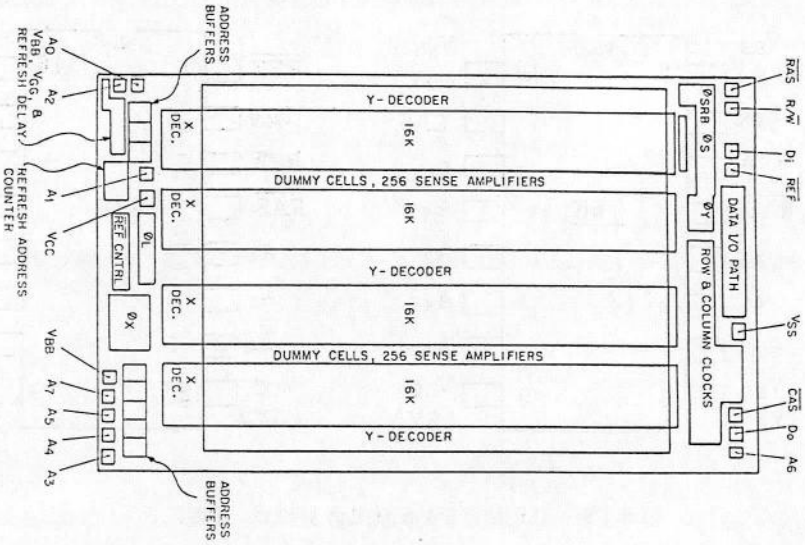


図5.11　64K(D)RAMのチップ構成

上下2ブロックのメモリアレイの中央にそれぞれ256ケのセンスアンプを配置している。このレイアウトで，各ビット線には64個のメモリセルが接続することになる。このレイアウトはビット線長が短くなるためビット線容量が小さくなり読み出し電圧を大きくとれるという利点を持つ。リフレッシュ動作は2つのブロック同時に，センスアンプを中央にした128本のワード線を順次に1つづつ選択していく第4章に述べた128リフレッシュ方式を採用している。コラムデコーダは中央部と短辺側に3箇所配置されている。またチップの長辺側には入出力回路，タイミング発生回路，アドレスバッファ回路などが配置されている。

表5.1に64K(D)RAMの製品仕様を16K(D)RAMと比較して示した。

項　　目	64K(D)RAM	16K(D)RAM
ワード構成	65536ワード×1ビット	16384ワード×1ビット
使用電源電圧	5V±10%	12V，±5V，±10%
RAS アクセス時間	最大　150ns	最大　150ns
CAS アクセス時間	最大　75ns	最大　100ns
動作時消費電力	最大　250ns	最大　450mw
待機時消費電力	最大　22mw	最大　20mw
ヒドンリフレッシュ機能	あり	なし
オート／セルフリフレッシュ機能	あり	なし

表5.1　64K(D)RAMと16K(D)RAMの仕様比較

64K(D)RAMではRASとCASの遅延時間は最大75nsと16K(D)RAMの50nsに較べて長くなっている。この間に行アドレスと列アドレスを切換える必要があるが，長くなったため信号の制御が容易になっている。またCAS信号を〝L〟状態にして読み出した出力信号にしたままRASオンリーリフレッシュと同一の動作を行うヒドンリフレッシュも64K(D)RAMでは可能である。

5.4　試作64KMOS(D)RAMの評価結果

5.4.1　電気的特性

図5.12はRAS，CAS信号と出力波形信号を示したものである。通常の使用条件であるTa＝25℃，V_{CC}＝5VではRAS信号からのアクセス時間は約90nで高速動作が達成されている。

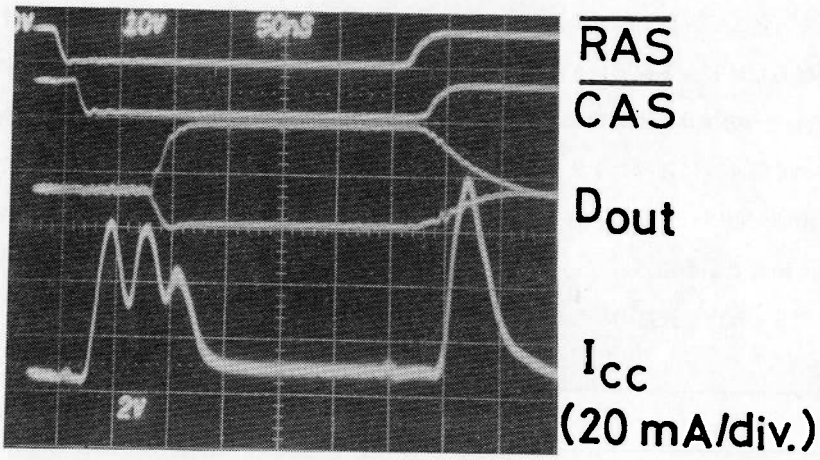


図５．１２　出力信号波形と電流波形

同図には動作電流も示しており，サイクル時間が２６０ｎｓでの消費電力は１９０ｍｗで非常に小さい。これはスイッチ型昇圧回路の応用により可能となったもので，メモリボードの設計をやり易くする。図5.13にはCASアクセス時間とV_{CC}の関係を示すSHMOOプロットを示した。

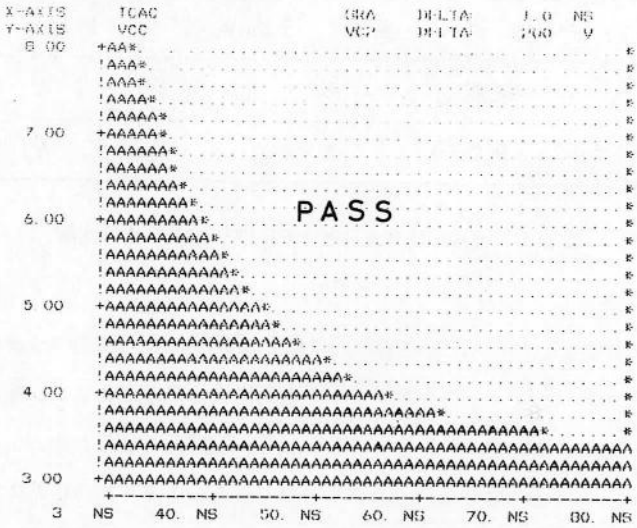


図５．１３　CASアクセス時間の電源電圧依存性

ワード構成	65536ワード×1ビット
チップサイズ	3.58mm×8.19mm
記憶セル面積	176μm^2
プロセス	3μm Nチャンネルシリコンゲート
電源電圧	5V単一
アクセス時間	90ns (25℃, 5V)
V_{CC} 平均動作電流	35mA (25℃, 5.5V)
スタンドバイ電流	2.5mA (25℃, 5.5V)
データ保持時間	400ms以上 (75℃)
V_{CC} 破壊電圧	10V以上

表5.2 試作64K(D)RAMの性能

上表に見る様に高速，低消費電力で良好な特性である。

5.4.2 リフレッシュ機能

64K(D)RAMには5.2節で述べた様にオートとセルフの二つのリフレッシュ機能を備えている。外部RAS入力を〝H〟に使ったまま，外部の$\overline{REF}$入力を16μs以上〝L〟にしつづけているとチップはセルフリフレッシュモードの動作を行う。この動作は停電対策用で外からのリフレッシュアドレスが無くても情報を保持しておける。蓄積情報のリフレッシュ間隔は同じチップ上に作りつけられたタイマによって設定される。図5.14はタイマの時間間隔を電源電圧V_{CC}の関数として実測したものである。V_{CC}＝4.5V，Ta＝75℃の最悪条件ですべてのデータは1.8msec(14μsec×128)毎にリフレッシュされる。またこのセルフリフレッシュモードでの消費電力はV_{CC}=5.5V，Ta＝25℃の条件で27mwにすぎずバッテリバックアップが可能である。

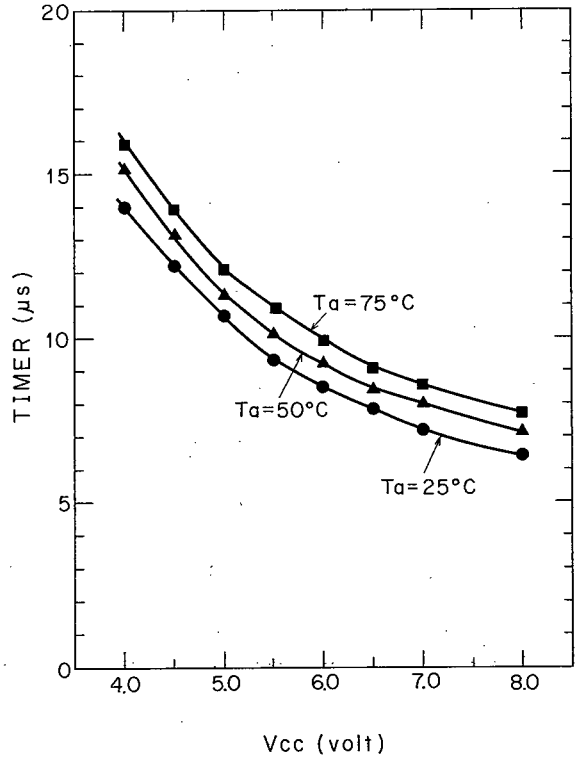


図5．14　タイマ時間の電源電圧依存性

5.4.3　信　頼　性

試作した64K(D)RAMでは3μmデバイスの使用，ソフトエラー改善のためのHi－C構造，チップ表面有機樹脂膜被覆など新しい技術を導入した。これらの技術の導入に際し，予想される信頼性上の問題として次の項目があげられる。

(1)　3μmショートチャンネルデバイスのホットエレクトロン効果などによる特性劣化

(2)　Hi－C構造でのリーク電流増加によるデータ保持特性の劣化

(3)　有機樹脂膜からの汚染による特性劣化と耐湿性への影響

表5.3に示したのは試作した64K(D)RAMの信頼性試験結果であるが，特に上記の問題点に対する精度を上げるため試料数を増やし，動作寿命試験では高温（125℃）及び低温（－10℃）の試験を実施した。その結果上記の問題点を含め信頼性上問題となる項目はないことが確認できた。信頼性試験はその後も継続中であるが，100FIT（10^{-7}／Device・hour 以下の品質レベルにあるというデータが得られている。

試験項目		試験条件	試験内容	試験数	不良数
高温動作寿命試験		T_a ＝125℃ V_{CC} ＝6V 1000時間	直流及び交流 電気的特性	50 50 50	0 0 0
低温動作寿命試験		T_a ＝−10℃ V_{CC} ＝7V 1000時間	直流及び交流 電気特性	50 50	0 0
熱ストレス試験	ハンダ耐熱	260℃，10秒	直流及び交流 電気特性	500	0
	熱衝撃	−55℃／125℃ 15サイクル			0
	温度サイクル	−65℃／150℃ 100サイクル			0
機械ストレス試験	機械衝撃	1500G，0.5msec X_1，Y_1，Z_1	直流及び交流 電気特性	50	0
	振動	20G，20−2000Hz X，Y，Z		50	0
	加速	30000G Y_1，1分		50	0
高温放置		T_a ＝150℃ 1000時間	直流及び交流 電気特性	50 50	0 0
プレッシャクッカー試験		120℃，2気圧 200時間	直流及び交流 電気特性	50 50 50	0 0 0
通電耐湿性試験		85℃／85% V_{CC} ＝5.5V 1000時間	直流及び交流 電気特性	50 50	0 0

表5.3　試作64K(D)RAMの信頼性試験結果

ソフトエラーの評価に関しては第3章では主に人工放射線源による加速実験によってきたが，こゝでは試作した64K(D)RAMに関して通常のパッケージに封止してメモリボードに実装して評価した。表5.4はその結果をまとめたもので，ソフトエラーは10^{-6}／デバイス・時間という目標を達成できている。

テスト項目	テスト条件	不良判定方法	試験数	不良発生数
ソフトエラー専用テスタによる動作寿命試験	T_a＝25℃ V_{CC}＝4.5V t_C＝1μs 3000時間	連続読み出し動作を行いながら全出力レベルを判定	100 100 100 100 100	1 *
	T_a＝25℃ V_{CC}＝4.5V t_C＝1μs 1000時間		500	0
中型汎用計算機によるシステム寿命試験	T_a＝20℃ V_{CC}＝5.0V 1134時間	実使用条件	1152	0

＊　1ビットエラー（ソフトエラー）

表5.4　試作64K(D)RAMの実装評価結果

5.5 結　　言

第2章から第4章で検討した結果に基づき，高集積MOS RAMへの具体的応用として64Kビットダイナミック RAMの試作評価を行った。高速動作・低消費電力化のため，比例縮小した微細化3μmシリコンゲートデバイス，および回路的には新たに提案したスイッチ容量型昇圧回路を使用した。また64K(D)RAMの使用を容易にするリフレッシュ機能内蔵の実用化を行った。ソフトエラー改善のために上述の昇圧回路に加えて，Hi－Cセル構造，ポリシリコンビット線，有機物樹脂膜によるチップ表面被覆など新しい技術をとり入れた。

その結果，アクセス時間は90nsであり，ダイナミックRAMの性能指数を表わす1ビット当た

りの消費電力・遅延時間積（Ｐ・Ｄ積）は0.264ＰＪで１６Ｋビットダイナミック ＲＡＭの約1／10という性能向上を達成することができた。信頼性試験の結果は市場の要求を十分満足するものであり，またソフトエラーについては10^{-7}／デバイス・時以下と実使用上問題のない水準にあることが明らかとなった。

以上の６４Ｋビットダイナミック ＲＡＭの試作結果を通じて，高集積MOS RAM に関する本研究の工学的応用上の有効性が確認された。

(1) Chan, J.Y., "A 100ns 5V-only 64K x 1 MOS Dynamic RAM", IEEE J. Solid-State Circuits, vol. SC-15, PP. 839-846, 1980.

(2) Masuda, H., "A 5V-only 64K Dynamic RAM Based on High S/N Design", "IEEE J. Solid-State Circuits, vol. SC-15, PP. 846-854, 1980.

(3) Yamanaga, F., "A 1μm Mo-poly 64K-bit MOS RAM", IEEE Trans. on Electron Devices, vol. ED-27, PP. 1602-1606, 1980.

(4) Eaton, S.S. "A 100ns 64K Dynamic RAM Using Redundancy Technique", ISSCC Tech. Dig., PP. 84, 1981.

(5) Sihling, K.U. and Coering, E., "Storage Array and Sense/ Refresh Circuit for Single-Transistor Memory Cells", IEEE J. Solid-State Circuits, vol. SC-7, PP. 336-340, 1972.

(6) Lynch, W.T. and Boll, H.J., "Optimization of the Latching Pulse for Dynamic Flip-flop Sensors", IEEE J. Solid-State Circuits, vol. SC-9, PP. 49-55, 1974.

(7) Heller, L.G., Spampinato, D.P. and Yao, L.Y. "High Sensitivity Charge Transfer Sense Amplifier", IEEE J. Solid State Circuits, vol. SC-11, PP. 596-601, 1976.

(8) Bornes, J.J. and Chan, J.Y., "A High Performance Sense Amplifier for a 5V Dynamic RAM", IEEE J. Solid-State Circuits, vol. SC-15, PP. 831-839, 1980.

(9) Taniguchi, M., Yoshihara, T., Yamada, M., Shimotori, K., Nakano, T. and Gamou, Y., "Fully Boosted 64K Dynamic RAM with Automatic and Self-Refresh", IEEE J. Solid-State Circuits, vol. SC-16, PP. 492-498, 1981.

(10) Eaton, S.S., "A 5V-only 2K x 8 Dynamic RAM", ISSCC Tech. Dig.; PP. 144-145, 1979.

(11) Rideout, V.L., "Double Polysilicon Dynamic Memory Cell with Polysilicon Bit Line", IBM Tech. Disc. Bull., vol. 21, PP. 3828-3831, 1979.

(12) Yamada, M., Taniguchi, M., Yoshihara, T., Takano, S., Matsumoto, H., Nishimura, T., Nakano, T. and Gamou, Y., "Soft Error Improvement of Dynamic RAM with Hi-C Structure", Tech. Dig. of IEDM, PP. 578-581, 1979.

第6章　結　　論

半導体集積回路の中でも，集積度が最も高く，半導体技術革新の牽引力の役割を果すものとして注目されているＭＯＳダイナミックＲＡＭについて，高集積化を進めるに際してのプロセス，デバイス，回路設計，応用面での基礎的課題に関して行った実験と理論的考察を第２章から第６章にわたって述べた。本研究によって得られた結論を総括して以下に示す。

(1) 高集積化には，素子の微細化が必要となるが，その構成材料である多結晶シリコンの電気伝導機構の解明を行った。結晶粒界でのトラップ準位による空間電荷層が作るポテンシャル障壁の高さが多結晶シリコンの電気伝導を支配しているが，抵抗値のアレニウスプロットから得られる活性エネルギーがポテンシャル障壁の高さに相当し，不純物濃度が $8\times10^{17}/cm^3$ から $2\times10^{19}/cm^3$ の範囲ではポテンシャル障壁の高さが不純物濃度に逆比例することを実験的に検証した。

(2) ポテンシャル障壁の高さは不純物濃度で変わるので，トラップ準位が多結晶シリコン電気伝導における本質的なパラメータと言うことができる。このトラップ準位密度を実験から得られたポテンシャル障壁の高さとイオン注入で制御した不純物濃度から求めることができた。標準試料についてのトラップ準位密度はｐ型不純物に対して $3.3\times10^{12}/cm^2$，ｎ型不純物に対して $5.0\times10^{12}/cm^2$ であった。

(3) トラップ準位密度は多結晶シリコン成長温度などによって大きく影響を受けることを明らかにした。成長温度の７００℃から１０５０℃への変化に対しｐ型不純物の場合，トラップ準位密度は $3.3\times10^{12}/cm^2$ から $1.9\times10^{12}/cm^2$ へと大きく減少した。また熱処理温度を７００℃から１１８０℃へと変えると $4.6\times10^{12}/cm^2$ から $2.4\times10^{12}/cm^2$ へと減少した。これらは成長温度の上昇，熱処理によって結晶粒界の不整合性が緩和されることによる。又 CO_2 ガスを用いた実験から多結晶シリコン成長ガス中に微量に存在する酸素がトラップ準位密度の増大に大きな影響をもつことを明らかにした。

(4) ホール移動度の測定から不純物濃度が $10^{19}\sim10^{20}/cm^3$ を境として，高，低濃度側で移動度がいずれも減少することを実験的に示し，高濃度側では単結晶領域が，低濃度側では結晶粒界が電気伝導を支配していることが明らかとなった。（以上第２章）

(5) ソフトエラーに対する臨界電荷量を電荷中和則から，記憶セル容量，ダミーセル容量，ワード線電位および転送ゲートトランジスタのしきい値の関数として導出した。

(6) シリコン基板内での収集電荷の分布が電荷量がゼロの時に最大値を持つ正規分布であると仮定し，ソフトエラーが臨界電荷量に対し相補誤差関数で表わされることを解析的に求め，また，その妥当性をソフトエラーの電源電圧依存性の実験によって検証した。

(7) 収集電荷分布の分散をソフトエラーの電源電圧依存性から求め，分散が入射エネルギーとともに増加することを樹脂膜を用いた実験から明らかにした。ポリイミド膜のα粒子に対する阻止能は空気の1.47×10^3倍で計算値と良く一致した。

(8) 臨界電荷量の増大，電荷収集の低減という見地からソフトエラー改善について検討を加えた。64K(D)RAMについて，Hi－Cセル構造の採用，センスアンプ動作前のワード線昇圧およびビット線ポリシリコン化を適用した結果，従来のものに較べ臨界電荷量は約1.8倍，電荷収集面積は1/2にすることができた。これによりソフトエラー率を約1/700に低減することができた。

以上のソフトエラーに関する研究の結果，ソフトエラーと臨界電荷量，収集電荷分布，入射エネルギーの関係を解析的に表わすことが出来，定量的把握が可能となった。また改善手法を具体的に提案し，その効果の大なることを確認できその有用性を実証した。（以上第3章）

(9) 高集積MOS(D)RAMのセンス回路の設計において，読み出し電圧，センス回路の感度から安定動作の係数を定式化した。

さらに比例縮小則を適用し微細化した場合の安定動作の条件を検討した結果，デバイスパラメータの加工精度のばらつきが，大きな制限要因となっていることが明らかになった。また，64K MOS(D)RAMでは安定動作の上から128リフレッシュ方式が256リフレッシュ方式より有利であることを定量的に明らかにした。

(10) 比例縮小則に従うと臨界電荷量は$1/k^2$となりソフトエラーが非常に弱くなるので，ソフトエラーを損わない様に周辺回路と記憶セル部の縮小を分離する修正比例縮小則を提案した。

(11) 修正比例縮小則適用による性能指数の低下を補充するため，ゲート電極とソース・ドレイン電極間の重なり容量の小さい三重拡散型MOSトランジスタ（TDT）を提案した。このTDT MOSトランジスタはゲートポリシリコン長2.3 μm までしきい値およびソース・ドレイン耐圧の劣化が見られず理想に近い特性を示すことを試作の結果明らかにした。

(12) 修正比例縮小則における回路上のソフトエラー改善手法として，記憶セル部でのエラーを低減するために記憶セル電極電位の昇圧，リチャージ回路の適用およびビット線部でのエラー低減のためセンスアンプ動作タイミングの調整等を検討し改善を図った。（以上第4章）

(13) 64K(D)RAMへの工学的応用に当たっては，記憶セルへの書き込み，記憶セルからの読み出し電圧を電源電圧にするという設計思想に基づいて，センスアンプを駆動する主要な信号を昇圧した。試作の結果，動作電源範囲が3.5Vから9Vという動作余裕の大きい64K(D)RAMを得ることができた。

(14) ダイナミックMOS RAMの使用を容易にするためオートリフレッシュ機能，およびセルフリフレッシュ機能を内蔵させ高性能化を図った。また非同期方式による動作時電源電流の増大を防ぐためリセットパルス発生回路を提案した。

(15) 試作した64K(D)RAMは標準使用条件でアクセス時間90ns，性能指数を表わす 1ビット当たりの消費時間・遅延時間積は0.264PJで16K(D)RAMの約1/10という大幅な性能向上を達成するとともに，ハードエラー，ソフトエラーともに10^{-7}/D・H以下という高い信頼性水準にあり，本研究の工学的応用上の有効性が確認できた。（以上第5章）

謝　　辞

本論文を結ぶにあたり，終始御懇切な御指導と御鞭達を賜わりました大阪大学犬石嘉雄教授に衷心よりお礼申し上げます。

本研究の遂行および論文作成にあたり，数々の有益な御教示と御忠告をいただいた大阪大学小山次郎教授に深く感謝致します。

また本論文につき御懇篤なる御検討を載いた大阪大学木下仁志教授，山中千代衛教授，藤井克彦教授，鈴木胖教授，横山昌弘教授，中井順吉教授，黒田英三教授に厚く御礼申し上げます。

また本論文の作成にあたり適切な御助言を賜った大阪大学工学部白藤純嗣助教授に深く感謝します。

本研究の遂行にあたって，御教示と御鞭達を賜り，また研究の機会を与えていただいた三菱電機株式会社取締役ＬＳＩ研究所長岡久雄博士，同設計技術部長蒲生容仁博士，同プロセス技術部長中田秀文博士に心から御礼申し上げます。

本研究の遂行，および論文の作成にあたり数々の御教示，御忠告をいただいた三菱電機ＬＳＩ研究所設計技術部次長中野隆生博士に厚く御礼申し上げます。

また本研究の遂行，および論文の作成にあたり数々の有益な御討論をしていただいた三菱電機ＬＳＩ研究所下酉和博氏，山田通裕氏，高野聡氏，同北伊丹製作所谷口真博士，長山安治氏および御協力いただいた方々に心から感謝致します。

研 究 業 績 目 録

発 表 論 文

(1) Yoshihara, T., Yasuoka, A. and Abe, H., "Conduction Properties of Chemically Deposited Polycrystalline Silicon", J. Electrochemical Society, pp.1603-1607, 1980.

(2) Yoshihara, T., Takano, S., Kimata, M. and Nakano, T., "Degradation of Refresh Time in Dynamic MOS RAM by Irradiation of Alpha Particles", IEEE Trans. on Electron Devices, vol ED-28, pp.1198-1199, 1981.

(3) 吉原，高野，中野，〝ＭＯＳダイナミックＲＡＭのソフトエラー〞，信学論(C), vol. J64-C, No.8, pp.469-474, 1981.

(4) 吉原，高野，原田，谷口，中野，〝ＭＯＳダイナミックＲＡＭのソフトエラー解析〞，信学論(C), vol. J65-C, No.4, pp.251-256, 1982.

(5) 吉原，益子，高野，長山，中野，〝ＭＯＳダイナミックＲＡＭのソフトエラーにおける回路設計の影響〞，信学論(C)，掲載予定.

(6) Taniguchi, M., Yamada, M., Yoshihara, T., Shimotori, K., Nakano, T. and Gamou, Y., "Fully Boosted 64K Dynamic RAM with Auto and Self Refresh", IEEE J. Solid-State Circuits, vol. SC-16, pp.492-498, 1981.

(7) Yokoyama, S., Kajiyama, N., Hirose, M., Osaka, Y., Yoshihara, T. and Abe, H., "Characterization of Plasma Deposited Silicon Nitride Films", J. Applied Physics, vol.51, No.10,pp.5470-5474, 1980.

(8) 長山，吉原，中野，蒲生，〝スケーリング則を適用したダイナミックＲＡＭの設計〞，信学論(C)，vol. J64-C, No.2, pp.61-68, 1981.

(9) 益子，下酉，吉原，〝ダイナミックＲＡＭの動作開始時の不良解析〞，信学論(C)，vol. J64-C, No.10, pp.805-806, 1981.

(10) 長山，熊野谷，山田，吉原，谷口，〝ソフトエラーを考慮したダイナミックＲＡＭの回路設計〞，信学論(C), vol. J65-C, No.7, pp.522-529, 1982.

(11) Yoshimoto, M., Anami, K., Shinohara, H., Hirata, Y., Yoshihara, T. and Nakano, T., "Soft Error Analysis of Fully Static MOS RAM", J.J. Applied Physics, vol. 22, pp.69-73, 1983.

(12) 長山，益子，吉原，中野，“ダイナミックRAMのアクセス時間解析”，信学論(C), vol. J66-C, No.5, pp.369-376, 1983.

(13) Mashiko, K., Yamada, M., Nagayama, Y., Yoshihara, T. and Nakano, T., "An Effect of the Subthreshold Current on Scaled-down MOS Dynamic RAM's", IEEE J. Solid-State Circuits, to be published.

(14) Yoshimoto, M., Anami, K., Shinohara, H., Yoshihara, T. and Nakano, T., "A 64kb Full CMOS RAM with Divided Word Line Structure", IEEE J. Solid-State Circuits, to be published.

研究会資料，シンポジウム

(1) “イオン注入法による多結晶シリコン高抵抗層の形成”，第5回理研シンポジウム，pp.69-72, 1974.

(2) “スケーリング法を適用した大容量ダイナミックＭＯＳ　ＲＡＭの回路設計”，電子計算機研究会，ＥＣ７９－４６，１９７９.

(3) "Plasma SiN の Characterization", 電子通信学会，半導体トランジスタ研究会，１９８０.

(4) "Characterization of Plasma Deposited Si_3N_4 Films", The Symposium on Plasma Etching and Deposition, ECS, 1981.

学　会　報　告

(1) "Soft Error Improvement of Dynamic RAM with Hi-C Structure", IEEE Int. Electron Device Meeting, Dec. 1980.

(2) "A 55 ns Dynamic MOS RAM with Triple Diffused MOS Transistor", IEEE Int. Electron Device Meeting, Dec. 1982.

(3) "Soft Error Analysis of Fully Static MOS RAM", Int. Solid-State Device Conf., Aug. 1982.

(4) "High Density Dynamic RAM; Present Status and Future", VLSI Symp. on Technology, System and Application, March, 1983.

(5) "A 64kb Full CMOS RAM with Divided Word Line Structure", Int. Solid-State Circuits Conf., Feb. 1983.