



Title	MOSダイナミックRAMの高集積化に関する基礎的研究
Author(s)	吉原, 務
Citation	大阪大学, 1983, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/1969
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名・(本籍)	よし 吉	はら 原	つとむ 務
学位の種類	工	学	博 士
学位記番号	第	6220	号
学位授与の日付	昭和	58年	11月 26日
学位授与の要件	学位規則第5条第2項該当		
学位論文題目	MOSダイナミックRAMの高集積化に関する基礎的研究		
論文審査委員	(主査) 教授 犬石 嘉雄 教授 木下 仁志 教授 鈴木 育 教授 黒田 英三 教授 裏 克己	教授 藤井 克彦 教授 横山 昌弘 教授 小山 次郎	教授 山中千代衛 教授 中井 貞雄 教授 中井 順吉

論文内容の要旨

第1章ではMOSダイナミックRAMの高集積化に関する研究の沿革と現状について概説し、本研究の意義と目的を明らかにしている。

第2章ではMOSダイナミックRAMの基本素子の構成材料である多結晶シリコンの電気伝導機構の解明を行っている。イオン注入により不純物濃度を精密に制御し、結晶粒界のポテンシャル障壁の高さが不純物濃度に逆比例することを実験的に検討している。さらにポテンシャル障壁の高さからトラップ準位密度を求め、多結晶シリコン成長条件、成長後の熱処理条件との関係を明らかにしている。

第3章では蓄積電荷量の減少に伴うデバイス上の問題である α 粒子によるソフトエラーについて、メカニズムの解明と改善手段の検討を行っている。ソフトエラーに対する臨界電荷量とデバイスパラメータとの関係を定式化している。ソフトエラー率が臨界電荷量に対し相補誤差関数で表わされることを導出し、加速実験によりその妥当性を確認している。また収集電荷の分布が入射エネルギー依存性を持つことを明らかにしている。さらにソフトエラー改善のため、Hi-Cセル、ワード線昇圧などの提案を行い、臨界電荷量を1.8倍増加させることができ、その結果、エラー率を700倍改善することができている。

第4章ではMOSダイナミックRAMを微細化した時の安定動作条件について検討している。読み出し電圧とセンスアンプ感度から与えられる安定動作係数が微細化によってどのように記述されるかを比例縮小則に基づき定量化し、加工精度の向上が安定動作のための必須条件であることを明らかにしている。

第5章では前章までの検討結果に基づき、MOSダイナミックRAMの高集積化の具体的応用例とし

て 64 K (D) RAM を取り上げ応用上の問題について検討している。試作した 64 K (D) RAM はアクセス時間 90 ns, 消費電力・遅延時間積は 0.26 PJ／ビットで 16 K (D) RAM の 10 倍の性能向上を達成することができている。また、ハード、ソフトエラー率ともに 10^{-6} D·H という信頼性水準があり、本研究の工学的応用上の有効性を確認することができている。

第 6 章では本研究で得られた成果を総括している。

論文の審査結果の要旨

最近のエレクトロニクスの急激な進歩の大部分はシリコン大規模集積回路の発展によってもたらされたものである。中でも MOS ダイナミック RAM の開発では我国の技術は世界的に最先端に位置している。

本論文は 64 K MOS ダイナミック RAM 開発の過程で生じた諸問題、特に多結晶シリコンの電気的性質、ソフトエラー、高集積素子の最適設計などを基本的に究明し、その成果の上に立って高性能素子の開発に成功した結果を述べたもので多くの新知見を含んでいるが、その主なものを要約すると、

- (i) 高密度 MOS ダイナミック RAM のゲート電極材料などとして必要な多結晶シリコン中の電気伝導のモデルを提案し、その活性化エネルギーが結晶粒界の空間電荷電位障壁に相当することをそのイオン注入による不純物密度依存性とモデルによる解析結果の比較から実証し、結晶粒界のトラップ準位密度を決定するとともにそれが成長温度、熱処理温度とともに減少すること、また含有微量元素量とともに増大することを見出している。
- (ii) MOS ダイナミック RAM の集積度の上限は、パッケージ材料などに含まれる微量の放射性不純物から生じる α 線による誘起電荷のための雑音、いわゆるソフトエラーで制限される。特に集積度の大きい 64 K ダイナミック RAM では記憶セル容量の減少によってソフトエラーが重大な問題となることを明らかにし、その発生機構と軽減方法について実験と理論的考察を行っている。その結果、ソフトエラー軽減法として樹脂膜（ポリイミド）による α 線の吸収、記憶セル接合容量の増加（Hi-C セル）とワード線電圧の上昇による限界電荷量の増加、多結晶シリコンゲート電極の採用などを提案しその各々について詳細な実験と考察を行っている。この成果を応用することによって 64 K ダイナミック RAM のソフトエラーを従来のものの $1/700$ 程度に改善することに成功している。
- (iii) 高集積 MOS ダイナミック RAM の集積度の増加に対する比例縮小則について詳細な検討を行い、デバイスパラメーターの微細加工精度から来るばらつきが高集積化の時の大きな障害となることを明らかにし、ソフトエラーが比例縮小則の制限要因になるという考え方に基いた修正比例縮小則を提案している。

以上のように本論文は半導体集積回路の分野で重要な多くの新知見を含み、開発の指針を与えるものであり電気、電子材料工学に寄与する所が大きい。よって本論文は博士論文として価値あるものと認める。