



Title	神経回路網論的手法によるVLSIレイアウト設計に関する研究
Author(s)	島本, 隆
Citation	大阪大学, 1992, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3087999
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

神経回路網論的手法による
VLSIレイアウト設計に関する研究

1991年

島 本 隆

神経回路網論的手法による
VLSIレイアウト設計に関する研究

1991年

島 本 隆

内 容 梗 概

本論文は、筆者が昭和59年に徳島大学工業短期大学部電子工学科に助手として採用されて以来行ってきた、VLSIレイアウト設計に関する研究成果をまとめたものである。

近年のVLSIの高集積化と多品種少量生産の急速な進展に伴い、VLSIに対する自動レイアウト設計技術の性能の高度化が要求され、従来のヒューリスティック手法より高性能な新しい設計手法の出現に対する期待がますます高まっている。そこで、本研究では、近年関心を集めている神経回路網論的手法を自動レイアウト設計の基本問題である配置および配線問題への適用を考察し、その実験結果に基づいて提案した手法の性能評価を行う。

組み合わせ最適化問題に対する神経回路網論的手法は、1985年に J.J.Hopfield と D.W.Tank が相互結合型モデルを用いて、NP困難な問題として知られている巡回セールスマン問題に対して良い解を得たことに端を発し、以後多くの研究者の注目を集めている。この解法の原理は、神経回路網の力学的安定点（平衡点）があるエネルギー関数の極小値になっていることに基づいている。従って、最適解を求めたい組み合わせ問題が与えられたとき、その制約条件と目的関数をエネルギー関数の最小化の形に表現し、そのエネルギー関数を持つ神経回路網を構成すれば、神経回路網のハードウェア化あるいは計算機シミュレーション（回路網解析）により、組み合わせ問題の解を高速に得ることが期待できる。

本論文は、全5章で構成される。第1章に序論を述べ、第2章では配線問題の一つとして取り上げたチャンネル配線問題の配線可能性について述べ、第3章では神経回路網論的手法の概説とチャンネル配線問題に対する神経回路網を用いた解法を、第4章ではモジュール配置問題に対する神経回路網を用いた解法を述べ、第5章に以上の章の結論を述べる。以下に各章の概要を述べる。

第1章の序論では、VLSIレイアウト設計に関するこれまでの研究および神経回路網に関するこれまでの研究について述べ、本研究の目的を明らかにするとともに、研究内容について概説する。

第2章では、VLSIの自動配線手法としてよく用いられるチャンネル配線法の配線可能性について考察する。チャンネル配線法とは、二つの機能ブロック間に指定された2端子列2層の矩形チャンネル状の配線領域において、第1層上の幹線（水平方向の配線経路）と第2層上の支線（垂直方向の配線経路）を用いてすべての結線要求を満足するような配線経路を求める手法の総称である。この手法では、支線の重複を避けるための上下制約にサイクル（閉じた制約）がある場合、いくつかの幹線を分割しなければ100%配線できないことがよく知られている。本章では、与えられた結線要求がどのような必要十分条件を満足すれば幹線分割による100%配線が可能であるかという問題について考察を行うと共に、どの幹線をどのように分割すれば配線結果に悪影響を及ぼさないかについても言及する。さらに、有効な幹線分割が存在するための必要十分条件、そのような幹線分割が存在しない場合の対処法、および幹線分割の際に生じる自由度を利用して、上下制約グラフの最長路の長さ（チャンネル配線領域の面積を左右する要因の一つ）が増大しないための十分条件を明らかにする。

第3章では、前章の考察を基にしたサイクルを含まない結線要求に対するチャンネル配線法の一つとして、相互結合型の神経回路網モデルを用いた配線手法について考察する。神経回路網を用いる方法は、上述のように、エネルギー関数の極小値が神経回路網の力学的安定点になるという原理に基づいている。本章では、まず相互結合型の神経回路網モデルの動作原理とエネルギー関数の基本形について概説する。次に、チャンネル配線問題の制約条件（幹線同士の重複を避けるための水平制約、支線同士の重複を避けるための上下制約、および全配線を行うという制約）をどのようにしてエネルギー関数の形に表現するか、またチャンネル配線問題の目的関数（配線に使用するチャンネル領域をなるべく小さくする）をどのようにしてエネルギー関数の形に表現するかについて述べる。さらに、計算機シミュレーションを通して、配線率が高く、しかも使用する配線領域がより小さい配線パターンを得るための神経回路網の初期値および各種パラメータの設定方法について考察する。最後に、従来のヒューリスティック手法との間の解の品質や計算時間の比較を行い、本章で提案する手法が有効であることを示す。

第4章では、自動レイアウト設計のもう一つの主要な問題であるモジュール配置

問題の解法の一つとして、神経回路網論的手法を階層的に適用する方法について考察する。モジュール配置問題とは、与えられた配置スロット（配置に用いる矩形領域）に全てのモジュール（同一寸法の矩形の単位回路）を配置する問題であり、仮想配線長（各モジュール対間の結線数×そのモジュール対が配置されたスロット間の距離）の総和をなるべく小さくするという目的関数の下に配置決定を行う。本章では、すべてのモジュールを 2×2 の 4 領域に目的関数の値が最小になるように配分するというモジュール 4 分割手法を相互結合型の神経回路網モデルを用いて実現し、この 4 分割手法を階層的に適用することにより全てのモジュールの詳細配置を決定するという方法を考察する。制約条件と目的関数をどのようにしてエネルギー関数の形に表現するかについて述べた後、前章と同様に、計算機シミュレーションを通して、仮想配線長がより短くなるための神経回路網の初期値および各種パラメータの設定方法について考察する。最後に、従来のヒューリスティック手法との間の解の品質や計算時間の比較を行い、本章で提案する手法が有効であることを示す。

最後に、第 5 章では、本研究で得られた成果を要約し、今後に残された課題について述べる。

本研究に関する関連発表論文

I. 学会論文誌発表論文

- (1) 島本隆, 坂本明雄, 牛田明夫: "チャネル配線問題における配線可能性について", 電子通信学会論文誌, vol. J68-A, no.12, pp.1299-1307 (1985).
- (2) 島本隆, 坂本明雄: "チャネル配線問題におけるサイクル解消と最長路について", 電子情報通信学会論文誌, vol. J71-A, no.7, pp.1411-1417 (1988).
- (3) 島本隆, 坂本明雄: "ニューラルネットワークによるチャネル配線", 電子情報通信学会論文誌, vol. J71-A, no.7, pp.1470-1472 (1988).
- (4) 島本隆, 坂本明雄: "ニューラルネットワークを用いたチャネル配線問題の一解法", 電子情報通信学会論文誌, vol. J72-A, no.8, pp.1287-1295 (1989).
- (5) T.Shimamoto and A.Sakamoto: "Neural computation for channel routing using Hopfield neural network model", 電子情報通信学会論文誌, vol. E72, no.12, pp.1360-1366 (1989).
- (6) 島本隆, 坂本明雄, 佐藤招良: "ニューラルネットワークを用いた階層的モジュール配置手法", 電子情報通信学会論文誌, vol. J73-A, no.8, pp.1406-1414 (1990).

II. 研究会等発表論文 (査読付き)

- (1) A.Sakamoto, T.Shimamoto, and A.Ushida: "On routability for channel routing problem", IEEE 1985 International Symposium on Circuits and Systems (ISCAS '85), pp.1031-1034 (1985).
- (2) 島本隆, 坂本明雄: "ニューラルネットワークを用いたチャネル配線問題の一解法", 電子情報通信学会 第2回 回路とシステム軽井沢ワークショップ, pp.274-281 (1989).
- (3) 島本隆, 坂本明雄: "ニューラルネットワークを用いた階層的モジュール配置手法", 電子情報通信学会 第3回 回路とシステム軽井沢ワークショップ, pp.377-384 (1990).

Ⅲ. 研究会等発表論文（査読なし）

- (1) 島本隆, 坂本明雄, 牛田明夫: "チャンネルルーティング問題におけるサイクル解消について", 電子通信学会技術研究報告, CAS83-97, pp.25-30 (1983).
- (2) 島本隆, 坂本明雄, 牛田明夫: "チャンネルルーティング問題におけるサイクル解消アルゴリズム", 昭和58年度電気関係学会四国支部連合大会, 1-5 (1983).
- (3) 島本隆, 坂本明雄, 牛田明夫: "サイクル解消アルゴリズムの選択用関数と実験結果", 昭和58年度電気関係学会四国支部連合大会, 1-6 (1983).
- (4) 島本隆, 坂本明雄, 牛田明夫: "チャンネル配線問題のグラフ表現と幹線分割", 昭和59年度電気関係学会四国支部連合大会, 1-2 (1984).
- (5) 島本隆, 坂本明雄, 牛田明夫: "チャンネル配線問題におけるサイクルの解消", 昭和59年度電気関係学会四国支部連合大会, 1-3 (1984).
- (6) 島本隆, 坂本明雄, 牛田明夫: "サイクルを含むチャンネル配線問題の配線可能性について", 電子通信学会技術研究報告, CAS84-128, pp.1-8 (1984).
- (7) 島本隆, 坂本明雄, 牛田明夫: "チャンネル配線問題のサイクル解消法について I", 昭和62年度電気関係学会四国支部連合大会, 1-7 (1987).
- (8) 島本隆, 坂本明雄, 牛田明夫: "チャンネル配線問題のサイクル解消法について II", 昭和62年度電気関係学会四国支部連合大会, 1-8 (1987).
- (9) 坂本明雄, 島本隆, 長篠博文, 木内陽介, 川上博: "集合計画問題のニューロコンピューティング", 日本自動制御協会 第32回システムと制御研究発表講演会, 2021, pp.173-174 (1988).
- (10) 島本隆, 坂本明雄: "配置配線問題のニューロコンピューティング", 日本自動制御協会 第32回システムと制御研究発表講演会, 2022, pp.175-176 (1988).
- (11) 佐藤招良, 坂本明雄, 島本隆: "配置問題のニューロコンピューティング", 電子情報通信学会技術研究報告, VLD88-28, pp.29-36 (1988).
- (12) 島本隆, 熊本浩, 坂本明雄: "チャンネル配線問題のニューロコンピューティング", 電子情報通信学会技術研究報告, VLD88-29, pp.37-44 (1988).
- (13) 熊本浩, 島本隆, 坂本明雄: "ニューラルネットワークを用いたチャンネル配線手法", 計測自動制御学会関西支部シンポジウム, pp.41-46 (1988).
- (14) 坂本明雄, 島本隆, 佐藤招良, 熊本浩, 太田浩二: "ニューラルネットワークによる組合せ問題の解法", 昭和63年度電気関係学会四国支部連合大会, 1-1 (1988).

- (15) 佐藤招良, 坂本明雄, 島本隆: "モジュール分割問題のニューロコンピューティング", 昭和63年度電気関係学会四国支部連合大会, 1-3 (1988).
- (16) 島本隆, 熊本浩, 坂本明雄: "チャンネル配線問題のニューロコンピューティング", 昭和63年度電気関係学会四国支部連合大会, 1-4 (1988).
- (17) 太田浩二, 島本隆, 坂本明雄: "幹線分割を考慮したチャンネル配線問題のニューロコンピューティング I", 平成元年度電気関係学会四国支部連合大会, 1-12 (1989).
- (18) 太田浩二, 島本隆, 坂本明雄: "幹線分割を考慮したチャンネル配線問題のニューロコンピューティング II", 平成元年度電気関係学会四国支部連合大会, 1-13 (1989).

目 次

第1章 序論	1
1. 1 レイアウト設計に関する研究	1
1. 2 神経回路網論的手法に関する研究	2
1. 3 本研究の目的と論文構成	4
第2章 チャネル配線法の配線可能性	6
2. 1 緒言	6
2. 2 問題の定式化と幹線分割の定義	6
2. 3 幹線分割の有効性	15
2. 4 実現可能性	23
2. 5 自由枝による影響	27
2. 6 最長路に関する考察	29
2. 7 結言	35
第3章 神経回路網論的手法によるチャネル配線法	37
3. 1 緒言	37
3. 2 相互結合型の神経回路網モデル	38
3. 3 チャネル配線のためのエネルギー関数	40
3. 4 実験結果と考察	46
3. 5 結言	62
第4章 神経回路網論的手法による階層的モジュール配置法	63
4. 1 緒言	63
4. 2 モジュール4分割問題の定式化	63
4. 3 4分割問題のためのエネルギー関数	66
4. 4 実験結果と考察	70
4. 5 結言	81

第5章 結論	82
5. 1 本研究で得られた成果	82
5. 2 今後に残された課題	84
謝辞	85
参考文献	86

第1章 序 論

1. 1 レイアウト設計に関する研究^{[1], [2]}

VLSI技術の発展と普及に伴って、エレクトロニクスのあらゆる分野においてVLSI化が進んでいる。特に特定用途向けのカスタムVLSIとして需要が急激に増大しているASIC (Application Specific IC) では、生産量は多くはないが多品種でしかも信頼性の高いVLSIを短期間に低コストで設計するためのCAD (Computer Aided Design : 計算機援用設計) 技法が必要不可欠となっている。その中でも、設計期間と設計コストのかなりの部分を占めるのがレイアウト設計であり、他の設計過程に比べて誤りを起こす頻度が高く、膨大な設計工数を必要とする。

このような背景から、レイアウト設計に対するCAD技法の研究が盛んに行われてきた。レイアウト設計は、機能素子あるいは幾つかの機能素子で構成されるモジュールをVLSIチップ上にどのように配置するかという配置問題と、それらの機能素子あるいはモジュール間をどのように結線するかという配線問題の二つに大きく分けられる。配置問題と配線問題は本来一体のものであり、分離して考えるべきではない。しかし、分離しない場合には全体の問題があまりにも複雑になりすぎるので、レイアウト設計においては、配置問題と配線問題の2段階に分けて考察するのが普通である。

この配置問題および配線問題は共に組み合わせ最適化問題として定式化できるが、問題の規模の増大に伴って最適解を求めるのに要する手間が指数関数的に増大するという難しい問題のクラス (NP困難) に属していることが証明されている。従って、現実的な時間内に求められる最適に近い解で妥協するというヒューリスティック算法 (heuristic algorithm) に頼らざるをえず、いかに解の品質の向上を図るかについて現在までに数多くの研究がなされ、多数の自動レイアウト設計システムが実用化されている。しかし、論理シミュレーション、回路シミュレーション、アートワーク処理などの他の設計工程と異なり、人手介入による設計に頼らざるをえない設計工程が依然として存在するというのが現状であり、レイアウト設計に対する設計自動化技法の研究開発がさらに一層推進されることが期待される。

1. 2 神経回路網論的手法に関する研究^{[3], [4]}

組み合わせ最適化問題の解法として近年関心を集めているものの一つに、神経回路網論的手法がある。この神経回路網論的手法とは、生体の脳・神経系がもつ高度な情報処理の機能や原理に学んで、新しい工学的情報処理技法の確立を目指すものであり、ノイマン型の直列逐次情報処理に対比して、最近非常に注目を集めている高度並列情報処理手法である。

生体の脳・神経系がもつ高度情報処理の機能や原理を模倣した情報処理技法に関する研究は、図1.1 に示すように古くから行われてきた。1940～1960年代においては、脳とコンピュータを学際的に研究し、知的情報処理の基本原則を明らかにしようとする気運が大きく盛り上がった時代であり、McCulloch と Pitts により論理演算系としての万能性をもつ形式ニューロンモデルが提案されたのを始め、Wiener のサイバネティクス、Hebb の学習則など、現在に至るまで大きな影響を及ぼしている基本原則が提案された。さらに、Rosenblatt のパーセプトロンにより、学習する人工システムの具体的な設計指針が与えられ、学習機械に大きな期待がよせられた時代であった。

ところが、1969年に Minsky と Papert によりパーセプトロンの能力の限界が明らかにされてからは、これらの脳・神経系に学ぶ情報処理技法に関する研究はなりをひそめ、わずかに Nakano のアソシアトロン、Kohonen の連想記憶、Fukushima のコグニトロンなど、幾つかの新たな提案があっただけであり、あまり注目されなかった。

脳・神経系に学ぶ情報処理技法に関する研究が再び活性化し、多くの研究者が関心を寄せるようになったのは、1985年に Hopfield と Tank が相互結合型の神経回路網モデルを提案し、

- ① この神経回路網モデルが、簡単なアナログ電子回路で実現できること、
- ② この神経回路網モデルで、ある種のエネルギー関数の極小値を探索できること、
- ③ 連想記憶や組み合わせ最適化問題の難問である巡回セールスマン問題に有効であること、

を示してからである。

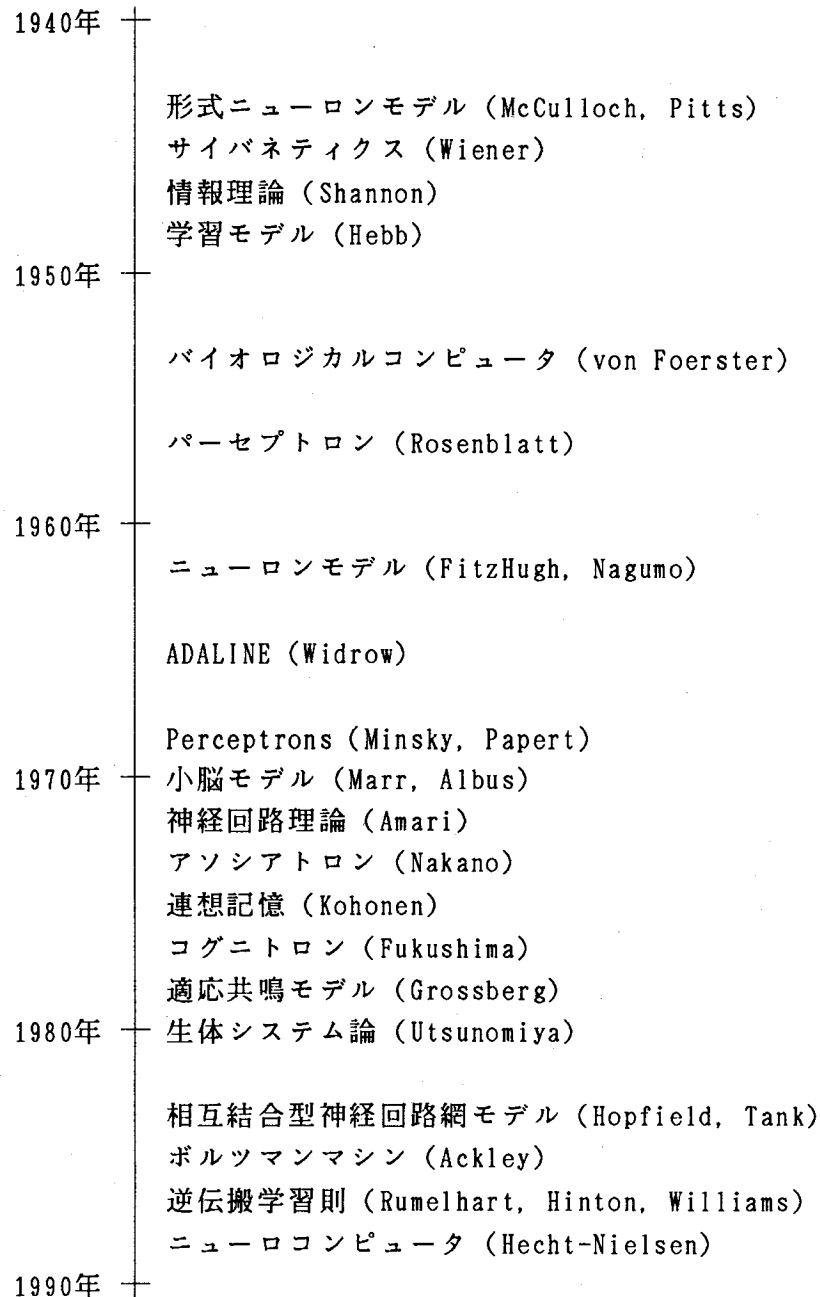


図1.1 脳・神経系の原理に基づいた情報処理技法に関する主な研究

この組み合わせ最適化問題に対する神経回路網論的手法の原理は、相互結合型の神経回路網モデルの力学的な安定点（平衡点）がある種のエネルギー関数の極小値になっていることに基づいている。従って、所望の組み合わせ問題の制約条件と目的関数をエネルギー関数の最小化の形に表現し、そのエネルギー関数を持つ神経回路網を構成すれば、神経回路網のハードウェア化あるいは回路網解析により、その

組み合わせ問題の解を高速に得ることが期待できる。

1. 3 本研究の目的と論文構成

本研究では、レイアウト設計の配置配線問題に対する新しい設計手法として、相互結合型の神経回路網モデルを用いた神経回路網論的手法を提案し、その実験結果に基づいて性能評価を行い、従来のヒューリスティック算法に代わる高性能な手法になり得るか否かの検討を行う。

まず、配線問題の一つとして、チャンネル配線問題を取り上げる。チャンネル配線問題とは、二つの機能ブロック間に指定された2端子列2層の矩形チャンネル状の配線領域において、第1層上の幹線（水平方向の配線経路）と第2層上の支線（垂直方向の配線経路）を用いてすべての結線要求を満足するような配線経路を求める問題である。この問題では、支線の重複を避けるための上下制約にサイクルがある場合、幾つかの幹線を分割しなければ100%配線できないことがよく知られている。従って、神経回路網論的手法を適用する前に、まず、与えられた結線要求がどのような必要十分条件を満足すれば幹線分割による100%配線が可能であるかという問題について、次章で考察する。さらに、どの幹線をどのように分割すれば配線結果に悪影響を及ぼさないかについても考察し、有効な幹線分割が存在するための必要十分条件、それが存在しない場合の対処法、および幹線分割の際に生じる自由度を利用して、上下制約グラフの最長路の長さ（チャンネル配線領域の面積を左右する要因の一つ）が増大しないための十分条件を明らかにする。

この考察により、チャンネル配線問題に対するサイクルを含まない結線要求が得られる。ここに、前提条件が整ったので、チャンネル配線問題の一つの解法としての相互結合型の神経回路網モデルを用いた神経回路網論的手法について第3章で考察する。まず相互結合型の神経回路網モデルの動作原理とエネルギー関数の基本形について概説し、次にチャンネル配線問題の制約条件（幹線の重複を避けるための水平制約、支線の重複を避けるための上下制約、および全ての配線を行うという制約）をどのようにしてエネルギー関数の形に表現するか、またチャンネル配線問題の目的関数（配線に使用するチャンネル領域を小さくする）をどのようにしてエネルギー関数の形に表現するかについて述べる。さらに、計算機シミュレーションを通して、配

線率が高くかつ使用配線領域がより小さくなるような配線パターンを得るための神経回路網の初期値および各種パラメータの設定方法について考察する。最後に、神経回路網モデルによる配線結果に簡単な局所的改善アルゴリズムを適用する方法を提案し、従来のヒューリスティック手法との間の解の品質や計算時間の比較を行い、本手法の有効性を実証する。

レイアウト設計のもう一つの主要な問題であるモジュール配置問題の解法の一つとして、神経回路網論的手法を階層的に適用する方法を第4章で考察する。モジュール配置問題とは、与えられた配置スロット（配置に用いる矩形領域）に全てのモジュール（同一寸法の矩形の単位回路）を配置する問題であり、仮想配線長（各モジュール対の間の結線数×そのモジュール対が配置されたスロット間の距離）の総和をなるべく小さくするという目的関数の下に配置決定を行う。本章では、すべてのモジュールを 2×2 の4領域に目的関数の値が最小になるように配分するというモジュール4分割手法を相互結合型の神経回路網モデルを用いて実現し、この4分割手法を階層的に適用することにより全てのモジュールの詳細配置を決定するという方法を考察する。制約条件と目的関数をどのようにしてエネルギー関数の形に表現するかについて述べた後、計算機シミュレーションを通して、仮想配線長がより短くなるための神経回路網の初期値および各種パラメータの設定方法について考察し、従来のヒューリスティック手法との間の解の品質や計算時間の比較を行い、本手法の有効性を示す。また、神経回路網モデルを用いた手法と従来の手法を併用することを提案し、それぞれを単独で用いた場合よりも良い結果が得られることを示す。

最後に、第5章では、本研究で得られた成果を要約し、今後に残された課題を述べる。

第2章 チャネル配線法の配線可能性

2. 1 緒言

VLSIの配線領域における自動配線の一手法として、2端子列2層配線領域のチャネル配線法が極めて多用される。この手法の特徴は、1つのネット（同電位にするべき結線要求）を1つの幹線（端子列に平行な線分）で代表させ、配線問題を幹線の配置問題に帰着させることである^{[5]-[10]}。このとき、各ネットの幹線と端子列を結線するための支線（端子列に垂直な線分）が重複しないようにするためには、幾つかのネット間に幹線の上下位置に関する制約関係が生じる。これをグラフ化して定義される関係グラフがサイクル（有向閉路）を含まなければ、支線の重複なしに幹線の配置が可能であるが、サイクルを含むときは、このままでは支線の重複なしには幹線の配置は不可能である^[5]。

本章では、このような場合に適当な幹線を2つに分割することにより、関係グラフに存在するサイクルを解消し、幹線の配置を可能にする問題を考える。まず、幹線をどのように分割するかを議論するには従来の関係グラフでは情報不足なので、新たに結線要求グラフと呼ぶ各ネットと各端子との関係グラフを定義する。この結線要求グラフにおいて幹線の分割方法を定義し、それによりサイクルが解消されるためにはどのような条件が必要十分であるかを検討する^{[11]-[13]}。さらに、定義された幹線分割に残されている自由度（結線要求グラフを変形する際の自由枝の接続方法）が、配線結果にどのような影響を与えるか、および、結線要求グラフの最長路にどのような影響を与えるかについて考察し、幾つかの有用な定理を導出し、アルゴリズムの生成に役立つ方針を示す^[14]。

2. 2 問題の定式化と幹線分割の定義

チャネル配線問題とは、ゲートアレイ方式及びスタンダードセル方式のVLSI設計における単位セル列またはスタンダードセル列間の配線問題を定式化したものである。図2.1に示すように、セルの幅は変動するが高さは一定にそろえられており、またセルの端子は上下の辺に限られている。配線は、2つのセル列間に挟まれた領

域（チャンネルと呼ぶ）を用いて行われ、このような矩形領域における配線設計をチャンネル配線といい、通常は縦横の2層配線方式を用いる。同図からも明らかなように、VLSIチップの面積はこの配線領域の大きさにより決定される。従って、すべての結線要求をできるだけ少ない面積で実現する（配線領域の幅はセル列の長さにより決定されているので、使用する水平トラック数を最小にする）ことがチャンネル配線問題の目的となる。

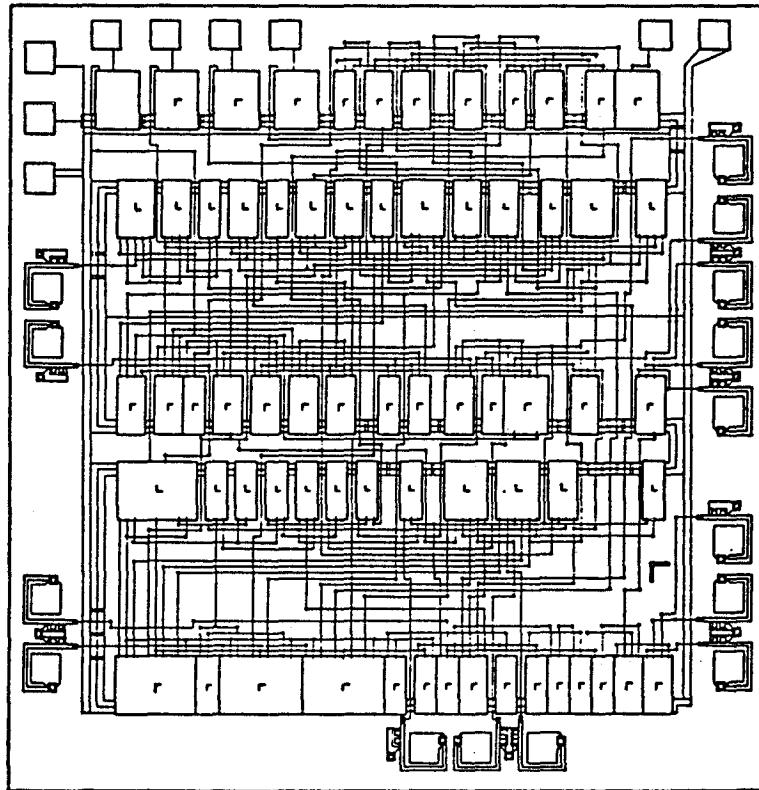


図2.1 VLSIチップのレイアウト例

チャンネル配線の具体的な一例を 図2.2 に示す。この図のようにチャンネル配線とは、向かい合った2つの端子列に与えられた結線要求を、端子列間の配線領域を用いて行うものである。

結線要求は、通常、次のネット系列で表す。

$$T = (t_1, t_2, \dots, t_q), \quad t_1 \sim t_q \in N \cup \{0\}$$

$$B = (b_1, b_2, \dots, b_q), \quad b_1 \sim b_q \in N \cup \{0\}$$

ここで、 T は上側端子のネット系列を、 B は下側端子のネット系列を表し (q は端子数)、 t_i は上端の i 番目の端子のネット、 b_j は下端の j 番目の端子のネットを表す。また N はネットの集合であり、同一ネットをもつ端子同士が同電位になるように結線しなければならないことを表す。ただし、ネット 0 が与えられた端子はどのネットとも結線しなくてよいことを表す。

配線は2つの端子列にはさまれたチャンネル領域で行う。チャンネルは2層構造であるとし、幹線(端子列に平行な線分)と支線(端子列に垂直な線分)とは相異なる層で引かれ、必要ならば両者をスルーホールで接続する。ただし、端子とスルーホールは配線領域の量子化された格子点にしか存在できず、幹線と支線は隣接する格子点を結ぶ格子上にしか存在できない。

チャンネル配線問題とは、与えられた結線要求を100%満足する配線経路を決定する問題であり、できるだけ少ない配線領域で実現することを目的としている。

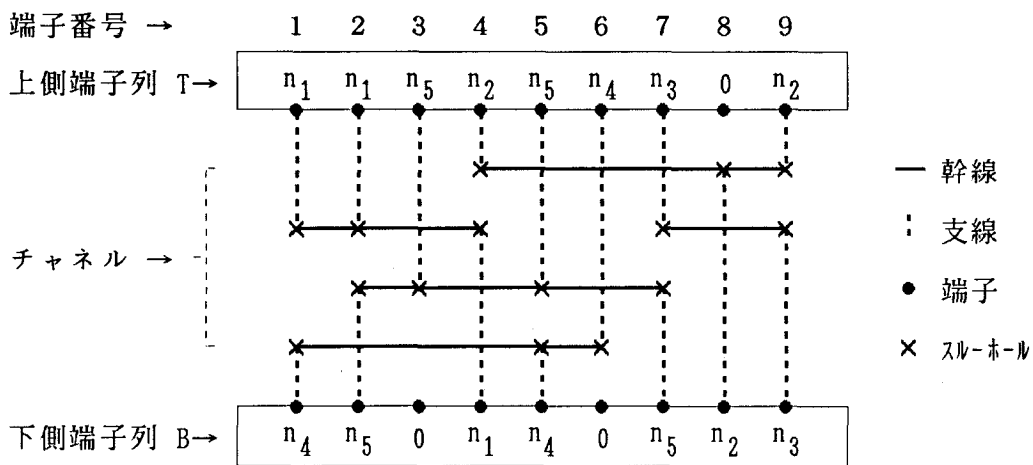


図2.2 チャンネル配線の一例

このチャンネル配線問題を簡単化して、1つのネットに1つの幹線だけを用いることとし、配線問題を幹線の配置問題に帰着させることにする。このとき、各ネットの支線が重複しないように幾つかのネット間に制約関係が生じる。これを表現する方法として、ネット系列 T, B に対して結線要求グラフ $G=(V, A)$ を以下のように定義する。

- (1) N, C をネットおよび端子番号の集合とすると、節点集合 V は $N \cup C$ と 1 対 1 に対応する。以下では $N \cup C$ と V を同一視し、 N, C を以下のように表す。

$$N \triangleq \{n_1, n_2, \dots, n_s\}, \quad |N| = s$$

$$C \triangleq \{1, 2, \dots, q\}, \quad |C| = q$$

- (2) 枝集合 A を次のように定義する。

$$A \triangleq \{(n_j, i) \mid t_i = n_j\} \cup \{(i, n_j) \mid b_i = n_j\}$$

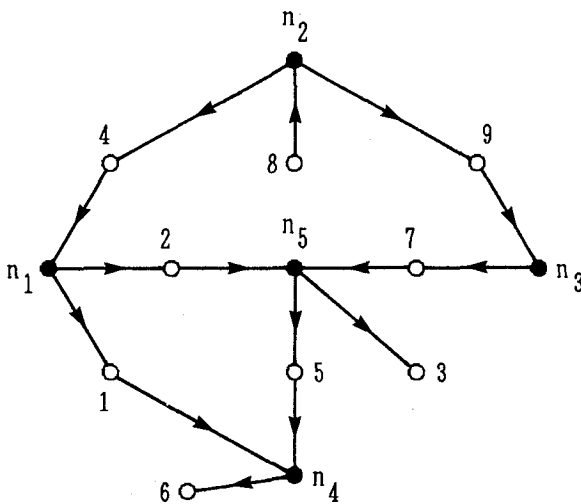
この定義に基づいて 図2.2 の結線要求をグラフ表現すると、図2.3(a) の結線要求グラフ G が得られる。この図からも明らかなように、 G には次のような性質がある。

- (1) G は有向 2 部グラフである。

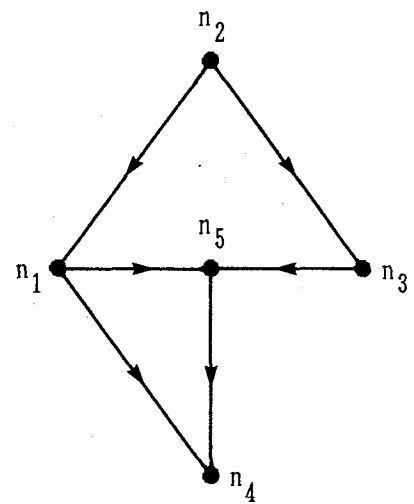
- (2) 各端子番号 $i \in C$ に対応する節点 i の正の次数および負の次数はそれぞれ 0 又は 1 である。

- (3) $A_v \triangleq \{(n_j, n_k) \mid \exists i \in C \text{ such that } (n_j, i) \in A, (i, n_k) \in A\}$

と A_v を定義すれば、 A_v を枝集合とし N を節点集合とする有向グラフ $G_v = (N, A_v)$ は、各ネット間の上制約グラフになる。例えば、図2.2 の結線要求に対する上下制約グラフは 図2.3(b) になる。従って、上下制約グラフ G_v に存在するサイクルは、必ず結線要求グラフ G にも存在する。



(a) 結線要求グラフ G



(b) 上下制約グラフ G_v

図2.3 図2.2の結線要求に対する結線要求グラフと上下制約グラフ

結線要求グラフがサイクル（有向閉路）を含まなければ幹線の配置が可能であるが、もしサイクルを含むならばこのままでは幹線の配置は不可能である。図2.3(a)の結線要求グラフ G はサイクルを含んでいないので 図2.2 のように幹線の配置が可能であるが、図2.4 の結線要求を表現した 図2.5(a) の結線要求グラフ G は幾つかのサイクルを含んでいるので、そのままでは幹線の配置が不可能である。

そこで、幹線の2分割を繰り返すことにより G に存在するサイクルを解消することを考える。

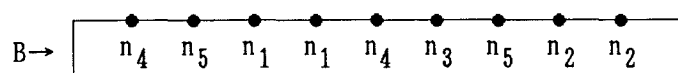
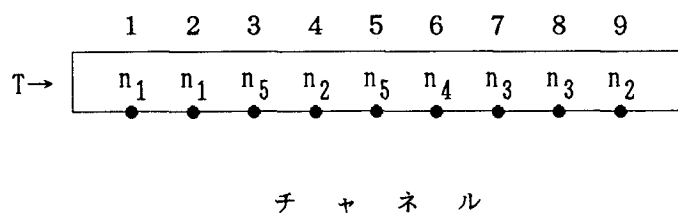
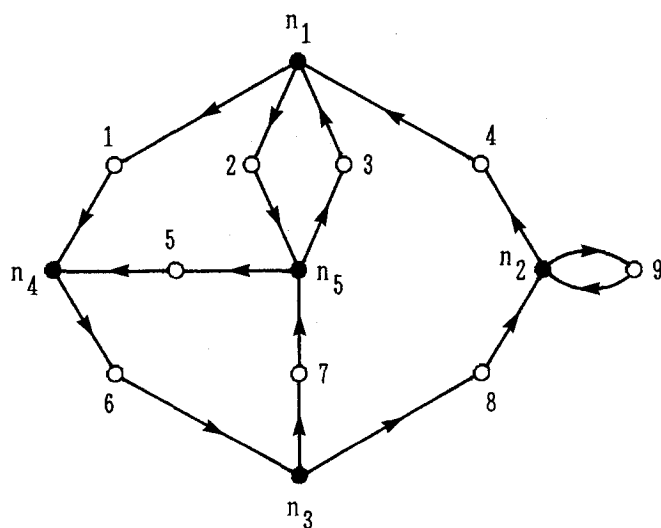
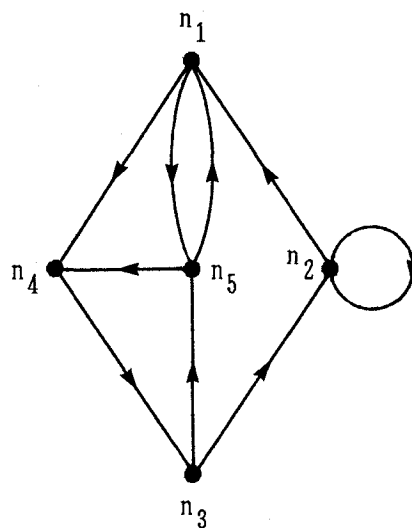


図2.4 サイクルを含む結線要求



(a) 結線要求グラフ G



(b) 上下制約グラフ G_v

図2.5 図2.4の結線要求に対する結線要求グラフと上下制約グラフ

上下制約グラフ G_v における一つの強連結成分の節点集合を N_s とすると、 $|N_s| \geq 2$ の時、 N_s から定義される G の節点集合 S を次のように定め、 S を G の団塊集合と呼ぶ。

$$S = N_s \cup C_s$$

$$C_s \triangleq \{i \in C \mid t_i \neq b_i, t_i \in N_s, b_i \in N_s\}$$

例えば、図2.5(b)の上下制約グラフ G_v においては強連結成分はただ一つであり、その節点集合 N_s は

$$N_s = \{n_1, n_2, n_3, n_4, n_5\}$$

であり、 C_s の定義より

$$C_s = \{1, 2, 3, 4, 5, 6, 7, 8\}$$

となるので、図2.5(a)の結線要求グラフ G に対するただ一つの団塊集合 S が

$$S = \{n_1, n_2, n_3, n_4, n_5, 1, 2, 3, 4, 5, 6, 7, 8\}$$

と定義される。

また、端子を次のように分類する。

- (1) 従属端子 : G のある団塊集合 S の C_s に含まれている端子。
- (2) 被占有端子 : $t_i = b_i = n_j \in N$ である端子。このとき端子 i はネット n_j に占有されているという。
- (3) 独立端子 : (1), (2)以外の端子。

更に、ネットを次のように分類する。

- (1) 従属ネット : G のある団塊集合 S の N_s に含まれているネット。
- (2) 独立ネット : 従属ネット以外のネット。

例えば、図2.5(a)の結線要求グラフ G の団塊集合 S は、先に定義したように

$$S = \{n_1, n_2, n_3, n_4, n_5, 1, 2, 3, 4, 5, 6, 7, 8\}$$

$$N_s = \{n_1, n_2, n_3, n_4, n_5\}$$

$$C_s = \{1, 2, 3, 4, 5, 6, 7, 8\}$$

なので、 C_s に含まれる端子 1, 2, 3, 4, 5, 6, 7, 8 は従属端子に、 N_s に含まれるネット n_1, n_2, n_3, n_4, n_5 は従属ネットになる。また、端子 9 は $t_9 = b_9 = n_2$ なので、ネット n_2 に占有されている被占有端子になる。

まず、 G の上における幹線分割の方法を定義する。

団塊集合 S に含まれる従属ネット n_j を端子 i の位置で2分割するとは、結線要求グラフ $G = (N \cup C, A)$ を以下の結線要求グラフ $G[n_j; i] = (N^* \cup C^*, A^*)$ に変形することである。ただし " $X \Leftrightarrow Y$ " は X であるときかつそのときに限り Y であることを意味する。

$$(1) N^* = (N - \{n_j\}) \cup \{n'_j, n''_j\}$$

$$(2) C^* = (C - \{i\}) \cup \{i', i''\}$$

(3) A^* を次のように定義する。

① n_j と i に接続していない A の枝は、そのまま A^* の枝とする。

② i に接続していた枝は次のように接続させる。

a) n_j に接続していた場合

$$(i, n_j) \in A \Leftrightarrow (i'', n''_j) \in A^*$$

$$(n_j, i) \in A \Leftrightarrow (n'_j, i') \in A^*$$

b) n_j 以外のネット n_k に接続していた場合

$$(i, n_k) \in A \Leftrightarrow (i'', n_k) \in A^*$$

$$(n_k, i) \in A \Leftrightarrow (n_k, i') \in A^*$$

③ n_j に接続していた枝は次のように接続させる。

a) $h \neq i, h \in Cs$ に接続していた場合

$$(n_j, h) \in A \Leftrightarrow (n'_j, h) \in A^*$$

$$(h, n_j) \in A \Leftrightarrow (h, n''_j) \in A^*$$

b) $h \neq i, h \notin Cs$ に接続していた場合

$$(n_j, h) \in A, (h, n_j) \in A \Leftrightarrow (n'_j, h) \in A^*, (h, n'_j) \in A^*$$

$$\text{又は } (n''_j, h) \in A^*, (h, n''_j) \in A^*$$

$$\text{又は } (n'_j, h) \in A^*, (h, n''_j) \in A^*$$

$$(n_j, h) \in A, (h, n_j) \notin A \Leftrightarrow (n'_j, h) \in A^*$$

$$\text{又は } (n''_j, h) \in A^*$$

$$(h, n_j) \in A, (n_j, h) \notin A \Leftrightarrow (h, n'_j) \in A^*$$

$$\text{又は } (h, n''_j) \in A^*$$

④ 新しく次の2つの枝（付加枝と呼ぶ）が生成される。

$$(i', n'_j) \in A^*, (n''_j, i'') \in A^*$$

ここで、 A^* の定義における“又は”は「いずれか一つの接続方法を採用せよ」ということである。どの接続方法を採用すればよいかについては、2.5 および 2.6 節で考察する。例えば、図2.6 はネット n_j の幹線を端子 i の位置で2つに分割した場合のグラフ G の変形を示したものであるが、端子 i_2 からネット n_j への枝は A^* の定義 ③-b に該当するので、分割後のグラフ $G[n_j; i]$ では (i_2, n'_j) または (i_2, n''_j) のどちらの枝を接続してもよい。同様に、ネット n_j から端子 i_4 への枝も、分割後のグラフ $G[n_j; i]$ では (n'_j, i_4) または (n''_j, i_4) のどちらでもよい。従って、 $G[n_j; i]$ は G, n_j, i から一意的には定まらない。逆に、 $G[n_j; i]$ から2つの付加枝 $(i', n'_j), (n''_j, i'')$ を除去し、 n'_j と n''_j および i' と i'' をそれぞれ同一節点とすれば、元の結線要求グラフ G になる。

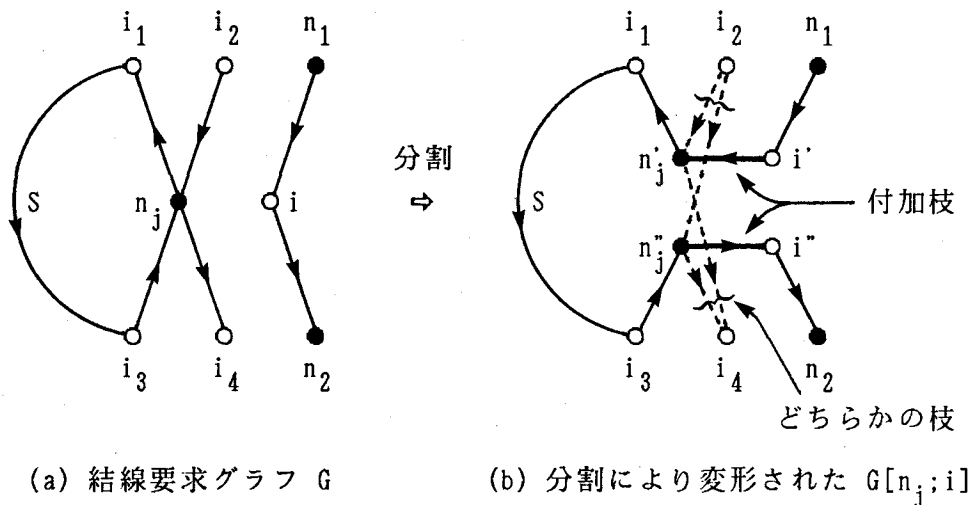


図2.6 幹線分割による G の変形

配線時には、図2.7 に示すように、分割されたネット n'_j と n''_j を端子 i の列の中央部で連結する。このときに用いられる支線を浮遊支線（同図(b)の…印の支線で、上側端子列や下側端子列に接続されていないもの）という。また、 $G[n_j; i]$ の端子 i' および i'' に与えられたネットは、それぞれ端子 i の列の上部および下部における結線要求を表現している。

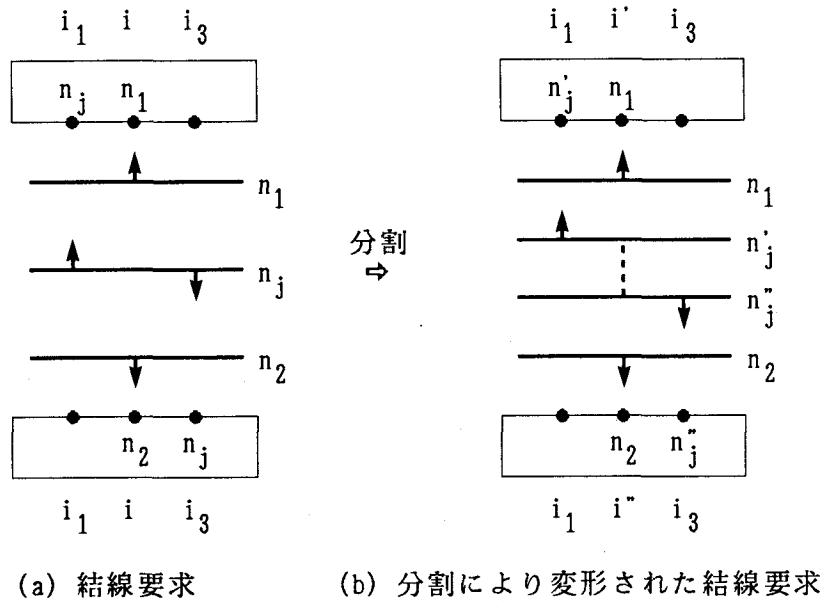


図2.7 幹線分割による結線要求の変形

この幹線分割の定義より、幹線分割による新しいサイクルの発生に関しては次の補題が成立する。

[補題1] G の従属ネット n_j を任意の端子 i で分割して得られるネットを n'_j , n''_j とする。このとき、結線要求グラフ $G[n_j; i]$ において、 n'_j または n''_j を通る長さが4以上のサイクルが存在するならば、そのサイクルは付加枝 (i', n'_j) , (n''_j, i'') の一方または両方を含む。

(証明) グラフ G の団塊集合 $S = N_s \cup C_s$ に含まれるネットを n_j とする。

(1) $G[n_j; i]$ において、 n'_j を通り n''_j を通らない長さ4以上のサイクルを c とすると、 c に含まれる節点の順序列は、 $(n'_j = n_0, i_1, n_1, \dots, i_h, n_h = n'_j)$, $h \geq 2$ と表すことができ、幹線分割の定義より $i_h \notin C_s$ である。ところが c に付加枝が含まれていなければ c は G においても同じ長さのサイクルであり、 c に含まれる節点はすべて S に含まれる。これは $i_h \notin C_s$ に矛盾する。

(2) $G[n_j; i]$ において、 n''_j を通り n'_j を通らない長さ4以上のサイクルを c とすると、 c に含まれる節点の順序列は、 $(n''_j = n_0, i_1, n_1, \dots, i_h, n_h = n''_j)$, $h \geq 2$ と

表すことができ、幹線分割の定義より $i_1 \notin C_s$ である。ところが c に付加枝が含まれていなければ(1)と同様に矛盾を示すことができる。

(3) $G[n_j; i]$ において、 n_j' と n_j'' の両方を通る長さ 4 以上のサイクルを c とすると、 c に含まれる節点の順序列は、 $(n_j''=n_0, i_1, n_1, \dots, i_f, n_f=n_j', i_{f+1}, \dots, i_h, n_h=n_j'')$ と表すことができ、幹線分割の定義より $f=1$ となることはない。すなわち、節点の順序列が $(n_j''=n_0, i_1, n_1, \dots, i_f, n_f=n_j')$ となる c の部分有向道 c' は $f \geq 2$ となり、 G においては n_j を通る長さ 4 以上のサイクルになる。従って、(1)、(2)と同様の議論から c' には付加枝が含まれる。 $\square$

2. 3 幹線分割の有効性

幹線分割の目的は団塊集合の解消である。ここではどのような分割がその目的のために有効であるのかを考察する。

結線要求グラフ G の従属ネット n_j を端子 i で 2 分割したとき得られる新しい結線要求グラフ $G[n_j; i]$ において、ネット n_j' 及び n_j'' が独立ネットである時、この分割は有効であるといい、 n_j は i で有効分割可能であるという。

この定義より、有効分割と独立ネットとの関係について次の補題が成立する。

[補題 2] G の従属ネット n_j の端子 i での分割が有効ならば、 G における独立ネットは $G[n_j; i]$ においても独立ネットである。

(証明) $G[n_j; i]$ における従属ネットは G においても従属ネットであることを示せばよい。 $G[n_j; i]$ における従属ネットを n_k とし、 n_k を含む長さが 4 以上のサイクルを c とする。 n_j の i での分割が有効であることから c には n_j' 及び n_j'' は含まれない。また、 $G[n_j; i]$ には付加枝 (i', n_j') 、 (n_j'', i'') が存在することから i' 及び i'' も c に含まれない。従って、 c には n_j' 、 n_j'' 、 i' 、 i'' のいずれの節点も含まれないことになり、このとき c は G においても同じ長さのサイクルである。すなわち、 n_k は G における従属ネットである。 $\square$

この補題 2 及び有効分割の定義から、有効分割を行えば従属ネットの個数は少なくとも 1 つ（分割ネット n_j の分）減少することがわかる。従って、有効分割を繰り返すことにより団塊集合は解消できる。

それでは、どのような条件の時に有効分割が可能なかを考えてみる。

なお、以下では記述の簡素化のため、グラフに節点 x から y への長さが 2 以上の初等的有向道が存在するとき $x \Rightarrow y$ 、そのような有向道が存在しないとき $x \nRightarrow y$ と書く。ここで、 $(x, y) \in A$ のときは $x \nRightarrow y$ である。なぜなら、 $x \in C$ のとき x を始点とする枝は (x, y) のみであるから、 x から y への長さが 2 以上の初等的有向道は存在しない。 $y \in C$ のときも同様である。

〔定理 1〕 G の従属ネット n_j が端子 i で有効分割可能であるための必要十分条件は、 i が次のいずれかの端子であることである。

- (1) n_j に占有されている端子
- (2) $n_j \nRightarrow i$ かつ $i \nRightarrow n_j$ である独立端子

（証明） 必要性：条件を共に満足しない端子 i は、

- (a) n_j 以外に占有されている端子
- (b) $n_j \Rightarrow i$ または $i \Rightarrow n_j$ である独立端子
- (c) 従属端子

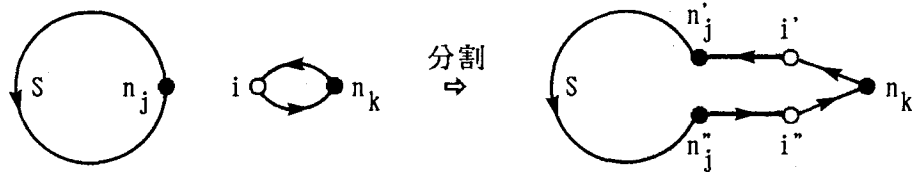
のいずれかであり、各々の場合について i での分割が有効でないこと（ n'_j, n''_j を含むサイクルが形成されること）を示せばよい。ただし、 G において n_j を含む団塊集合を $S = N_s \cup C_s$ とする。

(a) i が $n_k \neq n_j$ に占有されているとき、図 2.8(a) に示すように、 (i, n_k) と (n_k, i) が G に存在するので、 $G[n_j; i]$ においては (i'', n_k) と (n_k, i') が存在することになる。これらの枝と付加枝から節点の順序列が $(n''_j, i'', n_k, i', n'_j)$ となる有向道 p が $G[n_j; i]$ に存在する。一方、 $G[n_j; i]$ においては n'_j から n''_j へは S の節点を通る有向道が存在し、これと p とから n'_j および n''_j を含むサイクルが形成される。

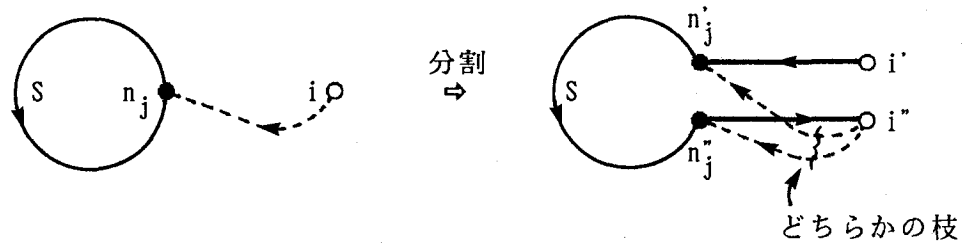
(b) $i \Rightarrow n_j$ である時、図 2.8(b) に示すように、 $G[n_j; i]$ において $i'' \Rightarrow n'_j$ または

$i'' \Rightarrow n_j''$ となる。前者の場合 $G[n_j; i]$ において S の節点を通して $n_j' \Rightarrow n_j''$ であることを用いれば、結局 $i'' \Rightarrow n_j'$ となり、付加枝 (n_j', i'') とからサイクルが形成される。 $n_j \Rightarrow i$ の時も同様の議論からサイクルが形成される。

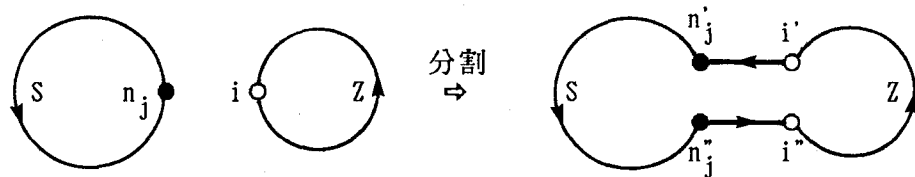
(c) i が S に属している時、 G において $n_j \Rightarrow i$ または $i \Rightarrow n_j$ の少なくとも一方が成立する。 $n_j \Rightarrow i$ の時、 $G[n_j; i]$ において $n_j' \Rightarrow i'$ であり、付加枝 (i', n_j') とでサイクルが形成される。 $i \Rightarrow n_j$ の時、 $G[n_j; i]$ において $i'' = n_j''$ となり、付加枝 (n_j'', i'') とでサイクルが形成される。また、図2.8(c) に示すように、 i が他の団塊集合 Z に属している時、 $G[n_j; i]$ において S の節点を通して $n_j' \Rightarrow n_j''$ であり、 Z の節点を通して $i'' \Rightarrow i'$ となる。これらの有向道と付加枝 (i', n_j') , (n_j'', i'') から n_j' と n_j'' を含むサイクルが形成される。



(a) i が $n_k \neq n_j$ に占有されているとき



(b) i が独立端子で、 $i \Rightarrow n_j$ であるとき



(c) i が団塊集合 Z に属しているとき

図2.8 定理1の説明図

十分性：それぞれの条件を i が満足するときの分割が有効であることを示す。

(1) i が n_j に占有されている端子であるとき、 $G[n_j; i]$ において i' は n_j' に占有され、 i'' は n_j'' に占有される。従って、補題 1 よりこの分割は有効である。

(2) i を $n_j \not\Rightarrow i$ かつ $i \not\Rightarrow n_j$ である独立端子とする。もし n_j の i での分割が有効でなければ、 $G[n_j; i]$ において n_j' または n_j'' を通る長さ 4 以上のサイクルが存在し、補題 1 よりそのサイクルには付加枝 (i', n_j') または (n_j'', i'') が含まれる。

- (i', n_j') のみを含むとき、 $G[n_j; i]$ において $n_j' \Rightarrow i'$ であるが、これは G において $n_j \not\Rightarrow i$ であることに矛盾する。

- (n_j'', i'') のみを含むとき、 $G[n_j; i]$ において $i'' \Rightarrow n_j''$ であるが、これは G において $i \not\Rightarrow n_j$ であることに矛盾する。

- 2 つの付加枝を共に含む時、 $G[n_j; i]$ において $i'' \Rightarrow i'$ である。これは G において i を通る長さ 2 以上のサイクルが存在することになるが、 i は独立端子であることから、これは矛盾である。 □

[補題 3] G に団塊集合と独立端子が存在すれば、有効分割可能な従属ネットと端子の対が存在する。

(証明) G に存在する独立端子を i とし、任意の団塊集合を $S = N_s \cup C_s$ 、従属ネットを $n_j \in N_s$ とすると、 n_j と i の関係は次の 4 つの場合のいずれかである。

(1) $i \Rightarrow n_j$, $n_j \Rightarrow i$ の時： i は独立端子なのでこのような場合はありえない。

(2) $i \not\Rightarrow n_j$, $n_j \not\Rightarrow i$ の時：定理 1 より n_j は i で有効分割可能である。

(3) $i \Rightarrow n_j$, $n_j \not\Rightarrow i$ の時：図 2.9 のように、 $i \Rightarrow n_j$ の任意の有向道を p とし、その節点の順序列を $(i=i_0, n_1, i_1, n_2, i_2, \dots, n_h, i_h, n_{h+1}=n_j)$ 、 $h \geq 1$ とする。そして、ネット列 $n_1, n_2, \dots, n_h, n_{h+1}$ の中で最初に現れる S 内のネットを n_f とする。すなわち、 $n_b \notin N_s$, $i_b \notin C_s$ がすべての $b < f$ について成立している。このとき、 n_f が i_{f-1} で有効分割可能であることを示す。

- p の定義より i_{f-1} は被占有端子ではない。

- $(i_{f-1}, n_f) \in A$ であるから $i_{f-1} \not\Rightarrow n_f$ が成立する。

- $n_f \Rightarrow i_{f-1}$ であれば n_f と i_{f-1} を含む団塊集合が存在することになり、 $n_f \in N_s$ よりこの団塊集合は S である。すなわち、 $i_{f-1} \in C_s$ となり、これは n_f の選び方

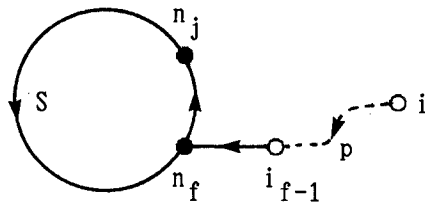


図2.9 補題3の説明図

に矛盾している。従って、 $n_f \neq i_{f-1}$ である。

以上より定理1の条件2を満足するので、 n_f は i_{f-1} で有効分割可能である。

(4) $i \neq n_j$, $n_j \Rightarrow i$ の時： $n_j \Rightarrow i$ の任意の有向道を p とし、その節点の順序列を $(n_j = n_0, i_1, n_1, i_2, n_2, \dots, i_h, n_h, i_{h+1} = i)$, $h \geq 1$ とする。そして、ネット列 $n_0, n_1, n_2, \dots, n_h$ の中で最後に現れる S 内のネットを n_f とすると、(3)と同様の議論から n_f が i_{f+1} で有効分割可能であることが言える。 $\square$

〔定理2〕 G の従属ネット n_j が端子 i で有効分割可能ならば、分割後の $G[n_j; i]$ は次のいずれかである。

- (1) 団塊集合が存在しない。
- (2) 有効分割可能な従属ネットと端子が存在する。

(証明) $G[n_j; i]$ に団塊集合が存在するものとして(2)の場合を証明する。 G において、 n_j が属する団塊集合を $S = N_s \cup C_s$ とすると、 $k \in C_s$ である枝 (n_j, k) が存在する。この枝は $G[n_j; i]$ において (n'_j, k) となり、有効分割から生じた n'_j は独立ネットになっているので、 k は独立端子になる。従って、補題3より G には有効分割可能な従属ネットと端子の対が存在する。 $\square$

定理2より、与えられた結線要求から作られる結線要求グラフ G に幾つかの団塊集合が存在したとしても、有効分割が可能な従属ネットと端子の対が少なくとも1つ存在すれば、団塊集合がなくなるまで有効分割を繰り返すことが可能であること、すなわち、与えられた結線要求は実現可能であることがわかる。

図2.5 の G において、定理1を満足する従属ネットと端子の対は、 $[n_2; 9]$ だけであり、ネット n_2 の幹線を端子 9 の位置で分割すると、図2.10 の $G[n_2; 9]$ が得られる。 $G[n_2; 9]$ における団塊集合は $\{n_1, n_3, n_4, n_5, 1, 2, 3, 5, 6, 7\}$ となり、端子 4, 8 は独立端子となるので、定理1を満足する従属ネットと端子の対、すなわち、有効分割可能な対は $[n_1; 4]$ と $[n_3; 8]$ になる。

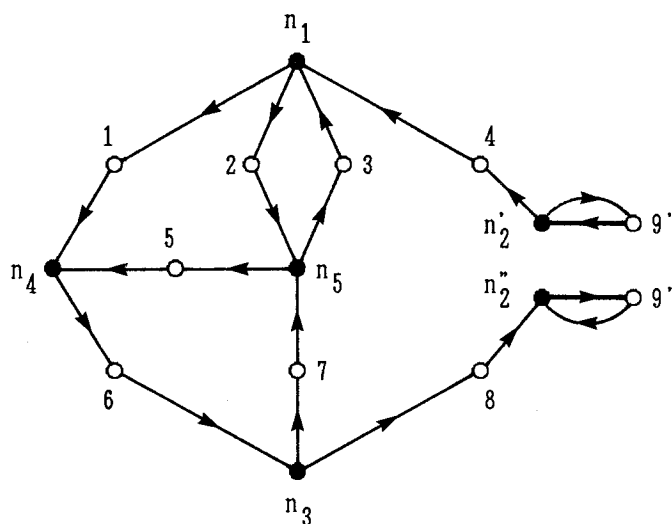


図2.10 結線要求グラフ $G[n_2; 9]$

次に、従属ネットを独立ネットにするような有効分割が不可能である場合についての考察を行う。

有効分割が可能な従属ネットと端子の対が存在しない結線要求グラフを G とする。 G の従属ネット n_j を端子 i で2分割したときに得られる新しい結線要求グラフ $G[n_j; i]$ において、 n_j' , n_j'' のどちらか一方が独立ネットであり、かつ $n_j' \Rightarrow n_j''$ であるとき、この分割は準有効であるといい、 n_j は i で準有効分割可能であるという。この定義より、有効分割と準有効分割との関係について次の定理が成立する。

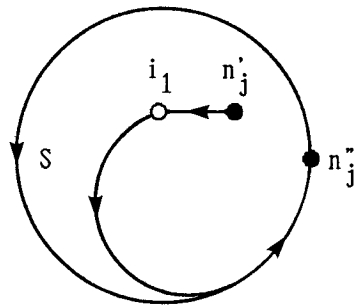
[定理3] G の従属ネット n_j の端子 i での分割が準有効ならば、 $G[n_j; i]$ には有効分割が可能な従属ネットと端子の対が存在する。

(証明) G の従属ネット n_j の端子 i での分割が準有効であることより、分割

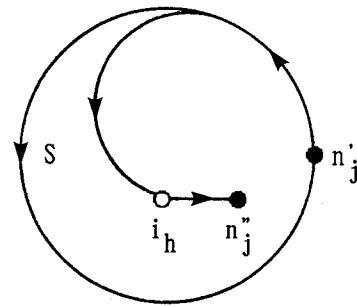
後の $G[n_j; i]$ において $n'_j \Rightarrow n''_j$ の有向道 p が存在し、 p に含まれる節点の順序列は $(n'_j = n_0, i_1, n_1, \dots, i_h, n_h = n''_j)$, $h \geq 1$ と表すことができる。また、 n'_j, n''_j のどちらか一方が独立ネットであることより、 $n''_j \neq n'_j$ である。

(1) n'_j が独立ネットの時、図2.11(a)のように、端子 i_1 は独立端子であり、補題3より $G[n_j; i]$ に有効分割可能な従属ネットと端子の対が存在する。

(2) n''_j が独立ネットの時、図2.11(b)のように、端子 i_h は独立端子であり、補題3より $G[n_j; i]$ に有効分割可能な従属ネットと端子の対が存在する。 $\square$



(a) n'_j が独立ネットの時



(b) n''_j が独立ネットの時

図2.11 定理3の説明図

〔定理4〕 有効分割が可能な従属ネットと端子の対が存在しない結線要求グラフ G において、従属ネット n_j が端子 i で準有効分割可能であるための必要十分条件は、 n_j, i が次のいずれかの場合である。

- (1) $(i, n_j) \in A$ かつ n_j の負の次数 ≥ 2
- (2) $(n_j, i) \in A$ かつ n_j の正の次数 ≥ 2

(証明) 必要性: G において、 n_j が属する団塊集合を $S = N_S \cup C_S$ とすると、 G には定理1を満足する対が存在しないので、2つの枝 $(i, n_j), (n_j, i)$ が同時に存在することはありえない。従って、条件を共に満足しない場合は、

- (a) $(i, n_j) \notin A$ かつ $(n_j, i) \notin A$
- (b) $(i, n_j) \in A$ かつ n_j の負の次数 $= 1$
- (c) $(n_j, i) \in A$ かつ n_j の正の次数 $= 1$

のいずれかであり、それぞれの場合について n_j の i での分割が準有効でないこと

を示せばよい。

(a) $(i, n_j) \notin A$ かつ $(n_j, i) \notin A$ の場合: G には定理 1 を満足する対が存在しないので, G に存在する端子は, 独立ネットに占有されている端子, S に従属している端子, S 以外の団塊集合に従属している端子のいずれかである. i が独立ネットに占有されているときも S 以外の団塊集合に従属しているときも, $G[n_j; i]$ において $i'' \Rightarrow i'$ となる. この有向道と付加枝および S による $n'_j \Rightarrow n''_j$ の有向道により, n'_j, n''_j を含むサイクルが形成される. また, i が S に従属している時は $n_j \Rightarrow i, i \Rightarrow n_j$ であり, $G[n_j; i]$ において $n'_j \Rightarrow i', i'' \Rightarrow n''_j$ となる. これらの有向道と付加枝から n'_j を含むサイクルと n''_j を含むサイクルが形成される.

(b) $(i, n_j) \in A$ かつ n_j の負の次数 = 1 の場合, n_j に入る枝は (i, n_j) のみであり, $G[n_j; i]$ において (i'', n''_j) になり, n''_j に入る枝はこれのみとなる. また, 付加枝 (n''_j, i'') より i'' は n''_j により占有される. 従って, $n'_j \not\Rightarrow n''_j$ である.

(c) $(n_j, i) \in A$ かつ n_j の正の次数 = 1 の場合, n_j から出る枝は (n_j, i) のみであり, $G[n_j; i]$ において (n'_j, i') になり, n'_j から出る枝はこれのみとなる. また, 付加枝 (i', n'_j) より i' は n'_j により占有される. 従って, $n'_j \not\Rightarrow n''_j$ である.

十分性: それぞれの条件を満足するとき分割が準有効であることを示す. ただし, G には定理 1 を満足する対が存在しないので, n_j に直接枝で結ばれている端子はすべて団塊集合 S に含まれている.

(1) $(i, n_j) \in A$ かつ n_j の負の次数 ≥ 2 の時, 端子 k (ただし, $k \neq i, (k, n_j) \in A$) が存在し, $n_j \Rightarrow i$ かつ $n_j \Rightarrow k$ である. これらの枝や有向道は $G[n_j; i]$ において $(i'', n''_j), (k, n''_j), n'_j \Rightarrow i', n'_j \Rightarrow k$ となる. これらと付加枝 $(i', n'_j), (n''_j, i'')$ 及び n''_j から出る枝は付加枝のみであることを考え合わせると, n'_j は i' を通るサイクルに含まれ, k を通って $n'_j \Rightarrow n''_j$ であり, n''_j は i'' を占有する独立ネットになる.

(2) $(n_j, i) \in A$ かつ n_j の正の次数 ≥ 2 の時, 端子 k (ただし, $k \neq i, (n_j, k) \in A$) が存在し, $i \Rightarrow n_j$ かつ $k \Rightarrow n_j$ であり, (1)と同様の議論により準有効であることが言える. □

図 2.12 に準有効分割の例を示す. G において $[n_j; i]$ が準有効分割可能であり,

分割後の $G[n_j; i]$ において $[n_f; h]$ が有効分割可能な対になる。このように、与えられた結線要求に有効分割可能な対が存在しなくても準有効分割可能な対が少なくとも一つ存在すれば、一度の準有効分割と何回かの有効分割により団塊集合はすべて解消できる。

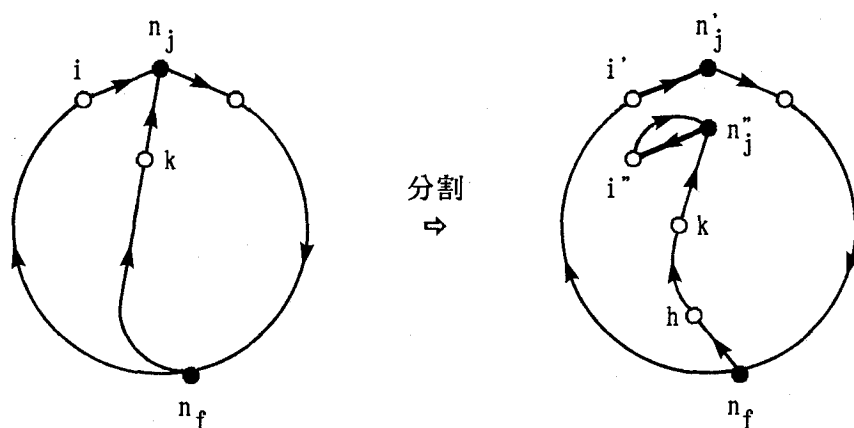


図2.12 準有効分割 $[n_j; i]$

2. 4 実現可能性

与えられたチャネル領域において、端子の移動等の考慮をしないとそのままでは実現できない結線要求として、巡回配線要求が報告されている^[8]。この巡回配線要求とは、次のような結線要求である。

- (1) T と B には各ネットがそれぞれ1回ずつ含まれ、かつ 0 を含まない。
- (2) T と B が全く同じ並びを持つことはない。

すなわち、巡回配線要求の各ネットと各端子は正の次数、負の次数ともに1であり、結線要求グラフ G には単純なサイクルに従属する端子と独立ネットに占有された端子しか存在しない。

従って、巡回配線要求には定理1の条件を満足するネットと端子の対も存在しないし、定理4の条件を満足するネットと端子の対も存在しない。逆に、定理1の条件、定理4の条件を共に満足しない結線要求には、定理1の条件の否定より、独立

ネットに占有されている端子が従属端子しか存在せず，定理4の条件の否定より，存在する従属ネットの負の次数，正の次数は共に1である．これは明らかに巡回配線要求である．

以上より，定理1及び定理4を満足するネットと端子の対が全く存在しない結線要求は巡回配線要求であり，与えられたチャネル領域内での実現は不可能であること，またその逆もいえる．

次に，幾つかの団塊集合を含む結線要求グラフ G に有効分割もしくは準有効分割を施し，団塊集合を含まない結線要求グラフ G_f が得られたとする．例えば，図2.10の G に有効分割 $[n_1; 4]$ ， $[n_3; 8]$ を順次施すと図2.13の G_f が得られる．このとき，実際の配線パターンを実現することが可能であることを説明する．

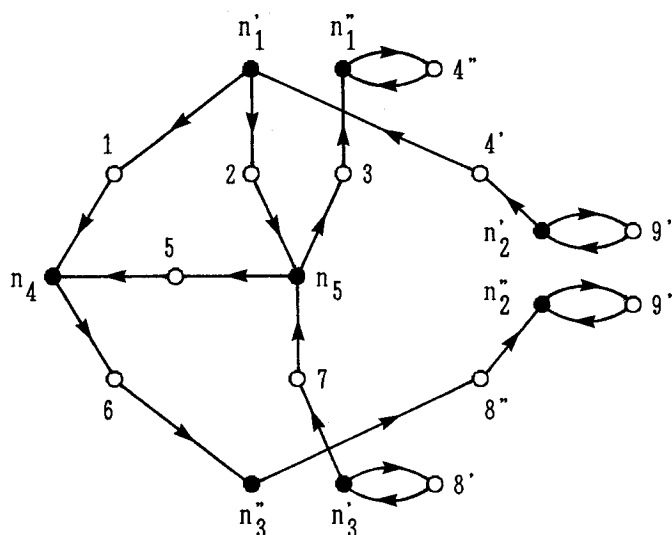


図2.13 最終の結線要求グラフ G_f

(1) 幹線分割により生じた n_j' ， n_j'' および i' ， i'' はそれぞれ別々のネット，端子番号として扱い，端子番号 i'' は i' のすぐ右隣に置くものとして，図2.14のように， G_f から結線要求 T_f ， B_f を作成する．

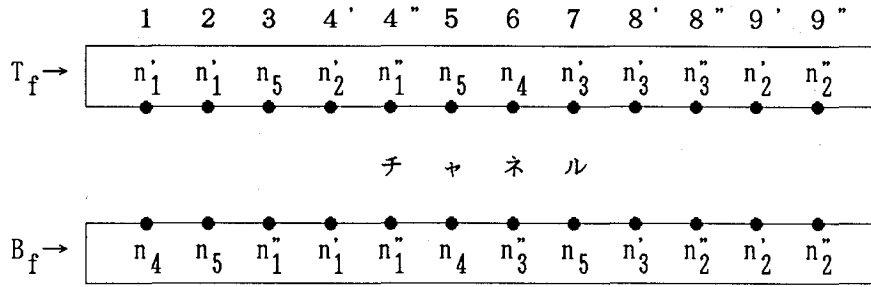


図2.14 図2.13の G_f から作成した結線要求

(2) 得られた結線要求にはサイクルが含まれていないので、チャネル配線アルゴリズム（文献[9], [10]等）が適用可能である。そこで、何らかのチャネル配線アルゴリズムを T_f , B_f に適用し、例えば 図2.15 のような実際の配線パターンを得る。

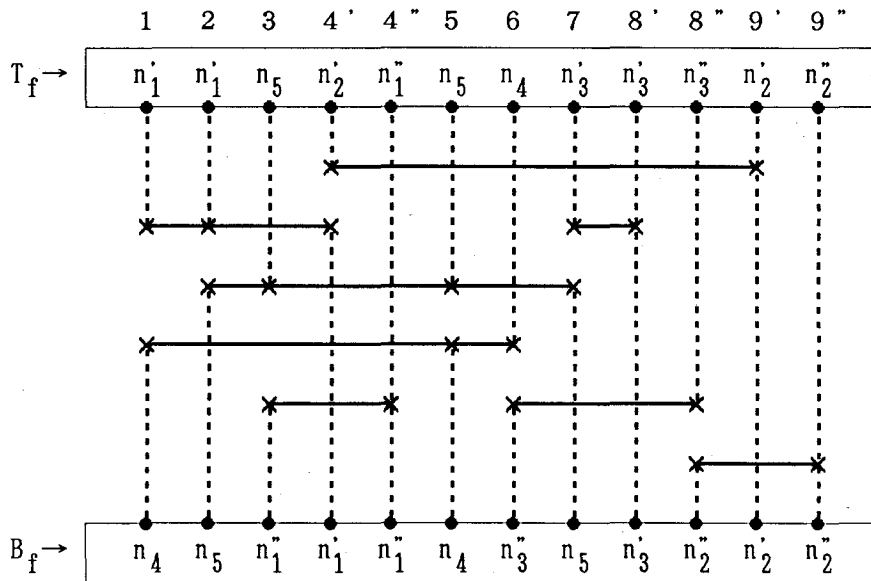


図2.15 図2.14の T_f , B_f の配線結果

(3) 得られた配線パターンの n_j' , n_j'' を実現している幹線を各々 h' , h'' とすると、 G_f には必ず $n_j' \Rightarrow n_j''$ の有向道が存在するので、 h' は必ず h'' より上に実現されている。また、 G_f には幹線分割により生じた付加枝 (i', n_j') , (n_j'', i'') が必ず存在するので、幹線 h' は端子 i' の下側端子と、 h'' は i'' の上側端子と支線で結

ばれている。即ち、 h' 、 h'' 、 i' 、 i'' の関係は常に 図2.16(a) のようになっており、同図(b) のように実現し直すことは常に可能である。この操作をすべての分割されている幹線に施すと、与えられた結線要求に対する配線パターンが 図2.17 のように得られる。

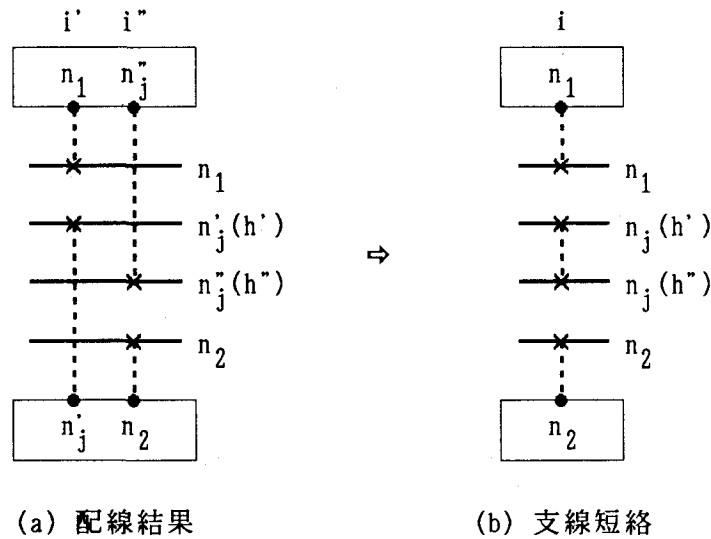


図2.16 i' と i'' の支線の短絡化

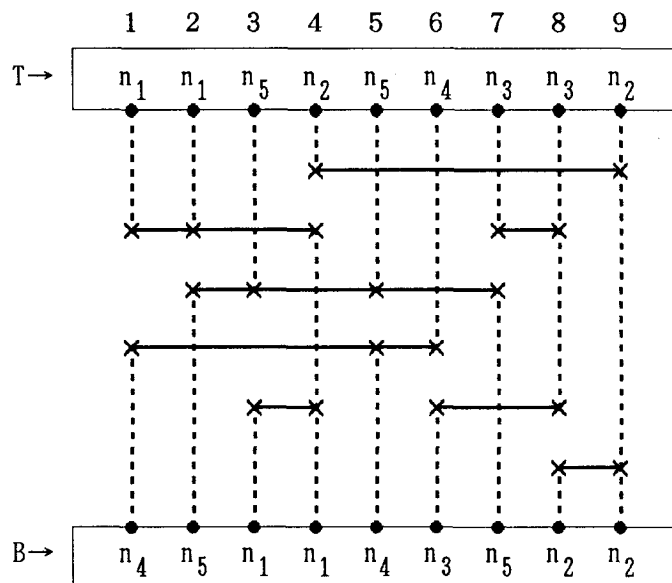


図2.17 最終配線結果

2. 5 自由枝による影響

図2.6 から明らかなように、 G において注目している団塊集合 S に含まれていない $(i_2, n_j), (n_j, i_4)$ のような枝は、幹線分割後の $G[n_j; i]$ において n_j', n_j'' のどちらに接続してもよい自由度を持った枝（自由枝と呼ぶ）である。本節と次節では、これら自由枝の接続方法による影響について考えてみる。

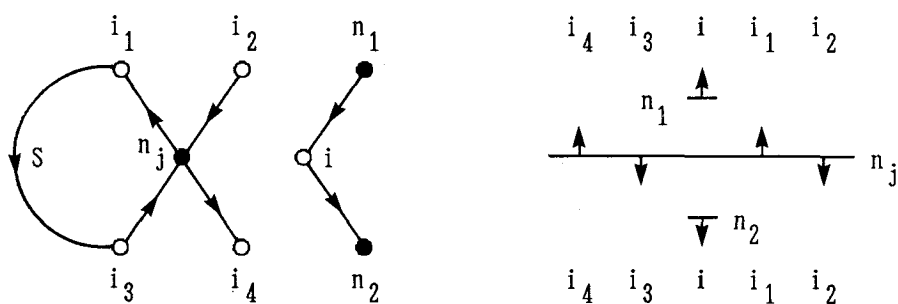
例として 図2.18 を考えてみるが、これはあくまでも $i_4 < i_3 < i < i_1 < i_2$ という一例であり、接続端子番号の位置関係により多少議論は異なってくる。

- ① 下側端子 i_2 からの枝を n_j' に接続すれば、 n_j' の幹線の長さは短くてすむが、 n_j' から下側端子 i_2 への支線により上下制約グラフの最長路が長くなる可能性がある。
- ② 下側端子 i_2 からの枝を n_j'' に接続すれば、 n_j'' の幹線の長さが長くなり幹線の最大密度が増える可能性はあるが、下側端子 i_2 への支線により上下制約グラフの最長路が長くなる可能性は少ない。
- ③ 上側端子 i_4 への枝を n_j' に接続すれば、 n_j' の幹線の長さは短くてすむが、 n_j' から上側端子 i_4 への支線により上下制約グラフの最長路が長くなる可能性がある。
- ④ 上側端子 i_4 への枝を n_j'' に接続すれば、 n_j'' の幹線の長さが長くなり幹線の最大密度が増える可能性はあるが、上側端子 i_4 への支線により上下制約グラフの最長路が長くなる可能性は少ない。

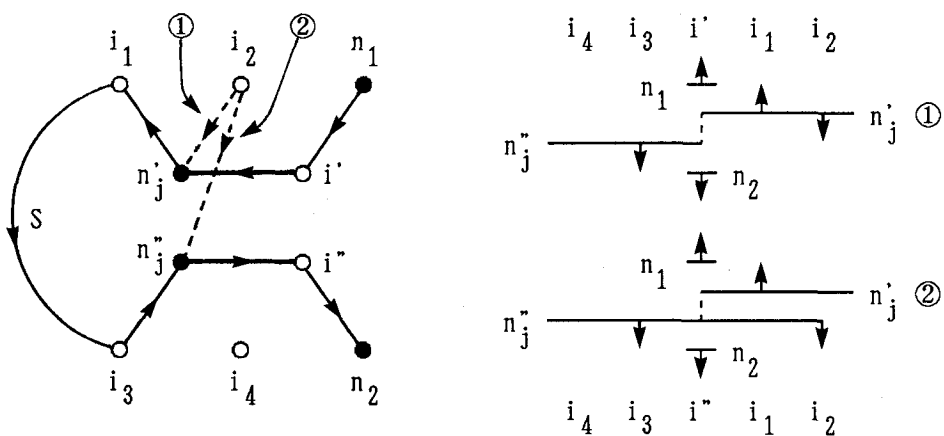
以上のように、 G における n_j へ入る自由枝や n_j から出る自由枝を幹線分割後の $G[n_j; i]$ の n_j', n_j'' のどちらに接続するかによって上下制約グラフの最長路や幹線の最大密度に幾らかの影響を及ぼし、ひいては配線結果にも少なからず影響を及ぼすと考えられる。ここで、上下制約グラフの最長路とはグラフ内に存在する有向道の長さが最大のものであり、幹線の最大密度とはある端子番号の位置を通るネット数の最大値であり、共にチャネル配線問題において実現に必要な水平トラック数の下限として用いられる値である。

従って、上下制約グラフの最長路や幹線の最大密度をなるべく増やさないように、

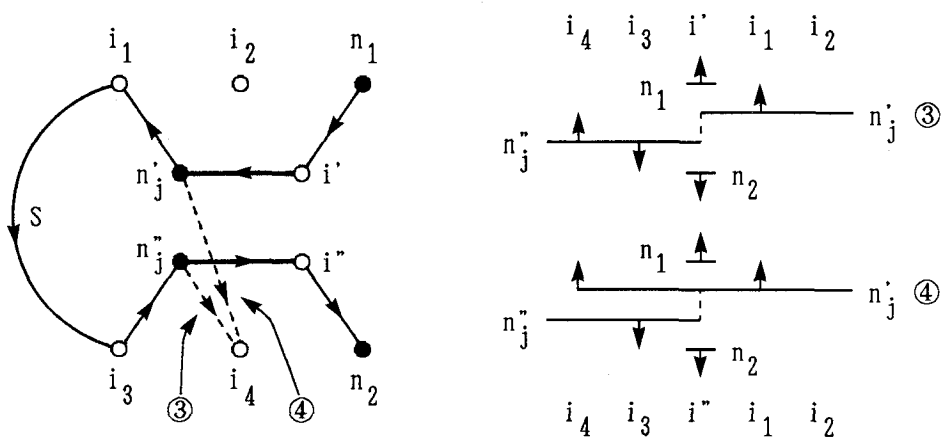
自由枝の接続方法やネットと端子の対の選択方法を考えなければならない。



(a) 分割前の G と結線要求



(b) 分割後の $G[n_j; i]$ と結線要求 (i_2 に関して)



(c) 分割後の $G[n_j; i]$ と結線要求 (i_4 に関して)

図2.18 自由枝の接続による影響

2. 6 最長路に関する考察

上下制約グラフ G_v の最長路は、結線要求グラフ G の最長路と等価なので、以下では結線要求グラフ G の最長路について考察する。

G において、枝の方向に沿った有向道で、同一枝は2度以上通らず、かつ被占有端子を通らないものを単に G の道という。 G の道に含まれる枝の個数をその道の長さという。 G における長さが最大の道を G の最長路といい、その長さを $L(G)$ と表す。

まず、有効分割について次の定理が成立する。

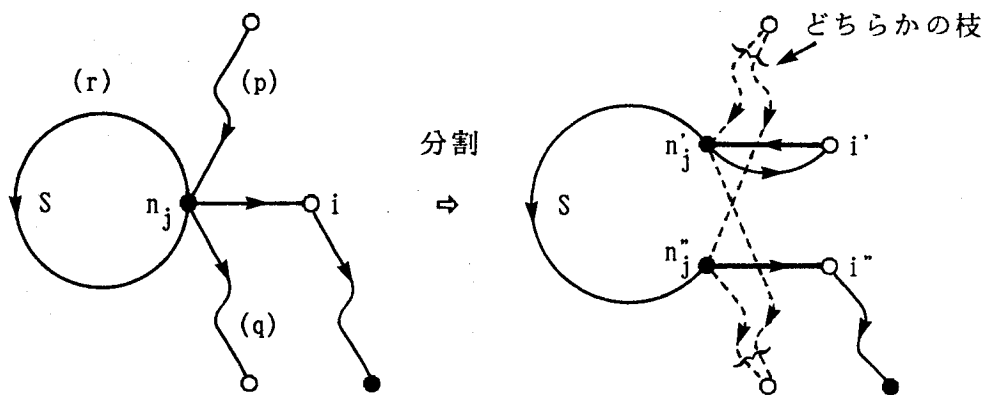
〔定理5〕 結線要求グラフ G において、従属ネット n_j が端子 i で有効分割可能であり、かつ枝 (n_j, i) あるいは (i, n_j) の少なくとも一方が存在すれば、 $G[n_j; i]$ における自由枝の接続方法には無関係に、 $L(G[n_j; i]) \leq L(G)$ が成立する。

(証明) 枝 (n_j, i) または (i, n_j) のいずれかが G に含まれるという条件から、図2.19 に示すように、 G において i を通る道は必ず n_j を通る。そこで、 G におけるすべての道を n_j を通る道と n_j を通らない道に分類し、それぞれの集まりの中の最長路の長さを L_n および L_m とする。明らかに $L(G) = \max\{L_n, L_m\}$ である。一方、 $G[n_j; i]$ におけるすべての道を n_j^+ と n_j^- のいずれかまたは両方を通る道とそれ以外のものに分類し、それぞれの集まりの中の最長路の長さを L_n^* および L_m^* とすれば、 $L(G[n_j; i]) = \max\{L_n^*, L_m^*\}$ である。このとき L_m と L_m^* の値を定める道の集まりは全く同じものなので、 $L_m = L_m^*$ となる。従って、 $L_n^* \leq L_n$ となることを示せば定理が証明される。

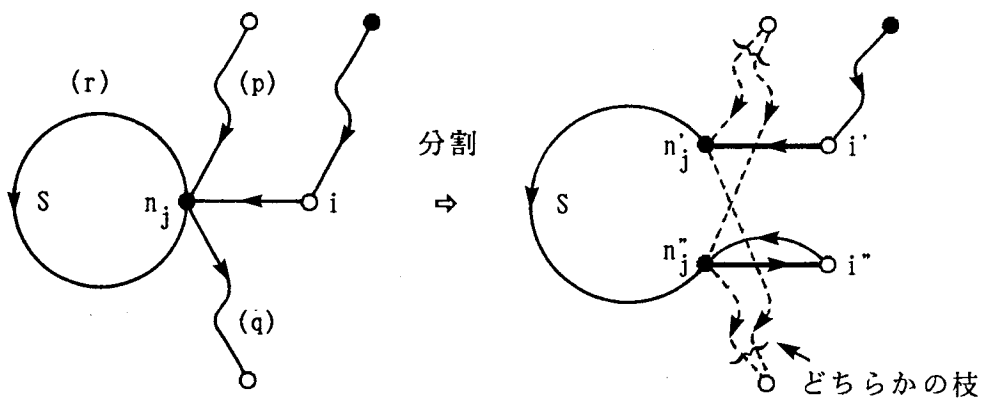
従属ネット n_j を含む G の団塊集合を S とする。

G において、 n_j を終点として n_j 以外の S の節点を含まない道の中の最長路の長さを p とし、 n_j を始点として n_j 以外の S の節点を含まない道の中の最長路の長さを q とする。さらに、 n_j を始点かつ終点とする S の節点だけからなる道の中の最長路の長さを r とする。このとき、明らかに $L_n = p + q + r$ である。

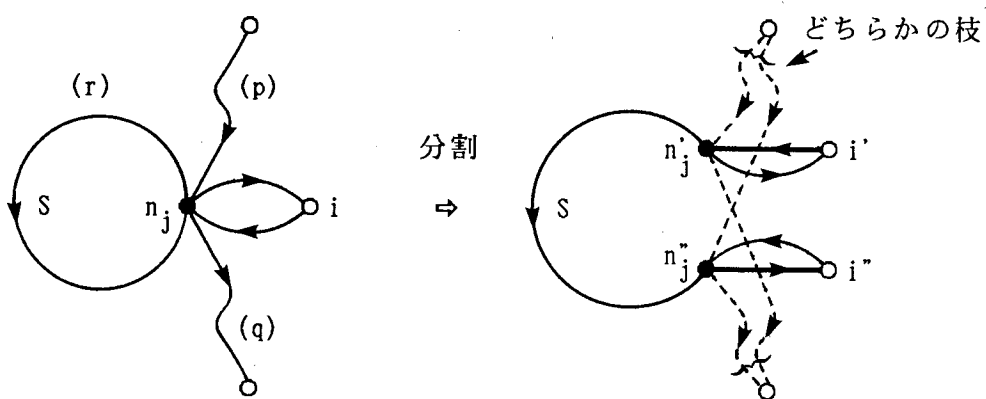
一方 $G[n_j; i]$ において、 n_j^+ または n_j^- を終点とし S の節点を含まない道の中の



(a) $(n_j, i) \in A, (i, n_j) \notin A$ の場合の G と $G[n_j; i]$



(b) $(n_j, i) \notin A, (i, n_j) \in A$ の場合の G と $G[n_j; i]$



(c) $(n_j, i) \in A, (i, n_j) \in A$ の場合の G と $G[n_j; i]$

図2.19 定理5の説明図

最長路の長さは、自由枝を n_j^* , n_j^* のどちらに接続しても p 以下である。また、 n_j^* または n_j^* を始点とし S の節点を含まない道の中の最長路の長さは、自由枝を n_j^* , n_j^* のどちらに接続しても q 以下である。さらに、 n_j^* を始点とし、かつ n_j^* を終点とする S の節点だけからなる道の中の最長路の長さは r である。従って、明らかに $L_n^* \leq p+q+r$ となる。

以上の議論から、枝 (n_j, i) あるいは (i, n_j) の少なくともどちらか一方が存在すれば、 $G[n_j; i]$ における自由枝の接続方法には無関係に $L_n^* \leq L_n$ が成立し、 $L(G[n_j; i]) \leq L(G)$ が成立する。 $\square$

次に、定理5を満足しない場合、すなわち有効分割で、かつ (n_j, i) , (i, n_j) のどちらの枝も存在しない場合については、次の定理が成立する。

〔定理6〕 結線要求グラフ G において、従属ネット n_j が端子 i で有効分割可能であり、かつ (n_j, i) , (i, n_j) のどちらの枝も存在しないものとする。更に、 G において n_j を含む団塊集合を S とし、 n_j, i に関する最長路の長さ p, q, x, y を次のように定義する（図2.20 参照）。

p : n_j を終点として n_j 以外の S の節点を含まない道の中の最長路の長さ

q : n_j を始点として n_j 以外の S の節点を含まない道の中の最長路の長さ

x : i を終点とする最長路の長さ

y : i を始点とする最長路の長さ

このとき、 $p \geq x+1$ かつ $q \geq y+1$ という条件を満足すれば、 $G[n_j; i]$ における自由枝の接続方法には無関係に、 $L(G[n_j; i]) \leq L(G)$ が成立する。

（証明） 定理1より、 G において n_j が i で有効分割可能であり (n_j, i) , (i, n_j) のどちらの枝も存在しないことより、 $n_j \nrightarrow i$ かつ $i \nrightarrow n_j$ である。これは、 G において n_j を通る道は i を通らず、 i を通る道は n_j を通らないことを意味する。また、 G において n_j または i を通らない道は $G[n_j; i]$ においても同じ道が存在し、その長さは変わらない。従って、 G において n_j を通る最長路と i を通る最長路が $G[n_j; i]$ においてどうなるかを考えればよい。

G において、 n_j を始点かつ終点とする S の節点だけからなる道の中の最長路の

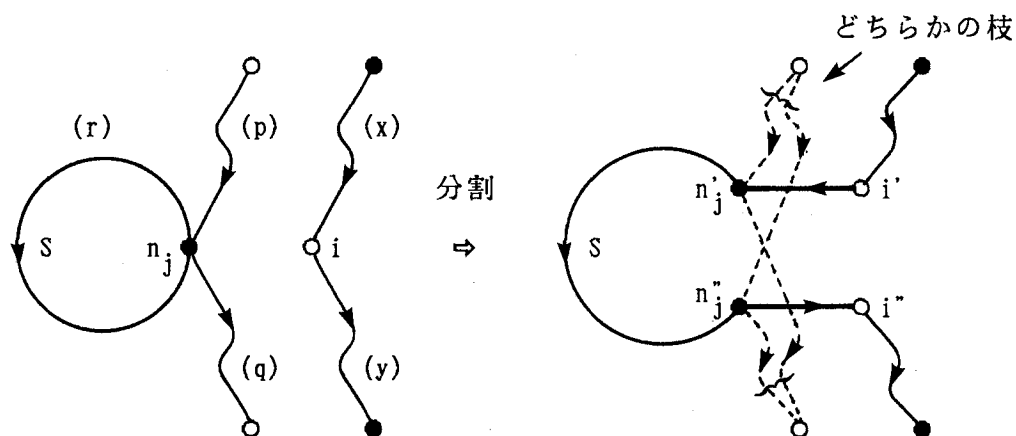


図2.20 定理6の説明図

長さを r とする. このとき, G において n_j を通る最長路の長さは明らかに $p+q+r$ であり, i を通る最長路の長さは明らかに $x+y$ である.

一方 $G[n_j; i]$ において, n_j' または n_j'' を終点とし S の節点を含まない最長路の長さは, 自由枝を n_j' と n_j'' のどちらに接続しても p 以下であり, n_j' または n_j'' を始点とし S の節点を含まない最長路の長さは, 自由枝を n_j' と n_j'' のどちらに接続しても q 以下である. また, n_j' を始点とし n_j'' を終点とする S の節点だけからの最長路の長さは r である. さらに, i' を終点とする最長路の長さは x であり, i'' を始点とする最長路の長さは y である. 従って, $G[n_j; i]$ において n_j' , n_j'' , i' , i'' のいずれかを通る最長路とその長さの上限は以下の通りである.

- ① n_j' のみを通る最長路 $\leq p+q$
- ② n_j'' のみを通る最長路 $\leq p+q$
- ③ n_j' , n_j'' のみを通る最長路 $\leq p+r+q$
- ④ i' , n_j' のみを通る最長路 $\leq x+1+q$
- ⑤ n_j'' , i'' のみを通る最長路 $\leq p+1+y$
- ⑥ i' , n_j' , n_j'' のみを通る最長路 $\leq x+1+r+q$
- ⑦ n_j' , n_j'' , i'' のみを通る最長路 $\leq p+r+1+y$
- ⑧ i' , n_j' , n_j'' , i'' を通る最長路 $\leq x+1+r+1+y$

ここで, 与えられた条件より $p \geq x+1$ かつ $q \geq y+1$ なので, ①～⑧のどの最長路の長さも $p+q+r$ 以下である.

従って、 $p \geq x+1$ かつ $q \geq y+1$ という条件を満足する従属ネット n_j と端子 i の対であれば、自由枝の接続方法には無関係に $L(G[n_j; i]) \leq L(G)$ が成立する。

□

次に、準有効分割に対しては以下の定理が成立する。

〔定理 7〕 有効分割可能な従属ネットと端子の対が存在しない結線要求グラフ G において、従属ネット n_j が端子 i で準有効分割可能であるならば、 $G[n_j; i]$ において n'_j と n''_j のどちらに接続してもよい自由枝はなく、常に $L(G[n_j; i]) = L(G)$ が成立する。

(証明) 従属ネット n_j を含む団塊集合を S とすると、 G には有効分割可能な対が存在しないので、 n_j に直接枝で結ばれている端子はすべて S に含まれている。従って、先に定義された幹線分割の方法により、 G において n_j に接続している枝は、 $G[n_j; i]$ において n'_j と n''_j のどちらかに一意的に接続される。すなわち、自由枝は存在しない。

次に、 G において n_j を通らない道は $G[n_j; i]$ においても同じ道が存在しその長さは変わらない。従って、 G において n_j を通る最長路と $G[n_j; i]$ において n'_j または n''_j を通る最長路の比較をすればよい。従属ネット n_j が端子 i で準有効分割可能であることより、定理 4 の条件 (1), (2) のどちらかを満足している。

(1) $(i, n_j) \in A$ かつ n_j の負の次数が 2 以上の場合、 n_j に入る枝の始点となる i 以外の節点の中で、 n_j からの最長路が最も長い節点を k とする (図 2.21 参照)。そして、 $n_j \Rightarrow i$ かつ $n_j \Rightarrow k$ なので、 n_j を始点として i を終点とする道の中の最長路の長さを p とし、 n_j を始点として k を終点とする道の中の最長路の長さを q とする。このとき、 G において n_j を通る最長路の長さは明らかに $p+1$ あるいは $q+1$ である。

一方 $G[n_j; i]$ において、 n'_j を始点とし i を終点とする道の中の最長路は G において n_j を始点とし i を終点とする最長路と同じ道であり、その長さは p である。さらに、 $G[n_j; i]$ において、 n'_j を始点とし k を終点とする道の中の最長路は G において n_j を始点とし k を終点とする最長路と同じ道であり、その長さは q である。従って、 $G[n_j; i]$ において n'_j または n''_j を通る最長路の長さは、 $p+1$ あ

るいは $q+1$ であり, $L(G[n_j; i]) = L(G)$ が成立する.

(2) $(n_j, i) \in A$ かつ n_j の正の次数が 2 以上の場合, n_j から出る枝の終点となる i 以外の節点の中で, n_j への最長路が最も長い節点を k とすると, (1)と同様に $L(G[n_j; i]) = L(G)$ であることが言える. $\square$

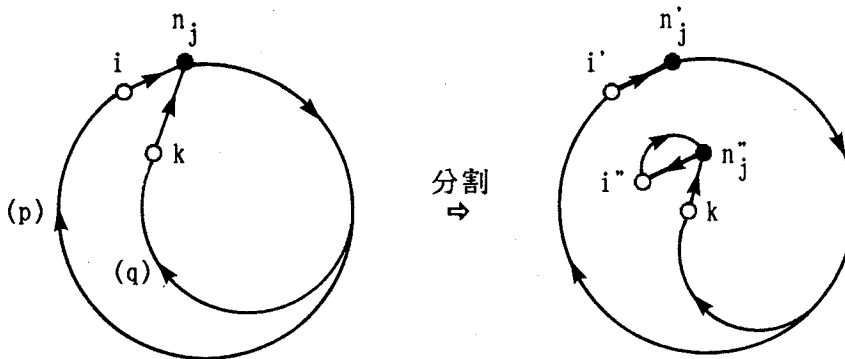


図2.21 定理7の説明図

さて, 以上の議論により, 有効分割に対して定理5と定理6, 準有効分割に対して定理7を得たわけであるが, 有効分割で定理5および定理6の条件を共に満足しない場合, すなわち (n_j, i) と (i, n_j) のどちらの枝も存在せず, 定理6で定義した n_j と i に関する最長路の長さが $p < x+1$ もしくは $q < y+1$ という関係の場合の考察が残されている. このときは, $G[n_j; i]$ において自由枝を除けば, n_j' と n_j'' を通る最長路は 図2.19 より明らかに $x+1+r+1+y$ である. 従って, n_j' と n_j'' を通る最長路がこれ以上長くならないように自由枝を n_j' あるいは n_j'' に振り分ければよい.

以上より, 結線要求グラフ G の団塊集合を解消するための幹線分割において, G に存在する最長路の長さをなるべく長くしないための方針は次のようになる.

◎ 準有効分割

定理7より, 準有効分割が可能なネットと端子の対は, どの対を選択しても自由枝はなく最長路の長さは保存される.

◎ 有効分割

```
if (定理5の条件を満足するネット  $n_j$  と端子  $i$  の対が存在する) {  
    分割  $[n_j; i]$  を行い, 自由枝は下記の自由枝の付け方に従う  
} else  
if (定理6の条件を満足するネット  $n_j$  と端子  $i$  の対が存在する) {  
    分割  $[n_j; i]$  を行い, 自由枝は下記の自由枝の付け方に従う  
} else {  
    有効分割可能な対の中で  $x+1+r+1+y$  の最小のネット  $n_j$  と端子  $i$  で  
    分割  $[n_j; i]$  を行い, 自由枝は,  $n_j$  に入る枝で  $x+1$  より長いものは  $n_j'$   
    に,  $n_j$  から出る枝で  $y+1$  より長いものは  $n_j''$  に, それ以外は下記の自由  
    枝の付け方に従う  
}
```

◎ 自由枝の付け方

自由枝は n_j' , n_j'' のどちらに接続してもよい。従って, 他のネットの幹線との関係による幹線の最大密度を考慮して n_j' , n_j'' のどちらかに振り分ける。

ここで, 本文は「分割により生ずる自由枝の自由度を保ちつつ, 最長路の長さが分割前よりもできるだけ長くないようにする。そして保持された自由度は幹線の最大密度を考慮するときに用いる」という考えに基づいている。従って, 最長路の観点からは最善である接続方法, すなわち,

- n_j から出る枝 (上端の結線要求) のすべてを分割後の上側の幹線 n_j' に
- n_j へはいる枝 (下端の結線要求) のすべてを分割後の下側の幹線 n_j'' に

接続するという方法は用いていない。なお, 他の幹線との関係によりこの接続方法が行われる可能性も残されている。

2. 7 結言

本章の 2.2~2.4 節では, チャネル配線問題における配線可能性, とりわけ関係グラフに存在するサイクルの解消可能性について考察した。その結果, 与えられた

結線要求が巡回配線要求でない限り、本章で定義した有効分割もしくは準有効分割により存在するすべてのサイクルが解消でき、実際の配線パターンの実現が可能であることがわかった。

また、本章で定義した幹線分割の方法では、

- (1) 有効分割： n' 、 n'' とともに独立ネットになるので n' 、 n'' を2度と分割しなくてよい。
- (2) 準有効分割： n' 、 n'' の一方は従属ネットになり再度団塊集合に含まれるが、他の従属ネットの中に有効分割可能なものが必ず存在するので、2度目の幹線分割をする必要はない。

となるので、同一幹線の再分割という状態はおこさなくてすむ。即ち、幹線の2分割のみですべてのサイクルは解消できる。

さらに、2.5、2.6 節では、幹線分割と制約グラフの最長路の関係について考察した。その結果、準有効分割の場合はどのような分割でも最長路は分割前の長さを維持できること、有効分割の場合はある条件さえ満足する分割であれば自由枝の自由度は維持したままで最長路は分割前の長さ以下に抑えられることがわかった。従って、残された自由度を十分に生かし、幹線の最大密度をも考慮した幹線分割が可能になる。

第3章 神経回路網論的手法によるチャネル配線法

3. 1 緒言

チャネル配線問題は、その制約グラフからサイクルを取り除けば幹線の配置問題に帰着でき、現在までに幾つかの有用なヒューリスティック手法が提案され実際に用いられている。本章では、このサイクルを含まないチャネル配線問題の一つの解法として、神経回路網論的手法を用いた配線法について述べる。なお、サイクルを含む配線要求が与えられた場合には、前章の内容を基に幹線分割を行い、存在するサイクルを解消した後に本章の手法を用いればよい。

神経回路網論的手法は、J. J. Hopfield と D. W. Tank が相互結合型の神経回路網モデルを用いてNP困難な問題として知られている巡回セールスマン問題の比較的良い解を得たこと^{[15]-[17]}を発端とし、組み合わせ問題の一解法として最近注目をあびている手法である。原理としては、神経回路網モデルの力学的な安定点（平衡点）がある形のエネルギー関数の極小値になっており、対象とする組み合わせ最適化問題の制約条件や目的関数をエネルギー関数の最小化の形に表現すれば、そのエネルギー関数をもつ神経回路網で問題の解が得られるというものである。従って、神経回路網のハードウェア化や並列型計算機などによるシミュレーションを用いれば、組み合わせ問題の解を高速に得ることが期待できる。

この相互結合型の神経回路網モデルを用いた組み合わせ問題の解法例としては、巡回セールスマン問題以外に、ヒッチコック問題^[18]、A/Dコンバータ^[19]、彩色問題^[20]など幾つか報告されているが、計算機援用設計の諸問題など種々の組み合わせ問題に適用する試みは、神経回路網論的手法の適用可能性を探る上で非常に重要である。

そこで、神経回路網論的手法をVLSIの自動レイアウト設計における配置配線問題に適用する試みを行ってきた^{[21]-[31]}が、本章では、チャネル配線問題に対する適用について述べる^{[23]-[28]}。以下では、相互結合型の神経回路網モデルの概要とチャネル配線問題のためのエネルギー関数の考え方について述べ、計算機シミュレーションの結果について考察する。

3. 2 相互結合型の神経回路網モデル

図3.1 に J.J.Hopfield らにより提案された相互結合型の神経回路網モデルの回路構成を示す。各オペアンプ i とそれに付随する抵抗 R_i 、キャパシタ C_i が1個のニューロン（神経細胞）を構成している。すなわち、ニューロン i は、その入力電圧 u_i と出力電圧 V_i の間にシグモイド状の単調増加な非線形特性 g をもち、興奮性（正）と抑制性（負：反転）の出力端子をもつ。抵抗とキャパシタは細胞膜における入力インピーダンスを表現し、ニューロンの時定数を決定している。また、あるニューロン j の正または負の出力のどちらか一方と他のニューロン i の入力をコンダクタンス T_{ij} によって結合（シナプス結合）することにより、興奮性あるいは抑制性の内部結合を実現している。さらに、各ニューロン i には外部から入力バイアス電流 I_i が流入し、その値が個々のニューロンの活動レベル（しきい値）を制御する。

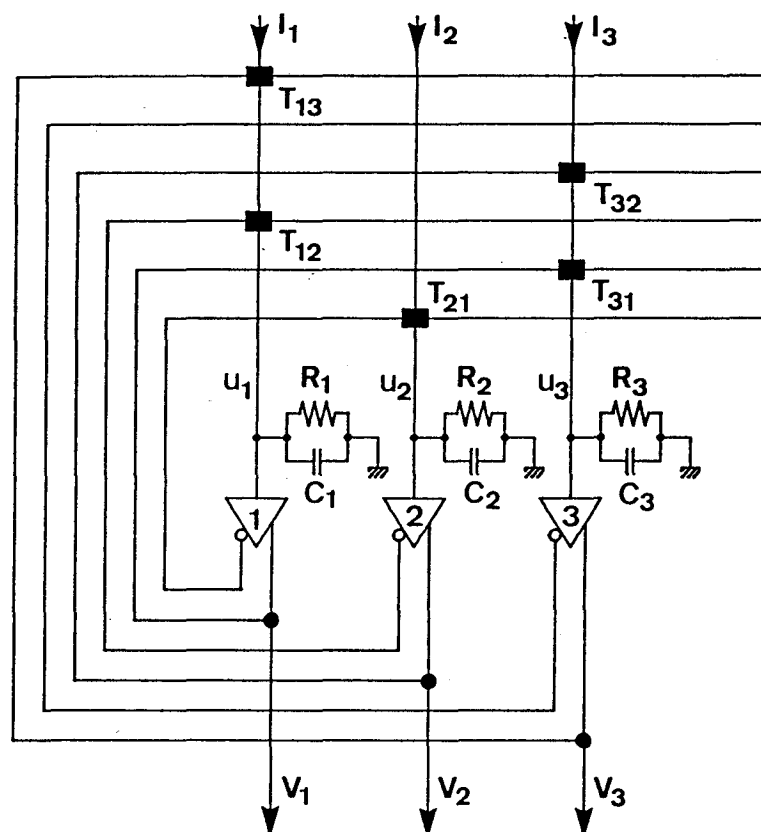


図3.1 Hopfield らにより提案された相互結合型の神経回路網モデル

この神経回路網の各ニューロンに対する回路方程式は、

$$C_i (du_i/dt) = -u_i/R_i + \sum_{j=1}^n T_{ij} \cdot V_j + I_i \quad (3-1)$$

$$V_i = g(u_i) \quad (i = 1, 2, \dots, n) \quad (3-2)$$

で表される。ここで、 n はニューロンの個数である。式(3-1)の両辺を C_i で割って正規化し、 T_{ij}/C_i 、 I_i/C_i を新たに T_{ij} 、 I_i で表し、 $R_i \cdot C_i$ を時定数 τ と置くことにより、式(3-1)は次のような正規形に書き直すことができる。

$$du_i/dt = -u_i/\tau + \sum_{j=1}^n T_{ij} \cdot V_j + I_i \quad (i = 1, 2, \dots, n) \quad (3-3)$$

さらに、 g が

$$g(u) = (1 + \tanh(u/u_0))/2 \quad (3-4)$$

の形の単調増加関数 (u_0 は g の傾きを決める定数で、 u_0 が 0 に近づくとき関数 g はステップ関数に近づく。図3.2 参照) とし、 T_{ij} が対称性 ($T_{ij} = T_{ji}$) を持ち、

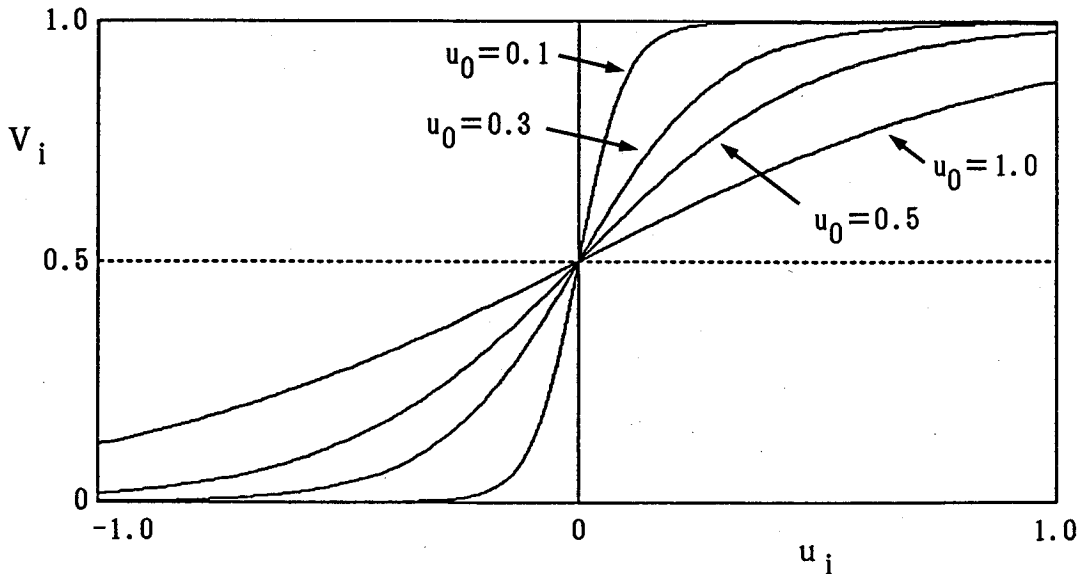


図3.2 ニューロンの入出力関数 $V_i = g(u_i)$

かつ τ が十分に大きいならば、式(3-3)の安定状態 ($du_i/dt=0$) は、次のエネルギー関数が極小値をとることと等価であることが証明されている。

$$E = - (1/2) \sum_{i=1}^n \sum_{j=1}^n T_{ij} \cdot V_i \cdot V_j - \sum_{i=1}^n I_i \cdot V_i \quad (3-5)$$

すなわち、

$$\begin{aligned} \text{すべての } t > 0 \text{ において } dE/dt \leq 0, \text{ かつ} \\ du_i/dt = 0 \text{ のとき } dE/dt = 0 \end{aligned} \quad (3-6)$$

が成立している。

従って、組み合わせ最適化問題をこの相互結合型の神経回路網で解く手順は次のように要約される。

- ① 問題の制約条件と目的関数を 式(3-5) の形で表現する。
- ② 得られた結合係数 T_{ij} と入力バイアス電流 I_i を持つ神経回路網を構成する。
- ③ そのハードウェア化あるいは計算機シミュレーションによって 式(3-3) の安定状態を求める。
- ④ 得られた状態を元の問題の解に復元する。

3. 3 チャネル配線のためのエネルギー関数

チャネル配線問題とは、前章でも述べたように、VLSI内部の矩形配線領域における2端子列2層配線問題である。この問題を簡単化するために、1つのネットを1つの幹線で代表させ、配線問題を幹線の配置問題に帰着させる幹線支線方式に注目する。この時、幹線が重ならないための水平制約と、幹線と端子列を結線するための支線が重ならないための上下制約が各ネット間に生じる。これらの2つの制約を満足した上で、配線に必要な水平トラックの数を最小にするような幹線の配置を求めることがチャネル配線問題である。

各端子に割り当てられたネットを，次の2つの系列 T, B で表す．

$$\begin{aligned} T &= (t_1, t_2, \dots, t_q), & t_1 \sim t_q &\in N \cup \{0\} \\ B &= (b_1, b_2, \dots, b_q), & b_1 \sim b_q &\in N \cup \{0\} \end{aligned} \quad (3-7)$$

ここで，T および B はそれぞれ上および下側の端子列を表し，q は端子数であり，すべてのネットの集合

$$N \triangleq \{n_1, n_2, \dots, n_s\}, \quad |N| = s \quad (3-8)$$

をネットリストという．ただし，0 の与えられた端子はどのネットも割り当てられていないことを意味する．図3.3 に示すように，配線は2つの端子列に挟まれたチャンネル領域で行う．チャンネル領域は2層構造であり，幹線と支線は異なった層に置かれ，必要ならば両者の交点をスルーホールで接続する．なお，端子，幹線，支線，スルーホールはチャンネル領域の量子化された位置にしか置けないという前章と同じ制約に従う．

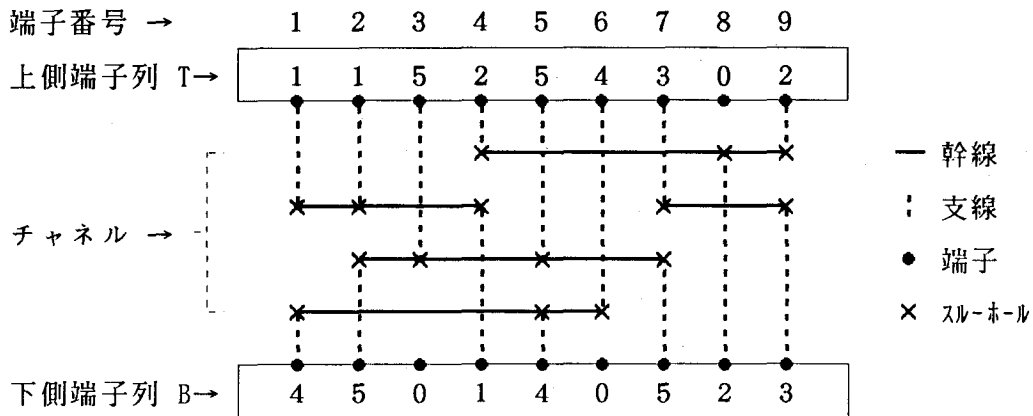


図3.3 チャンネル配線の一例

ネット n_j の幹線の長さを次の実数 L_j で定義する．

$$\begin{aligned} L_j &\triangleq |R_j|/q \\ R_j &\triangleq \{i \mid (\text{ネット } n_j \text{ が指定された最も左の端子番号}) \leq \text{端子番号 } i \leq \\ &\quad (\text{ネット } n_j \text{ が指定された最も右の端子番号})\} \end{aligned} \quad (3-9)$$

水平制約グラフ G_h を次のように定義する.

$$G_h \triangleq (N, A_h) \quad (3-10)$$

$$A_h \triangleq \{ \langle n_j, n_k \rangle \mid R_j \cap R_k \neq \emptyset, j \neq k \}$$

ただし, 枝 $\langle n_j, n_k \rangle$ は無向枝であり, G_h は無向グラフである.

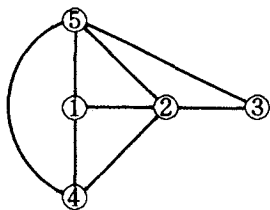
上下制約グラフ G_v を次のように定義する.

$$G_v \triangleq (N, A_v) \quad (3-11)$$

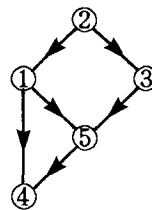
$$A_v \triangleq \{ (n_j, n_k) \mid n_j = t_i \text{ かつ } n_k = b_i \text{ となる端子番号 } i \text{ が存在する. ただし } j \neq k \}$$

ただし, 枝 (n_j, n_k) は有向枝であり, G_v は有向グラフである. この上下制約グラフにサイクル (有向閉路) が存在すれば幹線支線方式では配線できないので, 本章では G_v にサイクルは存在しないものと仮定する. サイクルが存在する場合には, 前章で述べた幹線分割を適用し, サイクルを取り除けばよい. また, G_v において, 節点 x から節点 y へ長さが 1 以上の有向道が存在する場合 $x \Rightarrow y$ と書く.

図3.4 に, 図3.3 の結線要求に対する水平制約グラフ G_h と上下制約グラフ G_v を示す.



(a) 水平制約グラフ G_h



(b) 上下制約グラフ G_v

図3.4 図3.3 の結線要求に対する水平制約グラフと上下制約グラフ

チャネル配線を幹線の配置問題と考えると, あるネットの幹線をどの水平トラックに置くかという問題になる. ネットの個数を s とすると, 水平トラックは最悪の

場合でも s 本あればよいが，ここでは， w ($\leq s$) 本の水平トラックが与えられたとして議論を進める．

相互結合型の神経回路網でこの問題の解を表現するために，図3.5 に示すように各ネットについて w 個のニューロンを用意する．ネット x の i 番目のニューロンは，ネット x の幹線を水平トラック i に置くかどうかを表現するためのものであり，そのニューロンの出力 V_{xi} の値が 1 の場合は置く，0 の場合は置かないと解釈する．なお，ニューロンの出力は，式(3-4) の入出力特性関数 g により 0 以上 1 以下のアナログ値に限定されている．

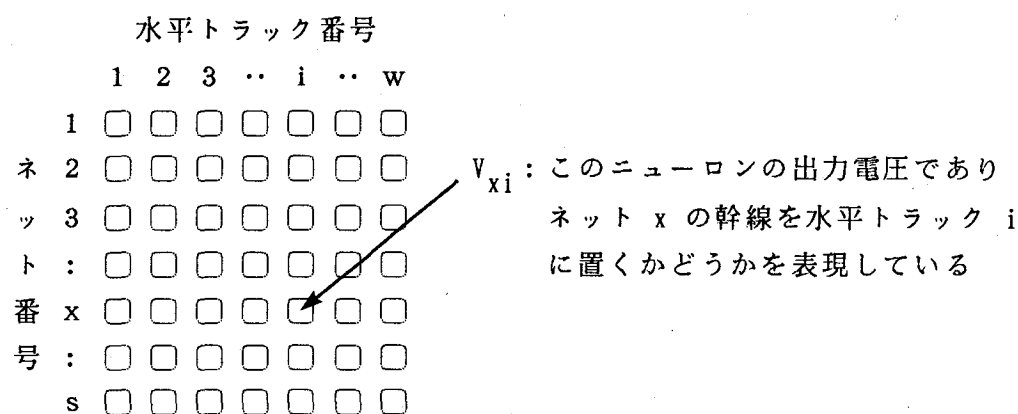


図3.5 チャンネル配線のためのニューロンの割り当て

この神経回路網でチャンネル配線問題の解を得るためには，チャンネル配線問題の制約条件を満足し，かつ目的関数を最小にするようなエネルギー関数を変数 V_{xi} を用いて導出し，神経回路網に与えてやればよい．

まず，制約条件は， $A \sim D$ をパラメータとして，以下の4つで表現できる．

- ① 各ニューロンの出力 V_{xi} の値を 0 か 1 にする．

$$(A/2) \sum_{x=1}^s \sum_{i=1}^w V_{xi} \cdot (1 - V_{xi}) \rightarrow \text{minimum} \quad (3-12)$$

② 各ネットの幹線はただ1つの水平トラックに配置する.

$$(B/2) \sum_{x=1}^S \left(\sum_{i=1}^W V_{xi} - 1 \right)^2 \rightarrow \text{minimum} \quad (3-13)$$

③ 各ネットの幹線が水平制約を満足する.

$$(C/2) \sum_{x=1}^S \sum_{i=1}^W \sum_{y=1, y \neq x}^S \alpha_{x,y} \cdot V_{xi} \cdot V_{yi} \rightarrow \text{minimum} \quad (3-14)$$

ここで, $\alpha_{x,y}$ はネット x の幹線とネット y の幹線の間の水平制約を表現する値であり,

$$\alpha_{x,y} = \begin{cases} 1 : x \neq y \text{ かつ } \langle x, y \rangle \in Ah \text{ のとき} \\ 0 : \text{それ以外のとき} \end{cases}$$

と定義する.

④ 各ネットの幹線が上下制約を満足する.

$$(D/2) \sum_{x=1}^S \sum_{i=1}^W \sum_{y=1, y \neq x}^S \sum_{j=1}^W \beta_{xi,yj} \cdot V_{xi} \cdot V_{yj} \rightarrow \text{minimum} \quad (3-15)$$

ここで, $\beta_{xi,yj}$ は水平トラック i に置かれたネット x の幹線と水平トラック j に置かれたネット y の幹線の間の上下制約を表現する値であり,

$$\beta_{xi,yj} = \begin{cases} 1 : x \neq y, i \geq j \text{ かつ } x \Rightarrow y \text{ のとき, または} \\ \quad x \neq y, i \leq j \text{ かつ } y \Rightarrow x \text{ のとき} \\ 0 : \text{それ以外のとき} \end{cases}$$

と定義する.

これらの中で, 条件①は神経回路網自身の収束に関する制約であり, 条件②, ③, ④はチャネル配線仕様に基づく制約である. これらの各式は, 制約が満足されていなければ正の値になり, 制約が満足された時に 0 (最小値) となる.

次に、使用する水平トラックの数を最小にするための目的関数は、R をパラメータとして、以下のように表現する。

⑤ 各水平トラックになるべく多くの幹線を配置する。

$$-(R/2) \sum_{x=1}^S \sum_{i=1}^W \sum_{y=1, y \neq x}^S (1 - \alpha_{x,y}) \cdot (1 - \beta_{xi,yi}) \cdot L_x \cdot L_y \cdot V_{xi} \cdot V_{yi} \rightarrow \text{minimum} \quad (3-16)$$

ここで、 $\alpha_{x,y}$ は式(3-14)で定義した水平制約を表現する値、 $\beta_{xi,yi}$ は式(3-15)で定義した上下制約を表現する値、 L_x は式(3-9)で定義したネット x の幹線の長さを表現する値である。この式(3-16)の値は、ネット x の幹線とネット y の幹線が同じ水平トラック i に置かれ、かつ両者の間に水平制約も上下制約もないとき負の値になり、しかも両者の幹線の長さが長いほど、より小さな値（絶対値はより大きな値）になる。従って、水平制約も上下制約もないなるべく長い幹線を同じ水平トラックにできるだけ多く置くように働く。

以上より、チャネル配線問題に対するエネルギー関数は、式(3-12)～(3-16)を加え合わせたものになり、

$$E = -(1/2) \sum_{xi=1}^{S \cdot W} \sum_{yj=1}^{S \cdot W} T_{xi,yj} \cdot V_{xi} \cdot V_{yj} - \sum_{xi=1}^{S \cdot W} I_{xi} \cdot V_{xi}$$

$$T_{xi,yj} = A \cdot \delta_{xy} \cdot \delta_{ij} - B \cdot \delta_{xy} - C \cdot (1 - \delta_{xy}) \cdot \delta_{ij} \cdot \alpha_{x,y} - D \cdot (1 - \delta_{xy}) \cdot \beta_{xi,yj} + R \cdot (1 - \delta_{xy}) \cdot \delta_{ij} \cdot (1 - \alpha_{x,y}) \cdot (1 - \beta_{xi,yj}) \cdot L_x \cdot L_y$$

$$I_{xi} = -(A/2) + B \quad (3-17)$$

となる。ただし、 δ_{xy} は $x=y$ の時に 1、その他の時は 0 となるデルタ関数である。ここで、 α と β の定義より、 $\alpha_{x,y} = \alpha_{y,x}$ と $\beta_{xi,yj} = \beta_{yj,xi}$ は明らか

なので、 $T_{xi,yj}$ は対称 ($T_{xi,yj} = T_{yj,xi}$) である。従って、この結合係数 $T_{xi,yj}$ と入力バイアス電流 I_{xi} をもつ神経回路網の安定状態は、チャンネル配線問題の制約条件と目的関数を表現したエネルギー関数の極小値になる。

エネルギー関数の各項に付加しているパラメータ A, B, C, D, R は、エネルギー関数における各項の強弱を調整するためのものであり、チャンネル配線問題の良い解（制約条件をすべて満足し、使用している水平トラック数になるべく少ないもの）を神経回路網で得るためには、これら各パラメータの値を適切に設定する必要がある。また、各ニューロンに与える初期電位により収束する極小点が異なってくるため、初期電位も適切に設定する必要がある。

3. 4 実験結果と考察

神経回路網の計算能力を調べるために、式(3-3)の動作方程式に式(3-17)の結合係数と入力バイアス電流を代入し、神経回路網の安定状態をシミュレーションにより求めた。用いた計算機は、SONY NEWS-1750 (CPU 68030, 25MHz, 4.3MIPS) である。オペアンプの特性 g には式(3-4)を $u_0 = 0.1$ として用い、安定状態の求解には緩和法 (Gauss-Seidel法) を用いた。時定数 τ は 1.0 とし、エネルギー関数の値の変化が 10^{-3} 以下になる（収束したと呼ぶ）まで反復を繰り返した。

まず、エネルギー関数の各項に付けたパラメータ A, B, C, D, R の値を決定する必要がある。これらの値はエネルギー関数における各項の強弱を調整するためのものであり、適切な値にしなければ良い解は得られない。また、神経回路網の初期状態すなわち各ニューロンの初期電圧についても検討する必要がある。そこで、以下のような結線要求^[9]を例題として用い、幾つかの初期値に対してパラメータを変化させてシミュレーションを行った。

端子数 $q = 43$

ネット数 $s = 21$

$T = (21, 19, 18, 9, 10, 17, 9, 12, 6, 0, 17, 5, 6, 8, 11, 8, 20, 9, 10, 21,$
 $5, 0, 11, 15, 10, 0, 15, 1, 3, 16, 0, 0, 0, 9, 19, 7, 0, 16, 14, 7,$
 $0, 0, 0)$

B = (0, 0, 0, 0, 0, 0, 0, 0, 0, 13, 10, 18, 4, 2, 21, 2, 4, 12, 1, 4, 13,
 1, 4, 2, 0, 1, 4, 0, 3, 19, 2, 3, 20, 2, 3, 14, 3, 1, 9, 13, 0,
 12, 20, 15)

必要な水平トラック数の最小値 = 12

各パラメータの値は相対的なものである。ただし、C と D は水平制約と上下制約のためのパラメータで同等に扱ってもよいと考えられるので、C=D=5 を基準とし、A, B, R の各値を変化させた。

各ニューロンの初期値 (t=0) としては、以下の4つの場合を考えて比較した。

$$[i1] \ u_{xi} = 0$$

$$[i2] \ u_{xi} = -(u_0/2) \cdot \log_e(w-1)$$

$$[i3] \ u_{xi} = [i1] + S_{xi}$$

$$[i4] \ u_{xi} = [i2] + S_{xi}$$

- ネット x を表す上下制約グラフの節点の負の次数が 0 の場合

$$S_{xi} = (u_0/2) - u_0 \cdot (i-1)/(w-1)$$

- ネット x を表す上下制約グラフの節点の正の次数が 0 の場合

$$S_{xi} = -(u_0/2) + u_0 \cdot (i-1)/(w-1)$$

- その他

$$S_{xi} = 0$$

初期値 [i1] は、出力 V_{xi} に直すと 0.5 という値であり、取り得るアナログ値の中間値である。[i2] は、出力 V_{xi} に直すと $1/w$ という値であり、式(3-13)を満足する値である。[i3], [i4] は、[i1], [i2] を基準にして、各ネットの特徴により幾らかの効果的な傾斜を付けようというものである。上下制約グラフにおいて負の次数が 0 のネットの幹線は、それより上に置くべき幹線がないので、小さな番号の水平トラックに置かれるはずである。逆に、正の次数が 0 のネットの幹線は、それより下に置くべき幹線がないので、大きな番号の水平トラックに置かれるはずである。傾斜 S_{xi} はこの事実に基づいている。

表3.1 は、 $R=5$ に固定して A , B および初期値を変化させたシミュレーション結果である。表中の“反復回数”は、実行可能解（問題の制約を満たす解）が得られた時の緩和法の繰り返し回数であり、各ニューロンの出力 V_{xi} を 0 か 1 に四捨五入して、制約条件②,③,④をすべて満足しているかどうかで判定している。もし、最終状態（エネルギー値が収束）において制約が満たされていない場合には、反復回数の欄に×印を記している。“使用トラック”は得られた解が使用している水平トラック数であり、最適解が得られている場合には網掛け（■印）を施している。この表において、収束速度や得られる解の質について比較すると、

- a) パラメータ A の値は、小さいほど最適解に収束し易い。
- b) パラメータ A の値は、大きいほど速く収束するが、余り大き過ぎると実行可能解が得られなくなる。
- c) パラメータ B の値は、ある程度大きい方がよい。
- d) 初期値は、 $[i1]$, $[i3]$ よりも $[i2]$, $[i4]$ の方がよい。

ことがわかる。

次に、 $B=13$ に固定して A , R および初期値を変化させたシミュレーション結果を表3.2 に示す。この表より、パラメータ R の効果が素直に現れている（ R は使用する水平トラックを少なくするためのパラメータなので、 R の値が大きいほど最適解が得られる確率が高くなるが、余り大き過ぎると解が得られなくなる）という意味から、 $A=3$ 、初期値は $[i2]$, $[i4]$ が良いことが言える。また、 R は 20 程度の値が良いこともわかる。

以上より、良い解を速く得るためには、

$$A=3$$

$$B=13$$

$$C=5$$

$$D=5$$

$$R=20 \text{ 程度}$$

$$\text{初期値}=[i2] \text{ または } [i4]$$

という各パラメータの値と初期値が適切であると考えられる。

表3.1 初期値とパラメータ A, B を変化させたシミュレーション結果

(固定パラメータ : $w=13$, $C=D=5$, $R=5$)

A	B	初期値 = i1		初期値 = i2		初期値 = i3		初期値 = i4	
		反復回数	使用トラック	反復回数	使用トラック	反復回数	使用トラック	反復回数	使用トラック
1	11	51	13	102	12	159	13	105	12
3		40	13	45	13	40	13	38	13
5		33	13	36	13	41	12	32	13
7		29	13	29	13	×		28	13
1	12	51	13	106	12	135	13	49	12
3		48	13	53	13	46	13	38	13
5		37	13	36	13	42	12	×	
7		30	13	29	13	×		30	13
1	13	51	13	104	12	62	12	48	12
3		57	13	53	13	55	13	40	13
5		36	13	36	12	46	12	35	13
7		33	12	30	13	×		33	13
1	14	89	13	51	12	68	12	51	12
3		57	13	45	13	50	13	41	12
5		37	13	41	12	55	13	37	13
7		34	12	32	12	×		×	

表3.2 初期値とパラメータ A, R を変化させたシミュレーション結果

(固定パラメータ: $w=13$, $B=13$, $C=D=5$)

A	R	初期値 = i1		初期値 = i2		初期値 = i3		初期値 = i4	
		反復回数	使用トラック	反復回数	使用トラック	反復回数	使用トラック	反復回数	使用トラック
1	5	51	13	104	12	62	12	48	12
	10	×		61	12	56	12	47	12
	15	×		47	13	58	12	45	12
	20	×		50	12	51	13	49	12
	25	65	12	×		50	13	42	12
	30	52	13	48	12	150	12	47	12
	35	53	13	45	12	117	12	50	12
3	5	57	13	53	13	55	13	40	13
	10	47	13	45	13	45	13	38	13
	15	44	13	40	12	49	13	37	13
	20	42	12	39	12	45	13	42	13
	25	54	12	37	12	51	12	36	12
	30	44	12	37	12	×		36	12
	35	×		39	12	×		42	12
5	5	36	13	36	12	46	12	35	13
	10	36	12	42	13	44	12	35	12
	15	34	12	36	12	×		37	13
	20	35	12	35	12	×		×	
	25	×		34	12	×		34	12
	30	×		34	12	×		33	12
	35	×		×		×		41	12

神経回路網の動きを理解するために、エネルギー値の変化の一例を図3.6に、各々のニューロンの出力変化の一例を図3.7に示す。図3.6の白丸は、その反復回数において実行可能解が得られていることを意味している。図3.7の丸印は、各々のニューロンの出力 V_{xi} に比例した半径を持ち、その値が 0.5 以上の場合には黒丸で、0.5 未満の場合には白丸で描かれている。これらの図より、神経回路網は、各々のニューロンが相互に作用し合いながらエネルギー値が減少する方向に状態を変化させ、最終的には与えられた問題の実行可能解に収束してゆく様子がよくわかる。また、各々のニューロンの取り得る値がアナログ値であるため、ある状態に落ち着くまでに幾らかの作業領域が必要になることも図3.7からわかる。ここで、作業領域とは、各々のニューロンの出力が 0 または 1 に収束するまでに 0.2~0.4 程度の微小な値を有する領域（例えば図3.7において、ネット 15 は反復回数 26 の時

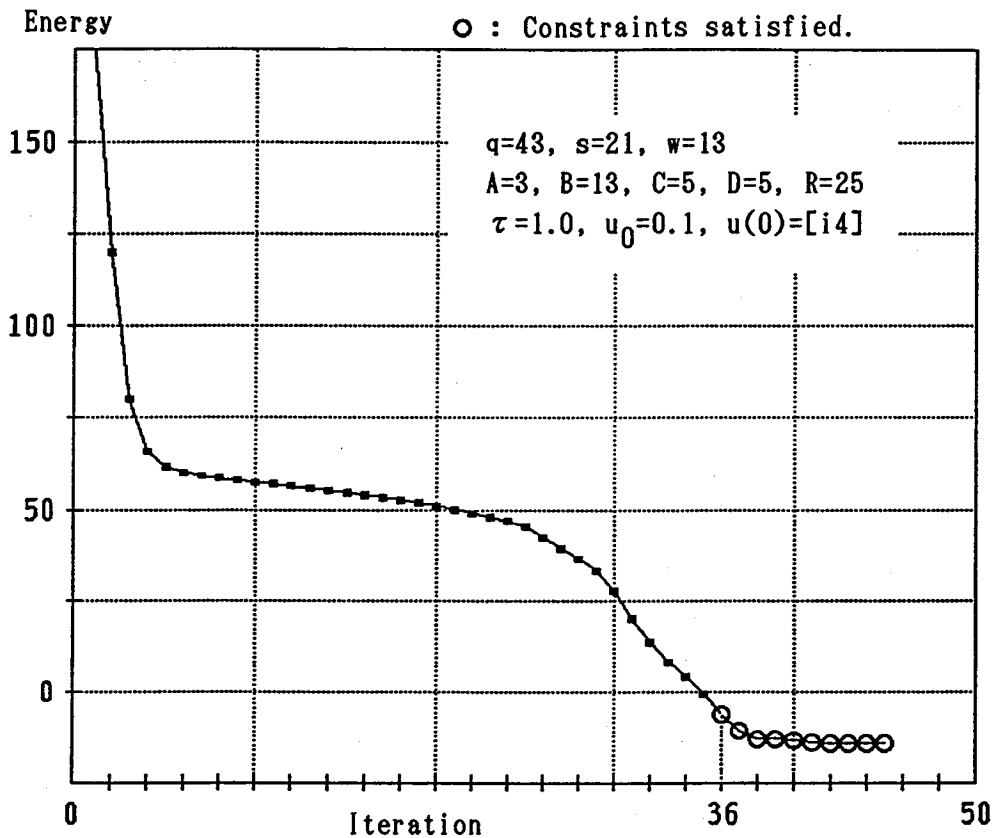


図3.6 エネルギー値の変化の一例

点で水平トラック 3~9, 反復回数 30 の時点で水平トラック 6~8 のニューロン) であり, 他のニューロンとの駆引きにより 1 の状態にするべき候補を少しずつ絞りこんでゆく様子が 図3.7 から読み取れる。

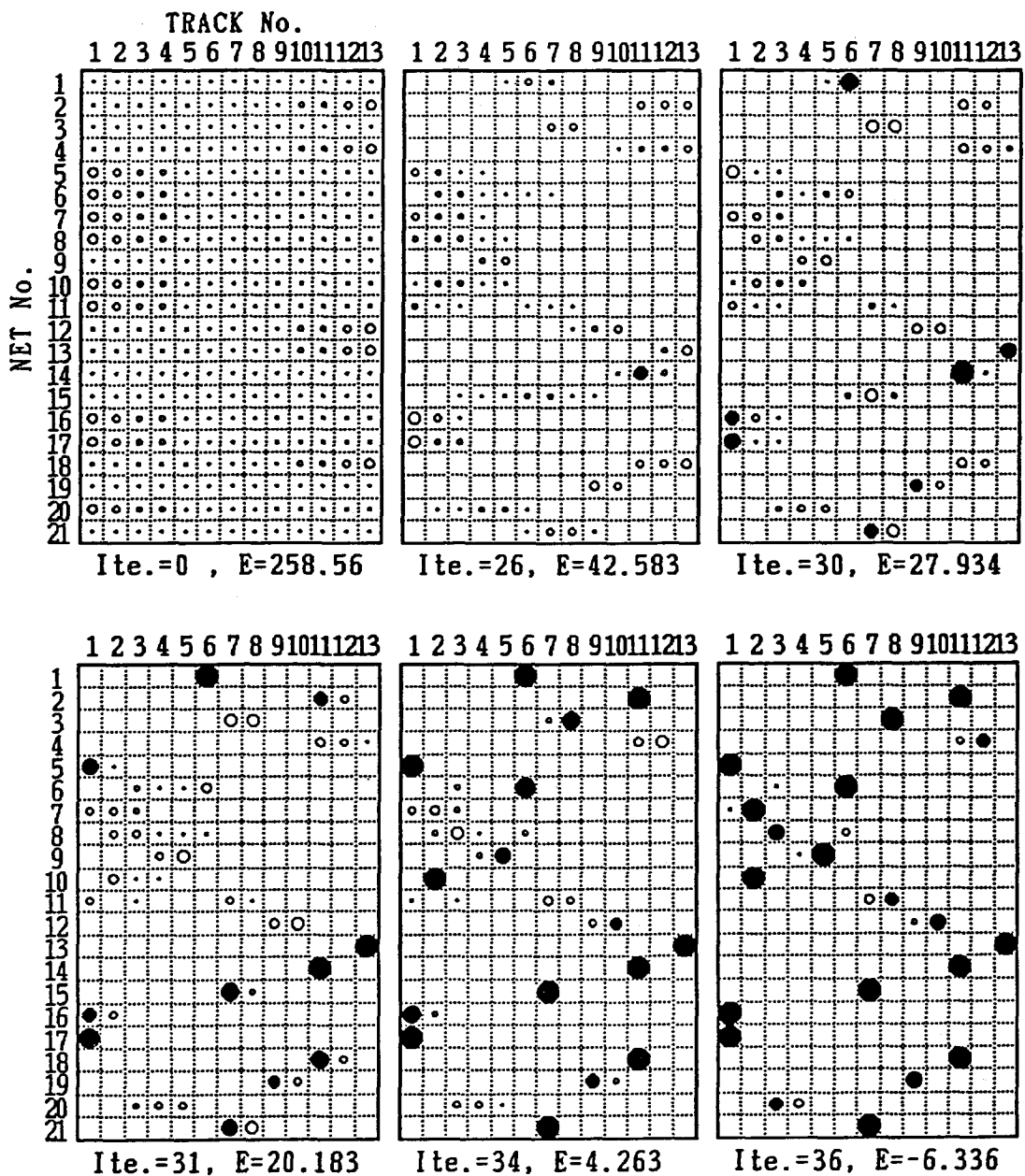


図3.7 各々のニューロンの出力変化の一例

以上のシミュレーションにより得られた各パラメータの値と初期値を用いて、より大規模な結線要求に対して適用した。用いた各データの諸元と得られたシミュレーション結果を表3.3に示す。本表の“最小トラック”は必要な水平トラック数の最小値，“Leftトラック”はLeft Edge Algorithm^[10]により得られた解の使用水平トラック数であり、結線要求データ、名称、必要な水平トラック数の最小値、Left Edge Algorithmにより得られる解の使用水平トラック数の各値は、文献[9]に掲載されているものを引用している。

シミュレーションの際に与えた水平トラック数 w は $s/3+6$ 本であり、この値は各水平トラックに幹線を3本程度置き、それに6本程度の余裕があれば十分だろうということから定めた。ただし、difficult example の場合はこの値で実行可能解が得られなかったため、実行可能解が得られるまで w を増加させてシミュレーションを行った。

パラメータ R は20前後で変化させ、その中の代表的な結果を表3.3に示しており、最も良かったものに網掛け（印）を施している。

“改善トラック”は、神経回路網で得られた解に単純なコンパクションを施し、その結果使用された水平トラックの本数である。用いたコンパクションのアルゴリズムは、図3.8に示すようなものであり、「水平トラック i に置かれている幹線を、水平制約と上下制約を満足する範囲で、できるだけ上の水平トラック（ $1 \sim i$ ）に置き直せ」という非常に単純なアルゴリズムである。

表3.3より、神経回路網で得られた解はLeft Edge Algorithmと同程度、もしくは少し良い程度の解であり、十分な解であるとは言えないものの、簡単なコンパクションにより、かなり良い解に改善できている（最適解も幾つか得られている）ことがわかる。これは、神経回路網が、Left Edge Algorithmのような局所的な観点ではなく、全体を見渡した大域的な観点で動作しているため、各ネットの相互関係をうまく反映した性質の良い解に収束しているからであろうと思われる。この大域的な観点から物を見られることは非常に重要な特徴であり、組み合わせ問題に対する従来のヒューリスティック手法には見られない特徴である。また、図3.8のような簡単なコンパクションでもこれだけの効果があるということは、より有効な目的関数の表現方法（式(3-16)に代わるもの）を見つける必要があることも示唆して

表3.3 より大規模な結線要求に対する適用結果

(A=3, B=13, C=D=5, R=20 前後で変化, 初期値=i4)

データの諸元					シミュレーション結果				
名称	q	s	最小 トラック	Left トラック	w	R	反復 回数	使用 トラック	改善 トラック
example 1	43	21	12	14	13	15	37	13	12
						20	42	13	12
						25	36	12	12
example 3b	84	47	17	20	22	14	81	20	18
						15	57	19	18
						16	110	20	18
example 3c	103	54	18	19	24	16	90	21	19
						17	78	20	19
						18	62	21	19
example 4b	119	57	17	23	25	19	175	×	
						20	77	22	19
						21	180	×	
example 5	128	62	20	22	27	14	85	24	20
						15	96	23	20
						16	78	24	20
difficult example	174	72	28	39	30	15	139	×	
						20	133	×	
					50	15	204	34	28
						20	144	×	
						25	177	31	28

procedure COMPACTION

begin

for i=2 to w do begin

SN ← 水平トラック i に置かれている幹線の集合;

for each x ∈ SN do begin

MOVE(x, i)

end

end

end

procedure MOVE(x, i)

begin

for j=1 to i-1 do begin

if 幹線 x を水平トラック j に置いても水平制約と上下制約に違反しない

then begin

幹線 x を水平トラック i から水平トラック j に移動する;

return

end

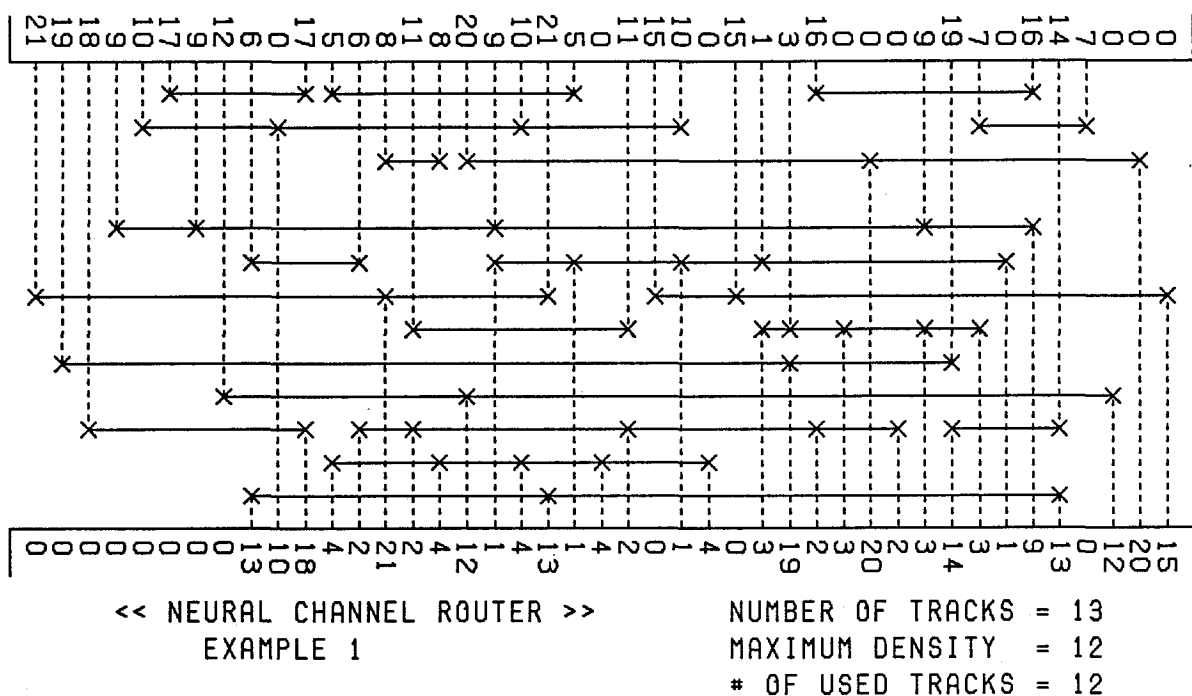
end

end

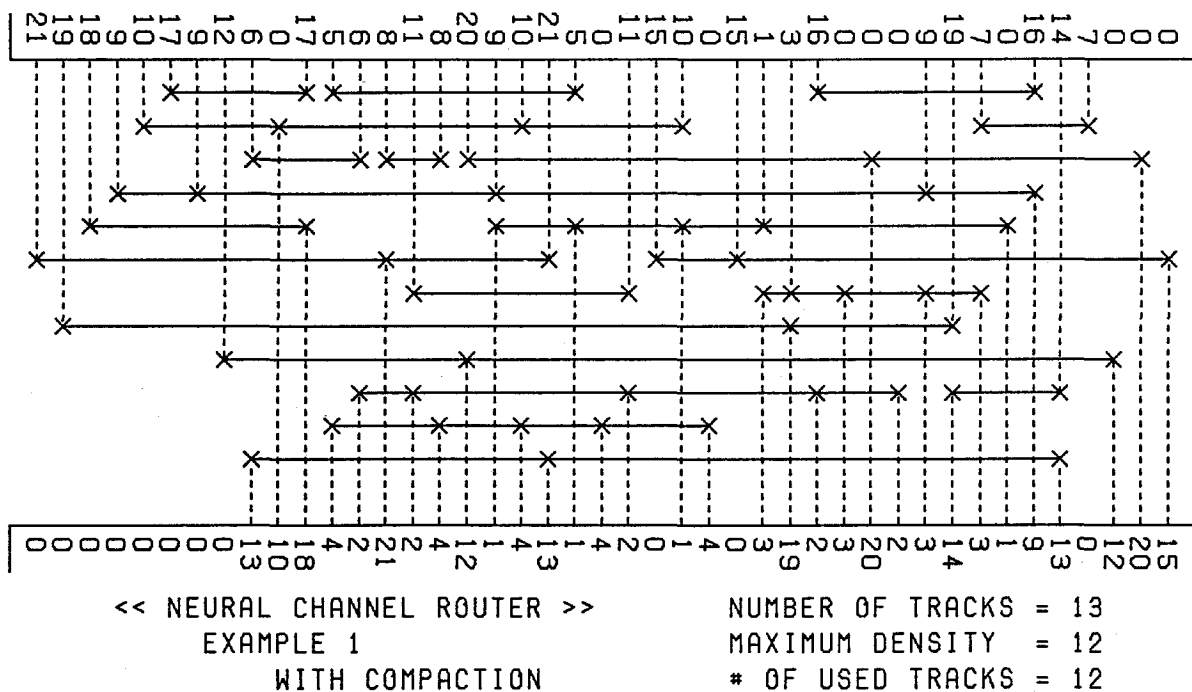
図3.8 単純なコンパクションのアルゴリズム

いるように思われる。

最後に、各々のデータに対する配線結果（表3.3において網掛けを施したもの）を 図3.9～図3.14 に示す。これらの図において、(a) は神経回路網による配線結果であり、それにコンパクションを施した結果が (b) である。

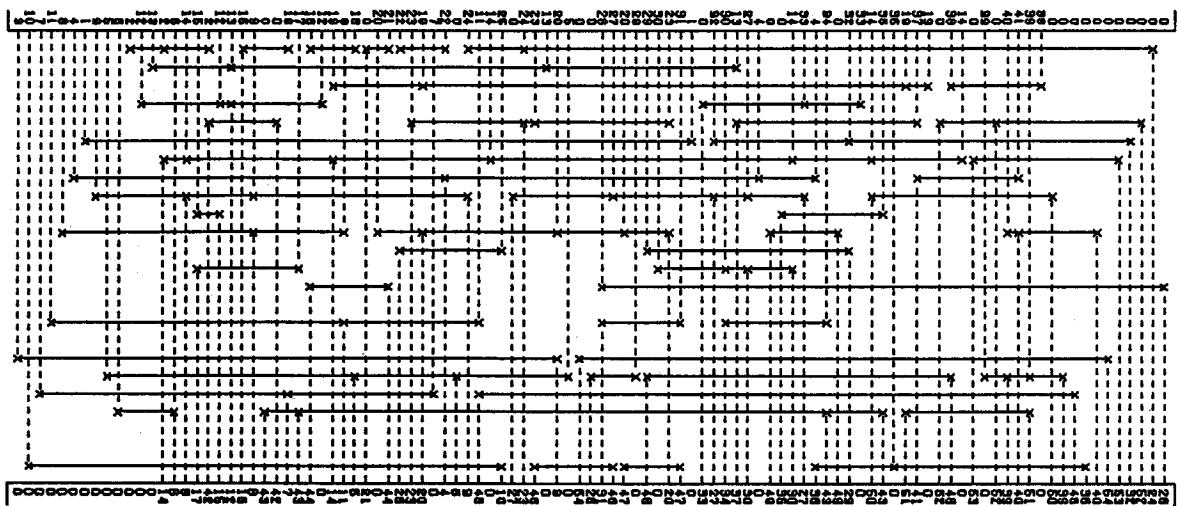


(a) 神経回路網による配線結果



(b) コンパクションを施した後の配線結果

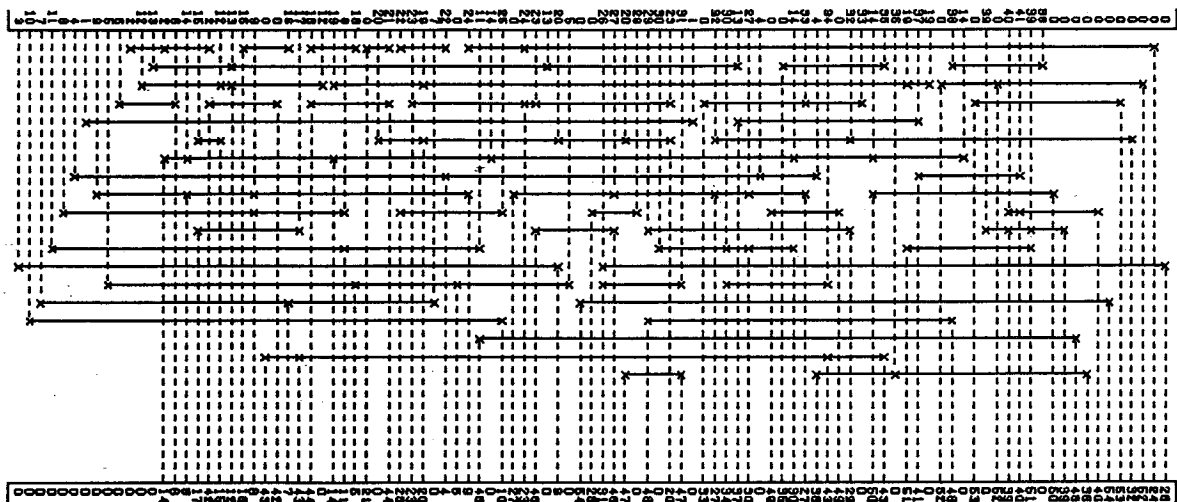
図3.9 example 1 に対する配線結果



<< NEURAL CHANNEL ROUTER >>
EXAMPLE 3C

NUMBER OF TRACKS = 24
MAXIMUM DENSITY = 18
OF USED TRACKS = 20

(a) 神経回路網による配線結果

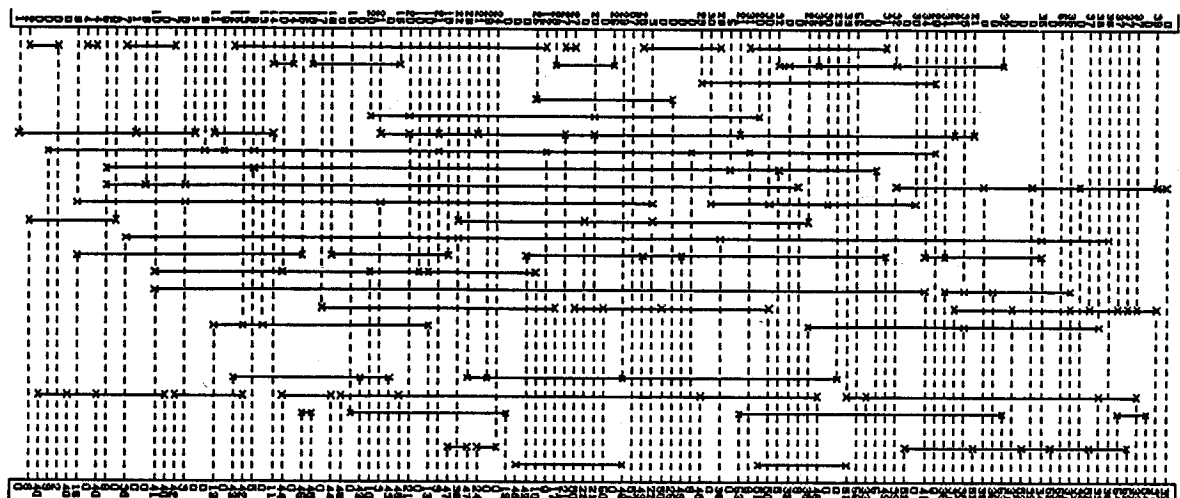


<< NEURAL CHANNEL ROUTER >>
EXAMPLE 3C
WITH COMPACTION

NUMBER OF TRACKS = 24
MAXIMUM DENSITY = 18
OF USED TRACKS = 19

(b) コンパクションを施した後の配線結果

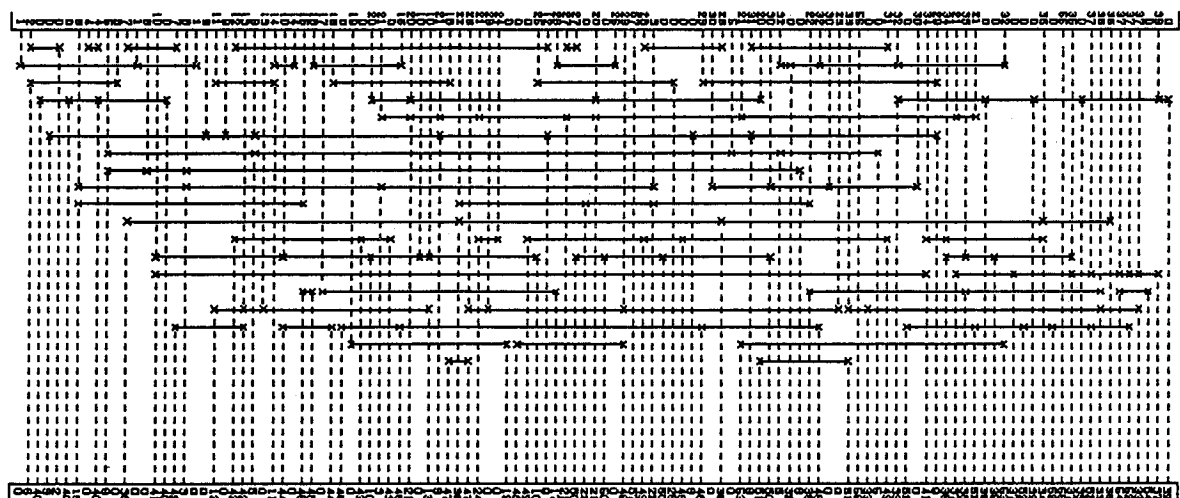
図3.11 example 3c に対する配線結果



<< NEURAL CHANNEL ROUTER >>
EXAMPLE 4B

NUMBER OF TRACKS = 25
MAXIMUM DENSITY = 17
OF USED TRACKS = 22

(a) 神経回路網による配線結果

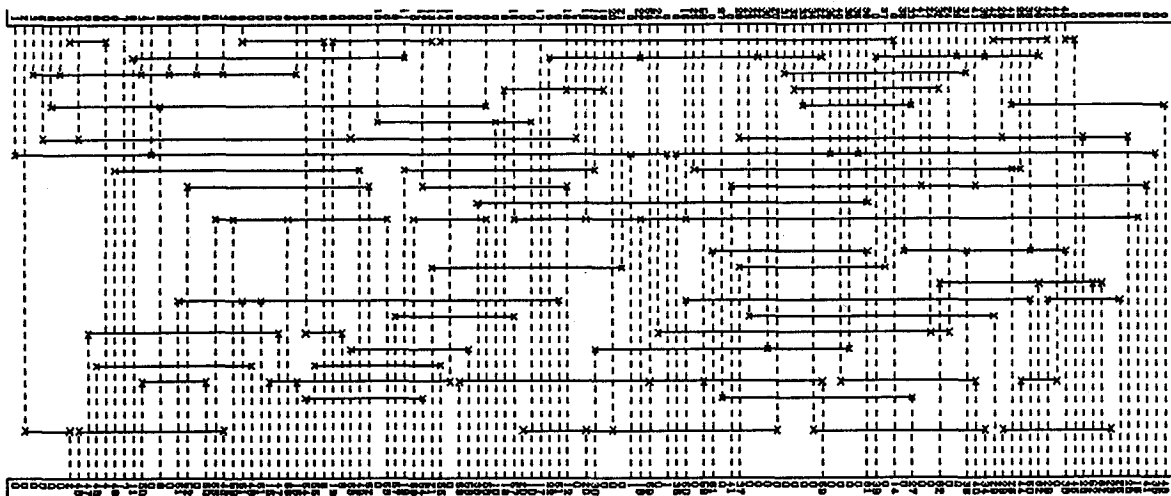


<< NEURAL CHANNEL ROUTER >>
EXAMPLE 4B
WITH COMPACTION

NUMBER OF TRACKS = 25
MAXIMUM DENSITY = 17
OF USED TRACKS = 19

(b) コンパクションを施した後の配線結果

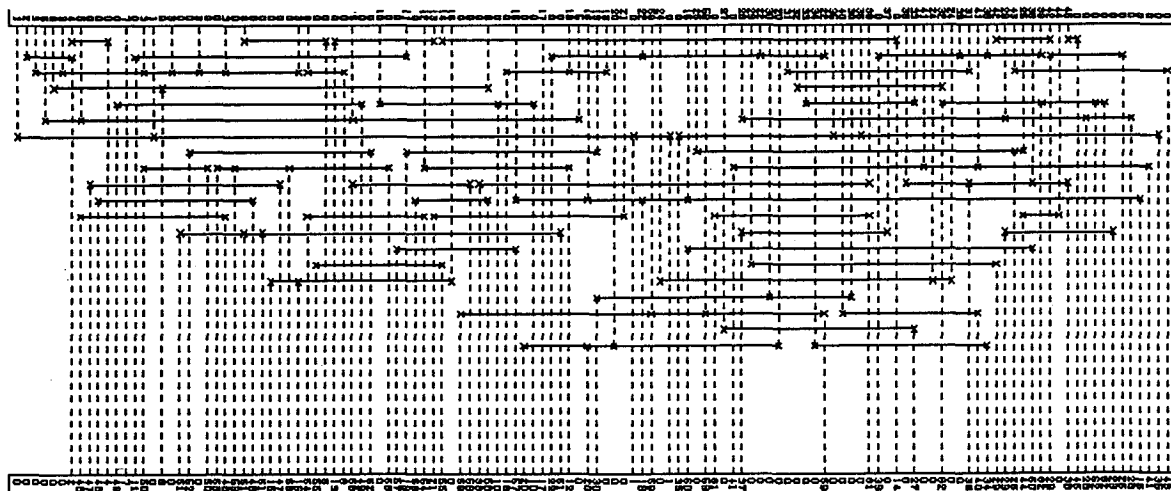
図3.12 example 4b に対する配線結果



<< NEURAL CHANNEL ROUTER >>
EXAMPLE 5

NUMBER OF TRACKS = 27
MAXIMUM DENSITY = 20
OF USED TRACKS = 23

(a) 神経回路網による配線結果

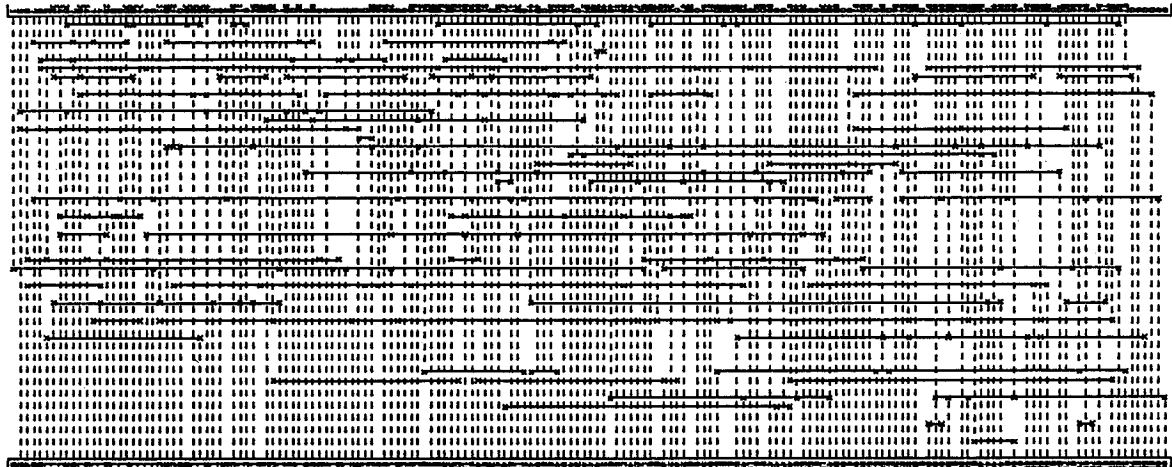


<< NEURAL CHANNEL ROUTER >>
EXAMPLE 5
WITH COMPACTION

NUMBER OF TRACKS = 27
MAXIMUM DENSITY = 20
OF USED TRACKS = 20

(b) コンパクションを施した後の配線結果

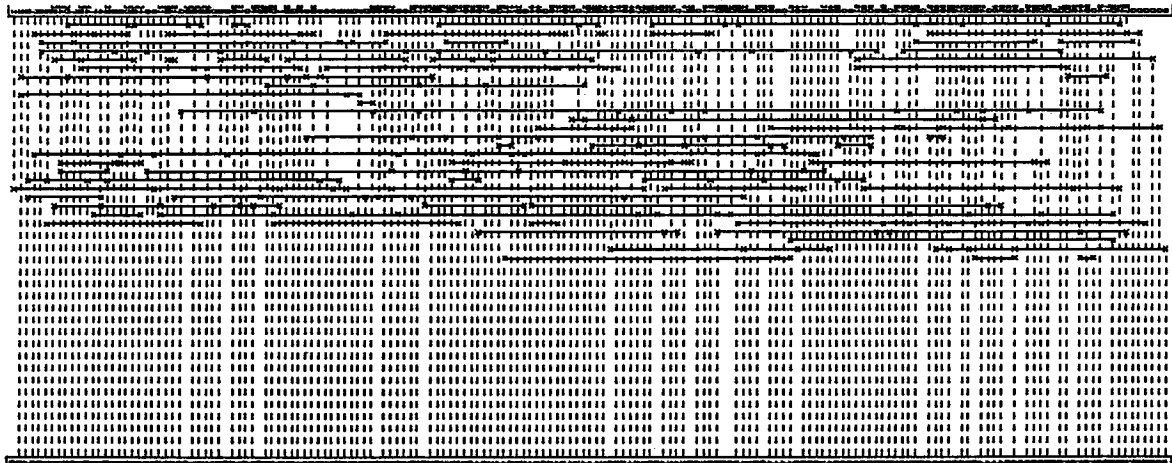
図3.13 example 5 に対する配線結果



<< NEURAL CHANNEL ROUTER >>
DIFFICULT EXAMPLE

NUMBER OF TRACKS = 50
MAXIMUM DENSITY = 19
OF USED TRACKS = 31

(a) 神経回路網による配線結果



<< NEURAL CHANNEL ROUTER >>
DIFFICULT EXAMPLE
WITH COMPACTION

NUMBER OF TRACKS = 50
MAXIMUM DENSITY = 19
OF USED TRACKS = 28

(b) コンパクションを施した後の配線結果

図3.14 difficult example に対する配線結果

3. 5 結言

本章では、神経回路網論的手法をチャンネル配線問題に適用する手法について記述したが、特に、エネルギー関数について考察し、幾つかのシミュレーション結果について述べた。

その結果、

- ① 緩和法によるシミュレーションにおいて、問題の規模にもよるが、50～100 回程度の反復により解が得られること、
- ② 各パラメータの値や初期値を適切な値に設定すれば“最適解に近い解”が得られること、
- ③ 神経回路網で得られた解に単純なコンパクションを施すことにより、最適解もしくは最適解に近い解に改善できること、

がわかった。従って、本手法は実際のVLSI設計の際のチャンネル配線に十分に適用可能である。

第4章 神経回路網論的手法による階層的モジュール配置法

4. 1 緒言

本章では、自動レイアウト設計のもう一つの主要な問題である、モジュール配置問題に対する神経回路網論的手法について考察する^{[29]-[31]}。モジュール配置問題とは、与えられた配置スロット（配置に用いる矩形領域）に全てのモジュール（同一寸法の矩形の単位回路）を配置する問題であり、仮想配線長（各モジュール対間の結線数×それらのモジュール対が配置されたスロット間の距離）の総和をなるべく小さくするという目的関数のもとに配置決定を行う。本章では、すべてのモジュールを 2×2 の4領域に目的関数の値が最小になるように配分するというモジュール4分割手法を相互結合型の神経回路網モデルを用いて実現し、この4分割手法を階層的に適用することにより全てのモジュールの詳細配置を決定するという方法を考察する。制約条件と目的関数をどのようにしてエネルギー関数の形に表現するかについて述べた後、前章と同様に、計算機シミュレーションを通して、仮想配線長がより短くなるための神経回路網の初期値および各種パラメータの設定方法について議論する。最後に、従来のヒューリスティック手法との解の品質や計算時間の比較を行い、本章で提案する手法が有効であることを示す。

4. 2 モジュール4分割問題の定式化

モジュール配置問題には、各々の目的関数に対応して種々のアルゴリズムが提案されている^[32]。従来からよく研究されている逐次改善法（GFDR法^[33]など与えられた初期配置を逐次改善していく方法）に加えて、特に、カットラインを横切る結線数を少なくするという立場から、重み付きグラフの頂点の2分割問題^[34]やハイパーグラフの頂点の4分割問題^[35]とみなして、配置問題を扱う研究が行われている。これはモジュールの配置を階層的に考え、モジュールの集合を2または4分割するという操作を繰り返し、最終的に全モジュールを各スロットに配置するものである。このようなアプローチでは、分割操作の段階において既に分割され配置がある程度定まっている他のモジュールの位置を考える“端子の伝播”を考慮しながら

各モジュールの位置を順次定めていく必要がある。

本文で扱う4分割問題を以下のように定義する。

(a) 4分割すべきモジュールの集合 M_i 、既に配置が定まっているモジュールの集合 M_e 、および、モジュール x, y 間の結線数 $R_{x,y}$ ($x, y \in M_i \cup M_e$) が与えられるものとする。なお、以下では、集合 M_i の要素を内部モジュール、集合 M_e の要素を外部モジュールと呼ぶ。

(b) 4分割に用いる4つの仮想スロットの集合 S_i 、既にモジュールが配置されているスロットの集合 S_e 、および、スロット x, y 間の距離 $D_{x,y}$ ($x, y \in S_i \cup S_e$) がスロットの中心間のマンハッタン距離として与えられるものとする。ただし、各々の仮想スロット $j \in S_i$ には、配置可能なモジュール数として、容量 C_j (ただし、 $\sum_{j \in S_i} C_j = |M_i|$) が与えられるものとする。

(c) 内部モジュール $x \in M_i$ を配置する仮想スロットを $P_i(x) \in S_i$ 、外部モジュール $x \in M_e$ が配置されているスロットを $P_e(x) \in S_e$ で表すと、問題の制約条件と目的関数は以下のように表現できる。

$$|\{j \in S_i \mid P_i(x) = j\}| = 1 \quad \text{for all } x \in M_i \quad (4-1)$$

$$|\{x \in M_i \mid P_i(x) = j\}| = C_j \quad \text{for all } j \in S_i \quad (4-2)$$

$$\begin{aligned} & (1/2) \sum_{x \in M_i} \sum_{y \in M_i} R_{x,y} \cdot D_{P_i(x), P_i(y)} \\ & + \sum_{x \in M_i} \sum_{y \in M_e} R_{x,y} \cdot D_{P_i(x), P_e(y)} \rightarrow \text{minimum} \end{aligned} \quad (4-3)$$

ここで、式(4-1)は内部モジュールを必ず1箇所の仮想スロットに置くという制約条件であり、式(4-2)は仮想スロットの容量に関する制約条件である。式(4-3)は総配線長(結線数×距離の総和)を最小にするという目的関数であり、第1項は内部モジュール間の総配線長を、第2項は内部モジュールと外部モジュール間の総配線長を表現している。

図4.1 に $|M_i|=16$, $|M_e|=8$ の場合のモジュール配置問題の例題を示す。内部モジュール (①～⑯) 16 個と外部モジュール (a～h) 8 個が与えられ、各々のモジュール間には結線数が与えられる。また、既に外部モジュールが配置されているスロット 8 個と、内部モジュールを配置するためのスロット 16 個が与えられ、各々のスロット間には距離が与えられる。問題は、総配線長が最小になる内部モジュールの配置 (スロットとの 1 対 1 の対応) を求めることであり、同図(c) は最適解の 1 つである。

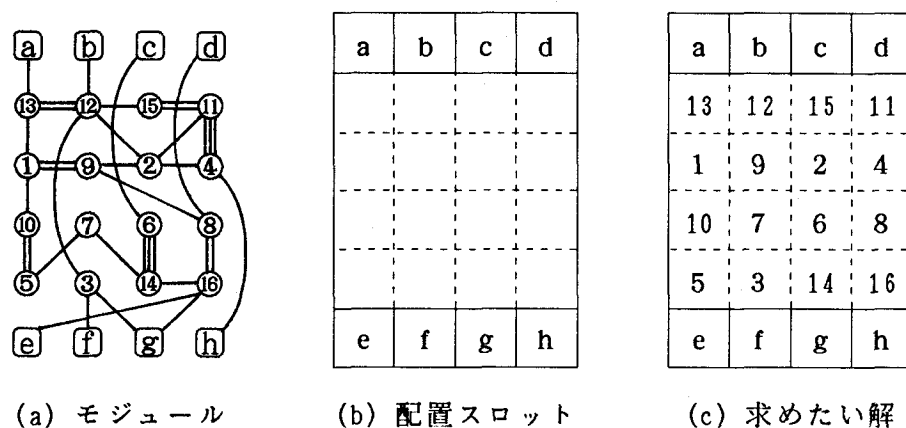
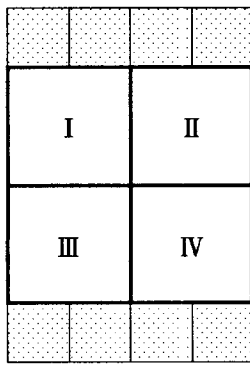
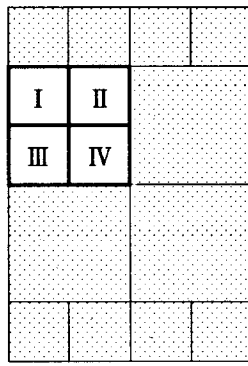


図4.1 モジュール配置問題の例題

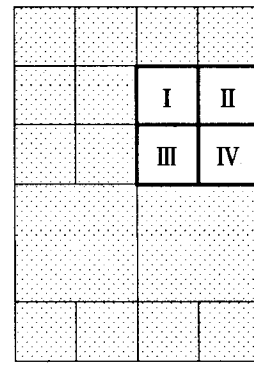
このような解を求める方法として、図4.2 のように 4 分割手法を階層的に適用することを考える。まず、第 1 段階として 同図(a) のように 16 個のスロットを 4 つに分割する。この時、I～IV が 4 分割問題における仮想スロットになり、各仮想スロットの容量すなわち配置可能なモジュール数は $16/4=4$ となる。4 分割の結果、仮想スロット I に置くことになった 4 個の内部モジュールは、同図(b) の第 2 段階でその詳細な配置が決定される。この時、各仮想スロットの容量は 1 となり、仮想スロット=実スロットとなる。同様に 同図(a) の仮想スロット II, III, IV に対する詳細配置が 同図(c), (d), (e) で決定され、全ての配置が確定することになる。なお、各々の階層段階において、網掛けをした部分は既に配置が決まっている外部モジュールとして扱う部分である。



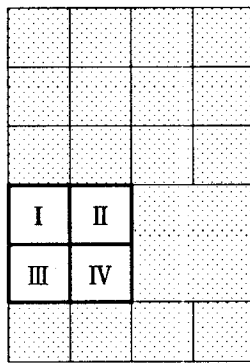
(a) 第1段階



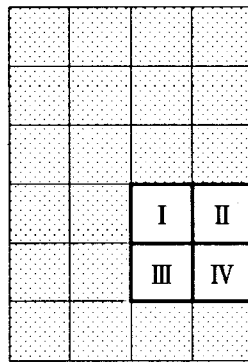
(b) 第2段階



(c) 第3段階



(d) 第4段階



(e) 最終段階

図4.2 4分割手法の階層的適用によるモジュール配置

4分割問題の場合、制約条件を満足する解は全部で $|M_i|! / \prod_{j \in S_i} (C_j!)$ 通りあり、規模が大きくなると莫大な組合せ数になる。そこで、4分割問題の解を求める神経回路網を構成することを考える。神経回路網は全てのニューロンが互いに結合しており、それらが相互に影響し合いながら解にたどり着くため、大域的な観点から見た良い解が期待できる。

4. 3 4分割問題のためのエネルギー関数

神経回路網で4分割問題の解を表現するために、図4.3のように各内部モジュールについて4個のニューロンを用意する。内部モジュール x の i 番目のニューロンは、内部モジュール x を仮想スロット i に置くか否かを表現するためのものであり、そのニューロンの出力 V_{xi} の値が1の場合は置く、0の場合は置かないと

解釈する。なお、ニューロンの出力は、式(3-4)の入出力特性関数により 0～1 のアナログ値に限定されている。

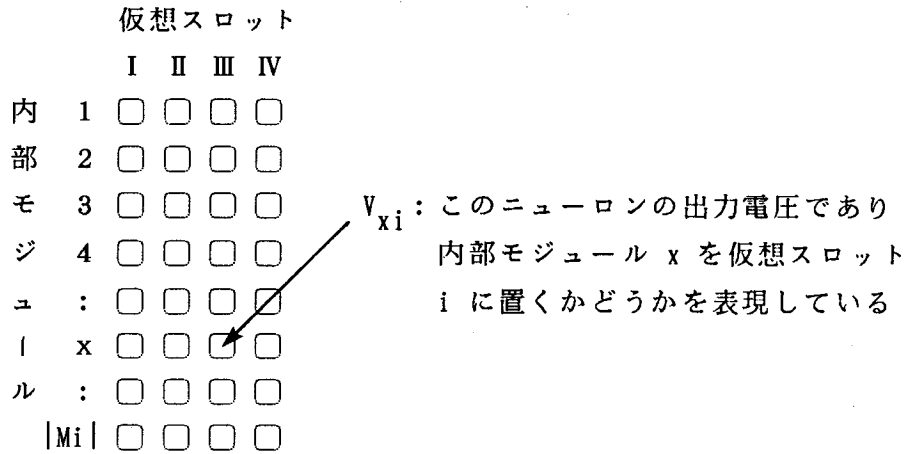


図4.3 4分割問題のためのニューロンの割り当て

この神経回路網で4分割問題の解を得るためには、4分割問題の制約条件を満足し、かつ目的関数を最小にするエネルギー関数を変数 V_{xi} を用いて導出し、神経回路網に与えてやればよい。

制約条件と目的関数を、A, B, C, P, Q をパラメータとして、以下のように表現する。

- ① 各ニューロンの出力 V_{xi} の値を 0 か 1 にする。

$$(A/2) \sum_{x \in Mi} \sum_{i \in Si} V_{xi} \cdot (1 - V_{xi}) \rightarrow \text{minimum} \quad (4-4)$$

- ② 内部モジュールをただ1箇所の仮想スロットに置く。

$$(B/2) \sum_{x \in Mi} \left(\sum_{i \in Si} V_{xi} - 1 \right)^2 \rightarrow \text{minimum} \quad (4-5)$$

- ③ 各仮想スロットの容量を満たす。

$$(C/2) \sum_{i \in Si} \left(\sum_{x \in Mi} V_{xi} - C_i \right)^2 \rightarrow \text{minimum} \quad (4-6)$$

④ 内部モジュール間の総配線長を最小にする。

$$(P/2) \sum_{x \in M_i} \sum_{i \in S_i} \sum_{y \in M_i} \sum_{j \in S_i} \alpha_{xi,yj} \cdot V_{xi} \cdot V_{yj} \rightarrow \text{minimum} \quad (4-7)$$

ただし $\alpha_{xi,yj}$ は、仮想スロット i に置かれた内部モジュール x と仮想スロット j に置かれた内部モジュール y との配線長を 0~1 の値に正規化したものであり、

$$\alpha_{xi,yj} = \frac{R_{x,y} \cdot D_{i,j}}{\max\{R_{s,t} \cdot D_{k,m} \mid s,t \in M_i, k,m \in S_i\}}$$

と定義する。

⑤ 内部モジュールと外部モジュール間の総配線長を最小にする。

$$(Q/2) \sum_{x \in M_i} \sum_{i \in S_i} \beta_{xi} \cdot V_{xi}^2 \rightarrow \text{minimum} \quad (4-8)$$

ただし β_{xi} は、仮想スロット i に置かれた内部モジュール x と全外部モジュールとの配線長を 0~1 の値に正規化したものであり、

$$\gamma_{xi} = \sum_{y \in M_e} R_{x,y} \cdot D_{i,Pe(y)}$$

とした時、 $\gamma_{xi}=0$ の時は

$$\beta_{xi} = 0.5$$

それ以外の場合は

$$\beta_{xi} = \frac{\gamma_{xi} - \min\{\gamma_{sk} \mid \gamma_{sk} \neq 0, s \in M_i, k \in S_i\}}{\max\{\gamma_{sk} \mid s \in M_i, k \in S_i\}}$$

と定義する。

これらの中で、A, B, C, P, Q は各式がエネルギー関数全体へ及ぼす影響を調整するためのパラメータである。式(4-4) は神経回路網自身の収束に関する制約であり、式(4-5), (4-6) は4分割問題の制約である。そして、各式は制約が満足されていなければ正の値に、制約が満足されたとき 0 (最小値) になる。また、式(4-7),

(4-8) は 4 分割問題の目的関数であり、小さな値になるほど 式(4-3) の総配線長が小さくなる。

なお、 $\alpha_{xi,yj}$ と β_{xi} により個々の配線長を正規化したのは、与えられた問題の結線数などが相対的に大きくなってもパラメータ P, Q の効き方に影響を与えなくするためであり、 $\alpha_{xi,yj}$ は個々の配線長を全体の中の最大値で割ることにより 0~1 の値に正規化したものである。 β_{xi} は、外部モジュールとの結線要求がある場合には 0~1 の値に正規化し、そうでない場合には 0.5 という値にしている。これは、各内部モジュール x に対して、

- 外部モジュールとの結線があり、仮想スロット i に置けば配線長が短くなる

$$\beta_{xi} = 0 \text{ 付近}$$

- 外部モジュールとの結線がない

$$\beta_{xi} = 0.5$$

- 外部モジュールとの結線があり、仮想スロット i に置けば配線長が長くなる

$$\beta_{xi} = 1 \text{ 付近}$$

の三者の優先順位を神経回路網に与えている。

以上より、4 分割問題に対するエネルギー関数は、式(4-4)~(4-8) を加え合わせたものになり、結合係数と入力バイアス電流は、

$$\begin{aligned} T_{xi,yj} = & A \cdot \delta_{xy} \cdot \delta_{ij} \\ & - B \cdot \delta_{xy} \\ & - C \cdot \delta_{ij} \\ & - P \cdot \alpha_{xi,yj} \\ & - Q \cdot \delta_{xy} \cdot \delta_{ij} \cdot \beta_{xi} \end{aligned} \quad (4-9)$$

$$I_{xi} = -(A/2) + B + C \cdot C_i$$

となる。ただし、 δ_{xy} は $x=y$ の時に 1、その他の時は 0 となるデルタ関数である。定義より $\alpha_{xi,yj} = \alpha_{yj,xi}$ は明らかなので、 $T_{xi,yj}$ は対称である。従って、この結合係数と入力バイアス電流をもつ神経回路網の安定状態は、4 分割問題に対するエネルギー関数の極小値になる。

4. 4 実験結果と考察

神経回路網の計算能力を調べるために、式(3-3)の動作方程式に式(4-9)の結合係数と入力バイアス電流を代入し、神経回路網の安定状態をシミュレーションにより求めた。用いた計算機は、SONY NEWS-1750 (CPU 68030, 25MHz, 4.3MIPS) である。オペアンプの特性 g には式(3-4)を $u_0=0.1$ として用い、安定状態の求解には4次のルンゲクッタ法を刻み 0.001 として用いた。ニューロンの時定数 τ は 1.0 とし、時刻 $t=0$ から実行可能解が得られるまで、もしくは $t=2\tau$ まで計算を行った。ここで、実行可能解が得られたとは、その時刻における神経回路網の状態が4分割問題の制約条件を満足しているということを意味し、その時刻の各ニューロンの出力電圧 V_{xi} を 0 あるいは 1 に四捨五入することにより求めた神経回路網の状態が式(4-5), (4-6) を 0 にするか否かで判断している。

各ニューロンの初期値としては、

$$V_{xi}=0.25 \pm (10\% \text{のノイズ})$$

を採用した。これは Hopfield^[17] に従った初期値である。定数 0.25 は、初期状態のニューロンの出力電圧の総和が、最終的に必要なニューロンの出力電圧の総和と等しくなるようにしたものであり、神経回路網は式(4-5)の値が 0 になっている状態から出発することになる。また、ノイズとは 0 以上 1 未満の乱数であり、10% のノイズとは 0 以上 0.025 未満の乱数である。異なる初期値から出発して何度かシミュレーションを行えば、初期値によって神経回路網の最終的な状態すなわち得られる解が異なってくるため、その中の最良なものを採用すればよい。

4分割法を階層的に適用するためには、各段階におけるパラメータを決定する必要がある。そこで、表4.1に示すような内部モジュールの数が各々に違う5つの例題(例題3は図4.1と同じ)を用意し、これら5つの4分割問題において最も良いと思われるパラメータを基にして任意の問題に対する各段階のパラメータを決定する。なお、表4.1の“総結線数”とは、与えられたモジュール間の結線数 $R_{x,y}$ の総和である。

表4.1 例題に用いたデータ

例題	内部モジュール数 $ M_i $	外部モジュール数 $ M_e $	総結線数
1	4	20	37
2	8	16	37
3	16	8	37
4	24	8	54
5	64	16	147

決めなければならないパラメータは以下に示す5つである。

- A: 各ニューロンの出力電圧を 0 か 1 にする。
- B: 各内部モジュールを必ず1箇所の仮想スロットに置く。
- C: 各仮想スロットには 容量に等しい数の内部モジュールを置く。
- P: 内部モジュール間の総配線長を小さくする。
- Q: 内部モジュールと外部モジュール間の総配線長を小さくする。

これらパラメータの値は相対的であるため、 $B=20$ を基準とし、他のパラメータを決定した。また、内部モジュール数が増えるとそれに伴って仮想スロットの容量も増加するため、式(4-9)の I_{xi} における C の項の影響が大きくなる。そこで、C は内部モジュールが 16 個の場合の 20 を基準として、 $C=320/|M_i|$ とした。残り3つのパラメータ A, P, Q を決定するために、前述の5つの例題に対してシミュレーションを行った。その中で 例題3 に対する結果を以下に述べる。

まず、A を決定するために、P と Q を固定し A を変化させたシミュレーション結果を表4.2 に示す。表中の“収束時刻”は実行可能解が得られた時点の t の値であり、×印は $t=2\tau$ までに実行可能解が得られなかったことを示す。また“配線長”は得られた解の総配線長であり、初期値 1, 2, 3 は異なった3つの初期値パターンである。この結果より、 $A=2$ が実行可能解を得るために時間がかかるものの最も良い解を得ていることがわかる。これは、他の例題に対しても同様の結果が得

られた。

表4.2 A による解の変化（例題3）

$B=20, C=20, P=Q=2$

A	初期値 1		初期値 2		初期値 3	
	収束時刻	配線長	収束時刻	配線長	収束時刻	配線長
0	×	—	×	—	×	—
2	0.644	52	1.316	45	0.801	54
4	0.729	59	0.498	65	0.455	56
6	0.220	64	0.270	69	0.175	56
8	0.195	64	0.207	73	0.127	56

次に、P と Q を決定するためのシミュレーションを行った。P と Q のおおよその値を決めるために、 $P=Q$ として変化させた結果を 表4.3 に示す。これから $P=Q=3$ が各々の初期値に対しても最良であることがわかる。また、 $P=3$ に固定し、Q を変化させた結果を 表4.4 に示すが、これからも 例題3 に対しては $P=3, Q=3$ が最も良いことがわかる。

表4.3 $P=Q$ による解の変化（例題3）

$A=2, B=20, C=20$

P=Q	初期値 1		初期値 2		初期値 3	
	収束時刻	配線長	収束時刻	配線長	収束時刻	配線長
1	0.772	59	1.026	55	0.955	56
2	0.644	52	1.361	45	0.801	54
3	0.682	47	1.176	45	0.942	47
4	0.704	47	×	—	1.673	47
5	1.125	47	×	—	1.552	47

表4.4 Q による解の変化 (例題3)

$A=2, B=20, C=20, P=3$

Q	初期値 1		初期値 2		初期値 3	
	収束時刻	配線長	収束時刻	配線長	収束時刻	配線長
1	0.464	51	0.525	51	0.464	58
2	0.541	52	×	—	0.952	54
3	0.682	47	1.176	45	0.942	47
4	0.995	47	×	—	1.111	47
5	×	—	×	—	×	—

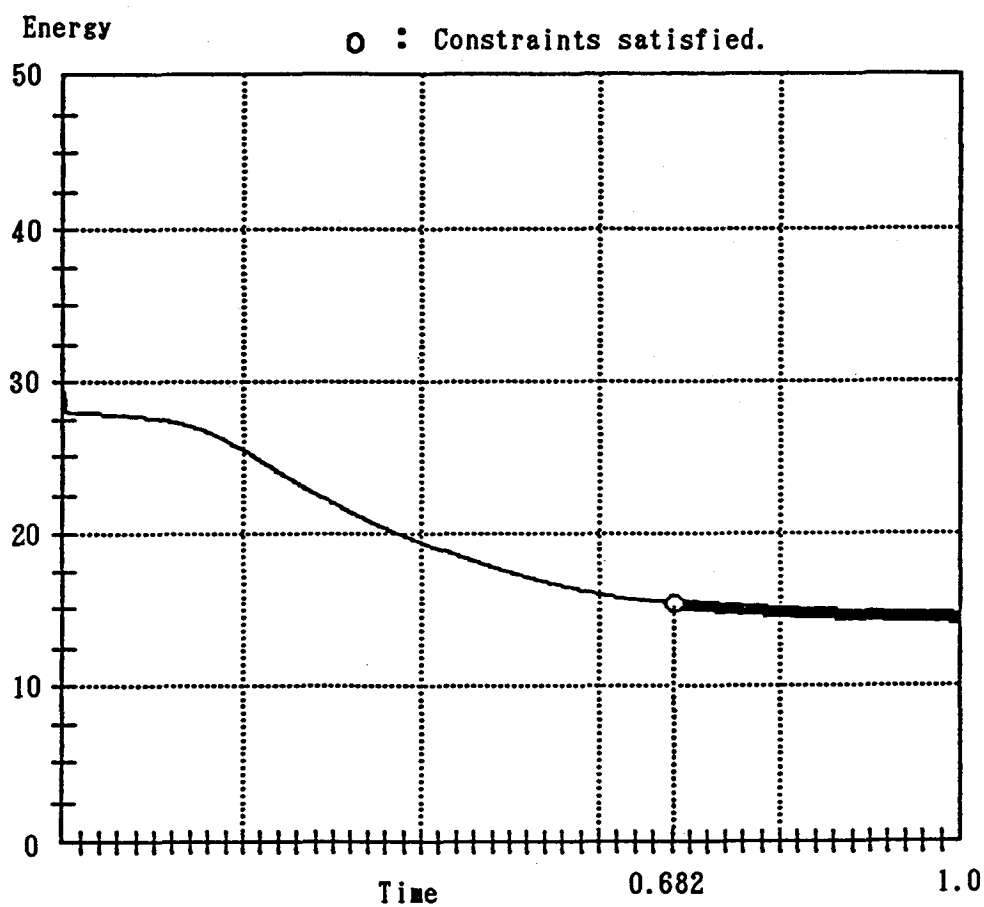


図4.4 エネルギー値の変化の一例

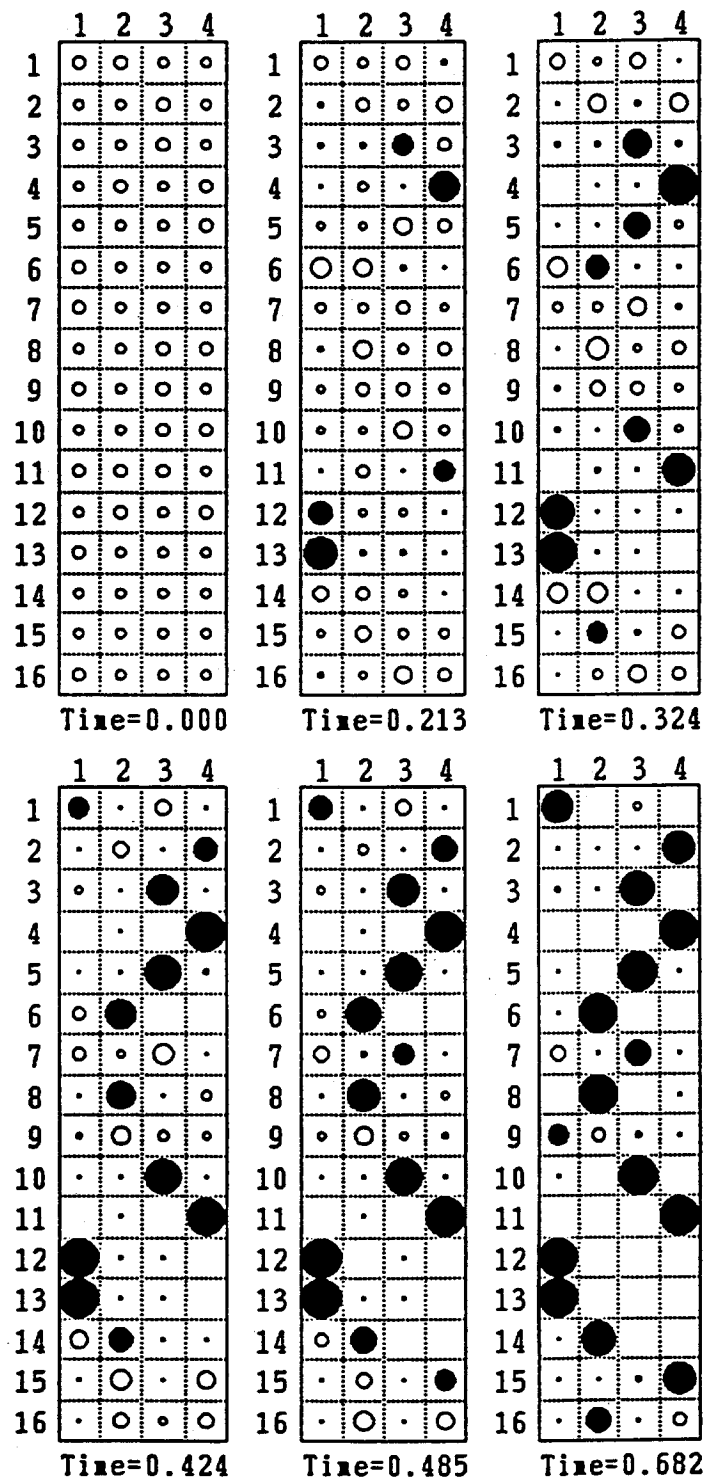


図4.5 各々のニューロンの出力変化の一例

神経回路網の動きを紹介するために、エネルギー値の変化の一例を図4.4に、各々のニューロンの出力変化の一例を図4.5に示す。図4.4の白丸は、その時刻 t において実行可能解が得られていることを意味している。図4.5の丸印は、各々のニューロンの出力電圧 V_{xi} に比例した半径をもち、その値が 0.5 以上の場合には黒丸で、0.5 未満の場合には白丸で描かれている。これらの図より、神経回路網は、各々のニューロンが相互に作用し合いながら、エネルギー値が減少する方向に状態が変化しつつ、問題の解に収束していく様子がよくわかる。

他の例題に対しても同様に P, Q を決定するためのシミュレーションを行い、総配線長の小さい実行可能解が速く得られるという観点から適切なパラメータ値を決定したところ、表4.5が得られた。例題2の P の値は、 $P < Q$ ならば全て同じ配線長になったため、 P の値が決定できなかったことを示している。

表4.5 各例題に対する適切な P, Q の値

例題	$ M_i $	$ M_e $	P	Q
1	4	20	0.5	2.0
2	8	16	$<Q$	3.0
3	16	8	3.0	3.0
4	24	8	3.5	3.5
5	64	16	4.0	4.0

表4.5より、 $|M_i| < |M_e|$ の時には $P < Q$ 、 $|M_i| > |M_e|$ の時には $P = Q$ にすればよいことがわかる。また $|M_i|$ の値と P の値に何らかの関係があることもわかる。そこで、 $\lambda = \log_2 |M_i| - 1$ とした時、 $|M_i| \geq |M_e|$ の場合は

$$P = Q = \lambda$$

それ以外の場合は

$$P = \lambda \cdot [1 - 0.6 \cdot (|Si| + |Se|) / (|Mi| + |Me|)]$$

$$Q = \lambda \cdot [1 + 0.6 \cdot (|Si| + |Se|) / (|Mi| + |Me|)]$$

として P, Q の値を決定することにした。 λ の式は 表4.5 をグラフ化した 図4.6 より導出したものである。 $\pm 0.6 \cdot (|Si| + |Se|) / (|Mi| + |Me|)$ は $P < Q$ を実現するための係数であり、4分割の段階の進み具合により $P < Q$ の度合を決定している。0.6 という数値はいくつかの実験結果より得られたものである。

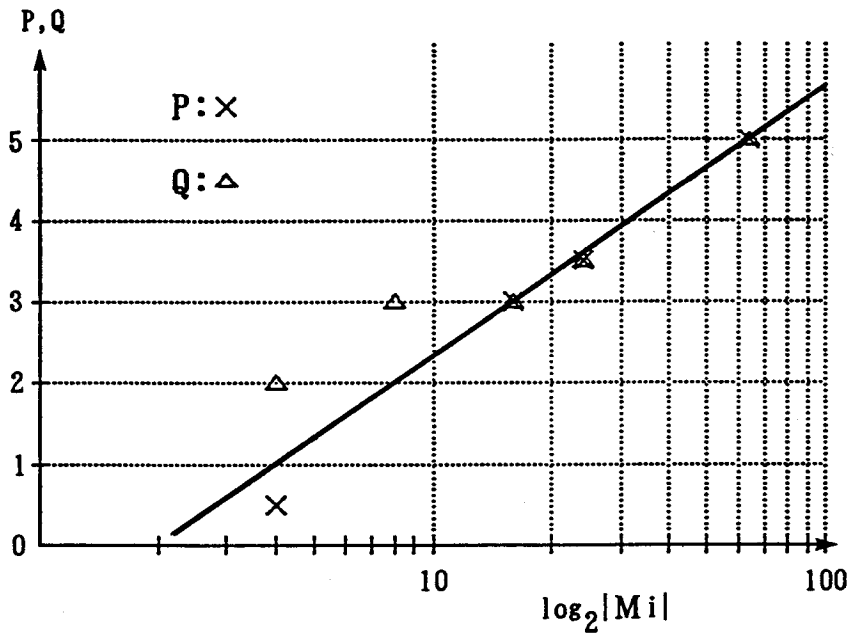


図4.6 内部モジュール数と P, Q の関係

以上より、パラメータの値が決定したので、以下では、本手法の性能を評価するために、表4.6 の各データに対して、2つの方法により解を求め比較を行う。

- 本手法：神経回路網を用いた4分割法を階層的に適用した配置手法。
- GFDR法：逐次改善法の一つであり、コスト低減のための重心や ε 近傍を求め、それらを有効に利用した配置手法^[33] ($\varepsilon = \lambda = 4$ として適用)。

幾つかの初期値に対して2つの手法を適用し、得られた解の総配線長の度数分布を表4.7に示す。本手法には、各データ 3, 4, 5, 5a, 5b に各々 100, 50, 20, 20, 20 個の異なった初期値を与えている。両手法の性能比較として、良い解が得ら

表4.6 GFDR法との比較に用いたデータ

名称	内部モジュール数	外部モジュール数	総結線数
3	16	8	37
4	24	8	54
5	64	16	147
5a	64	16	130
5b	64	16	164

れる確率を比べるためにサンプル数を同じにするという観点から、本手法と同じ個数の初期値をGFDR法に与えた結果を“GFDR-1”に示した。一方、本手法は神経回路網のシミュレーションをすべてソフトウェアで行っているため、初期値を与えてから結果を得るまでの実行時間がGFDR法の場合より長い。実際の問題解決のツールとして良い解が得られる確率を比較するとき、同程度の計算時間内にどの程度の良い解が得られるかという観点も重要である。そこで、全計算時間が本手法と同程度になるように、5つのデータに対して各々 3000, 2000, 1000, 1000, 1000 個の初期値をGFDR法に与えた結果を“GFDR-2”に示した。すなわち、1つのサンプル値を得るために要する計算時間は、内部モジュール数が 16, 24, 64 の各々の場合について、GFDR法が本手法よりそれぞれ約 30, 40, 50 倍速いということである。

データ 3 の結果より、本手法は最良解では GFDR-2 より劣っているものの、総配線長 56 以下が得られる確率は、GFDR-1 が 1.0%, GFDR-2 が 0.6% であるのに対し、本手法は 2.0% であり、総配線長が 59 以下が得られる確率は、GFDR-1 が 9.0%, GFDR-2 が 9.6% であるのに対して、本手法は 14.0% である。従って、良い解が得られる確率では本手法はGFDR法より優れている。

データ 4 の結果も同様に、最良解ではGFDR法より劣っているものの、総配線長 82 以下が得られる確率は、GFDR-1 が 8.0%, GFDR-2 が 1.3% であるのに対して、本手法は 22.0% である。従って、良い解が得られる確率では本手法はGFDR法より優れている。

データ 5, 5a, 5b の結果では、最良解も良い解の得られる確率も共にGFDR法より優れている。

表4.7 得られた解の総配線長の度数分布

データ 3			
配線長	本手法	GFDR-1	GFDR-2
55	0	0	2
56	2	1	16
57	0	1	20
58	7	3	90
59	5	4	159
60-69	83	86	2534
70～	1	5	179
×	2	0	0
総数	100	100	3000
最良解	56	56	55

データ 4			
配線長	本手法	GFDR-1	GFDR-2
77	0	0	2
79	0	1	4
80	0	0	6
81	1	2	5
82	10	1	8
83-89	27	10	250
90～	5	36	1725
×	7	0	0
総数	50	50	2000
最良解	81	79	77

データ 5			
配線長	本手法	GFDR-1	GFDR-2
206	1	0	0
207	1	0	0
208	1	0	0
210-19	3	0	0
220-29	3	0	1
230-49	3	3	41
250～	0	17	958
×	8	0	0
総数	20	20	1000
最良解	206	240	225

データ 5a			
配線長	本手法	GFDR-1	GFDR-2
151	1	0	0
152	0	0	1
156	1	0	2
159	1	0	0
160-69	1	0	6
170-99	7	2	52
200～	1	18	939
×	8	0	0
総数	20	20	1000
最良解	151	189	152

表4.7 (続き)

データ 5b			
配線長	本手法	GFDR-1	GFDR-2
224	1	0	0
226	2	0	0
227	1	0	0
229	1	0	0
230-39	5	0	2
240-59	2	3	118
260～	2	17	880
×	6	0	0
総数	20	20	1000
最良解	224	248	239

従って、本手法は性能の良い配置手法であると言える。ただし、常に何らかの実行可能解が得られるGFDR法に対して、本手法では実行可能解に収束しない（表4.7の×印）確率が問題の規模と共に増加している事実にも注意を払う必要がある。このことは、本手法をより大きな規模の問題に適用したとき、実行可能解に収束しなくなるのではないかという懸念を含んでおり、今後の研究課題として残された重要事項のひとつである。

さらに良い解を得るために、表4.7において本手法で得られた実行可能解（データ 3, 4, 5, 5a, 5b で、各々 98, 43, 12, 12, 14 個）を初期値としてGFDR法で改善を行ったところ、表4.8の結果が得られた。GFDR法は与えられた初期配置を改善するものであるため、良い解の得られる確率が高くなるのは当然であるが、データ 4, 5, 5a, 5b に対する結果では、本手法あるいはGFDR法を単独で用いたときには得られなかった非常に良い解が幾つも得られている。従って、実際のVLSI設計に用いる場合に時間的な余裕があるならば、従来の逐次改善法と組み合わせることも、より良い解をより高い確率で得るという観点から有効であると考えられる。

表4.8 改善した解の総配線長の度数分布

データ 3		
配線長	改善前	改善後
56	2	2
57	0	5
58	7	30
59	5	11
60	13	33
61-64	52	17
65-69	18	0
70～	1	0

データ 4		
配線長	改善前	改善後
77	0	1
79	0	1
80	0	6
81	1	2
82	10	16
83-84	8	10
85-89	19	7
90～	5	0

データ 5		
配線長	改善前	改善後
202	0	1
205	0	1
206	1	1
207	1	2
208	1	1
210-19	3	3
220-29	3	3
230～	3	0

データ 5a		
配線長	改善前	改善後
149	0	1
150	0	1
151	1	0
153	0	1
154-59	2	0
160-74	1	4
175-89	5	5
190～	3	0

表4.8 (続き)

データ 5b		
配線長	改善前	改善後
221	0	1
223	0	3
224	1	1
226	2	1
227	1	0
228-29	1	3
230-44	5	5
245～	4	0

4. 5 結言

本章では、神経回路網論的手法をモジュールの4分割問題に適用し、それを階層的に用いることによりモジュール配置問題の解を得る手法について検討した。

その結果、逐次改善型のアルゴリズムであるGFDR法と同程度もしくはそれ以上の良い解が高い確率で得られることがわかった。このことは、サンプル数を同じにした結果からも、また計算時間を同程度にした結果からも言える。また、与えた問題の規模が大きくなるほど、本手法の効果が大きくなっていることも読み取れる。さらに、本手法で得られた解を初期値としてGFDR法で改善を行ったところ、より良い解がより高い確率で得られることもわかった。

従って、神経回路網を用いた本手法は、それ単独での使用、あるいは従来の手法との組み合わせにより、実際のVLSIの設計においてモジュールの配置を決定する上での有効な一手段であると考えられる。

第5章 結 論

本論文では、VLSIレイアウト設計の配置配線問題に対する新しい設計手法として、相互結合型の神経回路網モデルを用いた神経回路網論的手法を提案し、計算機シミュレーションを通して性能評価を行い、従来のヒューリスティック手法にかわる高性能な手法になり得るか否かの検討を行った。

以下に、本研究で得られた成果と、今後に残された課題について述べる。

5. 1 本研究で得られた成果

第2章では、配線問題の一つであるチャンネル配線問題の配線可能性について考察した。これは、神経回路網論的手法を適用するにあたり、チャンネル配線問題を単純化し幹線の配置問題に帰着させるため、すなわち、与えられた結線要求に含まれるサイクルを解消するために必要な考察である。結線要求グラフを新たに定義し、そのグラフを用いて、与えられた結線要求がどのような必要十分条件を満足すれば幹線分割による100%配線が可能であるか、および、どの幹線をどのように分割すれば配線結果に悪影響を及ぼさないかについて考察した。

その結果、与えられた結線要求が巡回配線要求でない限り、本章で定義した有効分割もしくは準有効分割により、存在するすべてのサイクルが幹線の2分割のみで解消でき、実際の配線パターンの実現が可能であることがわかった。

また、幹線分割と制約グラフの最長路の関係に関する考察の結果、準有効分割の場合はどのような分割でも最長路は分割前の長さを維持できること、有効分割の場合はある条件さえ満足する分割であれば自由枝の自由度は維持したままで最長路は分割前の長さ以下に抑えられることがわかり、残された自由度を十分に生かし幹線の最大密度をも考慮した幹線分割が可能になることがわかった。

第3章では、サイクルを含まないチャンネル配線問題の一つの解法として、相互結合型の神経回路網モデルを用いた神経回路網論的手法を提案した。この解法の原理は、神経回路網モデルの力学的な安定点がある形のエネルギー関数の極小値になっているというものである。そこで、チャンネル配線問題の制約条件と目的関数をエネ

ルギー関数の形にどのように表現するかについて考察し、計算機シミュレーションを用いて神経回路網の安定状態を求め、得られた解を従来のヒューリスティック手法と比較することにより、本手法の性能評価を行った。

その結果、パラメータの値や初期値を適切な値に設定すれば、従来のヒューリスティック手法と同程度の“最適解に近い解”が神経回路網で得られること、また、神経回路網で得られた実行可能解があまり良い解でなくても、単純なコンパクションにより最適解もしくは最適解に近い解に改善できることがわかった。これは、神経回路網が、全体を見渡した大域的な観点で求解を実行しているため、各ネットの相互関係をうまく反映した性質の良い解に収束しているからであろうと考えられる。この大域的な観点から求解を行うことは実用的に重要な特徴であり、組み合わせ問題に対する従来のヒューリスティック手法には見られない特徴である。

従って、神経回路網を用いた本手法は、実際のVLSI設計の際のチャネル配線に十分に有用であると考えられる。

第4章では、自動レイアウト設計のもう一つの主要な問題であるモジュール配置問題に対する神経回路網論的手法について提案した。これは、すべてのモジュールを 2×2 の4領域に目的関数の値が最小になるように配分するというモジュール4分割手法を相互結合型の神経回路網モデルを用いて実現し、この4分割手法を階層的に適用することにより全てのモジュールの詳細配置を決定するという方法である。制約条件と目的関数をどのようにしてエネルギー関数の形に表現するかについて考察した後、計算機シミュレーションを通して、仮想配線長がより短くなるための神経回路網の初期値および各種パラメータの設定方法について考察し、従来のヒューリスティック手法との比較により、本手法の性能評価を行った。

その結果、逐次改善型のアルゴリズムであるGFDR法と同程度もしくはそれ以上の良い解が高い確率で得られることがわかった。このことは、サンプル数を同じにした結果からも、また計算時間を同程度にした結果からも言える。また、与えた問題の規模が大きくなるほど、本手法の効果が大きくなっていることもわかった。さらに、本手法で得られた解を初期値としてGFDR法で改善を行ったところ、より良い解がより高い確率で得られることもわかった。

従って、神経回路網を用いた本手法は、それ単独での使用、あるいは従来の手法

との組み合わせにより、実際のVLSIの設計においてモジュールの配置を決定する上での有効な一手段であると考えられる。

5. 2 今後に残された課題

本研究では、配置配線問題に対する新しい設計手法として、相互結合型の神経回路網モデルを用いた神経回路網論的手法を提案したが、神経回路網の動作方程式の安定状態を回路網解析で求めるという本研究で用いたような計算機シミュレーションでは“解を速く得る”ということは期待できない。これは、本研究で成し得なかった大きな課題である。

また、本研究のように、エネルギー関数の各項に付加したパラメータの値を計算機実験を用いて適切に設定するという方法では、問題が変更された場合などには、新たにパラメータ設定のための計算機実験をやり直す必要が生じるかもしれない。従って、どのようなパラメータの値を用いればよいか、あるいは、どのような初期値を用いれば最適解に収束するかということに対する定性的な議論^{[36], [37]}を行うことも、今後に残された課題である。

しかし、第3章、第4章で述べたように、神経回路網論的手法で得られた解が従来のヒューリスティック手法よりも良質であるということがわかったことは、本研究の大きな成果であり、注目すべき結果である。従って、現在各方面で検討されている神経回路網のハードウェア化^[38]が実現すれば、ニューロン自身の時定数の数倍程度の計算時間で解を得ることが期待でき、将来、実際的な問題への適用は十分可能であると考えられる。

謝 辞

本論文をまとめるにあたり、懇切なる御指導・御鞭達を賜りました大阪大学工学部情報システム工学科の白川功教授，寺田浩詔教授，電子工学科の児玉慎三教授，大型計算機センター研究開発部の熊谷貞俊教授に謹んで感謝の意を表します。

日頃から御指導頂き，本研究にも有益な御助言を頂きました徳島大学工学部電気電子工学科の牛田明夫教授に深謝いたします。

本研究を進めるにあたり，常に御理解のある御指導・御鞭達を頂きました徳島大学工業短期大学部電気工学科の坂本明雄教授に心から感謝いたします。

本研究を始めるに当り有益な御示唆・御助言を頂きました徳島大学工学部電気電子工学科の木内陽介教授，並びに貴重な御討論・御助言を頂きました川上博教授，鎌野琢也助教授，長篠博文講師に感謝いたします。

最後に，徳島大学大学院工学研究科修士課程在学中に，本研究の計算機実行等を非常に熱心に手伝って頂きました熊本浩氏（現在，オムロン(株)勤務），佐藤招良氏（現在，シャープ(株)勤務），太田浩二氏（現在，オムロン(株)勤務）に感謝いたします。

参考文献

- [1] 渡辺誠, 浅田邦博, 可児賢二, 大附辰夫: "VLSIの設計 I: 第4章 レイアウト設計", 岩波講座マイクロエレクトロニクス 3, 岩波書店 (1985).
- [2] 小林洋一 編: "小特集 ASICの現状と将来", 電子情報通信学会論文誌, vol. **73**, no.10, pp.1031-1069 (1990).
- [3] 合原一幸: "ニューラルコンピュータ-脳と神経に学ぶ-", 東京電機大学出版局 (1988).
- [4] 麻生英樹: "ニューラルネットワーク-コネクショニズム入門、あるいは柔らかな記号に向けて-", 産業図書 (1988).
- [5] 堀野寛, 北爪洋子, 平野睦房: "LSI素子列間の配線手法", 電子通信学会技術研究報告, SSD70-64 (1971).
- [6] 浅野哲夫, 北橋忠宏, 田中幸吉, 堀野寛, 天野亘孝: "ビルディングブロック方式LSIの配線の実現可能性について", 電子通信学会論文誌, vol. **J56-A**, no. 9, pp. 489-496 (1973).
- [7] 浅野哲夫: "チャンネル配線法における幹線分割について", 電子通信学会技術研究報告, CAS80-91 (1980).
- [8] 河本達也, 梶谷洋司, 金田一, 下山博義: "2セル列の2層最小間隔配線について", 電子通信学会技術研究報告, CST78-33 (1978).
- [9] T.Yoshimura and E.S.Kuh: "Efficient algorithm for channel routing", IEEE Trans. Computer-Aided Design of Integrated Circuits & Systems, vol. **CAD-1**, no.1, pp.25-35 (1982).
- [10] A.Hashimoto and J.Stevens: "Wire routing by optimizing channel assignment within large apertures", Proc. 8th Design Automation Workshop, pp.155-169 (1971).
- [11] 島本隆, 坂本明雄, 牛田明夫: "サイクルを含むチャンネル配線問題の配線可能性について", 電子通信学会技術研究報告, CAS84-128, pp.1-8 (1984).
- [12] A.Sakamoto, T.Shimamoto, and A.Ushida: "On routability for channel routing problem", IEEE 1985 International Symposium on Circuits and Systems (ISCAS '85), pp.1031-1034 (1985).

- [13] 島本隆, 坂本明雄, 牛田明夫: "チャンネル配線問題における配線可能性について", 電子通信学会論文誌, vol. **J68-A**, no.12, pp.1299-1307 (1985).
- [14] 島本隆, 坂本明雄: "チャンネル配線問題におけるサイクル解消と最長路について", 電子情報通信学会論文誌, vol. **J71-A**, no. 7, pp.1411-1417 (1988).
- [15] J. J. Hopfield: "Neural networks and physical systems with emergent collective computational abilities", Proc. National Academy Science USA, vol. **79**, pp.2554-2558 (1982).
- [16] J. J. Hopfield: "Neurons with graded response have collective computational properties like those of two-state neurons", Proc. National Academy Science USA, vol. **81**, pp.3088-3092 (1984).
- [17] J. J. Hopfield and D. W. Tank: "Neural computation of decisions in optimization problems", Biological Cybernetics, vol. **52**, pp.141-152 (1985).
- [18] M. Takeda and J. W. Goodman: "Neural networks for computation: number representations and programming complexity", APPLIED OPTICS, vol. **25**, no.18, pp.3033-3046 (1986).
- [19] D. W. Tank and J. J. Hopfield: "Simple neural optimization networks: An A/D converter, signal decision circuit, and a linear programming circuit", IEEE Trans. Circuits and Systems, vol. **CAS-33**, no. 5, pp.533-541 (1986).
- [20] E. D. Dahl: "Neural network algorithm for an NP-complete problem: Map and graph coloring", Proc. IEEE First International Conference on Neural Networks, pp. III 113-120 (1987).
- [21] 坂本明雄, 島本隆, 長篠博文, 木内陽介, 川上博: "集合計画問題のニューロコンピューティング", 日本自動制御協会 第32回システムと制御研究発表講演会, 2021, pp.173-174 (1988).
- [22] 島本隆, 坂本明雄: "配置配線問題のニューロコンピューティング", 日本自動制御協会 第32回システムと制御研究発表講演会, 2022, pp.175-176 (1988).
- [23] 島本隆, 坂本明雄: "ニューラルネットワークによるチャンネル配線", 電子情報通信学会論文誌, vol. **J71-A**, no. 7, pp.1470-1472 (1988).
- [24] 島本隆, 熊本浩, 坂本明雄: "チャンネル配線問題のニューロコンピューティング", 電子情報通信学会技術研究報告, VLD88-29, pp.37-44 (1988).

- [25] 熊本浩, 島本隆, 坂本明雄: "ニューラルネットワークを用いたチャネル配線手法", 計測自動制御学会関西支部シンポジウム, pp.41-46 (1988).
- [26] 島本隆, 坂本明雄: "ニューラルネットワークを用いたチャネル配線問題の一解法", 電子情報通信学会論文誌, vol. **J72-A**, no.8, pp.1287-1295 (1989).
- [27] 島本隆, 坂本明雄: "ニューラルネットワークを用いたチャネル配線問題の一解法", 電子情報通信学会 第2回 回路とシステム軽井沢ワークショップ, pp.274-281 (1989).
- [28] T. Shimamoto and A. Sakamoto: "Neural computation for channel routing using Hopfield neural network model", 電子情報通信学会論文誌, vol. **E72**, no.12, pp.1360-1366 (1989).
- [29] 佐藤招良, 坂本明雄, 島本隆: "配置問題のニューロコンピューティング", 電子情報通信学会技術研究報告, VLD88-28, pp.29-36 (1988).
- [30] 島本隆, 坂本明雄: "ニューラルネットワークを用いた階層的モジュール配置手法", 電子情報通信学会 第3回 回路とシステム軽井沢ワークショップ, pp.377-384 (1990).
- [31] 島本隆, 坂本明雄, 佐藤招良: "ニューラルネットワークを用いた階層的モジュール配置手法", 電子情報通信学会論文誌, vol. **J73-A**, no.8, pp.1406-1414 (1990).
- [32] S. Goto and T. Matsuda: "Partitioning, assignment and placement", Layout Design and Verification (T. Ohtsuki ed.), North-Holland (1986).
- [33] S. Goto: "An efficient algorithm for the two-dimensional placement problem in electrical circuit layout", IEEE Trans. Circuits and Systems, vol. **CAS-28**, no.1, pp.12-18 (1981).
- [34] A. E. Dunlop and B. W. Kernighan: "A procedure for placement of standard-cell VLSI circuits", IEEE Trans. Computer-Aided Design, vol. **CAD-4**, no.1, pp.92-98 (1985).
- [35] P. R. Suaris and G. Kedem: "An algorithm for quadrisection and its application to standard cell placement", IEEE Trans. Circuits and Systems, vol. **CAS-35**, no.3, pp.294-303 (1988).
- [36] 上坂吉則: "一般ニューロン回路網による関数の極値探索", 電子情報通信学会技術研究報告, PRU87-57 (1987).

- [37] 上坂吉則: "2 値変数の実数値関数から導かれるエネルギーを持つニューロン回路網の安定性について", 電子情報通信学会技術研究報告, PRU88-6 (1988).
- [38] 金子博 編: "小特集 ニューラルネット理論とその応用", 電子情報通信学会論文誌, vol. **73**, no. 7, pp. 679-718 (1990).