

Title	MOS技術による連想メモリ LSI の構成法に関する研究
Author(s)	小倉, 武
Citation	
Issue Date	
Text Version	ETD
URL	https://doi.org/10.11501/3054422
DOI	10.11501/3054422
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名・(本籍)	お	ぐら	たけし
	小	倉	武
学位の種類	工	学	博 士
学位記番号	第	9535	号
学位授与の日付	平成3年2月28日		
学位授与の要件	学位規則第5条第2項該当		
学位論文題目	MOS技術による連想メモリLSIの構成法に関する研究		
論文審査委員	(主査)		
	教授	白川 功	教授 寺田 浩詔
	教授	西原 浩	教授 児玉 慎三

論文内容の要旨

本論文は、MOS技術による連想メモリLSIの構成法に関する研究の成果をまとめたものであり、10章から構成されている。

第1章は序論であり、連想メモリの機能と特徴および従来の研究経過を概説し、本研究の位置付け、目的、および課題を明確にしている。

第2章では、連想メモリLSIの大容量化、高速化を可能とする新たな連想メモリセル回路構成法を考察し、その定量的な設計指針を与えている。

第3章では、関係検索機能や加算・乗算等の並列処理機能を実現する具体的な構成法と動作シーケンスを考察し、このなかで「ハミング距離」によるあいまい検索機能と高速な並列処理機能をもつ高機能セル回路の構成法を提案している。

第4章では、連想メモリLSIの大容量化、高速化と使い易さ向上に適したプロセッサ機能構成法を提案し、それらの有効性と設計指針を明らかにしている。

第5章では、大容量の連想メモリ装置を構成する場合に必要なチップアレイ構築のための構成法を考察し、その実現手法を明らかにしている。

第6章では、前章までの研究結果に基づいて設計試作した4Kビットと20Kビットの連想メモリLSIの性能評価を行い、連想メモリLSIの構成法の有効性を示している。

第7章では、連想メモリLSIのもつ高速処理性能を引出すことができる装置構成法を示し、さらに、連想メモリ装置の情報処理システムへの一つの実用例として、Prologマシンへの連想メモリ装置の適用法を考察している。

第8章では、4 Kビットの連想メモリLSIを用いて試作したPrologマシンの具体的な装置構成法とその試作結果を示し、Prologマシンへの連想メモリ装置適用の効果を評価して、連想メモリLSIおよび連想メモリ装置の実用性を示している。

第9章では、本研究を通じて明らかとなった、連想メモリLSI開発に関する知見と今後の課題について考察するとともに、連想メモリLSI大容量化の将来的な方向として、連想メモリLSIの3次元IC化技法を提案している。

第10章は結論であり、本研究で得られた結果を総括してまとめ、さらに将来の動向についても、その一端を述べている。

論文審査の結果の要旨

本論文は実用システムとして必要な各種機能を統合化した連想メモリLSIの構成法を確立するために行った研究結果をまとめたものであり、その主な成果を要約すると次のとおりである。

- (1) 連想メモリLSIの検索機能に関し、基本的な機能である一致検索機能、より高機能なハミング距離によるあいまい検索機能等の関係検索機能および加算・乗算等の並列処理機能を実現する構成手法を明らかにしている。
- (2) 連想メモリLSIのプロセッサ機能の構成に関し、大容量化、高速化、使い易さの向上に適した構成手法を提案し、それらの有効性と設計指針を明らかにしている。
- (3) 上記の各種構成手法を統合化して実際に連想メモリLSIを設計試作し、その有効性を実証している。
- (4) 大容量連想メモリ装置の設計手法と連想メモリ装置のPrologマシンへの適用技法を考察し、実際に連想メモリ装置を用いたPrologマシンを試作することにより、連想メモリ装置の有効性を実証している。

以上のように、本論文は実用システムとしての各種機能を統合化した連想メモリLSIの構成を確立し、実用的な連想メモリLSIを実現したものであり、連想メモリLSIの設計技術、応用技術の分野に寄与するところ大である。よって本論文は博士論文としての価値あるものと認める。