

Title	MOS技術による連想メモリ LSI の構成法に関する研究
Author(s)	小倉, 武
Citation	大阪大学, 1991, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3054422
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

MOS技術による
連想メモリLSIの構成法に関する研究

1991年

小倉 武

内容梗概

本論文は、筆者が日本電信電話公社武蔵野電気通信研究所、日本電信電話株式会社（NTT）厚木電気通信研究所、ならびにNTT LSI研究所において行ってきた「MOS技術による連想メモリLSIの構成法に関する研究」についてまとめたものであり、10章から構成される。以下、各章ごとにその概要を述べる。

第1章 序論

連想メモリの機能と特徴および従来の研究経過を概説し、本研究の位置付け、目的、および課題を明確にする。

第2章 一致検索機能をもつ連想メモリセル回路構成法

連想メモリLSIの大容量化、高速化を可能とする新たな連想メモリセル回路構成法を考察し、その定量的な設計指針を与える。

第3章 関係検索機能、並列処理機能をもつ連想メモリセルアレイ構成法

関係検索機能や加算・乗算等の並列処理機能を実現する具体的な構成法と動作シーケンスを考察し、このなかで「ハミング距離」によるあいまい検索機能と高速な並列処理機能をもつ高機能セル回路の構成法を提案する。

第4章 連想メモリLSIプロセッサ機能構成法

連想メモリLSIの大容量化、高速化と使い易さ向上に適したプロセッサ機能構成法を提案し、それらの有効性と設計指針を明らかにする。

第5章 連想メモリLSIのチップアレイ構成法

大容量の連想メモリ装置を構成する場合に必要なチップアレイ構築のための構成法を考察し、その実現手法を明らかにする。

第6章 連想メモリLSIの試作

前章までの研究結果に基づいて設計試作した4Kビットと20Kビットの連想メモリLSIの性能評価を行い、連想メモリLSIの構成法の有効性を示す。

第7章 連想メモリLSIの装置応用技術

連想メモリLSIのもつ高速処理性能を引出すことができる装置構成法を示し、さらに、連想メモリ装置の情報処理システムへの一つの実用例として、Prologマシンへの連想メモリ装置の適用法を考察する。

第8章 連想メモリLSIの装置応用

4Kビットの連想メモリLSIを用いたPrologマシンの具体的な装置構成法とその試作結果を示し、Prologマシンへの連想メモリ装置適用の効果を評価して、連想メモリLSIおよび連想メモリ装置の実用性を示す。

第9章 連想メモリLSI開発に関する今後の課題

本研究を通じて明らかとなった、連想メモリLSI開発に関する知見と今後の課題について考察するとともに、連想メモリLSI大容量化の将来的な方向として、連想メモリLSIの3次元IC化技法を提案する。

第10章 結論

本研究で得られた結果を総括してまとめ、さらに将来の動向についても、その一端を述べる。

目次

第1章 序論	
1. 1 連想メモリの機能・特徴と連想メモリLSI開発の経緯	1
1. 2 連想メモリLSI構成法に関する従来の研究経過と本研究の位置付け	3
1. 3 本研究の目的・課題と主な内容	9
1. 4 本論文の構成	11
第2章 一致検索機能をもつ連想メモリセル回路構成法	13
2. 1 まえがき	13
2. 2 MOS連想メモリセル回路の基本構成	14
2. 3 全ワード並列書込み可能な連想メモリセル回路構成法	16
2.2.1 従来のスタティック型セル回路の問題点	16
2.2.2 全ワード並列書込み可能な連想メモリセル回路	18
2.2.3 安定動作領域	20
2. 4 大容量化・高速化が可能な連想メモリセルアレイ構成法	22
2.4.1 高密度連想メモリセルアレイ構成法	22
2.4.2 検索動作を加速する加速回路の構成法	24
2. 5 むすび	27
第3章 関係検索機能, 並列処理機能をもつ連想メモリセルアレイ構成法	28
3. 1 まえがき	28
3. 2 一致検索機能をもつセル回路による関係検索機能, 並列処理機能の実現	29
3.2.1 「以下」／「以上」検索機能の構成法	29
3.2.2 「最小値」／「最大値」検索機能の構成法	32
3.2.3 一致検索機能をもつセル回路による並列処理機能の構成法	33
3. 3 高機能セル回路による関係検索機能および並列処理機能の実現	35
3.3.1 「ハミング距離」によるあいまい検索機能	35

3.3.2 「ハミング距離」によるあいまい検索機能の実現	35
3.3.3 高機能セル回路による並列処理機能の実現	37
3.4 関係検索機能構成法の比較	39
3.5 むすび	41
第4章 連想メモリLSIプロセッサ機能構成法	42
4.1 まえがき	42
4.2 連想メモリLSIの全体構成法	43
4.2.1 シーケンス制御機能と全体的な構成概要	43
4.2.2 複数選択分離機能のパイプライン構成法	46
4.3 複数選択分離機能の構成法	46
4.4 ガーベージコレクション機能とその構成法	49
4.4.1 ガーベージコレクション機能	49
4.4.2 ガーベージコレクション機能の構成法	49
4.5 欠陥救済機能の構成法	51
4.6 むすび	53
第5章 連想メモリLSIのチップアレイ構成法	55
5.1 まえがき	55
5.2 ビット数を拡張する連想メモリLSIのチップアレイ構成法	56
5.2.1 ビット方向にチップをならべる構成法	56
5.2.2 チップ内のワード構成を変化させる構成法	57
5.2.3 2つの構成法の比較	59
5.3 ワード数を拡張する連想メモリLSIのチップアレイ構成法	60
5.4 むすび	62
第6章 連想メモリLSIの試作	63
6.1 まえがき	63
6.2 4Kビット連想メモリLSIの試作	65
6.2.1 基本構成	65

6.2.2	設計・試作・評価結果	67
6.3	20Kビット連想メモリLSIの試作	69
6.3.1	機能・構成	69
6.3.2	設計・試作・評価結果	72
6.4	むすび	74
第7章	連想メモリLSIの装置応用技術	75
7.1	まえがき	75
7.2	連想メモリ装置構成法	76
7.2.1	連想メモリ装置の応用形態	76
7.2.2	連想メモリ装置構成法	77
7.3	Prologマシンへの連想メモリ装置適用技術	79
7.3.1	Prologの処理アルゴリズムと連想処理	79
7.3.2	Prologマシンへの連想メモリ装置適用技術	80
7.4	むすび	82
第8章	連想メモリLSIの装置応用	83
8.1	まえがき	83
8.2	4Kビット連想メモリLSIを用いたPrologマシン	83
8.2.1	ハードウェア構成法	83
8.2.2	試作結果	85
8.2.3	評価結果	87
8.3	むすび	90
第9章	連想メモリLSI開発に関する今後の課題	91
9.1	まえがき	91
9.2	連想メモリLSIのコスト見通し	91
9.3	今後の課題	93
9.3.1	高性能化に向けた検討課題	93
9.3.2	連想メモリLSIの3次元IC化	94

9. 4 むすび	96
第10章 結論	97
謝辞	100
本研究に関する発表文献	102
参考文献	107

第1章 序論

1. 1 連想メモリの機能・特徴と連想メモリLSI開発の経緯

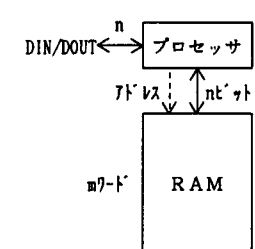
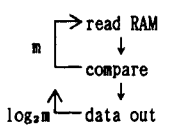
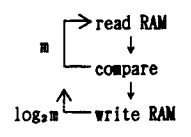
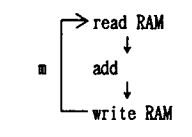
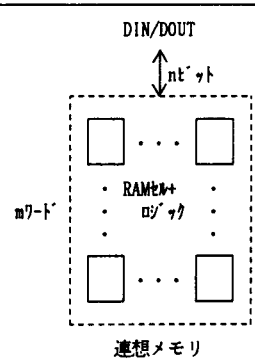
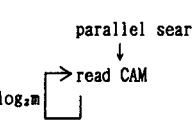
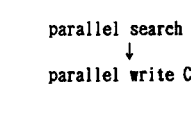
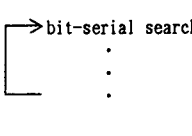
通常のランダムアクセスメモリ(RAM)では、データを読み書きする場合、データの記憶位置を指示するアドレスを入力することによってアクセスを行う。これに対して、連想メモリでは検索データを入力し、これと記憶データの内容を照合、検索し、該当する内容を持つワードに対してアクセスを行う。連想メモリとは、記憶内容によるデータアクセスを基本機能とするメモリであり、CAM(Content Addressable Memory:内容アクセスメモリ)とも呼ばれる。

情報通信処理においては、数表を参照する場合やデータの分類を行う場合に、膨大な記憶データに対して内容によるアクセスが必要となる。この種の処理を、データ内容とかかわりのないアドレスだけによってアクセスする通常のメモリを用いて行くと、莫大な処理時間を必要とするが、記憶内容によるデータアクセスが可能な連想メモリを用いると、この種の処理の高速化が図られる。

実働する装置としての最初の連想メモリは、1956年にSlade等によってクライオトロンを用いて実現された⁽¹⁾。この連想メモリの実現を契機として、連想メモリを用いた計算機システムや応用技術の研究開発が始った。Estrin等⁽²⁾やMcKeeber⁽³⁾は、連想メモリが“記憶と内容アクセス機能”を有しているだけでなく、記憶しているデータに対する“並列処理機能”をも有していることを明らかにし、その有用性が広く認識されるようになった⁽⁴⁾⁻⁽⁶⁾。表1-1および図1-1に検索処理と並列処理を連想メモリを用いて行う場合と従来のRAMとプロセッサを用いて行う場合の必要手順数の比較を示す。表に示すように、連想メモリは、並列度が大、データ転送頻度が小、という大きな特徴をもつ。そして、このような特徴を活用することにより、たとえば処理1から処理3に対して、ワード数に応じて 10^2 から 10^6 倍の高速化が実現できる。連想メモリがこの種の処理に対してきわめて高い処理能力をもつことがわかる。

このような状況と部品技術の進展を背景とし、半導体集積回路技術による連想メモリ構成法の研究が開始された。集積回路技術による連想メモリに関する最初の研究は、1966年のIgarashi等が行った抵抗負荷型のp-MOSによる1ビットセル回路の試作⁽⁷⁾である。その

表1-1 連想メモリと従来手段における特徴と処理実現に必要なサイクル数の比較

実現手段	特徴	対象処理	処理1: 検索後、該当データをDOUTから取出す	処理2: 検索後、該当データを同一データで書換える	処理3: 全データに同一値を加算する
RAM + プロセッサ	 <ul style="list-style-type: none"> ○汎用性 大 ○柔軟性 大 ○ハードウェア量 小 ×並列度 小(n) ×データ転送頻度 大 (フロッピーネットワーク) 	動作シーケンス	 <p>(ワード数 = $\log_2 m$ とする)</p>		
		必要サイクル数	$2m + \log_2 m$	$2m + \log_2 m$	$3m$
連想メモリ	 <ul style="list-style-type: none"> △汎用性 中 △柔軟性 中 ×ハードウェア量 大 ◎並列度 大 ($m \times n$) ◎データ転送頻度 小 	動作シーケンス			
		必要サイクル数	$1 + \log_2 m$	2	Constant $\times n$ (Constant ~ 10)
	高速化率 (必要サイクル数の比)		$(2m + \log_2 m) / (1 + \log_2 m)$	$(2m + \log_2 m) / 2$	$3m / (\text{Constant} \times n)$

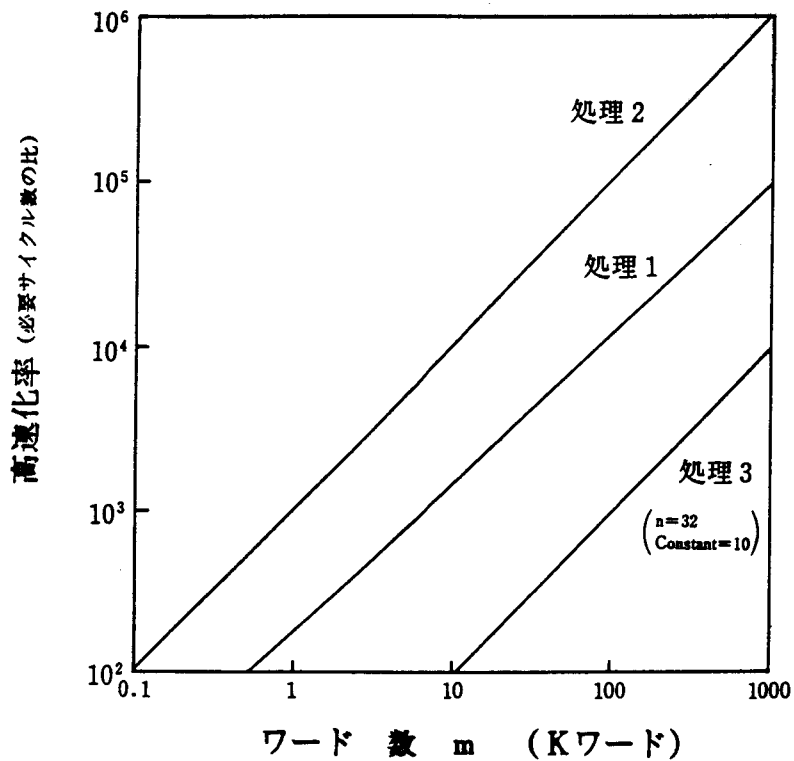


図1-1 連想メモリの従来構成からの高速化率とワード数との関係

後、10年間にわたって、検索データと記憶データとが一致しているか否かを照合する種々のセル回路形式が実現された⁽⁸⁾⁻⁽¹²⁾。1972年にはMundy等は、p-MOSダイナミック型セル回路を用い、集積回路技術による連想メモリとしては最大容量である512ビットのセルアレイを実現している⁽¹¹⁾。連想メモリの構成には通常のメモリと比べて多くの素子を必要とすること、および当時の集積回路の製造・設計技術がまだ発展途上であったため、これらの研究は、連想メモリのセルアレイ構成法の検討にとどまっていた。これらのセルアレイを動作させるためには、ワード線の駆動、ビット線のセンス動作、検索結果の処理等をすべて外部で行う必要があり、連想メモリの実用システムへの適用には至らなかった。

実用システムへの適用をめざした連想メモリLSIの構成法に関する最初の研究は、必要な機能ブロックをマルチチップで構成しようとする1977年のLea等によるものである⁽¹³⁾。

このような状況を踏まえ、本研究は1979年に開始した。本研究では、進展する集積回路技術を考慮しつつ、実用システムに適用可能な機能を統合化した連想メモリLSIの構成法を検討し、実用的な連想メモリLSIをはじめて実現した。特に、LSIの大容量化、高機能化により、情報通信処理システムのアーキテクチャに“記憶”と“処理”の一体化という技術的成果を付与したことに大きな意義をもつ。

1. 2 連想メモリLSI構成法に関する従来の研究経過と本研究の位置付け

1956年のSlade等の報告⁽¹⁾を契機として開始された連想メモリ構成法および連想メモリの応用技術に関する研究の展開を振り返ると、4つの期間に分けることができる。連想メモリ関連の研究展開の概要を図1-2に示す。

<第1期(1956～1965年)：連想メモリの応用に関する概念創出の時代>

部品技術としては半導体以前の時代であり、クライオトロンや磁性素子による連想メモリが試作されるとともに、連想メモリを用いた計算機システム応用技術が活発に研究された。特に、Estrin等は連想メモリを用いた偏微分方程式の数値解法を示し、連想メモリが高い並列処理能力をもつことを明らかにするとともに、選択されたワードへの並列・同時データ書込みやデータの一部のみを書き換える部分書込みの必要性を示した⁽²⁾。また、McKeeberは“0”，“1”，“Don't Care”の3値を記憶する連想メモリが、通常の2値

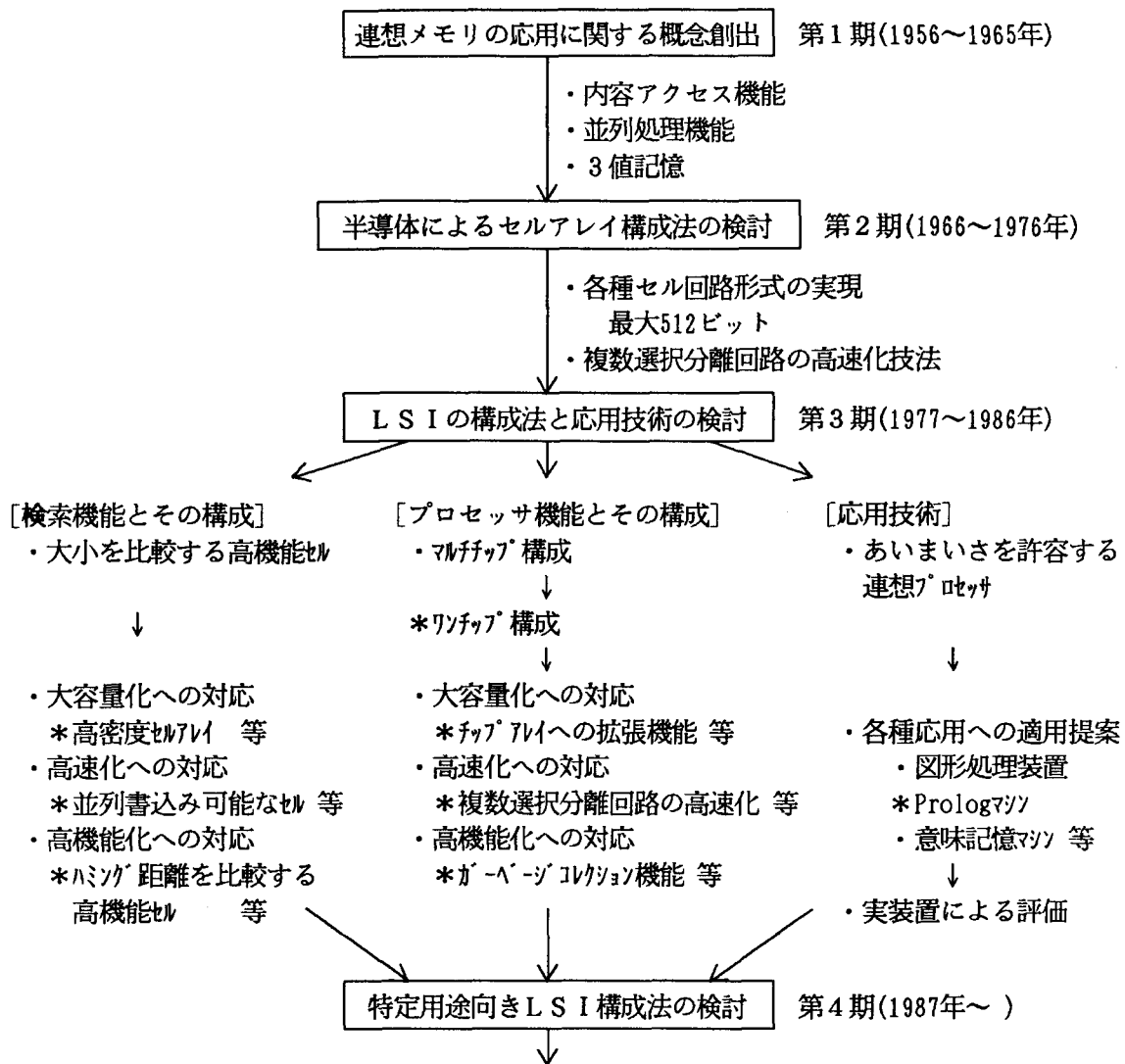


図1-2 連想メモリ関連の研究の展開
* : 本研究での検討項目

を記憶する連想メモリと比べて高い並列処理能力を有することを示した⁽⁹⁾。この時代のデバイスに関する研究成果は、部品技術の消長のはげしさのため、直接的には活用されていないが、連想メモリに与えるべき機能や応用技術に関する研究成果は、それ以後の研究開発の重要な基礎をなしている。

<第2期(1966~1976年)：半導体によるセルアレイ構成法の検討の時代>

1966年のIgarashi等による1ビットセル回路⁽⁷⁾にはじまり、検索データと記憶データとの照合のための種々のセル回路形式が実現された⁽⁸⁾⁻⁽¹²⁾。回路形式としては、p-MOS, n-MOS, CMOS, スタティック型, ダイナミック型とほぼすべての形式について考察が及んでおり、セル回路の構成手法の基礎が固まった。記憶容量としては、1972年のMundy等によって試作された512ビットのセルアレイ⁽¹¹⁾が最大容量である。また、1969年には、検索動作によって複数のワードが選択された場合にアクセスするワードを決定する複数選択分離回路の高速化技法が、Fosterによって提案されており⁽¹⁴⁾、連想メモリを構成するセル回路以外の機能ブロックの構成法に関しても研究が開始された。

<第3期(1977~1986年)：LSIの構成法と応用技術の検討の時代>

1977年にはセルアレイの時代からLSIの時代への先駆けとして、セルアレイとともに、複数選択分離回路や検索結果の処理回路などのプロセッサブロックをマルチチップで構成する手法がLea等によって提案された⁽¹³⁾。1980年には、Nikaidoと著者等が、セルアレイとプロセッサブロックを統合化した初めての1Kビットの連想メモリLSIを発表した⁽¹⁵⁾⁽¹⁶⁾。このLSIでは、検索データと記憶データとが一致しているか否かを照合する機能とともに、検索データと記憶データとのハミング距離を識別するあいまい検索機能をも実現している。

1983年には、著者等によって、不要なワードを自己管理するガーベジコレクション機能と並列処理機能を搭載し、さらにチップアレイを構成するためのチップアレイ拡張機能をもつ4Kビットの連想メモリLSIが報告され⁽¹⁷⁾⁻⁽¹⁹⁾、連想メモリLSIの実用性に対する認識が高まった。この報告の中では、全ワードへの並列・同時データ書込みが可能な新たなCMOSセル回路を実現し、さらに、ワード数が大きくなった場合の複数選択分離回路の設計指針を示した。

1980年前後から連想メモリの応用技術に関する研究も徐々に活発化した。1984年のSuzuki等による検索と並列処理機能を活用した図形処理装置への適用⁽²⁰⁾⁽²¹⁾、1985年のNaganumaと著者等による検索と並列書込み、ガーベジコレクション機能を活用したPrologマシンへの適用⁽²²⁾⁻⁽²⁴⁾、Higuchi等による検索と並列書込み機能を活用した意味記憶マシンへの適用⁽²⁵⁾⁽²⁶⁾が提案され、数年後には、著者等が開発した連想メモリLSIを用いた実装置が試作され、その有効性が明らかとなった。また、1987年に大久保等は、安浦

等が提案したユニオンファインド問題の解法⁽²⁷⁾を、Naganuma と著者等が試作したProlog マシンのうえで実装し、その有効性を示した⁽²⁸⁾。さらに、通信システムへの連想メモリLSIの適用に関しては、1985年に宮保等は、著者等が試作した大容量連想メモリシステム⁽²⁹⁾を適用して統合交換機のテーブル検索機構を構築し、その有効性を示した⁽³⁰⁾。

1985年には、Kadota 等がデータフローマシンの発火制御に適した機能をもつ8Kビットの連想メモリLSIを報告し⁽³¹⁾、さらに、1986年には、著者等が、多ビット幅のデータに対する処理機能と高密度なセルアレイ構造をもつ20KビットのAI用連想メモリLSIを報告した⁽³²⁾⁽³³⁾。これにより、連想メモリLSIの大容量化の流れが定着するとともに、セル回路に照合機能を付与したワード並列ビット並列の完全並列型連想メモリLSIの構成法の基礎が確立した。また、将来的に有望な連想メモリLSIの一つの構成法として、1985年に著者が連想メモリLSIの3次元IC化を提案した⁽³⁴⁾。

<第4期(1987年～)：特定用途向きLSI構成法検討の時代>

LSI技術が進展し、連想メモリLSIの高性能化・高機能化が進行するとともに、特定用途向き機能ブロックを搭載した連想メモリLSIの研究開発が推進されるようになった。1988年には、Yamada 等は16KビットのLANコントローラ用連想メモリLSIを⁽³⁵⁾、1990年には、Motomura 等はSRAMセル回路を用いたワード並列ブロック直列型の160Kビット文字列検索用連想メモリLSI⁽³⁶⁾を、さらに、Okabayashi 等はDRAMセル回路を用いたワード並列ビット直列型の4Mビットリレーショナルデータベース用連想メモリLSI⁽³⁷⁾を、それぞれ報告している。

連想メモリLSI関連の研究経過と本研究の占める位置を表1-2に、また、MOS技術により実現された連想メモリの記憶容量の年次推移を図1-3に示す。これらから、連想メモリLSIの構成手法、連想メモリの応用技術、および連想メモリLSIの記憶容量の研究開発に関し、本研究が果す貢献が大であることが分かる。

表1-2 連想メモリLSI関連の研究経過と本研究の位置付け

報告 年次	内 容		報告者【機関】(文献)
	連想メモリLSI構成技術	装置構成・応用技術	
1956 1963 1965	<p><連想メモリのデバイス・応用に関する概念創出の時代-半導体以前></p> <ul style="list-style-type: none"> ・トランジスタによる連想メモリ構成法 		Slade等【】(1) Estrin等[UCLA](2) Mckeever【GE】(3) (トリス) 山口【電総研】(4) 飯塚【電総研】(5) Yau【ノースウェスタン大】(6)
1966 1969	<p><半導体によるセルアレイ構成法検討の時代></p> <ul style="list-style-type: none"> ・抵抗負荷 n-MOS スタティック型セル(1bit) ・n-MOS スタティック型セル(16bit) ・ORフェーズ型複数選択分離回路の構成提案 		
1970 1972 1974 1975	<ul style="list-style-type: none"> ・CMOS スタティック型セル(80bit) ・p-MOS スタティック型セル(128bit) ・p-MOS ダイナミック型セル(512bit) ・Tree型複数選択分離回路の構成提案 ・n-MOS ダイナミック型セル(128bit) 		Igarashi等【日電】(7) 向井等【電々】(8) Foster【ソノバト大】(14) Wesley【IBM】(69) Koo【Bell】(9) Wald【ハバシ大】(10) Mundy【GE】(11) Anderson【ハバシ大】(52) Lea【フクシ大】(12)
1977 1978	<p><LSI構成法・LSI応用技術検討の時代></p> <ul style="list-style-type: none"> ・ビットパターンのロック式構成法の提案 ・大小比較高機能セルの提案 		
1980 1981 1983	<ul style="list-style-type: none"> ・all-in-oneの連想メモリLSI ・ハミング距離を比較する高機能セル ・複数選択分離回路 ・1Kbit 		<ul style="list-style-type: none"> ・曖昧さを許容する連想メモリ構成法 ・デコーダの発火制御への適用 ・Lispマシンの格納メモリへの適用
1984 1985	<ul style="list-style-type: none"> ・自律的動作可能な連想メモリLSI ・ガバナンスコレクション機能 ・全ワード同時書き込み可能なセル ・チップレベルへの拡張用機能 ・4Kbit 		
1986	<ul style="list-style-type: none"> ・デコーダマシンの連想メモリLSI ・ソングセル時のガバナンスコレクション機能 ・8Kbit ・直交メモリLSI ・ビット直列型連想メモリ用 ・1Kbit ・3次元化連想メモリLSIの提案 		<ul style="list-style-type: none"> ・図形処理装置への適用 ・統合交換機データ検索機構への適用 ・Prologマシンの高機能スタックへの適用 ・意味記憶マシンの主記憶への適用 ・エッジファイト問題の解法への適用
1987	<ul style="list-style-type: none"> ・AI用連想メモリLSI ・多ビット幅データの処理機能 ・高密度チップ ・20Kbit 		
1977 1978	<p><特定用途向きLSI構成法検討の時代></p> <ul style="list-style-type: none"> ・3値記憶ダイナミック型セル(2Kbit) ・"0","1","Don't Care"の記憶 		Lea【フクシ大】(13) Ramamoorthy等【UCB】(48) 市川等【慶応大】(49) Nikaido等【電々】(15)(16)*
1980	<ul style="list-style-type: none"> ・画像処理用連想メモリLSI ・疑似スタティック型セル ・9Kbit ・LANコントローラ用連想メモリLSI ・可変長データ検索機能 ・16Kbit 		
1981 1983	<ul style="list-style-type: none"> ・デコーダマシンの関係演算処理への適用 		長谷川等【電々】(70)** Bonar等【マサチューセツツ大】(71) Ogura等【電々】(17)(18)*
1984 1985	<ul style="list-style-type: none"> ・機能メモリ型並列データ検索機構の提案 		
1986	<ul style="list-style-type: none"> ・4Kbit連想メモリLSIを用いたPrologマシンの推論エンジンのデータ検索機構への適用 ・Prologマシンのデータ格納への適用 ・Prologマシンのパターンマッチングへの適用 		Suzuki等【早大】(20)(21)** Kadota等【松下】(31) Kokubu等【電総研】(72) 小倉【NTT】(34)* 宮保等【NTT】(30)** Naganuma等【NTT】(22)(23)* Higuchi等【電総】(25)(26)** 安浦等【京大】(27)(28)** Ogura等【NTT】(32)(33)*
1987	<ul style="list-style-type: none"> ・3値記憶ダイナミック型セル(2Kbit) ・"0","1","Don't Care"の記憶 		
1988	<ul style="list-style-type: none"> ・画像処理用連想メモリLSI ・疑似スタティック型セル ・9Kbit ・LANコントローラ用連想メモリLSI ・可変長データ検索機能 ・16Kbit 		Wade等【MIT】(74) 中野等【NTT】(75)** Jones等【フクシ大】(76) Yamada等【日電】(35) 安浦等【京大】(77)(78)** Wade等【MIT】(79)
1989	<ul style="list-style-type: none"> ・デコーダマシンの関係演算処理への適用 		
1990	<ul style="list-style-type: none"> ・機能メモリ型並列データ検索機構の提案 		Motomura等【日電】(36) Okabayashi等【松下】(37)
1990	<ul style="list-style-type: none"> ・文字列検索用連想メモリLSI ・ビット直列型 ・SRAM-ス ・160Kbit ・リレーショナルデータベース用連想メモリLSI ・ビット直列型 ・DRAM-ス ・4Mbit 		

*: 本研究 **: 討論/連想メモリLSI提供等を通じて本研究と直接的交流のあった他研究

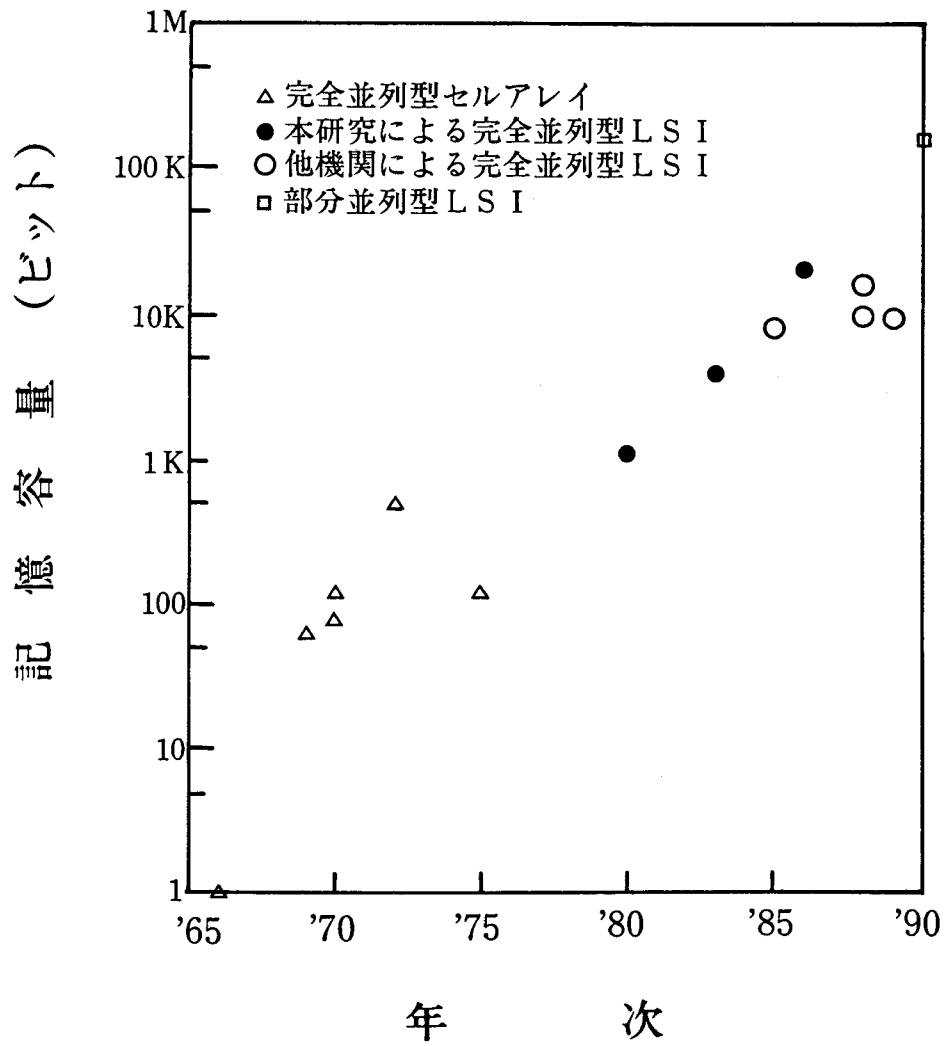


図1-3 連想メモリの記憶容量の年次推移

1. 3 本研究の目的・課題と主な内容

本研究は、実用システムとして必要な諸機能を統合化して有する連想メモリLSIに対する構成手法の構築を主題とする。特に、連想メモリLSIの高性能化、高機能化の手法について詳細に論じ、情報通信システムへの組み込みを通じてこれらの手法がいかに実用性を高めているかについて明らかにする。

1979年に本研究を開始するにあたり、解決すべき多くの課題があった。図1-4に課題を示す。

(1) 大容量化に関する課題

LSIを大容量化するために、いかにしてセルおよびチップの面積を低減するか、また、連想メモリ装置を大容量化するために、いかにして複数のチップを結合するかという課題。

(2) 高速化に関する課題

連想メモリのもつ記憶機能、検索機能、およびプロセッサ機能のそれぞれの高速化が急務であり、記憶機能に関しては高速な並列書込みを、検索機能に関してはその加速を、プロセッサ機能に関しては高速な複数選択分離をいかにして実現するかという課題。

(3) 高性能化に関する課題

連想メモリのもつ検索機能およびプロセッサ機能の高性能化が必須であり、検索機能に関しては関係検索機能と並列処理機能を、プロセッサ機能に関してはシーケンス制御機能とガーベージコレクション機能をいかにして実現するかという課題。

(4) 高歩留り化、耐故障性向上に関する課題

連想メモリの機能を損なわない欠陥救済機能の向上に関する課題。

連想メモリLSI ⇒ 高並列度活用による処理性能向上 ⇒ 大容量化(ワード数増大)の必要 ⇒ MOS技術の選択

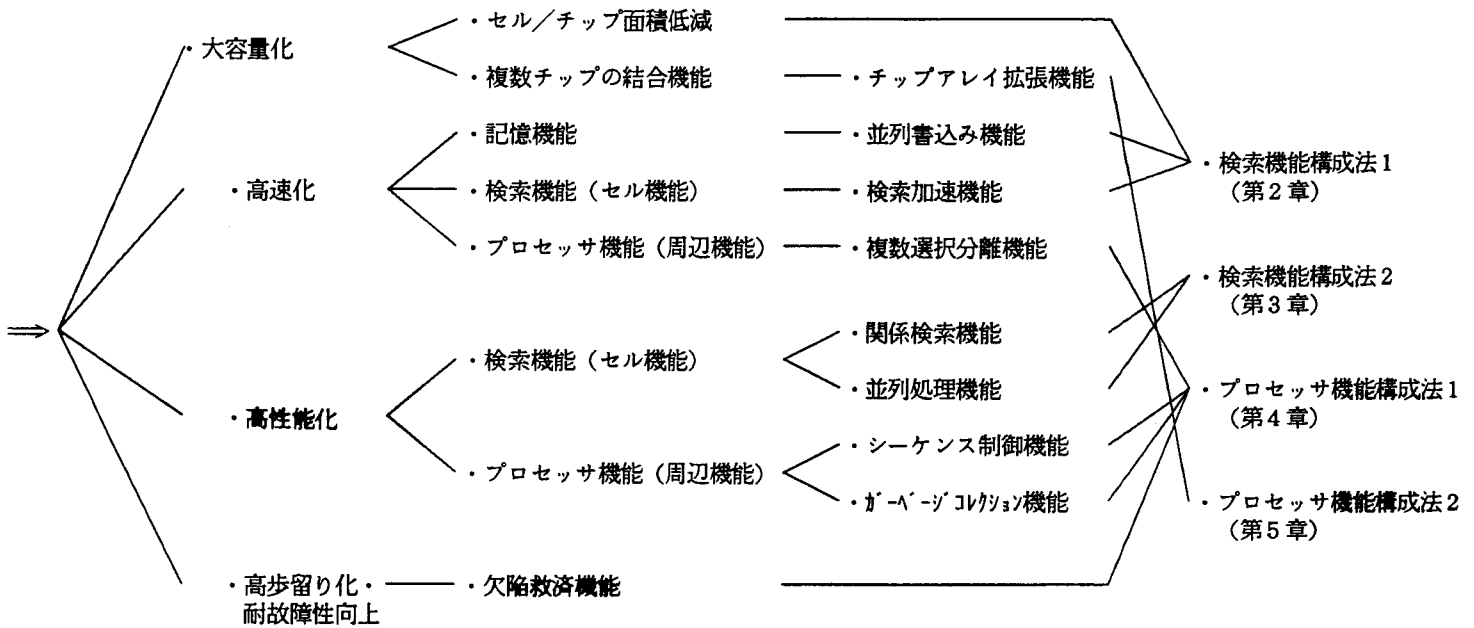


図1-4 連想メモリLSI構成法の課題

本研究では、統合化した実用的連想メモリLSIの構成法を確立するため、これらの課題を図に示すように、検索機能とプロセッサ機能の構成法に集約して研究を進め、それらの実現技法を明らかにする。検索機能としては、まず基本的な検索機能である検索データと記憶データとが一致しているか否かを照合する一致検索機能を実現する連想メモリセルの構成法について検討し、ついで、より高機能な検索機能であるハミング距離によるあいまい検索機能等の関係検索機能および加算・乗算等の並列処理機能の構成法について考察する。プロセッサ機能としては、まず単独の連想メモリLSIとしてのプロセッサ機能とその構成法を検討し、ついで大容量の連想メモリ装置の構成に不可欠となる多数のチップをアレイ状に並べて有機的に動作させる「チップアレイ」を実現するためのチップアレイ拡張機能の構成法を考察する。さらに、情報通信システムへの具体的な適用性を明らかにするために、大容量の連想メモリ装置の構成技法について考察し、連想メモリLSIの実用例の一つとしてのProlog マシンの構成法を提案する。

1. 4 本論文の構成

本論文は10章より構成され、その内容は以下のように要約される。

第2章では、基本的な検索機能である一致検索機能を実現するMOS連想メモリセルの構成手法について考察したのち、全ワードへの並列・同時書込みが可能な新たなCMOS回路を提案するとともに、その安定動作領域を明らかにして回路設計の指針を与える。さらに、連想メモリLSIの大容量化を可能とする高密度・高速なセルアレイの構成法を考察し、従来の構成法との比較を通じて、その性能を明らかにする。

第3章では、データを「数値」とみなして取り扱う関係検索機能の実現技法について考察し、大小比較、最大値検索等を実現する具体的な構成法と動作シーケンスを記述する。また、検索データと記憶データとのハミング距離によるあいまい検索機能および高速な加算、乗算等の並列処理機能をもつ高機能セル回路を提案し、並列処理を実現する具体的な動作シーケンスを付与して、その高速性を示す。さらに、関係検索機能を実現する2つの構成法、すなわち高機能セル回路による全並列型構成法と一致検索機能セル回路によるビット直列型構成法について考察し、両手法の特徴を論ずる。

第4章では、連想メモリLSIがもつべきプロセッサ機能とその構成法について考察する。まず、連想メモリLSIの全体構成について考察したのち、複数選択分離回路の高速な構成法を提案し、ワード数に応じた設計指針を示す。また、連想メモリLSIの使い易さを向上させるための機能として、不要ワードを自己管理するためのガーベジコレクション機能を提案し、その構成法を明らかにする。さらに、連想メモリLSIの歩留りと耐故障性の向上を図る構成手法について考察する。

第5章では、連想メモリLSIを用いて大容量の連想メモリ装置を構成する場合に必要な、チップアレイ構築のためのチップアレイ拡張機能とその構成法について考察する。すなわち、処理するデータのビット数を拡張するビット数拡張機能と処理するデータのワード数を拡張するワード数拡張機能の実現手法について記述する。

第6章では、前章までの研究成果に基づいて設計試作した4Kビットと20Kビットの連想メモリLSIの性能評価を行う。

第7章では、連想メモリLSIの応用形態を分類整理するとともに、連想メモリLSIを用いた大容量連想メモリ装置の構成法を示す。さらに、連想メモリLSIの情報システ

ムへの一つの実用例として、連想メモリを主要構成部品としたProlog マシンの構成法を記述する。

第8章では、連想メモリLSIの具体的な装置応用例として、4Kビット連想メモリLSIを用いたProlog マシンの装置構成法を示し、その試作結果とその性能評価について述べる。

第9章では、本研究を通じて明らかとなった、連想メモリLSI開発に関する知見と今後の課題について考察する。

第10章では、本研究で得られた結果を要約する。

図1-5は以上の本論文の構成を流れ図にまとめたものである。

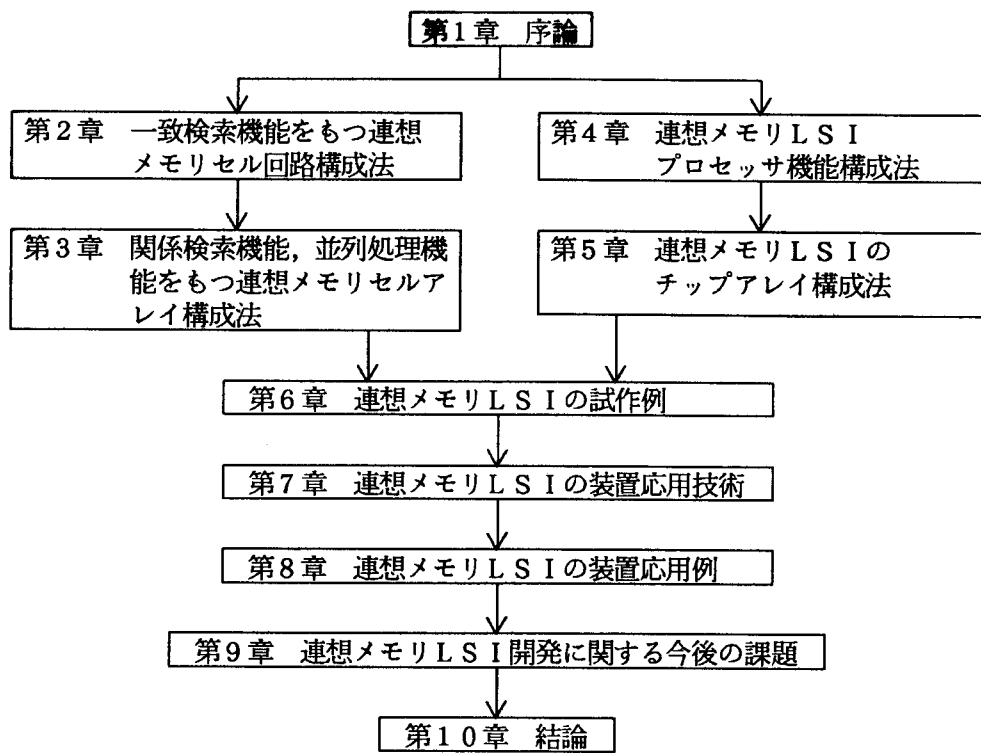


図1-5 本論文の構成

第2章 一致検索機能をもつ 連想メモリセル回路構成法

2.1 まえがき

1966年のIgarashi等による報告以来、種々のMOS連想メモリセル回路が実現された⁽⁹⁾⁻⁽¹²⁾。これらの連想メモリセル回路は、データを記憶する通常のRAM(Random Access Memory)のセル回路に、連想メモリとしての機能を実現するためのハードウェアを付加して構成されている。実現すべき連想メモリの機能としては、一致検索機能のほか、セルアレイを構成した場合に、全ワードへの並列・同時データ書込みを行う並列書込み機能とデータの一部のビットのみを書き換える部分書込み機能が必要となる。これらの連想メモリとしての機能を、進展する集積回路技術を踏まえて、いかに少ないハードウェア量で実現し、しかもいかにして高速に動作させるかが、連想メモリセル回路構成法の課題となる。

集積回路技術が進展し、集積化できるワード数が大きくなるにつれて、従来のn-MOSあるいはCMOSのスタティック型セル回路では、電源からの電荷の供給や引抜きのために高速かつ安定な並列書込みが行えなくなる。連想メモリLSIの大容量化を実現するためには、ワード数が大きくなった場合でも並列書込みが可能なセル回路の構成手法を追求しなければならない。また、ビット数が大きくなると、信号線の負荷容量の増加のため検索動作の速度が低下する。したがって、ビット数が大きくなった場合でも高速な検索動作が可能な構成手法を構築しなければならない。さらに、部分書込み機能を実現するためには、検索機能を実現するためのハードウェアに加え、さらに多くのハードウェアを付加する必要がある。大容量化が図れない。したがって、少ない付加ハードウェア量で部分書込み機能を実現する構成手法を考案しなければならない。

本章では、一致検索機能をもつMOS連想メモリセル回路の基本構成を分類したのち、上記課題を解決するために考案したセル回路の構成手法を提案し、その利点を定量的に示すとともに設計指針を明らかにする。

まず、ワード数が大きくなった場合でも並列書込みを可能とするセル回路の構成手法を考察し、その安定動作領域を回路シミュレーションによって解析し、かつその設計指針を与える。次に、部分書込み機能を複数ビット単位に制限して信号線を多重使用することに

より、大容量化と高速化を目的とした抵抗負荷型セル回路によるセルアレイ構成手法を提案する。また、検索動作を高速化するための加速回路の構成手法を考察し、その設計指針を与える。

2. 2 MOS連想メモリセル回路の基本構成

一致検索機能をもつMOS連想メモリセル回路は、データを記憶するRAMセル回路と記憶データと検索データとの一致を判定する比較回路とから構成できる。図2-1に連想メモリセル回路の模式図を示す。図2-1で Q_i 、 $\overline{Q_i}$ は記憶データとその相補信号を表し、 K_i 、 $\overline{K_i}$ は検索データとその相補信号を表す。図2-1の比較回路は4個のトランジスタから構成され、信号 Q_i 、 $\overline{Q_i}$ と K_i 、 $\overline{K_i}$ を用いて記憶データと検索データとの一致が判定される。すなわち、不一致のビットでは、一致検出線と接地との間に電流経路が形成され、プリチャージされた一致検出線の電荷が引抜かれる。同一ワードのすべてのビットで記憶データと検索データが一致している場合にのみ、一致検出線の電位はプリチャージされたレベルにとどまる。また、図2-1の構成では、 K_i と $\overline{K_i}$ の双方に“0”を与えると、つねに電流経路が形成されることはなく、そのビットは検索の対象から除外され、マスクされる。

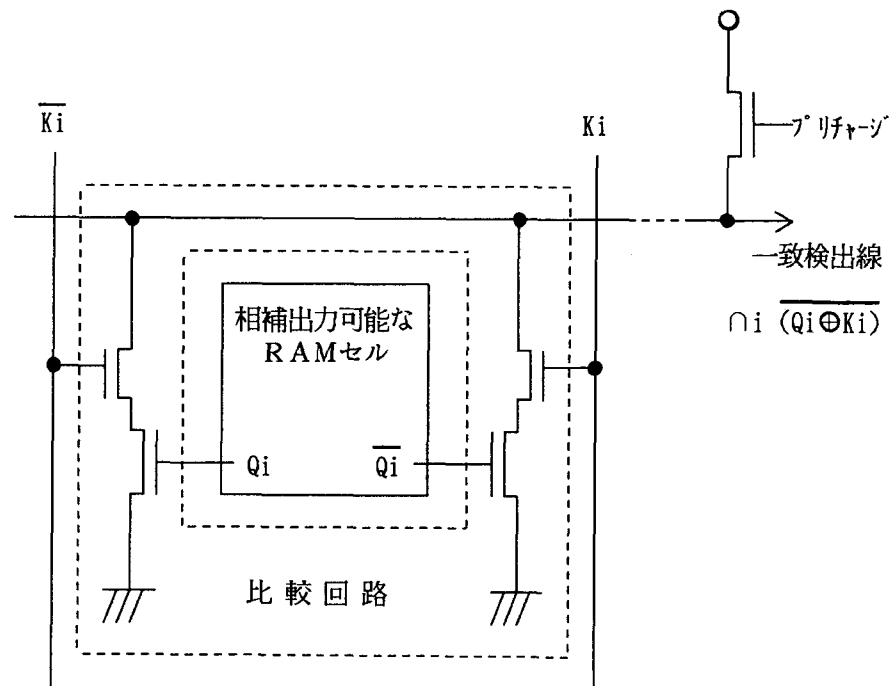


図2-1 連想メモリセルの模式図

$Q_i, \overline{Q_i}$: 記憶データ
 $K_i, \overline{K_i}$: 検索データ

連想メモリセル回路の構成手法として、セル面積の低減化、動作の高速化、周辺回路の単純化等の観点から、種々の方式が提案されている⁽⁹⁾⁻⁽¹²⁾。これらは、RAMセル回路の形式、比較回路の形式、検索データの供給法、一致検出の出力法等に、それぞれ特徴をもっている。スタティック型RAMセル回路とダイナミック型RAMセル回路を用いた連想メモリセル回路の特徴とその代表的なセル回路形式を表2-1に示す。スタティック型セル回路の特徴は、安定かつ高速に動作し、周辺回路の構成が簡単であるが、素子数が多くなることである。一方、ダイナミック型セル回路では、“0”、“1”、“Don't Care”の3値が記憶でき、素子数も少なくすむが、リフレッシュ制御等の周辺回路が複雑になる。なお、ダイナミック型セル回路での“Don't Care”の記憶は、表2-1の例では、Qと \bar{Q} の双方に“0”を記憶することにより実現できる。

表2-1 代表的な連想メモリセル回路

	スタティック型	ダイナミック型
特徴	<ul style="list-style-type: none"> ○ 安定・高速な動作が可能 ○ 周辺回路の構成・制御が簡単 × 素子数が多い 	<ul style="list-style-type: none"> ○ 素子数が少ない ○ “0”、“1”、“Don't Care”の3値記憶が可能 × 周辺回路の構成・制御が複雑
代表的なセル回路形式	<p style="text-align: center;"> B, \bar{B} : ビット線 K, \bar{K} : 検索データ線 W : ワード線 S : 部分書き込み制御線 </p>	<p style="text-align: center;"> B, \bar{B} : ビット線 K, \bar{K} : 検索データ線 M : 一致検出線 W : ワード線 S : 部分書き込み制御線 </p>

2. 3 全ワード並列書込み可能な連想メモリセル回路構成法

2. 3. 1 従来のスタティック型セル回路の問題点

連想メモリでは、選択された複数個のワードに同一のデータを書込む可能性がある。この動作を実現するためには、全ワードへの並列・同時データ書込みを保証しなければならない。しかし、通常のスタティック型のn-MOSあるいはCMOS RAMセル回路を用いた連想メモリセルでは、セル内電源からの電荷の供給や引抜きがあるため、大容量化してワード数が増加するにつれて、高速かつ安定な動作を保証することが困難となる。また、負荷駆動能力の大きな書込み回路が必要となり、集積度、消費電力の観点からも問題となる。図2-2に従来セルにおける並列書込み時の最悪の場合の概念図を示す。図2-2では全ワード“1”保持時に、全ワードに“0”を並列書込みしようとした場合であり、“0”にすべきビット線を“0”に引抜くことができず、また、“1”にすべきビット線を“1”にチャージアップできない様子を示している。

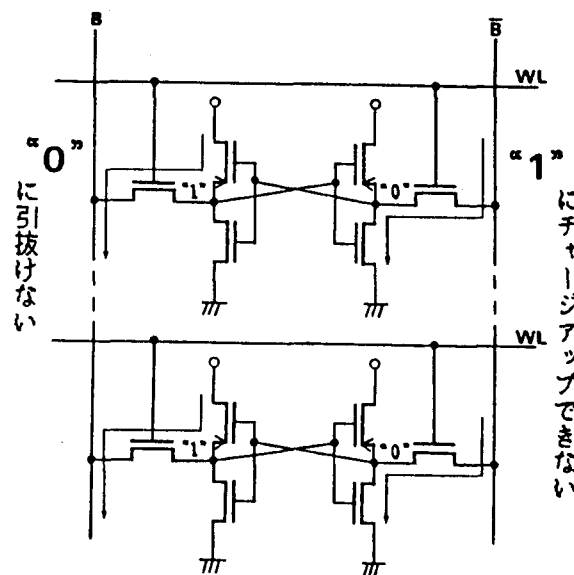


図2-2 従来型セルへの並列書込み時の最悪ケース

全ワード“1”保持時に、“0”を
並列書込みしようとした場合

図2-3に示す3 μ m CMOSプロセスによる模擬回路を用いて並列書き込み動作の回路シミュレーションを行い、従来セルにおける並列書き込みの問題点を定量的に考察する。セルの負荷および書き込みゲートトランジスタのチャンネル幅を W_c 、書き込み回路のインバータのチャンネル幅を W_i とする。“1”を保持している128ワードのセルを並列に“0”に書き換えるために必要な時間 T_{write} のチャンネル幅比 W_i/W_c による依存性は図2-4のようになる。通常のメモリ回路では、 $W_i/W_c < 10$ で動作可能である。図2-4から、 $W_i/W_c < 60$ ではデータの書き換えにきわめて長い時間を要し、実質的には動作不能となることがわかる。ここに示した従来セル回路の傾向は、ワード数が多くなるほど顕著となる。

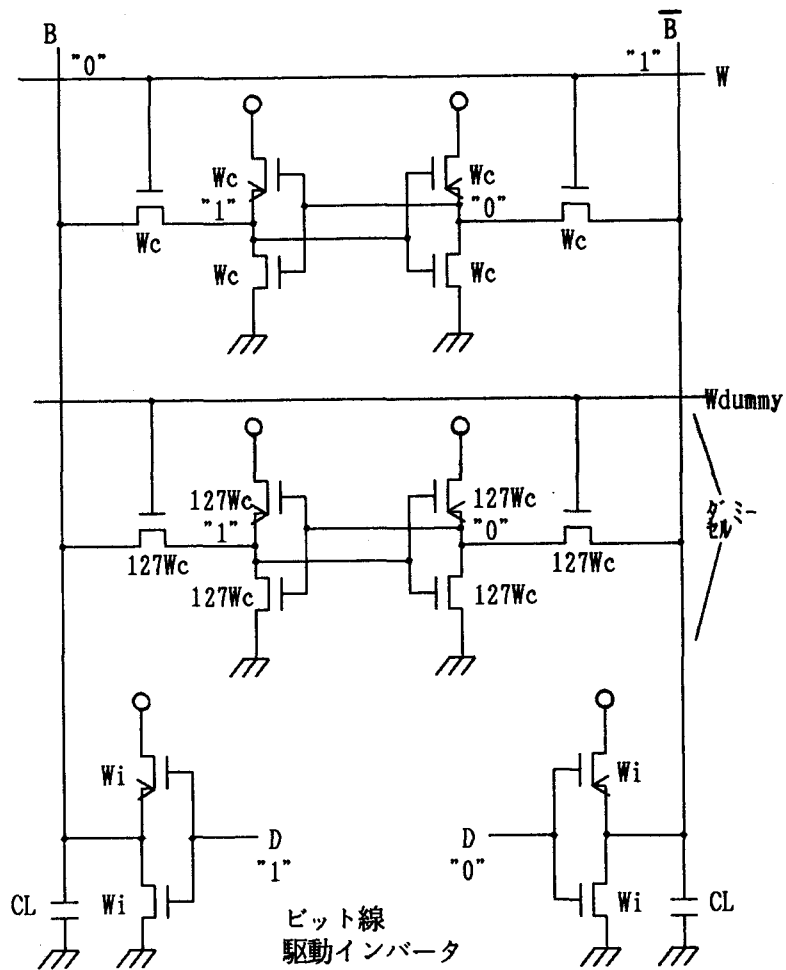


図2-3 128ワードの同時書き換え動作の回路シミュレーションのための模擬回路

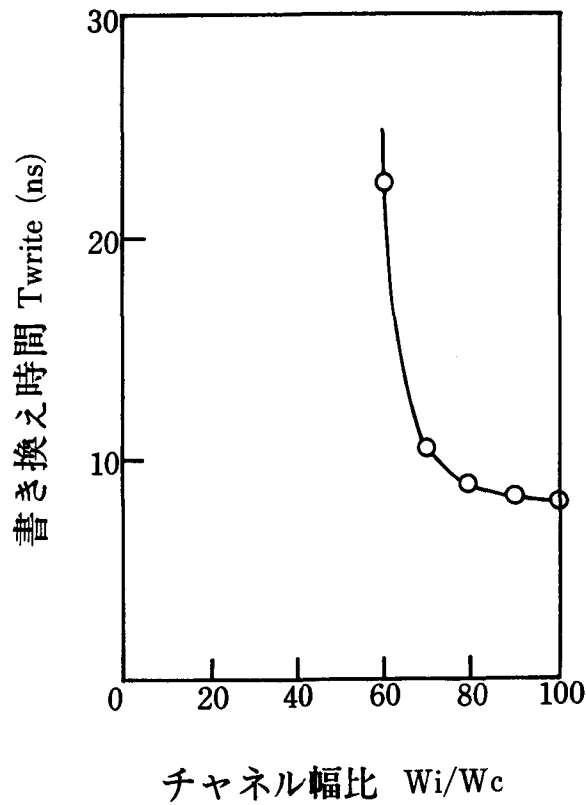


図 2 - 4 従来型セルにおける書込み時間 T_{write} の
チャンネル幅比 W_i/W_c 依存性

2. 3. 2 全ワード並列書込み可能な連想メモリセル回路

並列書込み時にも高速かつ安定に動作する CMOS 連想メモリセル回路を構成するため、書込み時に電源からビット線への電荷の供給や引抜きがない CMOS RAM セル回路を考案した⁽³⁸⁾⁽³⁹⁾。図 2 - 5 に二つの CMOS RAM セル回路を示す。これらの回路は、ともに 7 個のトランジスタで構成され、(a) のセル回路は 1 本のビット線と 2 本のワード線をもち、(b) のセル回路は 2 本のビット線と 1 本のワード線をもつ。いずれのセル回路においてもデータ書込み時に、ワード線がゲートに接続する p チャンネルトランジスタによって、電源からビット線への電荷の供給あるいは引抜きが阻止されるという特徴をもつ。

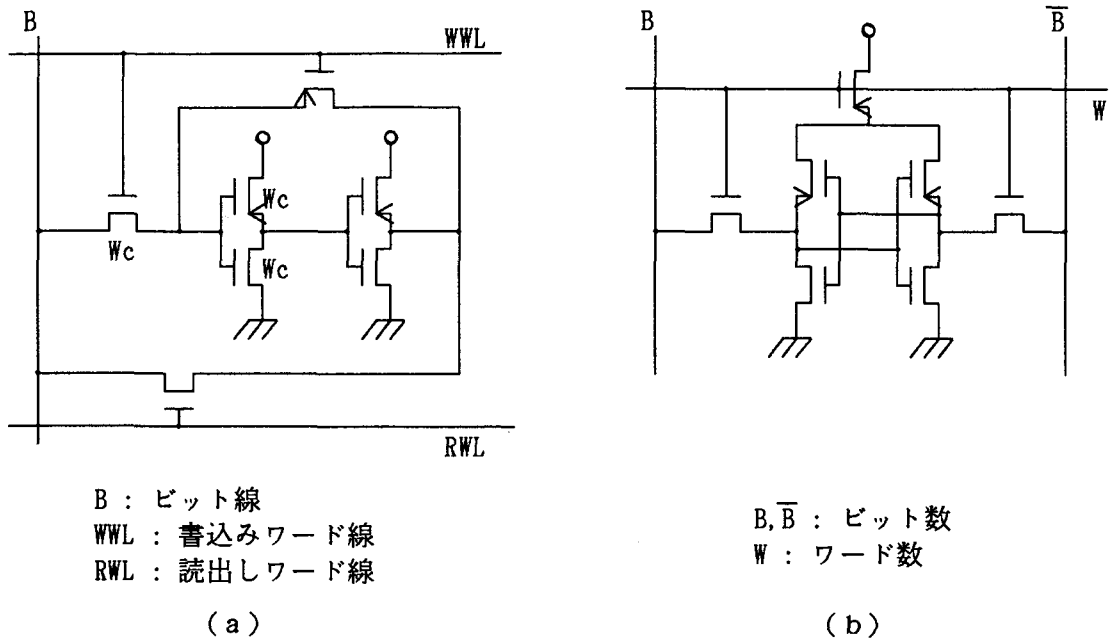


図 2 - 5 書込み時に電源からビット線への電荷の供給を
カットする RAMセル回路

図 2 - 3 に示したと同様な模擬回路を用いた、図 2 - 5 (a) の RAMセル回路の並列書込み動作に対する回路シミュレーションを通じて、考案したセル回路の効果を以下に述べる。"1"を保持している 128ワードのセルを並列に"0"に書き換えるために必要な時間 T_{write} のチャンネル幅比 W_i/W_c による依存性を図 2 - 6 に示す。図 2 - 5, 図 2 - 6 より、従来セル回路では、128ワードへの並列書込み時間 $T_{write} = 20 \text{ ns}$ を実現するためには、 $W_i/W_c = 60$ が必要であったが、考案したセル回路では、 $W_i/W_c = 6$ で同一の書込み時間が実現できることが分かる。このように、考案した RAMセル回路を用いることにより、負荷駆動力の小さい書込み回路で高速かつ安定に動作する連想メモリセル回路を構成することができる。なお、図 2 - 5 (b) に示したと同様な RAMセル回路の並列書込み特性については、1989年に柴田等が本研究とは独立に報告しており、負荷駆動力の小さい書込み回路で高速かつ安定に動作することを示している⁽⁴⁰⁾。

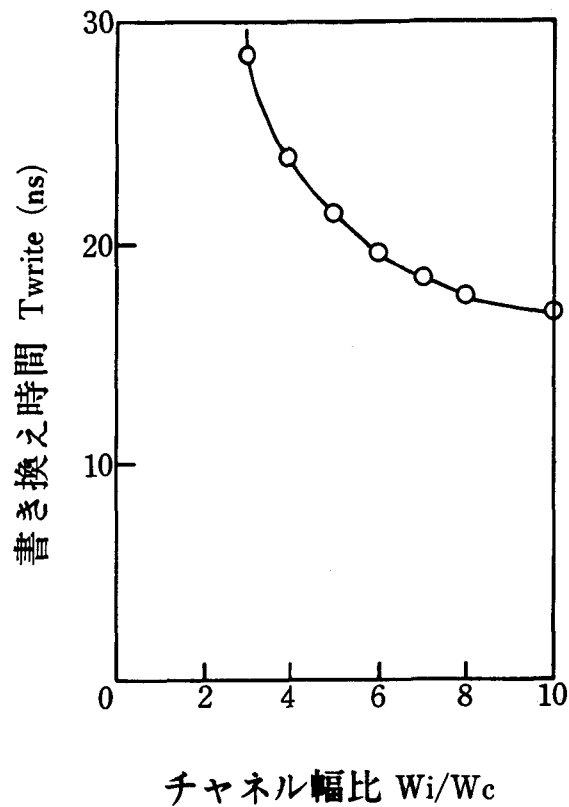


図2-6 提案したセルにおける書込み時間 T_{write} の
チャンネル幅比 W_i/W_c 依存性

考案したCMOS RAMセル回路を用いた連想メモリセル回路を図2-7に示す。図2-7の回路は、図2-5(a)のRAMセル回路に部分書込み制御用のトランジスタと3個のトランジスタからなる比較回路を付加したものである。本セル回路では、検索データ線 K 、 \overline{K} に検索データを印加し、プリチャージされた一致検出線の電荷が引抜かれるか否かによって一致検出を行う。検索データ線 K 、 \overline{K} の双方に“0”を供給することにより、検索動作のマスク機能を実現できる。

2.3.3 安定動作領域

図2-7に示した連想メモリセル回路では、その読出し動作をプリチャージされたビット線の電荷が引抜かれるか否かによって行う。読出し動作を高速に行うためには、セル内トランジスタ $Tr5$ 、 $Tr6$ のチャンネル幅を大きくしなければならない。しかし、記憶データとして“0”を保持している場合に読出し動作を行うと、用いるセル内トランジスタの大きさによっては、図2-7のP、Q点の電位が上昇してセルインバータの論理しきい値

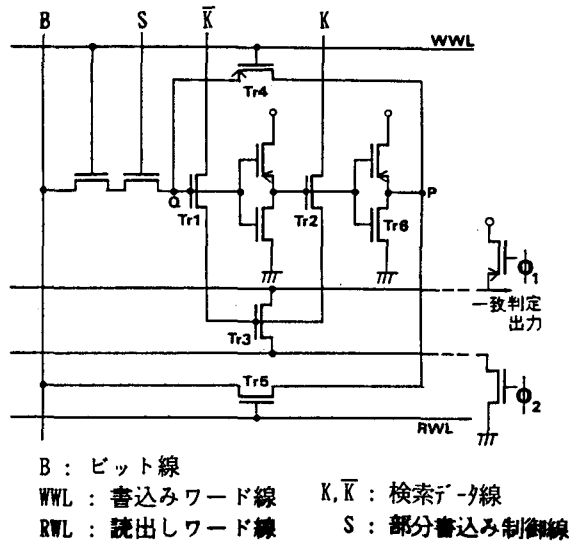


図 2 - 7 並列書込み動作に適した連想メモリセル回路

を越え、記憶データを破壊する可能性がある。このため、本連想メモリセル回路の設計指針を明らかにするため、読出し動作の安定条件を $3 \mu\text{m}$ CMOS プロセスを前提とした回路シミュレーションにより求めることにする⁽⁴¹⁾。

“0”保持状態の本連想メモリセル回路において、読出し動作開始後に上昇したP点の最高電位 V_p のトランジスタ Tr_5 、 Tr_6 のチャンネル幅 W_5 、 W_6 に対する依存性を図 2 - 8 に示す。なお、図 2 - 8 では、 W_5 、 W_6 をトランジスタ Tr_4 のチャンネル幅 W_4 で規格化して示している。図に示すように、本連想メモリセル回路のインバータの論理しきい値は 2.4 v であり、 $V_p \geq 2.4 \text{ v}$ では記憶データが破壊される。図 2 - 8 から W_5 、 W_6 を適当な値に設定することにより V_p を 1 v 前後に設定することができ、安定な読出し動作が可能であることがわかる。なお、トランジスタ Tr_4 の大きさは、Q点の電位の立上りに影響するだけであり、読出し動作の安定性にはほとんど影響しない。このため、リーク電流を補償する最小チャンネル幅のトランジスタを用いることができる。本連想メモリセル回路は、図 2 - 8 に示した設計指針に基づき、6章に述べる 4 K ビット連想メモリ L S I⁽¹⁷⁾⁻⁽¹⁹⁾ に適用し、安定かつ高速に動作することを確認している。

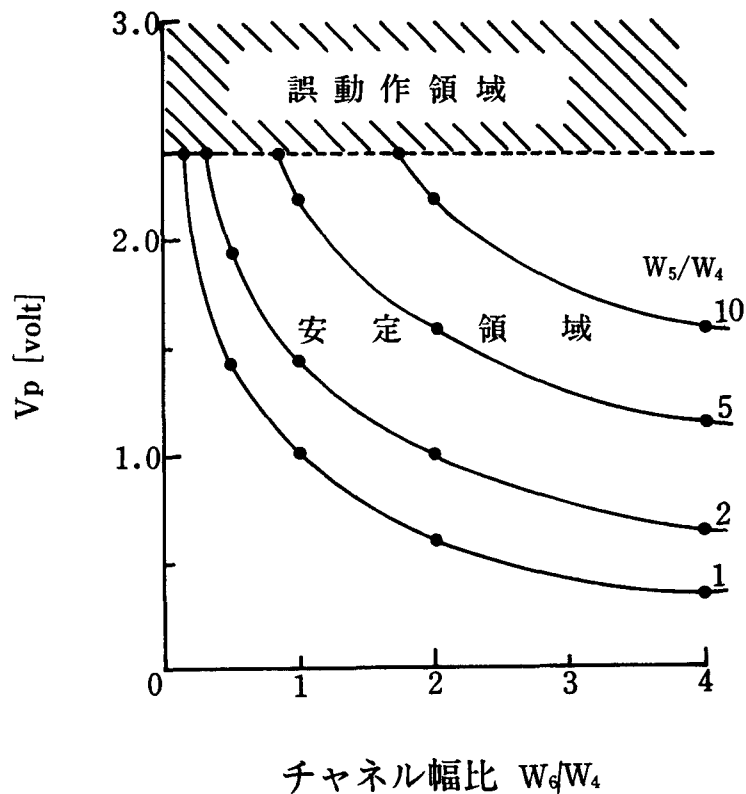


図 2-8 連想メモリセル回路の読出し動作時の安定動作領域

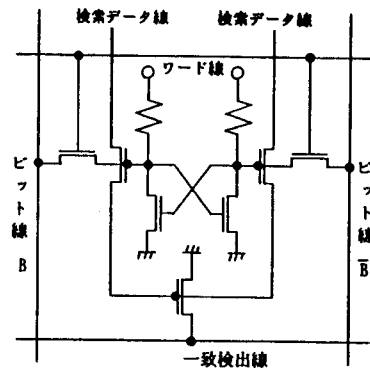
2. 4 大容量化・高速化が可能な連想メモリセルアレイ構成法

2. 4. 1 高密度連想メモリセルアレイ構成法

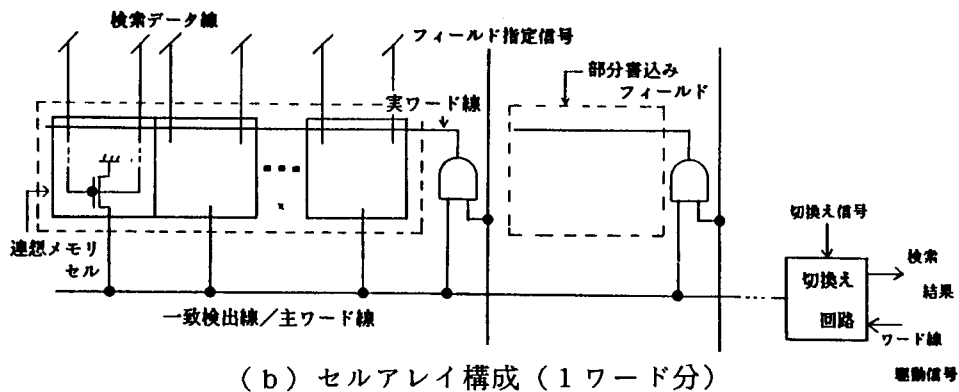
ワードを構成する複数ビットのうち指定したビット位置のセルにのみデータを書込む部分書込み機能は、テーブル検索や並列処理を実現するために必要不可欠な機能である。しかし、連想メモリセル回路で部分書込み機能を実現するためには、通常、1ビットあたり2個のトランジスタと1本の制御信号線が必要となり、このことが高密度連想メモリセルアレイ実現には障害となり、解決すべき課題となっていた。

上記課題を解決するため、セルの素子数及び配線数を増加させることなく、複数ビットからなるフィールド単位で部分書込み機能を実現する高密度化に適した連想メモリセルア

レイの構成手法を提案し、その利点を定量的に明らかにする⁽⁴²⁾。図2-9にその連想メモリセルアレイ構成を示す。図2-9(a)は抵抗負荷型の連想メモリセル回路であり、部分書き込み機能を実現するための素子と配線はもっていない。フィールド単位の部分書き込み機能は、スタティックRAMの2重化ワード線方式⁽⁴³⁾と同様に主ワード線と実ワード線を用いる構成で実現できるが、単純な構成では配線数が増加する。このため、図2-9(b)に示すように、連想メモリセルアレイに特有な一致検出線を主ワード線として多重使用する構成を提案し⁽⁴⁵⁾、配線数を増加させることなく部分書き込み機能を実現している。



(a) 連想メモリセル



(b) セルアレイ構成 (1ワード分)

図2-9 高密度連想メモリセルアレイ

本連想メモリセルアレイでは、検索動作時、一致検出線と実ワード線とはフィールド指定信号によって分離しておき、一致検出線の信号を切換え回路を經由して検索結果として送出する。読出し／書込み動作時、ワード線駆動信号を切換え回路を經由して主ワード線（一致検出線）に印加する。このとき、すべてのビットの検索データ線には低電位を与え、主ワード線のセル内の電流パスをカットしておく。部分書込み動作は、指定するフィールドのフィールド指定信号のみを駆動することにより実現する。

図2-9に示した連想メモリセルアレイは、いくつかの長所をもつ。1. $2\mu\text{m}$ CMOS 2層配線プロセスを前提としたとき、図2-9(a)に示したセル回路の面積は $530\mu\text{m}^2/\text{ビット}$ となる。これに2個のトランジスタと1本の配線を付与して部分書込み機能を実現しようとするとき、 $700\mu\text{m}^2/\text{ビット}$ のセル面積となる。すなわち、セル面積が従来セルと比べて、24%削減できる。また、一致検出線と主ワード線を多重使用することにより、セルアレイの面積は、2つの信号線を分離した構成と比較し、25%削減できる。さらに、主ワード線と実ワード線の2重化構成としたため、負荷容量の小さな実ワード線の並列駆動が可能となってワード線駆動時間が短縮でき、読出し／書込み動作の高速化が図れる。

2. 4. 2 検索動作を加速する加速回路の構成法

連想メモリセルアレイでは、一般的に各ワードの一致検出線のプリチャージされている電荷が引抜かれるか否かによって、その検索結果が示される。この一致検出線の電荷引抜きに要する時間は、検索動作時のクリティカルパスの主要部分を占めるため、連想メモリセルアレイの高速化に際しては、この動作の高速化が不可欠である。とくに、図2-9(a)に示した高抵抗負荷型の連想メモリセル回路では、一致検出線の電荷を引抜くセル内トランジスタのゲート電圧が2段落ちと低くなり電荷引抜き能力が小さいため、電荷引抜きを加速する必要がある。

この種の信号線の動作を加速する手段としては、一般的に差動型のセンスアンプを用いる。センスアンプには種々の形式が知られているが、参照電圧および種々の位相をもつクロックを必要とし、回路構成が複雑になるという欠点がある。このため、連想メモリセルアレイにおける一致検出線の電荷の引抜きを加速するより簡単な加速回路を構築し⁽⁴⁶⁾、その設計指針を明らかにする⁽⁴⁷⁾。

図2-10はその加速回路であり、4個あるいは5個のトランジスタで構成する。一致

検出線と出力信号線は、検索動作の前にプリチャージされる。検索動作開始後、データが不一致の場合は、一致検出線の電荷がセル内トランジスタによって引抜かれ始め、一致検出線の電位は指数関数的に低下する。一致検出線の電位が低下してトランジスタ Q_2 のしきい値電圧に達すると Q_2 がオンし、点 a が Q_2 によってチャージアップされ、点 a の電位が上昇を始める。そして、 Q_3 がオンすることにより、新たな電流経路が形成され、一致検出線の電荷の引抜きが加速される。図 2-11 に $1.2\mu\text{m}$ CMOS プロセスを前提とした場合の回路シミュレーションから求めた加速回路の動作波形を示す。セル内トランジスタ

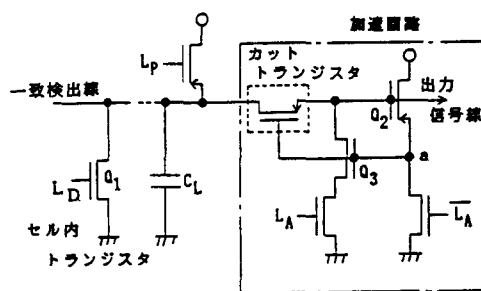


図 2-10 加速回路の構成

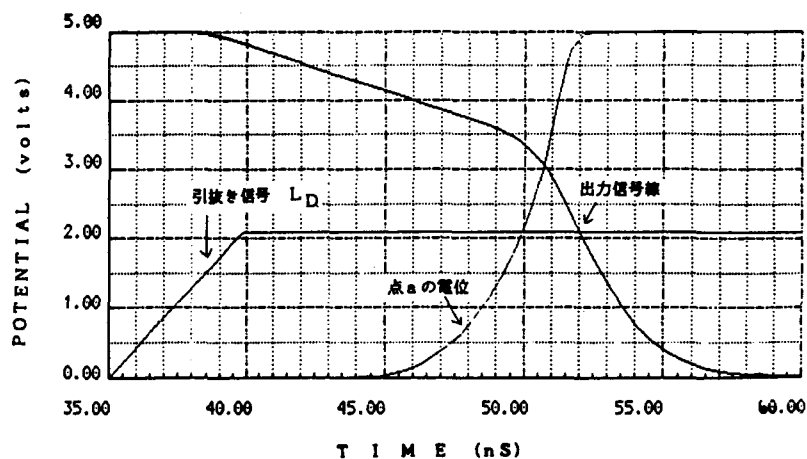


図 2-11 加速回路のシミュレーション波形

のゲートには、図2-9(a)のセル回路を前提とし、2段落ちの電圧2.1Vを印加している。図2-11から点aの電位が上昇後、電荷の引抜きが加速されていることがわかる。なお、図2-10に示すカットトランジスタを挿入した場合は、電荷引抜きの途中で一致検出線と出力信号線が電氣的に分離され、引抜くべき電荷量が小さくなるため、より一層の高速化を図ることができる。

本加速回路の効果を評価し、その設計指針を明らかにするため、一致検出線の負荷容量CLによって電荷引抜きがどの程度加速されるかを回路シミュレータによって解析した。図2-12はその結果を示す。負荷容量が0.5pFの場合で、10ns程度高速化できることがわかる。この値は、引抜きが開始してから結果が確定するまでの時間の30~40%にあたり、高速化の効果は大きい。また、図2-12から負荷容量値が大きくなるにつれて、カットトランジスタを用いる効果が大きくなることがわかる。本加速回路は、20Kビット連想メモリLSIに対して、その高速化に大きく寄与している⁽³³⁾。

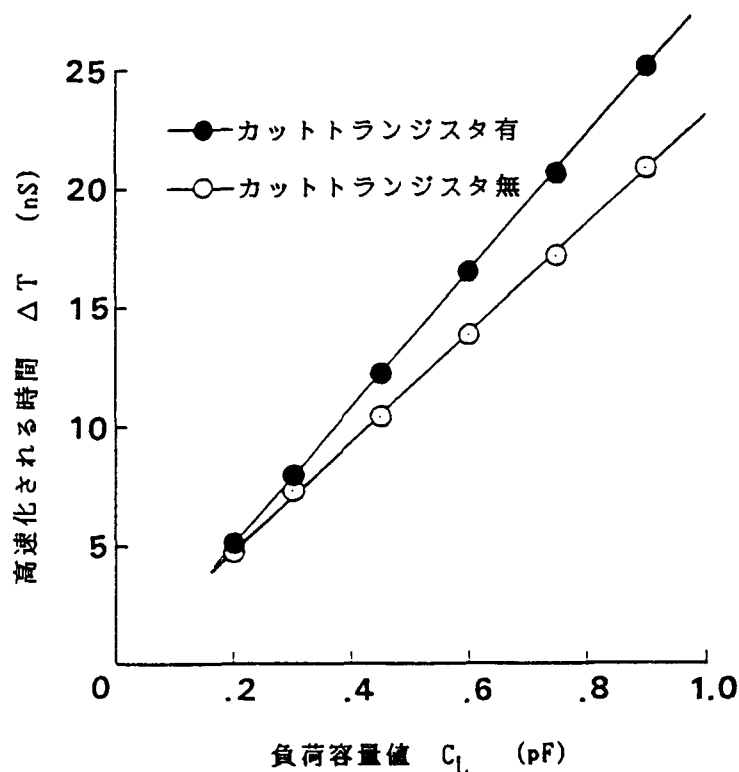


図2-12 高速化される時間の負荷容量依存性

2. 5 むすび

本章では、一致検索機能をもつ連想メモリセル回路構成法に関し、連想メモリセル回路の基本構成について考察したのち、連想メモリLSIの大容量化、高速化を可能とする連想メモリセル回路の構成手法を提案し、それらの構成手法の利点を定量的に示すとともに、設計指針を明らかにした。以下に得られた結果を要約する。

- (1) 従来のCMOSスタティック型連想メモリセル回路のもつ並列書込みが安定かつ高速にできないという欠点を明らかにし、この欠点を解消する新たなCMOS連想メモリセル回路の構成手法を提案した。
- (2) 提案した連想メモリセル回路を用いると、従来のセル回路を用いた場合と比較し、 $1/10$ の大きさの書込み回路で並列書込みが可能であることを示した。
- (3) 提案した連想メモリセル回路の安定な読出し条件を示し、その設計指針を与えた。
- (4) 高密度化に適したセルアレイ構成手法を提案し、従来と比較し、占有面積が24%低減できることを示した。
- (5) 検索動作の高速化のために一致検出線の電荷引抜きを加速する簡単な加速回路を構築し、電荷の引抜きに要する時間が30%~40%削減できることを示すとともに、その設計指針を与えた。

第3章 関係検索機能，並列処理機能 をもつ連想メモリセルアレイ構成法

3.1 まえがき

連想メモリの検索機能としては，記憶データと検索データとが一致しているか否かによってデータにアクセスする一致検索機能を用いるのが最も一般的である。しかし，連想メモリの応用によっては，データを数値として扱い，その大小関係による検索を行いたい場合や，あるいはデータをベクトルとして扱い，そのベクトル距離によって検索を行いたい場合等がある。さらに，検索機能を超える高度な処理機能として，蓄積データを数値として扱い，データに対する加算・乗算等の並列処理を実行させる場合もある。

データを数値として扱って大小比較等を行う関係検索や加算・乗算等の並列処理を，一致検索をビット直列に繰返して実現するという基本的な構想が，1963年にEstrin等によって明らかにされている⁽²⁾。しかし，このような‘ビット直列 (bit-serial)’な関係検索機能や並列処理機能をもつ連想メモリLSIははまだ実現されておらず，これらの処理を高速に実行するための具体的なセルアレイの構成手法を明らかにする必要がある。

また，大小比較等を高速に実現するため，一致検索機能をもつセル回路に論理ゲートを組込んで，一致検索のビット直列な繰返しではなく，‘ビット並列 (bit-parallel)’に大小比較，最大値検索，最小値検索を行う高機能セル回路の提案が，1978年にRamamorthy等によってなされた⁽⁴⁸⁾。一方，ベクトル距離による検索機能としては，1978年に市川等は，データに誤り訂正処理を施したのち一致検索を行うことにより，ベクトル距離によるあいまい検索を行う構成手法を実現した⁽⁴⁹⁾。ベクトル距離によるあいまい検索機能をより高速に実現するためには，大小比較等の場合と同様，ビット並列な検索機能をもつ高機能セル回路の構成が必要となり，さらに，並列処理機能に関しても，高機能セル回路によって高速化を図る必要がある。

本章では，一致検索の繰返しによる関係検索機能の実現について考察したのち，ベクトル距離の一種である「ハミング距離」によるあいまい検索機能とともに，加算・乗算等の並列処理を高速に実現できる高機能セル回路を提案し，並列処理を実現する具体的な動作シーケンスを記述し，その高速性を示す。

まず、「入力された数値データより小さい数値」または「入力された数値データより大きい数値」を記憶されている数値データの中から検索する「以下」／「以上」検索、および記憶されている数値データの中から「最も小さい数値」または「最も大きい数値」を検索する「最小値」／「最大値」検索を例として、一致検索機能をもつセル回路によってこれらの関係検索を行う具体的な実現手法と動作シーケンスを明らかにする。次に、一致検索機能をもつセル回路によって加算・乗算等の並列処理を行う具体的な手法を示し、その処理性能を評価する。さらに、「ハミング距離」によるあいまい検索機能と高速な並列処理機能をもつ高機能セル回路を提案し、並列処理の高速性を示す。最後に、関係検索機能を実現する2つの手法、すなわち一致検索機能セル回路による構成と高機能セル回路による構成の比較を論ずる。

3. 2 一致検索機能をもつセル回路による関係検索機能，並列処理機能の実現

3. 2. 1 「以下」／「以上」検索機能の構成法

「以下」／「以上」検索を実現する基本的な考え方を例を用いて図3-1に示す。図3-1では、入力された数値データから、それよりも小さい数値または大きい数値を選択できる複数の検索データを作成して順次検索を繰返し、各検索で選ばれたデータの和集合を

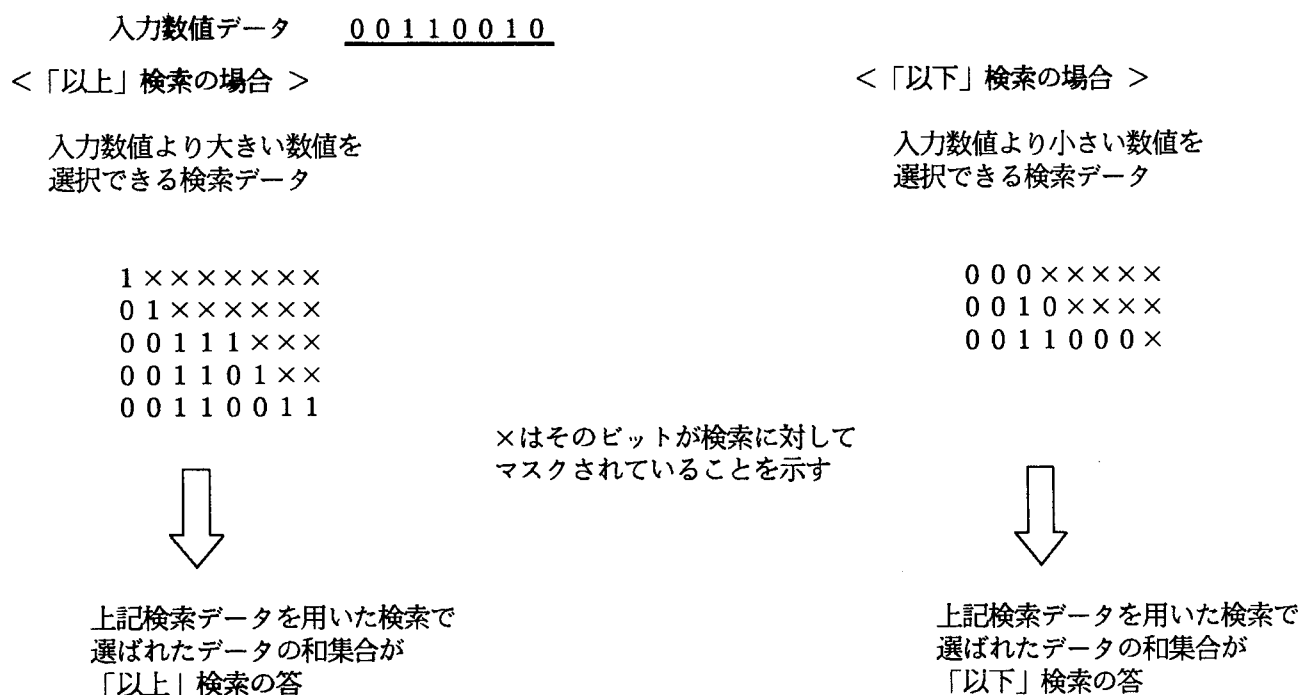


図3-1 「以上」／「以下」検索を実現する基本的考え方

とることによって「以下」／「以上」検索を実現する様子を示す。この考え方に基づく「以下」／「以上」検索は、連想メモリセルアレイにマスク検索機能と過去の検索結果との論理和をとって検索結果を蓄積していく機能を与えることにより実現できる。この「以下」／「以上」検索を実現するセルアレイ構成法を図3-2に示す⁽¹⁵⁾。これは各ワード対応のORゲートとマスタ・スレーブ方式の検索結果レジスタとからなる。この構成により、過去の検索結果との論理和をとって検索結果を蓄積していくことができる。

「以下」検索を実現する処理フローを図3-3に示す⁽³²⁾。検索処理はMSB (Most Significant Bit: 最上位ビット) からLSB (Least Significant Bit: 最下位ビット) に向けてワード並列、ビット直列に繰返す。これらの繰返し実行される検索処理では、入力数値データから簡単な論理演算で生成できる検索データを用いる。「以下」検索処理の場合、 i ビット目 (0 ビット目がMSBとする) の検索処理に用いる検索データ TK^i は、入力データを K としたとき、 $TK^i = K \cap V^i$ ($V^i = (1 \cdots 101 \cdots 1)$) とする。ここで、記号 \cap は各ビット対応に論理積をとることを意味し、また、 V^i は i ビット目だけが "0" で、その他のビットが "1" のデータを表す。各ビット位置において、連想メモリは検索データの書込みとOR検索処理の2つの動作を行う。

図3-3から、セルアレイにOR検索機能を与えることにより、 n ビットデータに対する「以下」検索処理が、平均 $1.5n$ サイクル、最悪 $2n$ サイクルで実現できることがわかる。いま、 $n = 32$ 、サイクル時間を 100 ns とすると、最悪 $6.4 \mu\text{s}$ で「以下」検索処理が終了する。この値はワード数に依存しないため、ワード数が増加するほど1ワ

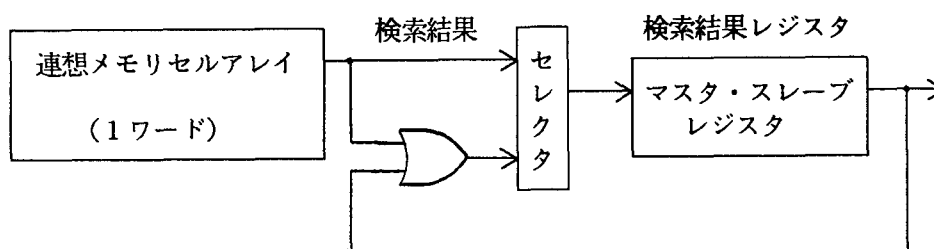
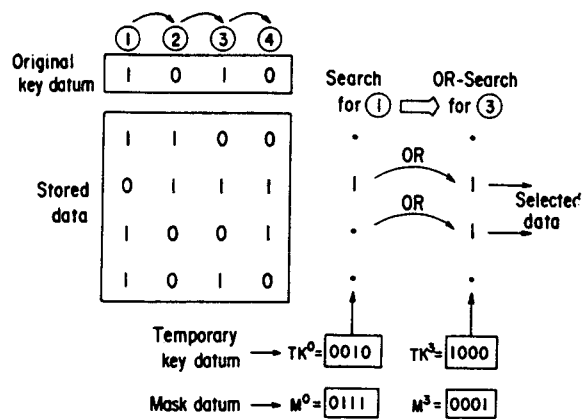
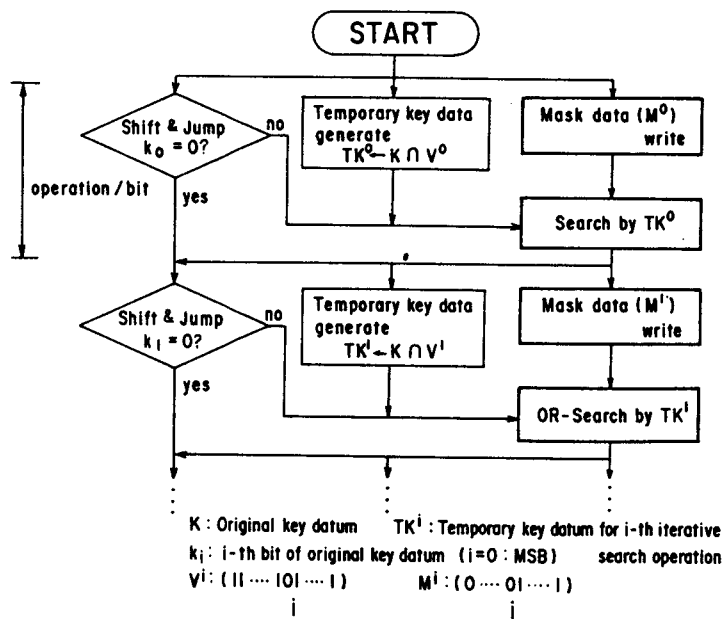


図3-2 「以下」／「以上」検索を実現するセルアレイ構成 (1ワード分)



(a) 概念図



(b) 処理フロー

図3-3 「以下」検索処理の処理フロー

ードあたりの実効的な処理時間は短くなる。たとえば、4 Kワードの場合、1.6 ns /ワードという高速処理が実現できる。通常のRAMと比較器を用いて「以下」検索処理を行う場合は、処理速度がRAMの読出し時間で規定され、数十ns /ワード程度の処理速度となる。このように、連想メモリを用いた関係検索処理が高速であることがわかる。

3. 2. 2 「最小値」／「最大値」検索機能の構成法

一致検索機能をもつセル回路による「最小値」／「最大値」検索は、MSBから順次1ビットを対象とした検索を行い、最小値あるいは最大値となる可能性のないデータを振り落としとしていくことにより実現できる。LSBまで検索が終了した時点で振り落とされていないデータが最小値あるいは最大値である。図3-4に「最大値」検索の概念図を示す。「最小値」／「最大値」検索は、図3-4からわかるように、マスク検索機能と可能性のないデータを振り落とす機能をセルアレイに与えることにより実現できる。可能性のないデータを振り落とす機能は、数値データとともに可能性があるかないかを示す識別子を連想メモリに格納しておき、検索結果によって、選ばれていないワードの識別子を並列に書換えることにより実現できる。

「最大値」検索の処理フローを図3-5に示す。各ビット位置において、連想メモリは、検索対象とするビット位置の指定と検索及び選択ワードがある場合の非選択ワードへの並列・部分書込みの3つの動作を行う。このように、セルアレイにマスク検索機能と非選択ワードへの並列・部分書込み機能を与えることにより、nビットデータに対する「最大値」検索処理が、平均2.5nサイクル、最悪3nサイクルで実現できることがわかる。

	1回目 検索	2回目 検索	3回目 検索	4回目 検索	
MSB … LSB	MSB			LSB	
(0 1 1 0)	×				
(1 0 1 1)	○	○	○	○	→ 最大値
(1 0 0 1)	○	○	×		
(1 0 1 0)	○	○	○	×	

MSBから順次1ビットを対象とした検索を行い、最大値となる可能性のないデータをふるい落とす。LSBまでの検索が終了した時点で、ふるい落とされていないデータが最大値である。

図3-4 「最大値」検索の概念図

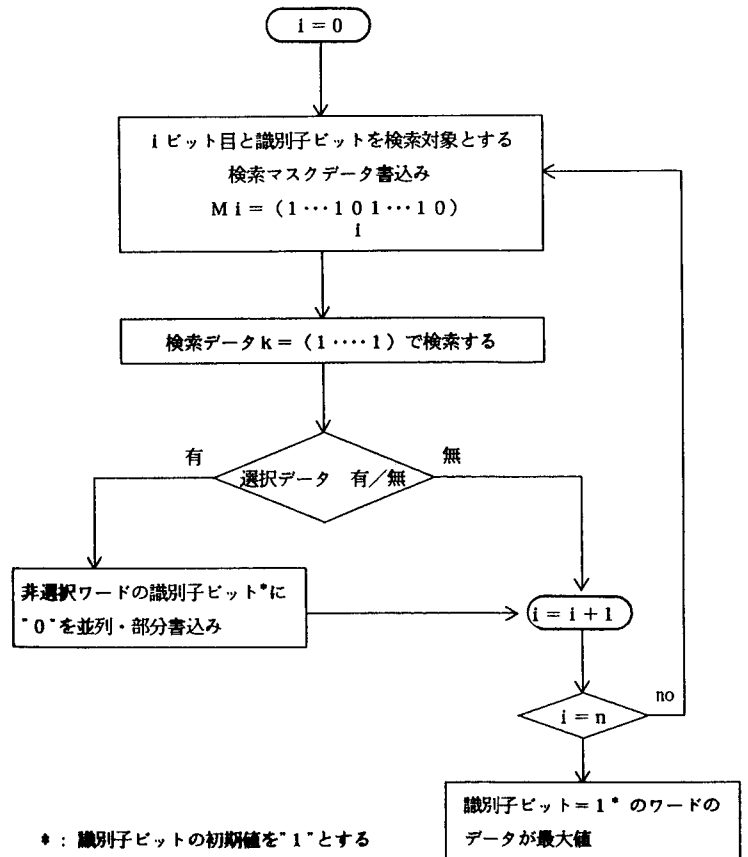


図3-5 「最大値」検索の処理フロー

3. 2. 3 一致検索機能をもつセル回路による並列処理機能の構成法

一致検索機能をもつセルアレイによって、ビット i, j, k を対象とした検索動作を行ったとき、各ワードの検索結果 R は次式で表される。

$$R = \overline{(Q_i \oplus K_i)} \cdot \overline{(Q_j \oplus K_j)} \cdot \overline{(Q_k \oplus K_k)} \quad (3-1)$$

Q_i, Q_j, Q_k : 記憶データ

K_i, K_j, K_k : 検索データ

式 (3-1) から、検索データ K_i, K_j, K_k を組合せることにより、検索結果 R として、記憶データ Q_i, Q_j, Q_k の任意の論理最小項を得ることができる。任意の論理関数は、論理最小項の論理和で実現できる。このため、検索データを適宜変更しながら検索を繰返し、検索結果の論理和をとって行くことにより、記憶データ間の任意の算術論理演算が全ワードで並列に実行できる。そして、このようなビットに対する操作をデータビット数の回数だけ繰返すことにより、複数ビットからなるデータ間の任意の算術論理演算が実現できる。

連想メモリを用いて並列処理を行うためには、検索対象となるビット位置を指定するマスク検索機能と過去の検索結果の論理和をとって検索結果を蓄積していく OR 検索機能及び演算結果の書込み・待避等のためのビット間のデータ転送機能が必要である。OR 検索機能は、前節で述べたように、関係検索機能を実現するためにも必要であり、図 3-2 のセルアレイ構成で実現できる。また、ビット間のデータ転送機能の高速な実現には、マスク検索機能と選択あるいは非選択ワードに対する並列・部分書込み機能が必要である。

一致検索機能をもつセル回路による全加算動作時のデータ格納概要と動作シーケンスを図 3-6 に示す。各ビットにおける全加算動作の和と桁上げは次式で与えられる。

$$\begin{aligned} \text{和} \quad s_i &= x_i \oplus y_i \oplus c_{i-1} \\ &= x_i y_i c_{i-1} + x_i \overline{y_i} \overline{c_{i-1}} + \overline{x_i} y_i \overline{c_{i-1}} + \overline{x_i} \overline{y_i} c_{i-1} \\ \text{桁上げ} \quad c_i &= x_i y_i + y_i c_{i-1} + c_{i-1} x_i \\ &= x_i y_i c_{i-1} + x_i y_i \overline{c_{i-1}} + \overline{x_i} y_i c_{i-1} + \overline{x_i} \overline{y_i} c_{i-1} \end{aligned} \quad (3-2)$$

和と桁上げは、それぞれ 4 個の最小項の論理和で与えられるため、それぞれ 4 回の検索動

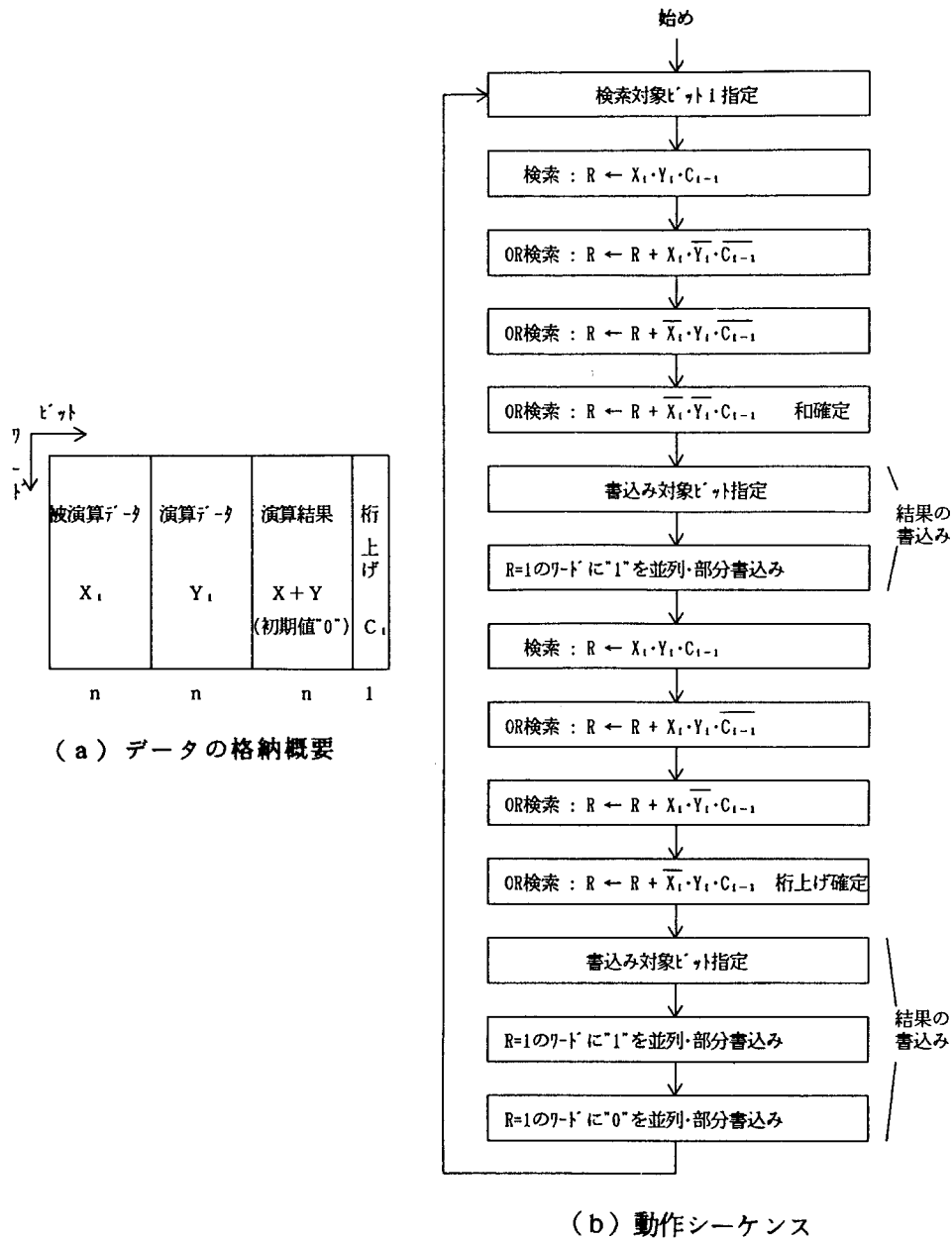


図3-6 一致検索機能をもつセル回路による全加算動作

作で求めることができる。これに、演算結果の格納に必要なサイクルを加え、全加算動作は1ビットあたり、14サイクルで実行できる。すなわち、2つのnビットデータの全加算には、14nサイクルを要する。

連想メモリを用いた並列処理では、その速度がビット数にのみ依存し、データ数には依存しない。このため、データ数が多くなると、1ワードあたりの実効的な演算速度が速くなる。たとえば、n=8、サイクルタイム=100ns、データ数を10Kワードとすると、8ビットデータの全加算が1ワードあたり1.12nsという高速で実現できることとなる。

3. 3 高機能セル回路による関係検索機能および並列処理機能の実現

3. 3. 1 「ハミング距離」によるあいまい検索機能

あいまい検索機能とは、1つの検索データから、その検索データと完全には一致しないが、なんらかの関連をもつ複数個の記憶データを選択する機能である。検索データと選択される記憶データとの関係、すなわち、あいまいさの尺度としては、種々のものが考えられる。前節で述べた「以下」／「以上」検索も数値を尺度としたあいまい検索の一種である。

ベクトル距離を尺度としたあいまい検索の実現と、これの手書き文字認識への応用が、市川等によって報告されている⁽⁴⁹⁾。この報告では、ベクトル距離としてリー距離を導入し、原データにリーの誤り訂正処理を施した縮退データ空間で一致検索を行うことにより、巧みにあいまい検索機能を実現している。ただし、市川等の構成法では、原データを縮退データ空間にマッピングしたのち一致検索を行うことに起因した、ある種の連想誤差を伴う。

本研究では、あいまいさの尺度として、デジタル処理に適した「ハミング距離」をとりあげ、LSI化に適した高機能セル回路を用いた「ハミング距離」によるあいまい検索機能の構成手法を考察する⁽⁶⁰⁾。この構成手法では、原データ空間で直接的にあいまい検索機能を実現するため、連想誤差は生じない。

3. 3. 2 「ハミング距離」によるあいまい検索機能の実現

「ハミング距離」によるあいまい検索機能は、セル回路に検索データと記憶データとの不一致ビットの数をかぞえる論理を付与することにより実現する。セル回路に付与した不一致ビットの数をかぞえる論理を式(3-3)に示す。

$$\begin{aligned} A_i &= A_{i-1} \cdot \overline{(Q_i \oplus K_i)} \\ B_i &= B_{i-1} \cdot \overline{(Q_i \oplus K_i)} + A_{i-1} \end{aligned} \quad (3-3)$$

i : ビット番号 ($i=0 \sim n-1$) $A_{-1} = B_{-1} = 1$
 Q_i : 記憶データ K_i : 検索データ

式(3-3)の論理を付与した高機能セル回路では、前段からの信号 A_{i-1} 、 B_{i-1} を受け、次段への信号 A_i 、 B_i を作成する。このように、信号 A_i 、 B_i は、各セル間を順次リップルして行くが、信号 A_i は検索データと記憶データの最初の不一致ビットで“0”となり、信号 B_i は2番目の不一致ビットで“0”となる。最終ビットにおける信号 A_{n-1} は、そのワードにおける検索データと記憶データとのハミング距離が0であるかどうかを示し、信号 B_{n-1} は、そのワードにおける検索データと記憶データとのハミング距離が1以下か2以上かを示す。このため、信号 A_{n-1} 、 B_{n-1} の組合せにより、そのワードにおけるハミング距離が識別できる。表3-1に信号 A_{n-1} 、 B_{n-1} の組合せと識別できるハミング距離を示す。

図3-7は一致検索機能をもつセル回路に式(3-3)の論理を付与した高機能セル回路であり、この高機能セル回路をワード・ビット方向にアレイ上に配置することにより、ハミング距離が0、1、1以下、あるいは2以上の記憶データを検索するセルアレイを構成することができる。

表3-1 A_{n-1} 、 B_{n-1} の組合せと識別できるハミング距離

A_{n-1}	B_{n-1}	ハミング距離 d_H
1	1	$d_H = 0$
1	0	Don't Care
0	1	$d_H = 1$
0	0	$d_H \geq 2$

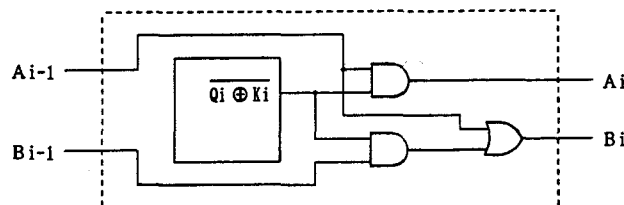


図3-7 「ハミング距離」によるあいまい検索機能をもつ高機能セル回路

3. 3. 3 高機能セル回路による並列処理機能の実現

「ハミング距離」によるあいまい検索機能をもつセル回路は、一致検索機能をもつセル回路を用いた場合と比較して全加算等の並列処理を、より高速に実現できる⁽⁶¹⁾。「ハミング距離」によるあいまい検索機能をもつセルアレイでビット i, j, k を対象とした検索動作を行ったとき、各ワードの最上位ビットからの信号 A_{n-1}, B_{n-1} は式 (3-3) から次式で表される。

$$\begin{aligned}
 A_{n-1} &= \overline{(Q_i \oplus K_i)} \cdot \overline{(Q_j \oplus K_j)} \cdot \overline{(Q_k \oplus K_k)} \\
 B_{n-1} &= (Q_i \oplus K_i) \cdot (Q_j \oplus K_j) + \\
 &\quad (Q_j \oplus K_j) \cdot (Q_k \oplus K_k) + \\
 &\quad (Q_k \oplus K_k) \cdot (Q_i \oplus K_i)
 \end{aligned} \tag{3-4}$$

Q_i, Q_j, Q_k : 記憶データ

K_i, K_j, K_k : 検索データ

上式の A_{n-1}, B_{n-1} の4つの最小項のいずれか1つを検索結果とすると、4種類の検索結果はそれぞれ次式で示される。

$$\begin{aligned}
 R_0 &= A_{n-1} \cdot B_{n-1} = A_{n-1} \\
 R_1 &= A_{n-1} \cdot B_{n-1} = B_{n-1} \\
 R_2 &= A_{n-1} \cdot B_{n-1} = \overline{(Q_i \oplus K_i)} \cdot \overline{(Q_j \oplus K_j)} \cdot \overline{(Q_k \oplus K_k)} + \\
 &\quad \overline{(Q_i \oplus K_i)} \cdot (Q_j \oplus K_j) \cdot \overline{(Q_k \oplus K_k)} + \\
 &\quad \overline{(Q_i \oplus K_i)} \cdot \overline{(Q_j \oplus K_j)} \cdot (Q_k \oplus K_k) \\
 R_3 &= A_{n-1} \cdot B_{n-1} = 0
 \end{aligned} \tag{3-5}$$

式 (3-5) で示される R_0, R_1, R_2 は、 K_i, K_j, K_k の組合せにより、記憶データ Q_i, Q_j, Q_k のすべての最小項を含む24種類の論理演算を実現していることになる。表3-2に K_i, K_j, K_k の組合せと実行できる論理演算を示す。

「ハミング距離」によるあいまい検索機能をもつセル回路を用いた全加算動作では、式 (3-3) と表3-2より、各ビットにおける和が2回の検索動作で、また桁上げが1回

表3-2 K_i, K_j, K_k の組合せと実行できる論理演算

K_i	K_j	K_k	R0	R1	R2
0	0	0	$\overline{Q_i} \cdot \overline{Q_j} \cdot \overline{Q_k}$	$Q_i \cdot Q_j + Q_j \cdot Q_k + Q_k \cdot Q_i$	$\overline{Q_i} \cdot Q_j \cdot \overline{Q_k} + Q_i \cdot \overline{Q_j} \cdot \overline{Q_k} + \overline{Q_i} \cdot \overline{Q_j} \cdot Q_k$
0	0	1	$\overline{Q_i} \cdot \overline{Q_j} \cdot Q_k$	$Q_i \cdot Q_j + Q_j \cdot \overline{Q_k} + \overline{Q_k} \cdot Q_i$	$\overline{Q_i} \cdot Q_j \cdot Q_k + Q_i \cdot \overline{Q_j} \cdot Q_k + \overline{Q_i} \cdot \overline{Q_j} \cdot \overline{Q_k}$
0	1	0	$\overline{Q_i} \cdot Q_j \cdot \overline{Q_k}$	$Q_i \cdot \overline{Q_j} + \overline{Q_j} \cdot Q_k + Q_k \cdot Q_i$	$Q_i \cdot \overline{Q_j} \cdot \overline{Q_k} + Q_i \cdot Q_j \cdot \overline{Q_k} + \overline{Q_i} \cdot Q_j \cdot Q_k$
0	1	1	$\overline{Q_i} \cdot Q_j \cdot Q_k$	$Q_i \cdot \overline{Q_j} + \overline{Q_j} \cdot \overline{Q_k} + \overline{Q_k} \cdot Q_i$	$\overline{Q_i} \cdot \overline{Q_j} \cdot Q_k + Q_i \cdot Q_j \cdot Q_k + \overline{Q_i} \cdot Q_j \cdot \overline{Q_k}$
1	0	0	$Q_i \cdot \overline{Q_j} \cdot \overline{Q_k}$	$\overline{Q_i} \cdot Q_j + Q_j \cdot Q_k + Q_k \cdot \overline{Q_i}$	$Q_i \cdot Q_j \cdot \overline{Q_k} + \overline{Q_i} \cdot \overline{Q_j} \cdot Q_k + Q_i \cdot \overline{Q_j} \cdot Q_k$
1	0	1	$Q_i \cdot \overline{Q_j} \cdot Q_k$	$\overline{Q_i} \cdot Q_j + Q_j \cdot \overline{Q_k} + \overline{Q_k} \cdot \overline{Q_i}$	$Q_i \cdot Q_j \cdot Q_k + \overline{Q_i} \cdot \overline{Q_j} \cdot Q_k + Q_i \cdot \overline{Q_j} \cdot \overline{Q_k}$
1	1	0	$Q_i \cdot Q_j \cdot \overline{Q_k}$	$\overline{Q_i} \cdot \overline{Q_j} + \overline{Q_j} \cdot Q_k + Q_k \cdot \overline{Q_i}$	$Q_i \cdot \overline{Q_j} \cdot \overline{Q_k} + \overline{Q_i} \cdot Q_j \cdot \overline{Q_k} + Q_i \cdot Q_j \cdot Q_k$
1	1	1	$Q_i \cdot Q_j \cdot Q_k$	$\overline{Q_i} \cdot \overline{Q_j} + \overline{Q_j} \cdot \overline{Q_k} + \overline{Q_k} \cdot \overline{Q_i}$	$Q_i \cdot \overline{Q_j} \cdot Q_k + \overline{Q_i} \cdot Q_j \cdot Q_k + Q_i \cdot Q_j \cdot \overline{Q_k}$

の検索動作で求められることがわかる。すなわち、 $K_i=0, K_j=0, K_k=0$ としたR2を求める検索と $K_i=0, K_j=1, K_k=1$ としたR2を求めるOR検索で和を求めることができ、 $K_i=0, K_j=0, K_k=0$ としたR1を求める検索で桁上げが求められる。このように、一致検索機能をもつセル回路を用いたnビットデータの全加算動作では、14nサイクルを要するが、「ハミング距離」によるあいまい検索機能をもつセル回路を用いることにより、これが9nサイクルで実現でき、約36%の高速化が図れる。

なお、全加算動作を繰返すことにより、紙と鉛筆を用いて行う場合と同様な直接法で乗算を行うこともできる。「ハミング距離」によるあいまい検索機能をもつセル回路を用いた2つのnビットデータの直接法による乗算に必要な動作サイクル数は、

$(19n^2 - 30n + 15)$ サイクルとなる。全加算動作と同様、データ数が多い場合、1ワードあたり、実効的に高速な乗算が可能となる。

3. 4 関係検索機能構成法の比較

関係検索機能の構成手法としては、3. 2節で述べた一致検索機能をもつセル回路を用い、ワード並列ビット直列に検索を繰返して実現する手法（以下、直列法という）と、3. 3節で述べた高機能セル回路を用いてワード並列ビット並列に実現する手法（以下、並列法という）がある。直列法による構成では、並列法と比較して、必要なハードウェア量は少ないが、速度は遅くなる。一方、並列法による構成では、速度は速いが、必要なハードウェア量が多くなる。

ワード数を m 、ビット数を n としたとき、直列法、並列法に必要なハードウェア量 H_{serial} 、 $H_{parallel}$ と処理時間 T_{serial} 、 $T_{parallel}$ 及び性能指数 CP_{serial} 、 $CP_{parallel}$ は次式で表される。

$$\begin{aligned}
 H_{serial} &= H \times m \times n & H_{parallel} &= (H + \Delta H) \times m \times n \\
 T_{serial} &= n \times T & T_{parallel} &= T \\
 CP_{serial} &= (H_{serial} \times T_{serial})^{-1} & CP_{parallel} &= (H_{parallel} \times T_{parallel})^{-1} \\
 &= (H \times m \times n \times n \times T)^{-1} & &= ((H + \Delta H) \times m \times n \times T)^{-1}
 \end{aligned}
 \tag{3-6}$$

ここで、 H は一致検索機能をもつセル回路1ビットあたりのハードウェア量であり、 ΔH は高機能セル回路を実現するための1ビットあたりの付加ハードウェア量であり、 T は1サイクルに要する時間である。このとき、並列法と直列法との性能指数の比CPRは次式で示される。

$$CPR = CP_{parallel} / CP_{serial} = n / (1 + \Delta H / H) \tag{3-7}$$

式(3-7)より、性能指数の比CPRは、ビット数が大きくなるほど大となり、付加ハードウェア量が多くなるほど小となることがわかる。

図3-8に $n = 16$ 、 $n = 32$ の場合の付加ハードウェア量と性能指数の比との関係を示す。付加ハードウェア量 $\Delta H / H$ は実現する機能によって異なるが、大小比較機能及びハミング距離によるあいまい検索機能の場合で2から3前後となる。このとき、並列法の性能指数が数倍から1桁程度高くなることがわかる。

性能指数は並列法が数倍から1桁程度高くなるが、並列法では実現できるワード数が直列法の数分の1となる。さらに、並列法では実現できる関係検索の種類が固定的になるの

に対し、直列法では、任意の関係検索機能をプログラム制御で実現できるという大きな利点も有している。このため、集積化できる素子数に限界がある現状の集積回路技術をふまえた場合、直列法による構成が現実的な解である。

直列法で複数の関係検索機能をプログラム制御で実現した例を図3-9に示す。これは、6章で述べる4Kビット連想メモリLSIを用いて構成した大容量連想メモリシステム⁽²⁹⁾で実現したものである。直列法による「以上」検索と「以下」検索を行ったのち、「最小値」検索を繰返して条件を満足する記憶データを小さなものから順次出力している。

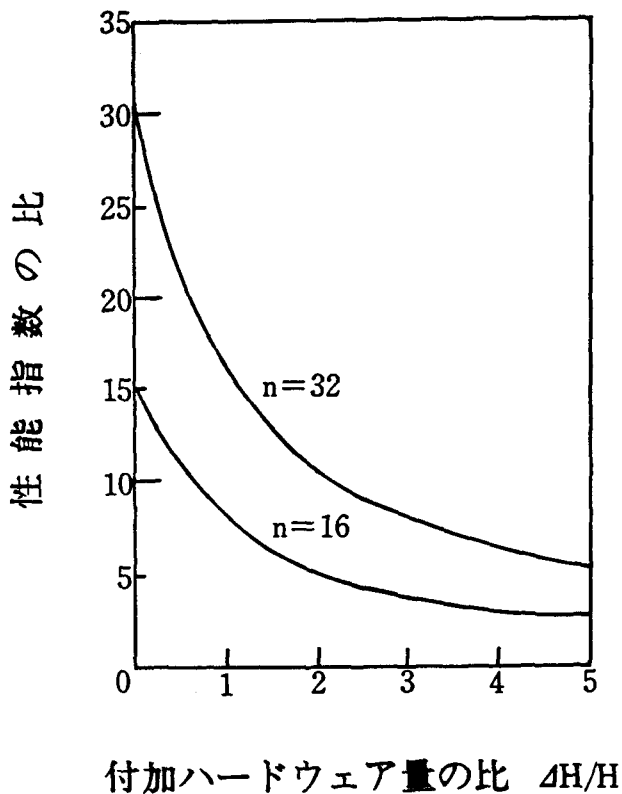


図3-8 関係検索機能を実現するための付加ハードウェア量と性能指数との関係

```

CAM IS SET USING RANDOM NUMBERS
#CM 000 078
0000 01379872 3C90CA72 9F378052 7C51 9E75E42 0A0D9792 4EEE7482
0008 F598FC62 8A572752 FD9678A2 4584 AD63F2 761F5A02 838BE562
0010 76450582 80985012 2CAE8092 12A1F 130032 87E08882 28A4E4E2
0018 2C149832 D0AEF072 BA5838B2 C1453 D69C2 7818C732 3833C422
0020 A6F4E922 902E42C2 B680C672 6A4F6 F2D42 8008A782 40AF58F2
0028 138963F2 FF6AF9A2 87884082 1D8611 D4E72 69A0A8B2 D9C9A002
0030 14807FF2 E5987672 7345C3C2 C5765 F7032 2D9C3B72 C1EE9742
0038 83A78122 E5F87732 3CEC62E2 FD89D 361D2 828060F2 8D100382
0040 681A5272 AE4E8442 08DE6252 05846 E0C62 037868F2 F18E3142
0048 FD685822 C80A0BF2 FB67E772 FAE5F C2C852 481510B2 D3AF6E32
0050 E4C7D12 12D3C492 7005B252 AEAO J8A1382 F2F73A82 12905702
0058 719FC752 397802B2 26FD0C72 28F1 2F889C2 94A43862 4F206192
0060 4E851422 B19ACCA2 74068D02 5F9 J80A78A2 2A47EAC2 4D1C4782
0068 CAC92022 36992FE2 20CAA642 7C1 JA25552 A7FD2482 06368632
0070 3719E862 EF593342 3AF2AAE2 01 CAC69EA2 ASAF7842 604D82C2
0078 FFB98642 EE060672 3176DC42 B6 0D3E3F72 DAE91A92 FC1D4222
#CA 2200
KORE UA DAISHO HANTEI PROGRAM DESU.
KADEN O IRERO.
F0000000 ← 下限データ
JULSEN O IRERO
FF000000 ← 上限データ
CAM 記憶データ
**
F18E3142
F2F73A82
F598FC62
F8E75E42
FAE5F2C2
FB67E772
FC1D4222
FD685822
FD88D7A2
FD9678A2
QUARINASHITA
    
```

図3-9 一致検索機能をもつセル回路による多様な関係検索を実行した例

3. 5 むすび

本章では、関係検索機能、並列処理機能をもつ連想メモリセルアレイの構成法に関して考察した。まず、一致検索機能をもつセル回路による構成手法について記述し、ついで「ハミング距離」によるあいまい検索機能とともに、加算・乗算等の並列処理を高速に実行する機能をもつセル回路による手法を提案した。以下に得られた結果を要約する。

- (1) 一致検索機能をもつセル回路による「以下」／「以上」検索のための構成法と具体的な動作シーケンスを明らかにし、その高速化のためには過去の検索結果との論理和をとって検索結果を蓄積していくOR検索機能が必要であり、このとき、 n ビットデータに対する「以下」／「以上」検索が平均 $1.5n$ サイクル、最悪 $2n$ サイクルで実現できることを示した。
- (2) 一致検索機能をもつセル回路による「最小値」／「最大値」検索のための構成法と具体的な動作シーケンスを明らかにし、その高速化のためには選択されていないワードに対する並列・部分書込み機能が有効であり、これにより、「最小値」／「最大値」検索が平均 $2.5n$ サイクル、最悪 $3n$ サイクルで実現できることを示した。
- (3) 一致検索機能をもつセル回路による全加算・乗算等の並列処理のための構成法と具体的な動作シーケンスを明らかにし、その高速化のためにはOR検索機能と選択されていないワードに対する並列・部分書込み機能が有効であり、これにより、2つの n ビットデータの全加算が $1.4n$ サイクルで実現できることを示した。
- (4) 「ハミング距離」によるあいまい検索機能とそれを実現する高機能セル回路の構成法を提案した。
- (5) 「ハミング距離」によるあいまい検索機能をもつ高機能セル回路による並列処理の構成法を提案し、一致検索機能をもつセル回路による構成法と比べ、全加算動作が約36%高速化できることを明らかにした。
- (6) 一致検索機能をもつセル回路による関係検索機能構成法と高機能セル回路による構成法を比較し、性能指数は高機能セル回路による構成法が数倍から1桁程度すぐれているものの、実現できる関係検索機能の柔軟性と容量を考慮し、一致検索機能をもつセル回路による構成が現実的な解であることを示した。

第4章 連想メモリLSI プロセッサ機能構成法

4.1 まえがき

通常のRAMは、集積回路技術の進展によって、書込み／読出し回路やアドレスデコード回路等の周辺機能回路を取り込むことにより、大容量化とともに使い易さを向上し、その適用領域を飛躍的に拡大した。これと同様に、実用システムに適用可能でかつ統合化した連想メモリLSIを実現するためには、2章および3章で述べた検索機能の充実とともに、大容量化・高速化に適し、かつシステム構築者からみて使い易いLSIとするためのプロセッサ機能の高性能化を確立する必要がある。

連想メモリは通常のRAMと同様な記憶機能とともに、検索機能および並列処理機能をもたなければならない。このため、連想メモリLSIに取り込むべきプロセッサ機能としては、①連想メモリLSI全体のシーケンス制御機能、②複数選択分離機能等の検索結果に対する処理機能、③連想メモリLSIの使い易さを向上するためのガーベージコレクション機能、④連想メモリLSIのテスト容易性、耐故障性を向上するための機能等がある。

本研究の開始当時には、シーケンス制御機能をもつ連想メモリLSIは実現されておらず、連想メモリLSIにどのような動作モードを設定すべきかについても、検討がなされていなかった。

一方、検索動作によって選択された複数のワードの中から動作の対象とする1ワードを指定する複数選択分離機能に関しては、動作速度の面から大容量化を阻む要因となる可能性があるため、初期の頃から検討がなされてきた。1966年には、Foster等はORチェーン型回路の構成法を提案し⁽¹⁴⁾、複数選択分離機能の基本構成を明らかにしたが、大容量化した場合の高速動作が不可能であった。また、1974年には、Anderson等はTree型回路の構成法を提案したが⁽⁶²⁾、その形状が三角形とならざるを得ず、高密度集積化の要請とは適合しないものであった。したがって、連想メモリLSIを大容量化した場合にも高速に動作し、かつLSI搭載に適した複数選択分離回路の構成法を明らかにする必要があった。さらに、当時は連想メモリLSIの使い易さを向上するガーベージコレクション機能については、検討がなされていない状況にあった。

一方、LSI技術の進展に伴って、連想メモリLSIに対するテスト技術や耐故障性に関する検討が開始された。1980年には、著者等が検索結果を蓄えるレジスタをスキャンレジスタ化してテストの容易性を向上する構成法を報告し⁽¹⁵⁾、1985年には、Giles等は検索結果のすべての論理積を生成・出力し、テストの手順数を減らす構成を提案した⁽⁶³⁾。また、1987年には、Blair等は故障ワードにフラグを立てて使用しないようにすることにより、製造時の歩留りと動作時の耐故障性を向上する構成法を提案したが⁽⁶⁴⁾、使用するアドレス空間に抜けが生じるため、使い易さの観点からの実用性は十分でなかった。

本章では、連想メモリLSIのシーケンス制御機能と全体的な構成概要について考察したのち、大容量化・高速化と使い易さ向上に適したプロセッサ機能の構成法を提案し、それらの有効性と設計指針を明らかにする。

シーケンス制御機能と全体的な構成概要についての考察のなかでは、連想メモリLSIの基本的な動作モードを体系的に分類するとともに、高スループット化を可能とする複数選択分離機能のパイプライン構成手法を考察する。次に、ワード数が大きくなった場合にも高速に動作し、その形状もLSI搭載に適した複数選択分離機能の構成手法を提案し、ワード数に応じた設計指針を与える。さらに、連想メモリLSIの使い易さ向上に不可欠な不要ワードを自己管理するガーベジコレクション機能を記述し、その構成手法を明らかにする。また、使い易さを保ったまま連想メモリLSIの歩留りと耐故障性を向上する構成手法についても考察する。

4. 2 連想メモリLSIの全体構成法

4. 2. 1 シーケンス制御機能と全体的な構成概要

通常のRAMへの情報は、アドレスとそれに1対1に対応したデータという形式で与えられるのに対し、連想メモリへの情報はキーデータ（インデクス）とそれに付随したデータという形式で与えられる。通常のRAMがCPU（Central Processing Unit）からアドレス・データと書込み命令あるいは読出し命令のみを受けて動作することを考えると、連想メモリにおいても、CPUからインデクス・データと動作モード指定命令のみを受けて動作することが必要である。このためには、連想メモリLSIにシーケンス制御機能を付与しなければならない。図4-1は、CPUとシーケンス制御機能をもつ連想メモリとの関係を模式的に表したものである。

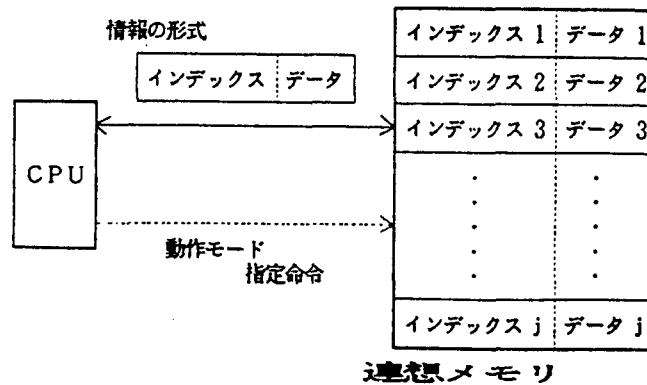


図 4-1 CPUとシーケンス制御機能をもつ
連想メモリとの関係

シーケンス制御機能で実現する連想メモリLSIの動作モードを体系的に分類すると図4-2のようになる。動作モードは、データの記憶機能と検索結果に基づくデータの書込み機能あるいは読出し機能を実現する①書込み系モード、②読出し系モード、検索機能を実現する③検索系モード、使いやすさ等を向上する④高機能化モード、および⑤テスト系モードとからなる。たとえば、3.2.2節及び3.2.3節でその必要性を示した非選択ワードへの並列・部分書込み機能は、書込み系モード→記憶データの書込み→検索結果によるワード指定→複数ワード指定→非選択 という操作手順に分解できる。実用的な連想メモリLSI開発に際しては、ターゲットとする応用と許されるハードウェア量に応じて、実現する動作モードを取捨選択する。

連想メモリLSIのハードウェアは、基本的に図4-2に示す各機能を実現する複数のブロックから構成される。連想メモリLSIの基本的なブロック構成を図4-3に示す。連想メモリLSIの基本構成は、2章および3章で述べた検索機能を実行するセルアレイ、ワード単位の検索結果の処理と検索結果に基づくデータの書込み／読出しを行うワードを指示するワード処理系、セルアレイへのデータの書込み／読出しやマスク機能等を実現するビット処理系、アドレスによる番地指定や検索結果からのアドレス生成を行うアドレス系、およびCPUからの動作モード指定命令を解読してシーケンス制御を行う制御系とからなる。連想メモリLSIでは、図4-2に示すように多様な動作モードを実現する必要があり、これに対応して、各ブロックに与える機能、構成法には多くの選択分枝が存在する。

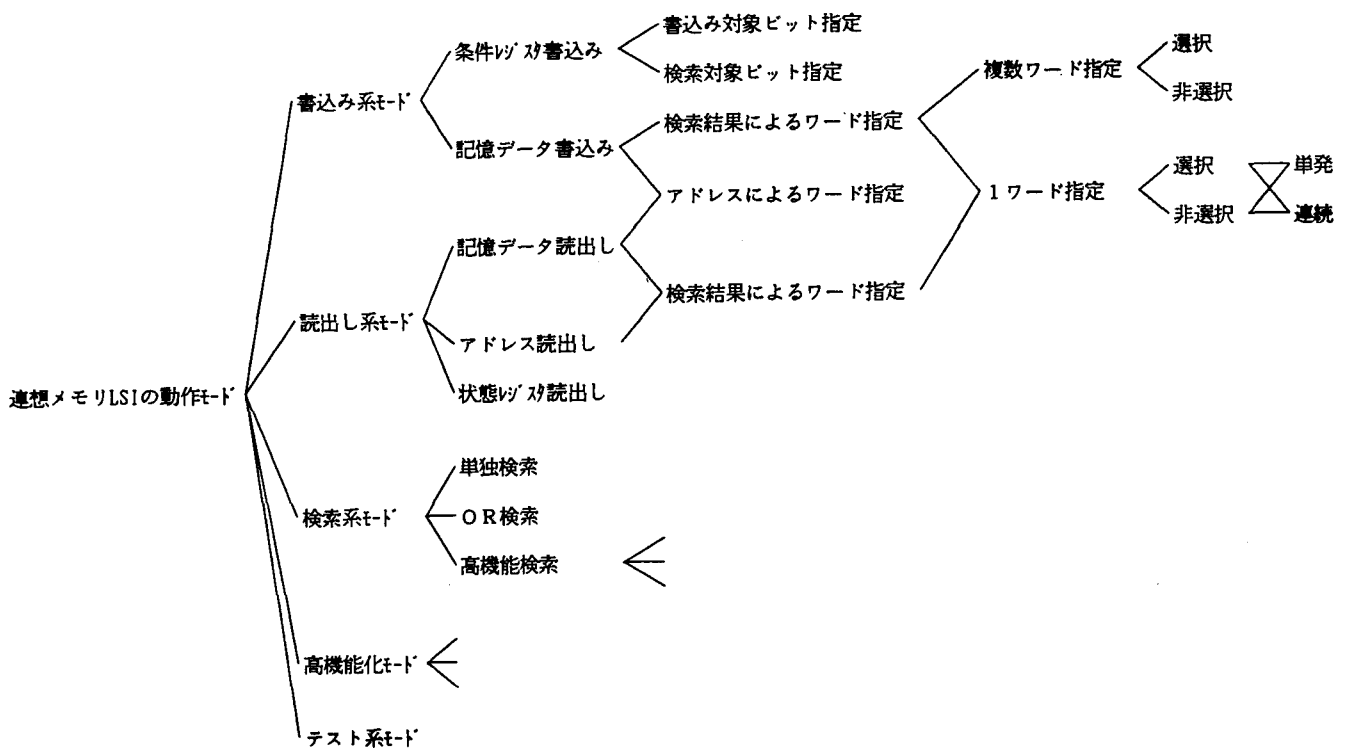


図4-2 連想メモリLSIの動作モードの体系的分類

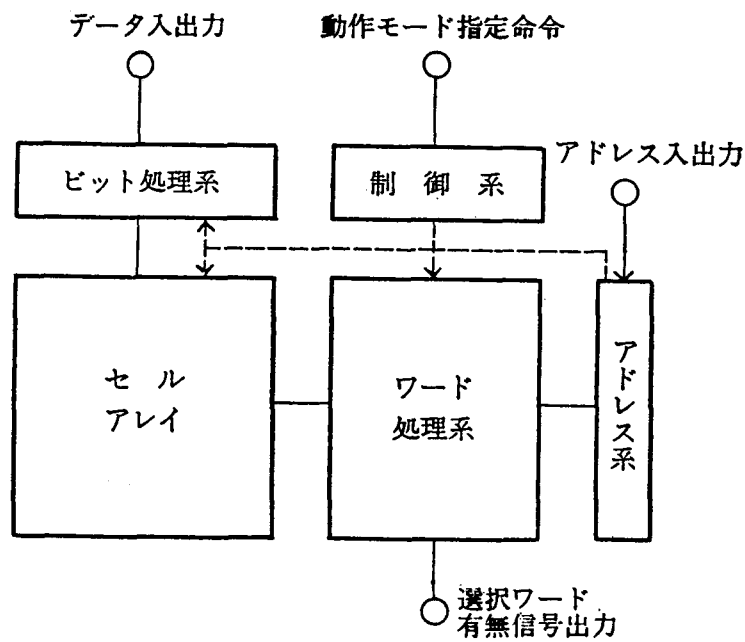


図4-3 連想メモリLSIの基本的なブロック構成

4. 2. 2 複数選択分離機能のパイプライン構成法

複数選択分離機能は、検索動作によって選択された複数個のワードの中から、動作対象とする1つのワードを指示する機能であり、ワード処理系で行う検索結果の処理機能の中心をなすものである。複数選択分離機能が検索結果を処理する機能であるため、複数選択分離動作は検索動作と直列にならざるをえない。このため通常の構成法では、連想メモリLSIの中心的動作シーケンスである検索動作→複数選択分離動作→複数選択分離結果によるデータの書込み／読出しというシーケンスのスループットを上げることができない。

このため、連想メモリLSIの高スループット動作を可能とする複数選択分離機能のパイプライン構成法を考案し⁽⁵⁵⁾、6章で述べる4Kビット連想メモリLSI⁽¹⁸⁾および20Kビット連想メモリLSI⁽³³⁾に適用することにより、その高スループット性を実証する。複数選択分離機能をパイプライン化することにより、複数選択分離結果によるデータの書込み動作あるいは読出し動作のスループットを2倍に向上することができる。パイプライン化は、通常の構成法と同様、複数選択分離回路の前段にセルアレイからの検索結果を保持するレジスタを設け、後段に複数選択分離結果を保持するレジスタを設けることにより構成した。

4. 3 複数選択分離機能の構成法

前節で述べたように、複数選択分離機能をパイプライン化することにより、連想メモリLSIの高スループット化を図ることができるが、連想メモリLSIの動作の高速化のためには、複数選択分離に要する時間そのものを短縮する必要がある。複数選択分離機能では、全ワードからの検索結果を処理しなければならず、基本的な構成法をとった場合、その論理深度はワード数に比例し、動作に要する時間は非実用的な値となる。

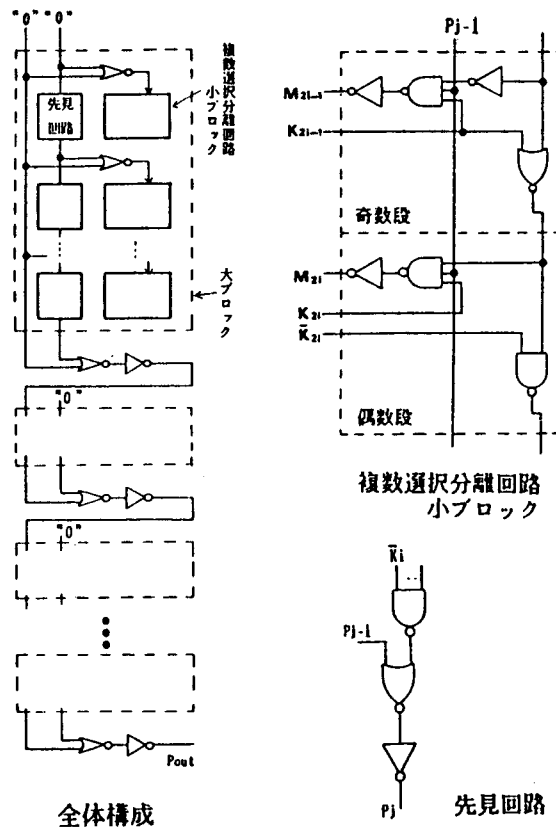
複数選択分離機能の高速な実現を図るため、複数選択分離機能を実行する複数選択分離回路の全体をサブブロックに分割し、各サブブロックを並列に動作させるとともに、各サブブロック間のリップル信号を先見する回路を設ける方式を考案し、ブロック分割の回数による全ワード数とクリティカルパスのゲート段数（以下、論理深度という）との関係を明かにし、ワード数が大きくなった場合の設計指針を与える⁽¹⁸⁾。

図4-4に2次のブロック分割の場合の構成法を示す。全ワードを基本ブロックに分割

し、さらに基本ブロックを集めた1次の大ブロックを形成して基本ブロックと1次の大ブロックのそれぞれを並列動作させるとともに、各基本ブロック、1次の大ブロック間にリップル信号の先見回路を設ける。この場合、全ワード数を m 、基本ブロック内のワード数を k 、1次の大ブロック内の基本ブロックの数を q 、1次の大ブロックの数を r とすると、論理深度 $N_{crit}(2)$ は式(4-1)で与えられる。式(4-1)には、1次および3次のブロック分割の場合の論理深度 $N_{crit}(1)$ 、 $N_{crit}(3)$ もあわせて示している。なお、式(4-1)で s は、2次のブロックの数である。

$$\left. \begin{aligned} N_{crit}(1) &= \max[2+2q, k] & k \times q & = m \\ N_{crit}(2) &= \max[2+2(q+r), k] & k \times q \times r & = m \\ N_{crit}(3) &= \max[2(q+r+s), k] & k \times q \times r \times s & = m \end{aligned} \right\} \text{式(4-1)}$$

式(4-1)は、それぞれの次数における論理深度が、選択ワードがあるかないかを示す信号を生成するのに必要な論理深度と基本ブロック内で分離結果を生成するのに必要な論理深度のうち、大きい方で決定されることを示している。



K_i : 選択信号 M_i : ワード線駆動信号
 P_j : ブロック間のリップル信号

図4-4 2次のブロック分割による
 複数選択分離回路の構成法

論理深度と実際の動作速度との対応関係を明らかにするためには、用いる論理ゲートのファンイン数、ファンアウト数を制限しなければならない。ファンイン数を4以下、ファンアウト数を5以下に制限した場合の1次、2次、3次のブロック分割における全ワード数と論理深度との関係を図4-5に示す。図4-5から、1次のブロック分割では論理深度がワード数の1/6程度に、2次及び3次のブロック分割では1/10程度に低減されていることがわかる。また、1次のブロック分割の場合、ワード数の増加とともに、その論理深度も大きな傾きで増加しており、256ワード以上のLSIでは、その高速動作がむつかしいことがわかる。また、ファンイン数、ファンアウト数制限のため、2次と3次のブロック分割における論理深度の差は、小さくなっている。

ブロック分割による構成法では、図4-4からもわかるように、そのほとんどの部分が単純なワード単位の繰返し回路で構成することができ、ブロック分割を行ったために増加するハードウェアは、ブロック間のリップル信号を先見する回路だけである。このため、本構成法は、その高速性ととも、形状、集積密度の点からもLSI搭載に適した構成法である。6章で述べる128ワードをもつ4Kビット連想メモリLSIの複数選択分離回路には、1次のブロック分割による構成法を適用し、512ワードをもつ20Kビット連想メモリLSIでは、2次のブロック分割による構成法を適用することにより、本構成法の有効性を実証する。

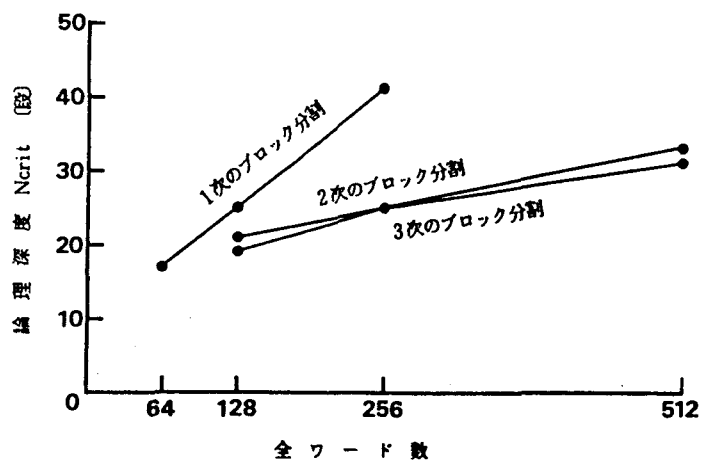


図4-5 ブロック分割の次数による
ワード数と論理深度との関係

4. 4 ガーベージコレクション機能とその構成法

4. 4. 1 ガーベージコレクション機能

連想メモリは、検索動作の結果に基づきデータの書込み／読出し等の処理を行うものであり、通常、対象となるワードのアドレスを知る必要はない。しかし、新たなデータを書き込もうとする場合、従来の連想メモリでは、空いているワード（不要ワード）のアドレスをCPUから指定しなければならなかった。このため、CPUでは不要ワードのアドレスをつねに把握しておかなければならず、不要ワードの再利用管理（ガーベージコレクション）等の、極めて複雑なアドレス管理が必要であり、連想メモリLSIの使い易さを大きく阻害していた。さらに、検索動作の結果によって不要となったワードのアドレスをCPUが知るためには、連想メモリLSIから不要ワードのアドレスを逐次的にCPUに送出せざるを得ない。このため、連想メモリLSIのもつ検索等の並列性が、逐次的な不要ワードのアドレス送出的ために活かしきれないという大きな欠点もあった。

そこで、以下では、連想メモリLSIの使い易さの向上と高速化を図るため、CPUによるアドレス管理を不要とする連想メモリLSIのガーベージコレクション機能の構成法について考察する⁽⁶⁶⁾。連想メモリLSIにガーベージコレクション機能を付与することにより、新たなデータを書き込む際にも、CPUはデータと書き込み命令を与えるだけでよく、連想メモリLSIが自律的に動作し、データの書き込みを行う。

4. 4. 2 ガーベージコレクション機能の構成法

連想メモリLSIの各ワード対応に設けたガーベージフラグレジスタと4. 3節で述べた複数選択分離回路を用いたガーベージコレクション機能の構成法を図4-6に示す。各ワード対応に設けたガーベージフラグレジスタの内容は、対応するワードが空いているワードであるか否かを示す。新たなデータの書き込み動作の前に、複数選択分離回路で複数個の空きワードの中からデータを書き込むワードを決定することにより、アドレスを用いずにデータ書き込みが実現できる。ここで用いる複数選択分離回路は、検索結果を分離する回路を共用することができ、ガーベージコレクション機能を実現するために付加しなければならないハードウェアはガーベージフラグレジスタと複数選択分離回路前段のセレクトのみである。

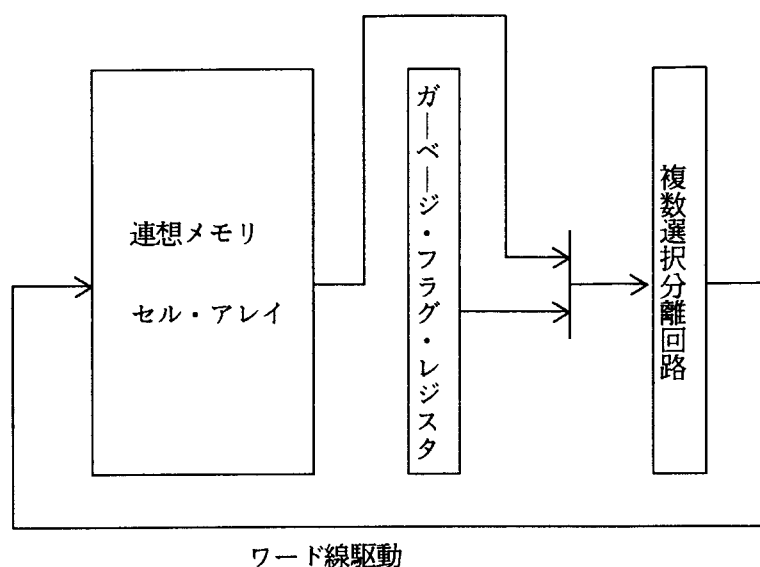


図4-6 ガーベージコレクション機能の構成法

ガーベージコレクションの概念図を図4-7に示す。初期状態では、全ワードのガーベージフラグレジスタを“1”にセットし、データを書込むと対応するガーベージフラグレジスタをリセットする。n個のデータを連続的に書込んだとすると、ガーベージフラグレジスタには先頭からn個の“0”が格納された状態となる。次に、検索動作で選ばれたワードのデータを読出したとき、それ以降そのデータが不要であれば、対応するガーベージフラグレジスタをセットする。もちろん、検索動作で選んだ複数個のワードのガーベージフラグレジスタを同時にセットしてもよい。ガーベージフラグレジスタがセットされたワードは、新たなデータを書込んでよいワードとして登録したことになる。このように、図4-7に示す簡単な構成でガーベージコレクション機能を実現することができる。

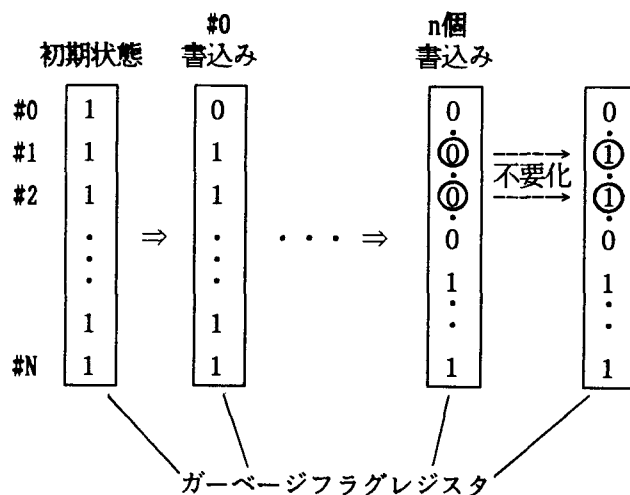


図4-7 ガーベージコレクション機能の概念図

4.5 欠陥救済機能の構成法

連想メモリLSIの大容量化と微細加工技術が進むにしたがい、製造時の歩留りと動作時の耐故障性を向上するための構成法が重要となってくる。とくに、製造時の歩留りは、LSIのコストに直接影響するため、連想メモリLSIを製造するにあたっては、製造時の歩留り向上が不可欠である。

通常の大容量RAMでは冗長ワードを付与し、欠陥ワードがある場合は、欠陥ワードを冗長ワードに置き換えることにより、製造時の歩留りの向上が可能となるが⁽⁶⁷⁾、この通常のRAMの欠陥救済技術を連想メモリLSIに応用することができる。

連想メモリLSIでは、前節でも述べたように、基本的にはデータの書込み／読出しにアドレスを使用する必要がない。このため、欠陥ワードがある場合は、そのワードを使用しなければ、記憶できるワード数は減るものの、LSIとしては使用可能となり、製造時の歩留りと動作時の耐故障性を向上させることができる。1987年のBlair等の報告では、欠陥ワードに前節のガーベージフラグレジスタと同様な欠陥フラグレジスタを設け、欠陥ワードを不活性化することにより、製造時の歩留りと動作時の耐故障性を向上させている⁽⁵⁴⁾。

通常のRAMの欠陥救済技術を連想メモリLSIに応用した構成法では、ワードの物理的な位置関係を保存することができないため、複数ワードにまたがった検索動作ができず、連想メモリLSIの使い易さが大きく損なわれる。また、Blair等の構成法では、使用するアドレス空間に抜けが生じるため、複数ワードにまたがった検索動作ができないとともに、連想メモリLSIのRAMとしての使用を禁止することとなり、連想メモリLSIの実用性を大きく低下させる。このため、使用するアドレス空間に抜けが生じずに、しかもワードの物理的な位置関係を保ったまま、製造時の歩留りと動作時の耐故障性を向上させる構成手法を提案する⁽⁶⁸⁾。

図4-8に製造時の歩留りと動作時の耐故障性の高い連想メモリLSIのブロック構成図を示す。図4-8に示す構成は、通常の連想メモリセルアレイに α ワードの冗長セルアレイと欠陥フラグレジスタ及びセルアレイとワード処理系、アドレス系を接続する双方向接続網を付加したものである。双方向接続網は、欠陥フラグレジスタの内容によって、 $(m + \alpha)$ ワードのセルアレイの中から、物理的な位置関係を保ったまま、 m 個の正常なセルアレイとワード処理系、アドレス系を接続する。図4-9に $m = 4$ 、 $\alpha = 2$ の場合の概念図を示す。図4-9は、#1、#4のワードが欠陥ワードの場合を示している。このような機能をもつ双方向接続網は、付加する冗長ワード1ワードにつき数個の論理ゲートとスイッチングトランジスタを用いて容易に構成できる。

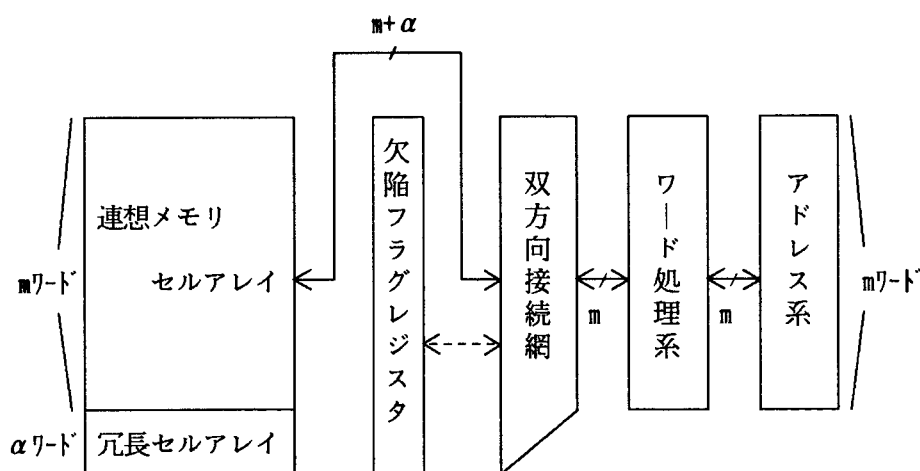


図4-8 歩留まり、耐故障性の高い連想メモリLSIのブロック構成

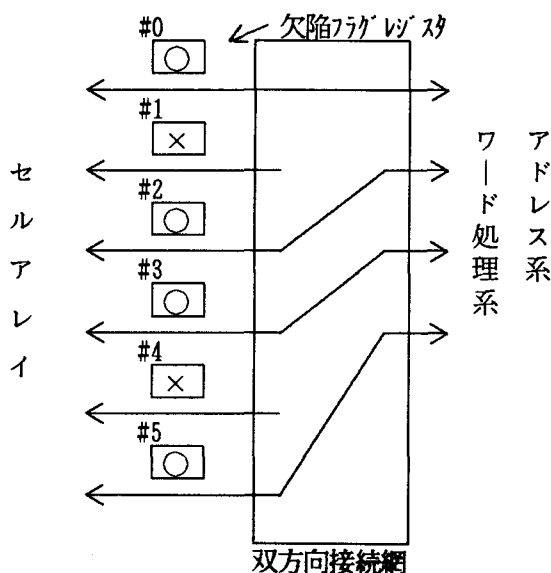


図 4 - 9 双方向接続網の概念図

2ワードの冗長ワードをもち、
 #1, #4のワードが欠陥の場合

製造後あるいは動作開始時にテストを行って欠陥フラグレジスタの内容を設定することにより、アドレス空間に抜けがなく、かつワードの物理的な位置関係を保ったまま欠陥ワードを冗長ワードへ置換できる連想メモリLSIを構成することができる。本構成手法により、使い易さを保ったまま、製造時の歩留りと動作時の耐故障性の高い連想メモリLSIが実現できる。

4. 6 むすび

本章では、連想メモリLSIのプロセッサ機能構成法に関し、連想メモリLSIのシーケンス制御機能と全体構成法について考察したのち、大容量化、高速化と使い易さ向上に適したプロセッサ機能構成法を提案し、それらの有効性と設計指針を明らかにした。以下に得られた結果を要約する。

- (1) 連想メモリLSIの基本的な動作モードを体系的に分類し、連想メモリLSIの機能・動作モード設計への指針を与えた。

- (2) 複数選択分離機能のパイプライン構成法を考案し、複数選択分離結果によるデータの書込み動作あるいは読出し動作のスループットを2倍に向上することを可能とした。
- (3) ワード数が大きくなった場合にも高速に動作し、かつその形状もLSI搭載に適した複数選択分離機能を実現する構成手法を提案し、ワード数と論理深度との関係を明らかにし、さらに論理深度をワード数の $1/6$ から $1/10$ 程度に低減できることを示すとともに、その設計指針を与えた。
- (4) 連想メモリLSIの使い易さ向上に不可欠な不要ワードを自己管理するガーベージコレクション機能とその構成手法を考案した。
- (5) 欠陥ワードによるアドレス空間の抜けが生じず、また、ワードの物理的位置関係を保ったまま欠陥ワードを冗長ワードに置き換えることが可能な連想メモリLSIの欠陥救済機能の構成手法を提案し、連想メモリLSIの使い易さを保ったまま製造時の歩留りと動作時の耐故障性を向上することを可能とした。

第5章 連想メモリLSIの チップアレイ構成法

5.1 まえがき

連想メモリLSIの1チップに搭載できる記憶容量，すなわちワード数と1ワードあたりのビット数には限界があり，しかもこの容量は，必ずしもユーザにとって十分なものとは限らない．ユーザが必要とする多量・多ビット幅のデータを処理する連想メモリ装置を実現するためには，通常のRAMの場合と同様，複数のチップをアレイ状にならべたチップアレイを構成し，ワード数あるいは1ワードあたりのビット数を拡張することが必要となる．このためには，連想メモリLSIにチップアレイの機能を付与し，多量・多ビット幅のデータを処理できる構成としなければならない．

複数の連想メモリLSIをワード方向にならべてワード数を拡張した場合は，複数のチップ間にまたがる複数選択分離機能をどのように効率的に実行するかが課題となる．また，ビット数を拡張した場合は，複数の記憶位置に分散しているデータをどのようにして同一ワードであると識別し，検索結果を処理するかが課題となる．

1979年に矢島等は，多ビット幅のデータを分割して連想メモリに格納し，分割したデータに対する検索結果をシフトしながら複数回の検索を行う構成法を提案している⁽⁶⁹⁾．しかし，この構成法では，データに対する識別能力が不十分であり，関係検索等の多様な検索機能を実現することはできなかった．

本章では，多量・多ビット幅のデータを処理するための連想メモリLSIのチップアレイ構成法について考察し，ビット数及びワード数を効率よく拡張するための手法を提案し，それらを実現するために連想メモリLSIに付与すべき機能を明らかにする．

まず，ビット数を拡張するための構成手法として，ビット方向にチップをならべ，各チップ間でアドレスを通信することによってビット数を拡張した検索を実現する方法と，マスク機能付きのアドレスデコーダを活用してチップ内のワード構成を変化させることによってビット数を拡張した検索動作を実現する方法を考察する．次に，チップ間の複数選択分離機能を効率的に実行することができ，ワード数を拡張した場合にも高スループットで動作する連想メモリLSIの構成手法を提案し，その有効性を示す．

5. 2 ビット数を拡張する連想メモリLSIのチップアレイアレイ構成法

5. 2. 1 ビット方向にチップをならべる構成法

通常のRAMの場合と同様、必要なビット数を実現するためにチップを一列にならべ、各チップの同じ記憶位置に同一ワードを構成するデータを分割して格納することを考える。この場合、ビット数を拡張した検索動作を実行するためには、同一ワードを構成する複数チップにまたがっての検索動作を行う必要がある。すなわち、あるチップで選択されたデータと同一ワードを構成するデータが他のチップでも選択されているかどうかを知る必要がある。

そこで、以下では選択されたデータの記憶位置を示すアドレスをチップ間で通信することにより、複数チップにまたがっての検索機能を実現する構成法を考察する⁽¹⁵⁾⁽⁶⁰⁾。図5-1にその概念図を示す。ビット数を拡張した検索動作は、以下のシーケンスで実現する。

- ① アレイを構成するすべてのチップで、それぞれの検索データに対する検索処理を行い、その結果をレジスタに蓄える。
- ② あるチップ（マスタチップ）から、選択されたデータの記憶位置を示すアドレスを出力する。
- ③ 出力されたアドレスを他のすべてのチップ（スレーブチップ）に入力してデコードし、指示された記憶位置がそのチップでも選択されているかどうかの情報をレジスタに格納する。
- ④ 全チップで選択された記憶位置があれば、複数チップにまたがっての検索動作で選択されたワードが存在していることを示している。マスタチップで選択されたすべての記憶位置に関して、②、③、④を繰返す。

この検索シーケンスを実現するためには、アドレスのデコード結果と検索動作の結果との論理積をとる機能とマスタチップ／スレーブチップを切り換えて動作する機能が新たに必要となるだけであり、ハードウェア量の増加は小さい。

本構成法は、ビット数を拡張した検索動作が終了するのに要する時間が、拡張したビット数には依存しないという利点をもつ。しかし、マスタチップで選択された記憶位置の数と等しい回数 of シリアルなアドレス通信が必要となり、終了するまでの時間が一定しない

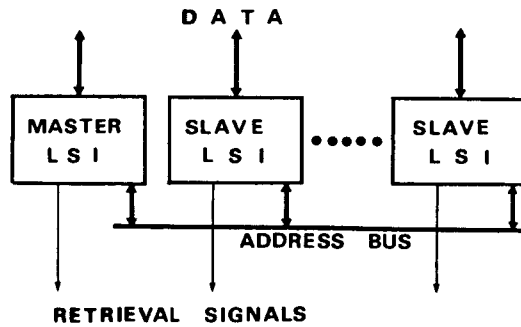


図5-1 チップをビット方向にならべて
ビット数を拡張する構成法

という欠点がある。

5. 2. 2 チップ内のワード構成を変化させる構成法

多ビット幅のデータを同一チップの連続ワードに分割格納し、検索結果をワード方向にシフトしながら検索を繰返すことによってビット数を拡張した検索動作を実現する手法について以下に考察する。矢島等の提案では、同一ワードの先頭と最後部を示すタグを用いていたが⁽⁶⁰⁾、本手法ではアドレスデコーダのマスク機能とアドレスデコーダ出力と検索結果との論理積をとる機能を付与することにより、チップ内のワード構成を変化させ、タグの使用を省くことを考案する⁽⁶¹⁾。

多ビット幅のデータを分割格納した場合、どの一連の記憶位置が同一ワードを構成するのか、また、ある記憶位置のデータが多ビット幅のデータを構成する何番目のデータであるかを識別する必要がある。これらの識別操作を実現するために、アドレスデコーダにマスク機能を付与することに注目する。このマスク機能は、マスクされたビットをデコード対象から除外するためのものであり、以下にこれについて記述する。

m ワード $\times n$ ビットの連想メモリLSIは、 $p = \log_2 m$ ビットのアドレスをもつ。アドレスデコーダにマスク機能を付与し、これにより下位 q ビットをマスクすれば、連続した 2^q 個の記憶位置を同時に指示し、その 2^q 個のデータが同一ワードであることを識別することができる。また、上位 $(p - q)$ ビットをマスクし、下位 q ビットだけをデコードすることにより、各多ビット幅データのうちの任意の位置にあるデータを指示することもできる。このため、アドレスデコーダのマスク機能に加えて、アドレスデコーダ出力と検索結果との論理積をとる機能を付与することにより、 m ワード $\times n$ ビットの連想メモリLSIのワード構成を変化させることにより、 $(m / 2^q)$ ワード $\times (2^q \cdot n)$ ビットの連想

メモリLSIとして動作させることができる。

図5-2は、 $q = 2$ の場合、すなわち、 m ワード× n ビットの連想メモリLSIのワード構成を変化させて $(m/4)$ ワード× $(4 \cdot n)$ ビットの連想メモリLSI（同一ワードのデータを4分割して格納）とした場合の概念図を示す。この場合、アドレスの下位2ビットが同一ワード内でのデータの位置を示し、上位 $(p-2)$ ビットが多ビット幅データを識別する際の識別子となっている。

本構成法を実現するためには、アドレスデコードのマスク機能、および前節の構成法と同様にアドレスのデコード結果と検索動作の結果との論理積をとる機能を新たに付与すればよく、ハードウェア量の増加は小さい。

本構成法では、前節の手法で必要であったシリアルなアドレス通信の必要がなく、一定時間でビット数を拡張した検索動作が終了するという利点をもつ。しかし、終了するのに要する時間が、拡張したビット数に依存するという欠点がある。

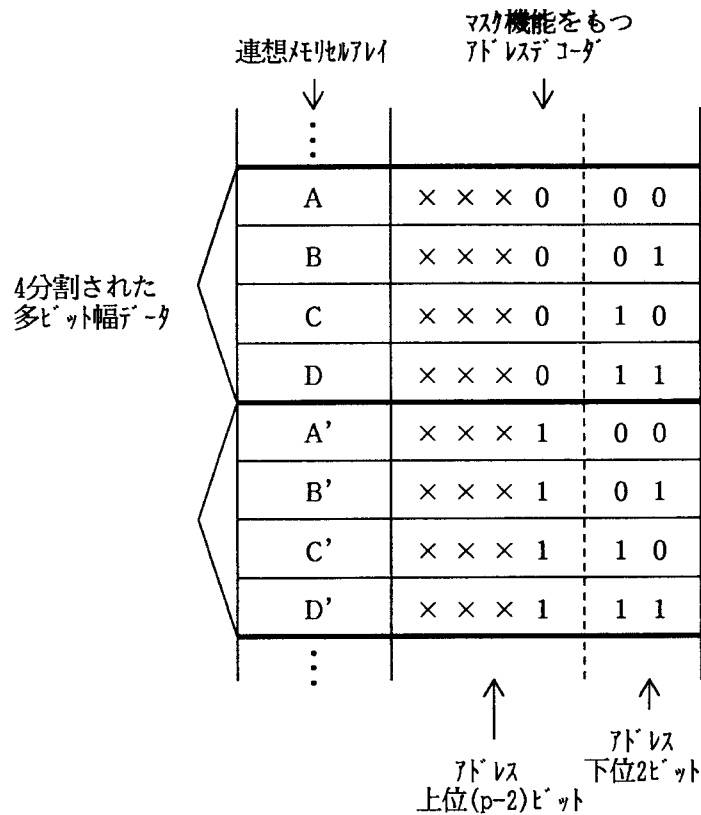


図5-2 ワード構成を変化させて、多ビット幅データを4分割して格納した場合の概念図

5. 2. 3 2つの構成法の比較

m ワード× n ビットの連想メモリLSIを用いて、 $\alpha \cdot m$ ワード× $\beta \cdot n$ ビットの連想メモリLSIのチップアレイを実現することを考える。このとき、5. 2. 1のビット方向にチップをならべる構成法（構成法1とする）を用いると、ワード方向に α 個、ビット方向に β 個の連想メモリLSIをならべたアレイを構成することになる。一方、5. 2. 2のチップ内のワード構成を変化させる構成法（構成法2とする）では、ワード方向にのみ $\alpha \times \beta$ 個の連想メモリLSIをならべたチップアレイを構成することになる。

ユーザからみた使い易さと動作速度の観点から、上記2つの構成法を比較すると以下のことがいえる。

- (1) 構成法1では、マスタチップでの検索のヒット率を h としたとき、1つのマスタチップからシリアルに読出すべきアドレスの数は $h \cdot m$ となり、検索動作に要する時間は、 $h \cdot m$ で規定される。一方、構成法2では、検索動作に要する時間は、 β で規定される。
- (2) 構成法1では、検索動作に要する時間がデータの性質、すなわちヒット率 h によって変化するため、システム性能を予測することがむづかしい。一方、構成法2では、検索動作に要する時間は一定であり、システム性能の予測は容易である。
- (3) $h \cdot m < \beta$ のとき、構成法1の方が、より高速な検索動作が可能であり、 $h \cdot m > \beta$ のときは、構成法2の方が、より高速な検索動作が可能となる。ただし、ワード数 m が大きくなると、 $h \cdot m > \beta$ となることが予測され、構成法2が優位となる。いま、ヒット数 $h \cdot m$ を $\log_2 m$ と仮定し、 $m = 512$ ワード、 $n = 32$ ビットの連想メモリLSIのチップアレイを考えると、 $\log_2 512 = 9$ となるため、 $32 \times 8 = 256$ ビットまでは、構成法2の方が高速な検索動作が可能となる。
- (4) 構成法1では、マスタ/スレーブチップを指定する必要があるため、制御が複雑になる。一方、構成法2では、すべてのチップに対して同一の制御が行える。

以上の考察より、使い易さと動作速度の観点からは、構成法2がすぐれているといえる。構成法1は、ワード数が小さい場合あるいは数百ビット以上の超多ビット幅のデータを処理する場合に有効な構成法であるといえる。

5. 3 ワード数を拡張する連想メモリLSIのチップアレイ構成法

限られたワード数をもつ連想メモリLSIをワード方向にならべ、必要なワード数をもつ連想メモリ装置を実現するためには、拡張した全ワードに対する複数選択分離動作をどのように効率的に実行するかが課題となる。著者等は、さきに複数個の連想メモリLSIチップを直列に接続し、上位チップの複数選択分離回路出力を下位チップの複数選択分離回路の最上位入力とすることにより、外部回路なしにワード数を拡張する構成法を提案し、1Kビット連想メモリLSIに搭載した⁽¹⁵⁾。図5-3に、その概念図を示す。図5-3において、Pexinは上位チップからのリップル信号であり、Pexoutは下位チップへの出力である。この構成法では、図5-3からもわかるように、各チップの複数選択分離回路が直列に動作するため、最下位チップのPexoutが確定するまでに要する時間が、

$$(1 \text{ チップの複数選択分離回路の動作時間}) \times (\text{全チップ数})$$

となり、高スループット化が図れないという問題点がある。

このため、外部回路なしでワード数の拡張を可能とする利点を保持したまま、各チップ内部の複数選択分離回路を並列動作させることにより、全ワードにおける複数選択分離動作の高スループット化を可能とする手法を考察する⁽¹⁷⁾⁽⁸²⁾。図5-4にその構成手法の

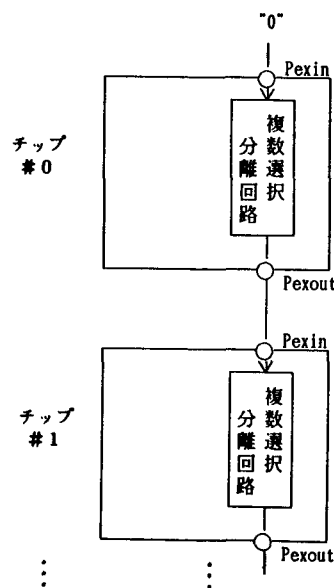


図5-3 外部回路を用いずにワード数を拡張する構成法

概要を示す。図5-4(a)はワード数を拡張したときの概略図であり、(b)はCS生成回路の論理図である。図において、Poutは各チップで選択されたワードがあるか否かを示す複数選択分離回路の出力信号であり、各チップ内部の複数選択分離回路で並列に生成される。CSinは、いわゆるチップセレクト信号であり、動作モードに応じて、各チップに共通に印加される。各チップのCS生成回路では、Pout、Pexin及びCSinの値から、自チップ内部へのCS信号を生成するとともに、Pexoutを出力して下位チップへ伝搬する。CS=1となるチップが実際に動作する。各チップのCSは、Pexin=0かつPout=1のときのみ、CS=CSinとなるため、全チップにおける複数選択分離動作が実現できる。

図5-4に示す構成法では、各チップの複数選択分離回路が並列にPoutを生成するため、CS生成回路におけるPexinからPexoutへの経路が、ワード数を拡張したときのクリティカルパスとなる。このクリティカルパスのゲート段数は、2段/チップである。最下位チップのPexoutが確定するまでに要する時間は、

$$\begin{aligned} & (1 \text{チップの複数選択分離回路の動作時間}) + \\ & (CS生成回路のクリティカルパスの動作時間) \times (\text{全チップ数}) \end{aligned}$$

となり、高スループット化が図られることがわかる。本構成法は、6章で述べる4Kビット連想メモリLSI⁽¹⁸⁾および20Kビット連想メモリLSI⁽³³⁾に適用し、それらの高スループット化に寄与している。

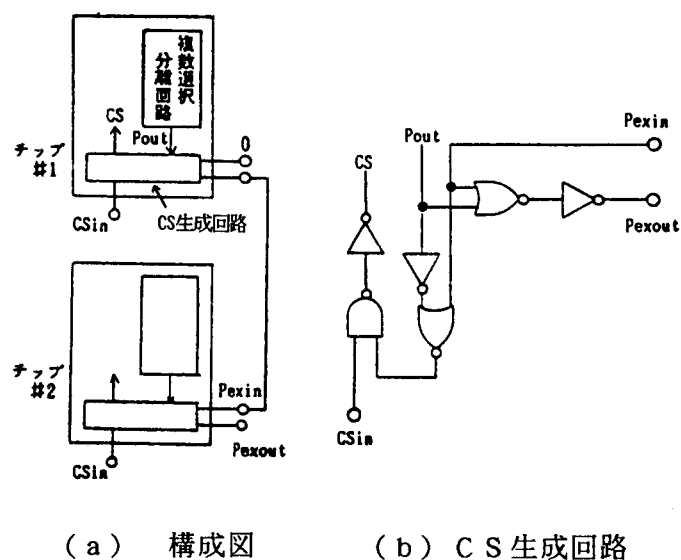


図5-4 高スループット動作が可能なワード数を拡張する構成法

5. 4 むすび

本章では、多量・多ビット幅のデータを処理するための連想メモリLSIアレイの構成法に関し、ビット数およびワード数を効率よく拡張するための手法を提案し、それらを実現するための付与すべき機能を明らかにした。以下に得られた結果を要約する。

- (1) ビット方向にチップをならべ、各チップ間でアドレス通信を行うことにより、ビット数を拡張するためには、検索結果とアドレスデコード出力との論理積をとる機能およびマスタチップ/スレーブチップを切り換えて動作する機能とが新たに必要であることを示した。この構成手法では、検索に要する時間が、拡張するビット数に依存しないという特徴をもつ。
- (2) チップ内のワード構成を変化させることにより、ビット数を拡張するためには、マスク付きのアドレスデコード機能および検索結果とアドレスデコード出力との論理積をとる機能とが新たに必要であることを示した。この構成手法では、検索に要する時間が、データの性質に依存せず一定であるという特徴をもつ。
- (3) 上記2つの手法を比較し、使い易さと動作速度の観点からは、後者のワード構成を変化させる手法がすぐれており、チップをならべる前者の手法は、特にワード数が小さい場合あるいは数百ビット以上の超多ビット幅データの処理に対して有効であることを示した。
- (4) ワード数を拡張した場合に、外部回路なしに全ワードにわたる複数選択分離機能を効率的に実行できる構成手法を考察し、これを実現するために連想メモリLSIに与えるべき機能とその構成法を明らかにした。

第6章 連想メモリLSIの試作

6.1 まえがき

前章までにおいて、統合化した連想メモリLSI構成法を確立するため、2つの基本的な機能である検索機能と周辺機能について検討し、これらの構成法を明らかにし、これらの構成法の有効性を実証するために3種類の連想メモリLSIを実際に設計・試作した⁽¹⁶⁾⁽¹⁸⁾⁽³³⁾。これらの連想メモリLSI構成の試作結果を表6-1に示す。集積回路技術全般の進展に応じ、試作した3種類の連想メモリLSIは、1Kビット、4Kビット、20Kビットと大容量化し、また、機能も高度化している。

本章では、前章までの検討結果を統合化して試作した4Kビットと20Kビットの連想メモリLSIの性能を評価し、構成法の有効性を示す。4Kビット連想メモリLSIは、1983年に設計・試作したものであり、統合化した初めての1Kビット連想メモリLSIに対する評価結果に基づき、大容量化、高速化とともに、高機能化の主眼を使い易さの向上において、その機能を決定したものである。また、20Kビット連想メモリLSIは、1986年に試作したものであり、前の2品種の評価結果を受け、一層の大容量化を図るとともに、動作モードの洗練、必要な制御信号入力の削減等、高スループット化と一層の使い易さ向上をめざしたものである。

表6-1 連想メモリLSIの試作結果

検 討 項 目		1Kビット連想メモリLSI (64ワード×18ビット)	4Kビット連想メモリLSI (128ワード×32ビット)	20Kビット連想メモリLSI (128ワード×40ビット)
検 索 機 能	・並列書込み機能	○ ワード数“小”で可	○ 提案した新型セルで可	○ 高抵抗負荷型セルで可
	・高密度セルアレイ			○
	・検索動作の加速			○
	・一致検索機能による 関係検索機能，並列処理機能	○	○	○
	・関係検索機能，並列処理機能用 高機能セル	○ ハミング距離検索機能		
プ ロ セ ッ サ 機 能	チップ単独			
	・シーケンス制御機能	○	○	○
	・複数選択分離機能がハイライン化		○	○
	・複数選択分離機能高速化	○ 1次のブロック分割	○ 2次のブロック分割	○ 3次のブロック分割
	・ガーベージコレクション機能		○	○
・欠陥救済機能				
チップアレイ				
・チップをビット方向にならべる ビット数拡張機能	○	○		
・ワード構成を変化させる ビット数拡張機能			○	
・ワード数拡張機能	○ 複数選択分離回路を 直列動作	○ 複数選択分離回路を 並列動作	○ 複数選択分離回路を 並列動作	
特 記 事 項		・必要機能を統合化したはじめての連想メモリLSI	・I/O共通化による 端子数削減 ・CMOSによる低消費電力化	・動作モードの洗練，制御信号の内部生成による高スループット化，制御の単純化，端子数の削減

6. 2 4 Kビット連想メモリLSIの試作

6. 2. 1 基本構成

4 Kビット連想メモリLSIは、表6-1に示すような多くの機能上および構成上の特徴をもつ。本連想メモリLSIの基本構成を図6-1に示す。本LSIは図4-3に示したと同様、セルアレイ、ワード処理系、ビット処理系、アドレス系、制御系とからなる。セルアレイは検索ビット幅が32ビットで128ワードの構成であり、ワード並列に検索動作を行いワード対応の検索結果を生成する。ワード処理系では、この検索結果の蓄積や複数選択分離等の処理を施すとともに、ワード線の駆動、ガーベージコレクションのための不要ワードの管理等を行う。ビット処理系はデータ入出力、検索処理のマスク操作等を行う。

本LSIは1相のシステムクロックを用い、1サイクルの前半で制御系による動作モード指定命令の取込み、解読を行い、後半で解読された命令に従った処理を行う。43種類の動作モードがクロックを含めて10種類の制御信号入力によって指定される。これらの動作モードは、図4-2の体系的分類に則して図6-2に示すように分類できる。動作モードは、書込み、読出し、検索と高機能動作モードであるワード不要化の4種類に大別できる。各動作モードは、それぞれ1サイクルでその動作を終了する。

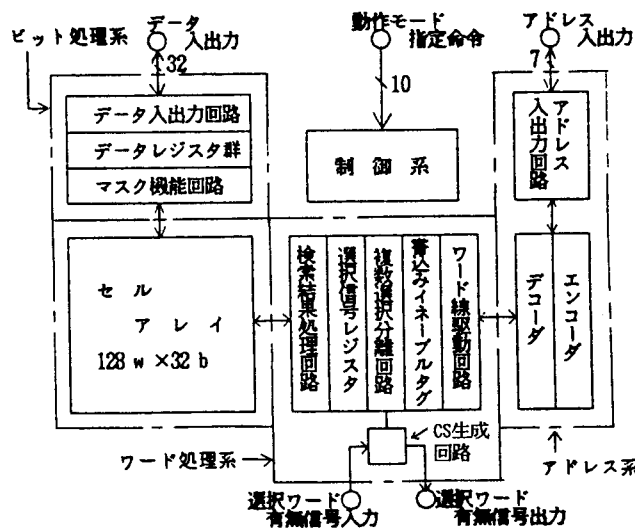


図6-1 4 Kビット連想メモリLSIの基本構成

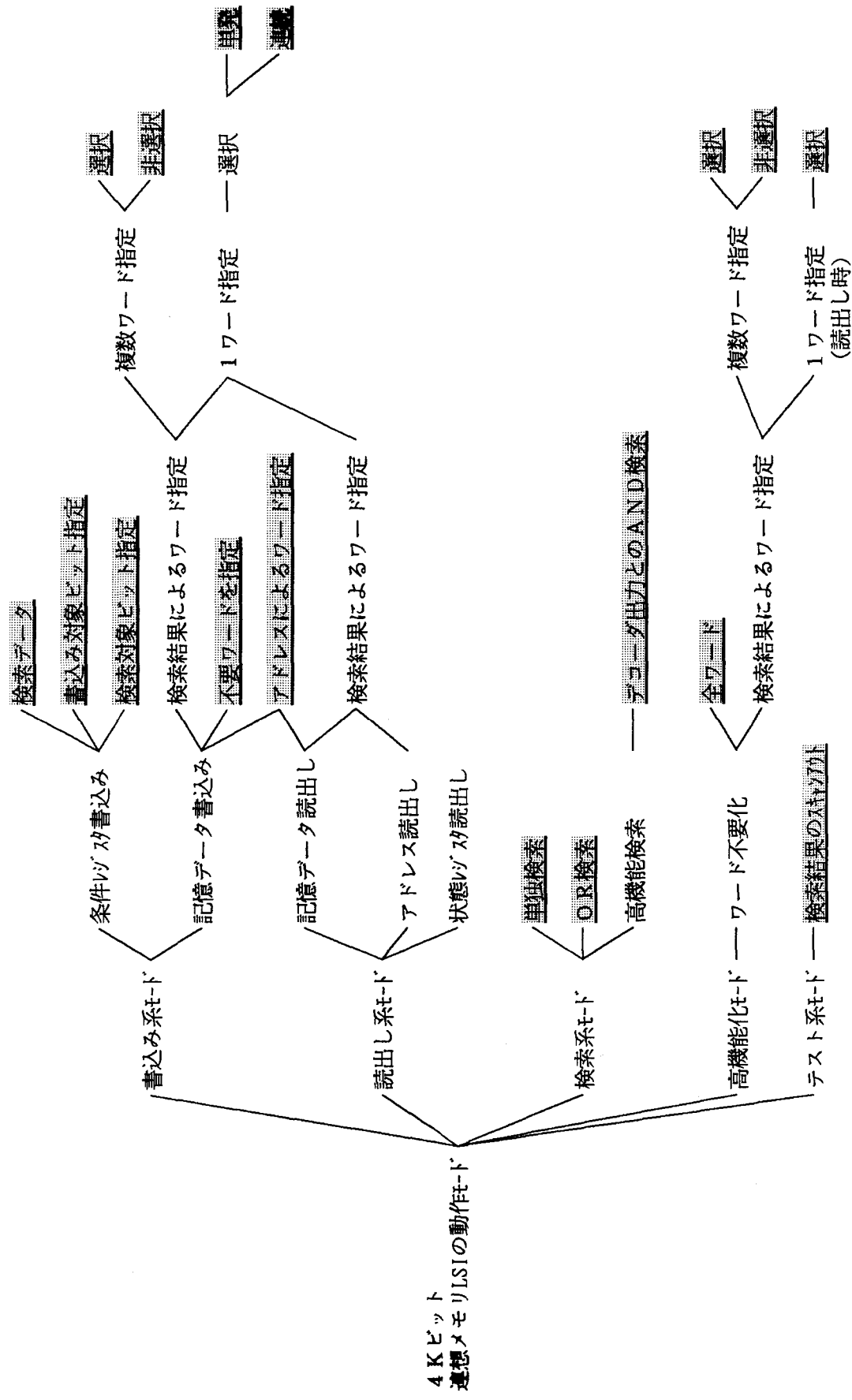


図6-2 4Kビット連想メモリLSIの動作モードの体系的分類
 のリファが動作モードを示す

6. 2. 2 設計・試作・評価結果

設計試作は、 $3\mu\text{m}$ CMOS 2層Al配線プロセスを用いて行った。実効チャンネル長は、nチャンネルトランジスタが $2.3\mu\text{m}$ 、pチャンネルトランジスタが $2.0\mu\text{m}$ である。チップ写真を図6-3に示す。セルアレイは64ワード×32ビットのブロックに分割し、中央にワード処理系、アドレス系を配置した。単位セルの寸法は、 $77\mu\text{m}\times 77.5\mu\text{m}$ である。セルアレイ下部がビット処理系である。ビット処理系、制御系は、セルアレイを2分割したことに対応し、ほぼ同様なものを2系統設け、設計の簡便化を図った。総トランジスタ数は、71,300個であり、うち45,000個がセルアレイで、18,000個がワード処理系で使用されている。チップの寸法は、 $10.3\text{mm}\times 8.4\text{mm}$ 、端子数は53である。

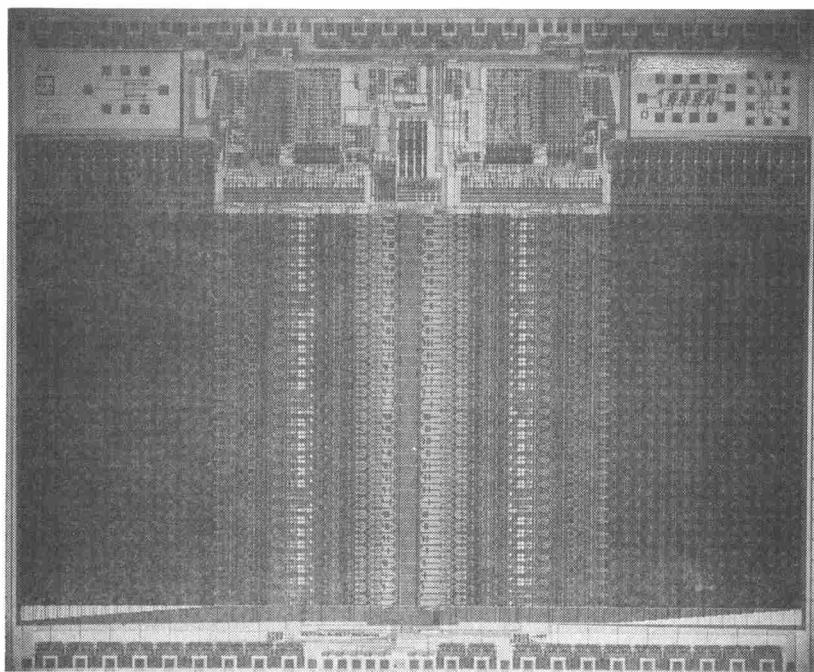
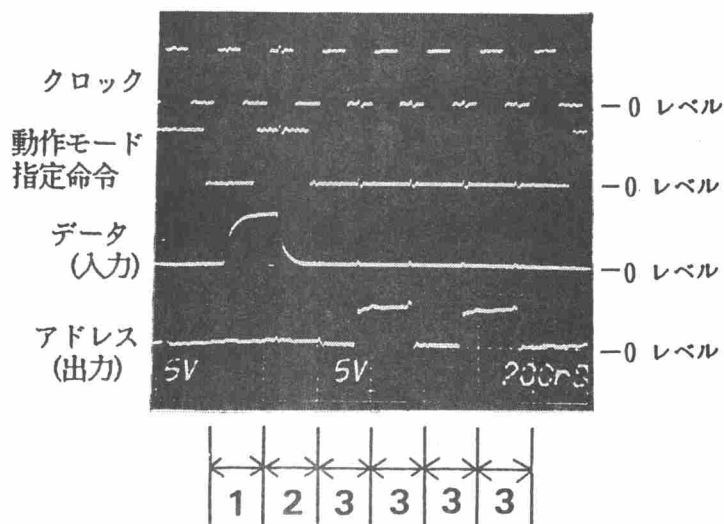


図6-3 4Kビット連想メモリLSIのチップ写真

本連想メモリLSIでは、図6-1に示した選択信号レジスタにスキャンイン・アウト機能を付与し、テスト容易性の向上を図った。すなわち、選択信号レジスタ前段までと選択信号レジスタ以降とを切分けて機能評価ができるようにした。前者としては、記憶機能、検索機能等のセルアレイおよびビット処理系の機能があり、後者としては、複数選択分離機能、ワード不要化等のワード処理系の機能およびアドレス系の機能がある。このような各機能を切分けて評価できる各種試験パターンを作成し、機能試験を行うとともに、動作速度及び消費電力を求めた。評価の結果、最小サイクルタイムは140nsであった。また、消費電力はサイクルタイムにほぼ比例し、200nsサイクル時で約80mWであり、CMOS化による低消費電力化が図られている。

連想メモリの一般的動作シーケンスを実行している場合の入出力波形を図6-4に示す。動作シーケンスは、検索データの入力後、検索動作を行い、選択されたワードのアドレスを順次出力するものである。波形の最下段がアドレス出力を示し、複数選択分離機能をパイプライン化したことにより、毎サイクル連続してアドレスが出力されていることがわかる。



- 1 : 検索データ入力 2 : 検索
 3 : アドレス出力 (1 → 0 → 1 → 0)

図6-4 4Kビット連想メモリLSIの入出力波形

6. 3 20Kビット連想メモリLSIの試作

6. 3. 1 機能・構成

20Kビット連想メモリLSIの機能は、1Kビット、4Kビット連想メモリLSIの試作に対する評価および連想メモリLSIに対する種々の応用技術の適用に関する検討を通じて決定した。基本的には4Kビット連想メモリLSIの設計手法を踏襲しており、これにいくつかの改良を加えた。表6-2に20Kビット連想メモリLSIの特徴的な機能をまとめるとともに、以下にその概略を示す。

(1) 40ビットのデータビット幅

データフィールド32ビット、タグフィールド8ビット、計40ビットのデータビット幅をもち、タグアーキテクチャに柔軟に対処できるとともに、関係検索時等に数ビットのワークエリアを使用する場合にも、32ビットのデータを扱うことを可能にした。

(2) 高密度セルアレイ構成とフィールド単位での部分書込み機能

図2-9に示した高密度セルアレイ構成法を適用し、データフィールドでは8ビット単位で、タグフィールドでは1ビット単位で部分書込みを行う構成とした。また、図2-10に示した加速回路を使用し、高速化を図った。

表6-2 20Kビット連想メモリLSIの特徴

特徴的な機能	実現時のメリット
(1) データ32ビット + タグ8ビット = 40ビットのデータビット数	データフィールド32ビットの完全使用が可能
(2) データフィールドでは8ビット単位、タグフィールドでは1ビット単位での部分書き込み可能	大容量化
(3) チップのワード構成を変化させることによるビット数の拡張機能	高スループット化
(4) データ書き込み時のアドレス同時出力	高スループット化
(5) 検索データのチップ外部からの直接駆動	高スループット化
(6) 制御信号の内部生成	装置構成の単純化

(3) ワード構成を変化させることによるビット数の拡張機能

タグフィールドの一部を用いてデータの識別子とすることにより、ワード構成を変化させてビット数を拡張することとした。図6-5にビット数を拡張するための構成図を示す。検索結果のシフト機能と論理積をとる機能を与えており、ビット数を拡張したときのガーベジコレクションを高速化するため、アドレスデコーダのマスク機能を活用して、一連の複数ワードを同時に不要化することを可能としている。図6-6にビット数を拡張したときのガーベジコレクションを実現するハードウェア構成を示す。図6-6では、下位1ビットをマスクしてアドレスをデコードすることにより、一連の2ワードを同時に不要化している。本LSIのマスク機能付きアドレスデコーダは、下位3ビットをマスク可能な構成としており、連続した2/4/8ワードの一括不要化が可能である。

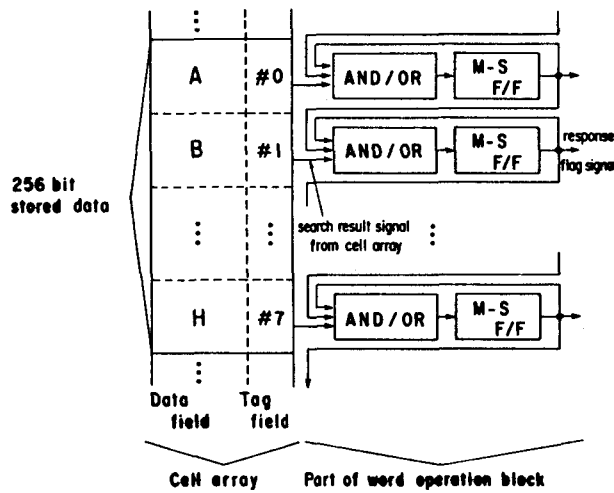


図6-5 ワード構成を変化させてビット数を拡張するためのハードウェア構成

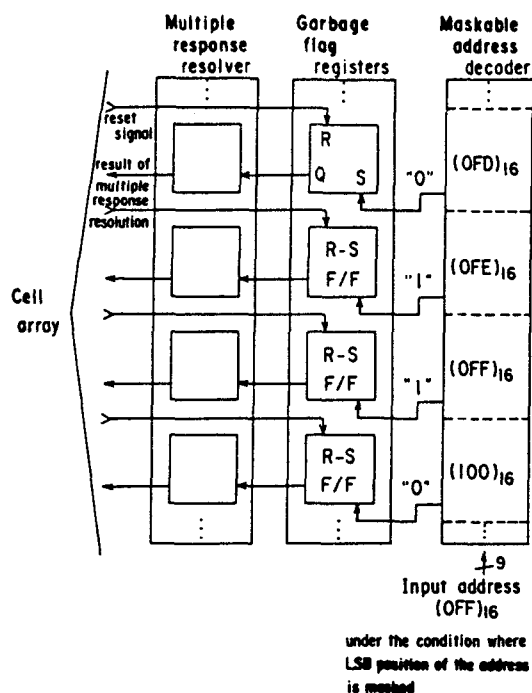


図6-6 ビット数を拡張した場合のマスク機能付きアドレスデコーダを用いたガーベジコレクションを実現するハードウェア構成

(4) データ書込み時のアドレス同時出力

検索結果等によるアドレスを用いないでデータ書込みを行う場合、書込み動作と同時にそのアドレスを自動的に出力する。

一般的な連想メモリ装置は、連想メモリとその連想メモリに結合されたRAMで構成される。この連想メモリとRAMとの結合には、連想メモリから出力されるアドレスが用いられる。これは、連想メモリにアドレスを用いないデータ書込みを行った場合も同様であり、データが書込まれたワードのアドレスが必要である。4Kビット連想メモリLSIの場合、データが書込まれたワードのアドレスを出力するためには、検索・読出し等の動作が複数回必要であった。本LSIでは、アドレスを用いないデータ書込みを行う場合、書込み動作と同時にそのアドレスを自動的に出力するため、高スループット可能な装置が容易に構築できる。

(5) 検索データのチップ外部からの直接駆動

検索動作時、検索データをチップ外部から直接駆動する方式とし、検索データの入力モードをなくすることにより、スループットが向上する。

(6) 制御信号の内部生成

制御信号を通常のRAMのレベルにまで整理する。すなわち、必要な制御信号は、動作モード指定命令、クロック、チップセレクト信号のみであり、その他の制御信号はチップ内部で生成する。チップ外部から入力する制御信号本数を、4Kビット連想メモリLSIの10本から7本に削減できる。制御信号を内部生成することにより、装置の構成が単純となり、使い易さが向上する。

6.3.2 設計・試作・評価結果

設計試作は、 $1.2\mu\text{m}$ CMOS 2層Al配線プロセスによって行った。連想メモリセルは、図2-9(a)に示す高抵抗負荷型セルを用いた。チップ写真を図6-7に示す。チップ面積は、 $5.3\text{mm} \times 7.9\text{mm}$ 、総素子数は284,000素子、消費電力は、200nsサイクル時、250mWである。

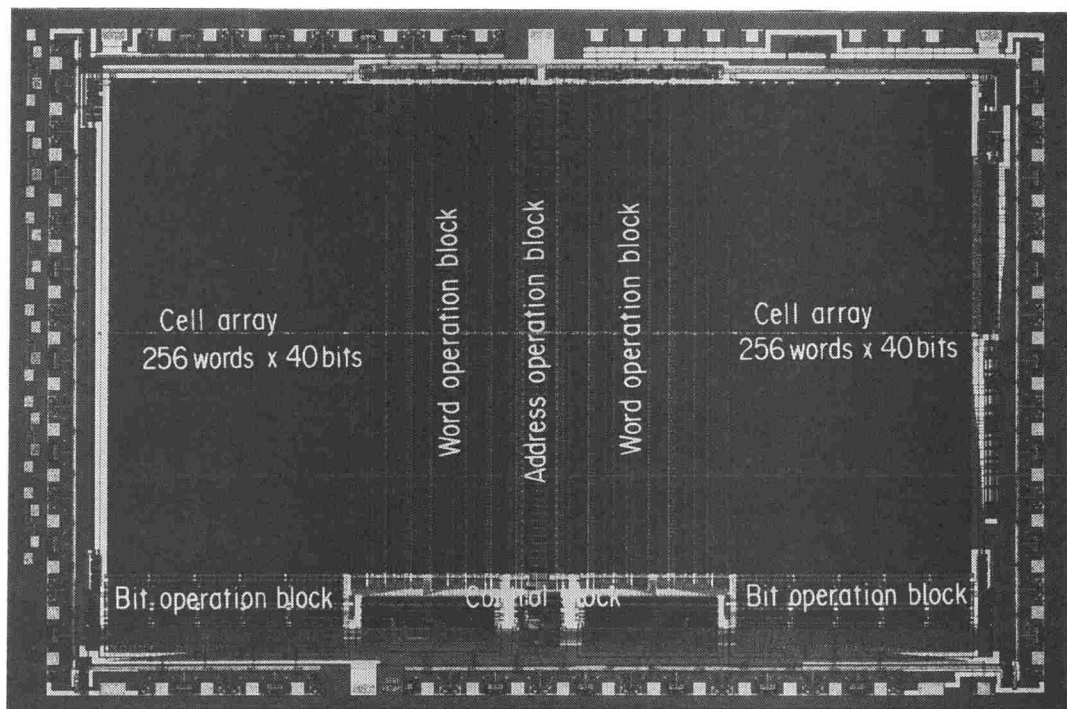


図6-7 20Kビット連想メモリLSIのチップ写真

本LSIの動作時の入出力波形を図6-8に示す。各波形は、それぞれクロック入力、データ入出力、アドレス入出力、選択ワード有無信号出力である。選択ワード有無信号は、検索動作によって選択されたワードがあるか否かを示す。図6-8の動作シーケンスは、検索マスクデータを書込み、検索を行ったのち、読出しを繰返している。選択ワード有無信号が検索動作サイクルの後半で立上っており、検索動作で選択されたワードがあることを示している。検索動作に引続き、データとアドレスが毎サイクル連続的に読出されている。4回目の読出しサイクル後半で選択ワード有無信号が立下がっているが、これは検索動作で選択されたワードがすべて読出されたことを示している。図6-4に示した4Kビット連想メモリLSIの動作シーケンスと比べ、検索データの書込みサイクルが不必要であり、検索動作の高スループット化が図られている。

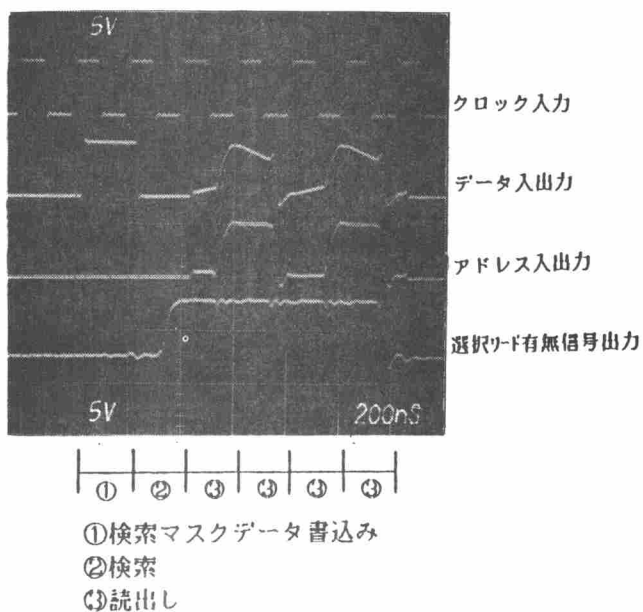


図6-8 20Kビット連想メモリLSIの入出力波形

6. 4 むすび

本章では、前章までの検討結果に基づいて試作した4 Kビットと20 Kビット連想メモリLSIの評価結果を示した。これらの連想メモリLSIは、7章、8章で述べる連想メモリ装置への適用あるいはシステム研究者への試験供給⁽²⁰⁾⁽²⁶⁾⁽⁶³⁾を通じ、その機能の有効性が実証されている。表6-3に、4 Kビットと20 Kビット連想メモリLSIの諸元を対比してまとめた。

表6-3 4 Kビットと20 Kビット連想メモリLSIの諸元

	4 Kビット連想メモリLSI	20 Kビット連想メモリLSI
ワード構成	128ワード×32ビット	512ワード×40ビット
動作モード	書込み, 読出し, 検索, ワード不要化等 43モード	書込み, 読出し, 検索, ワード不要化等 26モード
制御信号入力数	10 (含 クロック)	7 (含 クロック)
サイクルタイム	1相クロック 140ns min.	1相クロック 85ns min.
電源電圧	5v単一	5v単一
消費電力	80mW (200nsサイクル時)	250mW (200nsサイクル時)
I/O インタフェース	I/O 共通, TTLレベル	I/O 共通, TTLレベル
端子数	53	66
パッケージ	120ピンPGA	84ピンPGA
LSIプロセス	3 μ m CMOS 2層Al配線	1.2 μ m CMOS 2層Al配線
素子数	71, 300	284, 000
チップサイズ	10.3mm×8.4mm	5.3mm×7.9mm

第7章 連想メモリLSIの装置応用技術

7.1 まえがき

連想メモリLSIは、通常のRAMのもつ記憶機能に加え、検索機能や並列処理機能をもつ。通常のRAMを用いた装置では、データの記憶という単一機能を実現すればよく、RAM装置は比較的単純に構成できる。これに対して、連想メモリ装置では、連想メモリLSIのもつ種々の機能を装置レベルで実現するとともに、連想メモリLSIのもつ高速処理性能を引出す必要があるため、その装置構成に関する十分な検討が必要となる。しかしながら従来は、連想メモリLSIの装置構成技術及び応用技術については、連想メモリLSIそのものの技術的成熟度が不十分であったり、あるいは実用的な連想メモリLSIが実現されていなかったため、十分な研究開発がなされていない状況であった。

一方、知識情報処理に適した論理型言語Prologの処理アルゴリズムのなかに多くの連想処理が内在していることを指摘し、Prologの処理をハッシュ技法を用いて高速化する提案が、1982年に中村等によってなされた⁽⁶⁴⁾。さらに、連想メモリLSIの適用を前提とした高速なPrologマシン構成法が1984年に長沼と著者等によって⁽⁶⁵⁾、また1986年には、Chu等⁽⁶⁶⁾、Oldfield等⁽⁶⁷⁾、およびRobinson等⁽⁶⁸⁾によって提案された。これらの連想メモリを用いるPrologマシンについては、Prologマシンを構成するに足りる大容量の連想メモリLSIが存在しなかったこともあり、本研究を除き、システム構成法の提案にとどまっており、詳細なハードウェア手法の検討はもちろんのこと、実マシンを試作したうえでの評価はなされていなかった。

本章では、連想メモリLSIがもつ種々の機能を実現するのに適した連想メモリ装置構成法について考察したのち、連想メモリ装置の情報処理システムへの適用例として、Prologマシンへの連想メモリ装置の適用を考察する。

まず、連想メモリ装置の一般的な応用形態について整理したのち、関係検索機能をはじめとした種々の機能を実現するのに適した連想メモリ装置構成について考察する。次に、Prologの処理アルゴリズムのなかの連想処理について考察したのち、Prologマシンへの連想メモリ装置の適用について考察し、それを実現する具体的な構成法と動作シーケンスを示す。

7. 2 連想メモリ装置構成法

7. 2. 1 連想メモリ装置の応用形態

連想メモリ装置のもっとも単純な応用形態は、コード変換等を行うテーブル検索である。しかし、連想メモリLSIの高機能化、大容量化の進展に伴い、単純なテーブル検索にとどまらず、種々の応用が可能となってきた。表7-1に連想メモリ装置の応用形態を示す。

単純なテーブル検索については、連想メモリLSIの代替技術としてハッシュ技法が知られている。ハードウェアによるハッシュ機構を用いた場合、一致検索、データ読出しに関しては、連想メモリLSIと同程度の速度で実行できる。一方、連想メモリ装置では、連想メモリLSIのもつ選ばれた複数個のデータを同時に書換えるという並列書込み機能が活用できるため、データの書換えを伴う場合には、より高速に実行できる。

表7-1 連想メモリ装置の応用形態

連想メモリ装置の応用形態			代替技術・備考
テ ー ブ ル 検 索	単 純 検 索	検索フィールド が単一	重複データの格納 無 → 並列書き込み機能が 有用
		重複データの格納 有	
	マスク 検 索	複数個の検索フィールドを もつ、マスク機能、部分書き 込み機能が必要不可欠となる	
	タ グ 検 索	マスク検索の一種、タグフ ィールドで検索したのち、選 択されたデータに対して、種 々の処理を行う	代替技術 → なし (従来プロセッサ+ ソフト)でシリアル 処理
ワ ー ド 並 列 演 算		大小比較、加算等の処理をワード並列 ビット直列演算で実現する。処理時間 がワード数に依存しないため、大量デ ータの一括処理に適している。	
複 合 処 理		タグ検索+ワード並列ビット直列演算 等の複合処理を行う。最も一般的な処 理形態である。	

マスク検索・タグ検索とは、複数個の検索フィールドをもち、マスクデータで検索対象となるフィールドを切換えながら逐次検索を行うものである。このとき、連想メモリLSIのもつマスク機能、並列書込み機能とともに、指定したフィールドのデータのみを書換えることができる部分書込み機能を活用する。

ワード並列ビット直列演算とは、連想メモリLSIのもつ関係検索機能を活用した「以下」／「以上」検索や加算等を行うものである。ワード並列ビット直列演算では、その処理時間がビット数にのみ依存しワード数に依存しないため、大量データの一括処理に適している。

複合処理とは、タグ検索＋ワード並列ビット直列演算等の複合処理を行うものであり、連想メモリ装置では、もっとも一般的な応用形態である。

以上整理したように、連想メモリLSIの機能を活用した種々の応用形態が考えられる。連想メモリ装置構築に際しては、このような各種の応用形態に対処可能で、かつ連想メモリLSIのもつ高速処理性能を引出す装置構成法を明らかにする必要がある。

7. 2. 2 連想メモリ装置構成法

各種の応用に柔軟に対処するためには、連想メモリLSIの検索、読出し等の動作をマイクロ命令で制御できることが望ましい。また、連想メモリLSIのもつ高速処理性能を引出すためには、連想メモリLSIの動作に不可欠なマスクデータ、検索データ等を高速に生成し、連想メモリLSIに供給する必要がある。このような観点から、マスクデータ、検索データ等を格納するレジスタファイルとマスクデータ、検索データ等を高速に生成するRALU（レジスタ付きALU）及びシフタを備え、これらを水平型マイクロ命令で制御し、各部品を並列に動作させる連想メモリ装置の構成法を提案する⁽³²⁾。

図7-1にその連想メモリ装置の構成の概要を示す。この連想メモリ装置では、ホストプロセッサはローカルコントロールユニットに必要なデータとマクロ命令を送る。ローカルコントロールユニットでは、送られてきたデータとマクロ命令からマイクロ命令列を生成し、連想メモリ装置内の各部品を制御する。連想メモリ装置で「数値」検索、加算等のワード並列ビット直列演算を実行する場合、図3-3「以下」検索の処理フローで示したと同様、マスクデータ、検索データは固定的なものを繰返し使用するか、あるいは入力データから簡単な論理演算で生成できる。このため、連想メモリ装置内にマスクデータ、検索データを格納・生成できるレジスタファイルやRALUを備えることにより、これらの

処理の高速化を図ることができる。図7-2は、図3-3に示した「以下」検索の処理フローのなかの繰返し単位を実行する動作シーケンスである。レジスタファイルに格納されているマスクデータとRALUで生成される検索データを用いて検索を繰返す場合の動作シーケンスを示しており、本構成法により、各部品が無駄なく並列に動作していることがわかる。

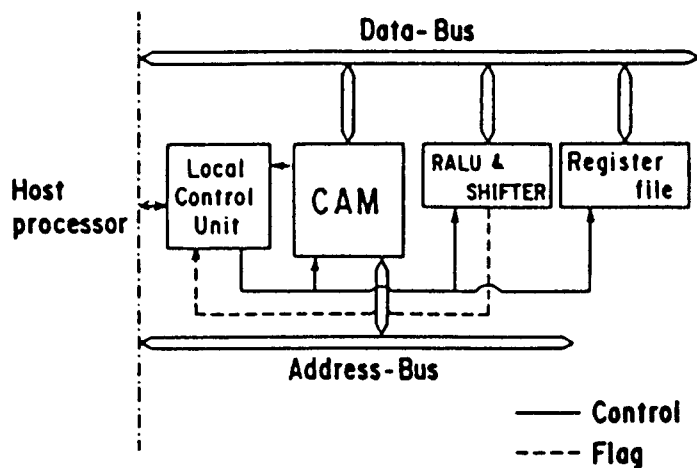


図7-1 連想メモリ装置の構成

シーケンス	連想メモリ	RALU	レジスタファイル	バス
① ↓	マスクデータ書込み	演算	読出し	レジスタファイル → 連想メモリ
② ↓	検索データ書込み	出力	---	RALU → 連想メモリ
③ ↓	検索	被演算データ入力	読出し	レジスタファイル → RALU

図7-2 動作シーケンスの一例

7. 3 Prolog マシンへの連想メモリ装置適用技術

7. 3. 1 Prolog の処理アルゴリズムと連想処理

Prolog の処理は、図7-3に示すように節 (clause) が構成する推論木を深さ優先探索 (depth-first search) する処理である。与えられたゴールの先頭の節 (?above(X,Y)) とヘッド部の構造がマッチする節 (③, ④の節) を選択し、その節のボディ部でゴール先頭の節を置換え、新たなゴールを用いて再び同様な節の選択、置換えを行って行く。ゴールの先頭の節とヘッド部とのマッチングにおいては、過去の引数の対応関係 (バインド情報) を調べ、新たな対応付けを行う (引数のユニフィケーションと呼ぶ)。引数の対応付けができない場合はバックトラックし、他の枝の節を選んで処理を続ける。このようにProlog の処理は、前向き時及びバックトラック時の節の選択 (節の起動と呼ぶ) と引数のユニフィケーションを繰り返しながら進む。

このようなProlog の処理において、節の選択とユニフィケーションに於ける引数の対応付けは、明らかに連想処理である。このようなProlog の処理における連想処理は、従来のマシン構成法の各種代替手法を用いても実現できるが、連想メモリを用いた場合には、より高速に実現できる。

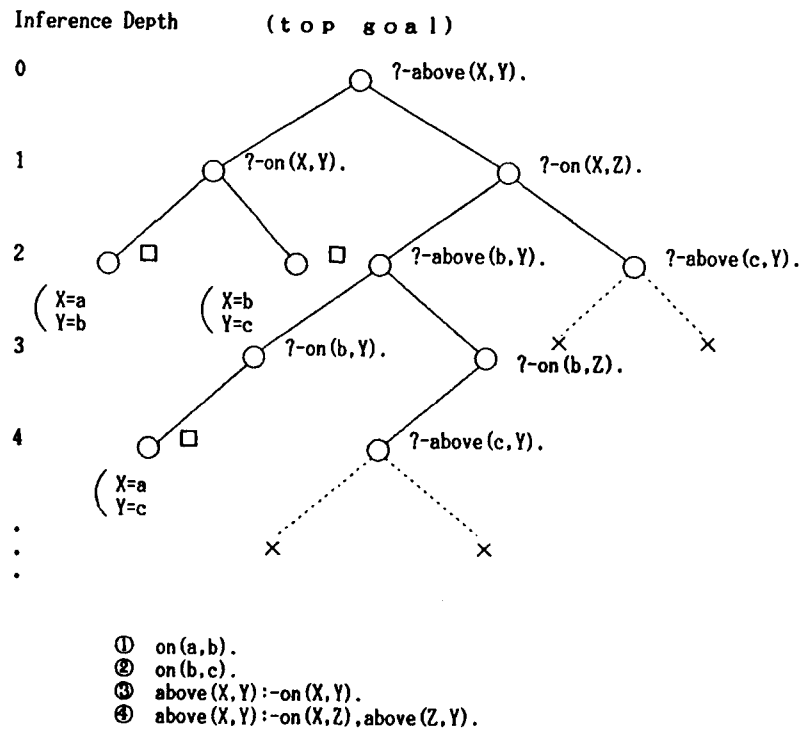


図7-3 節が構成する推論木

7. 3. 2 Prolog マシンへの連想メモリ装置適用技術

実現可能な連想メモリLSIの機能を踏まえ、連想メモリ適用の効果と従来手法の効果
を整合させたマシン構成法について考察した。すなわち、節のコントロール情報とバイン
ド情報を連想メモリ装置に格納してアクセスの高速化と抽象化を図るべく、Prolog マシン
への連想メモリ装置の適用に注目した⁽²²⁾⁽²³⁾。

連想メモリ装置を適用したProlog マシンの機能ブロック構成を図7-4に示す。本Pro
log マシンは、節の起動を行う節起動部と引数のユニフィケーションを行う引数ユニフィ
ケーション部とからなる。節起動部では、実行制御を行うコントロール情報を格納する高
機能スタックを連想メモリ装置を用いて構成し、引数ユニフィケーション部では、ユニフ
ィケーション時に必要なバインド情報を連想メモリ装置に格納する。Prolog の処理は、節
起動部と引数ユニフィケーション部との間で簡単な情報の授受を行いながら、各処理部の
動作を繰返して実現する。

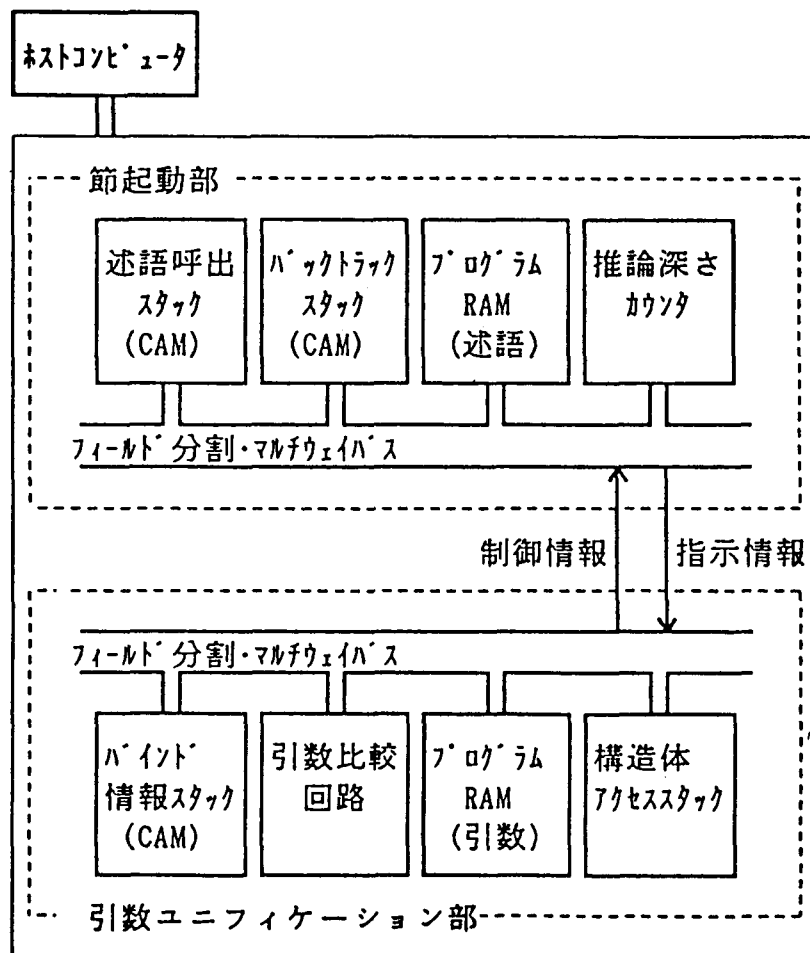


図7-4 Prolog マシンの機能ブロック構成

連想メモリ装置で構成する引数ユニフィケーション部のバインド情報スタックの構成を図7-5に示す。バインド情報スタックは、(1)引数を評価するための過去のバインド情報の繰返し検索、(2)新たなバインド情報の格納、(3)バックトラック時のバインド情報の一括消去、を実行する。バインド情報スタックを連想メモリ装置で構成することにより、通常のRAMを用いた場合に必要となるバインド情報格納時のアドレス計算やトレイルスタックのプッシュおよびトレイルスタックを用いた逐次的なバインド情報の消去が不要になり、処理の高速化が図れる。

バインド情報は、図7-5からわかるように、検索対象とならないフィールドをもつ。検索対象とならないフィールドは連想メモリに格納する必要はなく、資源節約の観点からRAMに格納するのが妥当である。このためには、連想メモリから出力されるアドレスでアクセス可能なRAMを付与すればよい。図7-1の構成にアドレスバスとデータバスに結合されたRAMを付け加えることにより、連想メモリ装置によるバインド情報スタックが効率的に構成できる。

節起動部では、述語呼出しスタックとバックトラックスタックを連想メモリ装置で構成し、節の起動にかかわるコントロール情報のアクセスを抽象化している。このため、Prologの処理に限らず、並列論理型言語におけるプロセス管理等の、より複雑な節のコントロールも容易に実現できるという利点をもつ。

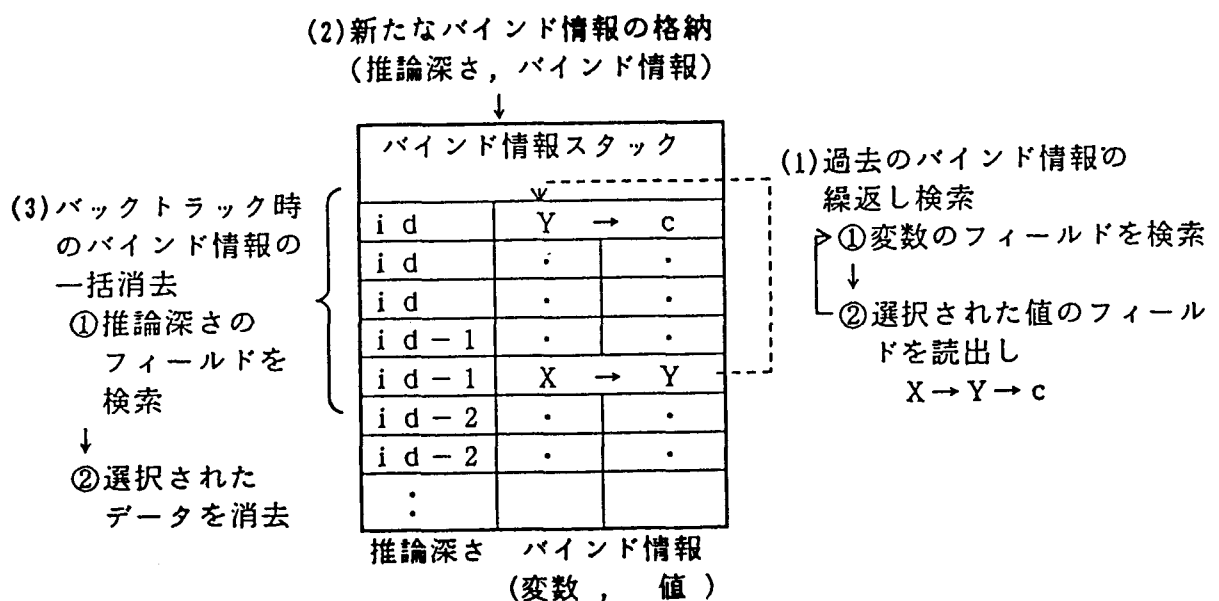


図7-5 連想メモリ装置で構成する
バインド情報スタックの概念図

7. 4 むすび

本章では、連想メモリLSIがもつ種々の機能を実現するのに適した連想メモリ装置の構成法について考察したのち、連想メモリ装置の情報処理システムへの適用例として、Prologマシンへの連想メモリ装置の組み込み手法を提案するとともに、その効果を明らかにした。以下に得られた結果を要約する。

- (1) 連想メモリ装置の一般的な応用形態を整理し、連想メモリ装置構成に対する指針を示した。
- (2) 連想メモリLSIのもつ種々の機能を実現し、連想メモリLSIの高速処理性能を引出す構成法として、連想メモリLSIアレイとレジスタファイル、RALUを備え、これらを水平型マイクロ命令で制御する連想メモリ装置構成法を提案し、「数値」検索処理を例として、各部品が並列・効率的に動作することを示した。
- (3) Prologマシンにおいて、バインド情報の格納と節のコントロール情報の格納に連想メモリ装置を適用することを提案し、具体的な構成法と動作シーケンスを明らかにした。

第8章 連想メモリLSIの装置応用

8.1 まえがき

連想メモリLSIは概念的には古くから知られているものの、実用性の観点からは新しいデバイスであり、その機能も通常のRAMと比べて複雑である。このため、連想メモリLSIの実用性を示すためには、装置構成法の提案にとどまらず、実装置の設計試作を通じて諸機能を評価することが不可欠である。このような観点から、著者らは1984年に4Kビット連想メモリLSIを用いたマイクロプログラム制御方式の大容量連想メモリ装置を試作し、各種の「数値」検索機能を実現して、連想メモリLSIの実用性を実証した⁽²⁹⁾ (30)。

本章では、連想メモリLSIの装置応用として、先に試作した大容量連想メモリ装置の評価結果および前章で述べたPrologマシンへの連想メモリ装置の適用に関する検討に基づいて、Prologマシンの具体的な装置の構成手法を考察し、その試作結果⁽²⁴⁾について述べ、さらに連想メモリLSIおよび連想メモリ装置の実用性を実証する。

8.2 4Kビット連想メモリLSIを用いたPrologマシン

8.2.1 ハードウェア構成法

本Prologマシンでは、図7-4に示すように、節起動部と引数ユニフィケーション部のそれぞれに連想メモリ装置が必要である。2つの処理部の連想メモリ装置は、開発効率、互換性を考慮して同一ハードウェア構成とし、マイクロプログラム制御でそれぞれに必要な機能を実現する方式とした。

連想メモリ装置のハードウェア構成は、各処理部に必要な機能の分析に基づき、効率的な機能実現に必要な部品を搭載する方向で決定する。必要な部品を搭載した連想メモリ装置のハードウェア構成を図8-1に示す。これは、7.3.2節で述べたように、図7-5に連想メモリLSIとアドレスで結合されたRAMを付加し、さらに、各処理部を構成する他の部分と多面レジスタでインタフェースをとる構成としたものである。

本連想メモリ装置は全部品がマイクロプログラムで制御可能であり、また、多面レジス

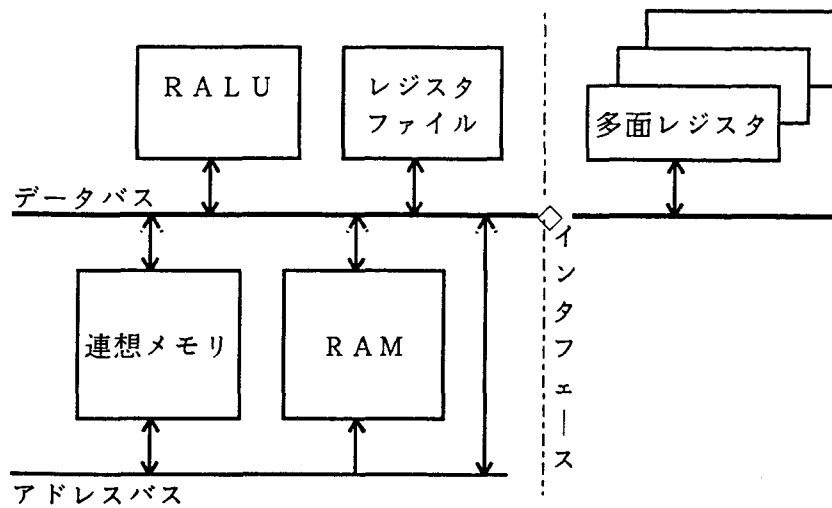


図 8 - 1 連想メモリ装置のハードウェア構成

タでインタフェースされる他の部分とは独立に動作可能である。このため、Prolog マシン以外の連想メモリ装置を用いたハードウェアアルゴリズムの実現に対しても有効な構成である。本研究とは独立に、本装置を用いてユニオン・ファインド・メモリのハードウェアアルゴリズムを実装した結果について大久保等が報告している⁽²⁸⁾。

本Prolog マシンの全体のハードウェア構成を図 8 - 2 に示す。本Prolog マシンのハードウェアは、節起動部と引数ユニフィケーション部とからなり、それぞれ同一ハードウェア構成の連想メモリ装置と各専用部、ホストマシンとのインタフェースをとる CPU とから構成される。

各専用部は、図 8 - 2 に示すように、連想メモリ装置とのインタフェースのための多面レジスタ、フラグ機能をもつ専用レジスタ、プログラム格納用のメモリおよびマイクロプログラム制御を行う制御系から構成される。専用部は、多面レジスタでインタフェースされる連想メモリ装置と並列・パイプライン動作が可能であるとともに、専用部内の各部品も並列・パイプライン動作が可能な構成とし、高速化を図っている。

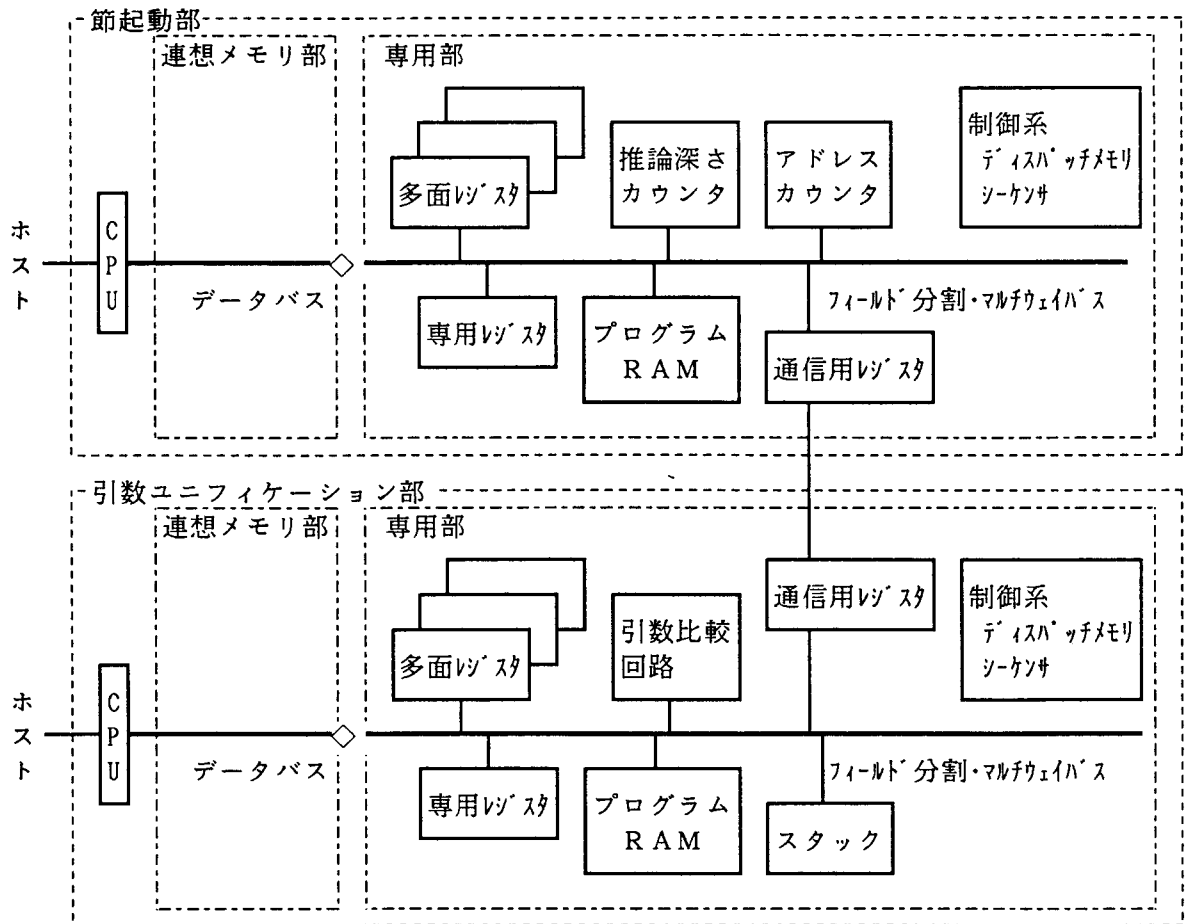
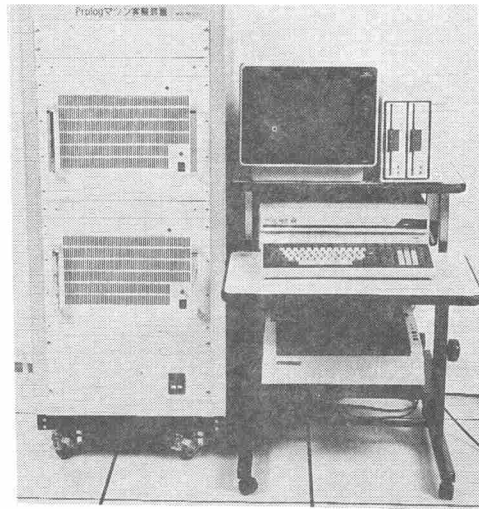


図8-2 Prolog マシンのハードウェア構成

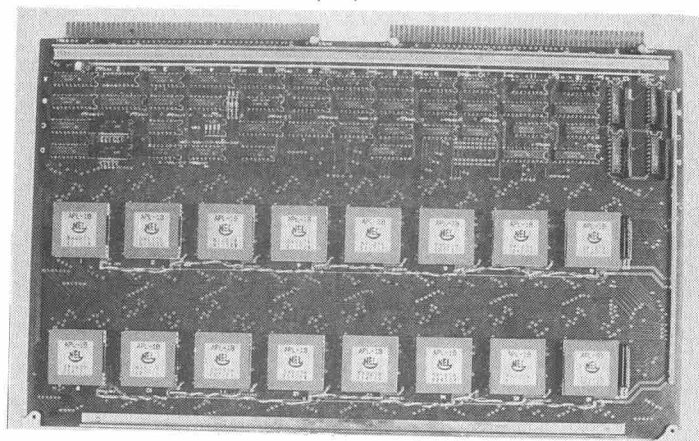
8. 2. 2 試作結果

試作したProlog マシンの写真を図8-3に、その諸元を表8-1に示す。各処理部あたり128個の4Kビット連想メモリLSIをワード数を拡張しつつ使用した。その他の部分は通常のTTL技術を用いて構成し、マシンサイクル200nsを実現した。

本Prolog マシンでは、節起動部、引数ユニフィケーション部のそれぞれが144ビットの水平型マイクロ命令で制御される。ホストマシンには、マイクロプログラムとハードウェアのデバッグのためのハードウェアモニタを搭載しており、連想メモリ、RAM、レジスタファイル、RALU等の内容を表示できる。これらの環境を用いて、節起動部、引数ユニフィケーション部のそれぞれ約1000行のマイクロインタプリタを開発し、Prolog マシンとしての正常動作を確認した。



(a)



(b)

図 8 - 3 試作したPrologマシン

(a) 全景 (b) 連想メモリ L S I 搭載ボード

表 8 - 1 試作したPrologマシンの諸元 (各処理部あたり)

① バス構成	: フィールド分割・マルチウェイ 32 ビット
② メモリ構成	: 連想メモリ 32ビット×16Kw(128チップ) RAM 32ビット×16Kw×2 マイクロプログラムメモリ 144ビット×4Kw ディスパッチメモリ 14ビット×1Kw
③ ボード構成	: B4版 13枚 連想メモリ 8枚(16チップ/枚) その他 5枚
④ 部品点数	: 約1000個
⑤ マシンサイクル	: 200ns

8. 2. 3 評価結果

ベンチマークプログラムとして図8-4に示す2種類のプログラムを用い、試作したProlongマシンにおいてバインド情報スタックを連想メモリ装置で構成した効果を評価する。図8-4に示すプログラムでは、 n 回の述語呼出しの後、 n 回のバックトラックを実行する。図8-4(a)では、述語呼出しで1回あたり m 個の引数の比較を行う。一方、図8-4(b)では、1回の述語呼出しで m 個の引数の比較とバインド情報の生成と格納を行い、1回のバックトラックで m 個のバインド情報の消去を行う。このように、2種類のプログラムの実行過程の差は、 m 個のバインド情報の生成、格納、および消去の有無である。

```

p1(a1, a2, ..., am, a) :- p2(a1, a2, ..., am, a).
p1(a1, a2, ..., am, b).
p2(a1, a2, ..., am, a) :- p3(a1, a2, ..., am, a).
p2(a1, a2, ..., am, b).
.....
.....
pn-1(a1, a2, ..., am, a) :- pn(a1, a2, ..., am, a).
pn-1(a1, a2, ..., am, b).
pn(a1, a2, ..., am, b).
?-p1(a1, a2, ..., am, a).

(a)

```

```

p1(f(X1), f(X2), ..., f(Xm), a) :- p2(X1, X2, ..., Xm, a).
p1(g(X1), g(X2), ..., g(Xm), b).
p2(f(X1), f(X2), ..., f(Xm), a) :- p3(X1, X2, ..., Xm, a).
p2(g(X1), g(X2), ..., g(Xm), b).
.....
.....
pn-1(f(X1), f(X2), ..., f(Xm), a) :- pn(X1, X2, ..., Xm, a).
pn-1(g(X1), g(X2), ..., g(Xm), b).
pn(g(X1), g(X2), ..., g(Xm), b).
?-p1(X1, X2, ..., Xm, a).

(b)

```

図8-4 評価に用いたベンチマークプログラム

試作Prolog マシンでの図8-4のプログラムの引数の個数 m による実行時間の変化を図8-5に示す。連想メモリを用いない処理系と比較するため、VAX780上のC-Prologのインタプリタ版処理系の実行時間も併せて示した。図8-4(a), (b)のプログラムの実行時間をそれぞれ $T_{a.o.m}$, $T_{v.r.r}$ とすると、 $T_{a.o.m}$, $T_{v.r.r}$ は引数の個数、 m の関数となり、処理内容および図8-5から式(8-1)で表される。

$$T_{a.o.m}(m) = C_0 + \Delta_{a.o.m} \times m$$

$$T_{v.r.r}(m) = C_0 + (\Delta_{a.o.m} + \Delta_{v.r.r}) \times m \quad (8-1)$$

ここで、 C_0 は一定値であり、 $\Delta_{a.o.m}$ は1個の引数の比較処理に要する時間、 $\Delta_{v.r.r}$ は1個のバインド情報の生成、格納、および消去に要する時間である。

連想メモリ装置をバインド情報スタックとして用いた効果を評価するため、 $\Delta_{v.r.r}$ を試作Prolog マシンと連想メモリを用いないC-Prolog 処理系とで比較する。比較に際しては、ハード処理系とソフト処理系との差異をなくすため、それぞれの処理系でのバインド情報の生成、格納、および消去に要する時間と引数の比較処理に要する時間の比 $\Delta_{v.r.r} / \Delta_{a.o.m}$

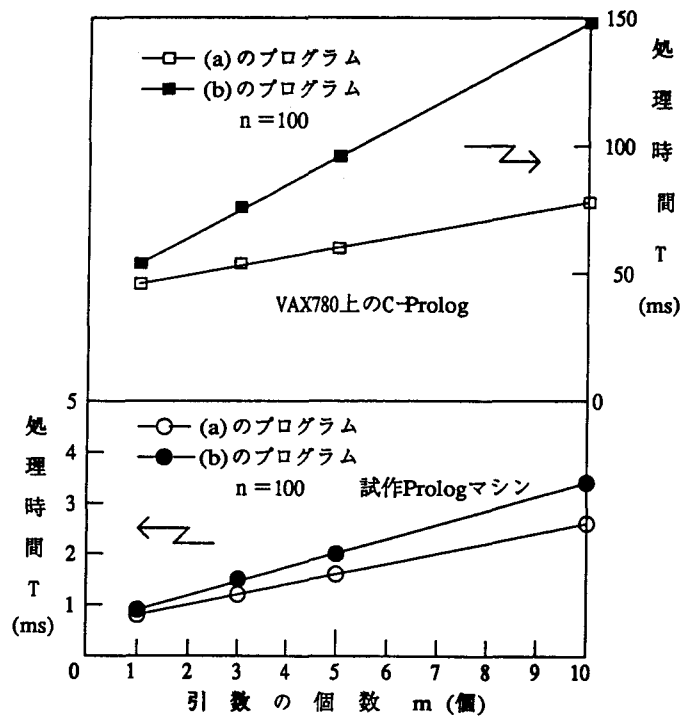


図8-5 実行時間の引数の個数 m による依存性

m を求めた。式 (8-1) より、 $\{T_{var}(m) - T_{atom}(m)\} / \Delta_{atom} = (\Delta_{var} / \Delta_{atom}) \times m$ となる。図 8-6 に図 8-5 の測定結果から求めた $\{T_{var}(m) - T_{atom}(m)\} / \Delta_{atom}$ を示す。図 8-6 の直線の傾きが各処理系の $\Delta_{var} / \Delta_{atom}$ となる。

図 8-6 に示すように、試作 Prolog マシンでは $\Delta_{var} / \Delta_{atom} = 0.4$ となり、C-Prolog では $\Delta_{var} / \Delta_{atom} = 2.0$ となる。試作 Prolog マシンで $\Delta_{var} / \Delta_{atom} < 1$ となるのは、バインド情報の生成、格納、および消去が連想メモリへの書込みおよび検索とガーベジコレクションだけによって高速に実現されるためである。一方、通常のメモリを用いた C-Prolog 処理系で $\Delta_{var} / \Delta_{atom} > 1$ となるのは、バインド情報の生成、格納、および消去に際して、アドレス計算、トレイルスタックのプッシュ・ポップ等の多くの処理が必要になるためである。このように、連想メモリ装置を用いてバインド情報スタックを構成した場合、通常のメモリを用いた場合と比較し、バインド情報の生成、格納、および消去に要する時間と引数の比較処理に要する時間の比が $1/5$ 程度に短縮され、高速処理が実現できる。

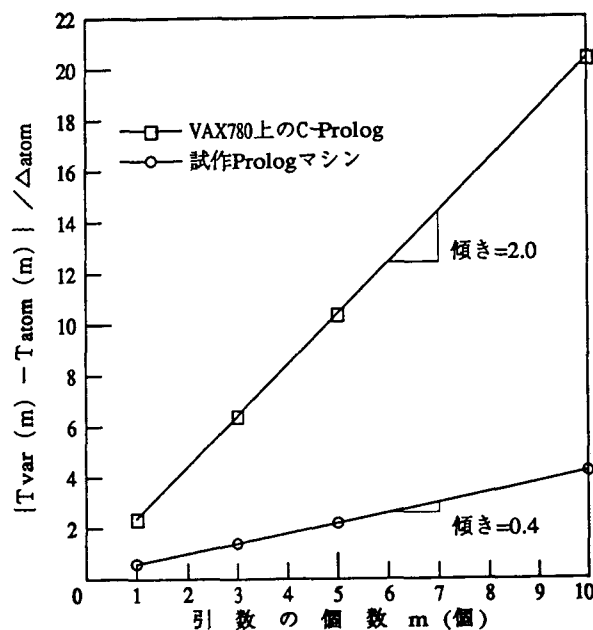


図 8-6 バックトラック処理時間の引数の個数 m による依存性

8. 3 むすび

本章では、連想メモリLSIの装置応用例として、4Kビット連想メモリLSIを用いたProlog マシンの具体的な装置構成法と試作結果を示し、Prolog マシンへの連想メモリ装置適用の効果を明らかにした。以下に得られた結果を要約する。

- (1) 提案した構成法による連想メモリ装置を実際に試作し、これを中心としたProlog マシンを実現することにより、連想メモリ装置構成法の有効性を実証した。
- (2) ベンチマークプログラムを用いて Prolog マシンへの連想メモリ装置適用の効果を実測に基づいて評価した。バインド情報スタックを連想メモリ装置で構成することにより、通常のRAMを用いた構成と比較し、バインド情報の生成、格納、および消去に要する時間と引数の比較に要する時間の比が1 / 5程度に短縮され、高速処理が実現できることを明らかにした。

第9章 連想メモリLSI開発に関する 今後の課題

9.1 まえがき

連想メモリLSIは、通常のRAMのもつ記憶機能に加え、検索機能や並列処理機能等の多くの機能をもつ。このため、その多機能性に対応して種々の構成手法が存在し、また開発に際しての課題も多い。本研究では、連想メモリLSIの基本的な構成法であるワード並列ビット並列の完全並列型で、かつスタティック型セルを用いた手法を考察してきたが、今後連想メモリLSIの一層の大容量化、高機能化を推進し、かつその実用性を向上するために残された検討課題も多い。

連想メモリLSIの実用性を向上するための最大の課題は、連想メモリLSIの競合部品であるRAMとの容量差とコスト差を低減することである。セル面積、周辺回路面積等を考慮すると、現状RAMとの容量差は、最小4:1で実現できる。コスト差については、市販の連想メモリLSIが1品種しかなく明確ではないが、1:数十と考えられる。

本章では、本研究を通じて明らかとなった連想メモリLSI開発に関する今後の課題について考察する。まず、連想メモリLSIの実用性を向上するためにその低減が不可欠な連想メモリLSIのコストについての見通しを述べる。次に、連想メモリLSIの一層の高性能化に向けた課題について考察し、今後の課題を整理するとともに、将来の大容量化の方向としての連想メモリLSIの3次元IC化手法について考察する。

9.2 連想メモリLSIのコスト見直し

一般的にLSIの総コストCostは、チップの直接的コストChip（製造・テスト・パッケージ等の費用）と開発費の1チップあたりの負担分 M/N （M：開発費，N：生涯生産個数）の和となる。

$$\text{Cost} = \text{Chip} + M/N \quad (9-1)$$

製造技術の成熟に伴い、RAM等の大量生産品と少量生産品のチップ製造にかかわるコストの差は小さくなってきている。これは、特定用途向き集積回路（ASIC:Application

Specific Integrated Circuits) 市場の飛躍的な発展からも裏付けられる。このため、連想メモリLSIとRAMとのコスト差は、チップのテスト、パッケージに要する費用と開発費の負担分の差となる。RAMの場合、大量生産品であるため、1チップあたりの開発費の負担分は、無視できる額となる。また、両者のチップのテスト及びパッケージに要する費用の差も、高々数百円程度である。一方、連想メモリLSIの1チップあたりの開発費の負担分 M/N は、生産量が小さいと予想されるため、これらに比べて無視できない額となる。すなわち、連想メモリLSIとRAMとのコスト差 $\Delta Cost$ は、式(9-2)で与えられる。

$$\Delta Cost \approx M/N \quad (9-2)$$

式(9-2)は、連想メモリLSIの生産量が増えるとRAMとのコスト差が小さくなることを意味しており、LSI一般の考え方と矛盾しない。連想メモリLSIの開発費に関しては予測しがたいが、RAM技術を適用できることから、比較的少ない費用での開発が可能であると考えられる。開発費を1億円とし、生涯生産個数を最少の商業ベースである10万個から100万個とすると、1チップあたりの開発費の負担分 M/N は、それぞれ1千円から1百円となる。一方、RAMの価格(プライス)は、最先端製品のサンプル価格で1万円程度であり、これが使用数の増加とともに低下し、もっとも多く使用される時点では、1千円前後となる。

以上の考察より、連想メモリLSIとRAMとのコスト差は、最少の商業ベースの場合、数倍であり、生産個数が増加するにしたがって、その差は小さくなることがわかる。100万個以上生産された場合は、数十%以下となる。いずれにしても、製造技術が成熟してきた今日、連想メモリLSIとRAMとのコスト差はそれほど大きなものではなく、連想メモリLSI利用によるシステム性能の向上、システム構築の容易性を考えたとき、連想メモリLSI利用の効果はきわめて大きい。したがって、今後の課題は、いかにして生涯生産個数の大きな連想メモリLSIを開発し、システム構築者の使用に供するかという点にある。

9.3 今後の課題

9.3.1 高性能化に向けた検討課題

連想メモリLSIに限らず、高性能化（大容量化、高速化）、高機能化がLSI一般の発展方向であり、これらが達成されることにより、利用個数の増大、低価格化、さらに普及という正のフィードバックが形成される。連想メモリLSIに関するこれらの課題と、課題を解決するための技術的項目を図9-1に示す。

大容量化を実現するためには、セル/チップ面積の低減が不可欠である。このためには、完全並列型だけでなくワード並列ビット直列型等の部分並列型構成の用途に応じた採用、ダイナミック型セルの採用あるいは将来的には3次元IC化等の検討課題がある。また、周辺回路も含めた機能を単純化して大容量化するというRISC（Reduced Instruction Set Computer）的アプローチも考えられる。

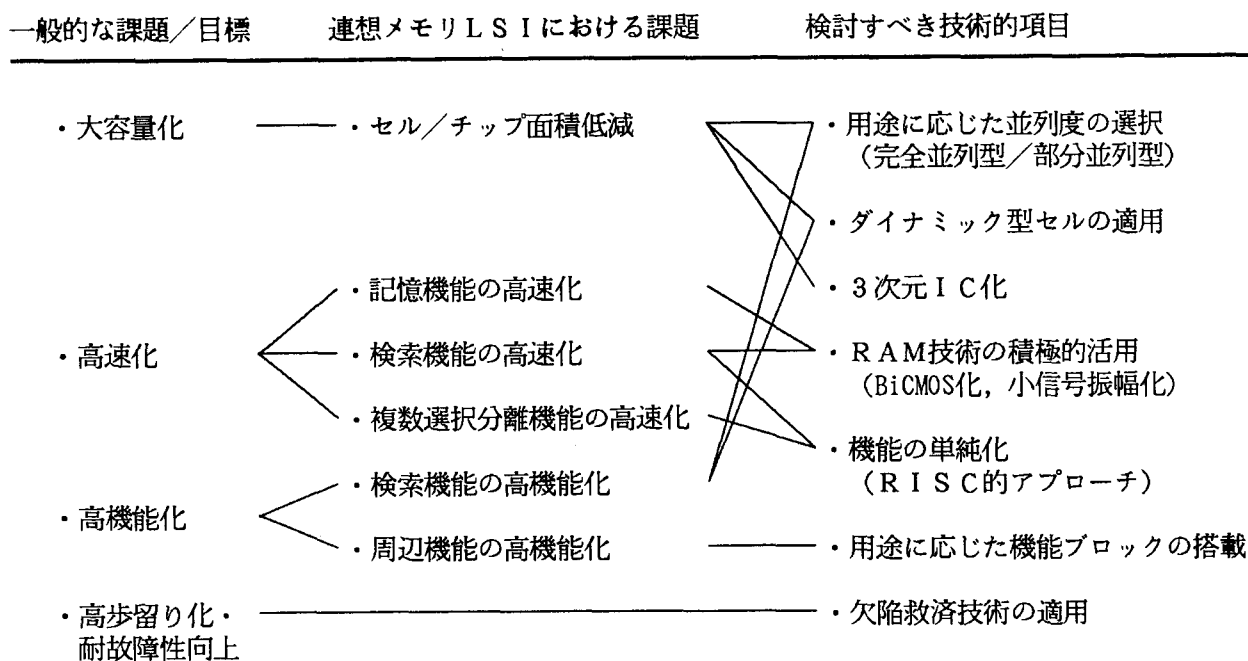


図9-1 連想メモリLSIにおける今後の検討課題

高速化を実現するためには、記憶、検索、および検索結果処理のそれぞれの機能を効率化する必要がある。記憶および検索機能の効率化には、ますます発展しつつあるRAM回路技術の積極的活用が考えられる。検索結果処理機能の効率化のためには、複数選択分離機能の効率化がもっとも重要かつ困難である。たとえば、32Kワードの複数選択分離機能を1サイクル内で実行することは、現状技術では難しい。このとき、LSIのスペックをどうするかという問題もある。機能を単純化するRISC的アプローチで高速化が図れる可能性もある。

高機能化に関しては、用途に応じた機能ブロックを搭載し、特定用途向きの連想メモリLSIを実現する方向であろう。また、用途によっては、ダイナミック型セルを用いた3値記憶が有効な場合もある。

歩留りおよび耐故障性向上には、4.5節で述べたような欠陥救済技術が必要となる。

9.3.2 連想メモリLSIの3次元IC化

連想メモリLSIは、回路レベルあるいは機能レベルで多層に分割することができ、かつ層間の情報の授受のための配線もきわめて規則的なものにできる。このため、連想メモリLSIが3次元IC化に適していることを指摘し、連想メモリLSIの3次元ICによる構成手法を考察する⁽³⁴⁾。連想メモリLSIを3次元IC化することにより、通常の2次元ICのRAMと同程度の容量を実現できる可能性がある。

図9-2に連想メモリLSIの多層分割の一例を示す。図では、連想メモリLSIを構成するセルアレイ、ワード処理系、ビット処理系を横断的に多層分割している。第1層は

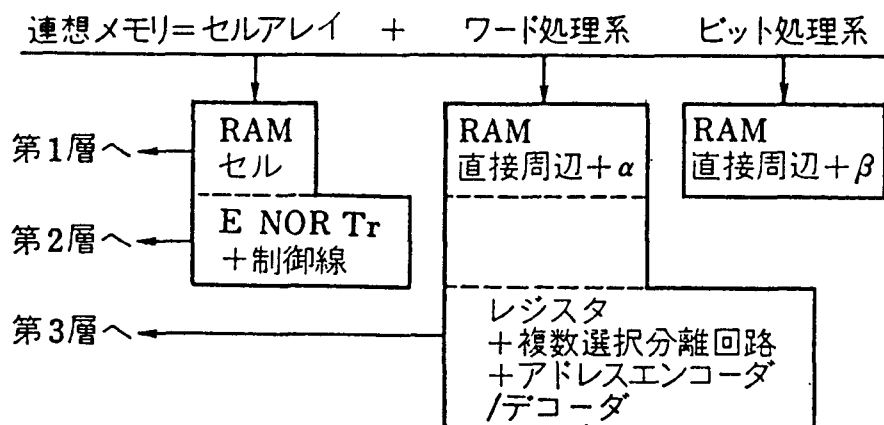


図9-2 連想メモリLSIの多層分割の一例

RAMセルおよびRAMの直接周辺回路であり、第2層は一致検出のための比較回路、第3層は検索結果を処理するための複数選択分離回路やアドレス系である。このように多層分割することにより、きわめて規則的かつ少数の配線で各層間の情報の授受が可能となる。

図9-3に3次元連想メモリLSIの構成概念を示す。図に示すように、連想メモリLSIは、第1層と第2層間で2本/セル、第2層と第3層間で1本/ワードの層間配線のみで、多層に分割することができ、通常のRAMと同程度の容量が実現できる。

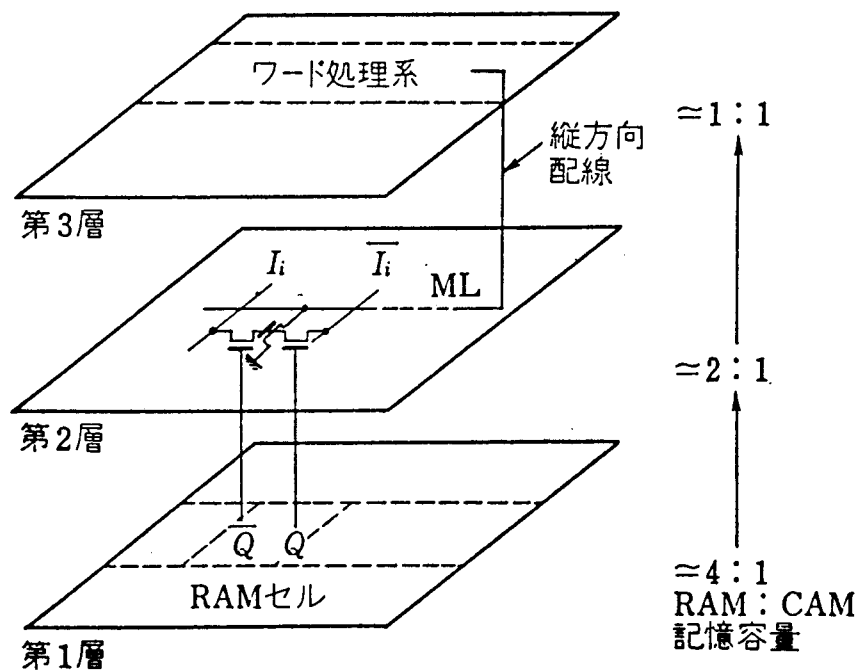


図9-3 3次元連想メモリLSIの構成概念

9. 4 むすび

本章では、本研究を通じて明らかとなった、連想メモリLSI開発に関する今後の課題について考察した。以下に得られた結果を要約する。

- (1) 連想メモリLSIの実用性を向上するために、その低減が不可欠な連想メモリLSIのコストについて考察し、製造技術の成熟に伴い、連想メモリLSIの競合部品であるRAMとのコスト差は小さくなってきており、生涯生産個数が10万个程度とすると、その差は高々数倍程度となる見通しを得た。したがって、今後の課題は、いかにして生涯生産個数の大きな連想メモリLSIを開発し、システム構築者の使用に供するかという点にある。
- (2) 連想メモリLSIの一層の大容量化、高速化等を進めるための課題を整理し、今後の検討指針を明らかにした。今後は、用途に応じた並列度の選択とダイナミック型セルの適用検討及びワード数が増加した場合の複数選択分離機能の構成手法が重要である。
- (3) 連想メモリLSIが3次元IC化に適していることを指摘してその3次元IC化の一手法を提案し、連想メモリLSI大容量化の将来的な方向を示した。

第 10 章 結論

本論文は、実用システムとして必要な諸機能を統合化した連想メモリLSIの構成法を考察し、さらに連想メモリ装置への組み込み技術に関する検討結果に基づいて実際に試作した連想メモリ装置の評価結果についてまとめたものである。

本研究では、実用的な連想メモリLSIの構成法を確立するための2つの基本的な機能である検索機能とプロセッサ機能の構成手法を考察し、それらの実現技術を明らかにした。検索機能としては、基本的な機能である一致検索機能と、より高機能なハミング距離によるあいまい検索機能等の関係検索機能、および加算・乗算等の並列処理機能を実現する構成手法を構築した。LSIとして備えるべきプロセッサ機能としては、単独の連想メモリLSIとして備えるべきプロセッサ機能の構成手法と大容量の連想メモリ装置の構成に不可欠なチップアレイを実現するための構成手法を構築した。さらに、これらの構成手法を統合化して実際に連想メモリLSIを設計試作し、その有効性を実証した。また、具体的な応用技術の可能性を明らかにするために、大容量の連想メモリ装置の設計手法と連想メモリ装置のPrologマシンへの適用技術を考察し、実際に連想メモリ装置を用いたPrologマシンを試作することにより、連想メモリ装置の有用性を実証した。

以下に本研究で得られた主要な結果を要約する。

- (1) 一致検索機能をもつ連想メモリセル回路の構成手法に関し、従来のCMOSスタティック型連想メモリセル回路のもつ並列書込みが高速にできないという欠点を解消する新たなCMOS連想メモリセル回路を提案し、その定量的な設計指針を与えるとともに、高密度化、高速化を可能とする連想メモリセルアレイの構成手法を明らかにした。(2章)
- (2) 関係検索機能、並列処理機能をもつ連想メモリセルアレイの構成法に関し、関係検索や加算・乗算等の並列処理機能を実現する具体的な構成手法と動作シーケンスを考察し、このなかで「ハミング距離」によるあいまい検索機能をもつ高機能セル回路を構築した。さらに、一致検索機能をもつセル回路による構成法と高機能セル回路による構成法を比較し、必要ハードウェア量、実現性能、柔軟性の観点から、一致検索機能をもつセル回路による構成法が現実的な解であることを示した。(3章)

- (3) 連想メモリLSIのプロセッサ機能の構成に関しては、大容量化、高速化、使い易さ向上に適した構成手法を提案し、それらの有効性と設計指針を明らかにした。このなかで、検索結果処理の中心をなす複数選択分離機能の高スループット化を可能とするパイプライン構成手法と高速化を可能とするブロック化構成手法を提案し、ワード数に応じた設計指針を与えた。さらに、不要ワードを自己管理するガーベージコレクション機能とその構成手法を考察し、連想メモリLSIの使い易さを大きく向上した。(4章)
- (4) 多量・多ビット幅のデータを処理するための連想メモリLSIのチップアレイ構成法に関しては、ビット数およびワード数を効率よく拡張するための構成手法を考察し、それらを実現するために連想メモリLSIに付与すべき機能を構築した。このなかで、チップをビット方向に並べてビット数を拡張する手法とチップ内のワード構成を変化させてビット数を拡張する手法を考察し、使い易さと動作速度の観点からは、ワード構成を変化させる手法が優れていることを示した。さらに、ワード数を拡張した場合に、外部回路なしに全ワードにわたる複数選択分離機能を効率的に実行できる構成手法を明らかにした。(5章)
- (5) 連想メモリLSI構成法に関する検討結果に基づいて設計試作した4Kビットと20Kビットの連想メモリLSIの評価結果を示し、連想メモリLSIの構成法の有効性を示した。(6章)
- (6) 連想メモリLSIの装置構成法に関し、連想メモリLSIのもつ種々の機能を装置レベルで実現するとともに、連想メモリLSIのもつ高速処理性能を引出すことができることを示し、さらに、連想メモリ装置の情報処理システムへの一つの実用として、Prologマシンへの連想メモリ装置の適用について考察した。(7章)
- (7) 連想メモリLSIの一つの装置応用として、4Kビットの連想メモリLSIを用いたPrologマシンの具体的な装置構成法とその試作結果を示し、Prologマシンへの連想メモリ装置適用の効果を明らかにして、連想メモリLSIおよび連想メモリ装置の実用性を実証した。(8章)
- (8) 本研究を通じて明らかとなった連想メモリLSI開発に関する今後の課題について考察した。このなかで、連想メモリLSIのコストを低減し、競合部品であるRAMとのコスト差を小さくするためには、いかにして生涯生産個数を上げるかが課題であることを示した。また、連想メモリLSIの一層の大容量化、高速化

を進めるためには、用途に応じた並列度の選択、ダイナミック型セルの適用、およびワード数が増加した場合の複数選択分離機能の構成法がとくに重要であることを示した。さらに、連想メモリLSI大容量化の将来的な方向として、連想メモリLSIの3次元IC化を提案した。(9章)

本研究により、実用的な連想メモリLSIの実現性を明らかにし、さらに連想メモリLSIを用いた装置構成法を示した。また、本研究の副次的成果として、実用的な20Kビットの連想メモリLSIを産業界に提供し、これを用いる新しい情報通信処理システムの構成法を示した。今後は、連想メモリLSIのより一層の高性能化をめざして、上記(8)の課題解決に向けた研究および実用的な連想メモリLSIを用いる新しい情報通信処理システムの構築に向けた研究が積極的に進められるべきである。

謝 辞

本論文をまとめるにあたり、懇切なる御指導、御鞭達を賜りました大阪大学工学部情報システム工学科白川功教授、寺田浩詔教授および電子工学科児玉慎三教授、西原浩教授に謹んで感謝の意を表します。

本研究を進めるにあたり終始懇切なる御指導、御鞭達をいただき、本論文をまとめることを勧めていただいたNTTエレクトロニクステクノロジー株式会社企画室浅岡敬史室長（元日本電信電話公社記憶回路研究室長）、NTT LSI研究所回路技術研究部家田信明部長（元記憶回路研究室長）に心から感謝申し上げます。また、NTT LSI研究所設計システム研究部酒井保良部長には、本論文をまとめることを勧めていただくとともに、多くの御教示と御示唆をいただきました。ここに、深く感謝申し上げます。

本研究は1979年から1982年にわたって日本電信電話公社武蔵野電気通信研究所集積記憶研究部記憶回路研究室で、1982年から1983年にわたって同所集積回路研究部記憶回路研究室で、1983年から1985年にわたって厚木電気通信研究所集積回路研究部記憶回路研究室で、1985年から1987年にわたってNTT厚木電気通信研究所集積回路研究部集積応用研究室にて行ったものであり、本研究の機会を与えていただき、御指導御鞭達をいただいた大原省爾元集積記憶研究部長、向井久和元集積回路研究部長、鈴木敏正元集積回路研究部長、NTT関連企業本部須藤常太担当部長（元集積回路研究部長）、NTT関連企業本部中島孝利担当部長（元集積応用研究室長）に感謝致します。

本研究の遂行にあたり、記憶回路研究室および集積応用研究室において直接御指導いただいたNTT関連企業本部二階堂忠信担当部長、山田慎一郎担当部長、宮原則男担当部長、木村隆担当部長、NTT LSI研究所回路技術研究部メモリ回路研究グループ山田順三グループリーダーに心から御礼申し上げます。本研究におけるPrologマシンへの連想メモリ装置適用技術に関しては、NTT LSI研究所設計システム研究部論理設計システム研究グループ長沼次郎研究主任との共同の研究によるものである。また、本研究における試作した連想メモリLSIの評価については、記憶回路研究室においてNTT関連企業本部石川浩二担当課長、浜口重建担当課長、丹野雅明担当課長の御協力をいただき、連想メモリLSIの試作については、製造プロセス担当研究室においてNTT関連企業本部村本進

担当部長，江原孝平担当課長，N T T L S I 研究所プロセス自動化研究部荒井英輔部長をはじめとした皆様の御協力をいただきました。皆様に心から感謝致します。

本研究を進めるにあたり有益な御討論と御教示をいただいたN T T 関連企業本部真野恒夫担当部長，N T T L S I 研究所設計システム研究部レイアウト設計システム研究グループ武谷健グループリーダーをはじめとした記憶回路研究室および集積応用研究室の皆様に深謝致します。また，日ごろ有益な御助言と励ましをいただくN T T L S I 研究所設計システム研究部L S I 構成方式研究グループ武田和光グループリーダーをはじめとしたL S I 構成方式研究グループの皆様に感謝致します。

本研究に関する発表文献

(*印:関連研究)

I. 論文 (学会論文誌)

- (1) T. Nikaido, T. Ogura, S. Hamaguchi, and S. Muramoto: "A 1K bit Associative Memory LSI", Jpn. J. Appl. Phys., Vol. 22, Supplement 22-1, pp. 51-54, (Jan., 1983).
- (2) T. Ogura, S. Yamada, and T. Nikaido: "A 4-kbit associative memory LSI", IEEE J. Solid-State Circuits, Vol. SC-20, No. 6, pp. 1277-1282, (Dec., 1985).
- (3) J. Naganuma, T. Ogura, S. Yamada, and T. Kimura: "High-Speed CAM Based Architecture for a Prolog Machine (ASCA)", IEEE Trans. Comput., Vol. 37, No. 11, pp. 1375-1383, (Nov., 1988).
- (4) T. Ogura, J. Yamada, S. Yamada, and M. Tan-no: "A 20Kb CMOS Associative Memory LSI for Artificial Intelligence Machines", IEEE J. Solid-State Circuits, Vol. SC-24, No. 4, pp. 1014-1020, (Aug., 1989).
- (5) 長沼次郎, 小倉武: "連想メモリを用いたPrologマシンの実現とその評価", 電子情報通信学会論文誌, D-I, Vol. J73-D-I, No. 11, pp. 856-863, (Nov., 1990).

II. 論文 (査読付き国際会議)

- (1) T. Nikaido, T. Ogura, S. Hamaguchi, and S. Muramoto: "A 1K bit Associative Memory LSI", Dig. Tech. Papers 1982 Int'l Conf. on Solid State Devices, pp. 13-14, (1982).
- (2) T. Ogura, S. Yamada, and J. Yamada: "A 20Kb CMOS Associative Memory LSI for Artificial Intelligence Machines", Proc. IEEE Int'l Conf. on Comput. Design, pp. 574-577, (Oct., 1986).
- (3) J. Naganuma and T. Ogura: "An Associative Processor for Logic Programming Languages", Hawaii Int'l Conf. on System Sciences, (Jan., 1991), 発表予定.

Ⅲ. 論文 (査読付き国内会議)

- (1)長沼次郎, 小倉武, 山田慎一郎, 木村隆:“連想メモリを用いたPrologマシン(ASCA)のアーキテクチャ”, Proc. The Logic Programming Conference'86(ICOT), (1986).

Ⅳ. 解説論文 (学会誌)

- (1)小倉武, 山田慎一郎:“連想メモリ”, 情報処理学会誌, Vol. 27, No. 6, pp. 593-600, (June, 1986).
- (2)小倉武, 山田慎一郎:“連想メモリLSIの現状と今後”, 電子通信学会誌 技術展望 B, Vol. 69, No. 7, pp. 745-751, (July, 1986).
- * (3)山田順三, 小倉武:“機能メモリ”, 電子情報通信学会誌, Vol. 73, No. 4, pp. 392-397, (Apr., 1990).

Ⅴ. 論文 (研究会等)

- (1)小倉武, 二階堂忠信, 宮原則男:“大規模連想メモリLSI”, 電子通信学会技術研究報告, SSD80-56, pp. 31-38, (1980).
- (2)小倉武, 二階堂忠信, 宮原則男:“1 Kビット連想メモリLSI”, 電子通信学会技術研究報告, EC80-44, pp. 13-21, (1980).
- (3)小倉武, 山田慎一郎, 丹野雅明, 石川浩二:“4 Kb CMOS連想メモリLSI”, 電子通信学会技術研究報告, SSD83-78, pp. 45-52, (1983).
- (4)山田慎一郎, 小倉武:“連想メモリLSIの大容量・高機能化技術”, 電子通信学会技術研究報告, EC84-54, pp. 41-52, (1985).
- (5)小倉武, 山田慎一郎, 長沼次郎:“大容量連想メモリLSIの構成とその応用手法”, 電子通信学会技術研究報告, CAS84-192, pp. 17-24, (1985).
- (6)小倉武:“連想メモリとその三次元回路素子化”, 新機能素子研究開発協会三次元回路素子技術動向調査委員会講演. (昭和59年度新機能素子に関する技術動向調査報告書, pp. 34-45.)
- (7)小倉武, 山田慎一郎, 山田順三, 長沼次郎, 丹野雅明:“20Kb CAM (Content Addressable Memory) LSI”, 電子通信学会技術研究報告, CPSY87-33, pp. 31-37, (1988).
- (8)長沼次郎, 小倉武, 山田慎一郎:“連想メモリを用いたPrologマシンの構成と処理アル

- ゴリズム”, 情報処理学会研究報告, 記号処理32-3, pp.1-8, (June, 1985).
- (9)長沼次郎, 小倉武, 山田慎一郎, 木村隆:”連想メモリを用いたPrologマシン (A S C A) ”, 電子通信学会技術研究報告, CPSY86-52, pp.1-12, (Jan., 1987).
- * (10)小倉武:”デバイス技術の発展/限界と並列マシンアーキテクチャ”, ICOT-WG Workshop on Parallel Inference Machines and Multi-PSI Systems. (ICOT研究速報 TM-0399)
- * (11)宮保憲治, 小菅康晴, 小倉武, 三浦章:”高速パケット・回線統合交換方式のトラヒック特性”, 電子通信学会技術研究報告, SE85-131, pp.31-36, (1985).
- * (12)長沼次郎, 小倉武:”超(OR)並列推論のための基本アーキテクチャと負荷分散アルゴリズム”, ICOT PIM ワークショップ'89, (Oct., 1989).

VI. 論文 (講演会)

- (1)小倉武, 二階堂忠信:”多機能連想メモリ L S I の検討”, 昭和55年度電子通信学会総合全国大会, 330, (1980).
- (2)二階堂忠信, 小倉武:”大容量連想メモリ L S I 構成法の検討”, 昭和55年度電子通信学会総合全国大会, 329, (1980).
- (3)小倉武, 二階堂忠信:”アドレス管理を必要としない連想メモリ”, 昭和56年度電子通信学会総合全国大会, 343, (1981).
- (4)二階堂忠信, 小倉武, 江原孝平:”あいまい性を有する1Kビット連想メモリの試作”, 昭和56年度電子通信学会総合全国大会, 344, (1981).
- (5)小倉武, 二階堂忠信, 宮原則男:”連想メモリ高機能化の検討”, 昭和56年度電子通信学会半導体・材料部門全国大会, 73, (1981).
- (6)二階堂忠信, 小倉武, 宮原則男:”連想メモリの出力形式”, 昭和56年度電子通信学会半導体・材料部門全国大会, 74, (1981).
- (7)小倉武, 二階堂忠信:”ソーティングメモリ L S I の検討”, 昭和57年度電子通信学会総合全国大会, 377, (1982).
- (8)小倉武, 山田慎一郎, 二階堂忠信:”4KビットCMOS連想メモリ L S I の設計”, 昭和58年度電子通信学会総合全国大会, 578, (1983).
- (9)長沼次郎, 小倉武:”連想メモリセルの安定読出し条件”, 昭和58年度電子通信学会総合全国大会, 577, (1983).

- (10)小倉武, 山田慎一郎, 丹野雅明, 石川浩二:"CMOS 4 Kビット連想メモリLSIの試作・評価", 昭和58年度電子通信学会半導体・材料部門全国大会, 169, (1983).
- (11)小倉武, 山田慎一郎:"4 Kb連想メモリを用いた大容量システムの構成", 情報処理学会第28回全国大会, 5F-11, (1984).
- (12)小倉武, 山田慎一郎:"4 Kビット連想メモリを用いた大容量システムの構成", 昭和59年度電子通信学会総合全国大会, 1755, (1984).
- (13)小倉武, 山田慎一郎, 山田順三:"大容量連想メモリLSIの一構成法", 昭和60年度電子通信学会総合全国大会, 547, (1985).
- (14)小倉武, 山田慎一郎, 山田順三:"連想メモリLSI高速化の一手法", 昭和60年度電子通信学会半導体・材料部門全国大会, 213, (1985).
- (15)小倉武, 山田慎一郎, 山田順三:"20Kb CMOS 連想メモリLSI", 昭和61年度電子通信学会総合全国大会, 477, (1986).
- (16)長沼次郎, 小倉武:"連想メモリをもつプロセッサの一構成法", 昭和58年度電子通信学会半導体・材料部門全国大会, 168, (1983).
- (17)長沼次郎, 小倉武, 山田慎一郎:"連想メモリを用いたPrologマシンの構成法", 情報処理学会第28回全国大会, 5F-10, (1984).
- (18)長沼次郎, 小倉武, 山田慎一郎:"連想メモリを用いたPrologマシンの詳細構成と性能予測", 情報処理学会第30回全国大会, 7C-2, (1984).
- (19)長沼次郎, 小倉武, 山田慎一郎:"連想メモリを用いたPrologマシンのハードウェア構成", 情報処理学会第31回全国大会, 2C-1, (1985).
- (20)長沼次郎, 小倉武, 山田慎一郎:"連想メモリを用いたPrologマシンとそのファームウェアインタプリタ", 情報処理学会第32回全国大会, 3Q-2, (1986).
- * (21)長沼次郎, 小倉武, 木村隆:"連想メモリを用いた並列推論マシンの検討", 情報処理学会第33回全国大会, 4B-6, (1986).
- * (22)長沼次郎, 小倉武, 木村隆:"連想メモリを用いた並列推論マシンの構成と処理アルゴリズム", 情報処理学会第34回全国大会, 7P-1, (1987).
- * (23)長沼次郎, 小倉武, 木村隆:"連想メモリを用いた超並列推論マシンの基本検討", 情報処理学会第35回全国大会, 3C-6, (1987).
- * (24)長沼次郎, 小倉武:"連想メモリを用いた超並列推論マシンの負荷分散アルゴリズムの評価", 情報処理学会第36回全国大会, 2C-8, (1988).

Ⅶ. 登録済特許

- (1)小倉武, 二階堂忠信:”連想メモリ装置”, 特許第1320026号.
- (2)小倉武, 二階堂忠信:”半導体連想メモリ回路”, 特許第1320027号.
- (3)小倉武, 二階堂忠信:”連想メモリ装置”, 特許第1320029号.
- (4)二階堂忠信, 小倉武:”連想メモリ装置”, 特許第1320030号.
- (5)二階堂忠信, 小倉武:”連想メモリ装置”, 特許第1320031号.
- (6)小倉武, 二階堂忠信, 武谷健:”連想メモリ装置”, 特許第1320034号.
- (7)小倉武, 二階堂忠信, 宮原則男, 雨宮真人, 長谷川隆三:”連想メモリ装置”, 特許第1363691号.
- (8)二階堂忠信, 小倉武, 宮原則男:”連想メモリ回路”, 特許第1398848号.
- (9)小倉武, 宮原則男:”メモリ回路”, 特許第1409030号.
- (10)小倉武, 二階堂忠信, 宮原則男, 長谷川, 三上:”連想メモリ装置”, 特許第1436650号.
- * (11)小倉武, 二階堂忠信:”メモリ装置”, 特許第1469362号.

参 考 文 献

- (1) A. E. Slade and H. O. McMahon: "A cryotron catalog memory system", Proc. EJCC, pp. 115-120, (Dec., 1956).
- (2) G. Estrin and R. H. Fuller: "Some Applications for Content Addressable Memory", Proc. FJCC, pp. 495-508, (Nov., 1963).
- (3) B. T. McKeever: "Associative Memory Structure", Proc. FJCC, pp. 371-388, (1965).
- (4) 山口徹郎: "最近の連想記憶装置について", 電気試験所彙報, Vol. 30, No. 12, pp. 969-991, (Dec., 1966).
- (5) 飯塚肇: "論理メモリ", 情報処理学会誌, Vol. 16, No. 4, pp. 275-285, (Apr., 1975).
- (6) S. S. Yau and H. S. Fung: "Associative Processor Architecture-A Survey", Computing Surveys, Vol. 9, No. 1, pp. 3-27, (Mar., 1977).
- (7) R. Igarashi, T. Kurosawa, and T. Yaita: "A 150-Nanosecond Associative Memory Using Integrated MOS Transistors", 1966 ISSCC Dig. Tech. Papers, pp. 104-105, (Feb., 1966).
- (8) 向井久和, 菅原良昌: "集積化連想メモリ回路の設計", 昭和44年電気四学会連合大会, 2199, (1969).
- (9) J. T. Koo: "Integrated Circuit Content Addressable Memories", 1970 ISSCC Dig. Tech. Papers, pp. 72-73, (Feb., 1970).
- (10) L. D. Wald: "An Associative Memory using Large-Scale Integration", NAECON'70 Record, pp. 277-281, (1970).
- (11) J. L. Mundy, J. F. Burgess, R. E. Joynson, and C. A. Neugebauer: "Low-Cost Associative Memory", 1972 ISSCC Dig. Tech. Papers, pp. 58-59, (Feb., 1972).
- (12) R. M. Lea: "Low-Cost High-Speed Associative Memory", IEEE J. Solid-State Circuits (Coresp.), Vol. SC-10, No. 3, pp. 179-181, (June, 1975).
- (13) R. M. Lea: "Micro-APP: a building block for low-cost high-speed associative parallel processing", The Radio and Electronic Engineer, Vol. 47, No. 3, pp. 91-99, (Mar., 1977).
- (14) C. C. Foster: "Determination of Priority in Associative Memories", IEEE Trans.

- Comput. (Short Notes), Vol. C-17, pp. 788-789, (Aug., 1968).
- (15)小倉武, 二階堂忠信, 宮原則男:"大規模連想メモリLSI", 電子通信学会技術研究報告, SSD80-56, pp. 31-38, (1980).
- (16)T. Nikaido, T. Ogura, S. Hamaguchi, and S. Muramoto:"A 1Kbit Associative Memory LSI", Jpn. J. Appl. Phys., Vol. 22, pp. 51-54, (1983).
- (17)小倉武, 山田慎一郎, 二階堂忠信:"4 Kビット CMOS連想メモリLSIの設計", 昭和58年度電子通信学会総合全国大会, 578, (1983).
- (18)小倉武, 山田慎一郎, 丹野雅明, 石川浩二:"4 Kb CMOS連想メモリLSI", 電子通信学会技術研究報告, SSD83-78, pp. 45-52, (1983).
- (19)T. Ogura, S. Yamada, and T. Nikaido:"A 4-kbit associative memory LSI", IEEE J. Solid-State Circuits, Vol. SC-20, No. 6, pp. 1277-1282, (Dec., 1985).
- (20)鈴木敬, 橋昌良, 佐藤政生:"連想メモリによる図形処理問題の解法", 電子通信学会技術研究報告, CAS84-117, pp. 13-20, (1984).
- (21)K. Suzuki, T. Ohtsuki, and M. Sato:"A Gridless Router : Software and Hardware Implementations", Proc. IFIP Int'l Conf. VLSI'87, (Aug., 1987).
- (22)長沼次郎, 小倉武, 山田慎一郎:"連想メモリを用いたPrologマシンの詳細構成と性能予測", 情報処理学会第30回全国大会, 7C-2, (Mar., 1985).
- (23)J. Naganuma, T. Ogura, S. Yamada, and T. Kimura:"High-Speed CAM Based Architecture for a Prolog Machine (ASCA)", IEEE Trans. Comput., Vol. 37, No. 11, pp. 1375-1383, (Nov., 1988).
- (24)長沼次郎, 小倉武:"連想メモリを用いたPrologマシンの実現とその評価", 電子情報通信学会論文誌, D-I, Vol. J73-D-I, No. 11, pp. 856-863, (Nov., 1990).
- (25)樋口哲也, 古谷立美, 国分明男, 楠本博之, 半田剣一:"並列連想記憶を用いた意味ネットワークマシン", 電子通信学会技術研究報告, EC85-55, pp. 9-20, (1985).
- (26)T. Higuchi, T. Furuya, H. Kusumoto, K. Handa, and A. Kokubu:"The Prototype of a Semantic Network Machine IXM", Proc. Parallel Processing, (1989).
- (27)安浦寛人, 大久保雅且, 矢島脩三:"論理型言語の単一化操作のためのハードウェアアルゴリズム", 電子通信学会技術研究報告, EC84-67, pp. 9-20, (1985).
- (28)大久保雅且, 長沼次郎:"連想メモリを用いた単一化のASCA上での実現と評価", 情報処理学会第33回全国大会, 4B-8, (Oct., 1986).

- (29)小倉武, 山田慎一郎, 長沼次郎:"大容量連想メモリLSIの構成とその応用手法", 電子通信学会技術研究報告, CAS84-192, pp.17-24, (1985).
- (30)宮保憲治, 小菅康晴, 小倉武, 三浦章:"高速パケット・回線統合交換方式のトラヒック特性", 電子通信学会技術研究報告, SE85-131, pp.31-36, (1985).
- (31)H. Kadota, J. Miyake, Y. Nishimichi, H. Kudoh, and K. Kagawa:"An 8-kbit content-addressable and reentrant memory", IEEE J. Solid-State Circuits, Vol. SC-20, No. 5, pp. 951-963, (Oct., 1985).
- (32)T. Ogura, S. Yamada, and J. Yamada:"A 20Kb CMOS Associative Memory LSI for Artificial Intelligence Machines", Proc. ICCD' 86, pp. 574-577, (Oct., 1986).
- (33)T. Ogura, J. Yamada, S. Yamada, and M. Tan-no:"A 20Kb CMOS Associative Memory LSI for Artificial Intelligence Machines", IEEE J. Solid-State Circuits, Vol. SC-24, No. 4, pp. 1014-1020, (Aug., 1989).
- (34)大附辰夫:"システムから見た三次元回路素子", 第4回新機能素子技術シンポジウム予稿集, pp. 205-226, (1985).
- (35)H. Yamada, Y. Murata, T. Maeda, R. Ikeda, K. Motohashi, and K. Takahashi:"Real-time String Search Engine LSI for 800-Mbit/sec LANs", Proc. CICC, pp. 21.6.1-21.6.4, (1988).
- (36)M. Motomura, J. Toyoura, K. Hirata, H. Ooka, H. Yamada, and T. Enomoto:"A 1.2M-Transistor 33Mhz 20-bit Dictionary Search Processor for a Machine Translation System", 1990 ISSCC Dig. Tech. Papers, pp. (Feb., 1990).
- (37)I. Okabayashi, H. Kotani, and H. Kadota:"A Proposed Structure of 4Mbit Content-Addressable and Sorting Memory", Proc. VLSI' 90 Symp., (1990).
- (38)小倉武, 宮原則男:"メモリ回路", 特許第1409030号, (1982 出願).
- (39)小倉武, 二階堂忠信:"メモリ回路", 特願昭57-4134号, (1982 出願).
- (40)柴田信太郎, 山田順三:"フラグビット用CMOS連想メモリセル", 電子情報通信学会春季全国大会(1989年), C-349.
- (41)長沼次郎, 小倉武:"連想メモリセルの安定読出し条件", 昭和58年度電子通信学会総合全国大会, 577, (1983).
- (42)小倉武, 山田慎一郎, 山田順三:"大容量連想メモリLSIの一構成法", 昭和60年度電子通信学会総合全国大会, 547, (1985).

- (43) T. Sakurai and T. Iizuka: "Double word line and bit line structure for VLSI RAM's", Proc. 15th Conf. Solid State Dev. Mater., pp. 269-272, (Sept., 1984).
- (44) 小倉武: "連想記憶装置", 特願昭59-130242号, (1984 出願).
- (45) 小倉武: "電気回路", 特願昭58-101265号, (1983 出願).
- (46) 小倉武, 山田慎一郎, 山田順三: "連想メモリLSI高速化の一手法", 昭和60年度電子通信学会半導体・材料部門全国大会, 213, (1985).
- (47) C. V. Ramamoorthy, J. L. Turner, and B. W. Wah: "A Design of a Fast Cellular Associative Memory for Ordered Retrieval", IEEE Trans. Comput., Vol. C-27, No. 9, pp. 800-815, (Sep., 1978).
- (48) 市川忠男, 坂村健, 諸隈立志, 相磯秀夫: "連想プロセッサARE S", 電子通信学会論文誌, Vol. J61-D, No. 10, pp. 743-750, (Oct., 1978).
- (49) 小倉武, 二階堂忠信: "連想メモリ装置", 特許第1320026号, (1979 出願).
- (50) 小倉武, 二階堂忠信: "連想メモリ装置", 特願昭54-127803号, (1979 出願).
- (51) G. A. Anderson: "Multiple Match Resolvers: A New Design Method", IEEE Trans. Comput. (Corresp.), Vol. C-23, No. 12, pp. 1317-1320, (Dec., 1974).
- (52) G. Giles and C. Hunter: "A Methodology for Testing Content Addressable Memories", Proc. ITC, pp. 471-474, (1985).
- (53) G. M. Blair: "A Content Addressable Memory with a Fault-Tolerance Mechanism", IEEE J. Solid-State Circuits (Corresp.), Vol. SC-22, No. 4, pp. 614-616, (Aug., 1987).
- (54) 小倉武, 二階堂忠信, 宮原則男, 長谷川隆三, 三上博英: "連想メモリ装置", 特許第1436650号, (1980 出願).
- (55) 小倉武, 二階堂忠信, 宮原則男, 雨宮真人, 長谷川隆三: "連想メモリ装置", 特許第1363691号, (1980 出願).
- (56) T. Mano, K. Takeya, T. Watanabe, N. Ieda, K. Kiuchi, E. Arai, T. Ogawa, and K. Hirata: "A Fault-Tolerant 256KRAM Fabricated with Molybdenum-Polysilicon Technology", IEEE J. Solid-State Circuits, Vol. SC-15, No. 5, pp. 865-872, (Oct., 1980).
- (57) 小倉武: "連想メモリ装置", 特願平2-75693号, (1990 出願).
- (58) 矢島宏明, 田中衛, 小沢慎治: "シフトレジスタを付加した連想メモリによる不定長変

- 数名の探索の高速化”，昭和54年度電子通信学会情報・システム部門全国大会，363，
(1979).
- (60)二階堂忠信，小倉武：“連想メモリ装置”，特許第1320030号，(1979 出願).
- (61)二階堂忠信，小倉武：“連想メモリ装置”，特許第1320031号，(1979 出願).
- (62)小倉武：“連想メモリ装置”，特願昭57-150311号，(1982 出願).
- (63)平田圭二，猪股宏文，垂井俊明，松原健二，小池汎平，田中英彦，元岡達：“P I E の
構造メモリ試作ハードウェアの設計について”，電子通信学会技術研究報告，
EC85-64，pp. 55-65，(Feb., 1986).
- (64)中村克彦：“Associative Evaluation of PROLOG Programs”，情報処理学会研究報告，
記号処理21-4，(Dec., 1982).
- (65)長沼次郎，小倉武，山田慎一郎：“連想メモリを用いたPrologマシンの構成法”，情報
処理学会第28回全国大会，5F-10，(Mar., 1984).
- (66)Y. Chu and K. Itano：“Architecture for a Parallel Associative Prolog Machine”，
Proc. 19th HICSS，pp. 9-23，(1986).
- (67)J. V. Oldfield：“Logic programs and an experimental architecture for their
execution”，IEE Proc.，Vol. 133，Pt. E，No. 3，(May, 1986).
- (68)I. Robinson：“A Prolog Processor Based on a Pattern Matching Memory Device”，
Proc. the 3rd Int'l Conf. on Logic Programming，pp. 172-179，(July, 1986).
- (69)Wesley：“Associative Parallel Processing for the Fast Fourier Transform”，
IEEE Trans. Audio and Electroacoustics，Vol. AU-17，No. 2，pp. 162-165，
(June, 1969).
- (70)長谷川隆三，三上博英，雨宮真人：“連想記憶を用いたデータフローマシンの一構成
法”，電子通信学会技術研究報告，EC79-55，pp. 41-50，(Jan., 1980).
- (71)J. G. Bonar and S. P. Levitan：“Real-time LISP using Content Addressable Memory”，
Proc. Parallel Processing，pp. 112-117，(1981).
- (72)A. Kokubu，M. Kuroda，and T. Furuya：“Orthogonal Memory - A Step toward Realiz-
ation of Large Capacity Associative Memory”，Proc. VLSI85，pp. 159-168，
(1985).
- (73)長沼次郎，小倉武，山田慎一郎：“連想メモリを用いたPrologマシンとそのファームウ
ェアインタプリタ”，情報処理学会第32回全国大会，3Q-2，(1986).

- (74) J. P. Wade, P. J. Osler, R. E. Zippel, and C. G. Sodini: "The MIT Database Accelerator: 2K-Trit Circuit Design", Proc. VLSI87, pp. 39-40, (1987).
- (75) 中野良平, 木山稔: "連想メモリを用いた関係演算処理方式", 情報処理学会第34回全国大会, 3C-1, pp. 459-460, (1987).
- (76) S. R. Jones, I. P. Jalowiecki, S. J. Hedge, and R. M. Lea: "9-kbit Associative Memory for High-Speed Parallel Processing Applications", IEEE J. Solid-State Circuits, Vol. 23, No. 2, pp. 543-548, (Apr., 1988).
- (77) H. Yasuura, T. Tsujimoto, and K. Tamaru: "Parallel Exhaustive Search for Several NP-Complete Problems using Content Addressable Memories", Proc. ISCAS'88, pp. 333-336, (June, 1988).
- (78) 安浦寛人, 辻本泰造, 田丸啓吉: "組合せ問題に対する機能メモリ形並列プロセッサアーキテクチャ", 電子情報通信学会論文誌, Vol. J72-A, No. 2, pp. 222-230, (Feb., 1989).
- (79) J. P. Wade and C. G. Sodini: "A Ternary Content Addressable Search Engine", IEEE J. Solid-State Circuits, Vol. 24, No. 4, pp. 1003-1013, (Aug., 1989).