

Title	高周波通信用バイポーラ/BiCMOS LSIの高集積化・高機能化に関する研究
Author(s)	佐藤, 久恭
Citation	大阪大学, 2011, 博士論文
Version Type	VoR
URL	<a href="https://hdl.handle.net/11094/2054">https://hdl.handle.net/11094/2054</a>
rights	
Note	

*Osaka University Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	佐藤久恭
博士の専攻分野の名称	博士(工学)
学位記番号	第24942号
学位授与年月日	平成23年9月20日
学位授与の要件	学位規則第4条第1項該当 工学研究科電気電子情報工学専攻
学位論文名	高周波通信用バイポーラ/BiCMOS LSIの高集積化・高機能化に関する研究
論文審査委員	(主査) 准教授 松岡 俊匡  (副査) 教授 八木 哲哉 准教授 橋本 昌宣 招聘教授 谷口 研二 教授 伊藤 利道 教授 森 勇介 教授 片山 光浩 教授 大森 裕 教授 尾崎 雅則 教授 柄原 敏明 教授 近藤 正彦 教授 森田 清三

## 論文内容の要旨

本論文は、「高周波通信用バイポーラ/BiCMOS LSIの高集積化・高機能化に関する研究」に関する研究成果をまとめたものであり、以下の7章で構成した。

第1章では、本研究の背景、高周波通信用LSIにおける課題と本研究の目的について述べた後、本論文の構成の概略を述べた。

第2章では、光通信などの高速有線通信向けバイポーラLSIにおいて、高速動作だけでなく、論理回路の集積密度を改善することを課題として、面積可変論理セルVSC (Variable Size Cell) 方式を提案した。本方式ではユニットとよぶ4つのトランジスタから構成される小さな単位に分割し、複数のユニットを使用することで論理セルを構成した。また、1ユニットで1つのメモリセルを構成できるように工夫を加えた。0.6 $\mu\text{m}$ バイポーラプロセスにて12kゲートと36kビットのメモリを内蔵したマスタスライスLSIを試作した。本方式を用いることで、通信用LSIの論理回路集積密度を20~30%向上させることができた。

第3章では、2V以下の電源電圧で動作するシリーズゲート回路を提案した。縦積み2段のうち、下段の差動対を定電流回路と併用することで低電圧化を可能とし、このために下段の差動対に入力される信号の電源電圧依存性を取り入れた。 $f_T = 12 \text{ GHz}$ の0.6  $\mu\text{m}$ バイポーラプロセスを用い、提案回路を用いて1/4分周器(4進カウンタ)を試作した。実測により、1.4Vの電源電圧で動作することを確認し、フリップフロップ1段あたり0.35 mWと極めて小さい消費電力にて600 MHzの動作周波数が得られた。

第4章では、エミッタフォロワの低電流化を図ったエミッタフォロワ直接制御型回路を提案した。入力信号に応じて2つのエミッタフォロワ電流を切り替えることで、エミッタフォロワ電流を半分にすることができた。この構成により、エミッタフォロワ電流をすべて負荷容量の充電に充てることができ、立ち上がり時間の短縮も可能となった。出力インピーダンスが高くなり、出力が不安定になる問題に対しては、抵抗もしくはダイオードフィードバックによる安定回路を付加することで解決した。 $f_T = 25 \text{ GHz}$ の0.35  $\mu\text{m}$ バイポーラプロセスを用いて、従来回路と提案回路の1/4、1/5分周器を試作、評価した。同一の動作周波数と比較すると、従来回路よりも34%の低消費電力化が図れた。

第5章では、無線通信用トランシーバの小型、低コスト、低消費電力化を図るため、中間周波数処理LSI実現に向けて、小型な直交変調器、HPA (High Power Amplifier) の温度特性に合わせたアッテネータ、PLLの高速ロッ

クアップ技術、信号アイソレーション向上技術について提案した。 $f_T = 20 \text{ GHz}$ の0.8 $\mu\text{m}$  BiCMOSプロセスを用い、中間周波数処理LSIを試作、検証し、要求される性能を満足することが確かめられた。本研究の成果は、1.9 GHz帯として世界初の中間周波数処理LSIとして実用化されている。

第6章では、WCDMA (Wideband Code Division Multiple Access)への適用を目的として、入力信号振幅のレンジが90 dBと極めて広い可変利得アンプについて提案した。低雑音と高線形性を両立させるため、1段目と2段目には、高利得、低雑音のアンプと低利得、高線形のアンプを並列に配置する方式を採用した。また、並列アンプの利得配分、線形性配分を最適化するため、利得、線形性に関する解析式を新規に導出した。 $f_T = 25 \text{ GHz}$ の0.5  $\mu\text{m}$  BiCMOSプロセスを用いて検証を行い、雑音、線形性特性が要求性能を満足する良好な特性であることを確認した。提案する可変利得アンプを含む中間周波数処理LSIはWCDMA用として実用化されている。

第7章では、本論文で取り上げた各研究課題に関する成果についてまとめた。

## 論文審査の結果の要旨

本論文は、「高周波通信用バイポーラ/BiCMOS LSIの高集積化・高機能化に関する研究」に関する研究成果をまとめたものであり、以下の7章で構成されている。

第1章では、本研究の背景、高周波通信用LSIにおける課題と本研究の目的について述べた後、本論文の構成の概略を述べている。

第2章では、光通信などの高速有線通信向けバイポーラLSIにおいて、高速動作だけでなく、論理回路の集積密度を改善することを課題として、面積可変論理セルVSC (Variable Size Cell) 方式を提案している。本方式ではユニットとよぶ4つのトランジスタから構成される小さな単位に分割し、複数のユニットを使用することで論理セルを構成している。また、1ユニットで1つのメモリセルを構成できるように工夫を加えている。0.6 $\mu\text{m}$ バイポーラプロセスにて12kゲートと36kビットのメモリを内蔵したマスタスライスLSIを試作している。本方式を用いることで、通信用LSIの論理回路集積密度を20~30%向上させることができる。

第3章では、2V以下の電源電圧で動作するシリーズゲート回路を提案している。縦積み2段のうち、下段の差動対を定電流回路と併用することで低電圧化を可能とし、このために下段の差動対に入力される信号の電源電圧依存性を取り入れている。 $f_T = 12 \text{ GHz}$ の0.6  $\mu\text{m}$ バイポーラプロセスを用い、提案回路を用いて1/4分周器(4進カウンタ)を試作している。実測により、1.4Vの電源電圧で動作することを確認し、フリップフロップ1段あたり0.35 mWと極めて小さい消費電力にて600 MHzの動作周波数が得られている。

第4章では、エミッタフォロワの低電流化を図ったエミッタフォロワ直接制御型回路を提案している。入力信号に応じて2つのエミッタフォロワ電流を切り替えることで、エミッタフォロワ電流を半分にすることができる。この構成により、エミッタフォロワ電流をすべて負荷容量の充電に充てることができ、立ち上がり時間の短縮も可能となる。出力インピーダンスが高くなり、出力が不安定になる問題に対しては、抵抗もしくはダイオードフィードバックによる安定回路を付加することで解決している。 $f_T = 25 \text{ GHz}$ の0.35  $\mu\text{m}$ バイポーラプロセスを用いて、従来回路と提案回路の1/4、1/5分周器を試作、評価している。同一の動作周波数と比較すると、従来回路よりも34%の低消費電力化が図れる。

第5章では、無線通信用トランシーバの小型、低コスト、低消費電力化を図るため、中間周波数処理LSI実現に向けて、小型な直交変調器、HPA (High Power Amplifier) の温度特性に合わせたアッテネータ、PLLの高速ロックアップ技術、信号アイソレーション向上技術について提案している。 $f_T = 20 \text{ GHz}$ の0.8 $\mu\text{m}$  BiCMOSプロセスを用い、中間周波数処理LSIを試作、検証し、要求される性能を満足することが確かめている。本研究の成果は、1.9 GHz帯として世界初の中間周波数処理LSIとして実用化されている。

第6章では、WCDMA (Wideband Code Division Multiple Access)への適用を目的として、入力信号振幅のレンジが90 dBと極めて広い可変利得アンプについて提案している。低雑音と高線形性を両立させるため、1段目と2段目には、高利得、低雑音のアンプと低利得、高線形のアンプを並列に配置する方式を採用している。また、並列アンプの利得配分、線形性配分を最適化するため、利得、線形性に関する解析式を新規に導出している。 $f_T = 26 \text{ GHz}$ の0.5  $\mu\text{m}$  BiCMOS

プロセスを用いて検証を行い、雑音、線形性特性が要求性能を満足する良好な特性であることを確認している。提案する可変利得アンプを含む中間周波数処理 LSI は WCDMA 用として実用化されている。

第 7 章では、本論文で取り上げた各研究課題に関する成果についてまとめている。

以上のように、本論文は 1. 面積可変論理セル VSC 方式、2. 低電圧動作するシリーズゲート回路、3. エミッタフォロワ直接制御型回路、4. 1.9 GHz 帯中間周波数処理 LSI、5. 広い入力信号振幅を有する可変利得アンプを実証し、それらが優れた性能を示すことを明らかにしている。これらの研究成果および本論文で述べた回路技術は、高周波通信用バイポーラ/BiCMOS LSI 全体の低電圧化と小面積化を可能とし、エレクトロニクス産業の発展に大きく寄与するものである。

よって本論文は博士論文として価値あるものと認める。