

Title	高周波通信用バイポーラ/BiCMOS LSIの高集積化・高機能化に関する研究
Author(s)	佐藤, 久恭
Citation	大阪大学, 2011, 博士論文
Version Type	VoR
URL	<a href="https://hdl.handle.net/11094/2054">https://hdl.handle.net/11094/2054</a>
rights	
Note	

*Osaka University Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

Osaka University

高周波通信用バイポーラ/BiCMOS LSI の高集積化・  
高機能化に関する研究

佐藤 久恭

2011 年 8 月



# 内容梗概

本論文は、筆者が大阪大学大学院工学研究科電気電子情報工学専攻量子電子デバイス工学部門集積エレクトロニクス講座集積機能デバイス領域(谷口研究室)にて行った「高周波通信用バイポーラ/BiCMOS LSI の高集積化・高機能化に関する研究」の研究成果をまとめたものであり、以下の7章で構成されている。

## 第1章

本章では、本研究の背景、高周波通信用 LSI における課題と本研究の目的について述べた後、本論文の構成の概略を述べた。

## 第2章

光通信などの高速有線通信向け LSI は、数 100M~数 10 Gbps (bit per second) で動作する。バイポーラ論理回路は高速動作という利点を有しているが、面積が大きいという欠点がある。また、論理回路を効率よく構成するために、マスタスライス方式と呼ばれるセミカスタム LSI を使用するが、従来のセル構成方式であるシンプルゲートセル方式やマクロセル方式は、それぞれ得意とする論理回路があり、それ以外では不十分な素子があったり、セル面積が増大したりと、集積効率が悪いという問題があった。

本章では、論理回路の集積密度を改善することを課題として面積可変論理セル VSC (Variable Size Cell) 方式を提案した。本方式ではユニットとよぶ4つのトランジスタから構成される小さな単位に分割し、複数のユニットを使用することで論理セルを構成した。また、1ユニットで1つのメモリセルを構成できるように工夫を加えた。0.6  $\mu\text{m}$  バイポーラプロセスにて、12k ゲートと 36k ビットのメモリを内蔵したマスタスライス LSI を試作した。本方式を用いることで、通信用 LSI の論理回路集積密度を 20~30% 向上させることができた。

## 第3章

通信用 LSI ではシリーズゲートと呼ばれる縦積み2段の論理回路を使用する。この回路の最低動作電圧は約 2.5 V であり、論理回路の外部インターフェース電圧や電池の終端電圧である 2 V 以下で動作させることができず、2 電源が必要であったり、消費電力が大きいという問題があった。

本章では、2 V 以下で動作するシリーズゲート回路を提案した。縦積み2段のうち、下段の差動対を定電流回路と併用することで低電圧化を可能とし、このために下段の差動対に入力される信号の電源電圧依存性を取り入れた。 $f_T = 12 \text{ GHz}$  の 0.6  $\mu\text{m}$  バイポーラプロセスを用い、提案回路を用

いて1/4分周器(4進カウンタ)を試作した。実測により, 1.4 Vの電圧で動作することを確認し, フリップフロップ1段あたり0.35 mWと極めて小さい消費電力にて600 MHzの動作周波数が得られた。

## 第4章

回路をより高速, 高周波動作させるためには, シリーズゲート回路の出力段にエミッタフォロワ回路を付加して負荷駆動能力を上げるが, このエミッタフォロワ回路の電流が多いために消費電力が大きくなるという欠点がある。

本章では, エミッタフォロワによる高速, 高周波動作という利点を生かしつつ, エミッタフォロワの低電流化を図ったエミッタフォロワ直接制御型回路を提案した。入力信号に応じて2つのエミッタフォロワ電流を切り替えるようにすることで, エミッタフォロワ電流を半分にすることができる。この構成により, エミッタフォロワ電流をすべて負荷容量の充電に充てることができ, 立ち上がり時間の短縮も可能となった。出力インピーダンスが高くなり, 出力が不安定になるという問題に対しては, 抵抗フィードバックもしくはダイオードフィードバックによる安定回路を付加することで解決した。 $f_T = 25$  GHzの0.35  $\mu\text{m}$ バイポーラプロセスを用いて, 従来回路(エミッタフォロワ有/無)と提案回路(抵抗フィードバック/ダイオードフィードバック), 合わせて4種の回路構成の1/4, 1/5分周デュアルモジュラスプリスケラを試作, 評価した。同一の動作周波数(2 GHz)で比較すると, 提案回路は従来回路よりも34%の低消費電力化が図れた。

## 第5章

無線通信用トランシーバは, 個別部品, IC, LSIへとその集積度を向上させ, 小型, 低コスト, 低消費電力化を図ってきた。LSI化するに当たって, 高周波動作, 不要波抑圧, システム全体での性能補償といった課題がある。

本章では, 中間周波数処理LSI実現に向けて, 小型な直交変調器, HPA(High Power Amplifier)の温度特性に合わせたアッテネータ, PLLの高速ロックアップ, 信号アイソレーション向上について提案した。 $f_T=20$  GHzの0.8  $\mu\text{m}$  BiCMOSプロセスを用い, 中間周波数処理LSIを試作, 検証し, 要求される性能を満足することが確かめられた。本研究の成果は, 1.9 GHz帯として世界初の中間周波数処理LSIとして製品化されている。

## 第6章

WCDMA(Wideband Code Division Multiple Access)のような無線システムにおいては, 入力信号振幅のレンジが90 dBと極めて広い。このため, 無線トランシーバには可変利得アンプを設け, 後段にあるA/Dコンバータの入力レンジをオーバフローしないようにしている。この可変利得アンプは, 信号振幅が小さい場合には利得を大きくするとともに, かつ雑音特性がよくなければならず,

逆に信号振幅が大きい場合には、利得を下げるとともに線形性がよくなければならない。可変利得アンプの可変レンジそのものは、回路を多段化することで実現可能であるが、従来の可変利得アンプでは、低雑音と高線形の両立が困難であった。

本章では、WCDMA への適用を目的として、入力信号振幅のレンジが 90 dB と極めて広い可変利得アンプについて提案した。高利得、低雑音のアンプと低利得、高線形のアンプを並列に配置する方式を採用した。また、並列アンプの利得配分、線形性配分を最適化するため、利得と線形性に関する解析式を新規に導出した。 $f_T = 26$  GHz の  $0.5 \mu\text{m}$  BiCMOS プロセスを用いて検証を行い、雑音、線形性特性が要求性能を満足する良好な特性であることを確認した。また、導出した可変利得アンプの解析式が、実測、シミュレーションとよく一致することを確認した。提案する可変利得アンプを含む中間周波数処理 LSI は WCDMA 用として製品化されている。

## 第 7 章

本論文で取り上げた各研究課題に関する成果についてまとめた。



# 目次

<b>第1章 序論</b> .....	<b>1</b>
1.1 研究の背景.....	1
1.2 研究対象, 研究分野.....	2
1.3 研究目的および論文構成.....	3
<b>第2章 バイポーラマスタスライス LSI 用面積可変論理セル</b> .....	<b>7</b>
2.1 緒言.....	7
2.2 従来のセル構成.....	8
2.3 VSC マスタスライス .....	10
2.4 コンフィギュラブル RAM .....	13
2.4.1 メモリセル .....	13
2.4.2 ユニット構成 .....	14
2.4.3 VSC 方式の効果.....	15
2.5 VSC 方式の実装例 .....	16
2.5.1 チップフロアプラン .....	16
2.5.2 論理回路 .....	17
2.5.3 コンフィギュラブル RAM の構成 .....	18
2.5.4 プロセス技術 .....	19
2.5.5 評価結果 .....	20
2.6 結言.....	22
<b>第3章 低電圧動作バイポーラシリーズゲート回路</b> .....	<b>25</b>
3.1 緒言.....	25
3.2 回路設計.....	25
3.2.1 低電圧シリーズゲート .....	25
3.2.2 $V_{EE}$ 追従バッファ (VTB) .....	27
3.2.3 基準電圧発生回路 .....	30
3.2.4 フリップフロップ .....	31
3.3 LSG および VTB の検証 .....	31
3.3.1 プロセス技術 .....	31
3.3.2 DC 特性.....	33
3.3.3 AC 特性.....	35



3.4	結言.....	37
<b>第4章</b>	<b>エミッタフォロワ直接制御型フリップフロップ回路.....</b>	<b>41</b>
4.1	緒言.....	41
4.2	直接制御エミッタフォロワ.....	42
4.2.1	基本回路構成.....	42
4.2.2	レベル安定化回路付き直接制御エミッタフォロワ.....	43
4.2.3	回路シミュレーション結果.....	44
4.3	フリップフロップ回路.....	47
4.3.1	従来回路.....	47
4.3.2	ダイオードフィードバック型直接制御エミッタフォロワ.....	49
4.3.3	抵抗フィードバック型直接制御エミッタフォロワ.....	50
4.3.4	従来回路との比較.....	51
4.3.5	抵抗レベルシフト回路.....	53
4.4	評価結果.....	54
4.5	結言.....	58
<b>第5章</b>	<b>1.9 GHz PHS 用中間周波数処理 LSI.....</b>	<b>61</b>
5.1	緒言.....	61
5.2	1 チップ化へ向けた課題と対応.....	62
5.3	チップ構成.....	63
5.4	回路設計.....	64
5.4.1	直交変調器.....	64
5.4.2	アッテネータ.....	65
5.4.3	送受信ミキサ.....	66
5.4.4	PLL シンセサイザ.....	67
5.4.5	基準電圧発生回路.....	70
5.5	プロセス技術.....	70
5.6	レイアウト.....	72
5.7	評価結果.....	73
5.8	結言.....	77
<b>第6章</b>	<b>可変利得アンプの高線形化.....</b>	<b>81</b>
6.1	緒言.....	81
6.2	可変利得アンプの設計.....	82
6.2.1	可変利得アンプの回路構成.....	82

6.2.2	パラレルアンプの利得と IIP3 .....	85
6.2.3	可変利得アンプの利得と IIP3 の解析.....	87
6.2.4	温度補償 .....	91
6.2.5	回路パラメータの決定と設計手順.....	94
6.3	評価結果および解析式との比較.....	95
6.4	結言.....	99
<b>第7章</b>	<b>結論 .....</b>	<b>103</b>
<b>謝辞</b>	<b>.....</b>	<b>107</b>
<b>研究業績</b>	<b>.....</b>	<b>109</b>



# 第1章 序論

## 1.1 研究の背景

1947年にAT&Tベル研究所のBardeen, Brattain, Shockleyらによって点接触トランジスタが発明されてから60年以上が経つ。この間、プレーナ型トランジスタ、自己整合トランジスタ、2層ポリシリコントランジスタへとデバイス技術が進展し、SiGeバイポーラトランジスタで遮断周波数が300 GHzを超えるものや[1]、SiGe BiCMOSプロセスで0.38 THzの無線トランシーバを実現したものが発表されている[2]。一方、1970年代後半から本格的に開発されてきたCMOS (Complementary Metal Oxide Semiconductor)は、回路構成が簡単であるとともに、デバイスを微細化するとトランジスタの高集積化、低消費電力化が達成されるスケーリング則を生かし、急速に発展してきた。最近発表された32 nmのCMOSプロセスを用いた64ビットマイクロプロセッサは実に31億個のトランジスタが集積されている[3]。複数の無線通信機能を有した高性能なコンピュータがタブレットコンピュータやスマートフォンとして持ち運べるようになり、低燃費を謳うハイブリット車には1台当たり50~100個のマイコンが搭載される時代となってきている。このように半導体デバイスの進歩が現代のエレクトロニクス社会にはなくてはならないものとなっている。

近年の携帯機器をはじめとする無線通信機器の発展はめざましく、最新の携帯電話においては、通常の携帯電話機能の他、GPS(Global Positioning System)、携帯電話・移動体端末向け地上波デジタルテレビ放送、Bluetooth、無線LANといった、さまざまな無線システムが内蔵されている。20数年前では、携帯電話がショルダーバッグサイズであったことを考えると隔世の感がある。携帯電話が現在のように小型多機能化された一つの大きな要因は、RFトランシーバの小型高集積化技術が進んだことによる。

90年代半ばごろまで、受信IC、送信IC、PLLシンセサイザといった複数のICや個別部品で構成されていたRFトランシーバ部は、その後、徐々に1チップ化されていく(図1.1)。携帯電話用と

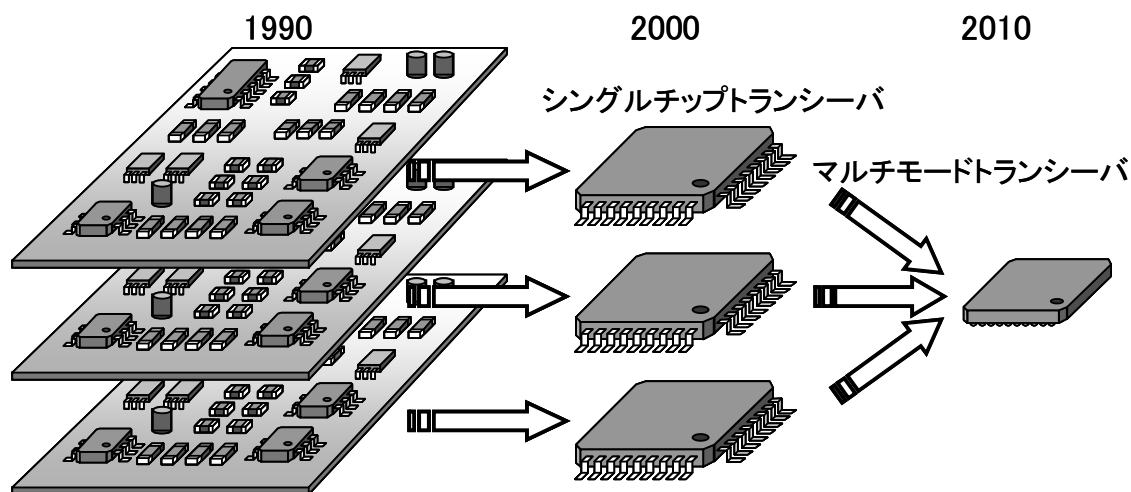


図 1.1: 無線トランシーバの高集積化

して初めて IC 化されたものは、95 年に発表された 1.5  $\mu\text{m}$  バイポーラプロセスを用いた 900 MHz 帯の GSM(Global System for Mobile Communications)用トランシーバであった[4]。その後、2000 年ごろから Bluetooth や無線 LAN 用の 1 チップトランシーバが発表され、最近では複数の無線システムを搭載したマルチモードトランシーバが出現している[5][6]。アナログ回路や高周波回路は、トランジスタの微細化がそのまま高集積化につながるわけではない。一つには容量素子、インダクタといった微細化の恩恵を受けにくい受動素子の存在、もう一つは外付けされる SAW フィルタ (surface acoustic wave filter) のような高い Q を持ち、低雑音なフィルタを単純にはオンチップ化することが困難であることなどが挙げられる。このため、無線通信用 LSI の高集積化、高機能化のためには、システムを構成するさまざまな機能ブロックをオンチップ化する絶え間ない技術革新が必要となる。

バイポーラトランジスタは、高速な応答速度、高い負荷駆動能力、すぐれた雑音特性を活かし、シリアル/パラレル変換回路といった高速有線通信用 LSI や、無線通信用高周波アナログ回路など、高速、高周波分野に用いられてきた。一方で、CMOS トランジスタは、スケージング則が生かせ、プロセス技術の進展とともに高集積化が図れるため、大規模デジタル回路に用いられてきた。プロセス技術の進展とともに動作周波数は年々向上しているが、高速なバイポーラ、高集積な CMOS という関係は 30 年以上続いている。

近年では CMOS トランジスタの性能が向上し、GHz 帯で動作する RF トランシーバが数多く発表されている。性能よりも SoC(System on Chip)化による小型化が強く要求される無線通信システムにおいては CMOS プロセスが用いられ、雑音特性や消費電流がより重視される分野においては BiCMOS プロセスが用いられるといった両者の棲み分けがなされている。バイポーラ/BiCMOS が高周波動作、低消費電流で CMOS に対して優位性を維持していくためには、性能や消費電流を更に改善するとともに、高集積化や高機能化といった課題に取り組んでいく必要がある。具体的には下記のような課題が挙げられる。

- 1) 素子利用効率の高いレイアウト手法
- 2) 低電源電圧化回路技術
- 3) 低電流/高周波回路アーキテクチャ
- 4) オンチップ化に適した回路構成

## 1.2 研究対象，研究分野

図 1.2 に本研究の研究分野，研究対象を示す。

光通信などの有線通信では、ケーブルと直接接続されるドライバ/レシーバアンプとデジタルデータ処理部との間に高周波で動作する送受信トランシーバ部がある。この LSI には、送受信データを多重もしくは拡散するマルチプレクサ (MUX : Multiplexer)、デマルチプレクサ (DEMUX : Demultiplexer)、クロック・データリカバリ回路 (CDR : Clock Data Recovery)、これらの回路に基準クロックを供給する PLL シンセサイザ (Phase Locked Loop synthesizer) などから構成される。また、携帯電話のような無線通信システムでは、アンテナから入力される無線信号をベースバンド信号に変換する無線トランシーバ部がある。これらのトランシーバ部には高周波で動作する論理回路や、アンプ、ミキサといった高周波アナログ回路を含み、これらの回路を研究対象とする。

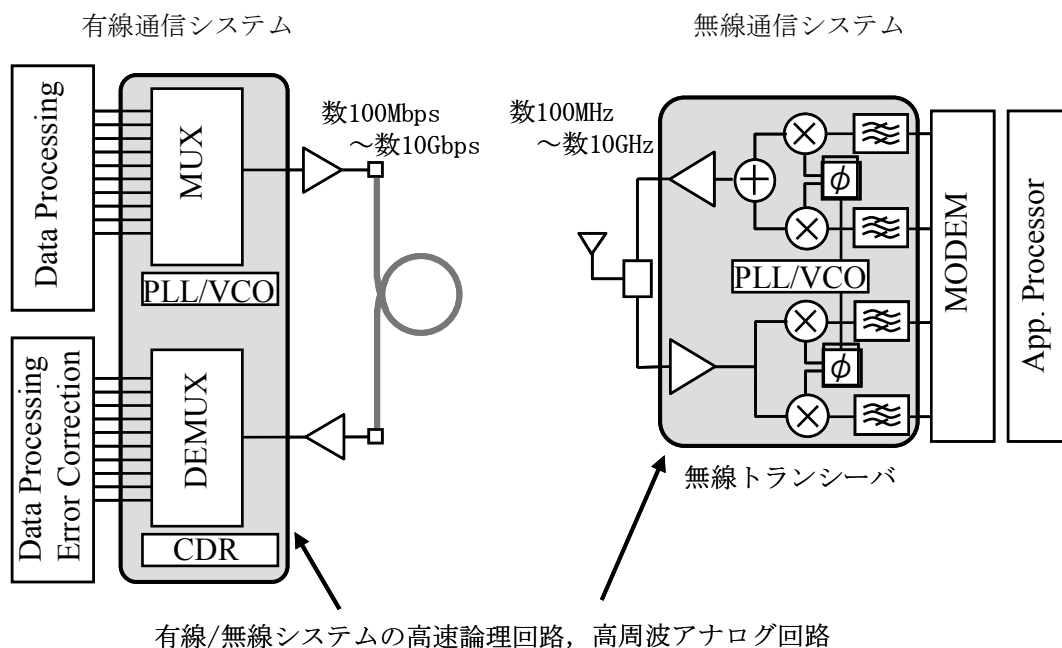


図 1.2: 研究分野, 研究対象

### 1.3 研究目的および論文構成

本研究の目的は, 第 1 にバイポーラトランジスタが持つ高い周波数応答, 高い負荷駆動能力をさらに改善しつつ, 高集積化, 高機能化, 低消費電力化を図る要素技術を確認すること. 第 2 に, そこで得られた技術を高周波通信用 LSI として実用化することにある.

図 1.3 に第 2~6 章の研究項目と論文構成を示す. 第 2 章はバイポーラマスタスライスで使用される論理回路の小面積化と高機能化に関するものであり, 第 3, 4 章はバイポーラ回路の低電圧化, 低消費電力化に関するものである. 第 5 章はこれらの要素技術を取り入れた無線通信用 LSI の高集積化技術, 実用化技術に関するものであり, 第 6 章では回路の高線形化に対する設計技術について述べる.

以下に各章の研究目的を述べる.

第 2 章では, マスタスライスにおけるバイポーラ論理回路の高集積化, およびビット・ワード構成が柔軟なコンフィギュラブルメモリの搭載を目的として, 素子の利用効率が高い面積可変論理セル VSC (Variable Size Cell) 方式の提案を行う.  $0.6 \mu\text{m}$  バイポーラプロセスにて 12k ゲートと 36k ビットのメモリを内蔵したマスタスライス LSI を試作し, その効果を検証する.

第 3 章では, 低電圧バイポーラ回路の提案を行う. 通信用 LSI ではシリーズゲートと呼ばれる縦積み 2 段の論理回路を多用するが, この回路の最低動作電圧は約 2.5 V であり, 消費電力を削減することが困難であるという問題がある. 本章では, 2 V 以下で動作するシリーズゲート回路を提案し,  $0.6 \mu\text{m}$  バイポーラプロセスを用いた 1/4 分周器 (4 進カウンタ) を試作し, その動作を検証する.

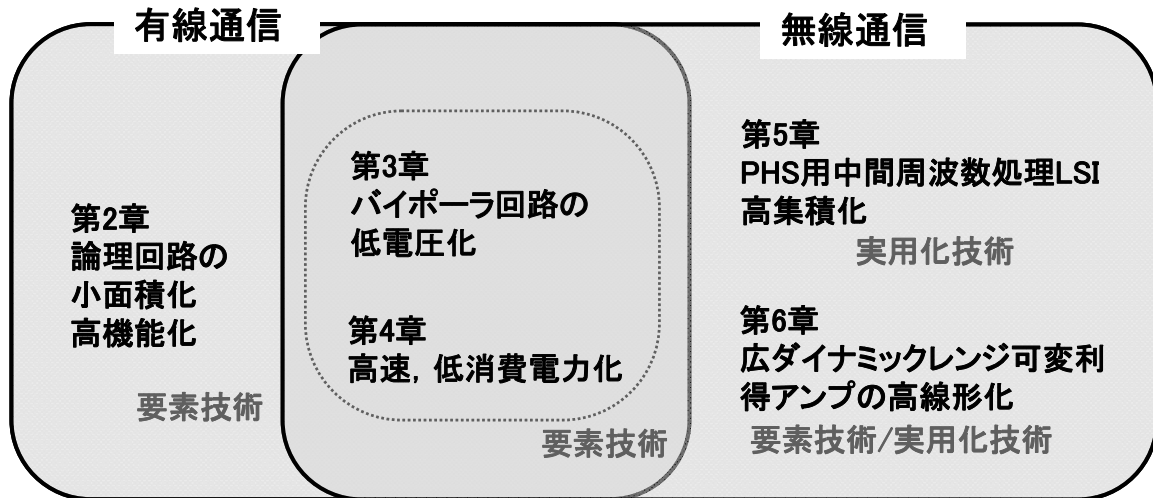


図 1.3: 第 2~6 章の研究項目と論文構成

第 4 章では、高周波動作を改善しつつ、エミッタフォロウの低電流化を図るために、新規のエミッタフォロウ回路を提案する。0.35  $\mu\text{m}$  バイポーラプロセスを用いて 1/4, 1/5 分周プリスケアラの試作を行い、消費電力および最高動作周波数について従来回路と比較を行う。

第 5 章では、無線通信用 LSI の高集積化、高機能化を目的として、小型な直交変調器、HPA(High Power Amplifier)の温度特性に合わせたアッテネータ、PLL の高速ロックアップ、信号アイソレーション向上について提案する。0.8  $\mu\text{m}$  BiCMOS プロセスを用い、PHS(Personal Handy-phone System)用中間周波数処理 LSI を試作、検証し、これらの技術の実用化について議論する。

第 6 章では、通信用 LSI のキーコンポーネントとなる可変利得アンプの高線形化回路技術を提案する。また、可変利得アンプの利得、および線形性について新たに回路解析を行い、実測結果と比較することでその解析式の妥当性を議論する。0.5  $\mu\text{m}$  BiCMOS プロセスを用いて提案する可変利得アンプを含む WCDMA(Wide-band Code-Division Multiple Access)中間周波数処理 LSI を試作、評価した結果を示す。

最後に、第 7 章において、本論文を通して得られた結果を述べる。

## 参考文献

- [1] M. Khater, J. S. Rieh, T. Adam, A. Chinthakindi, J. Johnson, R. Krishnasamy, M. Meghelli, F. Pagette, D. Sanderson, C. Schnabel, K. T. Schonenberg, P. Smith, K. Stein, A. Stricker, S.-J. Jeng, D. Ahlgren, and G. Freeman, "SiGe HBT Technology with  $f_{max}/f_T = 350/300$  GHz and gate delay below 3.3 ps," Proc. IEEE Int. Electron Device Meeting, pp. 247-250, Dec. 2004.
- [2] J. D. Park, S. Kang, and A. M. Niknejad, "A 0.38THz Fully Integrated Transceiver Utilizing Quadrature Push-Push Circuitry," Symp. VLSI Circuits Dig. Tech. Papers, pp. 22-23, June. 2011.
- [3] R.J. Riedlinger, R. Bhatia, L. Biro, B. Bowhill, E. Fetzer, P. Gronowski, T. Grutkowski, "A 32nm 3.1 billion transistor 12-wide-issue Itanium® processor for mission-critical servers," ISSCC Dig. Tech. Papers, pp. 84-86, Feb. 2011.
- [4] T. D. Stetzler, I. G. Post, J. H. Havens, and M. Koyama, "A 2.7V - 4.5V Single-Chip GSM Transceiver RF Integrated Circuit," IEEE J. Solid-State Circuits, vol. 30, no. 12, pp. 1421-1429, Dec., 1995.
- [5] 佐藤久恭, "招待講演 無線通信用 LSI の技術動向と課題," 電子情報通信学会, システム LSI ワークショップ, 第 8 回, pp. 75-82, 2004-11-30
- [6] 佐藤久恭, "招待講演 RF トランシーバのマルチモード, マルチバンド化," 電子情報通信学会技術研究報告. ICD, 集積回路 110(140), pp. 43-48, 2010-07-17-22





## 第2章 バイポーラマスタスライス LSI 用面積可変論理セル

### 2.1 緒言

マスタスライス方式とは、マスタと呼ばれる下地(トランジスタや抵抗などの素子)を形成する工程と、スライスと呼ばれる配線工程からなり、マスタ部分を共通化し、スライス部分のみを変えることによってさまざまな論理を実現する方式である。このため、フルカスタムで一から LSI を開発する方式よりも、開発の TAT(Turn Around Time)を短縮できるとともに、開発コスト、製造コストを大幅に削減することができる。特にバイポーラマスタスライス LSI は、その高速性を生かして、汎用コンピュータのメインフレームや光通信などの高速データ処理システムの核となる LSI として古くから使われている。システムの高性能化のために、常に高速化と高集積化が要求され、これらの要求に応えるべく数々のバイポーラマスタスライスが開発されており、新しいプロセス技術に加え新しい回路およびセル方式の採用によって高性能化を実現してきた[1]-[7]。

CMOS マスタスライスの場合、pMOS トランジスタと nMOS トランジスタのみで回路が構成されるため、トランジスタをアレイ状に並べ、必要なトランジスタ数のみ使用して論理回路を構成することができる。pMOS と nMOS の使用比率はほぼ等しいため、素子の利用効率は比較的高い。一方、バイポーラ回路は、npn トランジスタ以外に種々の抵抗を使用するため、素子をアレイ状に並べることが困難で、バイポーラマスタスライスでは一定数のトランジスタと抵抗をひとまとまりにしたセルをアレイ状に並べる。使用するトランジスタ数や抵抗の数は論理回路毎に異なるため、未使用の素子が多数存在し、集積度は CMOS マスタスライスと比べてあまり向上しなかった。このため、バイポーラマスタスライスの高集積化のためには、構成する論理回路に依らず素子の利用効率が高い新たなセル方式が必要となる。

一方で、高速通信システムにおいては、データイコライザ用ルックアップテーブルやバッファメモリなど多くのメモリを使用する。RAM(Random Access Memory)と論理回路のオンチップ化は、RAM と論理 LSI 間の入出力バッファの遅延や消費電力を削減するとともに実装面積の小型化に貢献する。これまでもバイポーラマスタスライスに専用 RAM を内蔵した例はあるが[8]-[9]、論理規模が小さく、専用 RAM の制御回路を実現する程度であったり、専用 RAM であるがゆえにメモリサイズの柔軟性に欠けるという問題があった。このため、システムの性能向上のためには、論理回路の集積度向上や、フレキシブルなメモリ構成が必要となってくる。

本章では、素子の利用効率が高いバイポーラマスタスライス LSI 用面積可変論理セル VSC(Variable Size Cell)について述べるとともに、VSC 方式を用いたメモリセル構成を提案する。また、VSC 方式の実装例として、32k ビットの専用 RAM を内蔵したバイポーラマスタスライスの設計について述べ、試作評価結果を示す。結言にて本章の結論を示す。

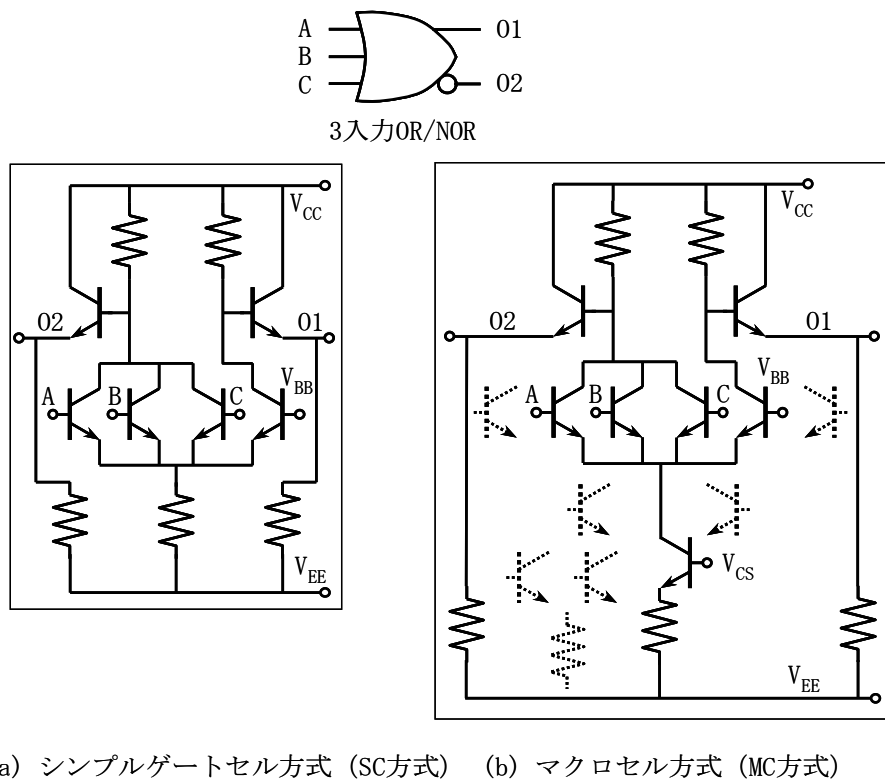


図 2.1: 従来のバイポーラ論理回路のセル構成(3 入力 OR/NOR)

## 2.2 従来のセル構成

一般にバイポーラマスタスライスに採用されているセル方式には2種類ある。一つはシンプルゲートセル方式(SC方式)であり、他の一つはマクロセル方式(MC方式)と呼ばれているものである。シンプルゲートセル方式は、ECL(Emitter Coupled Logic)の基本ゲートである3入力OR/NORを実現できるだけの素子が用意されたセル構成になっており、以下の特徴を有する。

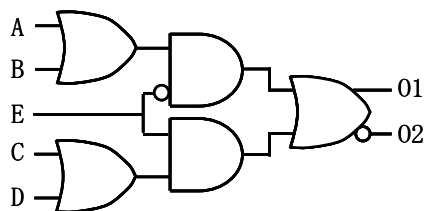
- (1) OR/NORなどの基本ゲートを構成する場合にセル内の未使用素子が少ない。
- (2) セレクタ、フリップフロップなど、複数の基本論理からなる複合ゲートを実現する場合に、多くのセルを必要とする。

一方、マクロセル方式とは、差動対を縦積み2段にしたシリーズゲート回路を採用し、セレクタやフリップフロップなどの複合ゲートを実現できる比較的多くの素子で構成されているセル方式であり、次のように特徴をまとめることができる。

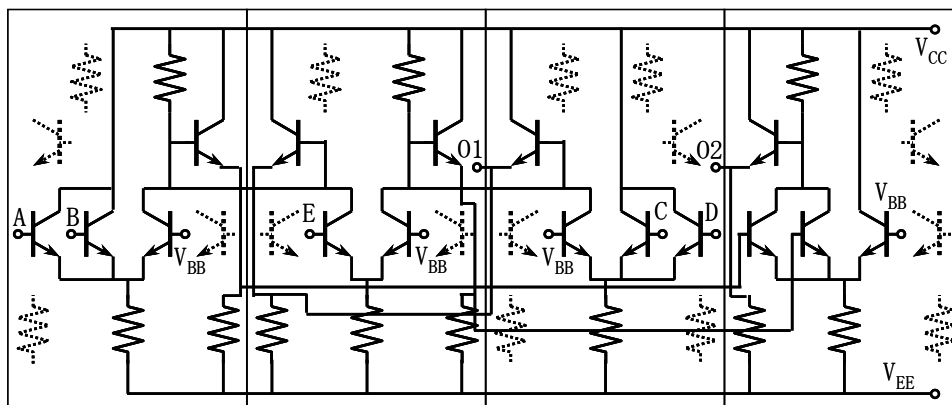
- (1) 複合ゲートを効率よく実現できる。
- (2) OR/NORなど基本ゲートを構成する場合、セル内に未使用素子が残る。

図 2.1 に3入力OR/NORを、従来のセル構成であるシンプルゲートセル方式(SC方式)とマクロセル方式(MC方式)で実現した例を示す。ここで、SC方式は、1つのセル内にトランジスタ6個、抵抗5個を含む構成で、MC方式は、1つのセル内にトランジスタ13個、抵抗6個を含む構成として

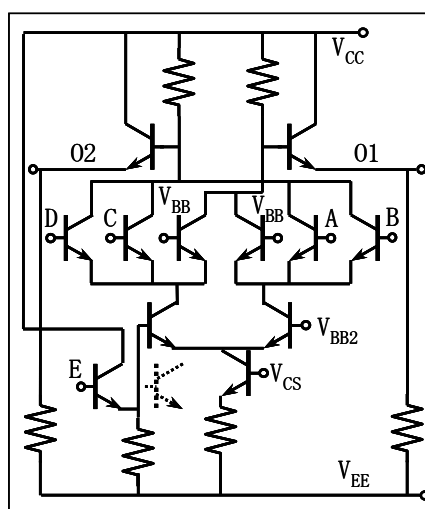
いる．図 2.1(a)に示すように，SC 方式では未使用素子は 0 であるが，(b)の MC 方式では 6 個のトランジスタと 1 個の抵抗が未使用となる(図中の点線で示された素子)．



複合ゲートの例 (セレクタ)



(a) シンプルゲートセル方式 (SC方式 : 4セル使用)



(b) マクロセル方式 (MC方式)

図 2.2: 従来のバイポーラ論理回路のセル構成(セレクタ)

表 2.1: セル構成の比較

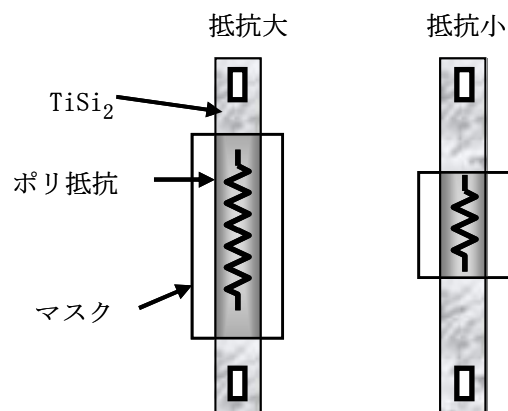
	SC方式	MC方式
単純ゲート	○	× 未使用素子多い
複合ゲート	× セルが複数必要	○

図 2.2 に複合ゲートであるセレクタを、SC 方式と MC 方式で実現した例を示す。SC 方式では 4 つのセルを組み合わせる必要があり、かつ、8 つのトランジスタと 9 個の抵抗が未使用になっている。一方、MC 方式ではシリーズゲートの特徴を生かし、1 つのセルで複合ゲートを構成することができる。トランジスタ 1 個だけが未使用となる。

以上のように、双方の方式には一長一短がある。表 2.1 にセル構成の比較をまとめる。マスタスライス上に実現される実際のシステムでは、基本ゲートと複合ゲートが組み合わさって構成されているので、上記のいずれの方式を採用しても、あらかじめ用意されたセル内の素子数が実際必要となる素子数と常に適合するわけではなく、未使用素子が存在して高集積化の妨げとなっていた。

## 2.3 VSC マスタスライス

この問題を解決するために、より少ない数のトランジスタと抵抗で構成される基本単位を組み合わせることによって、単純な論理でも比較的複雑な論理にでも対応できる面積可変論理セル Variable Size Cell (VSC) を考案した[10][11]。素子の使用効率向上のために、従来のバイポーラマスタスライスのセルを細分化し、基本単位として CMOS ゲートアレイのベーシックセルのように小さいまとまり(ユニット)を導入した。論理回路の規模に応じて使用するユニットの数を変えて 1 つのセルを構成するため、論理セルの面積は論理回路毎に異なる。この際、ユニット当たりの素子数の決定と抵抗値の設定方法が課題となる。

図 2.3:  $\text{TiSi}_2$  による抵抗可変

ECL 回路には、差動増幅回路の負荷抵抗、定電流回路用抵抗、エミッタフォロワ回路用抵抗に加え、シリーズゲート構成のためのインプットフォロワ抵抗といったさまざまな抵抗が必要となる。従来のセルはこれらを含んで1つのセルとしていたため、構成要素が多くなっている。したがって、従来のセルを細分化するには、少数の抵抗パターンで複数種類の抵抗値を実現する手法が必須となる。拡散抵抗の場合、その抵抗値は素子を形成するマスタ工程で決定されてしまうため、スライス工程で抵抗を可変にするのは困難である。

このため、マスタ工程であらかじめ作りつけたポリシリコンパターンの表面を合金化(シリサイド化)して抵抗値を決める方法を採用した。図 2.3 は  $\text{TiSi}_2$  (チタンシリサイド) による抵抗可変を示すパターン図である。シリサイド化されない部分をマスクすることにより、選択的に  $\text{TiSi}_2$  部とポリシリコン抵抗部を作り分けることができる。このマスクはスライス工程に入っているため、後から自由に抵抗値を決定することができる。

通常、ポリシリコン抵抗のシート抵抗値は数 100~数  $\text{k}\Omega$  であるのに対して、 $\text{TiSi}_2$  のシート抵抗値は数  $\Omega$  程度と非常に小さいため、この部分の抵抗は十分無視することができる。また、全面的にシリサイド化することで、メタル配線の下のカrossアンダ配線として使用できるという利点がある。このため、ユニット内の配線領域を小さくすることができ、ユニットの面積も小さくすることができる。

図 2.4 に VSC 方式のレイアウトと素子配置を示す。1 ユニット当たり、4 つのトランジスタと 5 本のポリシリコン抵抗で構成される。トランジスタの脇にある 3 本のポリシリコンはカrossアンダ

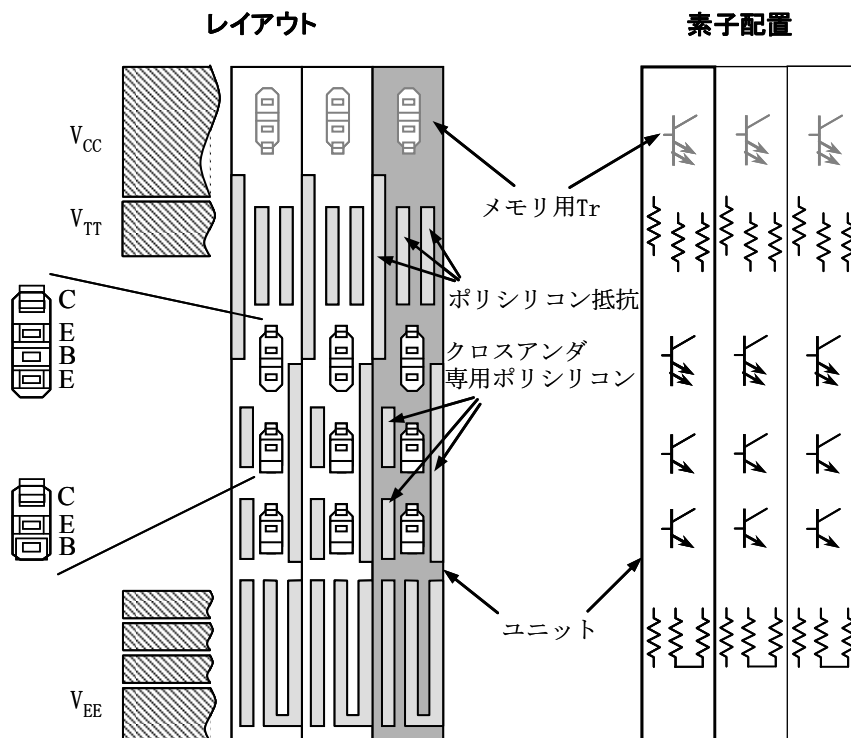
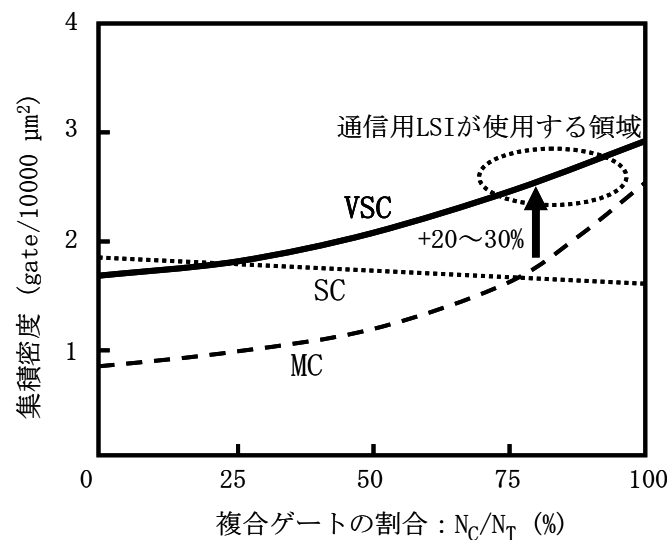


図 2.4: VSC 方式のレイアウトと素子配置

配線専用である。4つのトランジスタの内、3つを論理ゲートに使用し、残る1つは、後で述べるようにメモリセル専用である。論理ゲートを構成する場合は、太い電源ラインが必要であるが、メモリセルの場合は不要であるため、このメモリ専用トランジスタは $V_{CC}$ 電源ラインの下に埋め込むことにより、ユニットの面積増加を防いでいる。

論理ゲートに使用する1ユニット当たりのトランジスタ数は、少ない方がトランジスタの利用効率はよいが、一方で、ポリシリコン抵抗の面積が占める割合が大きくなり、使用するユニット数が増えると未使用のポリシリコン抵抗が増えて素子の利用効率が下がってしまう。このため、1ユニットで1ビットのメモリセルが構成でき、使用頻度の高い2入力OR/NOR、3入力OR、3入力NORを2ユニットで構成できる1ユニット4トランジスタ(論理ゲートとしては3トランジスタ)を選択した。セレクトアやフリップフロップなどの複合論理は、必要なユニット数だけ用いて構成する。

ここでVSC方式の有効性を定量的に評価するためにシンプルゲートセル(SC)方式およびマクロセル(MC)方式とのゲート密度の比較を行った。シンプルゲートセル方式の例として、1セル内にトランジスタ6個、抵抗5個程度を用意し、3入力OR/NORまでの機能を実現できる構成を想定し、マクロセル方式として、1セル内にトランジスタ13個、抵抗6個程度を用意し、Dラッチやセレクトア機能を実現できる構成を想定した。図2.5に、それぞれのセル方式におけるゲート集積密度を示す。実際のマスタスライス上に実現されている論理システムを、単純なOR/NORゲートとそれ以外の複合論理とに分け、それぞれのセル方式で実現した場合のゲート集積密度(単位面積当たりの等価ゲート数)を算出し、複合論理使用率の関数として表した。ここで、 $N_C$ はマスタスライス上に実現されたシステム中で使用されている複合ゲートの総等価ゲート数、 $N_T$ はそのシステムの総等価ゲート数である。この結果から、SC方式は単純ゲートで集積密度が高く、逆にMC方式は複合ゲートで集積密度が高くなるという表2.1の比較を定量的に示している。また、VSC方式は $N_C/N_T$ の広い範囲にわたって従来セル方式よりも高いゲート集積密度を実現することがわかる。無線、有線にかか



$N_C$ : 複合ゲートのゲート数,  $N_T$ : 総ゲート数

図 2.5: 集積密度比較

ならず、通信用 LSI においてはフリップフロップやセレクタといった複合ゲートの比率が高く、多くの場合、 $N_C/N_T$  は 75% 以上となっている。このような領域では、VSC は従来セル方式より 20~30% ゲート集積密度が高い。

## 2.4 コンフィギュラブル RAM

### 2.4.1 メモリセル

VSC のユニットを用いたビット構成がフレキシブルなメモリ構成をコンフィギュラブル RAM と呼び、作りつけの固定メモリ構成を専用 RAM と呼ぶ。専用 RAM は、メモリ専用の回路、レイアウトを用いて非常に効率よくメモリを構成することができるが、他の用途には転用できず、使用しなければこの領域は無駄な部分となってしまう。一方、コンフィギュラブル RAM は専用 RAM のように高集積化はできないが、VSC のユニットを用いているため、ビット構成が柔軟で、かつ不要な場合は論理ゲートとして使用することができる。通信用 LSI では、データキャッシュ、バッファメモリ、信号波形イコライザ用のルックアップテーブルなど、サイズが固定で大規模なメモリが必要で、このような用途には専用 RAM が適している。一方、論理回路の中で一時的にデータや制御信号を格納するレジスタの場合には、大規模なメモリ容量は不要で、むしろビット構成の柔軟性が要求されるため、コンフィギュラブル RAM を使うのが効率的である。本マスタスライスでは、専用 RAM とコンフィギュラブル RAM の双方を搭載している。この節ではコンフィギュラブル RAM について述べる。

バイポーラのメモリセルは、ベースとコレクタが互いにクロスカップル接続された 2 つの npn トランジスタと、データ読み出し時の電流でコレクタが飽和しないようにするクランプ素子から構成される。このクランプ素子として、ショットキーバリアダイオード(SBD)や、pnp トランジスタが使用されるが、特に集積度が求められる場合には、メモリセル面積が小さくなる pnp トランジスタによるクランプ回路が用いられる。クロスカップル接続された npn トランジスタのベース(p型)、コレクタ(n型)がそれぞれ、クランプ用 pnp トランジスタのコレクタ(p型)、ベース(n型)と構造

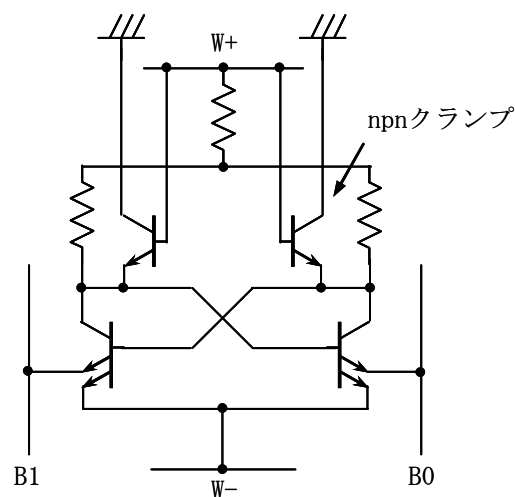


図 2.6: コンフィギュラブル RAM のメモリセル回路



的にマージできるため、メモリセルが小さくなるためである。一方、このようなメモリセルでは、バイポーラマスタスライスにおける論理構成には不要である SBD や pnp トランジスタをユニット内に組み込まなければならない、かえってゲート密度の低下や、面積増大による速度劣化をもたらす。

このため、論理セルと構造的に親和性がある npn トランジスタクランプ型メモリセルを新たに考案した[12]。図 2.6 にコンフィギュラブル RAM のメモリセル回路を示す。メモリセルは、4 つの npn トランジスタと 3 つの抵抗から構成される。論理ゲートの構成には不要な SBD や pnp トランジスタを使用しないため、素子の利用効率低下を防げる。上 2 つの npn トランジスタは、ビット線 B0, B1 がアクティブになったとき、抵抗による電圧降下により下側のクロスカップルされたトランジスタが飽和領域に入るのを防ぐように電圧クランプする働きを持つ。読み込み電流は直接  $V_{CC}$  ライン(グラウンド)から供給されるため、通常巨大なワード線ドライバのトランジスタサイズを小さくでき、またこれにより、論理セルを用いてワード線ドライバを構成することができるようになる。

## 2.4.2 ユニット構成

2.3 節で述べたように、VSC のコンセプトは、4 つのトランジスタと 5 本の抵抗からなるユニッ

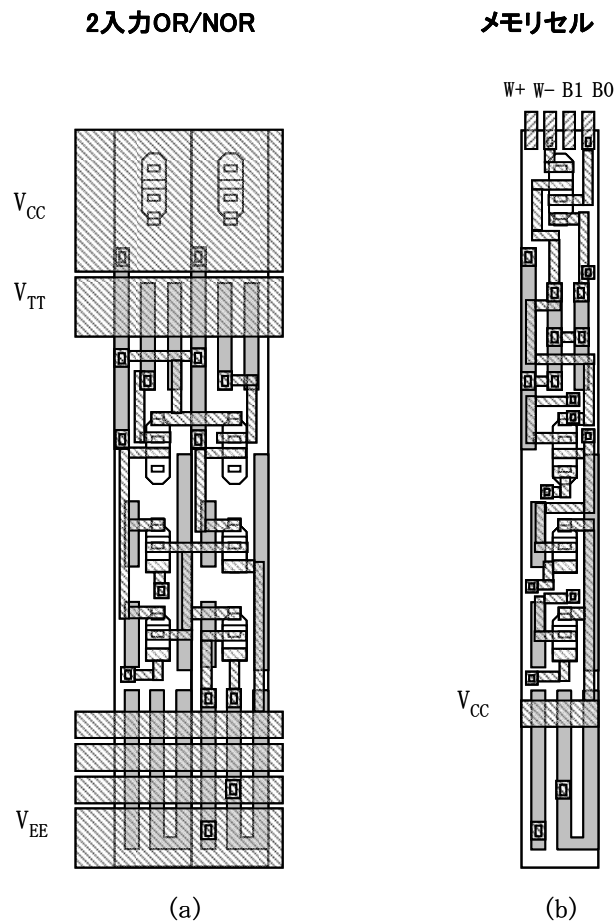


図 2.7: 論理回路とメモリセルの構成例

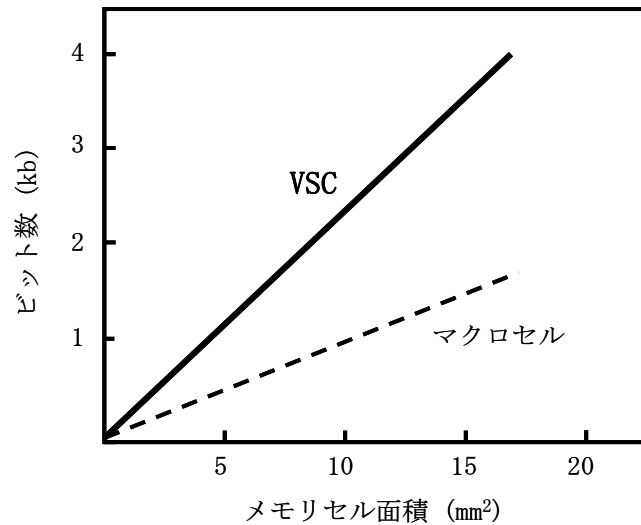


図 2.8: ビット密度比較

トをアレイ状に並べておき、単純ゲート、複合ゲートなど、さまざまな種類の論理ゲートを必要数だけユニットを使用して構成することにある。最小単位が小さいため、単純ゲートに対しても、複合ゲートに対しても、不要素子を最小限に留めることができる。4つのトランジスタの内、3つを論理ゲートに使用し、残る1つは、メモリセル専用である。論理ゲートを構成するときには電源ラインに埋め込まれている4つ目の埋め込みトランジスタを使用することにより、図2.6のメモリセルを1ユニットで構成できる。4つのトランジスタのうち、2つはダブルエミッタ構造のトランジスタであり、メモリセルで使用するとともに、2出力のエミッタフォロワやラッチを構成するときのクロスカップルトランジスタとして使用する。

図2.7に論理回路とコンフィギュラブルRAMのメモリセルの構成例を示す。図2.7(a)は2入力OR/NORをレイアウトパターンで、2ユニットで構成される。トランジスタはすべて使用している。3つの電源配線( $V_{CC}$ ,  $V_{EE}$ ,  $V_{TT}$ )と3つの基準電圧( $V_{BB1}$ ,  $V_{BB2}$ ,  $V_{CS}$ )が1層配線でユニットを横切っている。信号ピンの引き出しは、縦方向に走る2層配線で行う。通常GND(グランド)に設定される $V_{CC}$ ラインの下にトランジスタが埋め込まれている。図2.7(b)はメモリセルのレイアウトパターンである。論理回路の場合と異なり、電流が少ないため、太い電源ラインは不要で、細い $V_{CC}$ ラインのみが横切っている。このため、4つトランジスタすべてが使用可能となる。

### 2.4.3 VSC方式の効果

VSC方式の効果を見積もるためにVSC方式と従来のマクロセル方式を使ったメモリのビット密度を比較した。マクロセル方式は14のトランジスタ、9本の抵抗から構成され、1つのマクロセルで2ビットのメモリセルが構成できると仮定した。

図2.8にVSC方式とマクロセル方式それぞれのメモリセル面積とビット数の関係を示す。VSC方式のメモリビット密度は250ビット/mm<sup>2</sup>であり、従来のマクロセル方式と比べ、2倍以上の集積度である。

## 2.5 VSC 方式の実装例

VSC方式を採用したユニットアレイと32kビットの専用RAMを内蔵したマスタスライスLSIを設計した。以下、0.6  $\mu\text{m}$  バイポーラプロセスを用いて試作したマスタスライスLSIの仕様、および評価結果について述べる。

### 2.5.1 チップフロアプラン

マスタスライスLSIのチップフロアプランを図2.9に示す。上下に8個の専用RAMが配置され、中央に論理回路用ユニットが配置されている。トータル8640ユニットが15行に並べられている。電源ラインを確保するため、1行は4列に分割され、1ブロック当たり144ユニットとなっている。ユニットサイズは $18 \times 225 \mu\text{m}^2$ である。複合ゲート換算で12.1kゲート相当となる。ブロック間は配線のためのチャンネルとなっており、1チャンネル35トラックの配線本数である。もし、すべてのユニットをコンフィギュラブルRAMとして使用した場合、制御回路も含め5.8kビットとなる。基準電圧発生回路は、それぞれのブロックの両端に置かれている。

専用RAMの1プレーンは256ワード  $\times$  18ビット構成で、プレーンサイズは $2.8 \times 2.15 \text{mm}^2$ である。8つのプレーン合計で、メモリサイズは32kビットである。専用RAMのメモリセルには、コンフィギュラブルRAMと異なり、2.4.1で触れたように、メモリセル面積が小さくなる通常のpnpトランジスタクランプ型メモリセルを採用している。書き込み/読み出し電流は1.0mA、スタンバイ電流は $2 \mu\text{A}$ である。専用RAMのメモリ構成は、8プレーンの使い方によって512ワード  $\times$  72ビット、2kワード  $\times$  18ビットといった構成が可能である。これらの切り替えは論理回路によって行うことができる。専用RAMはロジック部とは独立にテストすることができ、また、直接I/OピンからRAMへアクセスできるようになっており、通常のメモリテストが実行できる。

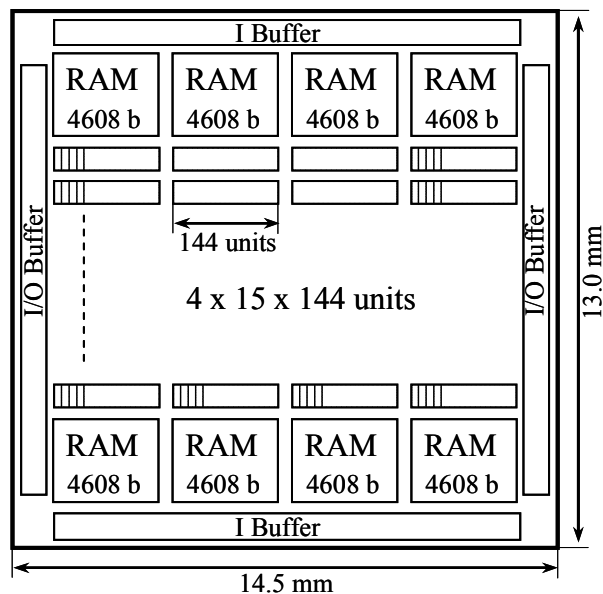


図 2.9: マスタスライスのチップフロアプラン

ユニットセルと専用 RAM はそれぞれ、34.6k および 174.6k トランジスタが集積されており、トータルの特ランジスタ数は 209k である。チップサイズは 14.5 x 13 mm<sup>2</sup> である。チップの周辺には、144 個の入力パッドと 128 個の入出力パッドが配置されている。5 個の入力パッドと 1 個の出力パッドは専用 RAM テスト専用である。

## 2.5.2 論理回路

ユニットセルで構成する論理回路部は 2 段のシリーズゲート構成である。論理振幅は 460 mV、スイッチング電流は速度性能と消費電力のバランスを取って 0.2 mA としている。エミッタフォロワ電流は、駆動能力に応じて、0.15, 0.45, 0.68 mA の 3 種類の電流値を選べるようにしている。このうち、0.15 mA は D-ラッチのクロスカップルといった論理ゲート内でのみ、使用できる。

電源  $V_{EE}$  および  $V_{TT}$  の電圧はそれぞれ、-4.5 V, -2.0 V である。 $V_{EE}$  はスイッチング段および、入力フォロワのための電源で、 $V_{TT}$  はエミッタフォロワの終端電圧である。 $V_{EE}$  はまた、コンフィギュラブル RAM の制御回路にも使用される。

出力バッファは内部論理回路の信号振幅を ECL 100K と呼ばれる標準 I/O インターフェースに変換する。出力バッファの出力レベルは温度補償回路によって安定化されている。基準電圧発生回路は、2 つの参照電圧  $V_{BB1}$  と  $V_{BB2}$ 、および定電流源回路用バイアス電圧  $V_{CS}$  を生成する。これらの電圧は、温度、電源電圧に対して安定となるように、バンドギャップレファレンス回路[13]を用いて生成されている。マスタスライスの諸元を表 2.2 に纏める。

なお、標準 I/O インターフェースである ECL 100K は負電源で規定されている。これは ECL の出力レベルが、 $V_{CC}$  に接続された負荷抵抗の電圧降下とベースエミッタ間電圧  $V_{be}$  で決定されるため、 $V_{CC}$  をグランドに、 $V_{EE}$ 、 $V_{TT}$  を負電源とすることで出力レベルが  $V_{EE}$  や  $V_{TT}$  の変動によらなくなるためである。この ECL 100K インターフェースを考慮した本章、および第 3 章では負電源を使用している。一方、ニッケル水素やリチウムイオンといったバッテリーは正電源であるため、バッテリー駆動を考慮した回路では正電源を使用している。第 4 章から第 6 章までは正電源である。

表 2.2: マスタスライス諸元

トランジスタ数	ロジック	34.6 k
	RAM	174.6 k
メモリセル		36864
トラック数		2924
スイッチング電流		0.2 mA
エミッタフォロワ電流		0.45 mA / 0.68 mA
I/Oピン数		144 / 128
電源電圧		-4.5 V / -2.0 V
I/Oインターフェース		ECL100K

### 2.5.3 コンフィギュラブル RAM の構成

図 2.10 にコンフィギュラブル RAM のブロック図とチップ拡大写真を示す。RAM の構成は 16 ワード x 18 ビットである。メモリセルは 288 ユニットのセルを使用し、2 列に配置されている。一番下の列はメモリの制御回路であり、デコーダ、ワード線ドライバ、センスアンプなどが論理ゲートを用いて構成されている。RAM のブロックサイズは制御回路を含めて、 $990 \times 2600 \mu\text{m}^2$  である。

メモリセルだけでなく、制御回路までも VSC のユニットセルを用いて実現できるため、いろいろなビット・ワード構成が可能である。16 ワード x 18 ビットだけでなく、32 ワード x 9 ビット、32 ワード x 18 ビットといった構成ができる。RAM のサイズは、ユニット 1 列分(144 ユニットのセル/144 ビット)毎に増減することができる。

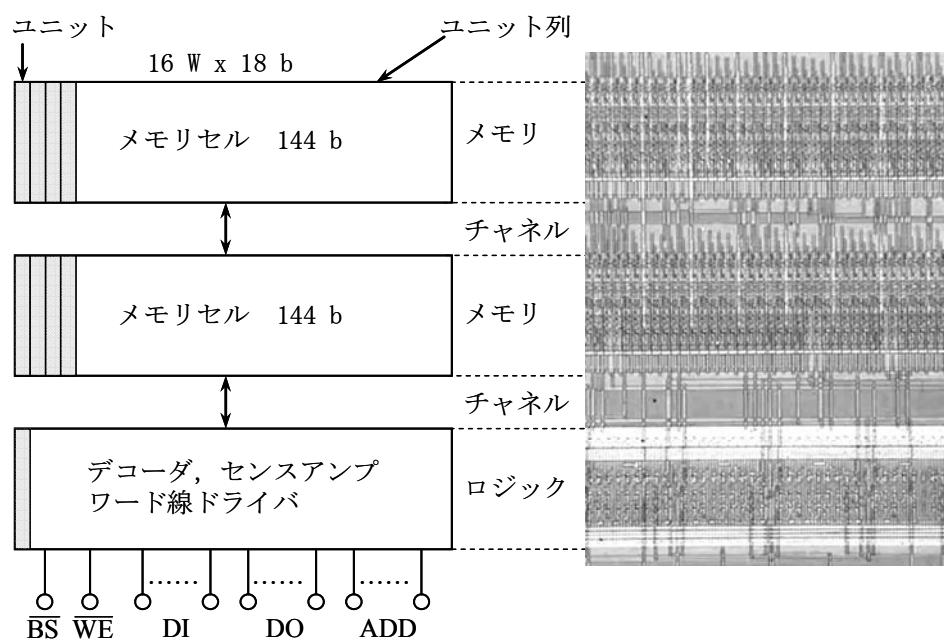


図 2.10: コンフィギュラブル RAM のレイアウト

## 2.5.4 プロセス技術

マスタスライス LSI を  $0.6\ \mu\text{m}$  2層ポリシリコン自己整合技術のバイポーラプロセスで試作した。トランジスタの断面図を図 2.11 に示す。この構成の特長は、ポリシリコンエミッタ電極とシリサイド化されたベース電極が自己整合技術によって形成される点である。すなわち、1つのマスクで、エミッタ電極の穴開け、ベース電極との分離、エミッタ注入、エミッタポリシリコン形成まで行うことができ、エミッタ部を精度良く、かつ、寄生成分を小さくすることができる。ベース電極は、寄生抵抗を小さくするためにチタンシリサイド化されている。エミッタサイズは  $0.6 \times 2.0\ \mu\text{m}^2$  であり、分離エリアを除く実行トランジスタサイズは  $15\ \mu\text{m}^2$  である。最小サイズトランジスタの遮断周波数は 8 GHz である。

配線は 4 層であり、1 層目はユニット内の未使用ポリシリコン抵抗をチタンシリサイド化したセル内配線である。2 層目、3 層目はそれぞれ、 $3.0\ \mu\text{m}$  ピッチの AlSi、 $4.5\ \mu\text{m}$  ピッチの AlSiCu である。これらの配線は、セル内配線、セル間配線に使用される。4 層目は電源ライン専用となる。

多ピン化に対応するため、TAB (Tape automated bonding) を採用した。TAB は、ワイヤによるボンディングではなく、テープ状に形成されたリードとパッドを接続する方法である。パッド上には TAB に対応するためバンプが形成される。このバンプは、パッド上にクロム銅がスパッタ形成されたのち、 $25\ \mu\text{m}$  厚の金メッキが施されて形成される。今回、このバンプメタルをパッシベーション膜上の再配線層として使用した。バンプメタルを電源パッドからチップ中央部まで延長し、直接電源を供給する。その形状からロングレッグバンプ (足長バンプ) と呼ばれる再配線層により、電源ラインの配線抵抗を低減することが可能となる。このロングレッグバンプは 5 番目の配線層に対応する。ロングレッグバンプの SEM 写真 (Scanning Electron Microscope) を図 2.12 に示す。ロングレッグバンプを採用することにより、電源ラインの電圧降下が、チップ中央で  $40\ \text{mV}$  から  $20\ \text{mV}$  以下に低減できた。パッシベーション膜上に形成されるため、下層にある配線との寄生容量は、通常メタル配線よりも小さくなっている。

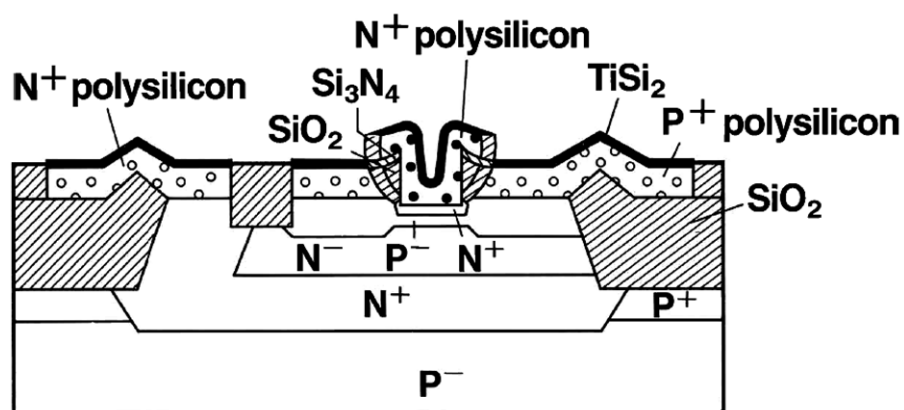


図 2.11: トランジスタ断面図

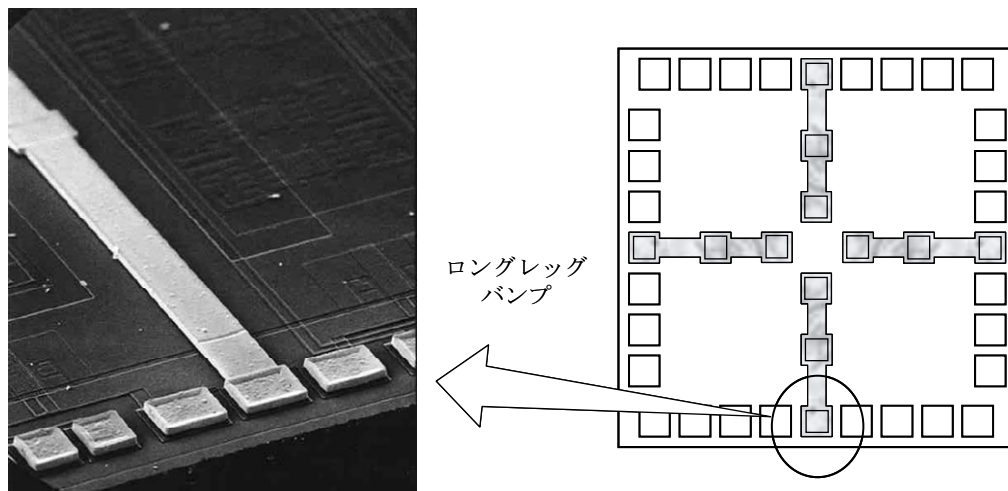


図 2.12: ロングレッグバンプ

### 2.5.5 評価結果

速度性能を評価するため、テストチップを用いてさまざまな負荷条件でのゲート遅延時間を測定した。表 2.3 にゲート遅延特性をまとめる。無負荷でのインバータのゲート遅延は、消費電力 1.8 mW のとき、110 ps であった。ファンイン 1 つ当たりの遅延増は 26 ps、ファンアウト 1 つ当たりの遅延増は 14 ps であった。1 層目と 2 層目の配線遅延は、エミッタフォロワ電流が 0.45 mA のとき、それぞれ、45 および 33 ps/mm である。エミッタフォロワ電流を 0.68 mA に増加させると、配線遅延はそれぞれ、33 および 23 ps/mm となる。

専用 RAM とコンフィギュラブル RAM の特性を表 2.4 に纏める。専用 RAM のアドレスアクセスタイムは 3.0 ns、書き込みパルス幅は 5.5 ns、消費電力は 1.3 W である。コンフィギュラブル RAM のアドレスアクセスタイムは、32 ワード x 9 ビット構成で 1.8 ns、消費電力は 0.41 W である。スタンバイ時と読み出し時の電流は、それぞれ 120  $\mu$ A、800  $\mu$ A である。

表 2.3: ゲート遅延特性

基本遅延時間	110 ps/1.8 mW
ファンイン遅延	26 ps/fan-in
ファンアウト遅延	14 ps/fan-out
配線遅延	1st 45 ps/mm @ $I_{ef}$ = 0.45 mA
	2nd 33 ps/mm
	1st 33 ps/mm @ $I_{ef}$ = 0.68 mA
	2nd 23 ps/mm

表 2.4: RAM の特性

<b>専用RAM (256 w x 18 b)</b>	
アドレスアクセスタイム	3.0 ns
書き込みパルス幅	5.5 ns
消費電力	1.3 W
ブロックサイズ	2.8 mm x 2.15 mm
<b>コンフィギュラブル RAM (32 w x 9 b)</b>	
アドレスアクセスタイム	1.8 ns
消費電力	0.41 W

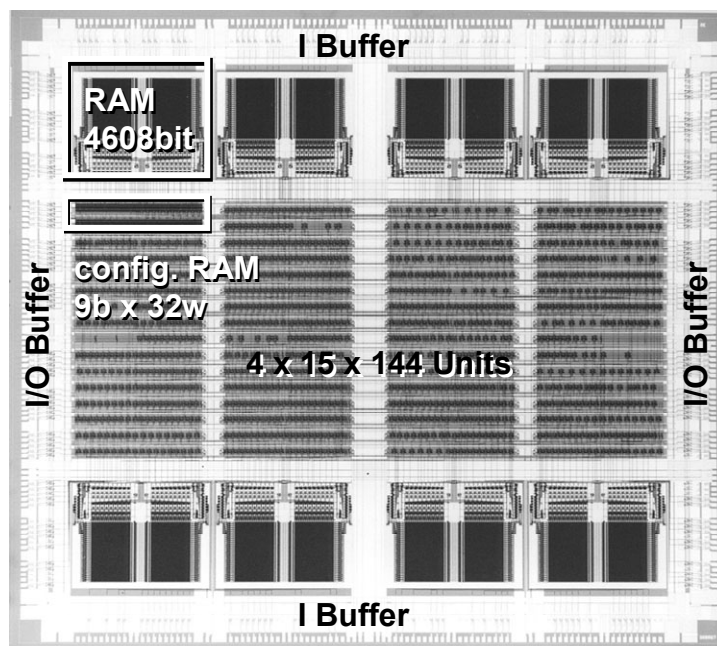


図 2.13: マスタスライス LSI チップ写真

図 2.13 にマスタスライス LSI のチップ写真を示す。256 ワード x 69 ビットの専用 RAM が 2 個、16 ワード x 18 ビットのコンフィギュラブル RAM、9k ゲートの論理回路が集積されている。ユニットセルの左上隅にあるのがコンフィギュラブル RAM である。



## 2.6 結言

Variable Size Cell (VSC) 方式によって、単純な OR/NOR ゲートでもフリップフロップのような複合ゲートでも未使用素子を減らすことが出来、使用効率を上げることができた。従来のシンプルゲート方式やマクロセルセル方式と比較してゲート集積密度は 20~30 % 向上した。また、電源ラインの下にトランジスタを埋め込むことで、セル面積を増加させることなく、1 ユニットで 1 ビットのメモリセルを実現できるようにした。これにより論理ゲート用のユニットを使用してビット、ワード構成に柔軟性のあるコンフィグurable RAM を効率よく構成できる。従来方式と比較してビット密度は 2 倍以上向上する。この技術を用いて 36k ビットの専用 RAM と 12k ゲートの論理ゲートを持つマスタスライス LSI を試作した。基本ゲート遅延は 110 ps、消費電力は 1.8 mW/ゲートであった。RAM のアドレスアクセスタイムは、専用 RAM で 3.0 ns、32 ワード x 9 ビット構成のコンフィグurable RAM で 1.8 ns が得られた。また、TAB 用のバンププロセスを配線として使用するロングレグバンプを採用することにより、電源ラインの電圧降下が、チップ中央で 40 mV から 20 mV 以下に低減できた。

文献[12]の発表以降もバイポーラマスタスライスの高集積化、大規模 RAM の搭載が進み、また、VSC 方式のコンセプトをベースにした製品も数社から発表された。1990 年代の後半からは大規模マスタスライスの分野は徐々に CMOS のゲートアレイ、セルベース、エンベデッドセルアレイに置き換わっているが、高周波で動作するアナログ回路を含むビルディングブロック方式のマスタスライス LSI は現在でもバイポーラが主流である。VSC 方式を可能とするシリサイドによる抵抗値可変の手法はこれらのマスタスライスには必須の技術である。また、発表当時は特異な技術と捉えられていたバンププロセスによる配線は、現在ではフリップチップ実装の際にごく普通に使用されている。この再配線技術を用いて、高 Q なインダクタを形成し、無線通信用トランシーバを高性能化する試みも行われている。

## 参考文献

- [1] M. Suzuki, S. Horiguchi, and T. Sudo, "A 5K-gate bipolar masterslice LSI with a 500 ps loaded gate delay," *IEEE J. Solid-State Circuits*, vol. 18, no. 5, pp. 585-592, Oct. 1983.
- [2] E. Gonauser, B. Unger, R. Rauschert, A. Glasl, and K. Schon, "A bipolar 230 ps masterslice cell array with 2600 gates," *IEEE J. Solid-State Circuits*, vol. 19, no. 3, pp. 299-305, Jun. 1984.
- [3] M. Suzuki and S. Horiguchi, "A 333 ps/800 MHz 7 K-gate bipolar macrocell array employing 4 level metallization," *IEEE J. Solid-State Circuits*, vol. 19, no. 4, pp. 474-479, Aug. 1984.
- [4] W. Brackelmann, H. Fritzsche, H. Ullrich, and A. Wieder, "A 150-ps 9000-gate ECL masterslice," *IEEE J. Solid-State Circuits*, vol. 20, no. 5, pp. 1032-1035, Oct. 1985.
- [5] M. Suzuki, M. Hirata, and Y. Ito, "An 86 K component bipolar VLSI masterslice with a 290-ps loaded gate delay," *IEEE J. Solid-State Circuits*, vol. 22, no. 1, pp. 41-46, Feb. 1987.
- [6] B. Coy, A. Mai, and R. Yuen, "A 13000 gate 3 layer metal bipolar gate array," *Proc. CICC*, pp. 20.1/1-3, May 1988.
- [7] M. Tamamura, S. Shiotsu, M. Hojo, K. Nomura, S. Emori, H. Ichikawa, and T. Akai, "A 9.5-Gb/s Si-bipolar ECL array," *IEEE J. Solid-State Circuits*, vol. 27, no. 11, pp. 1575-1578, Nov. 1992.
- [8] R. T. Masumoto, "Configurable on-chip RAM incorporated into high speed logic array," *Proc. CICC*, pp. 240-243, May 1985.
- [9] Y. Sugo, M. Tanaka, Y. Mafune, T. Takeshima, S. Aihara, and K. Tanaka, "An ECL 2.8ns 16K RAM with 1.2K logic gate array," *ISSCC Dig. Tech. Papers*, pp. 256-257, Feb. 1986.
- [10] T. Nishimura, H. Sato, M. Tatsuki, T. Hirao, and Y. Kuramitsu, "A bipolar 18K-gate variable size cell masterslice," *IEEE J. Solid-State Circuits*, vol. 21, no. 5, pp. 727-732, Oct. 1986.
- [11] 西村尚, 蔵満洋一, 平尾正, "17.8K ゲート ECL マスタスライス," *電子材料*, pp. 110-115, July 1986.
- [12] H. Satoh, T. Nishimura, M. Tatsuki, A. Ohba, S. Hine, and Y. Kuramitsu, "A 209 K-transistor ECL gate array with RAM," *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1275-1279, Oct. 1989.
- [13] R. J. Widlar, "New developments in IC voltage regulators," *IEEE J. Solid-State Circuits*, vol. 6, pp. 2 - 7, Feb. 1971.



## 第3章 低電圧動作バイポーラシリーズゲート回路

### 3.1 緒言

前章で述べたように、バイポーラ論理回路では差動対を縦積み2段にしたシリーズゲート回路構成にすることによって、複合ゲートを効率よく構成することができる。しかしながら、縦積み2段であるがゆえに、必要とされる電源電圧が大きく、低電源電圧動作化を困難にしていた。この回路の最低動作電圧は2.5Vであり、論理回路の外部インターフェース電圧や電池の終端電圧である2V以下で動作させることができず、2電源が必要であったり、消費電力が大きいという問題がある。

携帯電話、無線LAN(Wireless Local Area Network)等の携帯無線通信機器では連続動作時間の点から素子の低消費電力化が重要な課題の一つである。この要求に応えるためにいくつかの低電圧技術が発表されている[1]-[3]。これらの回路はそれぞれ2.2V、2.5V、1.5Vという低電圧で動作するが、バイポーラ回路の最も有利な点であるシリーズゲート回路を構成しにくく、電源電圧変動に対する考慮も十分されていないなど、実用的ではなかった。電源電圧変動によるスイッチング電流の変化はトランジスタの飽和やノイズマージンの低下を招いたりする。低電圧動作では電圧マージンが少ないだけに特に重要な問題となる。

本章では、2V以下で動作し、かつ電源電圧補償されたバイポーラシリーズゲート回路[4]について述べる。まず、はじめに低電圧シリーズゲート LSG(Low-voltage Series Gate)と、電源電圧 $V_{EE}$ に追従するバッファVTB( $V_{EE}$ -Traced Buffer)の概念について述べ、次にこの回路を1/4分周器(4進カウンタ)に適用した例を示し、最後に試作、評価結果を紹介する。

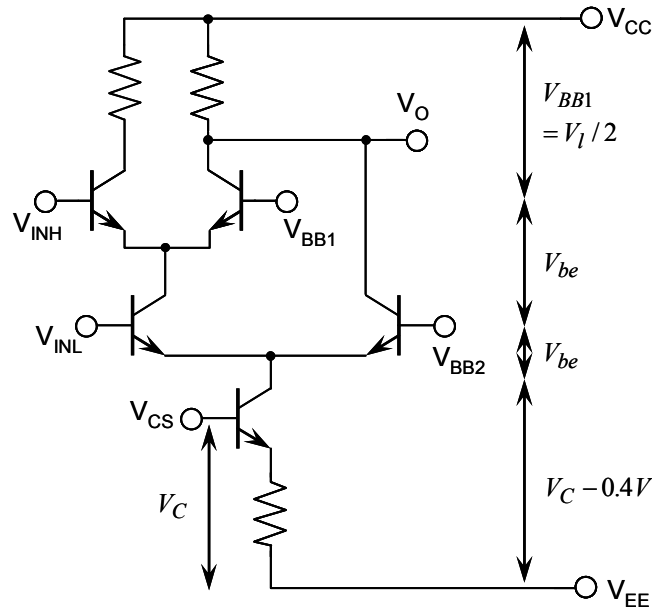
### 3.2 回路設計

#### 3.2.1 低電圧シリーズゲート

前章で述べたECL回路からエミッタフォロワを取り除いたものをLCML(Low-level Current Mode Logic)と呼ぶ。エミッタフォロワのベース-エミッタ間電圧分だけ低電圧で動作する。また、エミッタフォロワ電流がないため、負荷駆動能力を要求しない回路では低消費電力化が図れる。図3.1にLCML回路を示す。 $V_{CC}$ は通常グラウンドGNDに、 $V_{EE}$ は負電源に接続される。この回路図は2段のシリーズゲート構成である。バイポーラ回路においては電源電圧の範囲はトランジスタのベース-コレクタの飽和によって制限される。図3.1の回路において、 $V_{BB1}$ は上位入力用の基準電圧で、論理振幅 $V_I$ の半分に設定される。下位入力用の基準電圧 $V_{BB2}$ は、 $V_{BB1}$ の $1V_{be}$ 分低下した電圧に設定される。LCMLでは上位入力トランジスタが論理振幅分必ず飽和し、また0.4V程度の軽い飽和状態ならばほとんど速度遅延に影響を及ぼさないことから、すべてのトランジスタはベース-コレクタが0.4Vまでは順バイアスされてもよいと仮定した。定電流回路のトランジスタのコレクタノードと $V_{EE}$ 間の電圧は $V_C - 0.4V$ となる。ここで $V_C$ は1.1Vであり、バンドギャップレファレンス回路の出力電圧である。従って、最小電源電圧 $V_{EE\min}$ はこれらの総和であり、以下のように表される。

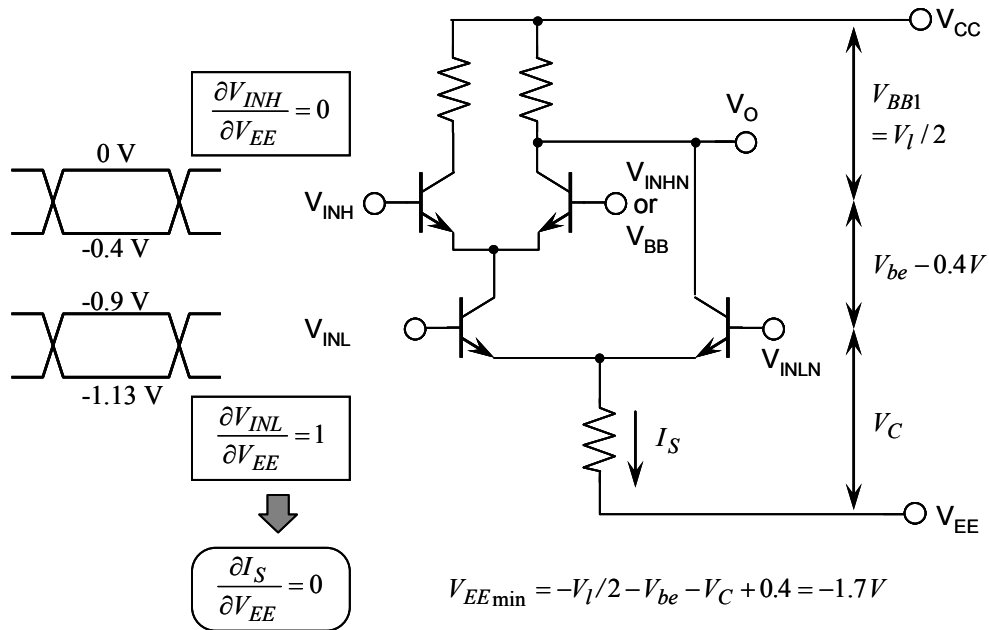
$$V_{EE\min} = -V_l/2 - 2V_{be} - V_C + 0.4 V \quad (3. 1)$$

ここで  $V_l = 0.4 V$ ,  $V_{be} = 0.8 V$ ,  $V_C = 1.1 V$  とすると,  $V_{EE\min}$  は  $-2.5 V$  となる. 電源電圧, 温



$$V_{EE\min} = -V_l/2 - 2V_{be} - V_C + 0.4 = -2.5V$$

図 3. 1: LCML 回路



$$V_{EE\min} = -V_l/2 - V_{be} - V_C + 0.4 = -1.7V$$

図 3. 2: 低電圧シリーズゲート Low-voltage Series-Gate (LSG)

度，プロセス等の各種マージンを考慮すると，現実的な電源電圧は-3.0 V程度である[5]．

最も簡単な電源電圧の低減方法は，定電流回路の代わりに抵抗，MOS FET等を用いて電流源を構成することである．しかし，これらの方法は電流源の制御が難しく，プロセス，温度，電源電圧変動に対して定電流特性を維持することが困難である．

必要となる最低電源電圧を下げるために，シリーズゲートの下位入力トランジスタと定電流トランジスタをマージした．図 3.2 に提案する低電圧シリーズゲート (LSG : Low-voltage Series-Gate) の回路を示す．基本的には，電流源が抵抗タイプの 2 段シリーズゲートと同じである．最小電源電圧  $V_{EE\min}$  は次のように表される．

$$V_{EE\min} = -V_l/2 - V_{be} - V_C + 0.4V \quad (3. 2)$$

上記と同じ値を代入すると， $V_{EE\min}$  は-1.7 Vとなる．従来の LCML では，下位入力電圧  $V_{INL}$ ， $V_{INLN}$  は通常上位入力電圧  $V_{INH}$ ， $V_{INHN}$  より  $1 V_{be}$  分低い電圧に設定される．これらの電圧は電源電圧  $V_{EE}$  に依存しない．スイッチング電流  $I_S$  は，下位差動対に入力される  $V_{INL}$ ， $V_{INLN}$  のうち，どちらか高い方の電圧で決定される．従ってこのままでは，下位入力トランジスタのベースと  $V_{EE}$  間の電圧が  $V_{EE}$  に応じて変化することになり，差動対のスイッチング電流の変動を招く．

そこで，下位入力は，出力特性が定電流回路用基準電圧  $V_{CS}$  と対応した下位入力用のバッファ回路によって駆動されるようにした． $V_{EE}$  追従バッファ (VTB :  $V_{EE}$ -Traced Buffer) と呼ぶバッファの出力は  $V_{EE}$  の変動に追従して変化する ( $\partial V_{INL} / \partial V_{EE} = 1$ )．これにより，下位入力の“H”レベルと  $V_{EE}$  間の電圧は一定となり，スイッチング電流も  $V_{EE}$  に依らず一定となる．標準状態で， $V_{INL}$  の“H”レベルは-0.9 V，“L”レベルは-1.13 V に設定している．

VTB はそれ自身，OR/NOR などの論理を組むことができる．シリーズゲートの下位入力は，セレクタのセレクト信号やフリップフロップのクロック入力であるため，これらの入力に接続される論理回路を VTB (あるいは  $V_{EE}$  追従論理ゲート) に置き換えればよく，VTB を下位入力毎に挿入するわけではない．また，シリーズゲートの入力ピンに，上位入力，下位入力の属性を持たせることにより，論理検証の際には，下位入力と  $V_{EE}$  追従論理ゲートの出力が接続されていることを検証することが可能である．

### 3.2.2 $V_{EE}$ 追従バッファ (VTB)

図 3.3(a) は  $V_{EE}$  追従バッファの基本回路である．出力電圧  $V_O$  の特性は，基準電圧  $V_{CS}$  と同じであり，電源電圧  $V_{EE}$  に追従しなければならない．

今，入力電圧  $V_{IN}$  が“H”レベルの時，トランジスタ  $Q_2$  はオフするので，“H”レベルの出力電圧  $V_{OH}$  は次式で表される．

$$V_{OH} = V_{CC} - (R_2 + R_3)I_2 \quad (3. 3)$$

ここで

$$I_2 = (V_{REF} - V_{be} - V_{EE}) / R_4 \quad (3. 4)$$

である．式(3. 4)の両辺を  $V_{EE}$  で偏微分すると  $V_{OH}$  の  $V_{EE}$  依存性を表す式が求まる．

$$\frac{\partial V_{OH}}{\partial V_{EE}} = -\frac{(R_2 + R_3)}{R_4} \left( \frac{\partial V_{REF}}{\partial V_{EE}} - 1 \right) \quad (3. 5)$$

$\partial V_{REF} / \partial V_{EE} = 0$  かつ， $R_2 + R_3 = R_4$  の場合には式(3. 5)は 1 になる． $V_{OH}$  の特性は定電流回路用基準電圧  $V_{CS}$  と同じ特性となり，次段のゲートのスイッチング電流は電源電圧に依らず一定となる．

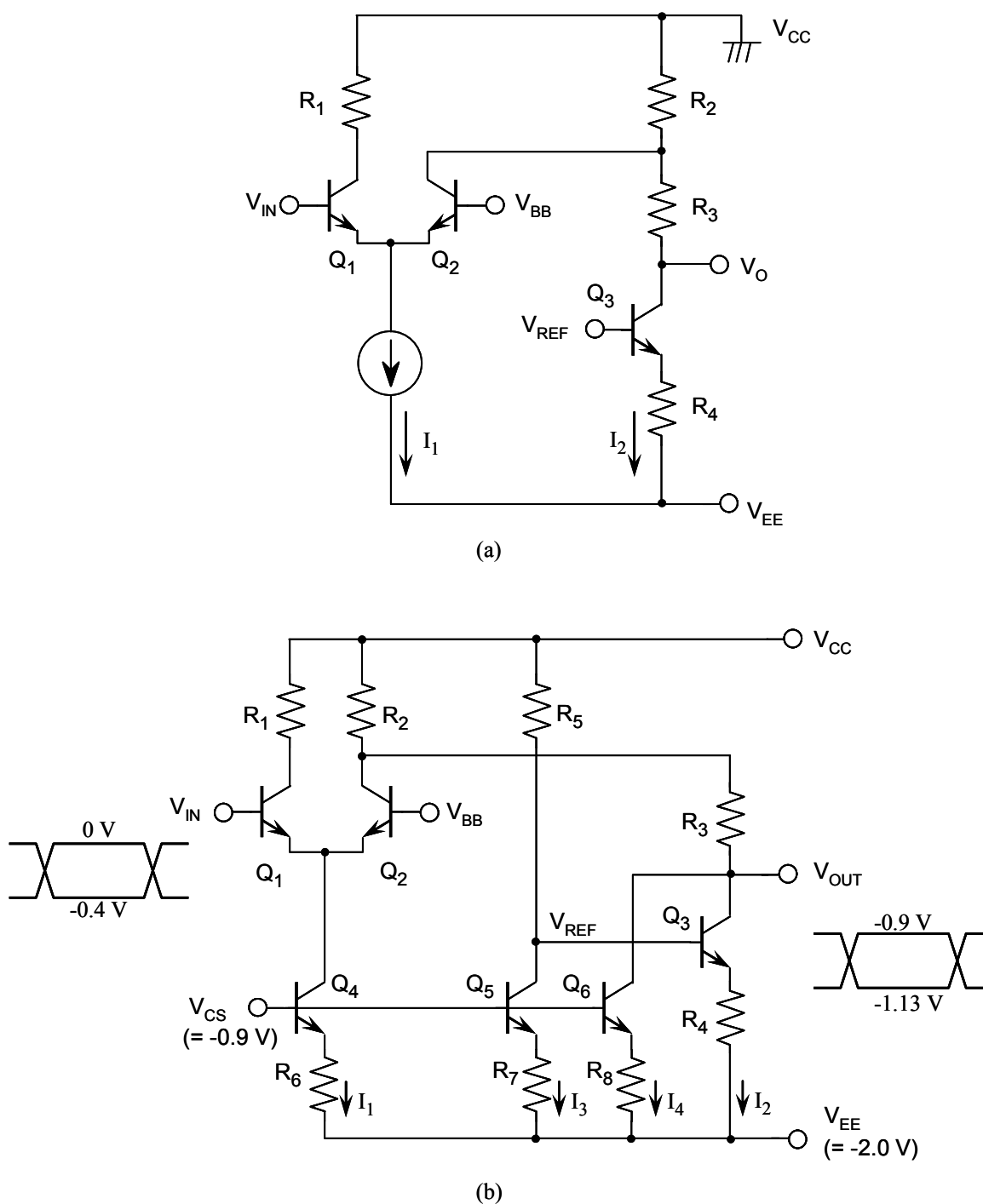


図 3.3: VEE 追従バッファ (VTB): (a) 基本回路, (b) 詳細回路

入力電圧が“L”レベルの時, トランジスタ  $Q_2$  は導通する. “L”レベルの出力電圧  $V_{OL}$  は次のように表される.

$$V_{OL} = V_{CC} - R_2(I_1 + I_2) - R_3I_2 \quad (3.6)$$

スイッチング電流  $I_1$  は  $V_{EE}$  に依存しないので、上記と同じ条件の時には、

$$\frac{\partial V_{OL}}{\partial V_{EE}} = 1 \quad (3. 7)$$

が得られる。(3. 5)および(3. 7)より、出力電圧  $V_O$  は“H”レベル、“L”レベルともに  $V_{EE}$  に完全に追従することがわかる。

$V_{EE}$  追従バッファの全回路図を図 3. 3(b)に示す。 $V_{CS}$  は  $V_{EE}$  に追従し、 $I_3$  は  $V_{EE}$  に依らず一定なので、トランジスタ  $Q_3$  のベース電圧 ( $V_{REF} = V_{CC} - R_5 I_3$ ) の  $V_{EE}$  依存性は 0 である。

また、 $R_3$  の設計自由度を上げるために、トランジスタ  $Q_6$  と抵抗  $R_8$  を挿入している。本回路は、 $R_3$  の両端にかかる電圧を  $V_{EE}$  に追従して増減することによって、出力レベルの電源電圧依存性を相殺している。したがって、動作電源電圧範囲を広く取るには、 $R_3$  の両端にかかる電圧を大きく確保することが望ましい。一方、低電圧で動作するには、 $R_4$  の両端にかかる電圧は可能な限り小さく設定することが望ましい。これらのことから求められる仕様によっては、 $R_3 > R_4$  となり、 $R_2 + R_3 = R_4$  という条件を満たさなくなる恐れがある。また、 $R_3$  は出力インピーダンスを直接増加させるため、負荷容量が大きいときに周波数応答の劣化を招く。 $R_3$  の両端にかかる電圧を大きくとることと、 $R_3$  の値を小さく設定することを両立させるために、トランジスタ  $Q_6$  と抵抗  $R_8$  で構成される電流源が必要となる。後で述べるように、 $Q_6$  と  $R_8$  は  $V_{EE}$  依存性に影響せず、 $V_{EE}$  追従のために必要な回路ではないため、不要な場合は削除可能である。

“H”レベルでの出力電圧  $V_{OH}$  は、

$$V_{OH} = V_{CC} - (R_2 + R_3)(I_2 + I_4) \quad (3. 8)$$

で表される。ここで、

$$\begin{aligned} I_2 &= (V_{REF} - V_{EE} - V_{be}) / R_4 \\ &= -(V_{CS} - V_{EE} - V_{be}) R_5 / (R_4 \cdot R_7) - (V_{EE} + V_{be}) / R_4 \end{aligned} \quad (3. 9)$$

$$I_4 = (V_{CS} - V_{EE} - V_{be}) / R_8 \quad (3. 10)$$

である。従って、 $V_{OH}$  と  $V_{EE}$  の関係は次式で表される。

$$\frac{\partial V_{OH}}{\partial V_{EE}} = \left( \frac{R_5(R_2 + R_3)}{R_4 \cdot R_7} - \frac{R_2 + R_3}{R_8} \right) \left( \frac{\partial V_{CS}}{\partial V_{EE}} - 1 \right) + \frac{R_2 + R_3}{R_4} \quad (3. 11)$$

ここで  $V_{CC} = 0V$ 、 $\partial V_{be} / \partial V_{EE} \cong 0$  とした。式(3. 11)の右辺第 1 項は、 $\partial V_{CS} / \partial V_{EE} = 1$  であるから 0 になる。従って、式(3. 11)は簡単に

$$\frac{\partial V_{OH}}{\partial V_{EE}} = \frac{R_2 + R_3}{R_4} \quad (3. 12)$$

で表される。ここで  $R_8$  が含まれていないことに注目する。トランジスタ  $Q_6$  および抵抗  $R_8$  を用いて、 $R_2 + R_3 = R_4$  となるように  $V_{EE}$  依存性に影響することなく自由に  $R_3$  を調整することができる。これにより  $\partial V_{OH} / \partial V_{EE} = 1$  となる。したがって、次段に接続される回路のスイッチング電流は電源電圧の変動に対して安定な特性となる。

入力電圧が“L”レベルの時には、トランジスタ  $Q_2$  は導通状態になり、出力電圧は  $I_1 \cdot R_2$  だけ降下する。 $V_{OH}$  のときと同様の議論により、 $\partial V_{OL} / \partial V_{EE}$  もまた 1 となる。 $V_{OUT}$  から出力される信号振幅 ( $= V_{OH} - V_{OL}$ ) は、230 mV である。

出力電圧  $V_O$  に対する温度の影響は以下のとおりである。まず、式(3. 8)の両辺を温度  $T$  で偏微分する。 $V_{OH}$  と温度との関係は次式で表される。



$$\frac{\partial V_{OH}}{\partial T} = \frac{\partial}{\partial T} \left[ -\frac{R_2 + R_3}{R_4} \left\{ \left( \frac{R_4}{R_8} - \frac{R_5}{R_7} \right) (V_{CS} - V_{be}) - V_{be} \right\} \right] \quad (3.13)$$

抵抗値の温度係数は抵抗値に依らずほとんど一定であるので、式(3.13)は、

$$\frac{\partial V_{OH}}{\partial T} = -\frac{R_2 + R_3}{R_4} \left\{ \left( \frac{R_4}{R_8} - \frac{R_5}{R_7} \right) \left( \frac{\partial V_{CS}}{\partial T} - \frac{\partial V_{be}}{\partial T} \right) - \frac{\partial V_{be}}{\partial T} \right\} \quad (3.14)$$

と変形できる． $R_2 + R_3 = R_4$  であり、また、スイッチング電流が一定になるように  $\partial V_{CS} / \partial T$  は  $\partial V_{be} / \partial T$  と等しくなるように設定するため、式(3.14)は簡単に

$$\frac{\partial V_{OH}}{\partial T} = \frac{\partial V_{be}}{\partial T} = \frac{\partial V_{CS}}{\partial T} \quad (3.15)$$

と表される．これは  $V_{OH}$  が温度特性に関しても  $V_{CS}$  と同じ特性を持っていることを示している．

以上により、 $V_{EE}$  追従バッファ VTB の出力電圧は電源電圧  $V_{EE}$ 、温度  $T$  ともに基準電圧  $V_{CS}$  と同じ特性を示すことがわかる．VTB は LCML レベルの入力 ( $V_{IH} = 0 \text{ V}$ ,  $V_{IL} = -0.4 \text{ V}$ ) を次段のシリズゲートの下位入力用レベル ( $V_{OH} = -0.9 \text{ V}$ ,  $V_{OL} = -1.13 \text{ V}$ ) に変換する．

### 3.2.3 基準電圧発生回路

バンドギャップを利用した回路[6]を基に基準電圧発生回路を設計した．回路は  $2 \text{ V}$  で動作するように最適化を行った．図 3.4 に示す基準電圧発生回路は上位入力の論理閾値である  $V_{BB}$  と定電流回路用基準電圧  $V_{CS}$  を発生する．標準状態で  $V_{BB} = -0.2 \text{ V}$ ,  $V_{CS} = -0.9 \text{ V}$  である．通常  $V_{CS} - V_{EE}$  の電圧は温度によらず一定となるよう、 $1.2 \sim 1.25 \text{ V}$  程度の値が選ばれるが、ここでは  $1.1 \text{ V}$  (=

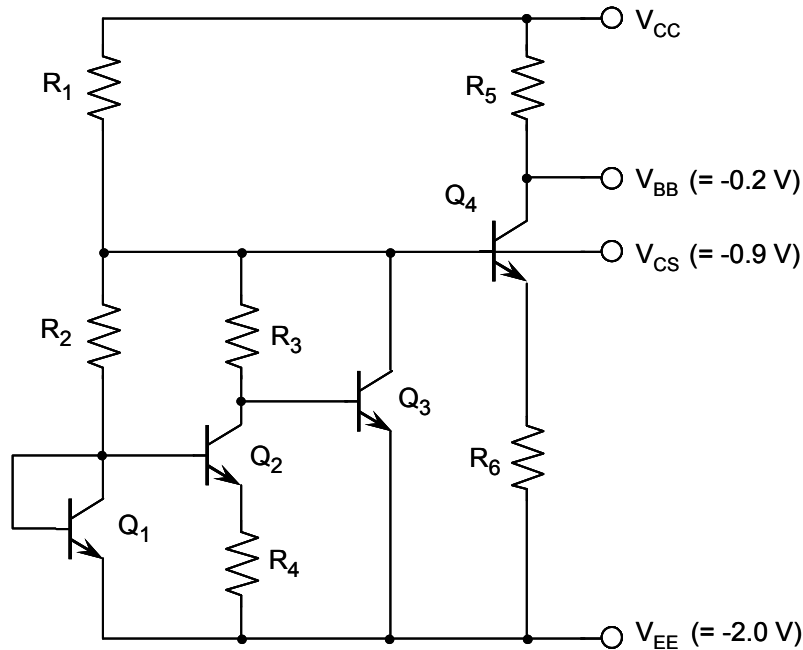


図 3.4: 基準電圧発生回路

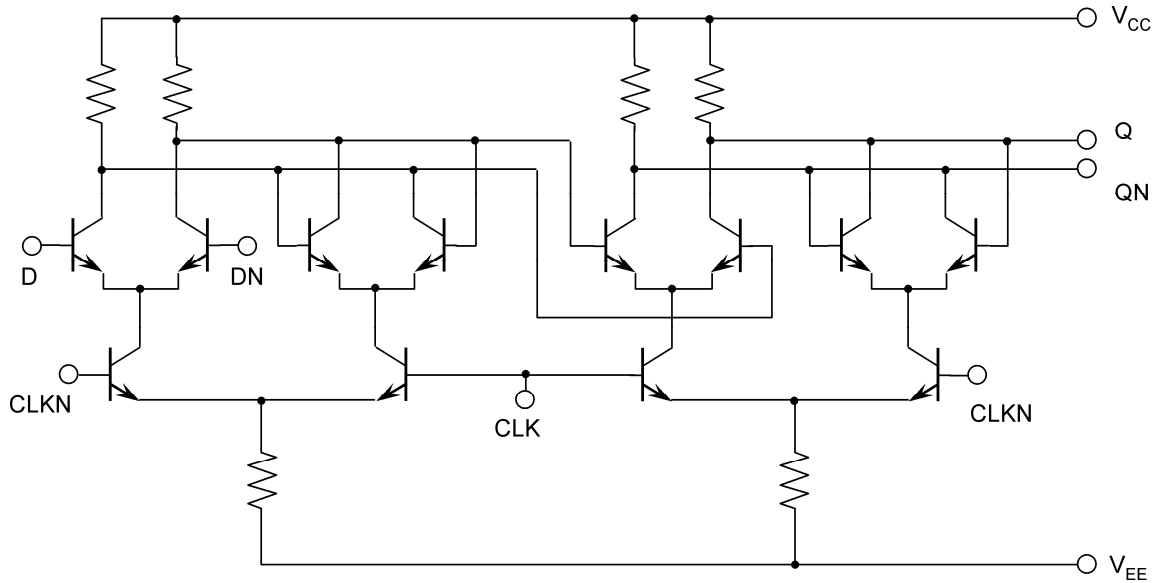


図 3.5: フリップフロップ回路

-0.9+2.0)としている．これにより， $V_{CS}$ は負の温度依存性を持ち， $\partial V_{CS} / \partial T \cong \partial V_{be} / \partial T$ となっている．このため， $R_6$ に流れる電流，すなわち  $R_5$ に流れる電流が温度に依らず，ほぼ一定の特性となり， $V_{BB}$ の特性や， $V_{CS}$ に接続される電流源の電流特性が温度補償される．

### 3.2.4 フリップフロップ

図 3.5 に低電圧シリーズゲートの例として，マスタースレーブフリップフロップ回路を示す．2段のシリーズゲートと抵抗による電流源から構成されている．データ入力 D，DN とデータ出力 Q，QN は LCML レベル ( $V_H = 0$  V,  $V_L = -0.4$  V) であり，クロック入力 CLK，CLKN は  $V_{EE}$  追従バッファによって駆動される．これにより，抵抗タイプの電流源であってもスイッチング電流が電源電圧，温度の影響を受けないようになる．

## 3.3 LSG および VTB の検証

低電圧シリーズゲート回路および  $V_{EE}$  追従バッファを検証するために，0.8  $\mu\text{m}$  バイポーラプロセスを用いてテストチップを試作した．図 3.6 にチップ写真を示す．チップサイズは 1.25 x 0.95  $\text{mm}^2$  である．チップには，DC 特性を評価するブロックと，AC 性能(周波数特性)を評価するブロックが含まれている．以下，使用したプロセスおよび評価結果について述べる．

### 3.3.1 プロセス技術

回路の試作に使用したプロセスは，0.8  $\mu\text{m}$  2 層ポリシリコン自己整合プロセス (DPSA : Double-Polysilicon Self-Aligned technology) である．トランジスタの断面図を図 3.7 に示す．素子分離は高温酸化膜 (HTO) 埋め込みのトレンチ分離である．トレンチの幅と深さは，それぞれ，0.8  $\mu\text{m}$ ，5  $\mu\text{m}$  である．抵抗は P 型ポリシリコン抵抗を使用し，ベース電極と同時に形成される．

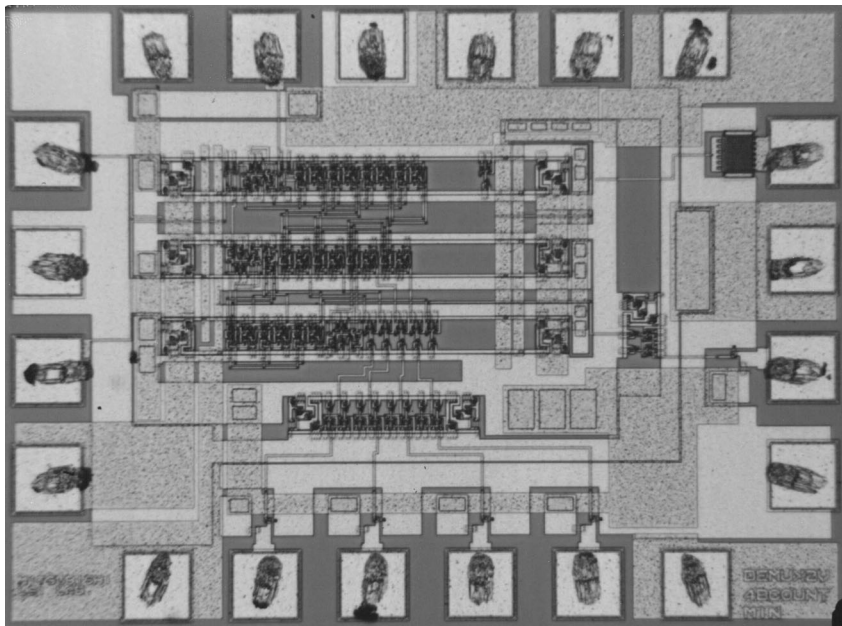


図 3.6: 試作チップ写真

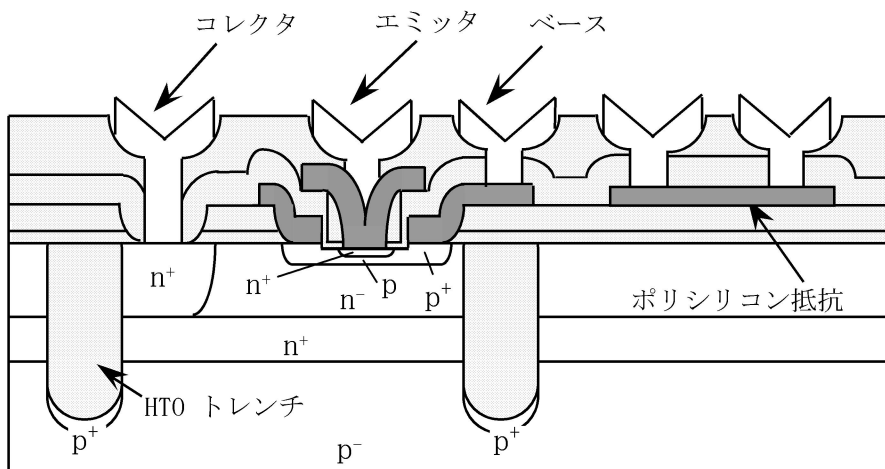


図 3.7: トランジスタ断面図

ポリシリコン抵抗のシート抵抗値は、低抵抗、高抵抗それぞれが  $300 \Omega/\square$ ,  $800 \Omega/\square$  である。また、温度係数は、それぞれ  $0 \text{ ppm}/^\circ\text{C}$ ,  $-400 \text{ ppm}/^\circ\text{C}$  である。

表 3.1 にプロセス技術についてまとめる。最小エミッタサイズは  $0.4 \times 0.9 \mu\text{m}^2$  である。エミッタ・コレクタ間のブレークダウン電圧  $BV_{ce0}$  は  $7 \text{ V}$  以上、DC 電流利得  $h_{FE}$  は  $100$ 、遮断周波数は  $12 \text{ GHz}$  である。

表 3.1: トランジスタパラメータ

0.8  $\mu\text{m}$  2層ポリシリコン、自己整合、トレンチ分離

最小エミッタサイズ	0.4 x 0.9 $\mu\text{m}^2$
ブレークダウン電圧	$BV_{ce0} > 7 \text{ V}$
直流電流利得	$h_{FE} = 100$
ベース・コレクタ容量	$C_{TC} = 4.0 \text{ fF}$
ベース・エミッタ容量	$C_{TE} = 3.8 \text{ fF}$
コレクタ・基板容量	$C_{TS} = 5.0 \text{ fF}$
遮断周波数	$f_T = 12 \text{ GHz}$

ECL ゲートの遅延時間は、FI(ファンイン) = FO(ファンアウト) = 1 のとき 59 ps ( $I_S=0.24 \text{ mA}$ ) である。消費電力は、 $V_{EE} = -4.0 \text{ V}$  で 1.4 mW である。LCML のゲート遅延時間は 69 ps であり、このときの消費電力は  $V_{EE} = -3.0 \text{ V}$  で 0.72 mW である。LCML のフリップフロップのトグル周波数は、消費電力 3.04 mW のとき、5 GHz である。

### 3.3.2 DC 特性

図 3.8(a)に、 $V_{EE}$  追従バッファ VTB の出力電圧  $V_{OUT}$  (“H”レベル) と基準電圧発生回路の出力電圧 ( $V_{BB}$ ,  $V_{CS}$ ) の特性を示す。横軸は電源電圧  $V_{EE}$  である。白丸は論理しきい値  $V_{BB}$ 、黒丸は定電流回路用基準電圧  $V_{CS}$ 、三角は VTB の出力電圧を示す。

$V_{BB}$  の  $V_{EE}$  依存性は 0.074 V/V である。これは、電源電圧が  $-2.0 \text{ V} \pm 15\%$  のとき、 $V_{BB}$  の変動が 22 mV であることに相当する。 $V_{CS}$  と  $V_{OUT}$  の  $V_{EE}$  依存性は、それぞれ 0.892 V/V, 0.999 V/V である。これらはほぼ 1 に等しく、 $V_{EE}$  の変動にほぼ完全に追従することを示している。

図 3.8(b)に、 $V_{BB}$ ,  $V_{CS}$ ,  $V_{OUT}$  の温度依存性を示す。 $V_{CS}$ ,  $V_{OUT}$  はスイッチング電流が一定になるように負の温度特性を持つように設計されている。

以上のことから、VTB の出力は、電源電圧、温度ともに  $V_{CS}$  の特性とよく一致しており、下位入力トランジスタが定電流源として働くことが確認できた。

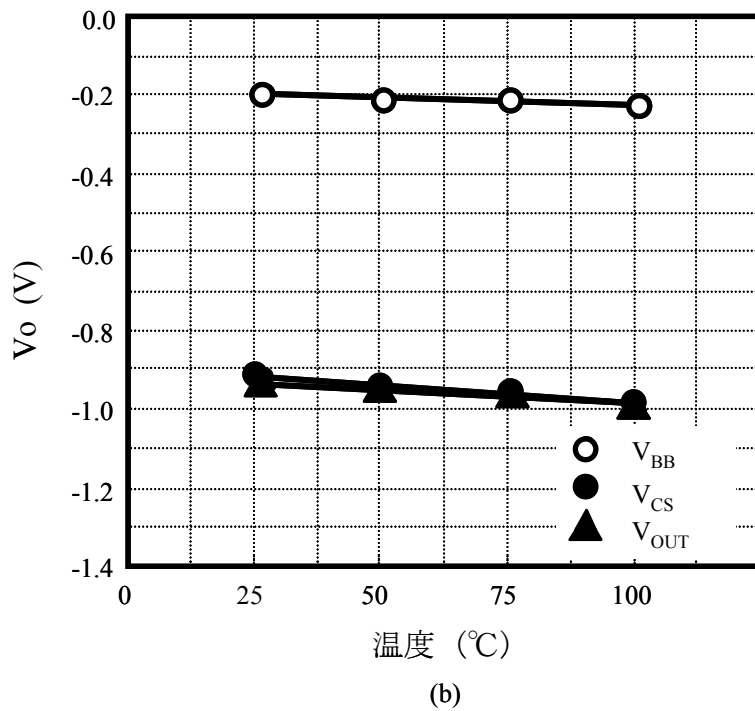
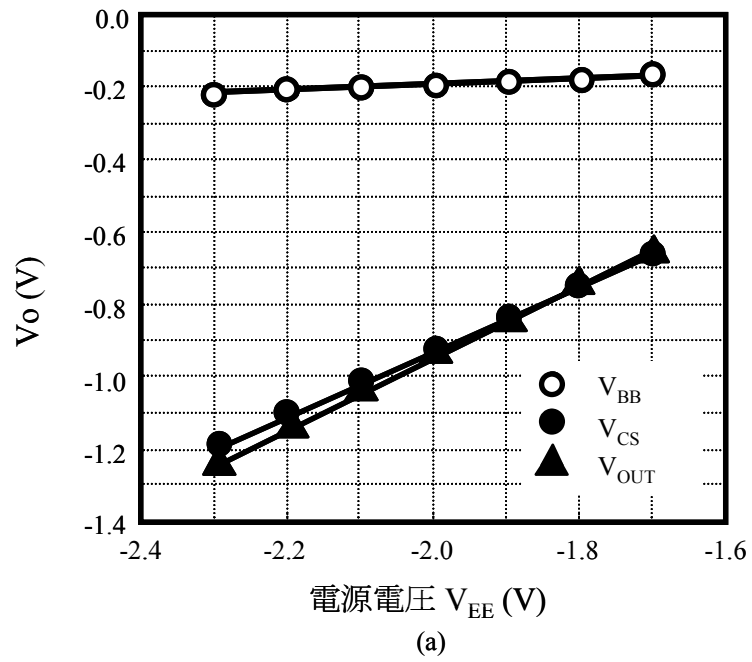


図 3.8:  $V_{BB}$ ,  $V_{CS}$  と  $V_{TB}$  の DC 特性: (a) 電源電圧依存性, (b) 温度依存性

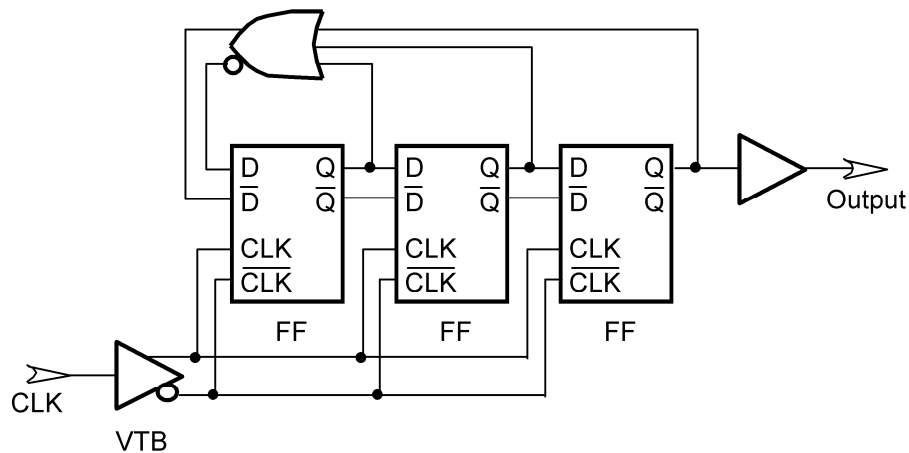


図 3.9: 1/4 分周器(4 進カウンタ)のブロック図

### 3.3.3 AC 特性

回路の AC 特性を評価するために、1/4 分周器(4 進カウンタ)をテストチップに収納した。図 3.9 にそのブロック図を示す。3 個のフリップフロップは低電圧シリーズゲートで構成し、3 入力 OR/NOR ゲートは LCML 回路を使用した。 $V_{EE}$  追従バッファは相補出力を持ち、クロックドライバとして働く。相補出力は、図 3.3(b)の負荷抵抗 R1 側にも R2 側と同様の回路を付加することで得られる。回路の大部分は最小エミッタサイズ  $0.4 \times 0.9 \mu\text{m}^2$  のトランジスタを用いている。

フリップフロップのスイッチング電流は  $87 \mu\text{A}$  である。電源電圧が  $2\text{V}$  の時のフリップフロップの消費電力は  $348 \mu\text{W}$  である。

図 3.10 に 1/4 分周器の最高動作周波数の実測結果を示す。3 本の曲線は  $25, 75, 100^\circ\text{C}$  のときの実測値である。 $V_{EE} = -2.0 \text{V}$ 、 $25^\circ\text{C}$  のときの最高動作周波数は  $640 \text{MHz}$  である。1/4 分周器の消費電力は、 $V_{EE} = -2.0 \text{V}$  で  $3.3 \text{mW}$  である(評価のための出力バッファ、基準電圧発生回路含まず)。電源電圧  $-2.4 \text{V}$  から  $-1.4 \text{V}$  の広範囲の電圧において  $500 \text{MHz}$  以上で動作するが、 $-1.4 \text{V}$  では下位入力トランジスタの飽和により論理振幅が小さくなり、 $-1.3 \text{V}$  では動作しなかった。現実的な電圧下限は  $-1.6 \text{V}$  である。実測データは、電源電圧、温度に対する依存性が比較的小さく、安定して回路が動作することを示している。

図 3.11 に 1/4 分周器のシミュレーション結果を示す。下側の曲線はエミッタサイズが  $0.4 \times 0.9 \mu\text{m}^2$  のもの、上側の曲線はエミッタサイズが  $0.5 \times 1.7 \mu\text{m}^2$  のものである。黒丸は実測値である ( $640 \text{MHz}$ ,  $3.3 \text{mW}$ )。実測とシミュレーション結果はよく一致している。本試作では、低消費電力化を狙った設計を行ったが、シミュレーション結果は、回路パラメータを変更することにより、1/4 分周器は  $2.9 \text{GHz}$  で動作することを示している。

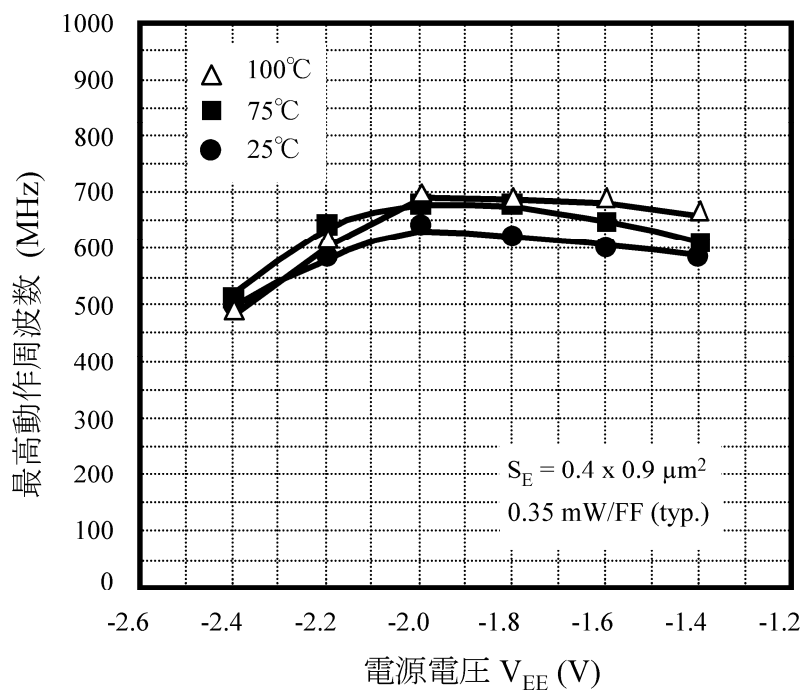


図 3.10: 1/4 分周器の最高動作周波数の  $V_{EE}$  依存性

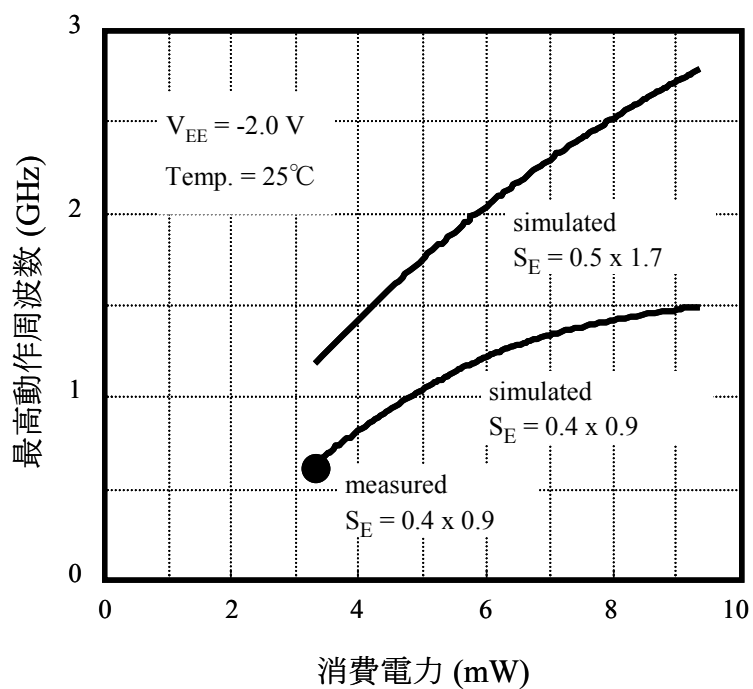


図 3.11: 1/4 分周器の最高動作周波数(シミュレーション結果)

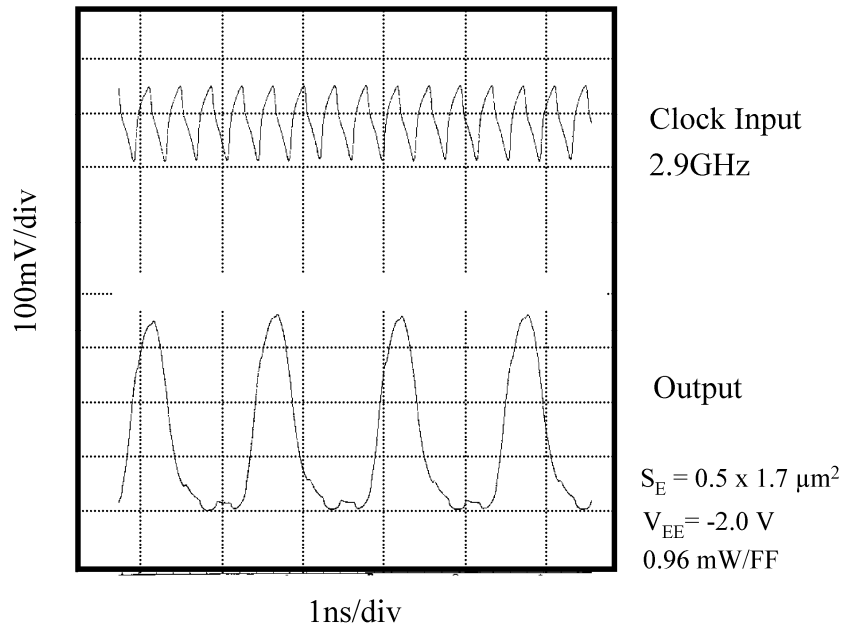


図 3.12: 1/4 分周器のシミュレーション波形

図 3.12 に、1/4 分周器のシミュレーション波形を示す。上側の波形は、フリップフロップのクロック入力、すなわち、 $V_{EE}$  追従バッファ VTB の出力波形、下側の波形は 1/4 分周器の出力波形である。クロック入力は 2.9 GHz、エミッタサイズが  $0.5 \times 1.7 \mu\text{m}^2$ 、電源電圧 -2.0 V、フリップフロップ 1 個当たりの消費電力が 0.96 mW である。回路シミュレーション結果は、2.9 GHz で 1/4 分周器が正常動作することを示している。このときの 1/4 分周器の消費電力は 9.3 mW である。

### 3.4 結言

2 V 以下で動作する低電圧シリーズゲート Low-voltage Series-Gate (LSG) と  $V_{EE}$  追従バッファ  $V_{EE}$ -Traced Buffer (VTB) について述べた。0.8  $\mu\text{m}$  2 層ポリシリコン自己整合プロセスを用いて回路を試作した。実測した  $V_{EE}$  追従バッファの出力電圧は、電源電圧、温度ともに安定した特性を示し、基準電圧  $V_{CS}$  の特性とよく一致している。1/4 分周器 (4 進カウンタ) の実測では、3.3 mW、640 MHz で動作し、-1.6 V でも正常動作した。広範囲な  $V_{EE}$  範囲をカバーするとともに、回路は電源電圧、温度の変動に対して安定に動作する事を確認した。また、トランジスタサイズを変更した回路シミュレーションでは、1/4 分周器は、9.3 mW、2.9 GHz で動作することを示唆している。これらの結果は、本回路技術が低電圧アプリケーションに有効であることを示している。

バイポーラトランジスタはプロセスが変わっても、ベース・エミッタ間電圧  $V_{be}$  やトランジスタが飽和するベース・コレクタ間電圧はほとんど変化しないため、本章で述べた低電圧化技術はプロセスに依らず展開可能であり、最新のプロセスにおいてもなお、優位性を示す技術である。

十数年前のプロセスであるが、得られた 1/4 分周器の電流と周波数特性は、現在の 65 nm CMOS



に匹敵する性能である。また、近年の低電力無線においては、アルカリ乾電池 2 本で動作し、かつ、その終端電圧である 2 V 以下での動作が求められている。このようなアプリケーションにおいても十分対応可能な技術である。

## 参考文献

- [1] M. Nakaya, S. Kato, K. Tsukamoto, H. Sakurai, T. Kondo, and Y. Horiba, "A Bipolar 2500-gate Subnanosecond Masterslice LSI," *IEEE J. Solid-State Circuits*, vol. 16, no. 5, pp. 558-562, Oct. 1981.
- [2] C. L. Chen, "2.5V Bipolar/CMOS Circuits for 0.25  $\mu\text{m}$  BiCMOS Technology," *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 121-122, May. 1991.
- [3] B. Razavi, Y. Ota, and R. G. Swarts, "Low Voltage Techniques for High Speed Digital Bipolar Circuits," *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 31-32, May. 1993.
- [4] H. Sato, K. Ueda, N. Sasaki, T. Ikeda, and K. Mashiko, "A Voltage Compensated Series-Gate Bipolar Circuit Operating at Sub-2 V," *IEEE J. Solid-State Circuits*, vol. 29, no. 10, pp. 1200-1205, Oct. 1994.
- [5] M. Suzuki, M. Hirata, and S. Konaka, "43-ps 5.2-GHz Macrocell Array LSI's," *IEEE J. Solid-State Circuits*, vol. 23, no. 5, pp. 1182-1188, Oct. 1988.
- [6] R. J. Widlar, "New Developments in IC Voltage Regulators," *IEEE J. Solid-State Circuits*, vol. 6, no. 1, pp. 2-7, Feb. 1971.



## 第4章 エミッタフォロワ直接制御型フリップフロップ回路

### 4.1 緒言

PLL シンセサイザ (Phase-Locked Loop synthesizer) は、有線通信、無線通信用 LSI だけでなく、デジタル回路においても、その基準周波数発生回路として広く用いられている。携帯電話、コードレス電話、無線 LAN といった無線通信用 PLL シンセサイザは、数 GHz から数 10 GHz で発振する VCO (Voltage Controlled Oscillator) の発振周波数を所望の周波数に分周するプリスケアラや、分周後の比較的 low 周波で動作するロジックやチャージポンプなどから構成される。このうち、GHz オーダで動作する PLL シンセサイザで最も動作電流が多いのはプリスケアラである。無線機器のように通信時間や待機時間を少しでも長くしたいアプリケーションにおいては、プリスケアラの低電流化は極めて重要な課題の 1 つである。バッテリー駆動される移動体通信においては、プリスケアラ用として Low-level Current Mode Logic (LCML) がよく用いられる。しかしながら、電流を絞っていったときに高くなる出力インピーダンスが高周波動作の妨げとなることがある。このような場合、出力インピーダンスが低いエミッタフォロワを出力バッファとして持つ Emitter Coupled Logic (ECL) が高周波動作に優位となる。図 4.1 に定電流タイプのエミッタフォロワを持った従来の ECL 回路を示す。エミッタフォロワは、次段の入力容量や配線容量など、寄生容量を駆動するのに有利な一方で、必要とされないときでも定常的に DC 電流が流れ、消費電力が大きいという欠点がある。この不必要な電流を削減し、電力・遅延積を改善するために、いくつかのアクティブフルダウ電流型エミッタフォロワが提案されている [1]-[6]。しかし、これらの回路には以下のような問題がある：(1) 容量のような付加素子が必要 [1]-[3]、(2) 相補出力を取るのが困難 [1], [3], [4]、

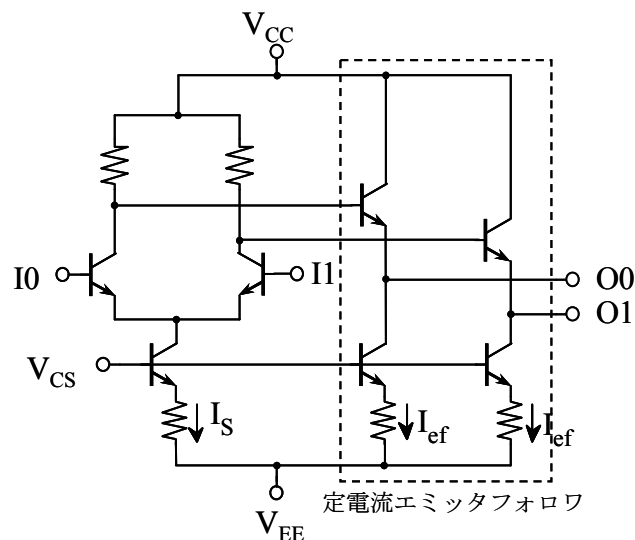


図 4.1: ECL 回路 (定電流エミッタフォロワ)

[6], (3)制御素子の動作を調整するために特別な電圧が必要[5], [6]. このため, これらの回路の適用は限定されてしまう.

本章では, まず, 余分な DC 電流を削減する直接制御エミッタフォロワと出力レベル安定化回路[7]の基本回路構成と, 回路シミュレーションによる従来の定電流エミッタフォロワとの比較を行う. 次に, 本回路を元に, 高速, 低消費電力化したフリップフロップ[8]について述べる. 合わせて2種類 of 出力レベル安定化回路を紹介する. 最後に, 提案するフリップフロップを用いて試作したデュアルモジュラスプリスケアラの評価結果について述べ, 本フリップフロップの優位性を検証する.

## 4.2 直接制御エミッタフォロワ

### 4.2.1 基本回路構成

前節で述べたようにエミッタフォロワの欠点は, 不要な時も含め, 常時, 定電流が流れていることである. 大電流が必要なのは, 出力信号の立ち上がり, もしくは立ち下がりの期間であり, 負荷容量を駆動するために, ダイナミックに変化する電流特性が求められる. すなわち, プッシュプル構成が望ましいが, 高速動作を維持するために, トランジスタが飽和しない領域で使用する必要がある. そこで, 差動出力が相補的に立ち上がり, 立ち下がり動作することを利用し, エミッタフォロワの電流源がスイッチ動作させることを提案する. 図 4.2 にこのアイデアを具体化した直接制御エミッタフォロワ (DC-EF : Directly Controlled Emitter-Follower) の基本回路構成を示す. エミッタフォロワの電流源は1つにし, トランジスタ  $Q_5$  と  $Q_6$  からなる差動対により切り替えるようにした. 差動対は入力信号から直接制御される. 図 4.1 の従来の ECL と比較すると, トランジスタ  $Q_8$  が増え, エミッタフォロワの抵抗が1つ減った構成である. 多くの場合, 抵抗よりもトランジスタの方が面積が小さいため, トータルの面積は小さくなっている. 基本的な動作は以下のとおりで

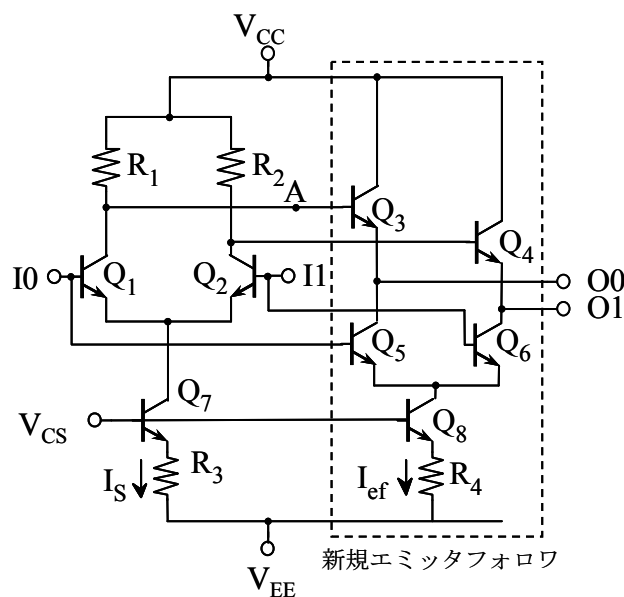


図 4.2: 直接制御エミッタフォロワ (DC-EF)

ある.

“H”から“L”(立ち下がり期間) : 入力  $I_0$  が立ち上がり,  $I_1$  が立ち下がると, トランジスタ  $Q_1$  のコレクタ(ノード A)は負荷抵抗  $R_1$  により電圧が低下する. そうすると, エミッタフォロワのトランジスタ  $Q_3$  がオフし, 出力  $O_0$  のレベルが低下し始める. このとき, トランジスタ  $Q_5$  は入力  $I_0$  から直接制御されてオンとなる. エミッタフォロワ電流  $I_{ef}$  は, トランジスタ  $Q_5$  を介して流れるが, トランジスタ  $Q_3$  がオフであるため, 出力  $O_0$  から引き抜くことになる. このため, 出力につながっている負荷容量を急速に放電する.

“H”から“L”(立ち下がり期間) : 入力  $I_0$  が立ち下がると, ノード A の電圧が上がる. トランジスタ  $Q_3$  はオンし, 出力  $O_0$  の電位が立ち上がる. このとき, トランジスタ  $Q_5$  はオフするため, 不要なエミッタフォロワ電流を流すことなく, トランジスタ  $Q_3$  の電流の大半は負荷容量を急速に充電することに使われる.

従来の ECL 回路において, エミッタフォロワ電流は, 出力が“H”, “L”に関わらず定常電流を流しているのに対し, 直接制御エミッタフォロワでは, 出力“H”の時のプルダウン電流はほぼ 0 であり, 出力“L”の時に多くなる. 入力  $I_0$  と  $I_1$  が直接, エミッタフォロワのプルダウントランジスタを制御するため, これまでのアクティブプルダウン回路よりも高速にプルダウン動作を始める. また, 容量結合に必要な容量素子や, バイアス電流も必要とならない. この回路では, エミッタフォロワ電流を半分にすることができ, 電流ペナルティもない. しかしながら, 次節で述べるように, 出力“H”の時, エミッタフォロワ電流がほぼ 0 となるため, “H”レベルが不安定となる問題がある. このため, レベル安定化回路が必要となる.

#### 4.2.2 レベル安定化回路付き直接制御エミッタフォロワ

図 4.2 の基本回路構成のままでは, “H”レベルが不安定となる問題があるため, レベル安定化回路を新たに考案した. 図 4.3 にフィードバック型レベル安定化回路付き直接制御エミッタフォロワ

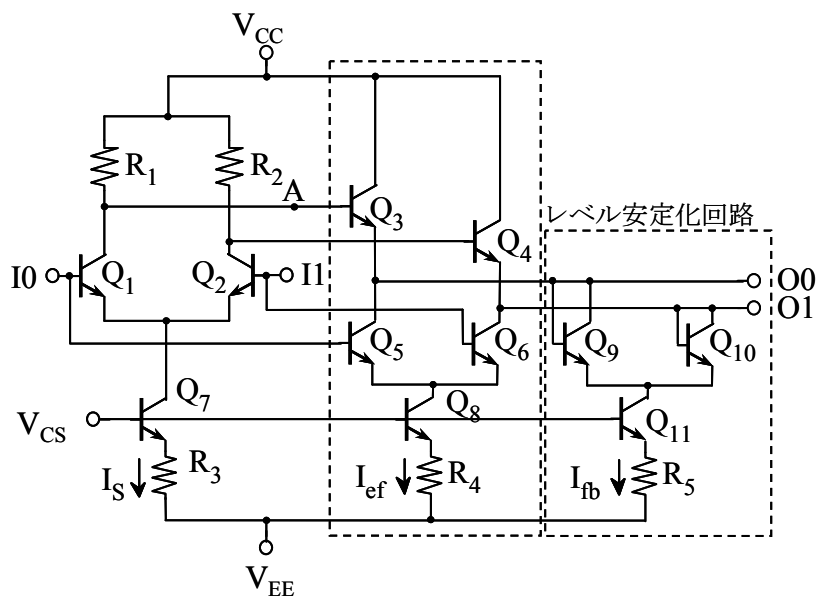


図 4.3: フィードバック型レベル安定化回路付き直接制御エミッタフォロワ (FB-DC-FE)

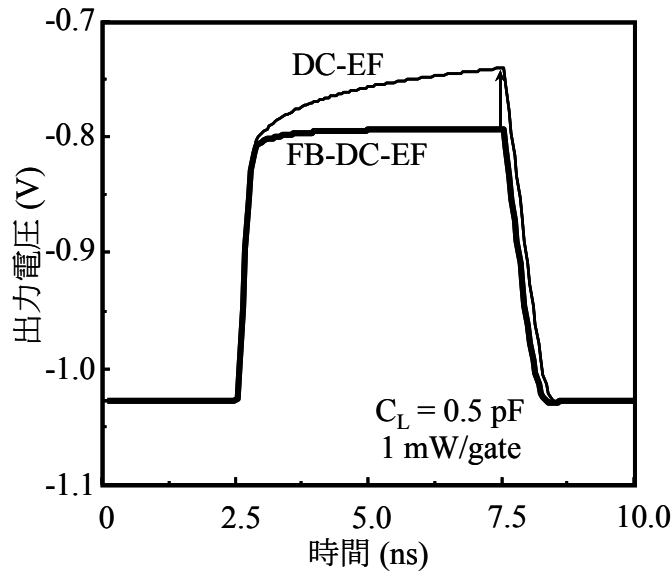


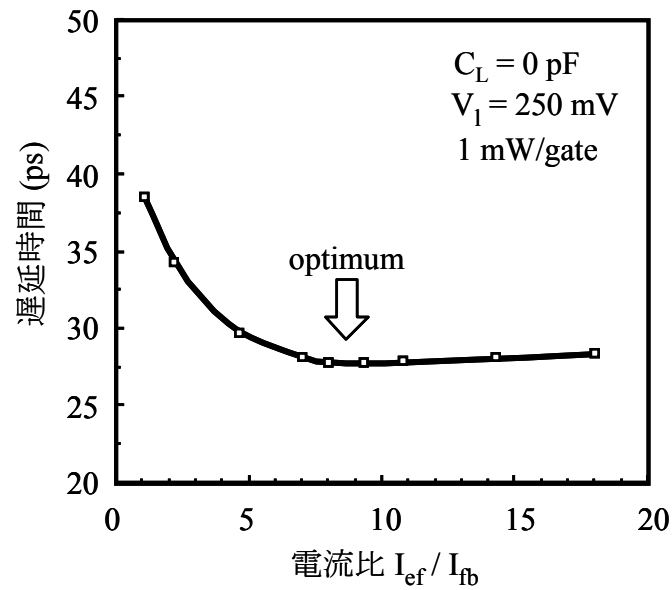
図 4.4: フィードバック型レベル安定化回路の有無による出力波形の比較

(FB-DC-FE : Directly Controlled Emitter-Follower with a FeedBack type level stabilizer) を示す。トランジスタ  $Q_9 \sim Q_{11}$  および  $R_5$  からなるレベル安定化回路が付加されている。トランジスタ  $Q_9$  および  $Q_{10}$  は、ベース、コレクタ間がショートされたダイオード接続となっており、出力レベルに応じて、その高い方のトランジスタのみがオンする。この電流は、トランジスタ  $Q_3$  もしくは  $Q_4$  を流れ、 $Q_3$  もしくは  $Q_4$  が完全にオフすることを防ぐ役割を持つ。00 の出力レベルが“H”の時、トランジスタ  $Q_3$  がオン、 $Q_5$  がオフとなるが、トランジスタ  $Q_9$  を介してフィードバック電流  $I_{fb}$  が  $Q_3$  に流れる。一方、00 の出力レベルが“L”の時、 $Q_9$  はオフし、代わりに  $Q_{10}$  の電流が  $Q_4$  に流れる。“H”レベルの時にトランジスタ  $Q_3$  もしくは  $Q_4$  が完全にオフしない程度の微小電流を流すだけで良く、フィードバック電流  $I_{fb}$  はエミッタフォロワ電流よりも小さく設定される。

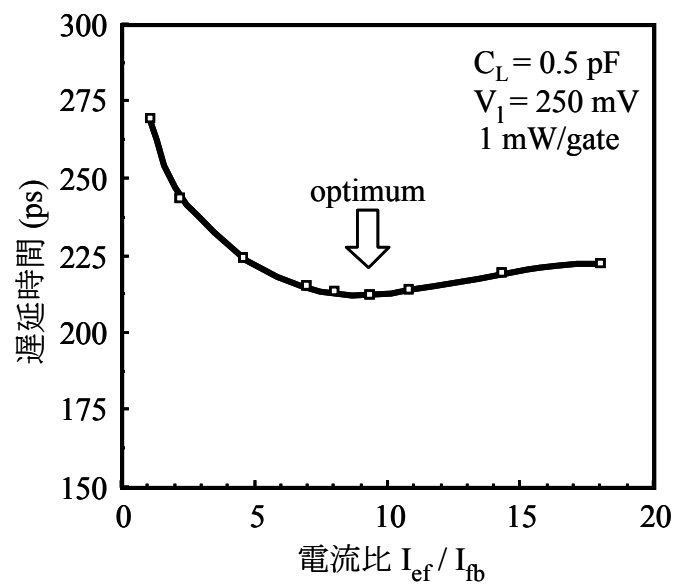
図 4.4 に、直接制御エミッタフォロワについて回路シミュレーションした結果を示す。フィードバック型レベル安定化回路の有無による出力波形の比較を行っている。回路当たりの消費電力はどちらも 1 mW に設定している。電源電圧 -3.0 V、信号振幅 250 mV、負荷容量として 0.5 pF を付けている。出力波形を見て明らかなように、安定化回路がある FB-DC-EF は、出力“H”レベルが安定しているのに対し、安定化回路がない DC-EF では、出力レベルが徐々に高くなり、5 ns 後には、安定化回路がある FB-DC-EF と比較して約 60 mV 高くなる。また、出力レベルが高くなっている分、立ち下がり時間も長くなっている。

### 4.2.3 回路シミュレーション結果

高速動作と低消費電力化を両立させるために、エミッタフォロワ電流  $I_{ef}$  とフィードバック電流  $I_{fb}$  の比を最適化する必要がある。ここでは、 $I_{ef} > I_{fb}$ 、および  $I_{ef} + I_{fb}$  が一定の条件で、 $I_{ef} / I_{fb}$  の値を変化させて、回路の遅延時間がどう変化するか調べた。検討に用いたプロセスは、0.8  $\mu\text{m}$  2 層ポリシリコン、自己整合型バイポーラプロセスで、実効的な最小エミッタサイズは、0.5 x 1.7  $\mu\text{m}^2$



(a)



(b)

図 4.5:  $I_{ef}/I_{fb}$  とゲート遅延時間: (a) 負荷容量なし, (b) 負荷容量 0.5 pF

である。

図 4.5 に電流比  $I_{ef}/I_{fb}$  とゲート遅延時間の関係を示す。図 4.5(a) は、負荷容量として同じ回路を接続し、それ以外の寄生容量は 0 ( $C_L = 0$  pF) とした場合、図 4.5(b) は、負荷容量として同じ回路を接続するとともに 0.5 pF の容量を付加 ( $C_L = 0.5$  pF) した場合である。どちらも 1 回路当たりの消費電力は 1 mW とし、信号振幅は 250 mV とした。

消費電力一定の条件で比較しているため、 $I_{ef}/I_{fb}$  が大きくなるほど、エミッタフォロワ電流に割



り当てられる電流が多くなり、遅延時間も短くなるが、あまり  $I_{ef}/I_{fb}$  の比を大きく取りすぎると、“H”が不安定になる影響が出てきて、かえって遅延時間が長くなる。このため、 $I_{ef}/I_{fb}$  の比に最適点があることになる。

図 4.5(a)より、負荷が軽いときは、 $I_{ef}/I_{fb}$  の比が 8~9 の時に遅延時間が最小となり、図 4.5(b)より、負荷が重いときには、 $I_{ef}/I_{fb}$  の比が 9~10 の時に最適点となる。出力レベル安定化に必要な電流  $I_{fb}$  は  $I_{ef}$  の約 10 分の 1 であるため、フィードバック型安定化回路の電流ペナルティはごく僅かであることがわかる。

次に、 $I_{ef}/I_{fb}$  の比を 10 に固定した状態で、消費電力を振ったときの遅延時間を調べた。消費電力の変更は、トランジスタサイズはそのまま、抵抗値を一律変化させることで行った。図 4.6 にフィードバック型レベル安定回路付き直接制御エミッタフォロワ FB-DC-FE と従来の ECL の比較を示す。電源電圧は -3.0 V、信号振幅は 250 mV<sub>pps</sub> (peak-to-peak single-end: 差動の片側入力)、負荷容量として同一の回路を出力に接続するとともに 0.5 pF の容量を付加している。消費電力 1 mW の条件では、ECL が 379 ps であるのに対し、FB-DC-FE は 207 ps であった。同一の消費電力の条件で、FB-DC-FE は従来の ECL よりも 45% の高速化が図れている。同一の遅延時間の条件では、FB-DC-FE は ECL よりも 52% 低消費電力である。

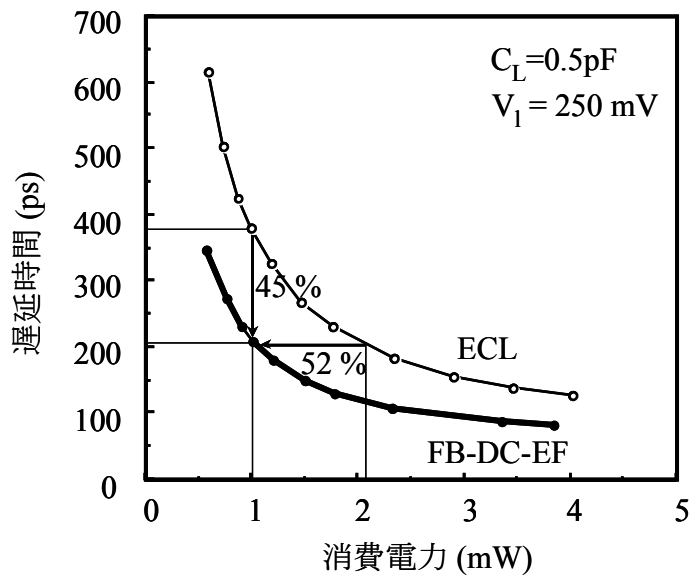


図 4.6: 消費電力とゲート遅延時間

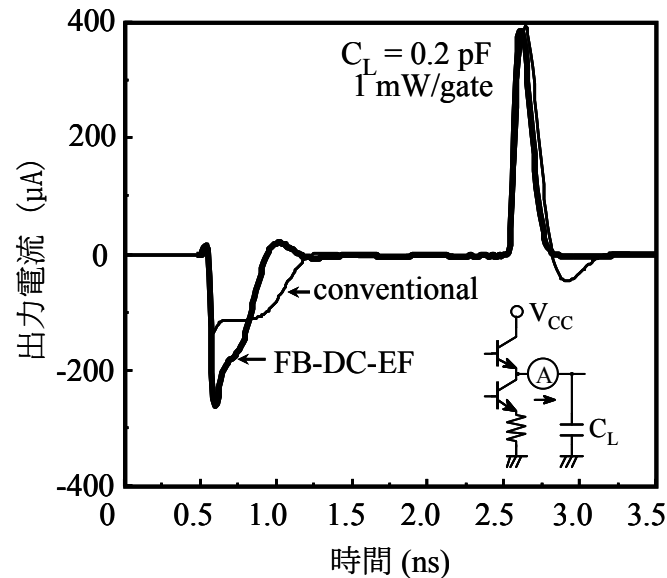


図 4.7: 出力電流波形

図 4.7 に FB-DC-FE と ECL のスイッチング遷移期間における充放電電流のシミュレーション波形を示す。評価条件は、信号振幅  $250 \text{ mV}_{\text{pp}}$ 、電源電圧  $-3.0 \text{ V}$ 、消費電力  $1 \text{ mW}$ 、負荷容量  $0.2 \text{ pF}$  である。出力電圧が立ち下がるときのプルダウン電流は、FB-DC-FE の方が瞬時的により多く流れ、ピーク電流は  $-260 \text{ }\mu\text{A}$  であった。この値は ECL よりも  $1.9$  倍大きい。このため、急速に負荷容量を放電させることができる。プルアップ電流はプルダウン電流ほど、明確な差はないが、FB-DC-FE の方が ECL よりも僅かに早く立ち上がり、充電時間も早く完了する。FB-DC-FE を使用することにより、立ち上がり時間、立ち下がり時間ともに改善され、より高速な応答が可能であることがわかる。

## 4.3 フリップフロップ回路

### 4.3.1 従来回路

図 4.8(a) に従来の ECL の、(b) に LCML のフリップフロップ回路を示す。どちらも逆位相のクロックが入力される 2 つの D-ラッチから構成される。ECL と LCML の差は、エミッタフォロワがあるかないかの差である。LCML は、エミッタフォロワによる電流増加がないこと、ベース・エミッタレベルシフトがないため  $3 \text{ V}$  以下で動作することが可能であることから、バッテリー駆動が要求される移動体通信では LCML のフリップフロップが使われることが多い [9], [10]。消費電力を削減するために、電流を減らすと、信号振幅を確保するために負荷抵抗  $R_C$  が大きくなる。出力インピーダンスが大きくなることは以下のような問題が生じる。まず、第一に負荷抵抗と寄生容量による時定数が大きくなり、最高動作周波数に制限がかかってしまう。特にフリップフロップでは、負荷抵抗に接続されるトランジスタ数が多いために、元々自分自身の寄生容量が大きい。第二に、立ち上がりは抵抗でプルアップし、立ち下がりにはトランジスタでプルダウンするため、負荷抵抗が大きくな

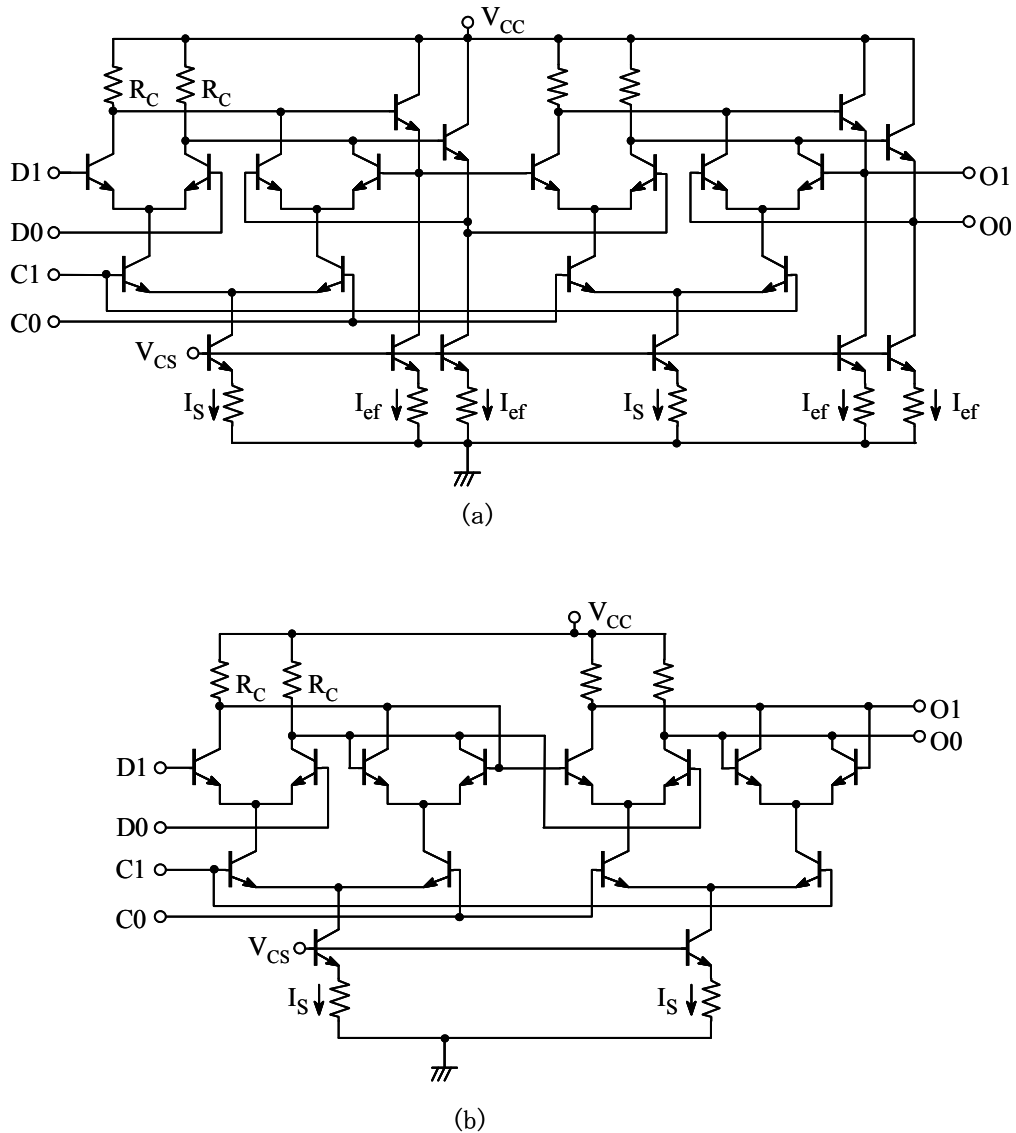


図 4.8: フリップフロップ回路: (a)ECL, (b)LCML

ると両者のインピーダンスに差が生じ、立ち上がりと立ち下がりがアンバランスとなる。出力信号のデューティが問題となる場合には注意が必要となる。第三に、次段のベース電流が負荷抵抗に流れるため、クロック信号が変化したときに瞬間的に電流が流れ、負荷抵抗が大きい場合には出力信号にスパイクノイズや信号の揺れが発生する場合がある。

ECL と LCML を比較すると、スイッチング電流が同一のとき、ECL フリップフロップの動作周波数は LCML の約 2 倍、消費電流も約 2 倍となる。負荷が軽いときの最高動作周波数と電流の逆数の積で表される FOM (Figure of merit) はほぼ同等であるが、負荷が重たくなるに従って、LCML は動作周波数の劣化が大きい。また、LCML は負荷抵抗と寄生容量で動作周波数が決定されてしまうため、FOM の改善が困難である。このため、ECL のエミッタフォロワ電流の削減が、FOM の改善に有効な

手段となる。以降では、2種類のフィードバック型安定化回路付き直接制御エミッタフォロワについて議論し、また、電源電圧の低減についても紹介する。

### 4.3.2 ダイオードフィードバック型直接制御エミッタフォロワ

図 4.9(a) にダイオードフィードバック型直接制御エミッタフォロワ (DC-DF : Directly Controlled emitter-follower with a Diode Feedback) を用いたフリップフロップの回路を示す。マスターラッチ、スレーブラッチともにエミッタフォロワを持っている。エミッタフォロワ電流  $I_{ef}$  は直接データ入力 D1 および D0 によって制御される。Q<sub>13</sub>~Q<sub>15</sub> がダイオードフィードバック型安定化回路を構成する。以下、マスターラッチの基本動作を説明する。

初期条件は、マスターラッチの出力 M1 が“H”、データ入力 D1 が“L”とする。クロック入力 C1 が

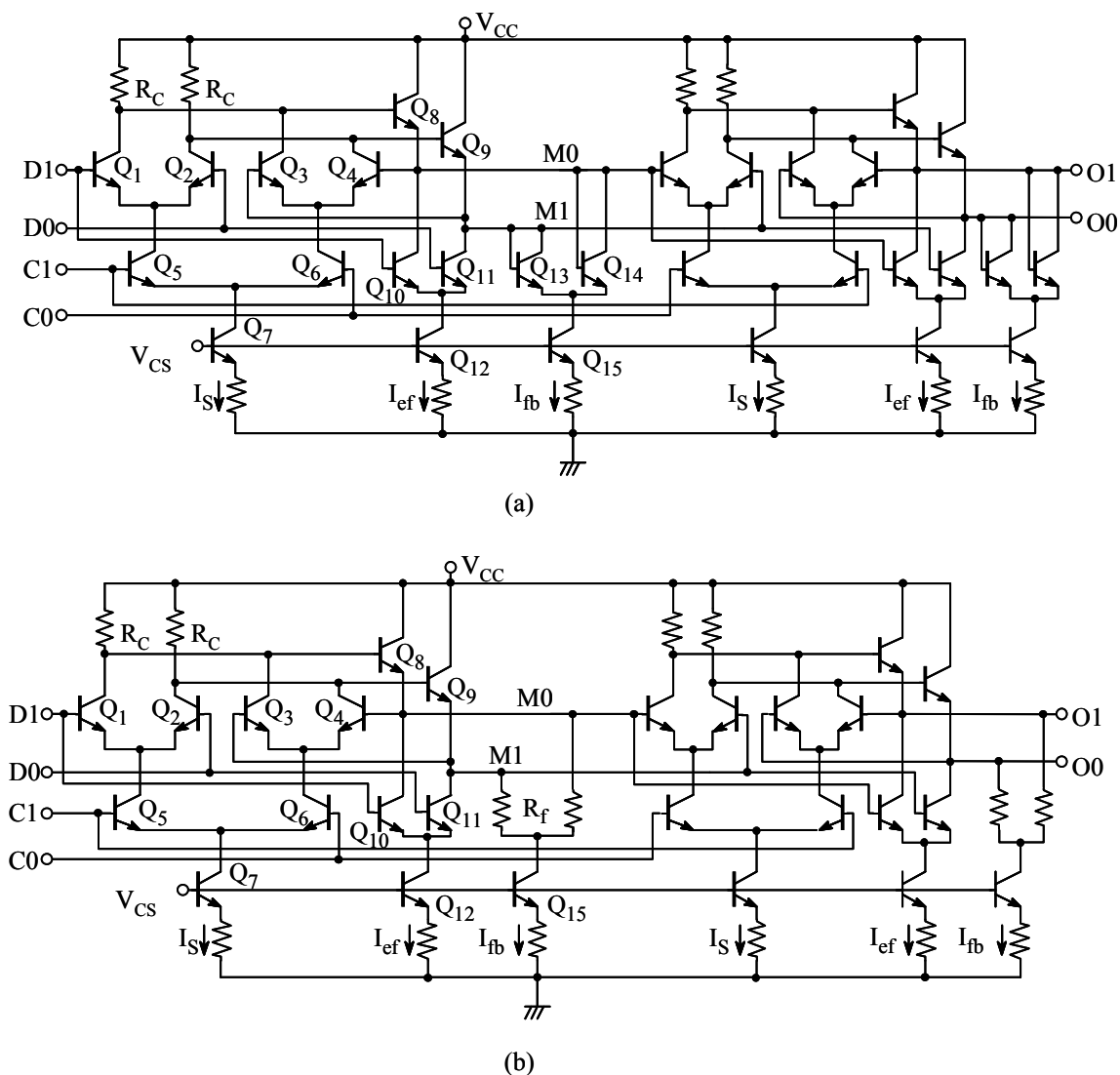


図 4.9: フリップフロップ回路 : (a)ダイオードフィードバック (DC-DF), (b)抵抗フィードバック (DC-RF)

“L”から“H”に変化すると、マスターラッチはデータ読み込みモードになる。Q<sub>11</sub>とQ<sub>13</sub>がオンするので、プルダウン電流(I<sub>ef</sub> + I<sub>fb</sub>)が出力M1の容量を急速に放電する。出力M1が“L”になると、Q<sub>13</sub>はオフする。回路シミュレーションによるタイミングチャートを図4.10に示す。

一方、マスターラッチの出力M0が立ち上がろうとするとき、Q<sub>10</sub>とQ<sub>14</sub>はオフしている。プルダウン電流はほぼ遮断されているので、エミッタフォロワトランジスタQ<sub>8</sub>の電流はすべて充電に使われるため、出力M0の電圧は急速に立ち上がる。出力M0が“H”になると、Q<sub>14</sub>はオンする。Q<sub>10</sub>はカットオフしているが、微少なフィードバック電流I<sub>fb</sub>がQ<sub>8</sub>を流れるため、出力M0の“H”レベルは安定し、出力インピーダンスも高くなることはない。スレーブラッチの動作もマスターラッチと同様である。

### 4.3.3 抵抗フィードバック型直接制御エミッタフォロワ

図4.9(b)に抵抗フィードバック型直接制御エミッタフォロワ(DC-RF: Directly controlled emitter-follower with a Resistor Feedback)を用いたフリップフロップの回路を示す。DC-RFにあったプルダウンドायオードQ<sub>13</sub>とQ<sub>14</sub>はフィードバック抵抗R<sub>f</sub>に置き換えられている。

出力レベルをフィードバックすることにより、出力“H”のエミッタフォロワトランジスタに電流を流して、出力“H”のレベルを安定化するという回路の基本的なコンセプトはDC-DFと同じである。図4.11に抵抗フィードバック型レベル安定化回路の動作を示す。初期状態として、出力O1が“H”、出力O0が“L”とする。“H”レベルV<sub>H</sub>と“L”レベルV<sub>L</sub>はそれぞれV<sub>B</sub> + V<sub>1</sub>/2、V<sub>B</sub> - V<sub>1</sub>/2で表される。V<sub>B</sub>はスレッショルド電圧、すなわちV<sub>H</sub>とV<sub>L</sub>の中心、V<sub>1</sub>は信号振幅である。フィードバック電流I<sub>fh</sub>とI<sub>fl</sub>は次式で表される。

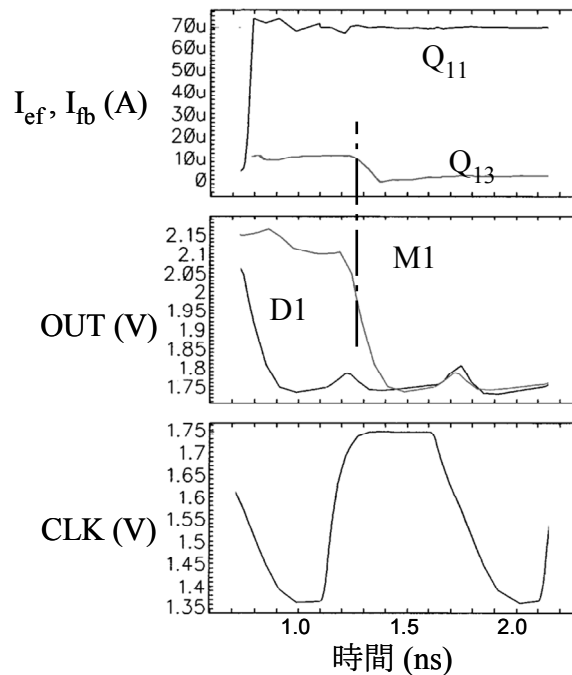


図 4.10: タイミングチャート

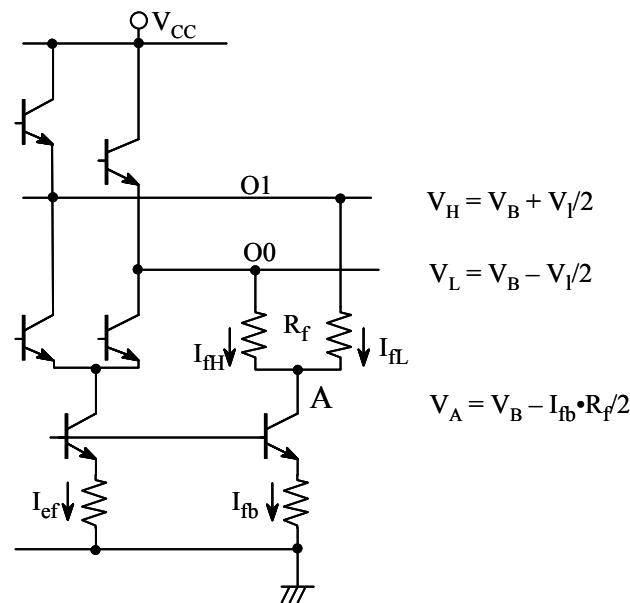


図 4.11: 抵抗フィードバック型レベル安定回路

$$I_{fH} = (I_{fb} + V_I/R_f)/2$$

$$I_{fL} = (I_{fb} - V_I/R_f)/2$$

出力 O1 の電圧はプルダウン電流  $I_{fH}$  によって安定な“H”レベルを保持する。

ノード A の電圧は、 $V_B - I_{fb} \cdot R_f/2$  となる。これは  $V_H$ ,  $V_L$  を含まず、一定の値である。これは、フィードバック電流源を含むノード A の寄生容量が出力 O1 や O0 に影響を及ぼさないことを意味している。さらに、フィードバック抵抗  $R_f$  は、DC-DF におけるフィードバックダイオードよりも寄生容量が小さい。このため、DC-RF を用いたフリップフロップの最大動作周波数は、DC-DF よりも高くなる。

#### 4.3.4 従来回路との比較

従来の ECL 回路では、2つのエミッタフォロワ(フリップフロップとしては4つ)が定常電流を消費しているのに対し、DC-DF や DC-RF では1つのエミッタフォロワ電流が交互に流れる構成である。安定化回路に必要な電流は、エミッタフォロワ電流よりも十分小さいために、DC-DF や DC-RF のエミッタフォロワ電流は ECL と比べ、約半分となる。

図 4.12 に、LCML, ECL, DC-DF, DC-RF のフリップフロップを用いた 1/4, 1/5 分周デュアルモジュラスプリスケアラの最高動作周波数についての回路シミュレーション結果を示す。比較のために、条件は以下のように統一した。信号振幅 400 mV, 電源電圧 3 V, 入力信号 400 mV<sub>pp</sub>,  $I_{ef} = I_S$ ,  $I_{fb} = I_S/7$  としている。スイッチング電流 60  $\mu$ A のとき、DC-DF の最高動作周波数  $f_{max}$  は、ECL よりも 7 % 高く、DC-RF の  $f_{max}$  は ECL よりも 12 % 高いという結果が得られた。また、DC-RF は LCML よりも約 2 倍の周波数で動作する。同一の周波数で比較すると、DC-DF や DC-RF は LCML よりも約半分の電流となる。

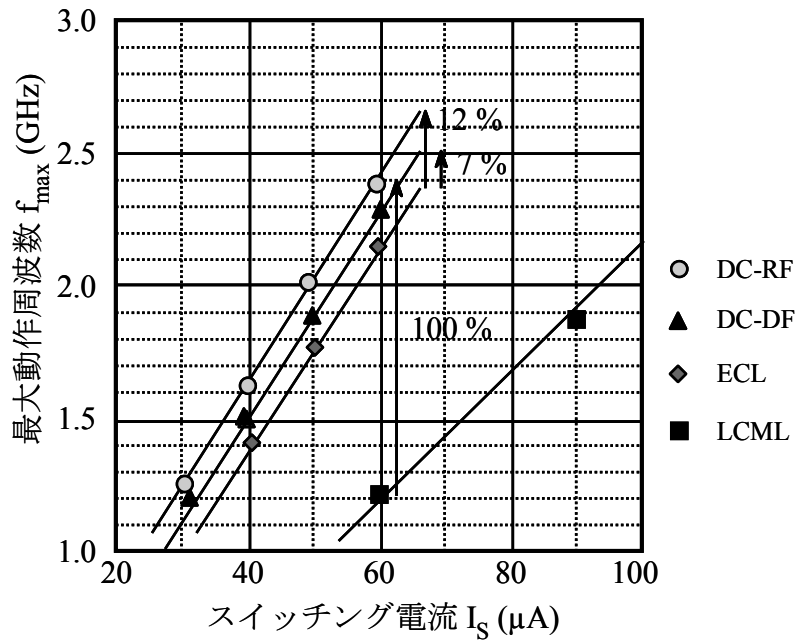


図 4.12: スイッチング電流  $I_S$  と最大動作周波数  $f_{\max}$

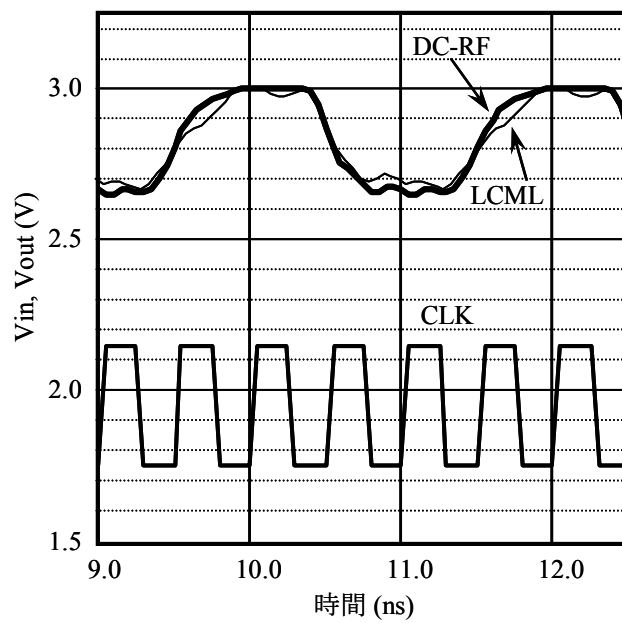


図 4.13: 出力波形

文献[1]に示されるアクティブプルダウンの効果は、基本回路の遅延時間を改善するものの、フリップフロップに関する改善効果は比較的小さい。これは、クロック入力に変化する前にデータ入力が先に変化しているためで、エミッタフォロウ電流はすでに切り替わりが始まっており、出力信号の変化とアクティブプルダウン電流が同期していないからである。

図 4.13 に LCML と DC-RF を用いた 1/4 分周プリスケータの出力波形を示す。図の上がフリップフロップの出力ノードの電圧であり、下が入力したクロックの波形である。入力周波数は 2 GHz、信号振幅 400 mV、電源電圧は 3.0 V である。LCML には、4.3.1 節で触れたように次段の過渡的なベース電流による出力波形の揺れが発生していることがわかる。これらのディンプルは誤動作の要因となったり、位相雑音の劣化を引き起こしたりする。また、立ち上がりの時間も遅くなっている。

### 4.3.5 抵抗レベルシフト回路

図 4.14(a) に示すように、従来の ECL フリップフロップでは、シリーズゲートの下位入力であるクロック入力は上位入力であるデータ入力よりもダイオード 1 つ分 ( $1 V_{be}$ ) だけレベルシフトされている。このような場合、最低電源電圧  $V_{CCmin}$  は、 $V_C + 3 V_{be} + V_1/2$  で表される。ここで  $V_C$  は電流源のオーバーヘッド、 $V_{be}$  はベース・エミッタ間電圧、 $V_1$  は信号振幅である。 $V_C$ 、 $V_{be}$ 、 $V_1$  をそれぞれ 0.4 V、0.8 V、0.4 V と仮定すると最低電源電圧は 3.0 V となる。これは終端電圧が 2.7 V のバッテリー駆動には適さない。図 4.14(b) に抵抗レベルシフト回路を示す。ダイオード 1 つ分をレベルシフトするのではなく、負荷抵抗と  $V_{CC}$  の間にレベルシフト抵抗を入れることにより、レベルシフト量を 0.8 V よりも小さくすることができる。この場合の最低電源は、 $V_C + 2 V_{be} + V_1/2 + V_{LS}$  で与えられる。ここで  $V_{LS}$  はレベルシフト電圧であり、トランジスタの飽和を防ぎ、かつダイオード 1 つ分の電圧よりも小さい値でなければならない。 $V_{LS}$  を 0.4 V としたときの最小電源電圧は 2.6 V となる。すなわち、従来の ECL よりも 0.4 V 電源電圧を下げることができる。

プリスケータのクロック入力(下位入力)は、クロックドライバによって与えられているため、クロックドライバは抵抗によるレベルシフトを持っていないなければならない。クロックドライバが抵抗レベルシフト回路を採用し、同時に DC-DF もしくは DC-RF の回路を採用することは可能である。



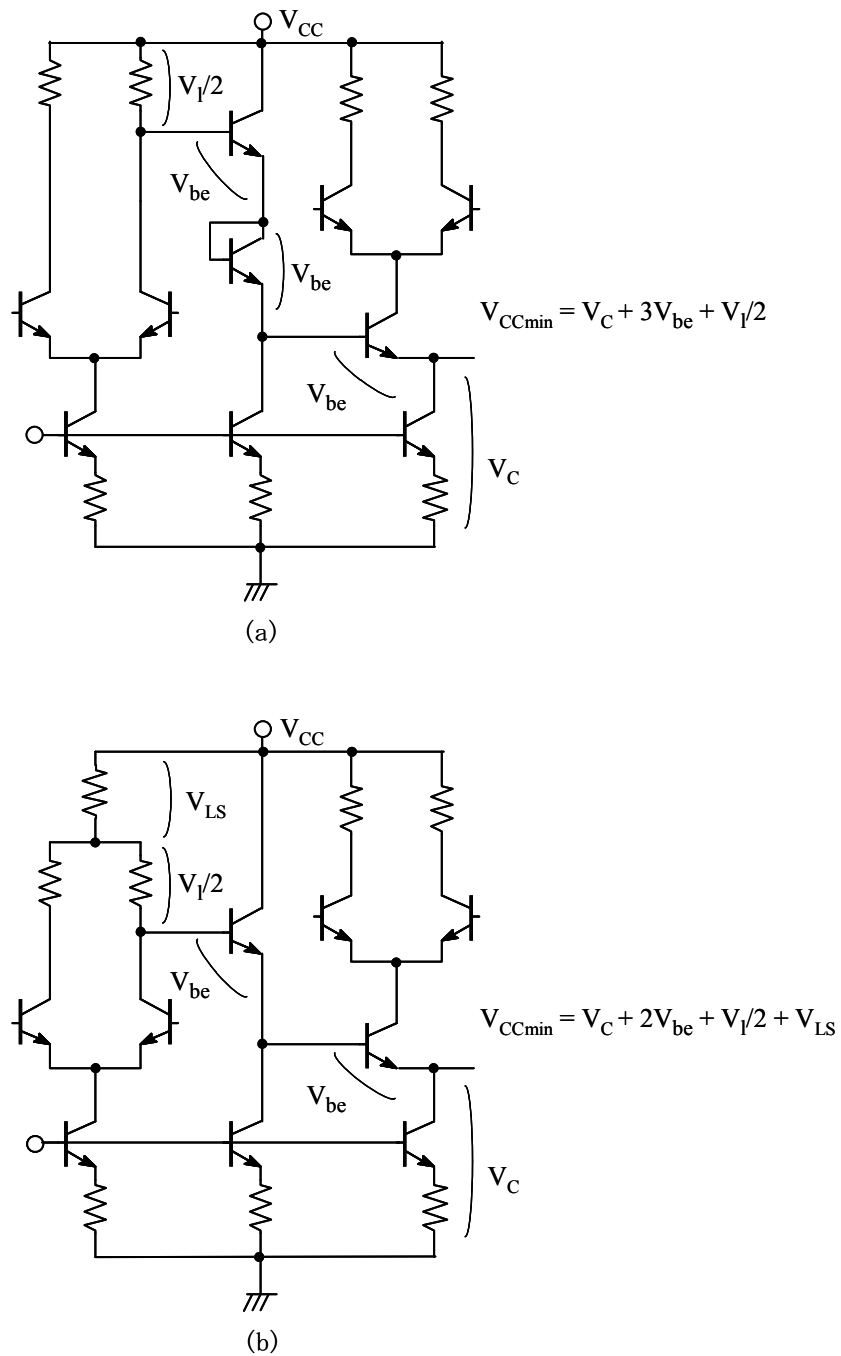


図 4.14: 最低電源電圧 : (a) ダイオードレベルシフト, (b) 抵抗レベルシフト

## 4.4 評価結果

提案する回路を検証するために、同一の Si ウエハ上に複数個の 1/4, 1/5 分周デュアルモジュラスプリスケータを搭載して実測評価を行った。

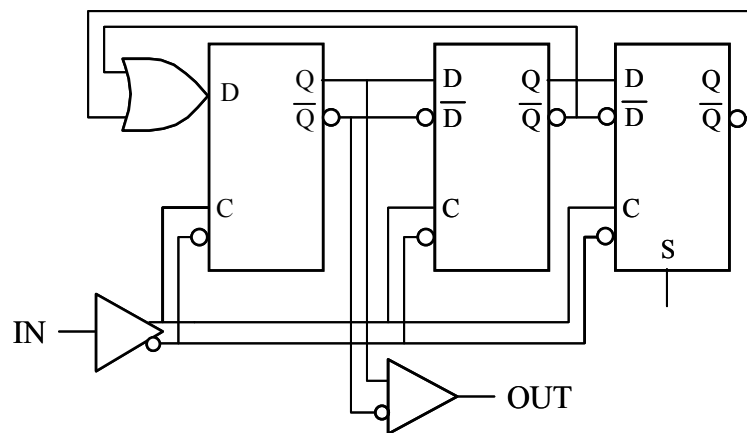


図 4.15: 1/4, 1/5 分周デュアルモジュラスプリスケータ

表 4.1: デバイスパラメータ

$S_E$ (effective)	0.3 x 0.5
$f_T$	25 GHz
Cje	1.4 fF
Cjc	2.0 fF
Cjs	1.7 fF
rb	560 ohm

図 4.15 にプリスケータのブロック図を示す。プリスケータは3つのフリップフロップ、クロックドライバ、測定のための出力バッファから構成されている。LCML, ECL, DC-DF, DC-RF の4つのフリップフロップを試作、評価した。クロックドライバと出力バッファは、フリップフロップと同じエミッタフォロワを用いている。

0.35  $\mu\text{m}$  BiCMOS プロセス[11]を用いて種々のエミッタフォロワを用いたデュアルモジュラスプリスケータを試作した。回路に用いたバイポーラトランジスタの代表的なデバイスパラメータを表 4.1 に示す。実効的なエミッタサイズは  $0.3 \times 0.5 \mu\text{m}^2$ 、遮断周波数  $f_T$  は 25 GHz である。

デュアルモジュラスプリスケータのチップ写真を図 4.16 に示す。チップサイズは  $1.0 \times 1.0 \text{ mm}^2$  である。このチップに2種類のプリスケータが搭載されている。LCML と比較して、DC-RF のフリップフロップではトランジスタ数が約2倍になっているが、面積増は約20%である。これは同一の周波数で動作させるために、DC-RF フリップフロップは LCML のおよそ半分のスイッチング電流でよく、DC-RF のトランジスタサイズは LCML の半分となるためである。プリスケータは評価のために、50  $\Omega$  駆動の出力バッファが出力に付加されている。出力バッファの電源パッドはプリスケータの電源パッドと分離されており、プリスケータのみの電流を測定することができる。

図 4.17 に DC-RF を用いたプリスケータの入力周波数と入力感度の関係を示す。周波数毎の入力電力の上限と下限を表している。電源電圧は 3.0 V、出力バッファを除くプリスケータ全体の消費電流は 935  $\mu\text{A}$  である。実測結果では、入力電力-15 dBm (約 112 mV<sub>pp</sub>) のとき、動作周波数レンジは

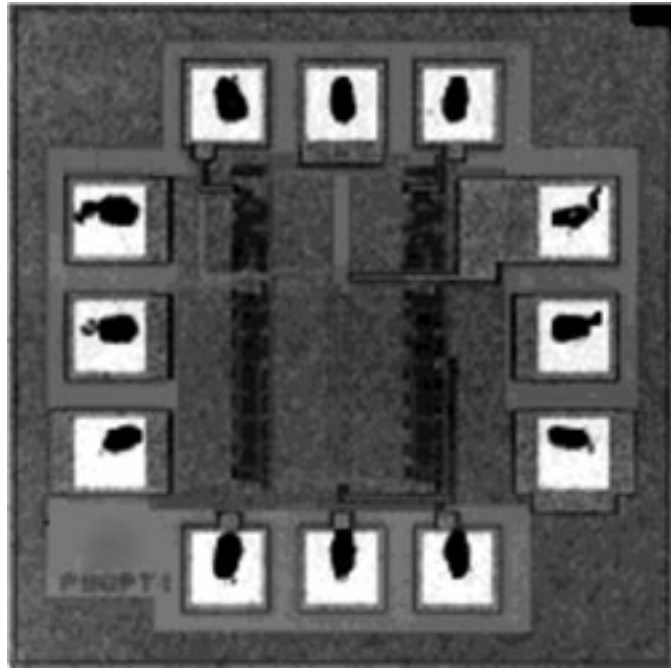


図 4.16: プリスケーラチップ写真

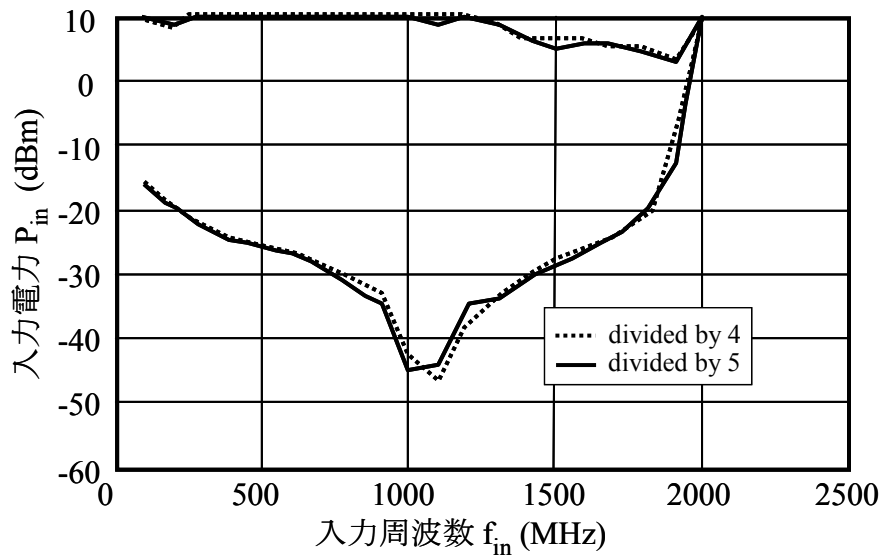


図 4.17: DC-RF の入力感度 :  $V_{CC} = 3.0$  V,  $I_{TOT} = 935$   $\mu$ A,  $V_1 = 400$  mV

100 MHz から 1.8 GHz であった. 1/4 分周モードと 1/5 分周モードで特性にほとんど差がなかった. 入力電力 -4 dBm (約 400 mV<sub>pp</sub>) のときの最大動作周波数は, 1.85 GHz であった.

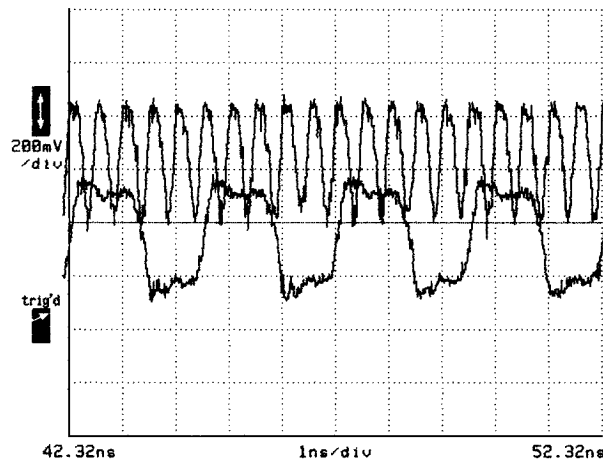


図 4.18: DC-RF プリスケーラの実出力波形 : 1/5 分周モード,  $f_{in} = 2 \text{ GHz}$ ,  
 $V_{in} = 400 \text{ mV}$ ,  $I_{TOT} = 1.03 \text{ mA}$ ,  $V_{CC} = 3.0 \text{ V}$

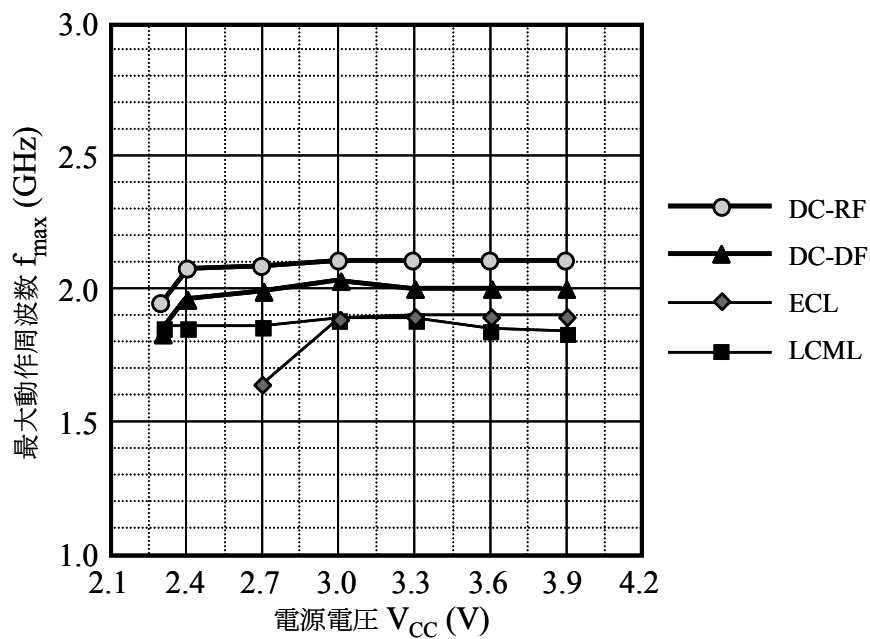


図 4.19: 電源電圧と最大動作周波数  $f_{max}$

図 4.18 に 1/5 分周モードでの DC-RF プリスケーラの実出力波形を示す。入力周波数  $f_{in}$  は 2 GHz, 入力振幅 400 mV<sub>pp</sub>, プリスケーラの実出力振幅 400 mV<sub>pp</sub>, 電源電圧 3.0 V である。プリスケーラの電流が 1.03 mA のとき, 最大動作周波数は 2.11 GHz であった。1/4 分周モードでは 2.09 GHz であった。

3 V 以下の動作を確認するために, 4 種類のプリスケーラの動作を比較した。図 4.19 に, DC-RF, DC-DF, ECL, LCML に対する最大動作周波数と電源電圧の関係を示す。抵抗値を変えた, すなわち

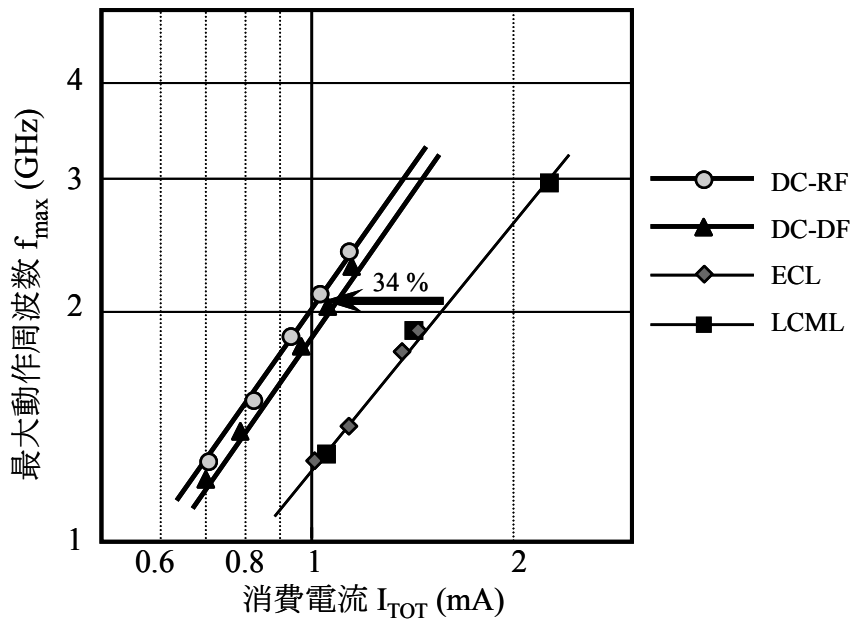


図 4.20: 最大動作周波数  $f_{max}$ :  $V_{in} = 400$  mV,  $V_1 = 400$  mV,  $V_{CC} = 3.0$  V

スイッチング電流を変えた試作チップの中から、それぞれの回路形式で概ね 2 GHz 動作するプリスケラを選んで比較を行った。DC-EF, DC-DF, ECL の消費電流はそれぞれ, 1.03 mA, 1.05 mA, 1.43 mA である。抵抗レベルシフト回路をつかったクロックバッファを採用することにより, DC-RF と DC-DF の回路動作は, 2.4~3.9 V の電源電圧範囲をカバーしていることがわかる。一方, 従来の ECL では, トランジスタの飽和により, 電源電圧 2.7 V で最大動作周波数が劣化している。

種々のプリスケラに対する消費電流と最大動作周波数の関係を図 4.20 に示す。すべての実測データは, 入力振幅 400 mV<sub>pp</sub>, 電源電圧 3.0 V のときのものである。従来回路の ECL と LCML の性能はほぼ同等であった。4.3.1 節で触れたように, ECL の最大動作周波数  $f_{max}$  は LCML の約 2 倍であるが, 消費電流もほぼ 2 倍となるからである。これに対し, DC-RF, DC-DF の場合, エミッタフォロワ電流がほぼ半分になる上に, ECL よりも動作周波数が高くなるために, 消費電流と最大動作周波数の関係では従来回路より大幅に向上している。同一の動作周波数で比較した場合, DC-DF のトータル消費電流は LCML より 32 %小さく, DC-RF の消費電流は LCML より 34 %小さいという結果が得られた。

## 4.5 結言

ダイオードフィードバック型レベル安定化回路付き直接制御エミッタフォロワ (DC-DF) と抵抗フィードバック型レベル安定化回路付き直接制御エミッタフォロワ (DC-RF) について述べた。エミッタフォロワで消費される不要な DC 電流を削減することにより, 高周波動作と低消費電流化が可能となる。試作した 1/4, 1/5 分周デュアルモジュラスプリスケラの電流は, DC-DF を使用した場合, 従来の LCML よりも 32 %少なく, DC-RF の消費電流は LCML より 34 %小さいという結果が得ら

れた。DC-RF を用いたプリスケータは 2.1 GHz で動作し、このときのトータル電流は 1.03 mA であった。

また、抵抗レベルシフト回路を使ったクロックバッファを採用することにより、DC-RF と DC-DF のプリスケータが、2.4~3.9 V の広い電源電圧範囲で動作することを確認した。バッテリー駆動で必要な 3.0 V 以下で動作が可能であり、高周波動作を維持しつつ、低消費電力化が図れる。実測結果により、提案する DC-RF と DC-DF が、低消費電力が要求される移動体通信に適していることが確認できた。

本章では、主にフリップフロップ回路、およびプリスケータについて述べたが、エミッタフォロワは様々な回路に使用されており、本提案の適用範囲も限定されるものではない。エミッタ電流とフィードバック電流の比に最適点が存在するが、ある程度の比を確保していれば、性能に対する電流比の感度は高くないため、設計上、最適化の負荷は重くないと考える。実際、本プリスケータは、次章で述べるプロセスが異なる PHS(Personal Handy-phone System)用中間周波数処理 LSI の他、WCDMA(Wideband Code Division Multiple Access)用中間周波数処理 LSI、Bluetooth 用トランシーバなどで実用化されている。さらに、エミッタフォロワ電流が半分になるという基本的なコンセプトは CMOS ソースフォロワにも適用可能である。

## 参考文献

- [1] K. Y. Toh, C. T. Chuang, T. C. Chen, J. D. Warnock, G. P. Li, K. Chin, and T. H. Ning, "A 23 ps/3.2 mW ECL gate," ISSCC Dig. Tech. Papers, pp. 224-225, Feb. 1989.
- [2] H. Itoh, T. Saitoh, T. Yamada, M. Yamamoto, and A. Masaki, "Advanced ECL with new active pull-down emitter-followers," Proc. 1988 BCTM, pp. 23-35, Oct. 1988.
- [3] C. T. Chuang and K. Chin, "High-speed low-power charge-buffered active-pull-down ECL circuit," Proc. 1990 BCTM, pp. 132-135, Oct. 1990.
- [4] C. T. Chuang, K. Chin, P. F. Lu, and H. J. Shin, "High-speed low-power darlington ECL circuit," IEEE J. Solid-State Circuits, vol. 28, no. 12, pp. 1374-1376, Dec. 1993.
- [5] H. J. Shin, "A self-biased feedback-controlled pull-down emitter follower for high-speed low-power bipolar logic circuits," IEEE J. Solid-State Circuits, vol. 29, no. 4, pp. 523-528, Apr. 1994.
- [6] T. Kuroda, T. Fujita, M. Noda, P. Thai, L. Yang, and D. Gray, "Capacitor-free level-sensitive active pull-down ECL circuit with self-adjusting driving capability," Symp. VLSI Circuits Dig. Tech. Papers, pp. 29-30, June 1993.
- [7] N. Sasaki, H. Sato, K. Ueda, K. Mashiko, and H. Shibata, "A New Emitter-Follower Circuit for High-Speed and Low-Power ECL," IEICE Transactions on Electronics, vol. E78-C, no. 4, pp. 374 - 380, Apr. 1995.
- [8] H. Sato, N. Nagisa, and T. Miki, "A Flip-Flop Circuit with a Directly Controlled Emitter-Follower and a Level Stabilizer for Low-Power Prescalers," IEICE Transactions on Electronics, vol. E82-C, no. 3, pp. 504 - 510, Mar. 1999.
- [9] M. Mizuno, H. Suzuki, M. Ogawa, K. Sato, and H. Ichikawa, "A 3-mW 1.0-GHz silicon-ECL dual-modulus prescaler IC," IEEE J. Solid-State Circuits, vol. 27, no. 12, pp. 1794-1798, Dec. 1992.
- [10] T. Seneff, L. McKay, K. Sakamoto, and N. Tracht, "A sub-1mA 1.5-GHz silicon bipolar dual modulus prescaler," IEEE J. Solid-State Circuits, vol. 29, no. 10, pp. 1206-1211, Oct. 1994.
- [11] T. Igarashi, S. Kubo, K. Suda, T. Nakashima, Y. Ohtsu, M. Yamawaki, and S. Asai, "A manufacturable 0.35  $\mu\text{m}$  BiCMOS using self-aligned cobalt silicide technology," Proc. 27th European Solid-State Device Research Conf., pp. 420-423, Sep. 1997.

## 第5章 1.9 GHz PHS 用中間周波数処理 LSI

### 5.1 緒言

近年、携帯電話、無線 LAN、Bluetooth 等の無線通信機器市場は急速に拡大している。この分野は、携帯性、通話時間の点から、小型軽量、低消費電力が最も強く要求される分野である。また、端末の低価格化が今日の急激な加入者増の一因であることを考えると、半導体部品の低価格化も重要である。このため、できるだけ多くの部分をシリコン化し、1チップに集積することが有効な手段である。携帯電話用1チップトランシーバとして、1995年に初めてUHF(Ultra High Frequency)帯もしくは900 MHz帯の中間周波数処理部分を1チップ化したものが報告された[1]。ほぼ同時に、2GHz帯においても変調器あるいは復調器を集積したものが報告されているが[2]-[3]、高周波ゆえに集積度が低かった。そのころの市販の端末では高価な化合物半導体や、個別半導体を用いて構成している状態であった。この理由として、高周波回路を1チップに集積できるだけの十分な性能を持ったシリコンプロセスがなかったこと、LSI内部ブロック間の高周波クロストークやデジタル回路のノイズを抑圧する技術が確立されていなかったことなどが挙げられる。

PHS(Personal Handy-phone System)はL帯のデジタルコードレスフォンである。ハンドセットは屋内のコードレスフォンとしてだけでなく、屋外では、公衆網に接続されるマイクロセル方式移動体電話としても使用できる。PHSのサービスは1995年に開始した。マイクロセル方式を採用することで、一般的な携帯電話よりも出力電力が小さく(携帯電話が200 mW~2 Wであるのに対し、PHSは20 mW)、長時間の通話が可能であることが特長である。バッテリー消費が少ないことから、近年では、USB(Universal Serial Bus)ドングルに無線システムを納め、パーソナルコンピュータと接続することで、高速なデータ通信としても使用されている。

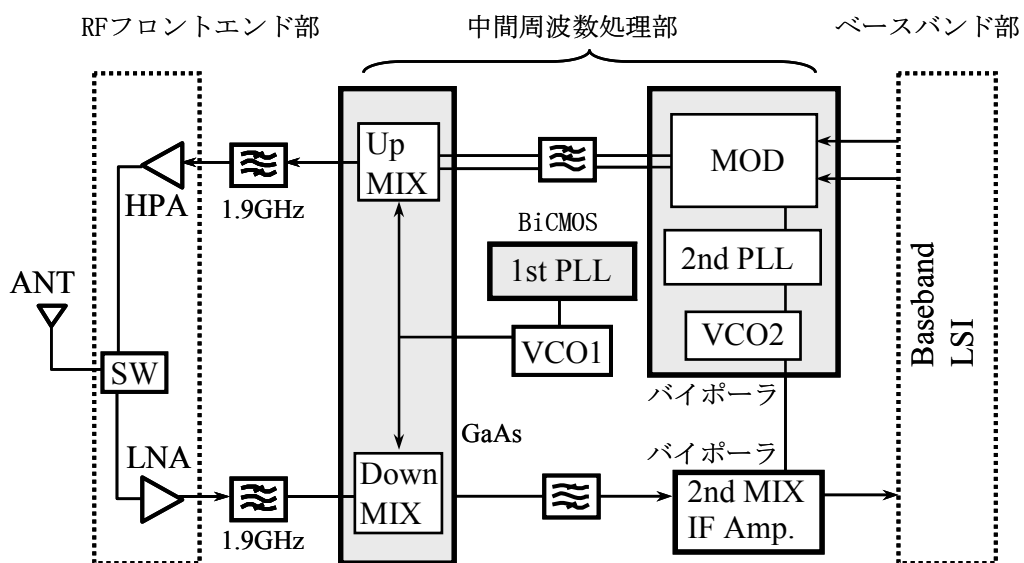


図 5.1: 第 1 世代 PHS の IC 構成例



図 5.1 に PHS のサービスが開始されたときの第 1 世代 PHS の IC 構成例を示す。HPA(High power amplifier), LNA(Low noise amplifier), 送受切り替えスイッチ(SW)といった RF フロントエンドは GaAs のディスクリート部品もしくはモジュールで構成されている。中間周波数処理部は複数の IC やディスクリート部品で構成されており, 1.9 GHz で動作する送信ミキサ(Up MIX)や受信ミキサ(Down MIX)は GaAs のモジュール, ファースト PLL(1st PLL)は BiCMOS プロセスによる汎用 IC, 直交変調器(MOD), セカンド PLL(2nd PLL), セカンド VCO(VCO2)はバイポーラプロセスによる専用 IC, セカンドミキサ(2nd MIX)や IF アンプ(IF Amp.)は汎用 IC を使用している。このように第 1 世代の PHS では複数の IC やディスクリート部品で構成されているため, 部品コストが高く, 消費電流や実装面積が大きいという問題があった。

本章では, 0.8  $\mu\text{m}$  高周波 BiCMOS プロセスを用いて, 1.9 GHz 動作の送受信ミキサ, デュアル PLL, 直交変調器等, PHS の中間周波数処理部をほぼ 1 チップに納めた LSI について述べる。1.9 GHz 帯として, 世界初の 1 チップトランシーバである。中間周波数処理部を 1 チップに集積するとともに, 3 V のバッテリー電流を削減することを目的としている。まず, はじめに取り組むべき課題について述べ, 次にブロック構成や, 個々の回路について課題解決方法を説明する。使用したプロセスおよびレイアウトについて述べた後, 最後に試作, 評価結果を紹介する。

## 5.2 1 チップ化へ向けた課題と対応

1.9 GHz 動作の回路を 1 チップ化した前例がなく, 参考となる文献もなかったため, 想定しうる課題を挙げ, 一つ一つ対応していくこととした。以下に 1 チップ化へ向けた課題と対応を挙げる。

### 1) 低消費電流化 1(動作電流)

従来の中間周波数処理部は, 上述のように複数の IC やディスクリート部品で構成されているため, 入出力毎にインピーダンスマッチングが必要な上に, エミッタフォロワなどの出力バッファが必要であった。送信系においては, 外付け部品を排除し, すべての信号パスをオンチップ化することでバッファを不要とし, 低消費電流化を図った。

HPA の利得は負の温特を持ち, 温度が上がるとともに出力電力が小さくなる。このため, 従来では出力電力が小さくなくても仕様を満足するように, HPA や送信ミキサの出力をあらかじめ大きくするという方法が取られていた。このため, HPA や送信ミキサの消費電流が大きいという問題があった。今回, 正の温特を持つアッテネータを送信ミキサ前に挿入することで, HPA の温特を打ち消し, 送信ミキサの余分な電流を削減した。アッテネータは中間周波数で動作するため, 消費電流は小さい。

### 2) 低消費電流化 2(待機時電流)

従来 IC では, 非動作時においても完全に電流が遮断されず, 数 10~数 100 $\mu\text{A}$  程度のバイアス電流が流れるものが多かった。このため, 中間周波数処理部全体としての待機時電流が多く, 待ち受け時間が短いという問題があった。このため, すべての回路ブロック毎に電流遮断のスイッチを設けるとともに, 基準電圧発生回路を含むバイアス回路も完全にオフできるようにした。動作モードに応じて必要なブロックのみを動作させるパワー制御回路を内蔵した。動作モードはベースバンド LSI から送られる信号により設定される。

### 3) 外付け部品削減

低コスト化と小実装面積化のためには, 主要回路のオンチップ化だけでなく, 外付け部品

の削減を図る必要がある。送信部には、ローカル信号の2次および3次の高調波を抑圧するフィルタを内蔵し、外付け SAW フィルタ (surface acoustic wave filter) を削除した。フィルタを削除することで、フィルタ駆動用のバッファが不要となり、低消費電流化を図ることが可能となる。

#### 4) PLL シンセサイザの高速ロックアップ化

TDMA (Time Division Multiple Access) では、送信、受信が間欠的に動作する。PLL シンセサイザのロックアップ時間を短縮することで、PLL シンセサイザを立ち上げる時間を遅らせることができ、その分だけ低消費電力化が図れる。

#### 5) 1.9 GHz 動作回路のオンチップ化

受信ミキサや送信ミキサは、1.9 GHz の高い周波数で動作するため、従来では、GaAs のモジュールが用いられてきた。これを置き換えるため、高周波で動作するバイポーラトランジスタと CMOS トランジスタが両立する BiCMOS プロセスを新たに開発した。

#### 6) 高周波クロストークやデジタルノイズ抑圧

1.9 GHz 動作の高周波回路、VCO や他のアナログ回路、デジタル回路を1チップ化するため、高周波クロストークやデジタルノイズによる性能劣化を抑える必要がある。ブロック間の信号アイソレーションを向上させるために、各回路ブロックを電源/グランドのシールドラインで囲むようにした。また、基板ノイズを吸収する p+シールドライン専用のパッドを新たに用意した。

5.3 以降で、採用したブロック構成や、個々の回路について課題解決へのアプローチについて詳細に述べる。

## 5.3 チップ構成

図 5.2 に中間周波数処理 LSI のブロック図を示す。2つの PLL シンセサイザ (1st PLL, 2nd PLL)、送信ミキサ (Up MIX)、受信ミキサ (Down MIX)、可変利得アッテネータ (ATT)、直交変調器 (MOD)、セカンド VCO (VCO2) を内蔵した。ファースト VCO (VCO1)、セカンドミキサ (2nd MIX)、IF アンプが中間周波数処理部でのオフチップ部である。RF フロントエンドは GaAs MMIC で構成されており、HPA、LNA、送受切り替えスイッチ等が1チップ化されている [4]。コストやサイズの観点では、フロントエンド部もシリコン化し、送受信部を1チップ化するのが理想的であるが、当時のシリコンプロセスでは、2GHz 帯で効率の良い HPA や NF (Noise figure) の小さい LNA をオンチップするのは困難であるため、本 LSI では別チップとした。近年では、要求性能が比較的緩い Bluetooth や ZigBee 向け RF トランシーバは CMOS での1チップ化が可能となっているものの [5]-[6]、要求性能が厳しい携帯電話や無線 LAN といった用途では、高効率 HPA や低雑音 LNA を1チップ化するのは困難であるため、現在でも GaAs や SiGe HBT (Heterojunction Bipolar Transistor) を用いた外付け部品で対応している。特に非常に出力電力が大きい HPA のオンチップ化はまだ研究段階である。

本 LSI ではダブルコンバージョン方式を採用しており、1.9 GHz の信号を受けて、受信ミキサは 240 MHz の中間周波数に変換する。セカンドミキサや IF アンプが必要であるが、低価格で低消費電力の IC がすでに入手可能であるため、ここでは外付けにしている。セカンドミキサ以降を外付けにすることにより、DECT (European cordless telephone) の様な他のシステムに容易に適用可能である。

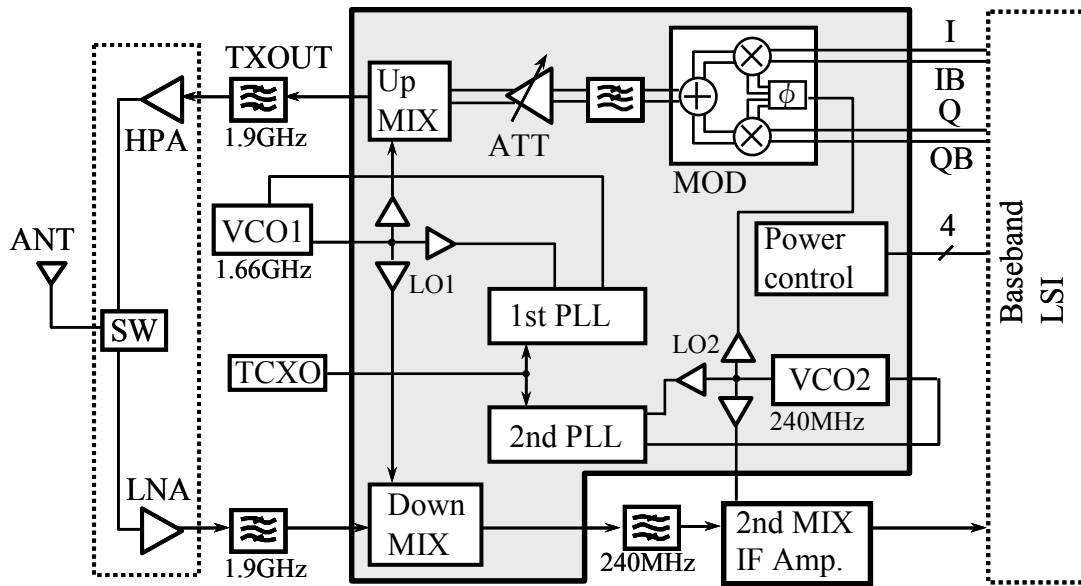


図 5.2: 中間周波数処理 LSI ブロック図

同様に送信部もダブルコンバージョン方式を採用している。直交変調器の後段に、セカンドローカル信号の2次および3次高調波を抑圧するローパスフィルタを内蔵したので、I/Q入力からTXOUTまで信号がチップ外に出ることなく、すべてチップ内で処理できるようにしている。このローパスフィルタは単純なRCフィルタで構成した。

TXOUT の出力電力を調整し、また、接続される GaAs HPA の利得の温度依存性を打ち消すために可変利得アッテネータを送信ミキサの前段に挿入している。

ダブルコンバージョン方式に対応するため、2個のPLLを内蔵している。それぞれのローカル信号は、アイソレーションを取るためにバッファを経由して各ブロックに分配される。ファーストPLL/ファーストVCOが生成するファーストローカル信号LO1は送信ミキサ、受信ミキサ双方に供給される。セカンドローカル信号LO2は直交変調器とセカンドミキサに分配される。ベースバンドLSIからの4ビットの制御信号は、送信モード、受信モード、PLL動作モード等に応じて各ブロックのパワー制御するための信号である。

## 5.4 回路設計

### 5.4.1 直交変調器

図 5.3 に直交変調器(MOD)の回路図を示す。90度移相器にはローカルバッファを介して240MHzのセカンドローカル信号が入力される。90度移相器には、周波数分周器タイプやポリフェーズフィルタタイプのものであるが、周波数分周器タイプは分周器が必要な上にVCOを2倍もしくは4倍の周波数で発振させるため消費電流が大きく、ポリフェーズフィルタタイプは精度を上げるには面積が大きいという欠点がある。このため、より消費電力の面で有利なRC/CRタイプ[7]を使用した。RC/CRタイプの移相器は、プロセスの変動によってHPFとLPFの遮断周波数変動し、I側と

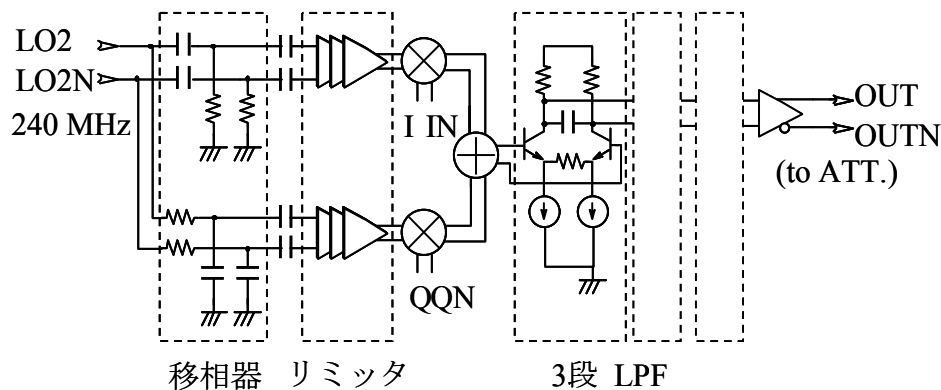


図 5.3: 直交変調器

Q側の振幅がアンバランスになるという欠点がある。遮断周波数の変動によるI側とQ側の振幅誤差に対応するため、後段に3段のリミッタアンプを挿入した。リミッタアンプのベース電流による特性変化、DCオフセットによる特性劣化を低減するため、移相器とリミッタアンプはAC結合とした。

ベースバンドLSIから来たI/Q信号はダブルバランスミキサでローカル信号と混合、加算され、出力段に接続される。ローカル信号の2次および3次の高調波は、-30 dBc以下に抑圧する必要がある。ミキサ出力段での2次および3次歪みは、それぞれ-25 dBc、-20 dBcであるため、システム要求により、さらにそれぞれ5 dB、10 dB抑圧しなければならない。このため、出力段にローパスフィルタ機能を付加した。プロセスばらつきを考慮して、3段のフィルタとした。これによりI/Q入力からTXOUTまで信号がチップ外に出ることなく、すべてチップ内で処理できるようになり、外付け部品を削除できるとともに外部駆動用のバッファも不要となる。

#### 5.4.2 アッテネータ

図 5.4 に示すアッテネータ回路は、送信ミキサの出力電力を調整すると共に、GaAs HPAの負の温度依存性を持つ利得を補償する。外付け抵抗  $R_{EXT}$  はアッテネータの利得調整用である。可変範囲は約 10 dB である。この回路の利得は2つのダイオード、D1、D2の電流比で決まるため、利得は以下の式で表される。

$$\begin{aligned} \text{Gain} &= \frac{2R_C}{R_E} \frac{I_2}{I_2 + I_3} \\ &= \frac{2R_C}{R_E} \frac{I_0}{I_1} \end{aligned}$$

ここで、 $I_2 : I_3 = I_0 : (I_1 - I_0)$ 、 $I_1 = V_{be} / R_{EXT}$  である。 $V_{be}$  は負の温度依存性を持つため、利得は正の温度依存性を持つ。回路パラメータはHPAの温度依存性を打ち消すように設定した。これにより、高温でのHPAの利得低下を補うための余分な電流を流す必要がなくなり、低消費電力化が図れる。また、システム全体での利得の温度変化が小さくなるため、HPAが持つ可変利得範囲を小さくできるという利点もある。

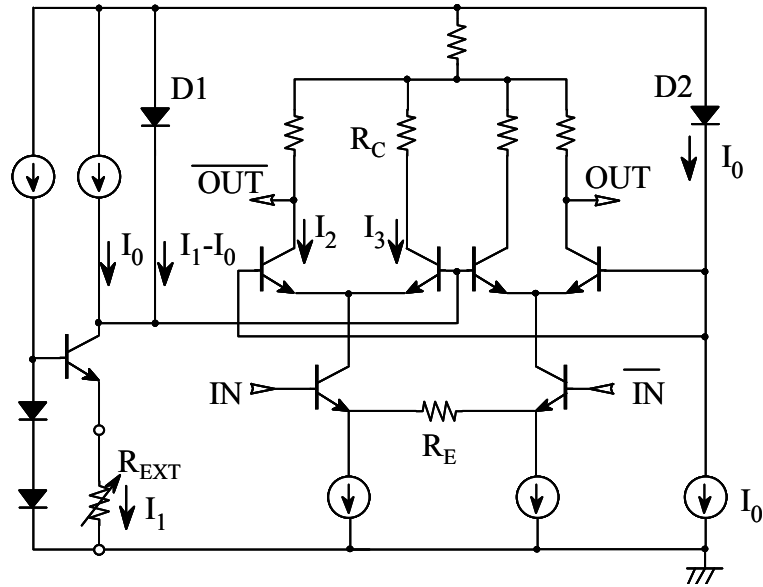


図 5.4: アッテネータ

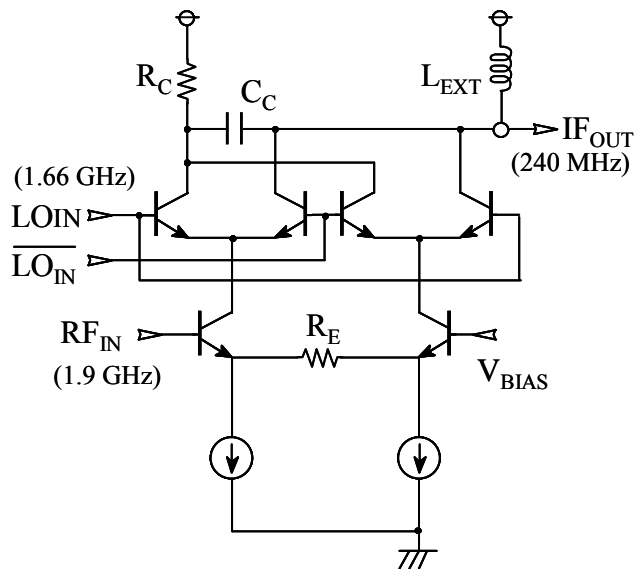


図 5.5: 受信ミキサ

### 5.4.3 送受信ミキサ

受信ミキサや送信ミキサは、1.9 GHz の高い周波数で動作するため、高周波での利得や雑音に優れたバイポーラトランジスタと CMOS トランジスタを集積した BiCMOS プロセスを新たに開発した。プロセスの概要については後で説明する。

送信ミキサ、受信ミキサは、ローカル信号リークを押さえるために、いずれもダブルバランスミキサで構成されている。送信ミキサは 240 MHz の IF 信号から、1.9 GHz の RF 信号に変換する。出

力段に差動アンプとエミッタフォロワを設け、出力インピーダンスが  $50 \Omega$  に近くなるように設計されている。このため、送信ミキサの出力端 TXOUT には、外部の  $50 \Omega$  マッチング回路が不要となり、外付け部品を削減できる。

受信ミキサ(図 5.5)は、1.9 GHz の RF 信号を 240 MHz の IF 周波数(中間周波数)に変換する。通常は送信ミキサ同様、エミッタフォロワを使用するが、受信ミキサは大きな電力出力が不要であること、線形性を向上させるにはエミッタフォロワに多くの電流を流さなければならないことから、消費電流を考慮してオープンコレクタとした。外付けのインダクタ負荷が受信ミキサの出力に接続される。 $R_C$  と  $C_C$  でローパスフィルタが構成されており、不要な高調波を抑え、線形性を改善する。

#### 5.4.4 PLL シンセサイザ

ダブルコンバージョンに対応して、2つの PLL シンセサイザを内蔵した。図 5.6 にデュアル PLL シンセサイザ(1st PLL, 2nd PLL)のブロック図を示す。ファースト VCO(VCO1)は外付けのモジュール、セカンド VCO(VCO2)は内蔵である。動作周波数は、ファーストローカル信号が 1~2 GHz, セカンドローカル信号が 100~400 MHz である。PLL は 22 ビットのシリアルデータによりプログラミングされ、最初の 2 ビットが各ブロックのパワー制御, 3 ビットがシフトレジスタ選択に使用される。4つのシフトレジスタが、ファーストとセカンドのローカル信号の周波数設定とレファレンス周波数  $f_{REF1}$ ,  $f_{REF2}$  の設定に用いられる。残りの 17 ビットで分周比を指定する。PHS として使用する際には、レファレンス周波数は、ファーストローカル信号で 300 kHz (PHS のチャンネル間隔), セカン

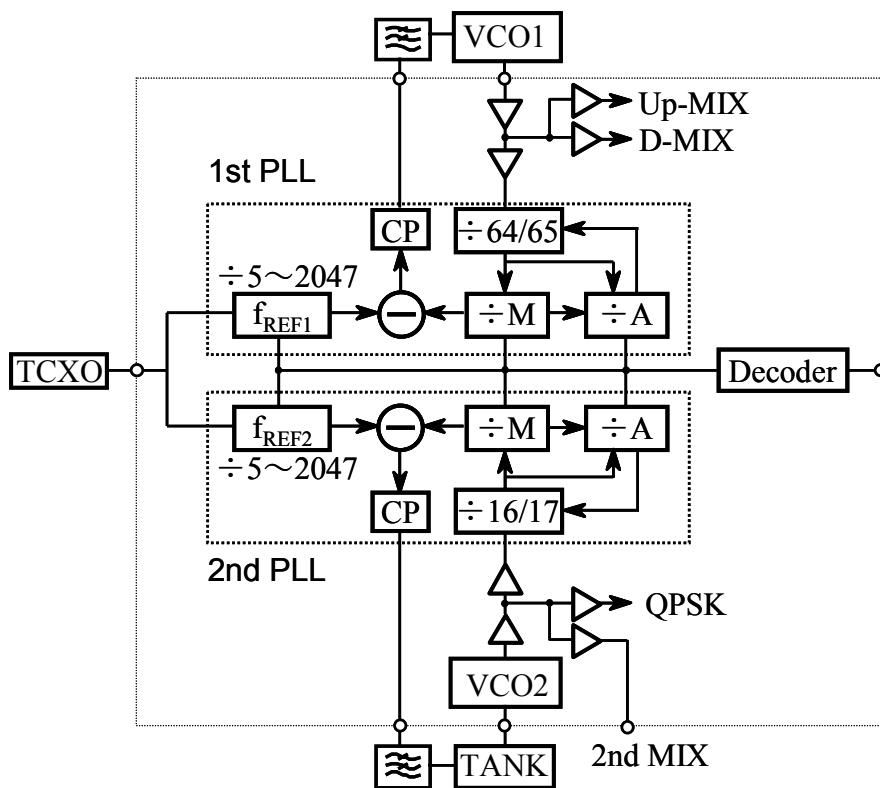


図 5.6: デュアル PLL シンセサイザ

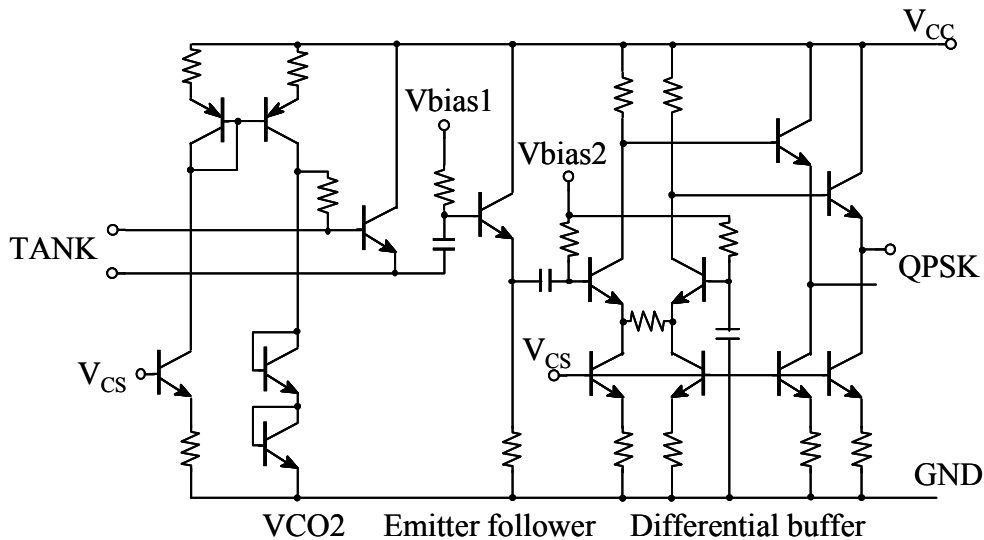


図 5.7: L0 バッファ回路

ドローカル信号で 50 kHz に設定される。

生成されたファーストとセカンドのローカル信号はバッファ回路を通して、それぞれ送受信ミキサ、セカンドミキサ/直交変調器に供給される。ローカル信号の減衰を防ぐためと、接続される負荷が変動したときに VCO の発振周波数が変化することを抑制するためである。図 5.7 にセカンド VCO とバッファ回路を示す。バッファ回路は、エミッタフォロワと差動アンプからなる 2 段のバッファから構成される。セカンド VCO (VC02) はコルピッツ型発信器で、アクティブ素子やバイアス回路を内蔵している。比較的大きな L と C からなる共振回路 (TANK) は内蔵化が困難であるため外付けとした。

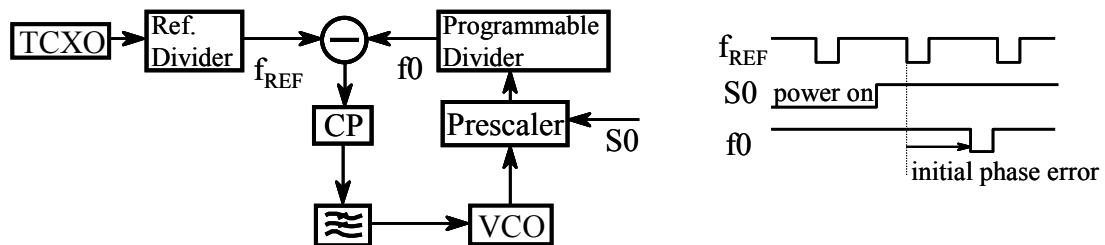
時分割多重アクセス TDMA (Time division multiple access) においては、PLL シンセサイザは間欠的に動作するため、パワー制御信号が PLL に起動をかけたとき、短い時間でロックアップすることが求められる。5.2 で述べたように、ロックアップ時間の短縮により、PLL シンセサイザを立ち上げる時間を遅らせることができ、その分だけ低消費電力化が図れる。以下、提案する PLL シンセサイザ構成について説明する。

図 5.8(a) に示す従来の PLL においては、レファレンス周波数  $f_{REF}$  と分周された VCO 周波数  $f_0$  は非同期信号となっている。パワー制御信号  $S_0$  がこれらの信号とは独立に立ち上がるからである。このため、位相比較器は、たとえ  $f_{REF}$  と  $f_0$  が同じであっても、最悪のケースで、 $f_0$  が  $f_{REF}$  の半分であるとみなす場合がある。このような初期の位相誤差はロックアップタイムの長時間化やばらつきを引き起こす可能性がある。

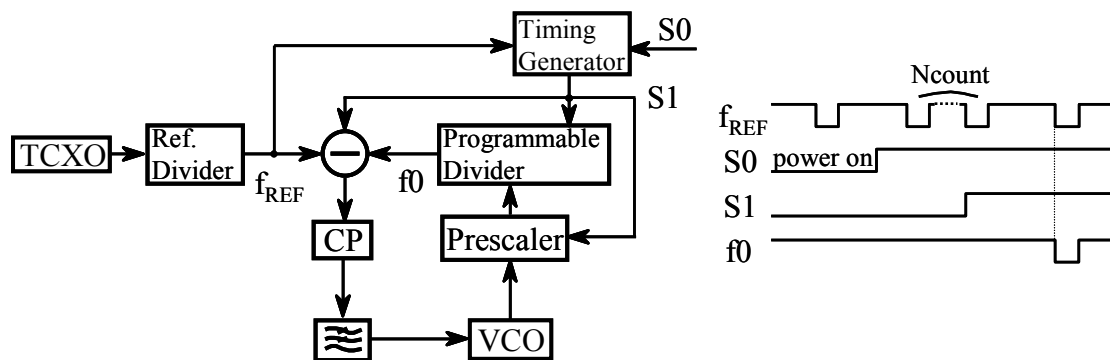
図 5.8(b) に新規に考案した自己同期型 PLL の構成図を示す。新たに追加したタイミング発生器が、 $S_0$  と  $f_{REF}$  から制御信号  $S_1$  を生成する。 $S_1$  は位相比較器、プログラマブル分周器、プリスケラに分配される。 $S_1$  は  $f_{REF}$  と同期しているために、 $f_{REF}$  と  $f_0$  の間の初期位相誤差が最小限に抑えられる。もし、初期の段階で  $f_{REF} = f_0$  であった場合、初期の位相誤差は 0 となる。

図 5.9 に示すタイミング発生器は N ビットのカウンタから構成されている。D0 から Dn によってビット数 N を設定する。N ビットカウンタは、プリスケラの起動に対して正確な遅延時間を生成

する。N個のカウント後、 $f_{REF}$ の立ち下がりエッジでS1が立ち上がる。このため、位相比較器、プログラマブル分周器、プリスケーラは $f_{REF}$ と同期して動作する。Nカウントの遅延時間は約10  $\mu$ sであり、ロックアップ時間と比較して無視できるほどの時間である。



(a) Conventional PLL



(b) Self-synchronized PLL

図 5.8: 自己同期型 PLL

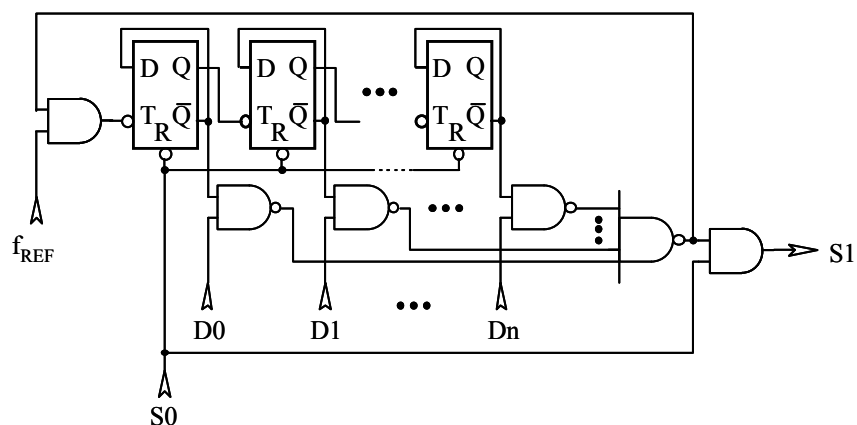


図 5.9: タイミング発生器



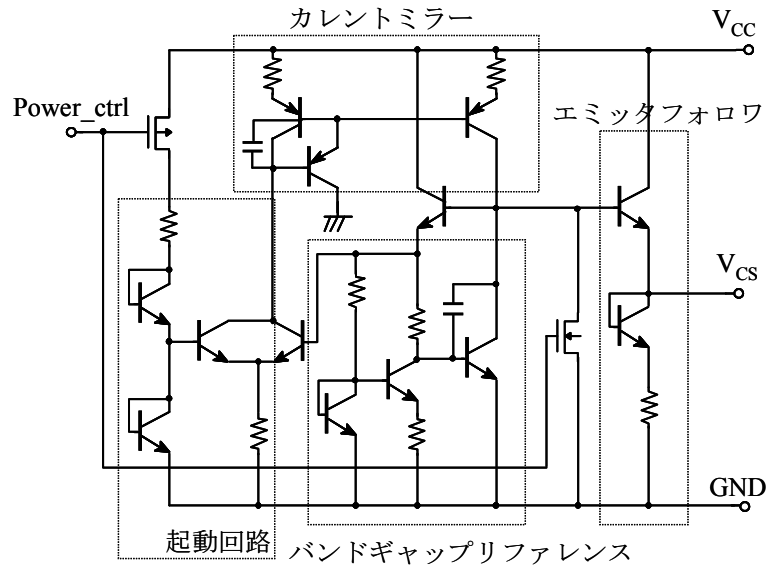


図 5.10: 基準電圧発生回路

#### 5.4.5 基準電圧発生回路

基準電圧発生回路は各回路ブロックの動作電流を決定する基準電圧  $V_{CS}$  を供給する。  $V_{CS}$  を 0 V にすることにより各回路ブロックはパワーオフされる。受信モード、送信モード、PLL シンセサイザオンモード、スリープモードなどの動作モードに応じて必要なブロックのみを動作させるため、基準電圧発生回路は個々の回路ブロックに配置した。基準電圧発生回路およびそれに接続されるアナログブロックはパワー制御ピンによって動作モード(送信, 受信, PLL オン, スリープ)に応じて電流が遮断される。

スリープモード時の待機時電流削減という課題に対しては、すべての回路ブロック毎に電流遮断のスイッチを設けるとともに、基準電圧発生回路を含むバイアス回路も完全にオフできるようにした。基準電圧発生回路を図 5.10 に示す。スリープモードでは、パワー制御回路からの信号 Power\_ctrl によってバンドギャップリファレンス回路および起動回路がオフされ、基準電圧発生回路の消費電流もほぼ 0 にカットされる。

携帯機器はバッテリー駆動であるため電源電圧が大きく変動する。電源電圧の変動によって特性が変化すると、その変動マージンを含めた設計が必要であるため、余分な電流を必要とする。電源電圧の変動によって特性が変化しないようにするには、  $V_{CS}$  の電源電圧依存性を極力小さくする必要がある。このため、本回路では自己バイアス型バンドギャップリファレンス回路を基本に、起動回路、カレントミラー、エミッタフォロワ回路から構成される方式を採用した。この結果、  $V_{CS}$  の電源電圧依存性は 1.6 mV/V と極めて小さい値が得られている。

### 5.5 プロセス技術

LSI の試作に使用したプロセスは、0.8  $\mu\text{m}$  高周波 BiCMOS であり、これは CBiCMOS プロセス[8] を元に、  $f_T = 20$  GHz の npn トランジスタ、ラテラル pnp トランジスタ、2 層ポリ容量を追加した

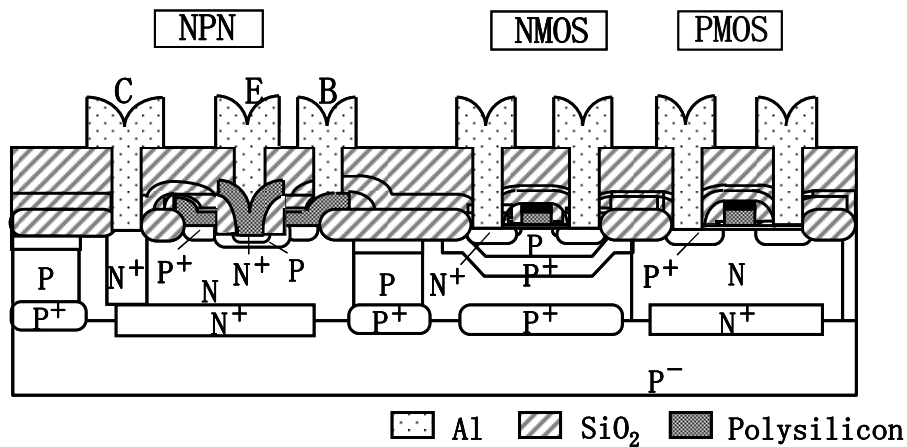


図 5.11: トランジスタ断面図

表 5.1: プロセス諸元

NPN	$S_E = 0.5 \times 5.7 \mu\text{m}^2$ $f_T = 20 \text{ GHz}, f_{\text{max}} = 24 \text{ GHz}$ $C_{TC} = 9 \text{ fF}, R_b = 155 \text{ Ohm}$
NMOS	$L_n = 0.8 \mu\text{m}$ $T_{\text{OX}} = 18 \text{ nm}$ $V_{\text{th}} = 0.76 \text{ V}$
PMOS	$V_{\text{th}} = -0.78 \text{ V}$
Resistor	n-polysilicon 150 Ohm/square
Capacitor	2 poly, 2.7 fF/ $\mu\text{m}^2$

ものである。1.9 GHz 動作に対応するため、高周波に対応したバイポーラトランジスタが必要であるが、CMOS とバイポーラを同時形成しようとすると CMOS の熱処理温度が高いために、バイポーラの浅い接合ができないという問題が発生する。このため、CMOS を形成後、バイポーラを形成するプロセスを新たに開発した。CMOS とバイポーラを個別に形成することによるマスク枚数増加という課題に関しては、バイポーラトランジスタは2層ポリシリコン自己整合プロセスを用いることで対応した。ベース拡散は専用のマスクが必要となるが、エミッタは自己整合によりマスクが不要となる。エミッタはエミッタポリシリコン形成後にポリシリコンからの拡散によって形成される。

図 5.11 にトランジスタ断面図を示す。npn トランジスタは上述のように2層ポリシリコン自己整合プロセスで、ベースポリシリコン形成後に側壁酸化によってエミッタ開口部が決定されるため、実効エミッタ幅は設計ルールよりも小さい  $0.5 \mu\text{m}$  である。これにより、より微細で寄生容量が小さいトランジスタが実現している。CMOS トランジスタは  $0.8 \mu\text{m}$  標準 CMOS プロセスで、デジタル回路のセルライブラリとの共有化を図っている。

抵抗は n+ポリシリコンを用いてエミッタ電極と同時に形成される。高容量素子は窒化膜をポリ

シリコンで挟んだ構造で、下部電極はベース電極と同時に形成される。表 5.1 に諸元をまとめる。

## 5.6 レイアウト

図 5.12 に中間周波数処理 LSI のチップ写真を示す。チップサイズは  $3.4 \times 3.0 \text{ mm}^2$  である。高周波回路では信号のアイソレーションが重要であり、特に PLL シンセサイザの干渉に気を付けなければならない。5.2 で述べたデジタルノイズの抑圧という課題に対しては、高周波ブロック/アナログブロックと PLL シンセサイザのデジタルブロックを極力分離することで対応した。チップの右半分はデュアル PLL のロジック部で、左半分はアナログブロックである。さらに、両者の間にファーストローカルとセカンドローカルのバッファを配置した。

信号のアイソレーションの方法の一つとして、電源パッドの近くで電源ラインを分離し、別々のブロックに分配するという方法がある。電源パッドが 1 つでよいため、ピン数が少なくて済むという利点がある。しかしながら、高周波においては電源パッドは理想的な AC グランドではないため、この手法では十分なアイソレーションが取れない。そこで、高周波クロストークの低減という課題に対して以下のように対応した。

各アナログブロックにはそれぞれ独立の電源、グランドパッドを設け、各ブロックはグランドライン、電源ラインで囲むと共に、最外周は p+シールドで囲んだ(図 5.13)。p+シールドラインは他のどこにも接続されない専用のサブグランドパッドに接続され、チップ外のグランドに接続される。グランドとサブグランドに分けた理由は、p+シールドラインが他のブロックからの干渉により揺れたときの影響が回路グランドに及ばないようにするためである。グランドライン上の p+コンタクトはラッチアップ対策である。

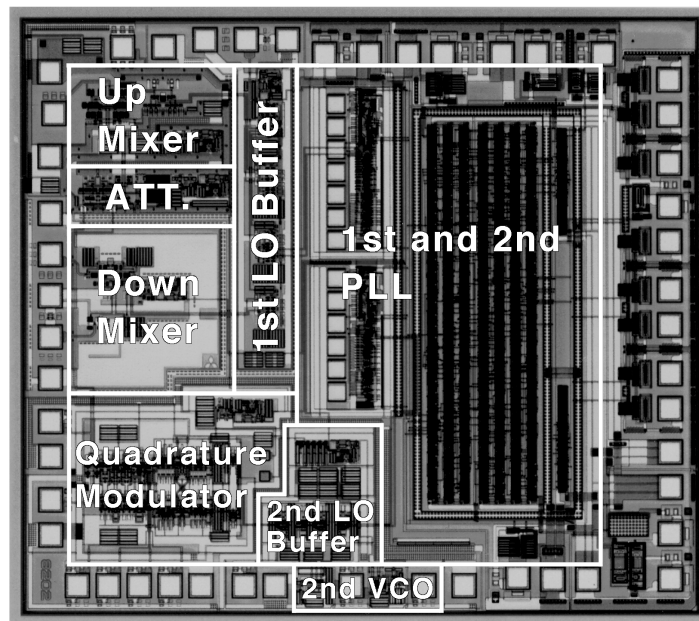


図 5.12: チップ写真

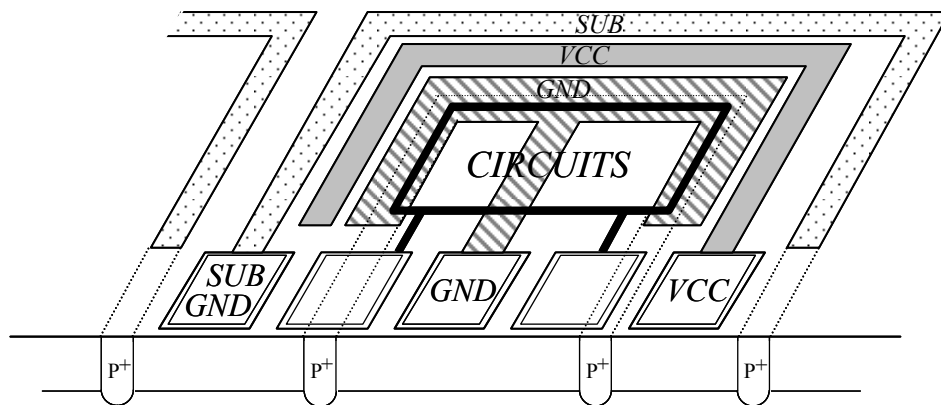


図 5.13: 電源ラインのレイアウト

グラウンドシールドラインによって、数 100  $\mu\text{m}$  離れたパッドとの信号アイソレーションは、1.9 GHz で約 40 dB である。p+シールドラインによりさらに 5 dB アイソレーションを向上することができる。2つのパッドの距離が互いに 1 mm 以上離れているとき、たとえば、受信ミキサの出力と VC02 の出力では、1.9 GHz での信号アイソレーションは 55 dB であり、240 MHz では 82 dB である。

## 5.7 評価結果

これまで述べた課題に対するアプローチが有効に働き、要求性能を満足するか確認するために、試作した中間周波数処理 LSI を評価した。

図 5.14 に、電源電圧 3 V,  $I/Q = 380 \text{ mV}_{\text{pp}}$ ,  $\pi/4$  QPSK 変調 (all-0 パターン) の時の送信ミキサ

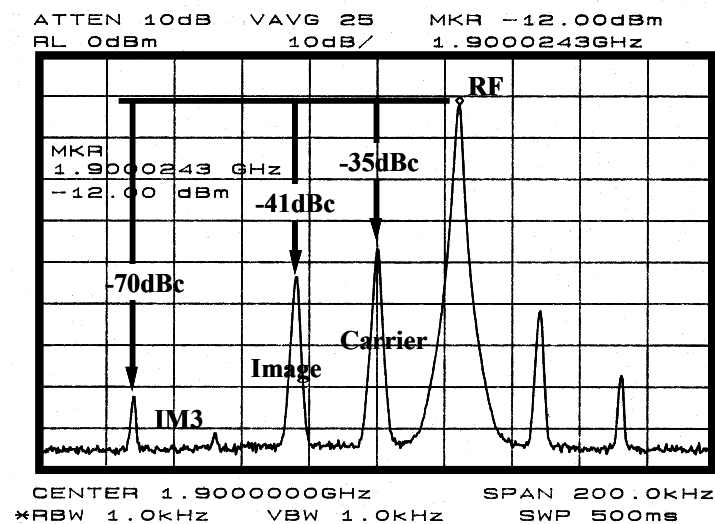


図 5.14: TXOUT 出力スペクトラム ( $f_{\text{RF}} = 1.9 \text{ GHz}$ ,  $f_{\text{LO}} = 1.66 \text{ GHz}$ ,  $f_{\text{IF}} = 240 \text{ MHz}$ ,  $I/Q = 380 \text{ mV}_{\text{pp}}$ ,  $\pi/4$  QPSK all-0 パターン)

の出力スペクトラムを示す。中心周波数は 1.9 GHz であり、所望波は 24 kHz ずれたところにある。ファーストローカル信号は 1.66 GHz、送信ミキサに入力される IF 周波数は 240 MHz である。キャリア抑圧-35 dBc、イメージ抑圧-41 dBc が得られた。また、3 次相互変調歪みは-70 dBc である。

図 5.15 に  $\pi/4$  QPSK 変調(PN9 ランダムパターン)入力時の出力スペクトルを示す。周波数設定は図 5.14 と同様である。600 kHz 離調の隣接チャネル漏洩電力は-60 dBc であった。デジタルノイズによるスプリアスもなく、所望の特性が得られている。

図 5.16 に送信ミキサ出力 TXOUT の出力電力と温度の関係を示す。アッテネータに持たせた正の

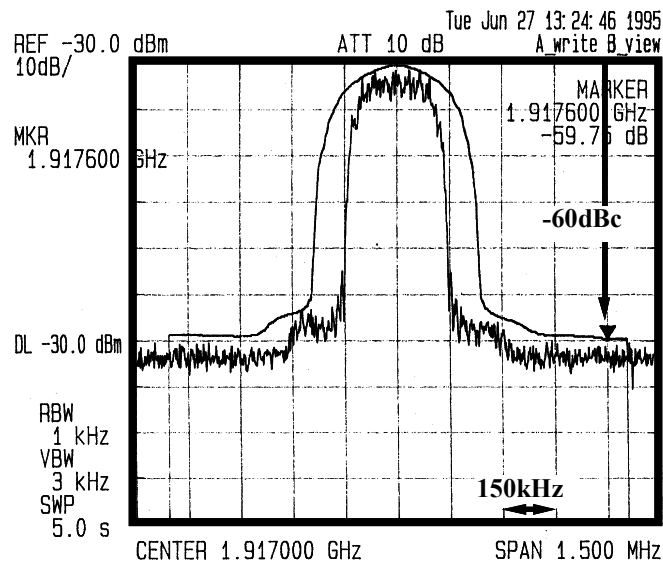


図 5.15: TXOUT 出力スペクトラム ( $f_{RF} = 1.9\text{GHz}$ ,  $I/Q = 380\text{ mV}_{pp}$ ,  $\pi/4$  QPSK PN9 ランダムパターン)

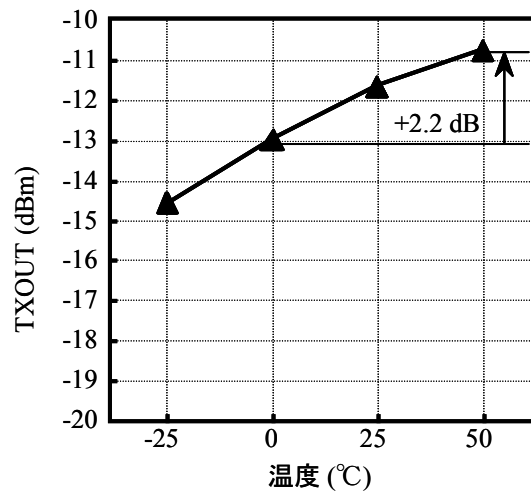


図 5.16: TXOUT の温度依存性

温度特性により、0 から 50°C の温度変化で出力電力は 2.2 dB 増加する。GaAs HPA のゲインの温度依存性は約 -2.5 dB であるので、ほぼ温度補償されることが確認できた。

図 5.17 に IF 入力信号の振幅を変化させたときの TXOUT の出力電力と直交変調器単体のベクトルエラーを示す。PN9 ランダムパターン入力時のベクトルエラーは、出力 -9.5 dBm のとき直交変調器単体で約 1 % であった。PLL 込みのトータルベクトルエラーは 4.4 % である。このときの振幅誤差は 0.1 dB、位相誤差は 2.3° である。また、バーストモード(送受が時分割で切り替わる)時のベクトルエラーは 4.5 % であった。

変調精度を考慮した送信ミキサの最大出力電力は -9.5 dBm である。後段のパワーアンプのゲイ

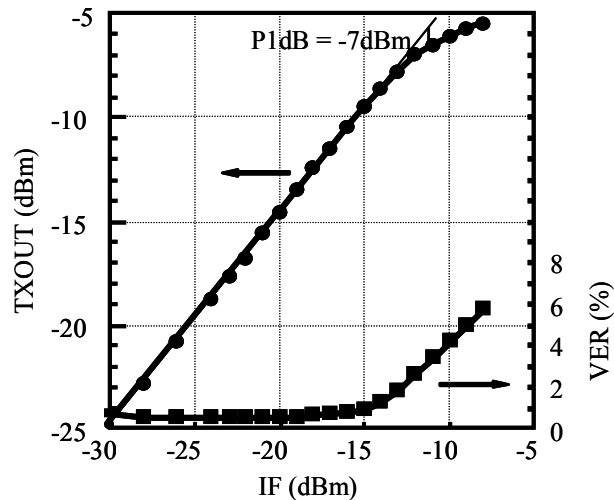


図 5.17: TXOUT の IF 入力依存 ( $f_{RF} = 1.9$  GHz,  $f_{IF} = 240$  MHz,  $f_{LO} = 1.66$  GHz,  $\pi/4$  QPSK PN9 ランダムパターン)

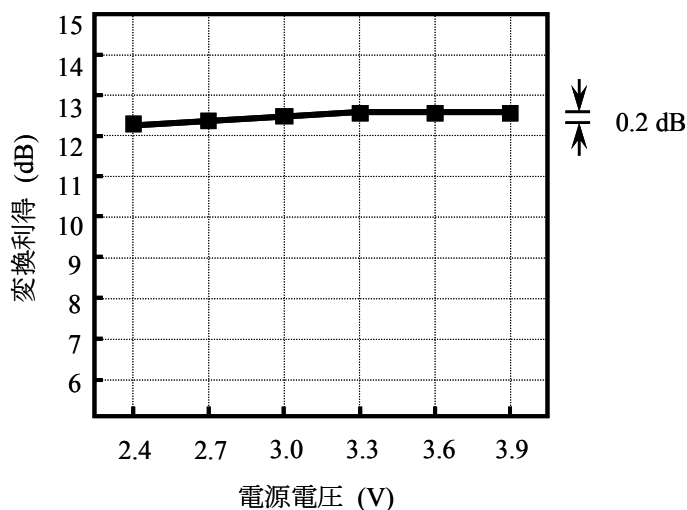


図 5.18: ダウンミキサの変換利得 ( $f_{RF} = 1.9$  GHz,  $P_{in} = -40$  dBm,  $f_{LO} = 1.66$  GHz,  $f_{IF} = 240$  MHz)

ン特性から要求される $-12$  dBmのスペックを満たしている。出力電力が $1$  dB劣化するポイント $0P1dB$ は $-7$  dBmである。直交変調器の変調精度は要求仕様を満足しており、 $90$  度移相器が精度よく動作していることが確認できた。

図 5.18 は受信ミキサの変換利得と電源電圧の関係を示すグラフである。電源電圧が  $2.7$  V から  $3.6$  V まで変化したときの利得変動は、 $0.2$  dB に抑えることができた。  $2.4$  V から  $3.9$  V の範囲でも破綻をきたすことなく動作することが確認できた。電圧補償された基準電圧発生回路により、電源電圧マージンを確保できるとともに、動作マージン確保のための余分な電流も不要となった。

ファースト PLL の評価は外付け VCO モジュールとループフィルタを用いて行った。図 5.19 にファーストローカル信号の出力スペクトラムを示す。レファレンス周波数は  $300$  kHz、発振周波数は  $1.6638$  GHz である。  $600$  kHz 離調のスプリアスレベルは $-92$  dBc、位相雑音は  $2$  kHz オフセットで  $-77$  dBc/Hz である。  $1.6848$  GHz から  $1.6512$  GHz へのチャンネル選択ロックアップタイムは  $0.91$  ms、スリープモードから動作モードへの遷移であるパワーオンロックアップタイムは  $1.1$  ms であった。この値は、毎回安定に得られる。一方、従来の PLL 方式では、このパワーオンロックアップタイムは、 $1.1\sim 2.4$  ms のばらつきを生じた。考案した自己同期型 PLL が有効に動作することが確認することができた。

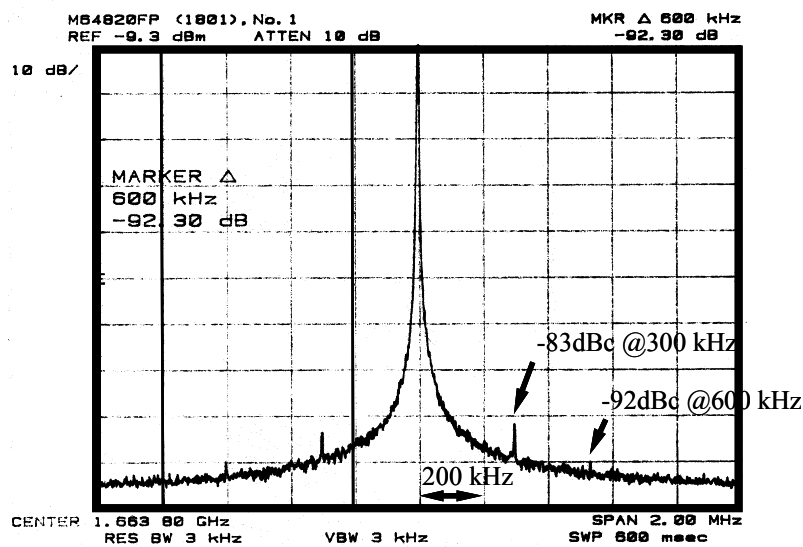


図 5.19: 1st PLL の LO 出力スペクトラム ( $f_{L0} = 1.6638$  GHz,  $f_{REF1} = 300$  kHz)

表 5.2: 評価結果

送信 (PLL含む)	ベクトルエラー率	4.4 %
	振幅誤差	0.1 dB
	位相誤差	2.3°
	イメージリジェクション	-41 dBc
	隣接チャネル漏洩電力	-60 dBc
	占有帯域幅	247 KHz
送信ミキサ	1dBコンプレッションポイント	-7 dBm
受信ミキサ	変換利得	12 dB
	雑音指数 (DSB)	12 dB
	IIP3	-7 dBm
消費電流	送信時消費電流	44 mA
	受信時消費電流	24 mA
	待機時消費電流	< 1 $\mu$ A

LSI 全体の消費電流は、電源電圧 3.0 V のとき、送信時 44 mA、受信時 24 mA である。スリープ時は LSI すべてのブロックがオフし、このときの電流は 1  $\mu$ A 以下である。図 5.1 に示した第 1 世代の中間周波数処理部では、3 チップのトータル消費電流が、送信時 195 mA、受信時 159 mA であり、それぞれ、4 分の 1 以下、6 分の 1 以下に低減できた。

中間周波数処理 LSI のその他の主な特性を表 5.2 に示す。これらの値はすべて所望の要求仕様を満たしている。評価データはすべて 48 ピン QFP にパッケージして測定したものである。

## 5.8 結言

0.8  $\mu$ m 高周波 BiCMOS プロセスを用いた PHS の中間周波数処理 LSI について述べた。低消費電力に適した回路構成、プロセス変動に強い回路構成を採用するとともに、各ブロック間の信号干渉を低減する電源レイアウトを採用することにより、中間周波数処理機能をほぼ 1 チップに集積した。試作評価した結果、1.9 GHz で正常に動作し、要求仕様を満たすことを確認した。また、自己同期型 PLL を提案し、従来の PLL のパワーオンロックアップタイムが 1.1~2.4 ms であるのに対し、自己同期型 PLL は 1.1 ms と、高速化、安定化を図ることができた。送信時 44 mA、受信時 24 mA と、従来の個別半導体部品を用いた場合に比べ消費電流を 4 分の 1 以下に低減した。バッテリー動作に必要な 2.7~3.6 V での正常動作も確認できた。本研究の成果は、1.9 GHz 帯として世界初の中間周波数処理 LSI として実用化されている。

本中間周波数 LSI の発表後、無線トランシーバはますます高周波化、高集積化、低消費電力化が進んでいる。2011 年現在では、さらに高性能な SiGe BiCMOS プロセスを用いた携帯電話用 1 チップ無線トランシーバや、より高周波な UWB トランシーバが製品化されている。また、CMOS プロセスの微細化にともなって、MOS トランジスタの性能や集積度が上がり、ベースバンド処理部と無線トランシーバを一体化したのも実用化されている。アンプやミキサ、PLL シンセサイザといった無線トランシーバのサブブロックは、それぞれがまったく異なる回路で構成されており、また、異



なる特性が要求される。このため、これ1つを実現すればすべての回路を1チップ化できるという技術は存在せず、1チップ化しやすいアーキテクチャや回路構成を今後も研究していかなければならない。本章で述べた信号のアイソレーション技術、PLL シンセサイザの高速ロックアップ技術などは、現在でも使用されている貴重な技術である。

## 参考文献

- [1] T. D. Stetzler, I. G. Post, J. H. Havens, and M. Koyama, "A 2.7V - 4.5V Single-Chip GSM Transceiver RF Integrated Circuit," *IEEE J. Solid-State Circuits*, vol. 30, no. 12, pp. 1421-1429, Dec., 1995.
- [2] T. Tsukahara, M. Ishikawa, and M. Muraguchi, "A 2-V 2-GHz Si-Bipolar Direct-Conversion Quadrature Modulator," *IEEE J. Solid-State Circuits*, vol. 31, no. 2, pp. 263-267, Feb., 1996.
- [3] C. Takahashi, R. Fujimoto, S. Arai, T. Itakura, T. Ueno, H. Tsurumi, H. Tanimoto, S. Watanabe, and K. Hirakawa, "A 1.9 GHz Si Direct Conversion Receiver IC for QPSK Modulation Systems," *ISSCC Dig. Tech. Papers*, pp. 138-139, Feb., 1995.
- [4] K. Yamamoto, K. Maemura, Y. Ohta, N. Kasai, M. Noda, H. Yuura, Y. Yoshii, M. Nakayama, N. Ogata, T. Takagi, and M. Otsubo, "A GaAs RF Transceiver IC for 1.9 GHz Digital Mobile Communication Systems," *ISSCC Dig. Tech. Papers*, pp. 340-341, Feb., 1996.
- [5] W. Y. Hu, J. W. Lin, K. C. Tien, Y. H. Hsieh, C. L. Chen, H. T. Tso, Y. S. Shih, S. C. Hu, and S. J. Chen, "An RF Transceiver with Auto Signal Detection and Combined PGA/RSSI in 0.18 $\mu$ m CMOS for V2.1 Bluetooth Applications," *IEEE RFIC Symposium Digest*, pp. 109-112, June, 2009.
- [6] G. Retz, H. Shanan, K. Mulvaney, S. O'Mahony, M. Chanca, P. Crowley, C. Billon, K. Khan, and P. Quinlan, "A Highly Integrated Low-Power 2.4GHz Transceiver Using a Direct-Conversion Diversity Receiver in 0.18 $\mu$ m CMOS for IEEE802.15.4 WPAN," *ISSCC Dig. Tech. Papers*, pp. 414-415, Feb., 2009.
- [7] K. Yamamoto, K. Maemura, N. Andoh, and Y. Mitsui, "A 1.9-GHz-Band GaAs Direct-Quadrature Modulator IC with a Phase Shifter," *IEEE J. Solid-State Circuits*, vol. 28, no. 10, pp. 994-1000, Oct., 1993.
- [8] T. Ikeda, T. Nakashima, S. Kubo, H. Jouba, and M. Yamawaki, "A High Performance CBiCMOS with Novel Self-Aligned Vertical PNP Transistors," *Proc. 1994 BCTM*, pp. 238-241, Oct., 1994.



## 第6章 可変利得アンプの高線形化

### 6.1 緒言

無線通信システムでは、基地局と端末との距離に応じて信号振幅が変わるため、取り扱う信号のダイナミックレンジが極めて大きい。このため、可変利得アンプ VGA(Variable Gain Amplifier)は無線トランシーバにおいて必要不可欠の回路ブロックである。通常、受信系可変利得アンプは無線システムの自動利得制御ループの中で使用され、受信信号振幅を必要なレベルまで増幅したり、後段の A/D コンバータ(Analog to Digital Convertor)の入力レンジを越えないように減衰したりする働きを持つ。WCDMA(Wideband Code Division Multiple Access)のような携帯電話用無線通信システムにおいては、受信機は 80~100 dB もの信号振幅レンジを取り扱わなければならない[1]~[4]。入力信号振幅が小さい場合には可変利得アンプの利得を上げるが、このとき、微弱な信号を増幅するため、アンプが発生する雑音は取り扱う信号振幅よりも十分小さくしなければならない。一方、信号振幅が大きい場合には利得を落とすが、大振幅が入力してもアンプが飽和しないように十分な線形性が必要となる。一般的にアンプの雑音特性と線形性は相反する関係にあるため、高利得時の低雑音特性と低利得時の高線形性を同時に満足するのは極めて難しい課題である。

可変利得アンプには大きく分けて、アナログ電圧で利得を制御するものと、デジタル的に利得を切り替えるものがある。後者は、ソフトウェア的に制御されることから PGA(Programmable Gain Amplifier)とも呼ばれる。WCDMA においては、上述のような課題の他に、0.5 dB 以下の非常に細かい利得制御が必要であること、また、signal phase discontinuity と呼ばれる利得を切り替えたときの信号の位相連続性が要求されることなどの課題があり、利得が離散的に制御される PGA よりもアナログ回路によって制御する方式の方が有利である。

dB 直線性(linear-in-dB)を持ったアナログ VGA の基本コンセプトは文献[5]に示されている。こ

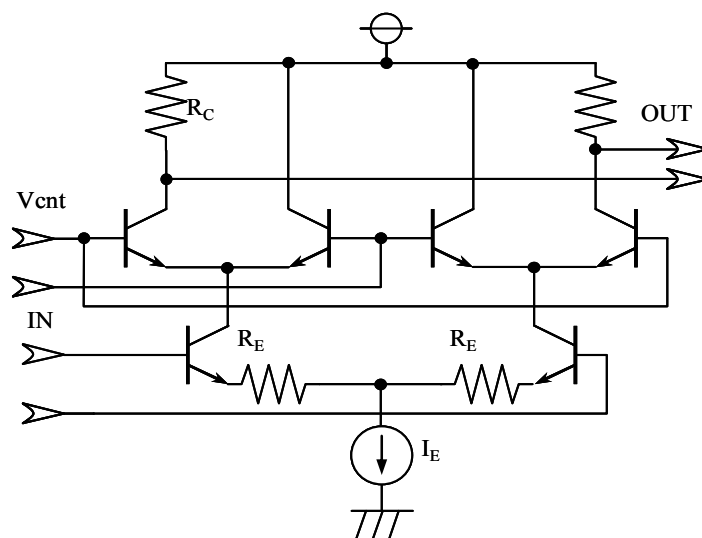


図 6.1: 従来の可変利得アンプ VGA (Type 1)

れまで報告されている多くの VGA はこのコンセプトを元としている．図 6.1 にバイポーラ差動対を用いた従来の可変利得アンプ (Type 1) の回路図を示す．下段の差動対は定電流回路を有する差動トランスコンダクタアンプであり，上段の差動対で分配される電流を制御することで利得を変化させることができる．上段差動対の電流についての伝達特性は次の式で表される．

$$\frac{I_{c1}}{I_e} = \frac{1}{1 + \exp(-V_{cnt}/V_T)} \cong \exp(V_{cnt}/V_T) \quad (-V_{cnt}/V_T \gg 1) \quad (6.1)$$

ここで， $V_T (= kT/q)$  は熱電圧 (Thermal voltage)， $V_{cnt}$ ， $I_{c1}$ ， $I_e$  は，それぞれ，上段差動対の制御電圧，上段差動対の一方のコレクタ電流，上段差動対のエミッタ電流，すなわち，下段差動対のコレクタ電流である．式 (6.1) に示すように，下段差動トランスインピーダンスアンプの出力電流に対する上段差動対のコレクタ電流，すなわち負荷抵抗  $R_C$  に流れる電流の比は制御電圧  $V_{cnt}$  の指数関数で近似できることがわかる．したがって，この可変利得アンプの可変利得特性は dB 直線性を示す．このように，バイポーラ差動対を用いることによって比較的簡単に dB 直線性が得られることから，この回路構成が広く用いられる．なお，この可変利得アンプ 1 段で，およそ 20~30 dB の可変レンジを得ることができる．

この一方で，雑音と線形性の両立という観点から見ると，従来の可変利得アンプは根本的な問題を有している．入力 3 次インターセプトポイント (IIP3 : Input Third-order Intercept Point) や雑音指数 (NF : Noise Figure) で示されるような回路の線形性や雑音特性は，主にエミッタ帰還抵抗  $R_E$  で決定されるが，本回路構成の場合，回路が固定であるため，この特性が利得の大小にかかわらず一定となっている．このため，無線通信で要求される，小信号入力時の低 NF と大信号入力時の高 IIP3 特性を同時に満足することは困難である．

本章では，この課題に対して提案するパラレルアンプ方式の広ダイナミックレンジ可変利得アンプ [3] [4] について述べる．6.2 節では，提案する可変利得アンプの回路構成について述べ，次に，本回路に対して行った利得と線形性に関する回路解析と温度補償に対する手法について説明する．6.3 節では，試作評価結果および，導出した解析式との比較を行い，結言にて本章の結論を示す．

## 6.2 可変利得アンプの設計

### 6.2.1 可変利得アンプの回路構成

前節で述べたような雑音特性と線形性のトレードオフを解消する有効な手段の一つは，特性の異なる 2 つのアンプを並列接続して可変利得アンプを構成する方法である．図 6.2 にパラレルアンプ方式可変利得アンプ (Type 2) の回路図を示す．可変利得アンプは，高利得アンプ (HGA: High-Gain Amplifier) と低利得，高線形アンプ (HLA: High-Linear Amplifier) の 2 つから構成される．エミッタ帰還抵抗がない差動アンプが HGA で，帰還抵抗  $R_E$  があり，これにより線形性が高い差動アンプが HLA である．HGA と HLA の 2 つのアンプの出力電流は合算されて負荷抵抗  $R_C$  を流れる．それぞれのアンプを制御する制御電圧  $V_{cnt}$  は相補的に与えられ，HGA の利得が高いときは HLA の利得が低くなり，HGA の利得が低いときには HLA の利得が高くなるように制御される．制御電圧  $V_{cnt}$  が低いときには，HLA が支配的になり，入力信号に対して高い線形性を示す． $V_{cnt}$  が高くなるにつれて，HGA が支配的になり，可変利得アンプ全体の利得が高くなるとともに，低雑音特性を示すようにな

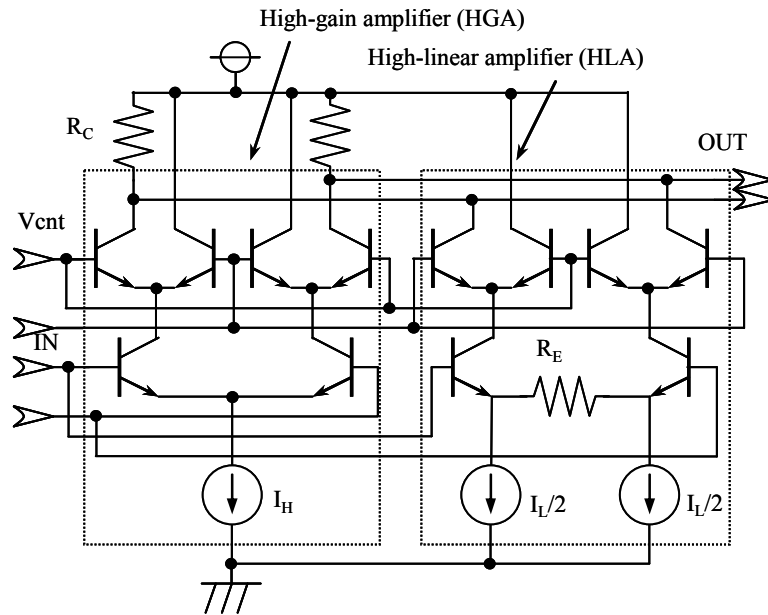


図 6.2: パラレルアンプ方式可変利得アンプ (Type 2)

る。

このように、Type 2 可変利得アンプは、低利得時に高い IIP3 を示し、かつ、高利得時に低雑音特性を示すため、一見、要求される特性を満足するよう見える。しかし、実際に、所望の IIP3 を持った HLA と所望の NF を持った HGA を組み合わせてシミュレーションしてみると、期待されるような線形性を得ることができないという問題に直面する。なぜならば、可変利得範囲を大きく取るには HGA の利得は HLA の利得よりもはるかに大きく設定しなければならず、HGA が発生する 3 次歪電流が支配的になるからである。このため、最小利得状態からわずかに制御電圧が高くなるだけで可変利得アンプ全体の IIP3 は大きく劣化してしまう。この問題を回避するために、HLA の寄与を大きくするという方法が考えられるが、負荷抵抗が共通であるため、自由に HGA と HLA の利得を設定することができない。また、HLA の電流を増やすという方法を採用すると、高利得時よりも低利得時に消費電流が大きくなってしまい、低消費電流が強く望まれる無線通信用途としては、解決不可能な根本的な問題を有している。

図 6.3 に提案する完全パラレルアンプ方式可変利得アンプの回路図を示す。1 段目の HGA と HLA (HGA1, HLA1) は完全に分離され、並列に配置されている。共通の入力と共通の制御電圧  $V_{cnt1}$  を持つが、出力は独立である。HGA1 と HLA1 はそれぞれ独自の負荷抵抗  $R_{C1H}$ ,  $R_{C1L}$  を持っているため、それぞれのアンプの利得や線形性は独立に設計、最適化可能である。利得可変は上段差動対の電流分配で行うのではなく、可変電流源  $I_{1H}$ ,  $I_{1L}$  によって制御される。可変電流源  $I_{1H}$ ,  $I_{1L}$  に流れる電流は相補的であり、差動対によって生成される。これについては 6.2.4 節で述べる。このような回路構成を採用することにより、縦積み回路が減り電圧余裕が大きくなる、すなわち、入力ダイナミックレンジを大きく取れるとともに、低利得時に消費電流を小さくすることが可能となる。HGA1 の電流源  $I_{1H}$  は、NF を下げるために比較的大きな電流を流す必要があるが、低利得時には  $I_{1H}$  は小さくなるので不要な電流を削減することができる。

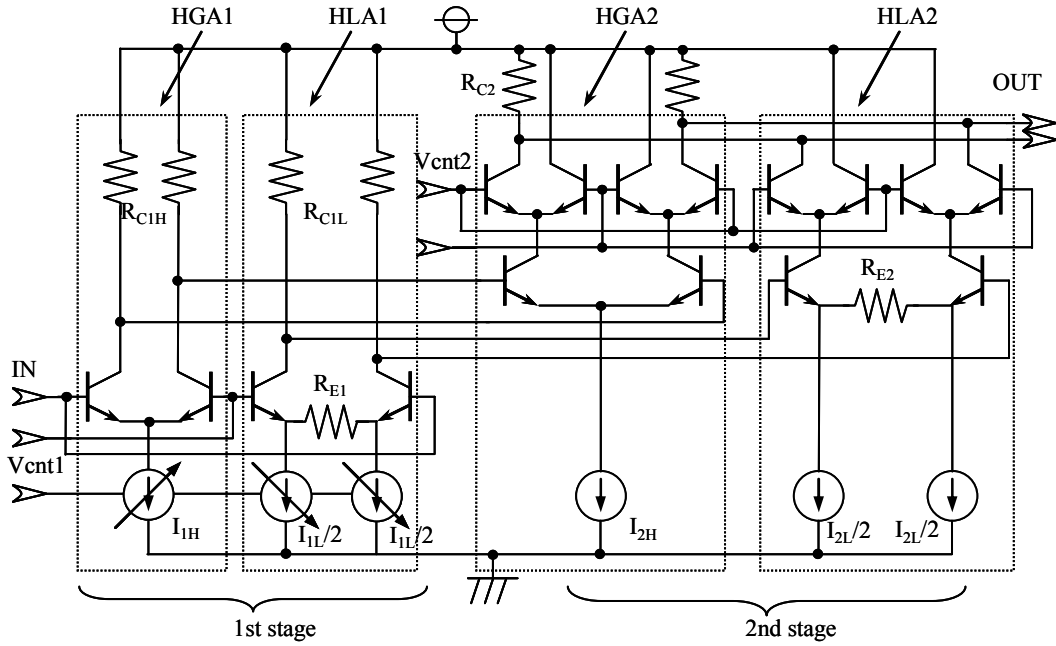


図 6.3: 完全パラレルアンプ方式可変利得アンプ (Type 3)

2 段目の HGA と HLA (HGA2, HLA2) には、それぞれ HGA1 と HLA1 の出力が入力される。入力部の構成を除けば、2 段目の回路構成は Type 2 可変利得アンプと同じである。HGA2 と HLA2 の出力電流は合算され、負荷抵抗  $R_{C2}$  を流れる。このように 1 段目のアンプを完全に独立化することにより、以下のような利点がある。まず、HGA1, HLA1 の利得、消費電流、雑音特性、線形性を最適化することができる。第 2 に、低利得時の HGA1 の 3 次歪電流、および、高利得時の HLA1 の雑音電流は、1 段目の利得制御を受けた後に 2 段目のアンプに入力されるため、抑圧することが可能となる。

可変利得アンプ全体としては、可変利得範囲を考慮して 4 段構成とした。図 6.4 に 4 段構成の可

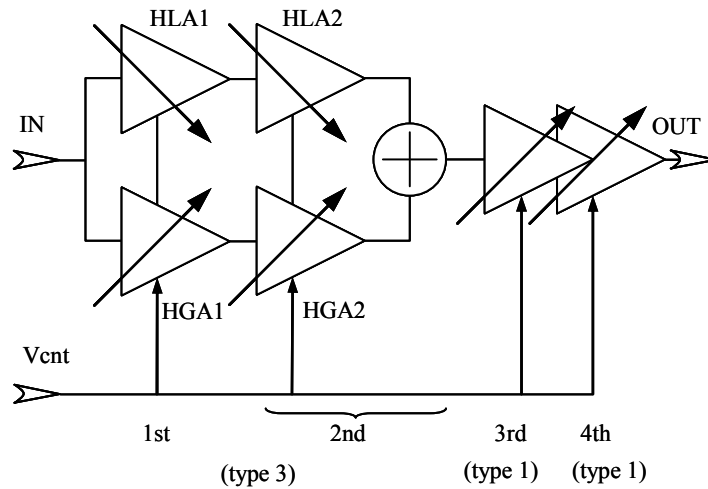


図 6.4: 4 段可変利得アンプ

変利得アンプのブロック図を示す。1 段目と 2 段目は Type 3 可変利得アンプであり、3 段目、4 段目は従来の Type 1 可変利得アンプを用いている。3 段目の入力では、雑音や線形性の要求が緩和されているため、より単純な回路構成である Type 1 可変利得アンプでも対応可能である。高利得パス(HGA1+HGA2)と高線形性パス(HLA1+HLA2)に対する制御電圧  $V_{cm}$  の特性は、相補的に制御される。図には省略しているが、DC オフセットによるアンプの飽和を防ぐために、各アンプの段間は容量結合されている。

### 6.2.2 パラレルアンプの利得と IIP3

Type 3 可変利得アンプは 1 段目と 2 段目に完全パラレルアンプ方式を採用している。このため、HGA と HLA に対する利得や線形性の割り当てを十分に考慮する必要がある。回路定数を最適化するため、可変利得アンプの利得や IIP3 を解析し、計算式を導出する。これにより、闇雲に回路シミュレーションを走らせて無用な時間を費やしたり、また、局所解に陥り十分な最適化ができないといった問題がなくなり、設計の効率と品質を向上させることができる。本節では、パラレルアンプの利得と IIP3 を導出し、次節で可変利得アンプ全体の特性を議論する。

図 6.5 (a) に示すような従属接続されたアンプ(カスケードアンプ)のトータル IIP3 は文献[6]で導かれている。

$$\frac{1}{iip3_{Cas}^2} = \frac{1}{iip3_1^2} + \frac{g_1^2}{iip3_2^2} \quad (6.2)$$

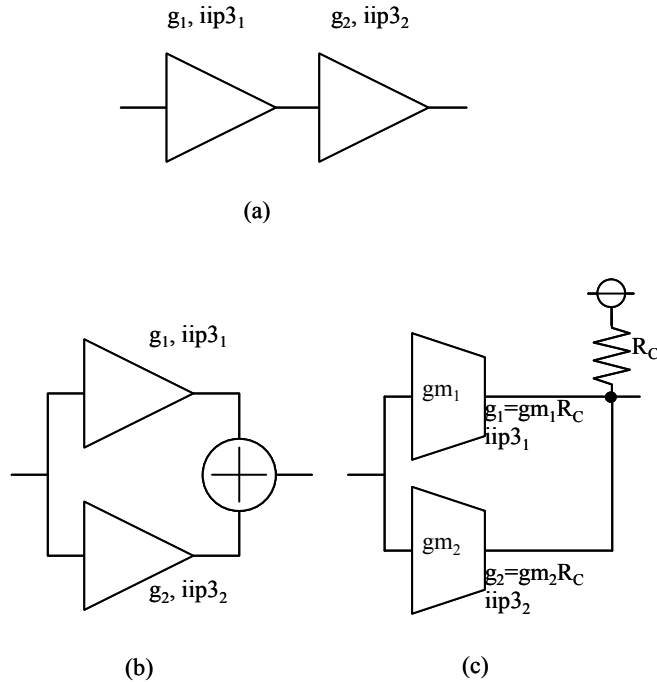


図 6.5: (a)カスケードアンプ, (b)パラレルアンプ, (c)パラレルアンプの等価回路



$$iip3_{Cas} = \sqrt{\frac{1}{\frac{1}{iip3_1^2} + \frac{g_1^2}{iip3_2^2}}} \quad (6. 3)$$

ここで,  $iip3_{Cas}$ ,  $iip3_1$ ,  $iip3_2$  はそれぞれ, カスケードアンプ全体, 1 段目, 2 段目の IIP3 (電圧単位) であり,  $g_1$ ,  $g_2$  はそれぞれ, 1 段目, 2 段目の電圧利得である.

一方, 図 6.5(b) に示すような並列接続されたアンプ (パラレルアンプ) の IIP3 については, 筆者が知る限り, どの文献にも記されていない. そこでパラレルアンプ全体の IIP3 について新たに導出した. 導出するに当たって, 図 6.5(c) に示すような並列接続された 2 つのトランスコンダクタアンプ  $gm_1$ ,  $gm_2$  と共通負荷抵抗  $R_C$  から構成されるモデルを考える. 一般に IIP3 (dBm 単位) は次の式で表される.

$$IIP3 = \frac{Pi + G - IM3}{2} + Pi \quad (6. 4)$$

ここで  $Pi$  [dBm] と  $G$  [dB] は, それぞれ, アンプの入力電力と電力利得である. したがって, 3 次相互変調歪  $IM3$  [dBm] は,

$$IM3 = 3Pi + G - 2IIP3 \quad (6. 5)$$

で表される. 1 つ目のアンプが電力利得  $G_1$  [dB],  $IIP3_1$  [dBm] を持ち, 2 つ目のアンプが  $G_2$  [dB],  $IIP3_2$  [dBm] を持っているとする. それぞれのアンプが発生する  $IM3$  [dBm] は,

$$IM3_1 = 3Pi + G_1 - 2IIP3_1 \quad (6. 6)$$

$$IM3_2 = 3Pi + G_2 - 2IIP3_2 \quad (6. 7)$$

となる. 出力で発生するパラレルアンプ全体の  $IM3$  [dBm] は,  $IM3_1$ ,  $IM3_2$  の真数を合算して得られる.

$$\begin{aligned} IM3_{tot} &= 10 \log \left( 10^{\frac{3Pi + G_1 - 2IIP3_1}{10}} + 10^{\frac{3Pi + G_2 - 2IIP3_2}{10}} \right) \\ &= 10 \log \left( \frac{g_1^2}{iip3_1^4} + \frac{g_2^2}{iip3_2^4} \right) + 3Pi \end{aligned} \quad (6. 8)$$

パラレルアンプ全体の電力利得  $G_{tot}$  は,

$$\begin{aligned} G_{tot} &= 20 \log \{ R_C (gm_1 + gm_2) \} \\ &= 10 \log (g_1 + g_2)^2 \end{aligned} \quad (6. 9)$$

となる. ここで,  $g_1$ ,  $g_2$ ,  $IIP3_1$ ,  $IIP3_2$  は電力単位ではなく, 電圧単位であることに注意する. パラレルアンプ全体の IIP3 は, 式(6. 8)と(6. 9)を式(6. 4)に代入することによって得られる.

$$\begin{aligned} IIP3_{para} &= \frac{Pi + 10 \log (g_1 + g_2)^2}{2} - \frac{10 \log \left( \frac{g_1^2}{iip3_1^4} + \frac{g_2^2}{iip3_2^4} \right) + 3Pi}{2} + Pi \\ &= 10 \log \frac{g_1 + g_2}{\sqrt{\frac{g_1^2}{iip3_1^4} + \frac{g_2^2}{iip3_2^4}}} \end{aligned} \quad (6. 10)$$

式(6. 3)に示すような電圧単位の IIP3 について、最終的に、パラレルアンプの全体の IIP3 は次式で表される。

$$iip3_{para}^2 = \frac{g_1 + g_2}{\sqrt{\frac{g_1^2}{iip3_1^4} + \frac{g_2^2}{iip3_2^4}}} \quad (6. 11)$$

一般的に、n 個のパラレルアンプ全体の IIP3 は次のようになる。

$$iip3_{para}^2 = \frac{\sum_{i=1}^n g_i}{\sqrt{\sum_{i=1}^n \frac{g_i^2}{iip3_i^4}}} \quad (6. 12)$$

### 6. 2. 3 可変利得アンプの利得と IIP3 の解析

前節にて、カスケードアンプ、パラレルアンプの利得と IIP3 の求め方が得られたので、ここからはより具体的な回路について議論する。

図 6. 6(a), (b)に単純なバイポーラ差動アンプとエミッタ負帰還抵抗付き差動アンプを示す。これらのアンプの利得および IIP3 については文献[7]-[9]で議論されているが、図 6. 3 に示す可変利得アンプの利得や IIP3 を計算するために、これらの文献で求められている式を、図 6. 6(c)に示す共通エミッタ負帰還抵抗付き差動アンプ用に修正する。また、前節で導出した解析式も用いる。

高利得アンプ(HGA)はエミッタ負帰還抵抗がない単純差動アンプで構成されており、電圧利得と IIP3 は次式で与えられる。

$$g_H = g_m R_C = \frac{I_E R_C}{2V_T} \quad (6. 13)$$

$$iip3_H = 4V_T \quad (6. 14)$$

ここで  $I_E$ ,  $R_C$ ,  $V_T$  は、それぞれ定電流源電流、負荷抵抗、熱電圧である。 $iip3$  はゼロピーク電圧であることに注意する。高線形アンプ(HLA)は、図 6. 6(c)に示す共通エミッタ負帰還差動対を基本としており、その電圧利得と IIP3 は次式で表すことができる。

$$g_L = g_m R_C = \frac{I_E R_C}{2V_T + \frac{I_E R_E}{2}} \quad (6. 15)$$

$$iip3_L = 4V_T \left( 1 + \frac{I_E R_E}{4V_T} \right)^{\frac{3}{2}} \quad (6. 16)$$

ここで  $R_E$  は共通エミッタ負帰還抵抗である。回路構成に応じて、式(6. 15), (6. 16)の係数は文献[9]のものから修正を加えている。これらの式は、本来小信号入力時のみ有効であるが、可変利得アンプは基本的に線形領域で動作すること、また、IIP3 は十分入力信号が小さいところで定義されることから、可変利得アンプの回路解析には有効である。

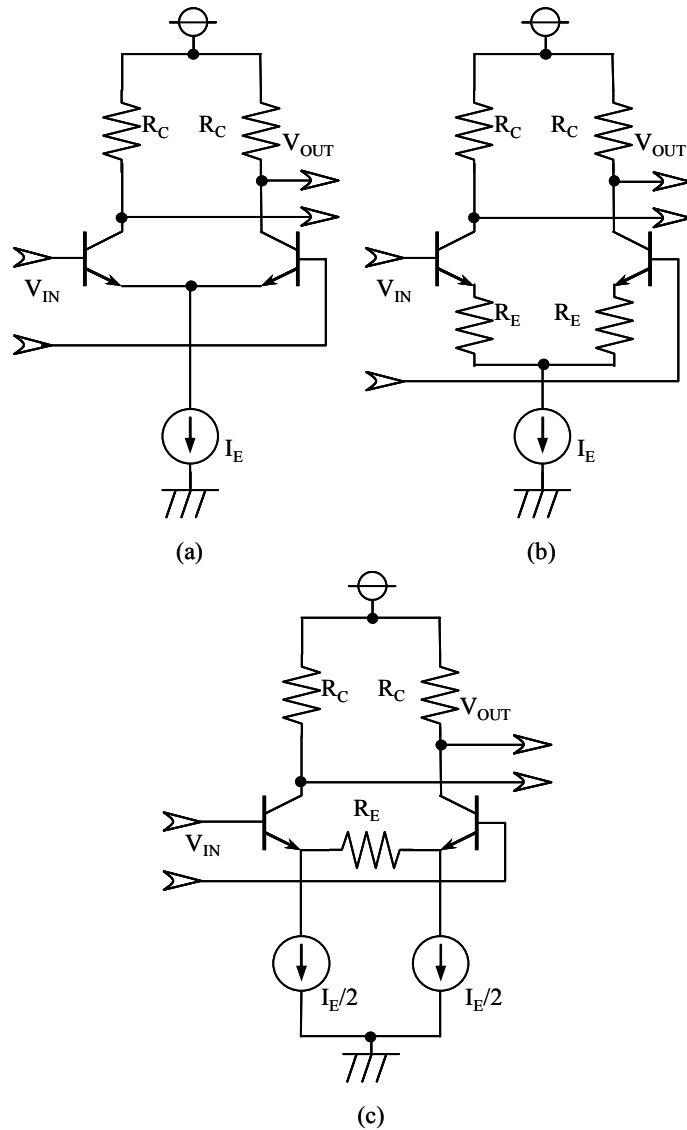


図 6.6: (a)単純差動アンプ, (b)エミッタ負帰還抵抗付き差動アンプ, (c)共通エミッタ負帰還差動アンプ

完全パラレルアンプ方式可変利得アンプ (Type 3) の電圧利得  $g_{type3}$  は, 高利得パスの利得と高線形パスの利得の合算で得られる.

$$\begin{aligned}
 g_{type3} &= g_{HGA1}g_{HGA2} + g_{HLA1}g_{HLA2} \\
 &= \frac{I_{1H}R_{C1H}}{2V_T} \frac{I_{2H}R_{C2}}{2V_T} \frac{1}{1 + \exp(-V_{cnt2}/V_T)} \\
 &\quad + \frac{I_{1L}R_{C1L}}{2V_T + \frac{I_{1L}R_{E1}}{2}} \frac{I_{2L}R_{C2}}{2V_T + \frac{I_{2L}R_{E2}}{2}} \frac{1}{1 + \exp(V_{cnt2}/V_T)}
 \end{aligned} \tag{6.17}$$

ここで,  $I_{1H}$ ,  $I_{1L}$ ,  $I_{2H}$ ,  $I_{2L}$  は, それぞれ HGA, HLA の 1 段目, 2 段目の電流源電流である.  $I_{2H}$ ,  $I_{2L}$  は定電流であり,  $I_{1H}$ ,  $I_{1L}$  は可変電流であり, 以下のような関数となっている.

$$I_{1H} = \frac{I_{1H0}}{1 + \exp(-V_{cnt1}/V_T)} \quad (6. 18)$$

$$I_{1L} = \frac{I_{1L0}}{1 + \exp(V_{cnt1}/V_T)} \quad (6. 19)$$

各回路の制御電圧  $V_{cnt1}$ ,  $V_{cnt2}$  は, 制御電圧発生器によって外部から印加される制御電圧  $V_{cont}$  を変換することで得られる. これについては次の節で述べる.

Type 3 可変利得アンプの IIP3 は, 次のようにして求めることができる. まず, HGA1 と HGA2 からなる高利得パス (HGP) と, HLA1 と HLA2 からなる高利得パス (HLP) の IIP3 を導出する. これはカスケードアンプの式 (6. 3) を用いる. 次に Type 3 可変利得アンプ全体を HGP と HLP のパラレルアンプとみなし, パラレルアンプの式 (6. 11) を用いて全体の IIP3 を求める. HGP と HLP の IIP3 は次のようになる.

$$\begin{aligned} iip3_{HGP} &= \sqrt{\frac{1}{\frac{1}{iip3_{HGA1}^2} + \frac{g_{HGA1}^2}{iip3_{HGA2}^2}}} \\ &= \frac{4V_T}{\sqrt{1 + \left(\frac{I_{1H}R_{C1H}}{2V_T}\right)^2}} \end{aligned} \quad (6. 20)$$

$$\begin{aligned} iip3_{HLP} &= \sqrt{\frac{1}{\frac{1}{iip3_{HLA1}^2} + \frac{g_{HLA1}^2}{iip3_{HLA2}^2}}} \\ &= \frac{4V_T}{\sqrt{\frac{1}{\left(1 + \frac{I_{1L}R_{E1}}{4V_T}\right)^3} + \frac{\left(\frac{I_{1L}R_{C1L}}{2V_T + \frac{I_{1L}R_{E1}}{2}}\right)^2}{\left(1 + \frac{I_{2L}R_{E2}}{4V_T}\right)^3}}} \end{aligned} \quad (6. 21)$$

式 (6. 20), (6. 21) を式 (6. 11) に代入することによって, 最終的に, Type 3 可変利得アンプ全体の IIP3 を求めることができる.

$$iip3_{type3}^2 = \frac{g_{HGA1}g_{HGA2} + g_{HLA1}g_{HLA2}}{\sqrt{\frac{(g_{HGA1}g_{HGA2})^2}{iip3_{HGP}^4} + \frac{(g_{HLA1}g_{HLA2})^2}{iip3_{HLP}^4}}} \quad (6. 22)$$

同様な方法を繰り返すことによって, 4 段構成の可変利得アンプ全体の利得や IIP3 の計算式を求めることができる.

図 6.7 に Type 3 可変利得アンプと従来の可変利得アンプ (Type 1 と Type 2 の組み合わせ) の IIP3 比較の例を示す. 比較に際して, 両者とも利得可変範囲は 40 dB とし, HGA1, HLA1 の IIP3 はどちらの可変利得アンプに対してもそれぞれ  $0.104 V_{0-p}$ ,  $2.05 V_{0-p}$  に設定した. 計算結果からわかるように, 個々の 1 段目のアンプの線形性は同じに設定しているのにもかかわらず, 利得制御電圧  $V_{cont}$  が低い領域, すなわち低利得領域において, 従来の可変利得アンプ全体の IIP3 は, Type 3 可変利得アンプのものよりもかなり小さくなっている. これは 6.2.1 節で述べたように, 制御電圧が少し高くなると HGA が発生する 3 次歪電流が支配的になるためである. なお, 使用領域外であるため,

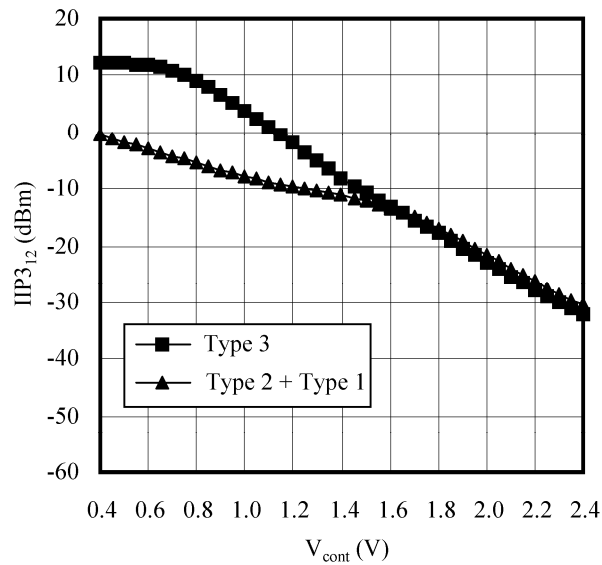


図 6.7: 1-2 段目の IIP3 と  $V_{cont}$  の関係

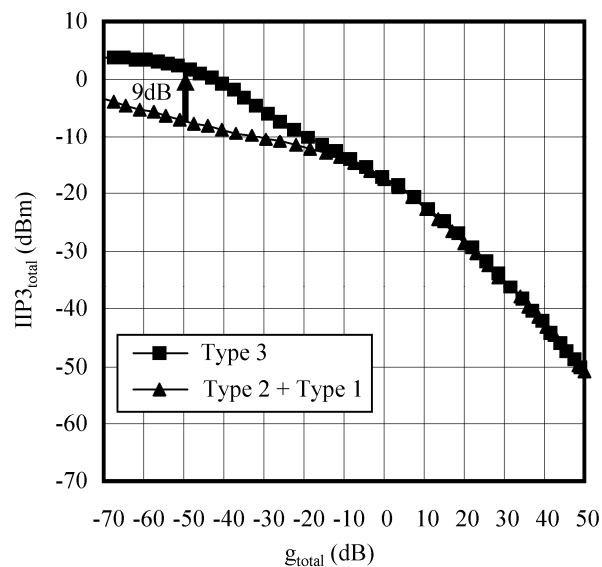


図 6.8: 4 段構成の可変利得アンプ全体の IIP3

図示していないが、 $V_{cont}$  を 0V 付近まで下げると当然のことながら、どちらの回路も HLA が支配的となり、両者の IIP3 は等しくなる。

図 6.8 に横軸を電圧利得とした 4 段構成の可変利得アンプの IIP3 比較を示す。Type 3 可変利得アンプ、従来の可変利得アンプ (Type 2 + Type 1) とともに、Type 1 可変利得アンプを 2 段追加し、全体で 4 段構成としている。電圧利得 (減衰) -50 dB のところで、Type 3 可変利得アンプは従来回路よりも IIP3 が約 9 dB 改善している。利得 -10 dB 以上の高利得領域で、両者はほぼ同じ特性を示すが、これは高利得アンプの非線形性が支配的になるためである。このような領域では、入力信号振幅が IIP3 よりも十分小さく、回路の非線形性は問題とならない。

#### 6.2.4 温度補償

時分割多重 (TDD : Time Division Duplex) 方式の無線システムにおいては、送信と受信が交互に行われるため、送受の切り替え区間の前に特性をキャリブレーションすることができる。一方、周波数分割多重 (FDD : Frequency Division Duplex) 方式の場合には、通信は連続的に行われているため、定期的なキャリブレーションの実行が困難である。プロセスばらつきに対するキャリブレーションは、パワーオン時に実行することができるが、温度による特性変化に対しては、通信中に温度が変化してもキャリブレーションを実行する時間がないため、回路的に継続的な温度補償が行われることが求められる。図 6.9 に可変利得アンプの温度依存性を補償する制御電圧発生回路を示す。制御電圧発生回路は、外部から入力される利得制御信号  $V_{cont}$  から、可変利得アンプの各段に必要な制御電圧を発生するとともに、その特性は個々のアンプの温度依存性を打ち消すような特性に変換する働きを持つ。

制御電圧発生回路の概要は以下のとおりである。まず、V/I コンバータは、ボルテージフォロワと抵抗  $R_{VI}$  から構成され、利得制御電圧  $V_{cont}$  を、 $V_{cont}$  に比例した電流  $I_{VI}$  に変換する。出力電流  $I_{VI}$  は次の式で表される。

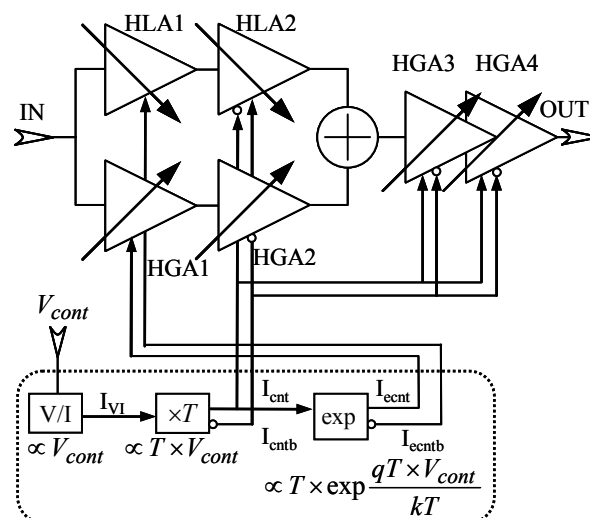


図 6.9: 制御電圧発生回路

$$I_{VI} = k_{VI} \frac{V_{cont}}{R_{VI}} \quad (6.23)$$

ここで、 $k_{VI}$  は定数である。次に、電流コンバータが、絶対温度  $T$  と利得制御電圧  $V_{cont}$  に比例した電流  $I_{cnt}$  と  $I_{cntb}$  に変換する。 $I_{cnt}$  と  $I_{cntb}$  は相補信号であり、カレントミラー回路を介して HLA2, HGA2, HGA3, HGA4 に供給されるとともに、図には示していないが抵抗  $R_{cnt}$ ,  $R_{cnt2}$  によって、図 6.1 および図 6.3 における制御電圧  $V_{cnt}$  および  $V_{cnt2}$  を生成する。最後に、電流  $I_{cnt}$  はさらに、指数関数コンバータによって、温度  $T$  と  $TV_{cont}/V_T$  の指数関数に比例した電流に変換される。出力電流  $I_{ecnt}$  と  $I_{ecntb}$  はそれぞれ、カレントミラー回路を介して、HGA1 と HLA1 の電流源回路に供給される。

図 6.10 に電流乗算器[10]を基本とした電流コンバータの回路を示す。 $I_{cnt}$  および  $I_{cntb}$  は出力電流であり、 $I_{VI}$  は上述の V/I コンバータの出力電流である。 $I_{ref}$  は定電流である。 $I_T$  は差動対の電流源電流であり、絶対温度  $T$  に比例している。 $I_{ref}$  および  $I_T$  はどちらもバンドギャップ基準電圧発生回路、カレントミラー回路、抵抗から生成される。これらの電流間の関係は以下の式で表される。

$$I_{cnt} : I_{cntb} = I_{VI} : (I_{ref} - I_{VI}) \quad (6.24)$$

$$I_{cntb} = I_T - I_{cnt} \quad (6.25)$$

式(6.24)、(6.25)より、出力電流の片方  $I_{cnt}$  は次式で与えられる。

$$I_{cnt} = \frac{I_T}{I_{ref}} I_{VI} = \frac{k_1 T}{I_{ref}} \frac{k_{VI} V_{cont}}{R_{VI}} \quad (6.26)$$

ここで、 $I_{ref}$  は一定電流であり、 $I_T$  と  $I_{VI}$  は、それぞれ温度  $T$  と利得制御電圧  $V_{cont}$  に比例する電流である。 $k_1$  は定数である。式(6.26)から判るように、 $I_{cnt}$  は温度  $T$  と利得制御電圧  $V_{cont}$  に比例する。

各段の可変利得アンプに入力される制御電圧  $V_{cnt}$  と  $V_{cnt2}$  は次式で与えられる。

$$\begin{aligned} V_{cnt(cnt2)} &= R_{cnt(cnt2)}(I_{cnt} - I_{cntb}) \\ &= R_{cnt(cnt2)}(2I_{cnt} - I_T) \\ &= R_{cnt(cnt2)} k_1 T \left( \frac{2}{I_{ref}} \frac{k_{VI} V_{cont}}{R_{VI}} - 1 \right) \end{aligned} \quad (6.27)$$

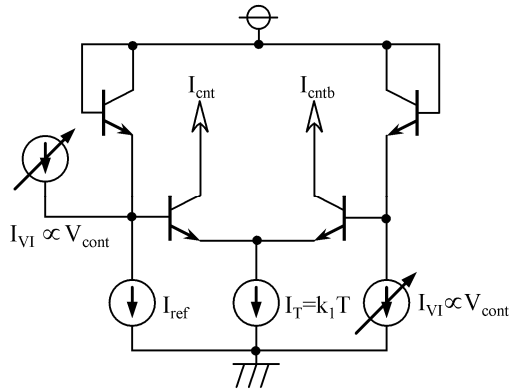


図 6.10: 温度比例電流コンバータ

ここで  $R_{cnt}$  と  $R_{cnt2}$  は制御電圧を決定する抵抗である．式(6. 27)を式(6. 1)に代入することで電流の伝達関数が得られる．

$$\begin{aligned} \frac{I_{cl}}{I_e} &\cong \exp\left(\frac{R_{cnt(cnt2)k_1T\left(\frac{2}{I_{ref}}\frac{k_{VI}V_{cont}}{R_{VI}}-1\right)}{V_T}}\right) \\ &= \frac{\exp\left(R_{cnt(cnt2)k_1\frac{q}{k}\frac{2}{I_{ref}}\frac{k_{VI}V_{cont}}{R_{VI}}\right)}{\exp\left(R_{cnt(cnt2)k_1\frac{q}{k}}\right)} \end{aligned} \quad (6. 28)$$

式(6. 28)は，電流の伝達関数，すなわち 2, 3, 4 段目のアンプの利得特性が  $V_{cont}$  の指数関数であり，かつ温度  $T$  に依存しないことを示している．

図 6. 11 に簡略化した指数関数コンバータの回路図を示す．指数関数コンバータは，温度  $T$  に比例した電流源  $I_{T2}$  を持つ差動アンプで構成されている．2 つの電流，制御電流  $I_{cnt}$ ， $T$  比例電流  $I_{T3}$  と抵抗で決定される電圧差を差動アンプに入力することにより，近似的に指数関数特性を持った電流を生成する．出力電流の一方である  $I_{ecnt}$  は次の式で与えられる．

$$\begin{aligned} I_{ecnt} &\cong I_{T2} \exp\left(\frac{I_{cnt}R_2 - I_{T3}R_1}{V_T}\right) \\ &= k_2T \exp\left(\frac{k_{VI}k_1R_2q}{I_{ref}R_{VI}k}V_{cont} - \frac{k_3R_1q}{k}\right) \end{aligned} \quad (6. 29)$$

ここで， $k_2$  および  $k_3$  は，それぞれ  $I_{T2}$  および  $I_{T3}$  に対する温度比例係数である．式(6. 29)は， $I_{ecnt}$  が温度  $T$  および利得制御電圧  $V_{cont}$  の指数関数に比例することを示している．もう一方の出力電流  $I_{ecntb}$  は  $I_{T2} - I_{ecnt}$  で求められる．

出力電流  $I_{ecnt}$  と  $I_{ecntb}$  は，カレントミラー回路を介して，それぞれ 1 段目のアンプの可変電流源，

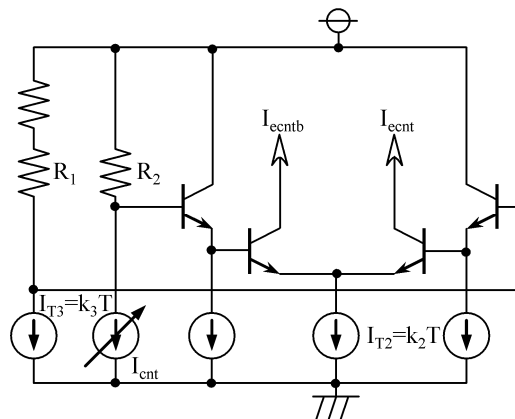


図 6. 11: 指数関数コンバータ



すなわち図 6.3 の  $I_{1H}$  と  $I_{1L}$  に供給される. 式(6. 13), (6. 15)に  $I_{ecnt}$ ,  $I_{ecntb}$  をそれぞれ代入することで, HGA1 と HLA1 の利得が求められる.

$$g_{HGA1} = \frac{qI_{1H}R_{C1H}}{2kT} = a \frac{qk_2R_{C1H}}{2k} \exp \frac{bqV_{cont}}{k} \quad (6. 30)$$

$$\begin{aligned} g_{HLA1} &= \frac{I_{1L}R_{C1L}}{\frac{2kT}{q} + \frac{I_{1L}R_{E1}}{2}} \\ &= \frac{R_{C1L}}{\frac{2k}{cqk_2 \exp\left(-\frac{bqV_{cont}}{k}\right)} + \frac{R_{E1}}{2}} \end{aligned} \quad (6. 31)$$

ここで,  $a$ ,  $b$ ,  $c$  は設計によって決定される定数である.  $g_{HGA1}$ ,  $g_{HLA1}$  ともに温度  $T$  の項を含まず, 温度に依存しない利得が得られる. 以上により, 制御電圧発生回路を用いることにより, 1 段目から 4 段目まですべてのアンプの温度依存性を補償することができる.

最後に, 抵抗の温度依存性についても触れておく. ここで用いたバイアス電流  $I_{ref}$ ,  $I_T$ ,  $I_{T2}$ ,  $I_{T3}$  は何らかの抵抗値によって決定される. したがって,  $I_{ref}$ ,  $k_1$ ,  $k_2$ ,  $k_3$  は抵抗値の逆数に比例し, 抵抗値が温度依存性を持っているならば, 実際, これらの値も温度依存性を持つことになる. しかしながら, 式(6. 28)における  $R_{cnt(cnt2)}$   $k_1$  や  $I_{ref} R_{VI}$  や, 式(6. 30)における  $k_2 R_{C1H}$ , 式(6. 31)における  $k_2 R_{C1L}$  は, いずれも  $R$  の項と  $1/R$  の項の積であるため, 抵抗の温度依存性にバラツキがなければ, 温度依存性はキャンセルされ, 温度によらず一定となる. 素子のレイアウトに関しては, 抵抗値および温度特性のバラツキを抑えるために, 抵抗の幅を一定にする, 向きを一定にする, 関連する抵抗は近くに配置するといった工夫が必要である.

### 6. 2. 5 回路パラメータの決定と設計手順

解析式を用いた可変利得アンプの設計手順を簡単に述べる. 可変利得アンプの設計にあたって, まず, 高利得時の NF が要求仕様に満足するようあらかじめ HGA1 のトランジスタサイズや電流  $I_{1H}$  を回路シミュレーションで求めておく. また, 低利得時の入力線形性を満足するように, 式(6. 16)にて HLA1 の  $I_{1L}$  および  $R_{E1}$  を決定する. 1 段目アンプの特性を独立に設計できるのが完全パラレルアンプの利点である. 次にパラレルアンプの IIP3 および利得を式(6. 11)および(6. 17)を用いて求める. このとき, 式(6. 30)および(6. 31)の定数  $a$ ,  $b$ ,  $c$  を変化させて, 可変利得範囲, 利得変化の直線性(dB 直線性), 線形性の  $V_{cont}$  依存性を確認する. HLA1 および HLA2 の配分を大きくすると, 低利得時の線形性の  $V_{cont}$  依存性が向上するが, 過度になると利得変化の直線性が劣化する. 所望の特性が得られるように  $a$ ,  $b$ ,  $c$  やその他の回路パラメータを決定する. 1 段目, 2 段目のパラメータが仮決定されたら, 4 段アンプ全体の利得と線形性を解析式にて計算する. 3 段目, 4 段目の線形性が全体の線形性に影響しないのが望ましいが, 劣化している場合には, 再度,  $a$ ,  $b$ ,  $c$  や負荷抵抗  $R_C$  の値を見直す.

これまで最適化を行うために, 時間のかかる IIP3 シミュレーションを何 10 回も実行する必要があったが, 解析式により短時間で最適解を求めることができる. また, 個々の回路パラメータの特性への寄与も明らかとなるため, 最適化の効率も向上する.

### 6.3 評価結果および解析式との比較

0.5 $\mu$ m BiCMOS プロセスを用いて、可変利得アンプを試作した。このプロセスは、 $f_T = 26$  GHz の npn トランジスタ、ラテラル pnp トランジスタ、CMOS トランジスタ、ポリシリコン抵抗などの素子を有している。図 6.12 に試作したチップ写真を示す。チップは、2 つの受信用 4 段可変利得アンプ(図 6.12 の 4-stage VGA)の他、直交復調器 DEMOD、2 組の PLL シンセサイザ、送信用可変利得アンプ、直交変調器 MOD を含んでおり、チップ全体で WCDMA 用中間周波数処理 IC を構成している [3]。チップサイズは  $4 \times 4$  mm<sup>2</sup> である。

図 6.13 に実測した電圧利得と利得制御電圧  $V_{cont}$  の関係を示す。入力周波数は 190 MHz である。

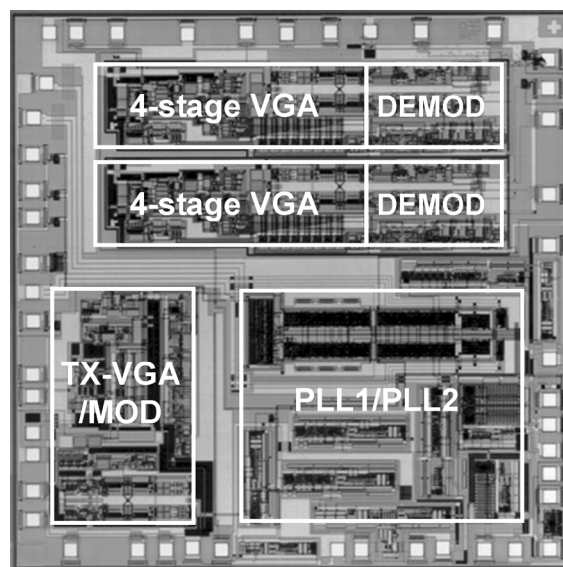


図 6.12: 試作チップ写真

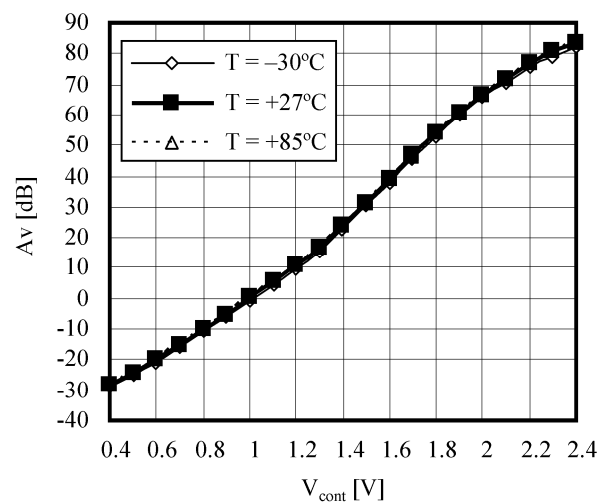


図 6.13: 利得制御電圧  $V_{cont}$  と電圧利得 ( $f = 190$  MHz,  $V_{cc} = 3.0$  V)

可変利得アンプ入力から、可変利得アンプ後段に接続された直交復調器 DEMOD の出力までの利得を測定している。測定した電圧利得には、DEMOD の電圧利得 40 dB および、測定のために外付けしているマッチング回路（インピーダンス整合回路）の電圧利得 8 dB を含んでいる。測定結果からわかるように、111 dB(-28 ~ +83 dB)の可変利得範囲が得られている。測定した温度は、-30, 27, 85 °Cである。

図 6.14 は温度による利得変動を各制御電圧毎にプロットしたものである。-30°Cから 85°Cまでの利得変動は 1.7 dB 以内であり、可変レンジ全体に渡って、温度変動は 0.014 dB/°C以下であった。

電圧利得と雑音指数 NF との関係を図 6.15 に示す。電圧利得 80 dB での NF は 5.1 dB であった。NF の温度変動は-30°Cと 85°Cで 27°Cに対して±0.2 dB であった。

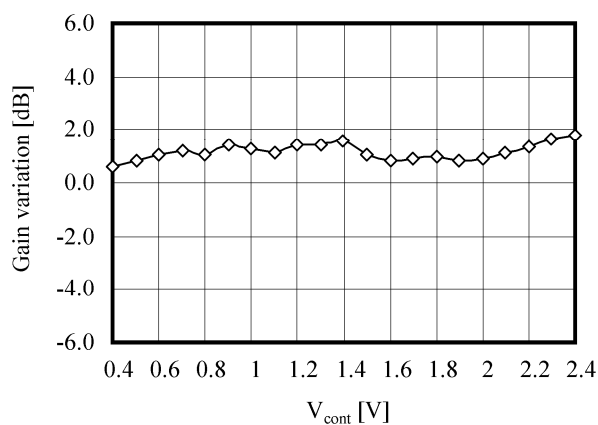


図 6.14: 各制御電圧における-30~85 °Cの温度変動

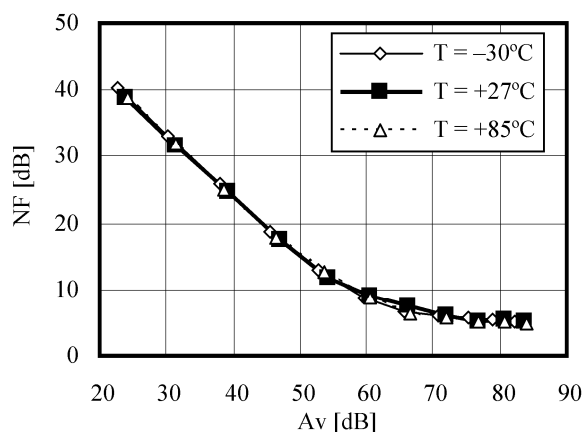


図 6.15: 電圧利得と NF ( $f = 190 \text{ MHz}$ ,  $V_{cc} = 3.0 \text{ V}$ )

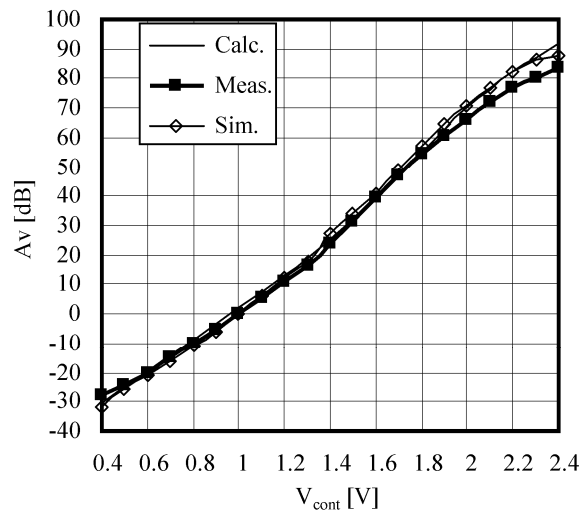


図 6.16: 電圧利得特性の比較 ( $f = 190 \text{ MHz}$ ,  $V_{CC} = 3.0 \text{ V}$ ,  $T = 27^\circ\text{C}$ )

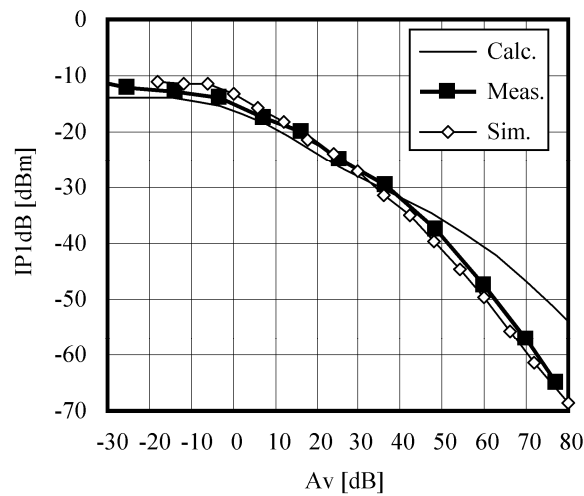


図 6.17: IP1dB の比較 ( $f = 190 \text{ MHz}$ ,  $V_{CC} = 3.0 \text{ V}$ ,  $T = 27^\circ\text{C}$ )

回路解析の結果を確かめるため、解析式から計算して求めたものと、実測結果、回路シミュレーション結果を比較した。図 6.16 に利得制御電圧  $V_{cont}$  と電圧利得の関係に対する計算結果、実測結果、回路シミュレーション結果の比較を示す。直交復調器の利得 40 dB とマッチング回路の利得 8 dB は、単純に計算結果に加算している。導出した解析式から計算した特性、回路シミュレーション結果、実測結果は非常によい一致を示している。ここで用いた回路解析は、単純な小信号 DC 解析であるが、可変利得アンプの特性を見積もるには有効な手段であることがわかる。

なお、本回路の 3 dB 帯域である 600 MHz を超えるような周波数領域では、寄生容量による利得低下が起こってくるため、シミュレーション結果、実測結果からのずれが生じてくるが、広帯域通信の場合、帯域内の利得平坦性が求められるため、通常は、3 dB 帯域以下の周波数で使用される。

同様な比較を入力 1dB コンプレッションポイント IP1dB と電圧利得の関係に対して行った結果を図 6.17 に示す。解析式では IIP3 を求めているため、理論上の IP1dB と IIP3 の差 9.6 dB [6]、および、マッチング回路の利得 8 dB を、IIP3 計算値から引くことによって IP1dB を求めている。解析式より計算した IP1dB は、回路シミュレーション値および実測値とよく一致していることがわかる。電圧利得 50 dB 以上の領域で、計算結果と他の結果がずれているが、これは、可変利得アンプの電圧利得が大きくなり、直交復調器の入力を駆動するために挿入した 4 段目のアンプ後のエミッタフォロワ回路の線形性が見えているためである。解析式にはこのエミッタフォロワによる線形性劣化の効果が含まれていないため、IP1dB が高く見える。しかし、6.2.3 節で述べたように、このような領域では、入力される信号の振幅が IP1dB よりも十分小さいため、回路の線形性が問題にはならない。線形性の要求がもっとも厳しい最小利得時(-28 dB)の IP1dB は-11 dBm であった。

回路の電源電圧は 3 V であり、可変利得アンプの消費電流は、制御電圧発生器、基準電圧発生回路を含め、最小利得時 4.4 mA、最大利得時 6.6 mA である。

表 6.1 に本可変利得アンプの評価結果まとめと過去文献との比較を示す。他と同等レベルの NF を確保しつつ、高い線形性と低消費電流化を実現している。トータルでの性能を比較するために、LNA(低雑音増幅器)用に作られた FOM(Figure of Merit) [16] を可変利得アンプ用として下記のように修正を行った。

$$FOM [dB] = IP1dB + GainRange + 20 \log \left( \frac{Freq}{1GHz} \right) - 20 \log \left( \frac{Current}{1mA} \right) - NF \quad (6.32)$$

本可変利得アンプの FOM は 74.1 dB であり、過去の可変利得アンプの中で最も高い値が得られた。なお、文献[11]には、IIP3 しか記載されていないため、IIP3 から 9.6 dB を引いた値を IP1dB として使用している。

表 6.1: 評価結果まとめ、および可変利得アンプ比較

	This work	2000[11]	2003[12]	2003[13]	2002[14]	2007[15]
Technology	0.5 $\mu$ m BiCMOS	BiCMOS	0.5 $\mu$ m BiCMOS	0.18 $\mu$ m CMOS	0.25 $\mu$ m CMOS	0.18 $\mu$ m CMOS
Frequency [MHz]	<600	<500	50	380	380	<900
Gain range [dB]	111	78	98	73	80	94
NF @Gmax [dB]	5.1	5	4.9	5	11	6.8
IP1dB [dBm]	-11	(-17.6) IIP3 = -8	-15	-18.6	-	-11
Current [mA]	4.4-6.6	12	13	6	25.3	11.4
FOM [dB]	74.1	27.8	29.8	25.4	-	54.1

## 6.4 結言

温度補償回路付き広ダイナミックレンジ4段可変利得アンプおよび、可変利得アンプの電圧利得と線形性の解析について述べた。1段目と2段目のアンプに完全パラレルアンプ方式を採用することにより、高利得時の低いNFと低利得時の高い線形性を両立させることができる。従来の可変利得アンプと比較して、本方式を採用することにより、最小利得時のIP1dBを9dB改善することができた。最小利得時のP1dBは-11dBm、可変利得範囲は111dB、最大利得時のNFは5.1dB、消費電流は4.4~6.6mAであった。トータルの性能を示すFOMは74.1dBであり、現在でもトップ性能である。

電流制御型可変利得アンプ(1段目)、電圧制御型可変利得アンプ(2~4段目)、それぞれの特性に応じた制御電圧発生回路を組み込むことにより、回路の温度依存性を小さくする手法を提案した。試作した可変利得アンプの電圧利得の温度依存性は0.014dB/°Cであり、温度補償回路が正しく機能していることを確認できた。この温度補償回路は、本可変利得アンプに関わらず、他のバイポーラ差動アンプに広く適用可能である。

可変利得アンプの特性解析を行うために、新規にパラレルアンプのIIP3を導出し、これを用いて4段可変利得アンプの電圧利得とIIP3の計算を行った。計算結果は、回路シミュレーションおよび実測結果とよい一致を示すことを確認した。パラレルアンプのIIP3導出式は、トランジスタの種類や回路方式に依らないため、広く一般的に使用可能である。

本可変利得アンプは、WCDMA用中間周波数処理ICとして実用化されている。

## 参考文献

- [1] G. S. Sahota and C. J. Persico, "High Dynamic Range Variable-Gain Amplifier for CDMA Wireless Applications," ISSCC Dig. Tech. Papers, pp. 374-375, Feb. 1997.
- [2] K. Lee, J. Park, J. Lee, S. Lee, H. Huh, D. Jeong, and W. Kim, "A Single-Chip 2.4GHz Direct-Conversion CMOS Receiver for Wireless Local Loop using One-third Frequency Local Oscillator," Symp. VLSI Circuits Dig. Tech. Papers, pp. 42-45, June 2000.
- [3] T. Maruyama, K. Kaneki, K. Takahashi, H. Sato, T. Iga, and N. Kato, "Single-Chip IF Transceiver IC with Wide Dynamic Range Variable Gain Amplifiers for Wideband CDMA Applications," Symp. VLSI Circuits Dig. Tech. Papers, pp. 11-14, June 2001.
- [4] H. Sato, T. Maruyama, T. Matsuoka, and K. Taniguchi, "A Wide Dynamic Range Variable Gain Amplifier with Enhanced IP1dB and Temperature Compensation," IEICE Transactions on Electronics, vol. E94-C, no. 8, pp. 1311-1319, Aug. 2011.
- [5] W. R. Davis and J. E. Solomon, "A high-performance monolithic IF amplifier incorporating electric gain control," IEEE J. Solid-State Circuits, vol. 3, no. 4, pp. 408-416, Dec. 1968.
- [6] B. Razavi, RF Microelectronics, Englewood Cliffs, NJ: Prentice-Hall, 1997.
- [7] W. M. C. Sansen and R. G. Meyer, "Distortion in Bipolar Transistor Variable-Gain Amplifiers," IEEE J. Solid-State Circuits, vol. 8, no. 4, pp. 275-282, Aug. 1973.
- [8] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, Analysis and Design of Analog Integrated Circuits, 4th ed. New York: Wiley, 2001.
- [9] A. A. Abidi, "General Relations between IP<sub>2</sub>, IP<sub>3</sub>, and Offsets in Differential Circuits and the Effects of Feedback," IEEE Trans. Microwave Theory and Tech., vol. 51, no. 5, pp. 1610-1612, May 2003.
- [10] B. Gilbert, "A New Wide-Band Amplifier Technique," IEEE J. Solid-State Circuits, vol. 3, no. 4, pp. 353-365, Dec. 1968.
- [11] S. Otaka, G. Takemura, and H. Tanimoto, "A Low-Power Low-Noise Accurate Linear-in-dB Variable-Gain amplifier with 500-MHz Bandwidth," IEEE J. Solid-State Circuits, vol. 35, no. 12, pp. 1942-1948, Dec. 2000.
- [12] K. Nah and B. Park, "A 50-MHz dB-Linear Programmable-Gain Amplifier With 98-dB Dynamic Range and 2-dB Gain Steps for 3 V Power Supply," IEEE Trans. VLSI Syst., vol. 11, no. 2, pp. 218-223, Apr. 2003.
- [13] R. Saito, K. Hosoda, A. Hyogo, T. Maruyama, H. Komurasaki, H. Sato, and K. Sekine, "A 1.8-V 73-dB Dynamic-Range CMOS Variable Gain Amplifier," Proc. 29th ESSCIRC, pp. 301-304, Sep. 2003.
- [14] O. Watanabe, S. Otaka, M. Ashida, and T. Itakura, "A 380-MHz CMOS Linear-in-dB

- Signal-summing Variable Gain Amplifier with Gain Compensation techniques For CDMA Systems,” Symp.VLSI Circuits Dig. Tech. Papers, pp. 136-139, June 2002.
- [15] H. Lee, K. Lee, and S. Hong, "A Wideband CMOS Variable Gain Amplifier With an Exponential Gain Control," IEEE Trans. Microwave Theory and Tech., vol. 55, no. 6, pp. 1363-1373, June 2007.
- [16] R. Brederlow, W. Weber, J. Sauerer, S. Donnay, P. Wambacq, and M. Vertregt, “A mixed signal design roadmap,” IEEE Design Test Comput., vol. 18, no. 6, pp. 34–46, Nov.–Dec. 2001.





## 第7章 結論

光通信などの高速有線通信用 LSI においては、数 100M~数 G bps (bit per second) という高速動作が要求され、携帯電話に代表される無線通信用 LSI においても、数 100 MHz~数 10 GHz という高周波動作が必要となる。これらの論理回路、高周波アナログ回路にバイポーラ/BiCMOS 回路が用いられる。バイポーラ回路は高速/高周波動作という利点を有しているが、面積が大きい、消費電力が大きいという課題があった。本研究では高周波通信用バイポーラ/BiCMOS LSI の高集積化、高機能化、低消費電力化に関して記述した。

2 章ではマスタスライス LSI の高集積化について述べた。Variable Size Cell (VSC) 方式によって OR/NOR のような単純ゲートでもフリップフロップのような複合ゲートでも素子の使用効率を上げることができた。従来のシンプルゲート方式やマクロセル方式と比較してゲート集積密度は 20~30 % 向上した。また、電源ラインの下の埋め込みトランジスタによって、セル面積を増加させることなく、1 ユニットで 1 ビットのメモリセルを実現できるようにした。これにより従来方式と比較してビット密度は 2 倍以上向上する。この技術を用いて 36 k ビットの専用 RAM と 12 k ゲートの論理ゲートを持つ当時世界最高の集積度のマスタスライス LSI を実現した。大規模マスタスライスの分野は主役の座を CMOS 譲っているが、高周波で動作するアナログ回路を含むビルディングブロック方式のマスタスライス LSI は現在でもバイポーラが使われており、VSC 方式を可能とするシリサイドによる抵抗値可変の手法はこれらのマスタスライスには現在でも必須の技術となっている。また、バンププロセスによる配線は、現在ではフリップチップ実装の再配線として使用されている。

3 章では 2V 以下で動作する低電圧シリーズゲート Low-voltage Series-Gate (LSG) と  $V_{EE}$  追従バッファ  $V_{EE}$ -Traced Buffer (VTB) について述べた。0.8  $\mu\text{m}$  2 層ポリシリコン自己整合プロセスを用いて回路を試作した。4 ビットカウンタの実測では、3.3 mW, 640 MHz で動作し、-1.6 V でも正常動作した。広範囲な  $V_{EE}$  範囲をカバーするとともに、回路は電源電圧、温度の変動に対して安定に動作する事を確認した。また、トランジスタサイズを変更した回路シミュレーションでは、4 ビットカウンタは、9.3 mW, 2.9 GHz で動作することを示唆している。これらの結果は、本回路技術が低電圧アプリケーションに有効であることを示している。バイポーラトランジスタはプロセスが変わっても、ベース・エミッタ間電圧  $V_{be}$  やトランジスタが飽和するベース・コレクタ間電圧はほとんど変化しないため、本章で述べた低電圧化技術はプロセスに依らず展開可能であり、最新のプロセスにおいてもなお、優位性を示す技術である。

十数年前のプロセスであるが、得られた 4 ビットカウンタの電流と周波数特性は、現在の 65 nm CMOS に匹敵する性能である。また、近年の低電力無線においては、アルカリ乾電池 2 本で動作し、かつ、その終端電圧である 2V 以下での動作が求められている。このようなアプリケーションにおいても十分対応可能な技術である。

4 章では、ダイオードフィードバック型レベル安定化回路付き直接制御エミッタフォロワ (DC-DF) と抵抗フィードバック型レベル安定化回路付き直接制御エミッタフォロワ (DC-RF) について述べた。エミッタフォロワで消費される不要な DC 電流を削減することにより、高周波動作と低消費電流化が可能となる。試作した 1/4, 1/5 分周デュアルモジュラスプリスケラ電流は、DC-DF を使用した場合、従来の LCML よりも 32 % 少なく、DC-RF の消費電流は LCML より 34 % 小さいとい

う結果が得られた。また、抵抗レベルシフト回路を使ったクロックバッファを採用することにより、DC-RF と DC-DF のプリスケラが、2.4~3.9 V の広い電源電圧範囲で動作することを確認した。バッテリー駆動で必要な 3.0 V 以下で動作が可能であり、高周波動作を維持しつつ、低消費電力化が図れる。実測結果により、提案する DC-RF と DC-DF が、低消費電力が要求される移動体通信に適していることが確認できた。エミッタフォロワは様々な回路に使用されており、本提案の適用範囲は広く、また、基本的なコンセプトは CMOS ソースフォロワにも適用可能である。本プリスケラは、PHS 用中間周波数処理 LSI、WCDMA 用トランシーバ LSI、Bluetooth 用トランシーバ LSI で実用化されている。

5 章では、PHS の中間周波数処理 LSI について述べた。中間周波数処理部の 1 チップ化実現に向けて、小型な直交変調器、HPA (High Power Amplifier) の温度特性に合わせたアッテネータ、PLL の高速ロックアップ技術、信号アイソレーション向上技術について提案した。 $f_T=20$  GHz の 0.8 $\mu$ m BiCMOS プロセスを用い、中間周波数処理 LSI を試作、検証し、要求される性能を満足することが確かめられた。消費電流は、送信時 44mA、受信時 24mA と、従来の個別半導体部品を用いた場合に比べ、それぞれ、4 分の 1 以下、6 分の 1 以下に低減できた。バッテリー動作に必要な 2.7~3.6 V での正常動作も確認できた。本研究の成果は、1.9 GHz 帯として世界初の中間周波数処理 LSI として実用化されている。本中間周波数 LSI の発表後、無線トランシーバはますます高周波化、高集積化、低消費電力化が進んでいる。2011 年現在では、さらに高性能な SiGe BiCMOS プロセスを用いた携帯電話用 1 チップ無線トランシーバや、より高周波な UWB トランシーバが製品化されている。また、CMOS プロセスの微細化にともなって、MOS トランジスタの性能や集積度が上がり、ベースバンド処理部と無線トランシーバを一体化したのも実用化されている。さらなる高集積化に向けたアーキテクチャや回路構成を今後も研究していかなければならない。本章で述べた信号のアイソレーション技術、PLL シンセサイザの高速ロックアップ技術などは、現在でも使用されている貴重な技術である。

6 章では、温度補償回路付き広ダイナミックレンジ 4 段可変利得アンプおよび、可変利得アンプの電圧利得と線形性の解析について述べた。1 段目と 2 段目のアンプに完全パラレルアンプ方式を採用することにより、高利得時の低雑音特性と低利得時の高い線形性を両立させることができる。従来の可変利得アンプと比較して、本方式を採用することにより、最小利得時の線形性を 9 dB 改善することができた。最小利得時の P1dB は -11 dBm、可変利得範囲は 111 dB、最大利得時の NF は 5.1 dB、消費電流は 4.4~6.6 mA であった。トータルの性能を示す FOM は 74.1 dB というトップ性能が得られている。電流制御型可変利得アンプ(1 段目)、電圧制御型可変利得アンプ(2~4 段目)、それぞれの特性に応じた制御電圧発生回路を組み込むことにより、回路の温度依存性を小さくする手法を提案した。試作した可変利得アンプの電圧利得の温度依存性は 0.014 dB/°C であり、温度補償回路が正しく機能していることを確認できた。この温度補償回路は、本可変利得アンプに関わらず、他のバイポーラ差動アンプに広く適用可能である。また、可変利得アンプの特性解析を行うために、新規にパラレルアンプの IIP3 を導出した。これを用いて 4 段可変利得アンプの電圧利得と IIP3 の計算を行った結果、回路シミュレーションおよび実測結果とよい一致を示すことを確認した。本解析式は、トランジスタの種類や回路方式に依らないため、広く一般的に使用可能である。本可変利得アンプは、WCDMA 用中間周波数処理 IC として実用化されている。

以上の結果をまとめると、2、5 章で述べた技術により、高周波通信用 LSI の高集積化、高機能化が実現できる。また、3、4 章で述べた提案回路により、バイポーラ回路の高速化、低消費電力

化技術を確立した。6章で述べた回路技術，解析手法により，通信用LSIのキーコンポーネントである可変利得アンプの高線形化と温度補償技術を確立した。

以上の研究により，高周波通信用バイポーラ/BiCMOS LSIの高集積化，高機能化，低消費電力化の要素技術と実用化技術を確立した。4，5，6章で述べた技術は，実際に複数の製品で実用化されている。



## 謝 辞

本研究を遂行するにあたり，大阪大学大学院工学研究科谷口研二名誉教授（現在，奈良工業高等専門学校）の御教示，御鞭撻を賜りましたことに厚く御礼申し上げます。また，大阪大学大学院工学研究科電気電子情報工学専攻松岡俊匡准教授の懇切かつ丁寧な御教示，御鞭撻，様々な御指導を賜りましたことに厚く御礼申し上げます。

本論文に対して御検討，御教示，有意義な御助言とご指導を賜りました，大阪大学大学院工学研究科電気電子情報工学専攻八木哲也教授，大阪大学大学院情報科学研究科橋本昌宜准教授に厚く御礼申し上げます。

本論文に対して有益な議論と御助言を賜りました大阪大学大学院工学研究科電気電子情報工学専攻伊藤利道教授，森勇介教授，片山光浩教授，大森裕教授，尾崎雅則教授，栖原敏明教授，近藤正彦教授，森田清三教授に深く感謝の意を表します。

本大学院への入学の機会と支援を頂いたルネサス エレクトロニクス株式会社ミックスドシグナルコア開発統括部副統括部長中込儀延氏と元高周波アナログ開発部部長加藤直之氏にこの場を借りて厚く御礼申し上げます。

本研究にあたって多大なる協力と助言をいただいたルネサス エレクトロニクス株式会社丸山隆也氏，三木隆博氏，佐々木なぎさ氏，伊賀哲也氏，池田龍彦氏，三菱電機株式会社庭野和人氏，柏木賢一氏，A-R-Tec 益子耕一郎氏に深く感謝いたします。

谷口研究室の事務的な面で御協力いただき，かつ大変お世話になりました，古田典子秘書，清水友子元秘書に感謝の意を表します。

最後になりましたが本研究にあたって，生活面，経済面で理解，協力してくれた妻順子に感謝の意を表し，本論文の締めくくりといたします。



## 研究業績

### 学術論文(筆頭)

1. H. Satoh, T. Nishimura, M. Tatsuki, A. Ohba, S. Hine, and Y. Kuramitsu, "A 209 K-transistor ECL gate array with RAM," IEEE J. Solid-State Circuits, vol. 24, no. 5, pp. 1275-1279, Oct. 1989.
2. H. Sato, K. Ueda, N. Sasaki, T. Ikeda, and K. Mashiko, "A Voltage Compensated Series-Gate Bipolar Circuit Operating at Sub-2 V," IEEE J. Solid-State Circuits, vol. 29, no. 10, pp. 1200-1205, Oct. 1994.
3. H. Sato, K. Kashiwagi, K. Niwano, T. Iga, T. Ikeda, K. Mashiko, T. Sumi, and K. Tsuchihashi, "A 1.9-GHz Single Chip IF Transceiver for Digital Cordless Phones," IEEE J. Solid-State Circuits, vol. 31, no. 12, pp. 1974-1980, Dec. 1996.
4. H. Sato, N. Sasaki, and T. Miki, "A Flip-Flop Circuit with a Directly Controlled Emitter-Follower and a Level Stabilizer for Low-Power Prescalers," IEICE Transactions on Electronics, vol. E82-C, no. 3, pp. 504-510, Mar. 1999.
5. H. Sato, T. Maruyama, T. Matsuoka, and K. Taniguchi, "A Wide Dynamic Range Variable Gain Amplifier with Enhanced IP1dB and Temperature Compensation," IEICE Transactions on Electronics, vol. E94-C, no. 8, pp. 1311-1319, Aug. 2011.

### 学術論文(共著)

1. T. Nishimura, H. Sato, M. Tatsuki, T. Hirao, and Y. Kuramitsu, "A Bipolar 18K-Gate Variable Size Cell Masterslice," IEEE J. Solid-State Circuits, vol. 21, no. 5, pp. 727-732, Oct. 1986.
2. N. Sasaki, H. Sato, K. Ueda, K. Mashiko, and H. Shibata, "A New Emitter-Follower Circuit for High-Speed and Low-Power ECL," IEICE Transactions on Electronics, vol. E78-C, no. 4, pp. 374-380, Apr. 1995.
3. K. Ueda, N. Sasaki, H. Sato, S. Kubo, and K. Mashiko, "3.0 GB/S, 272 mW, 8/1 Multiplexer and 4.1 GB/S, 388 mW, 1/8 Demultiplexer," IEICE Transactions on Electronics, vol. E78-C, no. 7, pp. 866-872, Jul. 1995.
4. K. Ueda, N. Sasaki, H. Sato, and K. Mashiko, "A Fully Compensated Active Pull-Down ECL Circuit with Self-Adjusting Driving Capability," IEEE J. Solid-State Circuits, vol. 31, no. 1, pp. 46-53, Jan. 1996.



5. H. Komurasaki, H. Sato, N. Sasaki, and T. Miki, "A 2-V 1.9-GHz Si Down-Conversion Mixer with an LC Phase Shifter," IEEE J. Solid-State Circuits, vol. 33, no. 5, pp. 812-815, May. 1998.
6. H. Komurasaki, H. Sato, K. Yamamoto, K. Ueda, S. Maeda, Y. Yamaguchi, N. Sasaki, T. Miki, and Y. Horiba, "A Sub 1-V L-Band Low Noise Amplifier in SOI CMOS," IEICE Transactions on Fundamentals of Electronics Communications and Computer Sciences, vol. E83-A, no. 2, pp. 220-227, Feb. 2000.
7. K. Yamamoto, T. Heima, A. Furukawa, M. Ono, Y. Hashizume, H. Komurasaki, S. Maeda, H. Sato, and N. Kato, "A 2.4-GHz-Band 1.8-V Operation Single-Chip Si-CMOS T/R-MMIC Front-End with a Low Insertion Loss Switch," IEEE J. Solid-State Circuits, vol. 36, no. 8, pp. 1186-1197, Aug. 2001.
8. H. Komurasaki, K. Yamamoto, H. Wakada, T. Heima, A. Furukawa, H. Sato, T. Miki, N. Kato, A. Hyogo, and K. Sekine, "2.4-GHz-band CMOS RF front-end building blocks at a 1.8-V supply," IEICE Transactions on Fundamentals of Electronics Communications and Computer Sciences, vol. E85-A, no. 2, pp. 300-308, Feb. 2002.
9. K. Yamamoto, T. Heima, A. Furukawa, M. Ono, Y. Hashizume, H. Komurasaki, H. Sato, and N. Kato, "Design and Experimental Results of CMOS Low-Noise/Driver MMIC Amplifiers for Use in 2.4-GHz and 5.2-GHz Wireless Communications," IEICE Transactions on Electronics, vol. E85-C, no. 2, pp. 400-407, Jul. 2002.
10. H. Komurasaki, H. Sato, M. Ono, R. Hayashi, T. Ebana, H. Takeda, K. Takahashi, Y. Hayashi, T. Iga, K. Hasegawa, and T. Miki, "A Single-Chip 2.4-GHz RF Transceiver LSI with a Wide-Input-Range Frequency Discriminator," IEICE Transactions on Electronics, vol. E85-C, no. 7, pp. 1419-1427, Jul. 2002.
11. H. Komurasaki, T. Sano, T. Heima, K. Yamamoto, H. Wakada, I. Yasui, M. Ono, T. Miwa, H. Sato, T. Miki, and N. Kato, "A 1.8-V Operation RF CMOS Transceiver for 2.4-GHz-band GFSK Applications," IEEE J. Solid-State Circuits, vol. 38, no. 5, pp. 817-825, May. 2003.

## 国際会議(筆頭のみ)

1. H. Satoh, T. Nishimura, M. Tatsuki, A. Ohba, S. Hine, K. Sakaue, and Y. Kuramitsu, "A 209k-transistor ECL Gate Array with RAM," IEEE ISSCC Dig. Tech. Papers, pp. 184-185, 16 Feb. 1989.
2. H. Sato, K. Ueda, N. Sasaki, K. Niwano, and H. Shinohara, "A Voltage Compensated

Series-Gate Bipolar Circuit Operating at Sub-2 V,” IEEE Bipolar/BiCMOS Circuits and Technology Meeting Proceedings of the 1993, pp. 232–235, Oct. 1993.

3. H. Sato, K. Kashiwagi, K. Niwano, T. Iga, T. Ikeda, and K. Mashiko, “A 1.9-GHz Single Chip IF Transceiver for Digital Cordless Phones,” IEEE ISSCC Dig. Tech. Papers, pp. 342-343, 8-10 Feb. 1996.

#### ランプセッション

1. A. Matsuzawa, H. Sato, S. Wong, F. Behbahani, E. MacRobbie, and R. Rofougaran, “Which Features of an IC Technology will Benefit Radio SOC?,” Symp. VLSI Circuits Dig. Tech. Papers, pp. 84, 14 Jun. 2001

### 国内会議(筆頭のみ)

1. 佐藤久恭, 上田公夫, 佐々木なぎさ, 益子耕一郎, 池田龍彦, “電圧補償された低電圧動作バイポーラシリーズゲート回路,” 電子情報通信学会技術研究報告. ICD, 集積回路 94(125), pp. 9-15, 1994-06-24
2. 佐藤久恭, 柏木賢一, 庭野和人, 伊賀哲也, 池田龍彦, 益子耕一郎, “PHS 用中間周波数処理 LSI,” 電子情報通信学会技術研究報告. ICD, 集積回路 96(267), pp. 55-62, 1996-09-27
3. 佐藤久恭, 小紫浩史, 小野正好, 江花武雄, 武田晴信, 高橋幸二, 林豊, 伊賀哲也, 長谷川浩一, 三木隆博, “広帯域復調回路を用いた Bluetooth 用 2.4GHz 帯 RF トランシーバ LSI,” 電子情報通信学会技術研究報告. ICD, 集積回路 101(84), pp. 57-63, 2001-05-17
4. 佐藤久恭, “招待講演 無線通信用 LSI の技術動向と課題,” 電子情報通信学会, システム LSI ワークショップ, 第 8 回, pp. 75-82, 2004-11-30
5. 佐藤久恭, “招待講演 RF トランシーバのマルチモード,マルチバンド化,” 電子情報通信学会技術研究報告. ICD, 集積回路 110(140), pp. 43-48, 2010-07-17-22

### 国内特許(論文に関するもののみ)

1. 佐藤久恭, 西村尚, 東坂範雄, 加藤周一, “マスタスライス方式大規模半導体集積回路装置の製造方法,” 特許第 1724068 号
2. 佐々木なぎさ, 佐藤久恭, 上田公大, “電流切替型論理回路,” 特許第 3539509 号
3. 佐藤久恭, “基準電圧発生回路,” 特許第 2551179 号

4. 佐藤久恭, 上田公大, 佐々木なぎさ “Current switching logic type circuit with small current consumption (エミッタ結合型論理回路),” US Patent No. 5602498
5. 丸山隆也, 佐藤久恭, 三木隆博, ” Variable gain amplifier (可変利得増幅器),” US Patent No. 6100760
6. 丸山隆也, 佐藤久恭, ” Gain control circuit for controlling operation of a variable-gain amplifier (可変利得アンプ用利得制御回路),” US Patent No. 6144233