The University of Osaka
Institutional Knowledge Archive

Title	フラットパネルディスプレイの高画質インタフェースに関する研究
Author(s)	笠井, 成彦
Citation	大阪大学, 2010, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/2137
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

フラットパネルディスプレイの
高画質インタフェースに関する研究

2010 年 1 月

笠 井　成 彦

フラットパネルディスプレイの高画質インタフェースに関する研究

２０１０年１月

笠井　成彦

フラットパネルディスプレイの
高画質インタフェースに関する研究

提出先　　大阪大学大学院情報科学研究科

提出年月　　2010 年 1 月

笠 井　成 彦

内容梗概

本論文は，筆者が 1989 年から現在に至るまで，株式会社日立製作所マイクロエレクトロニクス機器開発研究所，システム開発研究所，ならびに中央研究所において，2008 年から現在に至るまで，大阪大学大学院情報科学研究科情報システム工学専攻在学中に行ってきた，フラットパネルディスプレイ（Flat Panel Display 以下，FPD）向けインタフェース（Interface 以下，I/F）技術に関する研究成果をまとめたものである．

液晶ディスプレイ（Liquid Crystal Display 以下，LCD）に代表される FPD は，薄型・軽量の特長を有する表示デバイスとして，大型 TV，PC から，携帯電話やデジタルスチルカメラに至る，非常に幅広い分野において普及が進んでいる．現在，最も普及が進んでいる LCD は，特にワードプロセッサや PC（Personal Computer）の表示装置として普及が進み，ラップトップタイプやノートタイプのモバイル用途の表示画面から始まり，デスクトップタイプの据え置き型表示装置（モニタ装置）の代表である CRT（Cathode Ray Tube）ディスプレイからの置き換えにも採用されてきている．

そのなかで，従来の PC の表示信号は CRT ディスプレイを前提にしており，点順次（左上端から１画素ごとの表示データを転送）の駆動に対応し，無段階の階調表示を可能とするアナログ信号であり，さらには最大解像度以下であれば解像度に対しては柔軟に変更可能である．これに対して，走査線と信号線の交点で画素を点灯する LCD は，線順次（上端から１ラインごとの表示データを転送）の駆動であり，表示信号も階調数に制限のあるデジタル信号が一般的である．また，縦横の画素数がパネルにより固定となるため，画素数と合致した解像度の表示信号を必要とする．I/F における課題としては，ディスプレイの高解像度化要求に対し I/F における信号量が増大することが挙げられる．さらに，LCD に代わる次世代の FPD として期待されている有機 EL（Organic Light Emitting Diode 以下，OLED）ディスプレイにおいては，LCD とは異なる駆動方式と，解決すべき固有の課題を持つ．

このような背景のもと，本研究では，PC 等の情報機器端末からの出力表示信号を，FPD 駆動用の信号に変換する I/F 回路において，表示信号を適正化することにより，上記課題を解決する方式を提案する．まず，CRT と同等の多階調表示技術として，フ

レームごとに異なる階調を表示することにより擬似的に階調を表示する Frame Rate Control （以下，FRC）の高画質化について提案する．次に，異なる解像度への対応としては，元画像から補間画素を生成する解像度変換方式と，更なる高解像における新しい信号転送方式について提案する．最後に，LCD とは全く異なる駆動信号で，かつ，異なる課題を持つ OLED ディスプレイに対する信号変換方式を提案する．本論文は全 5 章から構成される．

第 1 章の序論では，FPD 向け I/F 回路の必要性と課題を挙げ，関連する従来研究を概観するとともに，本論文の目的と位置付けを明らかにする．

第 2 章では，PC のモニタ装置として LCD を使用する，つまり，それまで主流であった CRT モニタを LCD に置き換える場合の I/F 変換において，タイミング信号，および表示信号を生成する制御回路の役割について説明する．タイミング信号については，LCD で必要となるが CRT I/F には含まれていない信号の生成について説明し，表示信号については，LCD で広く採用されている多色表示方式である FRC 方式と，入力表示信号が LCD の解像度と異なる場合必要となる解像度変換方式について説明する．

第 3 章では，高解像度表示に対応する信号転送において，I/F にかかる負担が大きくなる（高速化，信号線数増加）問題に対処する新しい信号転送方式について説明する．従来の解像度におけるラスタスキャンと呼ばれる画面全体を上から走査する駆動に対し，表示の更新部分のみの表示データのみを転送することにより，転送速度の高速化や信号線数の増加を抑制する．

第 4 章では，LCD に代わる次世代 FPD に対する I/F 制御技術として，現在開発が進められている OLED ディスプレイについて説明する．LCD と画素構成が異なり必要とする制御信号も異なるため，従来の LCD 用の制御信号から OLED ディスプレイに必要な制御信号を生成する制御回路に加え，OLED 固有の課題である寿命の問題を解決するための制御技術について説明する．

第 5 章では，結論として本研究で得られた成果を要約した後，今後の課題について述べる．

研究業績

<主筆>

[学会誌採択論文]

[1] N. Kasai, T. Futami, J. Mamiya, K. Yamauchi, A. Okazaki, J. Hanari, "Digital Packet Video Link for a Super High Resolution Display", *IEICE Trans. Electronics*, vol. E84-C, no. 11, pp. 1630-1636 (2001.11).

[2] N.Kasai, Y. Kudo, M. Ishii, H. Kageyama, H. Akimoto, N. Nakamura, T. Onoye, "Anode- voltage-control circuit for compensation of luminance deterioration", *Journal of the SID*, vol. 17/10, pp. 779-784 (2009.10).

[国際会議発表]

[1] N. Kasai, H. Mano, T. Furuhashi, T. Hamada, T. Futami, "Multi-scan Control Systems for Full-color TFT LCDs", in *Proc. of 1994 International Workshop on Active-Matrix Liquid-Crystal Displays (AMLCD '94)*, pp. 68-71 (1994.11, Tokyo, Japan).

[2] N. Kasai, T. Furuhashi, H. Mano, H. Kurihara, N. Kato, M. Mori, "Development of 13.3-in. Super TFT-LCD Monitor", in *Proc. of Society for Information Display 1996 (SID '96)*, pp. 414-417 (1996.5, San Diego, U.S.A.).

[3] N. Kasai, T. Futami, J. Mamiya, K. Yamauchi, A. Okazaki, J. Hanari, "Digital Packet Video Link for Super High Resolution Display", in *Proc. of International Display Workshop 2000 (IDW '00)*, pp. 321-324 (2000.12, Kobe, Japan).

[4] N. Kasai, H. Awakura, H. Akimoto, H. Kageyama, T. Sato, N. Tokuda, "A Color Balance Control System for OLED with Clamped Inverter Method", in *Proc. of Society for Information Display 2005 (SID '05)*, pp. 1460-1463 (2005.5, Boston, U.S.A.)

＜その他＞

[学会誌採択論文]

[1] H. Akimoto, H. Kageyama, M. Miyamoto, Y. Shimizu, N. Kasai, H. Awakura, A. Shingai, N. Tokuda, K. Kajiyama, S. Nishitani, T. Sato, "Clamped-inverter circuit architecture for luminescent-period- control driving of active-matrix OLED displays", *Journal of the SID*, vol. 13/5, pp. 429-433 (2005.5).

[2] H. Kageyama, H. Akimoto, Y. Shimizu, T. Ouchi, N. Kasai, H. Awakura, N. Tokuda, T. Sato, "A new driving method introducing a display period for AMOLEDs", *Journal of the SID,* vol. 13/5, pp. 447-452 (2005.5).

[国際会議発表]

[1] S. Nishitani, N. Kasai, T. Furuhashi, H. Kurihara, T. Mori, "Automatic Adjustment Method of Parameters in CRT Interface Circuit for LCD Monitor", in *Proc. of Society for Information Display 1998 (SID '98)*, pp. 1153-1156 (1998.5).

[2] J. Mamiya, K. Yamauchi, T. Tomooka, M. Ohara, T. Futami, N. Kasai, S. Horino, A. Inoue, Y. Sato, A. Okazaki, "Digital PV Link for a Next-Generation Video Interface, and Its System Architecture", in *Proc. of Society for Information Display 2000 (SID '00)*, pp. 38-41 (2000.5).

[3] J. Hanari, M. Watanabe, A. Okazaki, J. Mamiya, Y. Sugiuchi, K. Yamauchi, T. Futami, N. Kasai, "Development of an UXGA Display System by a Digital Packet Video Link", in *Proc. of Society for Information Display 2001 (SID '01)*, pp. 210-213 (2001.5).

[4] H. Kageyama, H. Akimoto, T. Ouchi, N. Kasai, H. Awakura, N. Tokuda, T. Sato, "A 3.5-inch OLED Display using a 4-TFT Pixel Circuit with an Innovative Pixel Driving Scheme", in *Proc. of Society for Information Display 2003 (SID '03)*, pp. 96-99 (2003.5).

[5] H. Kageyama, H. Akimoto, Y. Shimizu, T. Ouchi, N. Kasai, H. Awakura, N. Tokuda, K. Kajiyama, T. Sato, "A 2.5-inch OLED Display with a Three-TFT Pixel Circuit for Clamped Inverter Driving", in *Proc. of Society for Information Display 2004 (SID '04)*, pp. 1394-1397 (2004.5).

[6] H. Akimoto, H. Kageyama, Y. Shimizu, H. Awakura, N. Kasai, N. Tokuda, T.Sato, "Two TFT Pixel Circuit with Non-Uniformity Suppress-Function for Voltage

Programming Active Matrix OLED Displays", in *Proc. of Society for Information Display (SID '05)*, pp. 1550-1553 (2005.5).

[7] H. Kageyama, H. Akimoto, N. Kasai, N. Tokuda, K. Kajiyama, N. Nakamura, T. Sato "A 2.5-inch Low-Power LTPS AMOLED Display—Using Clamped-Inverter Driving—For Mobile Applications", in *Proc. of Society for Information Display 2006 (SID '06)*, pp. 1455-1458 (2006.5).

[8] T. Kohno, M. Miyamoto, H. Kageyama, M. Ishii, N. Kasai, N. Nakamura, N. Tokuda, H. Akimoto, "3.0-inch High-resolution Low-voltage LTPS AM-OLED Display with Novel Voltage- programmed Driving Architecture" in *Proc. of Society for Information Display (SID '07)*, pp. 1382-1385 (2007.5).

目次

第 1 章 序論 1
1.1 研究の背景 1
1.2 従来研究 3
1.2.1 アナログ I/F 信号 4
1.2.2 デジタル I/F 信号 6
1.2.3 有機 EL ディスプレイ I/F 信号 7
1.3 研究の方針 8
1.4 本論文の構成 9
第 2 章 アナログモニタ I/F の高画質デジタル変換方式 11
2.1 緒言 11
2.2 LCD モニタ I/F 変換回路 13
2.2.1 アナログ回路の構成と PLL 回路の問題点 14
2.2.2 デジタル回路における解像度変換と問題点 17
2.2.3 デジタルデータの多色化処理と問題点 19
2.3 回路設計 21
2.3.1 PLL 回路の設計 21
2.3.2 解像度変換処理回路の検討 22
2.3.3 多色化処理回路の検討 23
2.4 適用結果と考察 25
2.4.1 PLL 回路評価結果 25
2.4.2 デジタル回路評価結果 25
2.5 結言 27
第 3 章 超高解像度向けデジタル I/F 信号転送方式 29
3.1 緒言 29
3.2 デジタル I/F における超高解像度対応の問題点 30
3.2.1 小振幅差動信号転送によるデジタル I/F 31

3.2.2　デジタル I/F の高解像度化における課題 32
3.3　Digital PV Link 方式 33
3.3.1　Digital PV Link の概要 34
3.3.2　Digital PV Link の特徴 36
3.3.3　Digital PV Link の課題 38
3.3.4　評価項目 39
3.4　適用結果と考察 44
3.4.1　エラー発生結果と考察 44
3.4.2　動画転送能力計算結果と考察 48
3.5　結言 50
第 4 章 OLED ディスプレイ高画質 I/F 変換方式 53
4.1　緒言 53
4.2　OLED 駆動 TFT 特性ばらつき対策駆動と問題点 54
4.2.1　OLED 駆動 TFT 特性ばらつきの影響 55
4.2.2　発光時間制御方式の問題点と課題 58
4.3　電流補償駆動 60
4.3.1　C.I 駆動における電流検出の考え方 60
4.3.2　電流補償駆動システム構成 61
4.4　適用結果と考察 63
4.4.1　適用対象 63
4.4.2　提案方式の性能評価と考察 64
4.5　結言 69
第 5 章 結論 71
5.1　本研究のまとめ 71
5.2　今後の課題 72
謝辞 75
参考文献 77

第 1 章

序論

1.1　研究の背景

表示画面が平面で見やすく，薄型，軽量を特長とするフラットパネルディスプレイ（Flat Panel Display，以下 FPD）のなかで，現在主流となっている液晶ディスプレイ（Liquid Crystal Display，以下 LCD）は，図 1.1 に示すように卓上電卓の表示装置として商品化が始まって以来，表示画素のマトリックス化や大型化，バックライトの適用による視認性の向上により，ラップトップタイプやノートブックタイプのワードプロセッサや PC（Personal Computer）の表示画面から，デスクトップタイプ PC の据え置き型表示装置（モニタ装置）に採用され，近年では携帯電話から薄型テレビまで，多様な用途に採用されている．

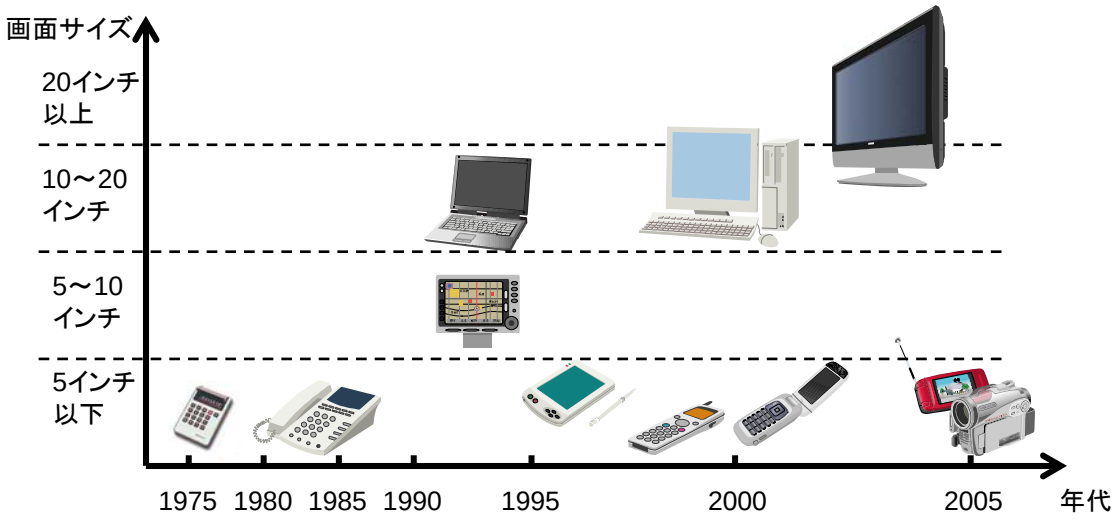


図 1.1　LCD 適用用途の拡大

現在，主に使用されている LCD は TFT-LCD と呼ばれるアクティブマトリクス型の表示素子であり，ガラス基板上に TFT（Thin Film Transistor）によるアクティブ素子と保持

容量を画素ごとに形成し，液晶印加電圧を記憶する構造を採っている．詳細は後に示すが，液晶印加電圧を与える手段であるドライバ IC と呼ばれる駆動回路と，そのドライバ IC を制御するための信号を，入力されるインタフェース（Interface，以下 I/F）信号から生成するタイミング制御回路を必要とする．

まず，LCD の特長である薄型を活かした用途として，PC のモニタ装置の置き換えが進められた．かつてのモニタ装置は，CRT（Cathode Ray Tube）と呼ばれるブラウン管ディスプレイが主流であったが，装置として特に奥行きが長く，大きな設置場所を必要としていたため，薄型で省スペース化が可能な LCD への置き換えの期待が高まっていた．また，従来の LCD の欠点であった視野角依存性を解決する IPS（In Plane Switching）液晶等の広視野角液晶の開発も進み，その期待はさらに高まっていた[1]．しかしながら，CRT モニタの I/F を構成する表示のためのタイミング信号，および階調を表す表示データ信号は，LCD とは異なる仕様であったため，従来の PC の表示制御回路を変更することなく LCD モニタを接続可能とする“ I/F 変換 ”が課題となる．特に，LCD のデジタル I/F では 1 画素分の表示データを，ドットクロックと呼ばれる同期クロックで取り込む必要があるのに対し，アナログ I/F ではアナログ的な表示位置に応じた表示データのみが存在し，ドットクロックが存在しない．また，表示データが画面上の 1 画素と 1 対 1 で対応しているのに対し，アナログ I/F はアナログ的に表示位置に応じたデータを転送するため，異なる解像度を画面全体に表示するマルチスキャン機能を可能としている．このため，LCD モニタにおいては，アナログ表示データをデジタル表示データに変換することはもちろん，アナログ I/F に含まれていないドットクロックの再生と，デジタル表示データおよびタイミング信号の解像度変換を必要とする．

その後，アナログ I/F を備えた LCD モニタ装置が普及し，CRT モニタの置き換えが進んだが，そもそもアナログ I/F は，元々PC が生成したデジタルデータをデジタルアナログ変換（以下 D/A 変換）し，LCD モニタにおいて先に説明したとおりアナログデジタル変換（以下 A/D 変換）を行っており，装置全体で冗長な構成となっている．そこで，I/F 変換の簡略化や，D/A 変換や A/D 変換による画質の劣化を防いで高画質化することを目的とした，デジタル I/F の開発と標準化活動が活発化した．デジタル I/F は，従来，表示階調数に係わらず RGB（Red，Green，Blue）の 3 本であった表示データ信号が，各々階調数に応じた本数，例えば 64 階調表示（RGB で 26 万色表示）では各々6 本（RGB で 18 本），256 階調（RGB で 1670 万色表示）で各々8 本（RGB で 24 本）と増加する．そこで，表示データ信号をシリアル化して転送することにより本数の増加を抑制する方式として，現在のデジタル I/F の主流である DVI（Digital Video Interface）I/F[2]の信号転送方式とな

っている TMDS（Transition Minimized Differential Signaling）方式[3]をはじめとして，いくつか開発されている．しかしながら，表示データのシリアル化は転送速度の高速化を招き，近年高解像度化している PC モニタ装置においては，信号線数の増加といった物理的な I/F（コネクタピン数等）の見直しも必要となる．そこで，従来の表示データを画面の左端上から順次転送するラスタスキャン方式ではなく，表示画面の更新部分のみデータを転送する方式により，物理的な I/F の互換性を保ちつつ，更なる高解像度化に対応する．更新部分の表示データを，表示位置等の情報とパケット化して転送するため，連続して表示データが転送されてくるラスタスキャン方式と比較して，転送エラーおよびその回復が課題となる．

さらに，近年開発が進められている有機 EL（Organic Light Emitting Diode，以下 OLED）ディスプレイは，自発光ディスプレイとしての特長である広視野角，高コントラストといった高画質と，バックライトが不要で薄型化が可能であることから，LCD に代わる次世代の FPD として期待されている[4]．しかしながら，階調に応じたレベルの液晶印加電圧を保持することによって液晶の透過率を制御する TFT-LCD と比べて，階調に応じた電流量を有機 EL 素子に流すことによって発光量を制御する OLED ディスプレイは，複数の TFT を使用した複雑な画素構成となり，そのためのタイミング制御信号が必要となる．また，LCD とは異なる自発光固有の素子の経時劣化による寿命の課題もあり，その I/F 回路には LCD と異なる機能が要求されている．

以上の FPD の I/F 技術における課題を解決するため，本論文では，I/F 変換回路および I/F 信号転送について，以下の方式を提案する．

(1) 従来のアナログ I/F CRT モニタの LCD への置き換えにおいて，従来の PC の I/F を変更することなく，CRT モニタ互換アナログ I/F LCD モニタを実現する方式.
(2) デジタル I/F における高解像度化に対応するため，表示データの更新部分のみをパケット化して転送することにより，信号転送高速化と信号線数増加を抑制する方式.
(3) 次世代 FPD として期待される OLED ディスプレイにおいて，LCD と異なるタイミング制御信号の生成に加え，固有の課題である寿命を延ばすための I/F 変換方式.

1.2 従来研究

本節では，本研究で取り扱う前節の課題と関連する従来研究について説明する．

1.2.1　アナログ I/F 信号

アナログ I/F のデジタル変換について説明する前に，その前提となる TFT-LCD のデジタルデータから，アナログ信号である液晶印加電圧を生成する駆動方式について説明する[5].

TFT-LCD の構造は図 1.2 に示すとおり，複数のデータ線と走査線がマトリクス状に形成され，各々の交点に画素が形成される．各画素には TFT が配置され，ゲート端子（G）に走査線が，ドレイン端子（D）にはデータ線が接続される．さらにソース端子（S）は保持容量と液晶素子に接続され，保持容量の対向側はストレージ線，液晶素子の対向側はコモン電極に接続される．ここで，TFT-LCD の階調表示は走査線に印加される選択パルスによって選択された走査線上に配置された画素の保持容量に，データ線，TFT を介して印加される液晶印加電圧の電圧レベルによって制御される．このデータ線に液晶印加電圧を供給する回路がドライバ IC であり，図 1.3 に示すとおり，デジタル表示データを 1 画素ずつドットクロックに同期して 1 ライン分取り込んだ後，水平クロックに同期して 1 ライン分まとめて出力する線順次駆動を行う．1 ライン分のデジタルデータは，D/A 変換回路において，階調に応じた電圧レベルを持つ液晶印加電圧に変換される．つまり，ドライバ IC の入力には，階調に応じたビット数を持つデジタル表示データと，1 画素ずつのデータを転送するドットクロック，1 ライン分のデータを出力するタイミングを示す水平同期信号が含まれる．

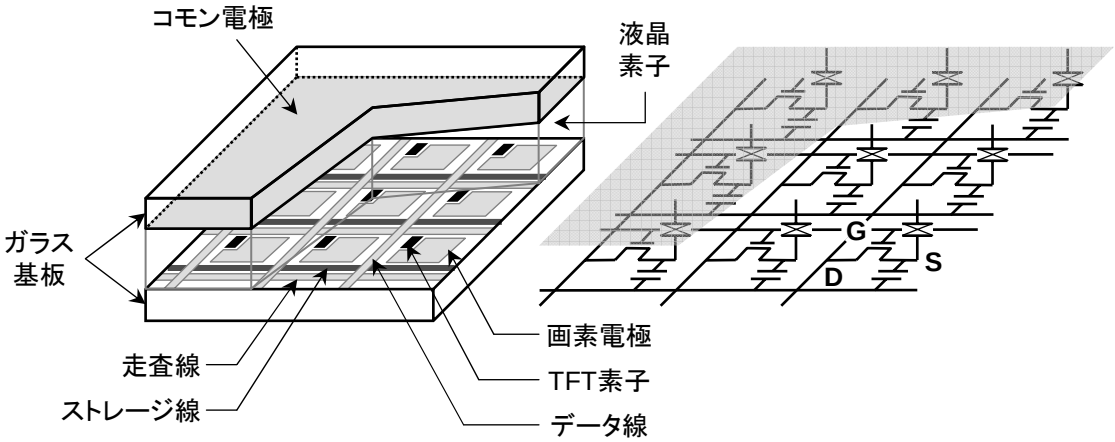


図 1.2　TFT-LCD の構造と等価回路

これに対し，従来の PC のモニタ装置は，CRT モニタが主流であり，図 1.4 に示すとおり，アナログデータを画面の左端上から点順次でビームを走査するためのアナログ I/F を備えている[6]．したがって，アナログ I/F と先に説明した TFT-LCD の駆動信号との相違

点は,

(1) アナログ I/F は 1 画素ずつのデータ転送ではなく，それに同期するドットクロックが存在しない.

(2) TFT-LCD が 1 画素ごとに対応する 1 対 1 のデータを必要とするのに対し，アナログ I/F では表示位置に応じたタイミングでアナログデータが出力される.

(3) アナログデータでは階調表示が無段階となるのに対し，デジタルデータではビット数に応じた階調数となる.

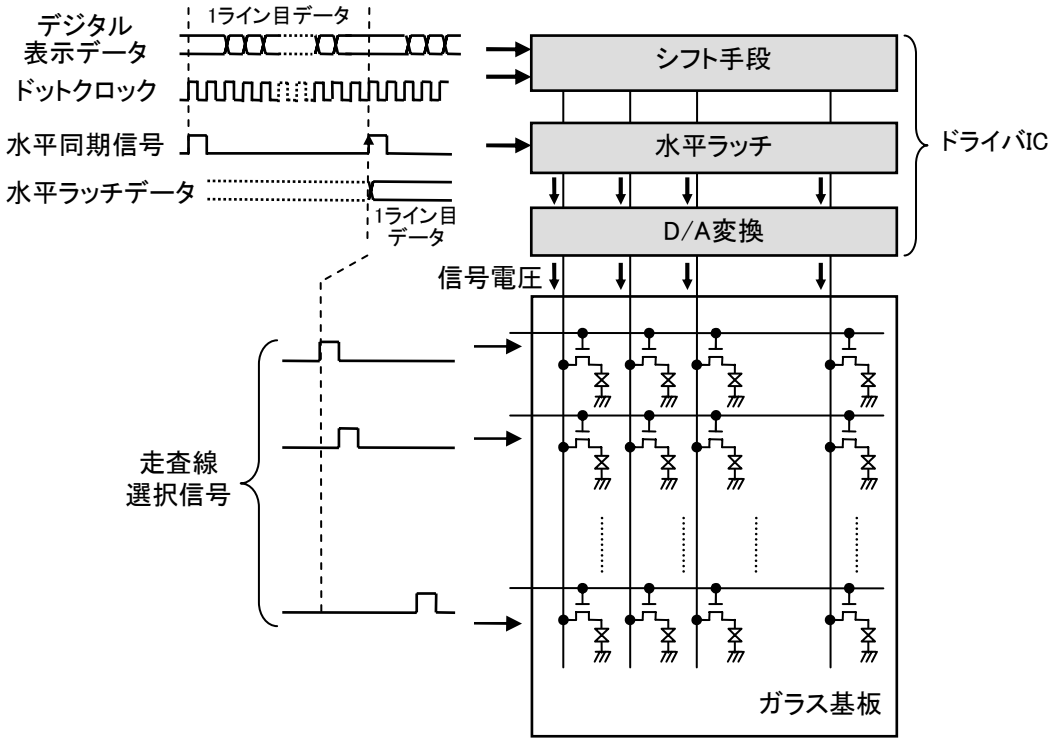
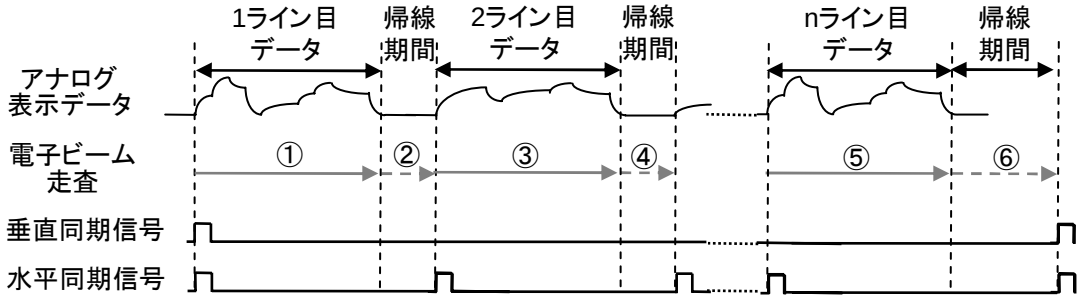
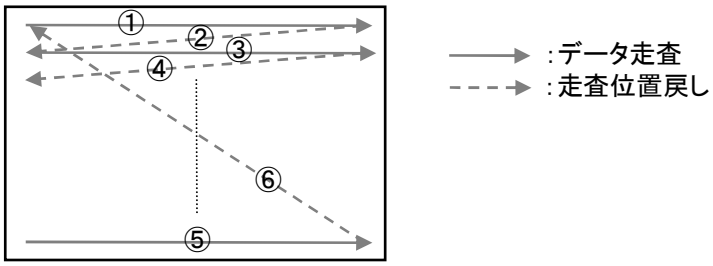


図 1.3　TFT-LCD の表示動作と I/F 信号

そこで，TFT-LCD を適用したモニタ装置を，従来の CRT モニタと置き換える場合，上記 3 つの相違点を同じくするための I/F 変換回路が必要となる.



(a)　波形



(b)　CRT表示動作

図 1.4　アナログ I/F 信号と CRT 表示動作

1.2.2　デジタル I/F 信号

アナログ I/F は従来の PC モニタとの互換性に優れており，実際に CRT モニタから LCD モニタへの置き換えが進んだ．しかしながら，システムの構成としては，PC で生成されるデジタル表示データが D/A 変換され，I/F 変換回路において A/D 変換されるために冗長な構成となっている．これを回避するためには I/F をデジタル化することが考えられるが，デジタル表示データは階調に応じた信号線数を必要としており，例えば 64 階調表示では RGB で 18 本，256 階調表示では 24 本と，アナログ表示データが RGB3 本で済むことと比較して，I/F 本数の増加が課題となる．そこで，信号線数の増加を抑制するためのデータシリアル化方式がいくつか開発されていた．表 1.1 に各々の規格を比較する．

表 1.1　デジタル I/F 規格

	LVDS	TMDS	GVIF
信号線数	5pair	4pair	1pair
原信号速度	65MHz	112MHz	65MHz
差動信号速度	455MHz	1.12GHz	1.56GHz

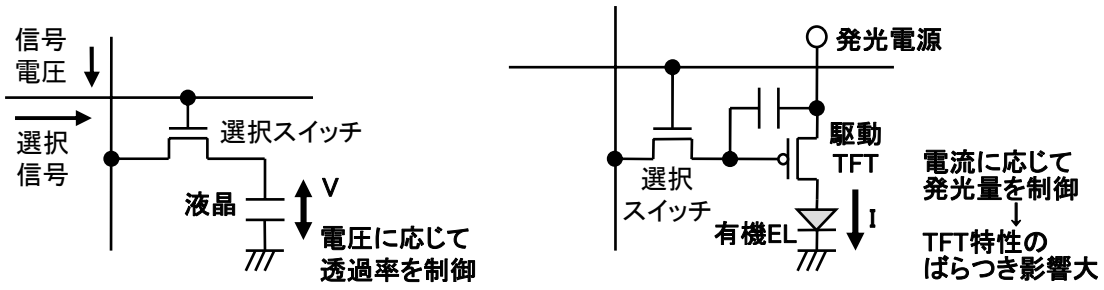
各々の方式が，デジタル表示信号をシリアル化することにより本数を減らすとともに，高速化に対応するため小振幅な差動信号としている．また，LVDS（Low Voltage Differential Signaling）方式[7]が単純なシリアル化であるのに対し，他の 2 方式，TMDS 方式と GVIF（Gigabit Video Interface）方式[8]は，シリアル化後のデータ信号線数をさらに減らせるよう，信号処理が加えられている．これらの方式を用いることにより，デジタル I/F で，かつ，信号線数の少ない I/F を実現でき，現状では TMDS を信号転送方式とした DVI コネクタを備えた PC とモニタ装置が広く普及している．

しかしながら，PC の表示解像度は増加傾向にあり，上記転送方式を用いた場合でもシリアル化による高速化には限界があるため，限界を超えるような解像度の場合，信号線数を増やすといった物理的な変更が必要となる．

そこで，従来のように表示画面のデータ全てを転送するのではなく，更新部分の表示データのみを転送することによりデータ転送量を抑制する信号転送方式[9]を適用し，物理的な I/F を変更することなく高解像度化に対応することが必要となる．

1.2.3 有機 EL ディスプレイ I/F 信号

近年 LCD が多様な用途に使われているなか，LCD に代わる次世代の FPD として有機 EL（OLED）ディスプレイの開発が進められている．OLED は自発光素子であることから，広視野角，高コントラストであり，バックライトが不要なため薄型，軽量化が可能なディスプレイとして期待されている．図 1.5 に示すとおり，LCD と同様に選択信号により選択された走査線上の画素にデータ線からの印加電圧を印加するスイッチング TFT と，印加電圧に応じて OLED 素子に流れる電流を制御するための駆動 TFT で構成されている[10]．しかしながら，電圧で ON／OFF を制御するスイッチング TFT と異なり，ゲート電圧による電流制御を行う駆動 TFT は，特性ばらつきの影響を受けやすく，電流による階調制御を行う OLED ディスプレイでは階調のばらつきとなってしまう．したがって，このばらつきを解消するための画素構成がいくつか提案されている[11][12]．これらの方式は，画素内にさらに TFT を追加することにより特性のばらつきを補正するといった方式であり，TFT が増加することにより，走査線選択信号と液晶印加電圧のみであった LCD の制御信号とは異なる制御信号が必要となる．



(a)　液晶の画素構成　　(b)　OLED の画素構成

図 1.5　画素構成と駆動原理の比較

1.3　研究の方針

本研究の目的は，TFT-LCD や OLED ディスプレイの I/F 技術について，1.1 節で示した各々の課題を解決する方式を提案することにより，FPD の利用容易性の向上，高画質化を目指すものである．本研究で提案する 3 つの方式は，(1)　アナログモニタ I/F の高画質デジタル変換方式，(2)　超高解像度向けデジタル I/F 信号転送方式，および (3)　OLED ディスプレイ高画質 I/F 変換方式である．各々の目標と課題を示す．

(1)　アナログモニタ I/F の高画質デジタル変換方式

PC 装置の表示装置として主流であった CRT モニタを，既にノート PC の表示装置として普及していた LCD に置き換えることにより，省スペース，省電力化を図ることができる．そこで，CRT モニタとの互換性を重視し，アナログ I/F からデジタル I/F への信号変換を行い I/F の互換性を保つとともに，機能としても互換性を保った TFT-LCD モニタ装置を提供することを目標とする．

アナログ I/F とデジタル I/F の違いとして，デジタルデータ転送では必須となるドットクロックが，アナログ I/F では存在しないことが挙げられる．したがって，アナログ I/F に含まれる水平同期信号からドットクロックを再生することが課題となる．また，CRT モニタでは当たり前の機能である，さまざまな解像度を表示することができるマルチスキャン機能は，CRT モニタとの機能互換を実現するためには必須の機能である．先のドットクロック再生もこれに対応する必要があり，入力表示データの解像度変換と合わせて課題となる．さらに，アナログデータでは無段階となる階調数を，ビット数に応じた階調数となるデジタルデータでも表現することが課題となる．

(2)　超高解像度向けデジタル I/F 信号転送方式

LCD モニタが CRT モニタに代わって PC 表示装置の主流となるなか，I/F 変換が不要なデジタル I/F の普及が進んだ．デジタル I/F の課題である信号線数の増加に対し，各種小振幅差動シリアル転送方式が提案されているが，高解像度化に対しては限界がある．その結果，信号線数の増加に伴う物理的な変更（コネクタ形状の変更）が必要となり，ここでも互換性の問題が出てくる．そこで，解像度に依存しない，表示を更新する部分のデータのみをパケット化して転送する新しい方式を提案し，標準化につなげることを目標とする．

標準化のためには，従来の信号転送方式と異なり更新部分の表示データのみを転送する問題点を把握する必要があり，試作による性能的な評価を行うことにより，実現性を検証することが課題となる．

(3)　OLED ディスプレイ高画質 I/F 変換方式

OLED 素子は自発光素子であり液晶とは駆動原理が異なるため，OLED ディスプレイの画素構成は TFT-LCD と全く異なる構成となる．駆動に新たな信号を用いるため，これらの信号を生成する必要がある．そこで，LCD との互換性を重視し，LCD 駆動信号を OLED 駆動信号に変換するとともに，画質においても LCD と同等以上のものを実現することを目標とする．

液晶が印加する信号電圧により透過率を制御するのに対し，OLED 素子は流す電流の量で発光量を制御する．液晶の信号電圧，OLED 素子の電流量，ともにガラス基板上に形成した TFT による制御となる．この TFT は製造ばらつきが大きく，電圧の制御に比べて電流の制御の方が影響を受けやすく，OLED ディスプレイでは表示輝度のばらつきが課題となる．また，自発光素子の最大の課題として素子の経時劣化が挙げられ，この劣化が OLED ディスプレイの寿命にかかわる課題となる．

1.4　本論文の構成

本論文では，第 2 章以降を以下のように構成する．

第 2 章では，アナログ I/F をデジタル I/F に変換するなかで課題となるドットクロック再生において，マルチスキャン機能を実現する上で必須となる，広範囲な周波数再生を実現する PLL（Phase Locked Loop）回路を提案する．さらにマルチスキャン機能を実現するために，デジタル変換後の表示データを高い画質を維持しつつ拡大・縮小処理を行う解

像度変換方式を提案する．また，アナログデータで表現できる階調数を，デジタルデータで表示するための多色化方式を提案する[13][14].

第 3 章では，デジタル I/F の高解像度化への対応において，課題となる信号線数の増加を抑制し物理層の変更を必要としないよう，表示の更新部分のみのデータをパケット化して転送する新しい信号転送方式「Digital PV（Packet Video）Link」を提案する．従来の転送方式とは異なる方式のため，試作機による性能や問題点を検証し，標準化につなげる[15][16].

第 4 章では，OLED ディスプレイ駆動方式において課題となる，TFT ばらつきによる表示輝度ばらつきを抑制するための発光時間制御駆動方式「C.I（Clamped Inverter）駆動法」について述べる．またもう一つの課題である寿命の問題に対し，OLED 素子の劣化状態を検出し，状態に応じて発光電圧を制御することにより輝度の劣化を補償する「電流補償駆動法」を提案し，効果の検証と合わせて報告する[17][18].

第 5 章では，結論として本研究で得られた成果を要約した後，今後に残された課題について報告する．

第 2 章

アナログモニタ I/F の高画質デジタル変換方式

2.1　緒言

本章では，従来の PC 表示装置の I/F であるアナログモニタ I/F を，TFT-LCD の I/F であるデジタル I/F に変換する変換方式，およびその回路を提案し，従来の表示装置である CRT モニタとの機能互換を実現し，省スペース，省電力を目的とする LCD モニタへの置き換えを実現する．

TFT-LCD は，2 枚のガラス基板を貼り合わせた構造のため，表面が平面で周囲の映り込みが少なくて表示が見やすく，薄型で省スペース化が可能であることから，ラップトップタイプやノートブックタイプ PC の表示装置として採用されている．その一方で，デスクトップタイプの PC では，これまで CRT モニタが表示装置として広く採用されてきた．CRT はアナログ表示データを 1 画面の開始を示す垂直同期信号，1 水平ラインの先頭を示す水平同期信号に応じて，蛍光体を塗布した画面の左端上から 1 水平ラインずつ順次，右下端まで電子銃を照射する．アナログ I/F のため，信号線数が少なく済み，水平ラインの開始位置や，幅は電子銃の照射の仕方で自由に調整できるため，あらゆる表示解像度を表示できることが特長である．そのなかで，CRT は表示面が凸面状態であるため，周囲の映り込みが多く，視認性を落とす要因の一つとなっており，近年，表示面が平面の CRT も製品化されている．しかしながら，電子銃を照射するための距離を必要とすることから，奥行きの大きさは依然として残っており，特に省スペースの観点から LCD モニタへの置き換えが望まれている．

CRT モニタから LCD モニタへの置き換えには，I/F の相違が問題となる．上述したとおり，CRT モニタはアナログ I/F であり，構成する信号は，アナログ表示データ（RGB 各 1），垂直同期信号，水平同期信号である．一方，第 1 章で動作原理を示したとおり，TFT-LCD はデジタル I/F であり，構成する信号は，デジタル表示データ（RGB 各 8，ただし 1670 万色表示の場合），垂直同期信号，水平同期信号，表示有効信号（ない場合もある），ドットクロックである．表示データのアナログとデジタルの違いはもちろんである

が，最大の相違点としてドットクロックの有無がある．したがって，LCD モニタを実現するためのアプローチとしては 2 種類考えられ，一つは，PC の I/F をデジタルとすることであり，もう一つは CRT モニタ用のアナログ I/F を TFT-LCD 用のデジタル I/F に変換することである．ここで前者は，新規の I/F の提案であり，従来の PC を使用しているユーザにとっては LCD モニタへの置き換えが不可能となる．従来の主流が CRT であることを考慮すると，この段階では後者により I/F の互換性を保つことが望ましいアプローチといえる．さらには，CRT モニタが持つ最大の特長であるさまざまな解像度を表示可能とするマルチスキャン機能を実現することにより，I/F のみならず機能的にも互換性を保つ必要がある．そこで必須となる機能がドットクロック再生機能である．元々，PC 側のデータ処理の段階ではデジタル信号処理であるためドットクロックは存在し，I/F をアナログとするにあたって外部へ出力していないため，ここでは「再生」という表現を使用している．このドットクロック再生機能は，もう一つの機能互換，マルチスキャン機能を実現するために非常に広範囲の周波数に対応する必要がある．また，表示する TFT-LCD は CRT と異なり，ドットクロックに同期して一回で 1 画素分の表示データを転送するため固定の解像度しか表示できない．マルチスキャン機能を実現するためには，入力解像度を TFT-LCD の出力解像度に合わせるよう，タイミング信号，表示データを変換する必要がある．また，アナログデータが表現できる階調数は無段階，フルカラー表示となるのに対し，デジタルデータの階調数はビット数によって限られ，RGB 各 6 ビットであれば 64 階調，26 万色表示となる．ドライバ IC のコストもビット数により増加することとなるため，このコスト増加を抑制しつつ，フルカラー相当の表示を実現するためのデジタル表示データの多階調化処理を行う必要がある．

本章では，アナログ I/F からデジタル I/F への変換方式における，水平同期信号から，位相比較器，電圧制御発振回路（Voltage Controlled Oscillator，以下 VCO），分周期で構成される PLL 回路を用いてドットクロックを再生する方式と，入力解像度 VGA（640×350）から SXGA（1280×1024）までを，出力解像度，つまり表示する TFT-LCD 解像度 XGA（1024×768）に変換する解像度変換方式，さらにデジタル表示データについて説明する．ドットクロック再生機能については，モニタ装置の I/F 変換に特化した性能目標を設定し，発振回路の周波数範囲は抑えつつ，広範囲な周波数を持つドットクロックを再生する回路方式を提案する．また，解像度変換については，PC の表示装置であることから，文字や罫線の維持を重視した解像度変換方式を提案する．多階調化処理については，少ないビット数のデジタルデータで，フルカラー表示相当の多ビットデータ表示を実現するデジタルデータ処理方式を提案する．

以下，2.2 節では，一般的なクロック再生回路である PLL 回路と，最も単純な解像度変換方式について説明し，課題を明らかにする．2.3 節では，提案方式である分周比分割回路方式による VCO 発振周波数の抑制，および階調積分方式による高画質解像度変換と多色化方式について説明する．2.4 節では，提案方式を用いることによる効果，および考察について述べ，採用された製品も合わせて紹介することにより，本方式の有用性を示す．

2.2　LCD モニタ I/F 変換回路

本節では，LCD モニタの I/F 変換回路構成を示し，各々の構成要素における課題を明らかにする．

図 2.1 にアナログ I/F をデジタル I/F へ変換する，I/F 変換回路の構成を示す．

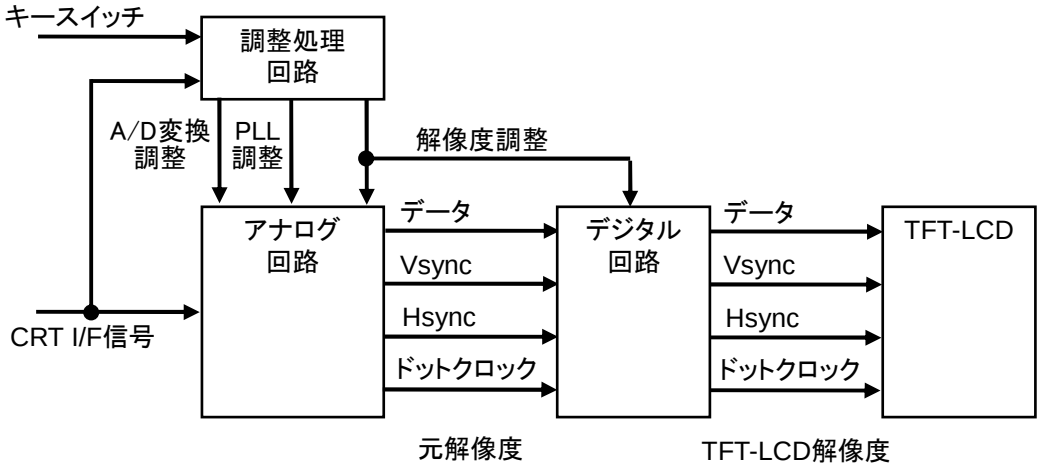


図 2.1　LCD モニタ I/F 変換回路ブロック構成

アナログ回路は，CRT I/F 信号をデジタル信号に変換するとともに，同期信号（垂直同期信号 Vsync，水平同期信号 Hsync，ドットクロック）を生成する．

デジタル回路は，アナログ回路からの表示データの解像度を，表示する LCD の解像度に合わせて拡大，縮小処理を行うとともに，FRC（Frame Rate Control）による多階調化処理を行う．

調整処理回路はユーザが入力する画質調整等のキースイッチ入力に従った制御をアナログ回路，デジタル回路で処理するよう，制御信号を生成する．

本章で想定する TFT-LCD は，XGA の解像度，1024×768 画素で，表示色数は RGB 各

6 ビット，64 階調による 26 万色表示が可能であるものとする．

次項から，アナログ回路，デジタル回路，制御処理部，各々について詳細に説明する．

2.2.1　アナログ回路の構成と PLL 回路の問題点

図 2.2 にアナログ回路の内部構成を示す．

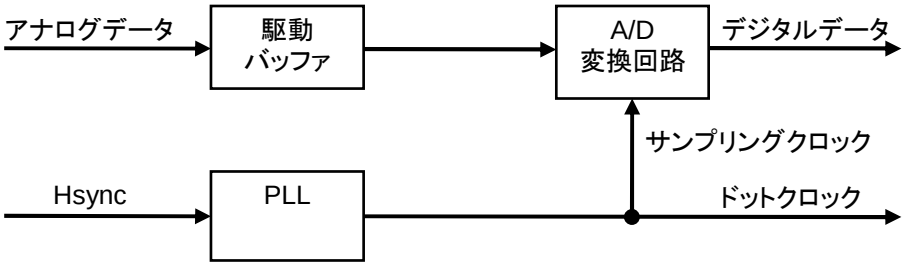
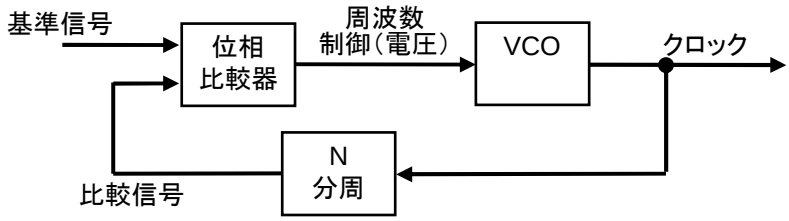
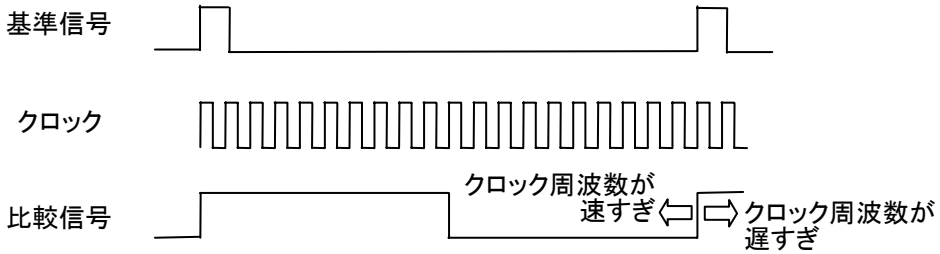


図 2.2　アナログ回路ブロック構成

CRT I/F 信号には，データを転送するためのドットクロックが存在しない．そのため，PLL 回路により Hsync からドットクロックを再生する．PLL 回路では，図 2.3 に示すとおり，VCO を用いてクロックを生成し，その周波数は分周した比較信号の位相と基準信号の位相を比較することにより制御する[19]．クロックの周波数が速すぎる場合は，比較信号の位相が基準信号よりも前となるため，VCO のクロックを遅くするよう制御し，反対にクロックの周波数が遅すぎる場合は，比較信号の位相が基準信号よりも後となるため，VCO のクロックを速くするよう，VCO の入力電圧を制御する．つまり，Hsync を基準として，任意の逓倍数となるドットクロックを再生できる回路である．



(a)　ブロック構成



(b)　動作波形

図 2.3　PLL 回路

ドットクロックの再生は，表 2.1 に示す解像度[20]から，21.05～135[MHz]の範囲で再生する必要がある．また，CRT I/F 信号の表示データはアナログ信号であるため，LCD 表示用のデジタル信号に変換する A/D 変換回路が必要となり，PLL により再生されたドットクロックは，この A/D 変換を行うためのサンプリングクロックとなる．したがって，PLL 回路の性能は，この A/D 変換に求められる性能からも決める必要がある．

表 2.1　サポート解像度とドットクロック周波数

#	解像度		ﾌﾚｰﾑ周波数 [Hz]	水平周波数 [kHz]	ﾄﾞｯﾄｸﾛｯｸ周波数 [MHz]
1	640×350	DOS	70.08	31.470	25.175
2	640×400	NEC	56.00	24.830	21.050
3	640×400	DOS	70.08	31.500	25.180
4	640×480	VESA VGA	72.81	37.860	31.500
5	640×480	Mac VGA	66.67	35.000	30.240
6	640×480	DOS VGA	59.94	31.500	25.180
7	800×600	VESA SVGA	56.25	35.156	36.000
8	800×600	VESA SVGA	60.32	37.879	40.000
9	800×600	VESA SVGA	72.19	48.077	50.000
10	1024×768	VESA XGA	60.00	48.360	65.000
11	1024×768	VESA XGA	70.07	56.476	75.000
12	1280×1024	VESA SXGA	60.00	63.380	108.000
13	1280×1024	VESA SXGA	60.00	79.225	135.000
14	1280×1024	VESA SXGA	60.00	78.000	135.000

PLL でクロック再生する場合，クロックのエッジの揺れ（ジッタ）や基準信号との位相差の変化（定常位相誤差変動）が生じるため，これらのマージン（ジッタマージン：t_j, 定常位相誤差変動マージン：t_c）を考慮する必要がある．ビデオアンプのセトリング時間 t_s, A/D 変換でサンプリングする際のディレイ時間のばらつき（t_A）も考慮すると，図 2.4 に示すように，アナログ表示データ変化周期 t_{CLK}が,

$$t_{CLK} > t_s + t_j + t_c + t_A \tag{1}$$

を満足しなければ，適切なサンプリングポイントが存在しないこととなる．以下，上記(1)式の条件を満たすよう，PLL が関与する t_j, t_cの要求性能を検討する．

(1)式において，データ周期 t_{CLK} は，最小値をとる解像度 XGA，ドットクロック周波数 75[MHz]時の周期 13[ns]として考える．A/D コンバータのサンプリングディレイのばらつきは仕様から 3[ns][21]，セトリング時間 t_s は駆動バッファの仕様から 1[ns]となるため[22],

$$13[ns] > 1[ns] + t_j + t_c + 3[ns] \tag{2}$$

$$t_j + t_c < 9[ns] \tag{3}$$

となり，ジッタと定常位相誤差変動の合計を 9[ns]以下とすることを目標に PLL を検討する．

以上から，CRT I/F 変換に用いる PLL 回路は，広い発振周波数範囲と，低ジッタを両立する必要があることがわかる．

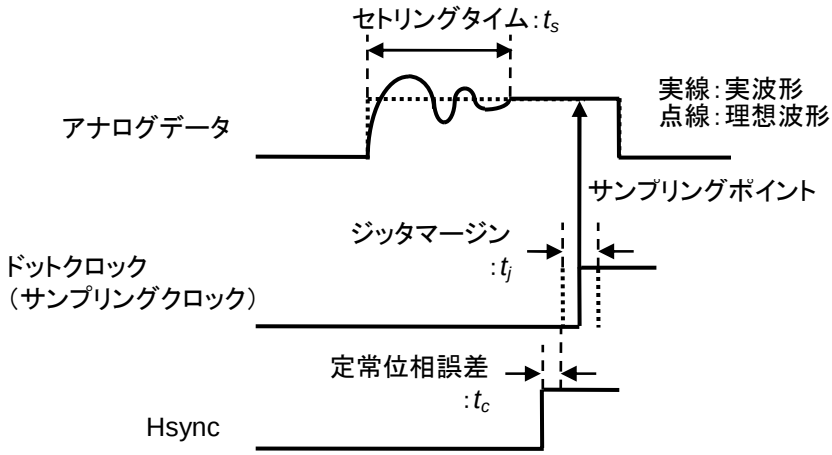


図 2.4　再生ドットクロックと A/D 変換

2.2.2　デジタル回路における解像度変換と問題点

図 2.5 にデジタル回路の内部構成を示す.

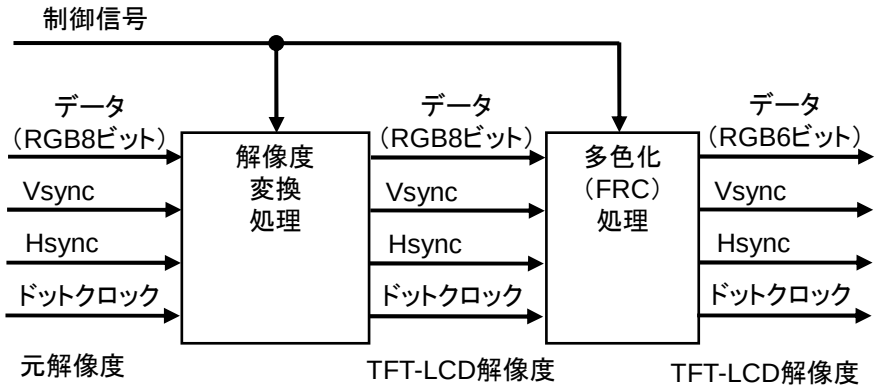


図 2.5　デジタル回路ブロック構成

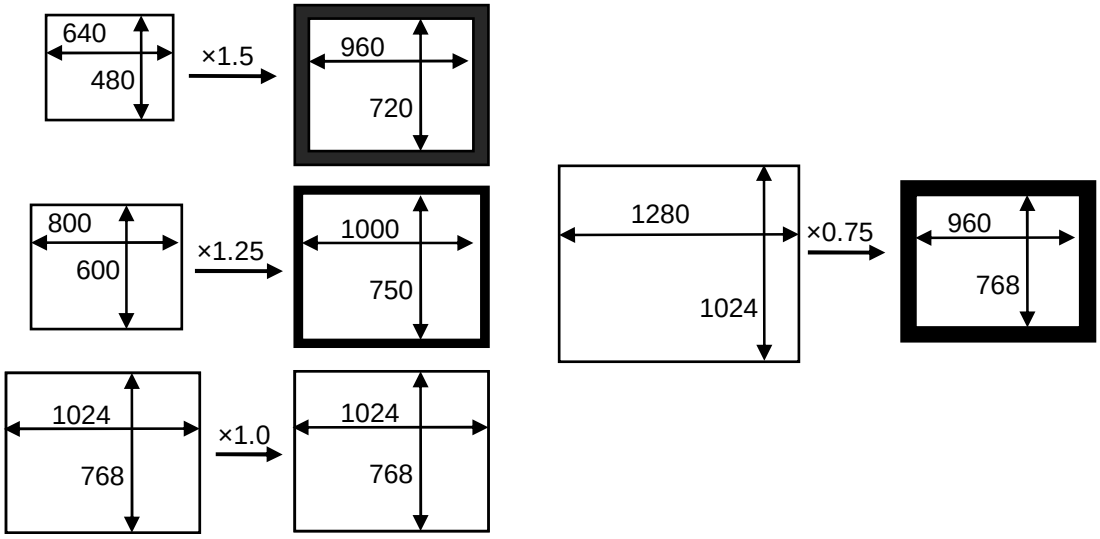
本項ではまず，解像度変換処理について説明する.

解像度変換機能は，元の解像度の表示データと同期信号を，LCD の解像度の表示データと同期信号へ，拡大，あるいは縮小変換する．ここで対応すべき拡大，縮小の倍率は，図 2.6 に示すとおり，VGA モード（VGA 未満も同様）は 1.5 倍（960×720），SVGA モードは 1.25 倍（1000×750），SXGA モードは 0.75 倍（960×768）とする．これらは先の表 2.1 に示したサポート解像度を XGA の解像度を持つ LCD に表示するため，かつ画質の維持のため，特にテキスト画面の文字形状の維持のためにアスペクト比（縦横比）を変えないため，さらには回路規模を簡略化するための値であり，任意の倍率に対応する必要はない.

(1)　単純挿入／削除方式

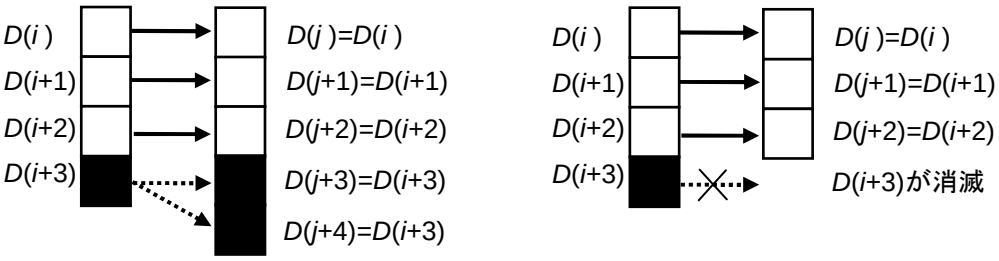
最も単純なスケーリング方式として，単純削除／挿入方式を図 2.7 に示す．単純挿入方式は，1.5 倍のとき元データの 2 画素に 1 画素同じデータを挿入する．1.25 倍のときは 4 画素に 1 画素同じデータを挿入する．逆に，0.75 倍の縮小の場合には単純削除方式となり，4 画素に 1 画素のデータを削除することとなる.

このとき，モニタとしての用途を考慮すると，テキスト表示に対する画質が問題となる．特に，縮小方向における単純削除方式は，図 2.8 に示すような細線の欠落による文字の誤認識や，罫線の欠落等の問題が発生する．このような細線を保持することがスケーリング方式では必要となる.



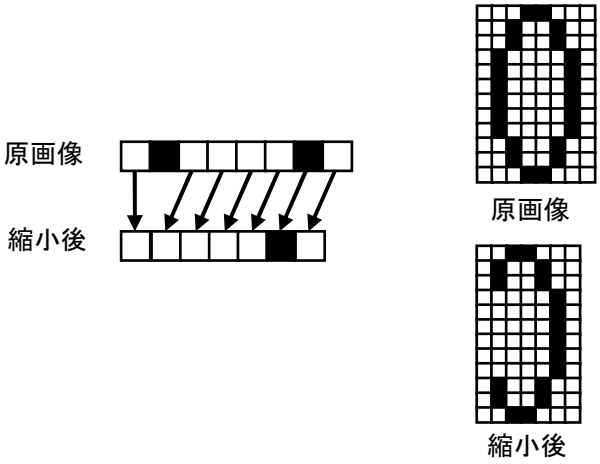
(a)　拡大　　(b)　縮小

図 2.6　サポート解像度別拡大／縮小倍率の設定



(a)　1.25倍拡大　　(b)　0.75倍縮小

図 2.7　単純挿入／削除方式による解像度変換処理



(a)　概念　　(b)　文字形状

図 2.8　単純縮小と文字細線の欠落

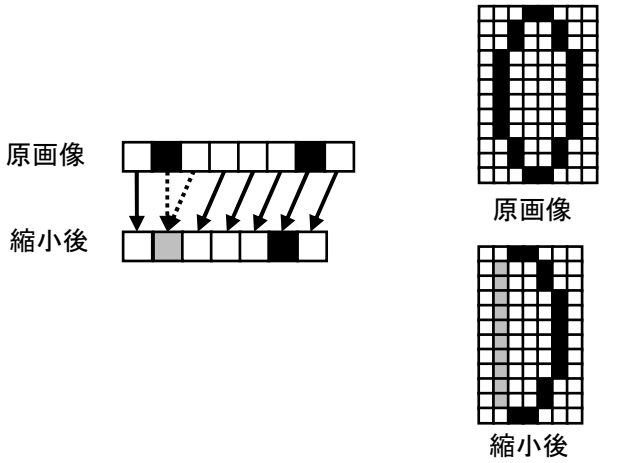
(2)　中間調挿入方式

細線の欠落を防止する方式として，中間調挿入方式を図 2.9 に示す．単純挿入方式は，1.5 倍のとき元データの 2 画素の間に挿入するデータを両隣のデータの平均とする．1.25 倍のときは 4 画素に 1 画素挿入するデータの両隣のデータの平均をとる．逆に，0.75 倍の縮小の場合には，4 画素に 1 画素削除するデータの隣のデータを削除するデータとの平均に置き換える．

このとき，図 2.8 に示す単純挿入／削除の場合のような細線の欠落はないものの，図 2.10 のように異なる文字として認識される恐れが出てくる．よって，細線の欠落を防ぐとともに，文字形状を保持するスケーリング方式が必要となる．

(a)　1.25倍拡大　　(b)　0.75倍縮小

図 2.9　中間調挿入方式による解像度変換処理



(a)　概念　　(b)　文字形状

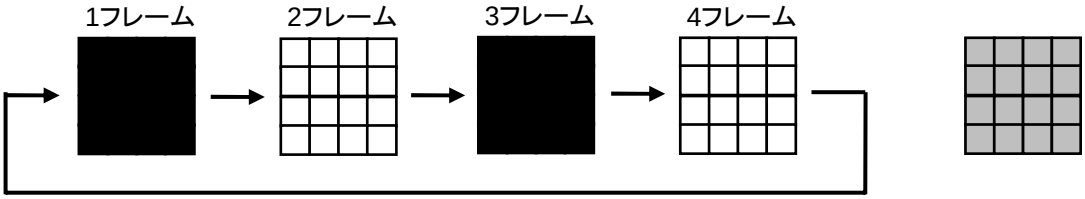
図 2.10　中間調挿入と文字の変形

2.2.3　デジタルデータの多色化処理と問題点

アナログデータとデジタルデータの大きな違いに表示できる色数がある．アナログデー

タに対応する表示色数は基本的には無限となり，これがアナログ表示におけるフルカラーと定義される．これに対し，デジタルデータはビット数に応じた色の組み合わせとなる．例えば，RGB 各色 6 ビットのデジタルデータの場合，2^6＝64 階調の表示が可能であり，色数にすると 64^3＝約 64 万色表示となる．ここで，デジタル表示のフルカラー表示とは十分に自然な映像を行うことができる 8 ビット，1670 万色表示とされているため[23]，アナログモニタの置き換えとしては 8 ビット 1670 万色表示が必要となる．ここで，LCD-TFT は低コスト化のため 6 ビットのデジタルデータ駆動回路を搭載する場合もあり，デジタルデータ処理により 1670 万色相当の表示性能を得る回路が必要となる．

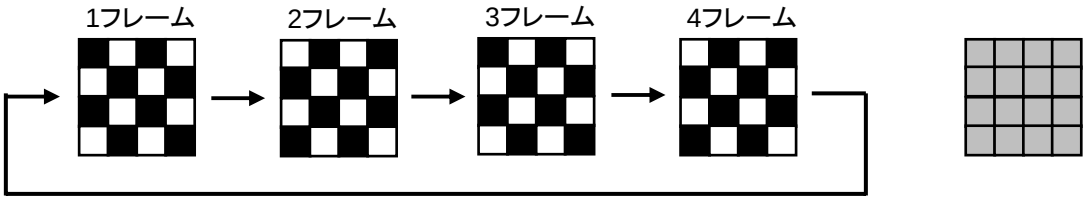
このための方式の一つとして FRC 方式[24][25][26]がある．FRC とは Frame Rate Control の略であり，図 2.11 に示すように，フレームと呼ばれる 1 画面更新周期で 2 レベルの輝度を切り替えて表示させ，人間の目にはその中間の輝度を見せる方式である．



(a)　表示状態　　(b)見た目の輝度

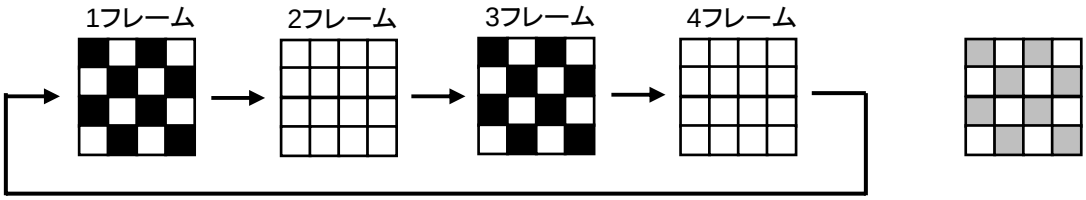
図 2.11　Frame Rate Control 方式

ここで問題となるのが，2 種類の輝度を切り替えることにより発生するフリッカである．LCD では，画面内の全画素に対して同じタイミングで FRC を行うと見えやすくなるフリッカを，図 2.12 に示すように，空間変調方式と呼ばれる画素ごとにタイミング変える FRC によってフリッカを見えにくくしている．ただし，この場合でも，図 2.13 に示すような表示パターンでは，全画素が同じタイミングとなってしまうため，フリッカが発生する恐れがある．



(a)　表示状態　　(b)見た目の輝度

図 2.12　空間変調 FRC 方式



(a)　表示状態　　(b)フリッカあり

図 2.13　空間変調 FRC 方式でのフリッカ発生

2.3　回路設計

本節では，先に示した課題に対する回路設計について説明する．

2.3.1　PLL 回路の設計

CRT I/F 変換においては，PLL の発振周波数範囲が，21.05～135[MHz]と 6.4 倍の広範囲な周波数なる．VCO は周波数範囲が狭い方が，要求性能であるジッタの少ない回路を設計しやすいことから，図 2.14 に示すとおり，高速の VCO クロックを生成し，表示モードによって異なる分周比（1，2，4 あるいは 8）で分周することにより，VCO の発振周波数を狭くする構成とした．したがって，モード別の分周比（N1 分周，2 or 4 or 8 分周）は表 2.2 のとおりとなり，VCO の発振周波数範囲は約 100～168[MHz]と，2 倍以下に抑えることができる．

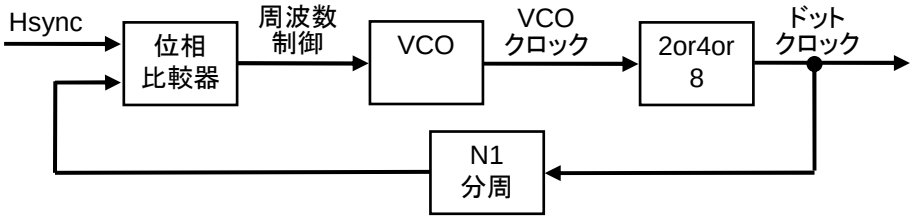


図 2.14　CRT I/F 変換回路における PLL 回路構成

表 2.2　分周比と発振周波数

#	解像度	fH(kHz)	fD(MHz)	N1	fVCO(MHz)	分周
1	640×350	31.470	25.175	400	100.698	4
2	640×400	24.830	21.050	424	168.400	8
3	640×400	31.500	25.180	400	100.720	4
4	640×480	37.860	31.500	416	126.000	4
5	640×480	35.000	30.240	432	120.960	4
6	640×480	31.500	25.180	400	100.720	4
7	800×600	35.156	36.000	512	144.000	4
8	800×600	37.879	40.000	528	160.000	4
9	800×600	48.077	50.000	520	100.000	2
10	1024×768	48.360	65.000	672	130.000	2
11	1024×768	56.476	75.000	664	150.000	2
12	1280×1024	63.380	108.000	426	108.000	1
13	1280×1024	79.225	135.000	426	135.000	1
14	1280×1024	78.000	135.000	433	135.000	1

は最大，最小周波数

2.3.2　解像度変換処理回路の検討

次に解像度変換のためのデータ処理方式について検討する．ここでは，図 2.15 に示す階調積分方式を提案する．

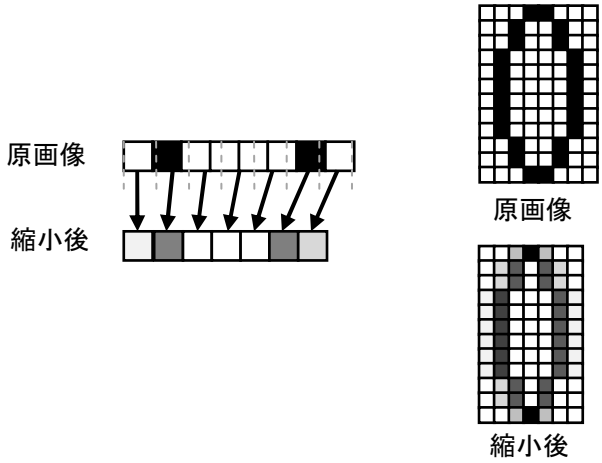
(a)　1.25倍拡大　　(b)　0.75倍縮小

図 2.15　階調積分方式による解像度変換処理

この方式は，元データの面積を解像度変換後の画素数で割ったとき，その各々の領域に含まれる階調の割合から，新しい画素のデータを補間する．例えば，1.25 倍拡大のときは，4 画素を 5 画素に拡大するため，元データ 4 画素（$D(i)$～$D(i+3)$）分を拡大後の 5 で割り，各々の領域（$D(j)$～$D(j+4)$）に含まれる $D(i)$～$D(i+3)$の階調と面積で，次式で表す階調データを補間する．

$$
\begin{aligned}
&D(j)=D(i)\\
&D(j+1)=\frac{1}{4}\times D(i)+\frac{3}{4}\times D(i+1)\\
&D(j+2)=\frac{1}{2}\times D(i+1)+\frac{1}{2}\times D(i+2)\\
&D(j+3)=\frac{3}{4}\times D(i+2)+\frac{1}{4}\times D(i+3)\\
&D(j+4)=D(i+3)
\end{aligned}
\tag{4}
$$

また，単純削除，中間調挿入で問題となった，縮小時の文字の変形について，階調積分方式の場合を図 2.16 に示す.



(a)　概念　　(b)　文字形状

図 2.16　階調積分方式によると文字の形状の維持

このように，文字として読み誤るような変形が発生しないことがわかる.

2.3.3　多色化処理回路の検討

先に説明した空間変調 FRC 方式では，特定のパターンでフリッカが発生するため，表示パターンに応じて FRC のパターンを設定する，適応型空間変調 FRC 方式を提案する [27]. この方式は同じ FRC 方式を用いる階調の画素パターンを認識し，

(a)　水平方向，垂直方向の同じ階調を表示する最寄の画素同士の FRC の切り替えパターンが必ず異なる

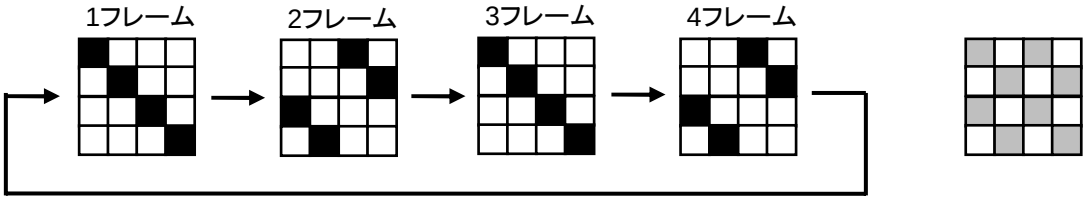
(b)　各々のフレームで同じ階調となる画素数は同じとなる

よう FRC パターンを生成する．例えば，図 2.17 に示すようなチェッカパターンの場合，

グレー表示の画素のうち，第 1 行第 1 列の画素が奇数フレームで“黒”となる場合，水平方向の同じグレー表示の最寄の画素である第 1 行第 3 列の画素，および垂直方向の同じグレー表示の最寄の画素である第 3 行第 1 列の画素は，反対に偶数フレームで“黒”となるよう，FRC パターンを設定する．その結果，各々のフレームのパターンは，図 2.17 に示すとおりとなる．

この方式により，フリッカのない FRC 方式を実現する．

また，64 階調を，フルカラー相当の 256 階調表示とするため，n 階調と n+1 階調の間に図 2.18 に示す擬似階調 3 レベルを挿入する形で，64＋63×3＝253 階調を実現することとする．



(a)　表示状態　　(b)フリッカなし

図 2.17　適応型空間変調 FRC 方式

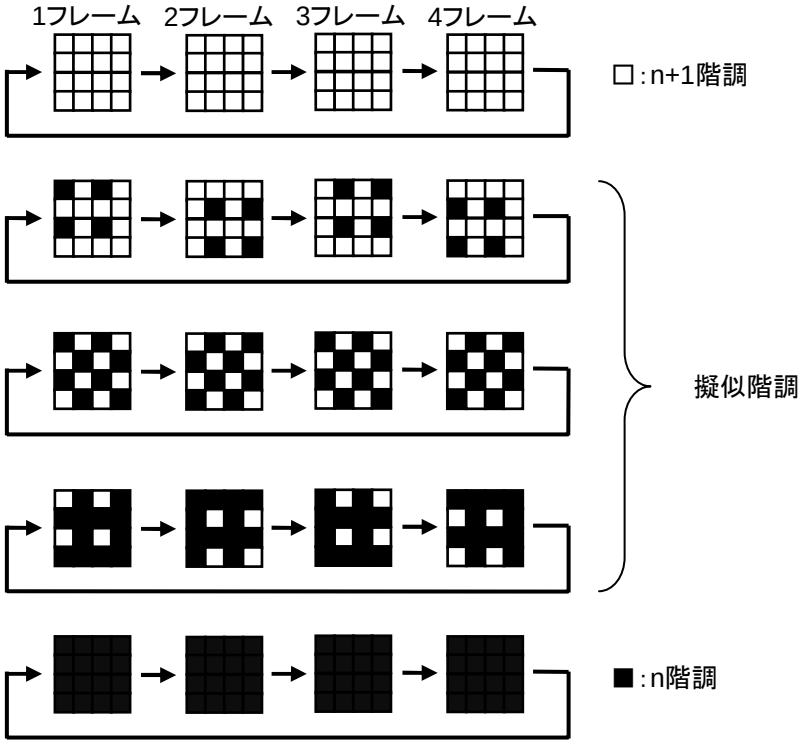


図 2.18　64 階調から 253 階調化する FRC 方式

2.4　適用結果と考察

本節では，先に示した課題に対する回路設計について説明する．

2.4.1　PLL 回路評価結果

VGA（ドットクロック 25[MHz]）と，XGA（ドットクロック 75[MHz]）の 2 種類のモードについてジッタを測定した結果を表 2.3 に示す．

PC 性能は，Hsync の周期を 1000 サンプル測定したときのばらつきを正規分布と仮定し，標準偏差で表したものである．これを Hsync ジッタと呼ぶ．また，PLL のジッタは，Hsync とドットクロックの位相差を 1000 サンプル測定したときのばらつきを正規分布と仮定し，標準偏差及び Max.値で表したものである．定常位相誤差の温度依存は，条件の厳しい XGA モードのみ，低温は 5[cm]の距離から冷却剤 30 秒噴射，高温は 5[cm]の距離からドライヤー（700[W]）30 秒噴射して測定した．以上の Hsync ジッタ，PLL ジッタ，及び定常位相誤差変動から，PLL 性能を評価する．

表 2.3　PLL ジッタ評価結果

項目			VGA	XGA
PC 性能	Hsync 周期	標準偏差	0.47[ns]	0.41[ns]
		Max.値	3.0[ns]	3.1[ns]
PLL 性能	Hsync 対 ドットクロック位相差	標準偏差	0.38[ns]	0.45[ns]
		Max.値	3.6[ns]	2.9[ns]
	定常位相誤差	Typ.値	1.15[ns]	0.95[ns]
	定常位相誤差変動	Vcc 依存	0.05[ns]	0.25[ns]
		温度依存	－	1.0[ns]

XGA モードにおいて，定常位相誤差変動＋ジッタの目標値 9[ns]以下に対して，定常位相誤差変動は温度依存が 1[ns]，ジッタの標準偏差 0.45[ns]，Max.値 2.9[ns]であることから，目標仕様を満足している．また，実際の表示でも，良好な結果を得た．

2.4.2　デジタル回路評価結果

以下にデジタル回路部の評価結果を示す．

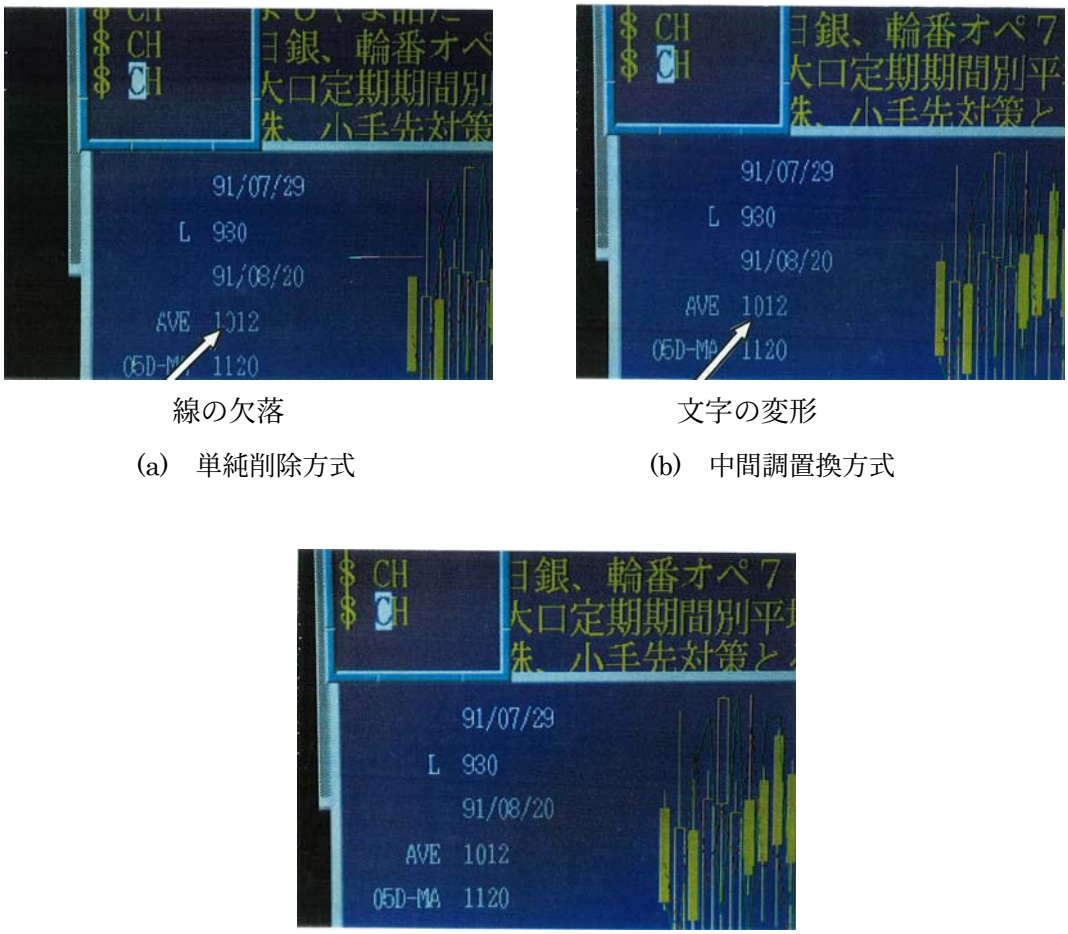
(1)　解像度変換結果

前節の検討段階で，文字に対する画質を説明したとおり，階調積分による良好な解像度変換結果が得られた．結果の写真を図 2.19 に示す．

単純削除方式では細線の欠落が，中間調挿入方式では文字の変形が見られ，階調積分方式においては文字の変形が見られないことがわかる．

(2)　多色化表示結果

FRC 方式により，64 階調の間 63 箇所に，1/4，2/4，3/4FRC の中間調を挿入することにより，253 階調，1613 万色表示を実現し，目視において，階調数，フリッカともに問題がないことを確認した．



線の欠落

(a)　単純削除方式

文字の変形

(b)　中間調置換方式

(c)　階調積分方式

図 2.19　解像度変換方式画質比較

2.5　結言

本章では，従来のモニタ I/F の主流である CRT I/F を FPD の主流である LCD に置き換えることを目的とした I/F 変換回路において，課題となるドットクロック再生，解像度変換，多色化処理を検討した．ドットクロック再生に対しては，VCO 発振周波数範囲を抑制する構成を提案した．解像度変換については，テキスト画面の文字認識のための画質を重視した階調積分方式を提案した．多色化方式については，従来の FRC 方式の課題であるフリッカを抑制する適応型空間変調方式を提案した．これらの方式を，アナログ I/F TFT-LCD モニタに搭載し，以下の結果を得た．

(1)　アナログ I/F モニタに必須となる A/D 変換を精度良く行うためのドットクロック再生回路の定常位相誤差＋ジッタマージンの目標値 9[ns]以下を満足する回路を実現した．

(2)　階調積分方式により，文字変形のない解像度変換方式を実現し，様々な入力解像度を表示できるマルチスキャン対応 TFT-LCD モニタを実現した．

(3)　適応型空間変調 FRC 方式により，フリッカのない多階調方式を実現し，26 万色表示 TFT-LCD に 1600 万色表示を実現した．

以上の結果を搭載した TFT-LCD モニタは日立製作所初のアナログ I/F TFT-LCD モニタとなる「SelecTop DT3131」として製品化された．写真を図 2.20 に示す．

図 2.20　提案方式を搭載した製品写真

第 3 章

超高解像度向けデジタル I/F 信号転送方式

3.1　緒言

本章では，従来の PC 表示装置の I/F であるアナログモニタ I/F の，デジタルへの置き換えについて紹介し，そこでの課題となる高解像度化への対応として，新しい信号転送方式である「Digital PV Link」を提案する．本方式により，デジタル I/F の高解像度対応で問題となる信号線数の増加，およびそれに伴う物理層の変更（コネクタ形状の変更）を防ぐ．

第 2 章において，従来のアナログ I/F の CRT モニタを LCD モニタに置き換えることを目的とした I/F 変換方式について説明した．そのなかで，もう一つのアプローチとして PC の I/F 自体をデジタル I/F に変更することを挙げた．この利点としては，同じく第 2 章でも説明したが，元々PC 側でのデータ処理はデジタル信号であるためモニタの I/F として出力するために設けている，アナログ変換回路が不要となることが挙げられる．しかしながら，デジタル表示データは，アナログ表示データが RGB 計 3 本の信号で済む一方，フルカラーと呼ばれる 1670 万色表示を実現するためには RGB 各 8 本，計 24 本の信号を必要とする．この信号線数の増加を抑制することを目的としたデジタル I/F 信号転送方式は，第 1 章で説明したとおり，各種差動小振幅信号転送方式が提案されており，そのなかの TMDS 方式を用いた I/F は PC 等において DVI，TV や DVD レコーダ等においては HDMI（High Definition Multimedia Interface）として広く普及している[28]．しかしながら，これらのデジタル I/F では，現状 UXGA（1600×1200）程度を上限としており，それより上の解像度（ここでは超高解像度と呼ぶ）に対応するためには，信号を並列化することが必要となる．

アナログ，デジタルに関係なく，現状の I/F における信号転送方式はラスタスキャンと呼ばれる，画面の左端上から右端下までの全データを，一定の期間内にすべて転送する方式である．これは動画でも静止画でも変わらず，つまり表示の更新がない場合でも常に，現状では 1 フレーム期間と呼ばれる 1/60 秒の間に 1 画面を必ず転送している．PC 等の画面を考えた場合，ほとんどの領域で表示データは更新されず，ごく一部のドキュメント作

成に使用している領域のみ更新を必要としていたり，動画像で考えても，NTSC 規格[29]程度の解像度であれば，更新領域は VGA（640×480）程度である．そこで，超高解像度対応の信号転送方式として，表示データの更新領域のみをパケット化して転送する「Digital PV Link」を提案する[30][31]．一定期間に転送する信号量（バンド幅）が解像度に依存せず一定となるため，従来懸念されていた信号線数の増加，物理層の変更を必要としない．また，信号をパケット化して転送するため，拡大や縮小，色制御等のコマンドも合わせて送ることを可能とする方式である．

本章では，アナログ I/F に代わる I/F として各種提案されているデジタル I/F について紹介し，それらによる超高解像度対応の問題点である信号線数の増加を解決するための提案方式「Digital PV Link」について説明する．従来のラスタスキャン方式ではなく，表示更新部分のみをパケット化して転送することにより超高解像度表示における信号線数の増加を抑制することとする．信号線数の増加の抑制以外の利点として，拡大，縮小や，色や輝度の最適化といった表示データに付随する（画質向上に貢献する）制御コマンドを一緒にパケット化して転送できる点が挙げられる．問題点としては，従来のように一定間隔で表示データが常に転送されてくる場合には次フレーム描画時に消滅する転送エラーが，更新部分のみのデータ転送では表示として残ってしまう恐れがあることが挙げられる．そこで，上記メリットを活かすデータパケット化方式とエラー救済方式の提案と合わせて，表示装置の I/F としてのエラーの起こり方や頻度を把握するため，試作機を作成し性能の検証を行い，新規方式の普及を図る手段の一つとして，標準化の提案を行う．

以下，3.2 節では，各種提案されているデジタル I/F について，従来のラスタスキャン方式と合わせて，課題を明らかにする．3.3 節では，「Digital PV Link」方式における表示データのパケット化による超高解像度への対応と，試作回路について説明する．3.4 節では，提案方式を用いることによる結果，および考察について述べ，標準化活動について合わせて紹介することにより，本方式の有用性を示す．

3.2　デジタル I/F における超高解像度対応の問題点

本節では，従来の小振幅差動信号転送方式を紹介し，本章での提案方式の着目点である更新部分のみの表示データの転送に対し，コンピュータのデータ通信等で行われているパケット化の概念[32]を適用した場合を従来のラスタスキャン方式と比較して説明し，超高解像度デジタル I/F の問題を明らかにする．

3.2.1　小振幅差動信号転送によるデジタル I/F

ここでは，小振幅差動信号方式として提案されている 2 方式について説明する．小振幅作動信号方式は LVDS 方式と呼ばれ，2 本の伝送線に元の信号と位相が反転した小振幅（350mV）信号を差動で転送する方式であり[33][34]，高速ネットワーク等で普及している方式である．以下に説明する 2 方式は，この方式をディスプレイ信号の転送に適用したものである．

(1) FPD Link（LVDS 方式）

ディスプレイ分野において LVDS 方式と呼ばれる方式（正確には，FPD Link も Panel Link も小振幅差動信号なので LVDS 方式であるが）で，ナショナルセミコンダクタ社が提案した方式である[35]．7 ビットのパラレルデータを 1 ビットにパラレル／シリアル変換し，差動ドライバで 1 ペアの小振幅差動信号に変換する．パラレル／シリアル変換のクロックは，内蔵 PLL がドットクロックの 7 倍の周波数で生成する．転送クロックは，ドットクロックの周波数のまま，差動ドライバが小振幅差動信号に変換し転送する．図 3.1 に本方式のシステム構成を示す．図 3.1 に示すように，各色 8 ビットのデータを転送する場合は，合計 28 本のデータ信号と 1 本のドットクロックを，4 ペアのデータと，1 ペアのクロックにより転送する．

本方式によるトランスミッタ及びレシーバは既に製品化されており，多くの XGA クラスの液晶ディスプレイの I/F として採用されている．また，同様の方式が，テキサスインスツルメンツ社から Flat Link[36]として製品化されている．

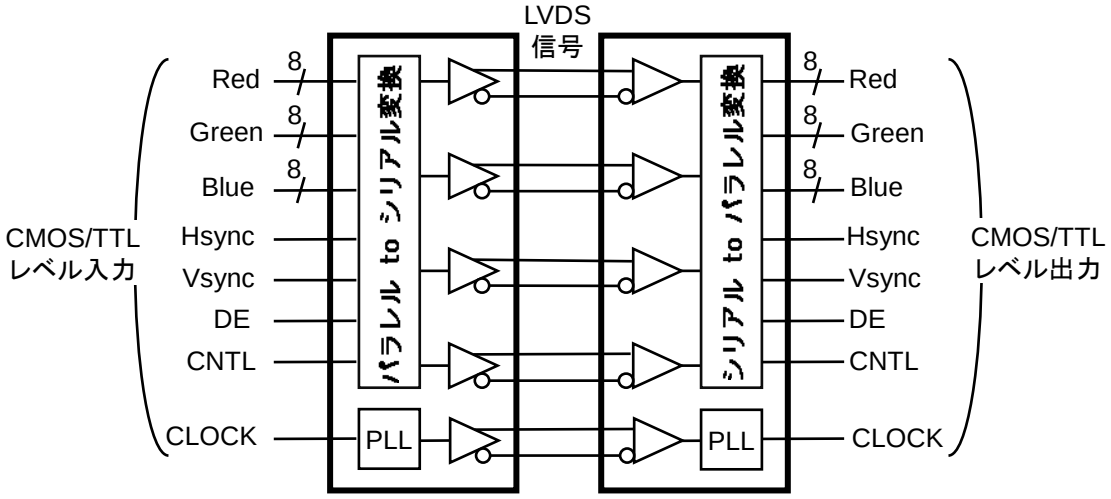


図 3.1　FPD Link システム構成

(2) Panel Link（TMDS 方式）

シリコンイメージ社が提案した方式で，10 ビットのデータを，シリアル変換したときのデータ遷移が最小となるようにエンコード（詳細は公表されていない）した後にパラレル／シリアル変換し，差動ドライバで 1 ペアの小振幅差動信号に変換する．パラレル／シリアル変換のクロックは，内蔵 PLL がドットクロックの 10 倍の周波数のクロックとして生成する．転送クロックは，ドットクロックの周波数のまま，差動ドライバが小振幅差動信号に変換し転送する．図 3.2 に本方式の送信側トランスミッタの構成を示す．Flat Link 方式に比べ，シリアル変換するビット数が多いため，RGB 各色 8 ビットのデータを転送する場合でも，3 ペアのデータと，1 ペアのクロックによる転送で済む．出力データのビット幅が 8/12 となっているのは，6 ビット/1 画素で 2 画素パラレル出力と，8 ビット/画素で 1 画素シリアル出力の 2 種類の出力形式を選択できることを示している．なお，標準化委員会である VESA では，Flat Link 方式が，一般的に LVDS 方式と呼ばれているため，Panel Link 方式を TMDS と呼んで区別している．

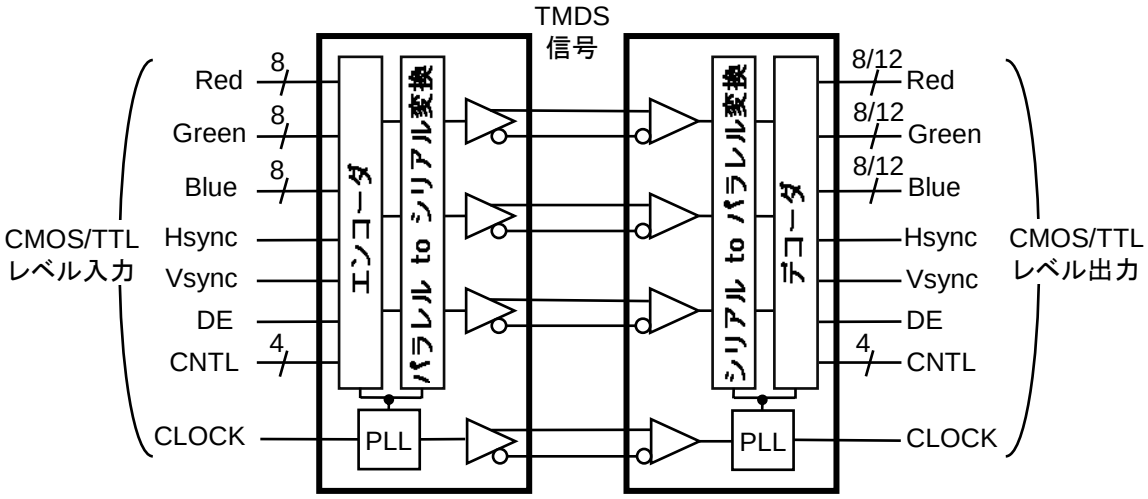


図 3.2　Panel Link システム構成

3.2.2　デジタル I/F の高解像度化における課題

デジタル I/F により，欠点であった信号線数の増加は抑制され，また，LCD モニタとして必要であった A/D 変換手段を必要としないため，低コスト化が可能となる．

しかしながら，モニタとして今後見込まれる高解像度化に対して，ディスプレイの信号は 1 フレーム期間に必ず 1 画面分のデータを転送する必要があるため，転送信号の高速化を伴うこととなる．さらにデジタル I/F では，前項で説明したとおり，信号線数を抑制するためにシリアル化を行っているため，さらなる高速化を伴う．この転送速度には限界が

あるため，高解像度化の対応には新たな転送方式の開発や，並列化による転送能力の向上が必須となる．例えば図 3.3 に示すように，TMDS 方式では，入力クロックの速度は 112MHz が上限とされており，SXGA（クロック 108MHz）が対応解像度の限界となる．これより上の解像度となる UXGA（1600×1200）以上に対しては，データの ch（チャネル，RGB 3 ペアで 1ch）数を増やすことにより対応することを示している．つまり物理的にコネクタの変更が必要となり，新規の I/F を必要とすることとなる．FPD Link 方式でも，高解像度化に対しては LDI（LVDS Display Interface）としてペア数を増やした仕様が設けられている[37].

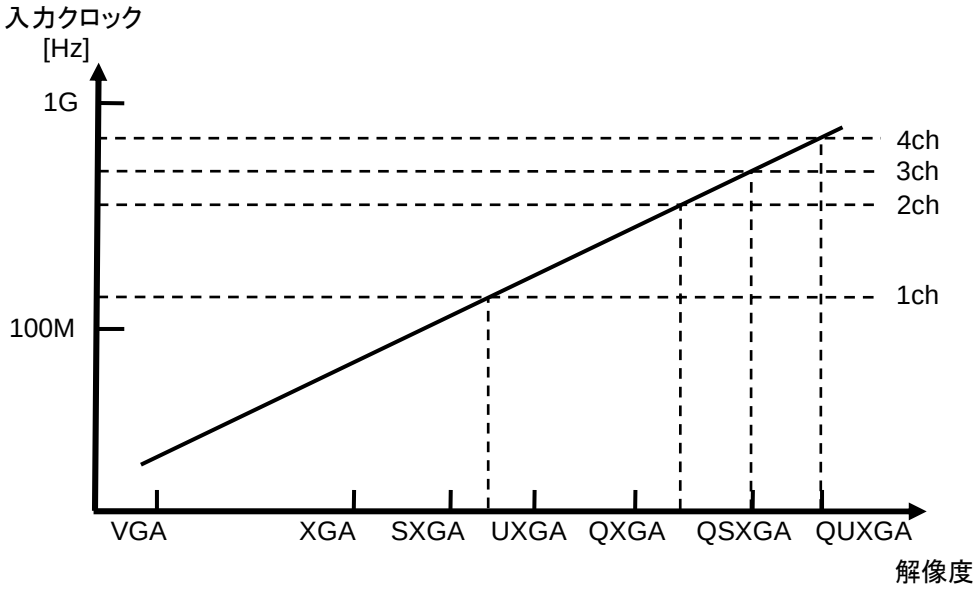


図 3.3　解像度と TMDS 方式の転送速度

そこで，物理的 I/F の変更をせず高解像度化に対応できる，新しいデジタル I/F の提案に向け，データ転送方式の提案から，将来の標準化に向けた課題の抽出，評価を行う．

3.3　Digital PV Link 方式

本節では，前節で説明した小振幅差動信号転送方式の高解像度化の課題に対し，提案の着目点である更新部分のみの表示データをパケット化して転送する概念を，従来のラスタスキャン方式と比較して説明し，超高解像度デジタル I/F の問題を明らかにする．

3.3.1　Digital PV Link の概要

はじめに，Digital　PV　Link の概要を説明する．Digital　PV　Link とは，Digital Packet　Video　Link の略であり，端末（PC 等）と表示装置の間で全画面分毎フレーム表示データを転送する従来のラスタスキャン方式に対して，表示データが変化した矩形領域の表示データのみを転送することにより，超高解像度表示に対してもデータ転送レートを上げることなく対応できる方式である．

図 3.4 にデータ転送，図 3.5 にデータフォーマットを示す．

従来のラスタスキャン方式では，画面全体の全表示データを，毎フレーム転送するのに対し，Digital　PV　Link のデータ転送は，表示データが変化した矩形領域のみの表示データを転送する．転送された表示データは，液晶ディスプレイ側のフレームバッファに一旦格納され，液晶ディスプレイの表示タイミングに合わせて全画面分読み出される．したがって，データ変化領域の表示データをフレームバッファ上の任意のアドレスに書き込むため，先に説明したように，領域を識別するための ID（これを Window ID と呼ぶ），表示位置，拡大率等のパラメータが必要となる．そこで，これらのパラメータを表示データに付加し，パケット化することにより，転送する表示データ毎に異なる処理を加えることも可能となると考えた．これらパケット化した表示データと各種パラメータは，通常のデジタル I/F において表示データ有効期間を示す DE（Data Enable）と呼ばれる信号を，ここではパケット有効期間を示す信号として使用し，図 3.5(a)に示すフォーマットで転送することとした．

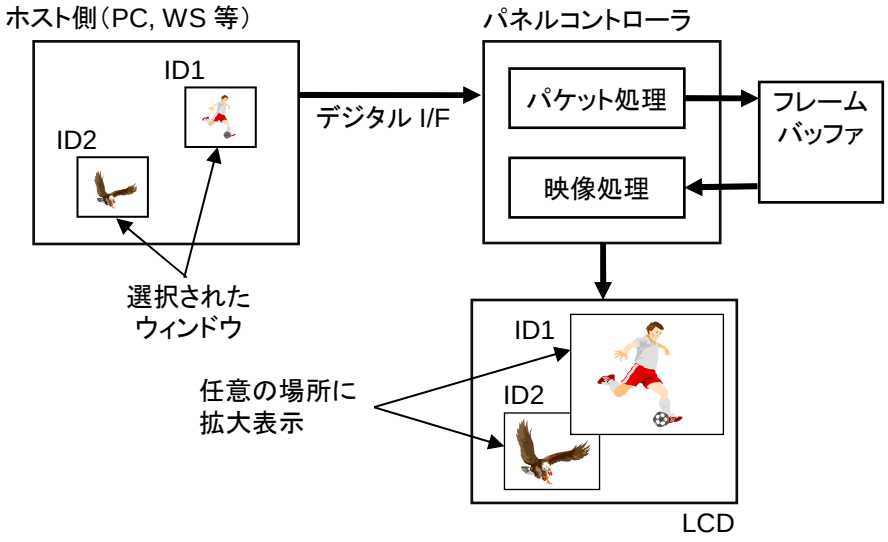
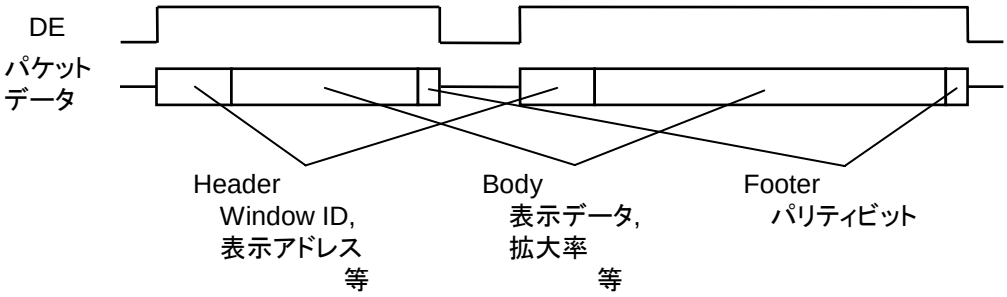
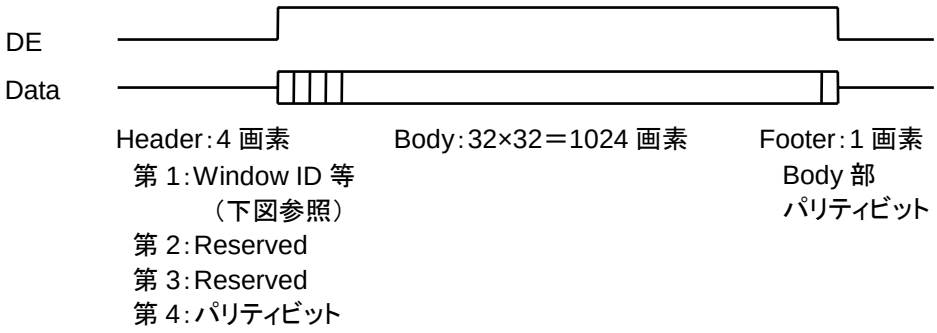


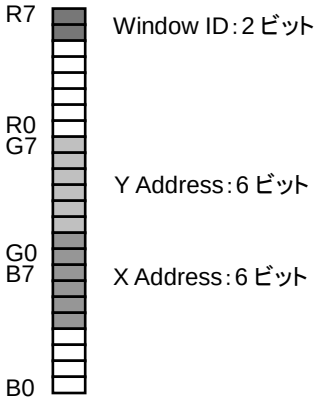
図 3.4　Digital PV Link 方式のデータ転送



(a) 転送フォーマット



(b) DE 内表示情報



(c) 画素内のビット構成 DE 内表示情報

図 3.5　Digital PV Link 方式データフォーマット

パケットデータのフォーマットは，Header，Body，Footer の 3 部分からなり，Header 部は，Window ID，表示位置アドレス等が含まれる 4 画素分で構成し，Body 部は拡大率，表示データ等が含まれる 32 画素×32 画素の矩形領域相当の 1024 画素分で構成し，Footer 部は Body 部で転送するデータのエラーチェック用パリティビットの 1 画素分で構成することとした．図 3.5(b)に，今回提案，試作を行った DE 内のフォーマットを示す．

ただし，これはあくまで一例であり，特に Body 部の表示以外の信号については，

Header 部の Reserved ビットと合わせて，自由に使うことが可能である．また，画素内のデータ構成は，従来のデジタル I/F の RGB 24 ビットの構成を利用するため，Header 部の第 1 ビットでは図 3.5(c)に示す構成としている．

3.3.2　Digital PV Link の特徴

本項では，Digital　PV　Link の特徴を示す．

(1)　ホストとディスプレイの独立

現状のシステムにおいて，ホストは全画面分の全データを一定の周期で転送する．システムがいくつかの異なる解像度のディスプレイを持つ場合，ホストは各々のディスプレイに応じて異なるパラメータを持つデータを扱わなければならず，大きな問題となる．これは，ホストがディスプレイの表示解像度や表示タイミング，または解像度の変換の要否といったパラメータを知っていなければできないためである．本方式では，ディスプレイがフレームメモリを持つため，入力と出力の表示タイミングや転送速度の関係を気にせずに扱うことができる．これにより，ホストがディスプレイの解像度と関係なく，独立した転送速度で任意の領域の表示データのみを送ることができる．この構成は，カスケード，あるいはツリー状に接続されたマルチディスプレイシステムを 1 台のホストでのサポートすることを容易にするとともに，複数のホストで 1 台，あるいはそれ以上の数のディスプレイを組み合わせることも可能とする．パケットデータがホストとディスプレイの間を各々の ID を付加して転送されるためである．このとき，ホストはディスプレイが何であるかを知る必要はないし，ディスプレイはホストがどのようなデータを送るかを知る必要はない．図 3.6 に例を示す．

1 個のパケットデータが ID2 を持ってディスプレイに転送される．ディスプレイ A と B という複数のディスプレイでは，各々がどの ID のデータを表示すべきかを設定する．もし，ディスプレイ A が ID2 を表示する設定となっていれば，自身のフレームメモリにデータを格納する．このようにしてマルチディスプレイが容易に構成でき，同様にして複数のホストがこの方式を用いて表示データを制御することも可能となる．

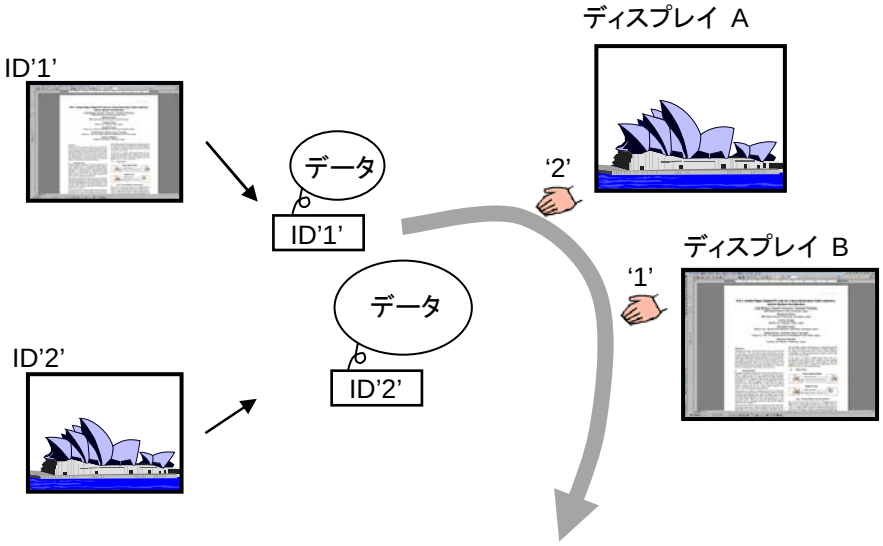


図 3.6　Digital PV Link によるマルチディスプレイ制御

(2)　フレキシビリティと拡張性

パケットデータのフォーマットは用途に応じて自由に設定できる．これは，ID を付加することで異なるタイプのデータを扱うことができるためである．一つのタイプとしては，スケーリングもなく，色調整もなく，ガンマ補正もなく，圧縮処理もないオリジナルの表示データであり，この場合はディスプレイ側でこれらの処理を行う．もう一つのタイプは，これらの処理を行うためのパラメータだけではなくコマンドや音声データといった「表示データではない」データである．したがって，ホストは様々なタイプのデータを転送することができ，ディスプレイはさまざまな機能を実現することができる．

(3)　部分領域データの転送

Digital PV Link は現在普及している物理的 I/F を継承することを目的とする．したがって，最大の転送速度は現状と同等とする．本方式では，画面上の一部分の領域のデータを異なる属性，例えばスケーリングの倍率とともに扱う．もし，画面上に 2 つのウィンドウ，テキスト画面と動画のウィンドウがあり，各々を 2 倍にスケーリングする場合，従来の方式では 4 倍の性能を必要とする．これに対し，本方式では，テキストウィンドウの表示データは高解像度を低い周波数で転送し，動画ウィンドウの表示データは低解像度で転送し，ディスプレイ側で拡大する．

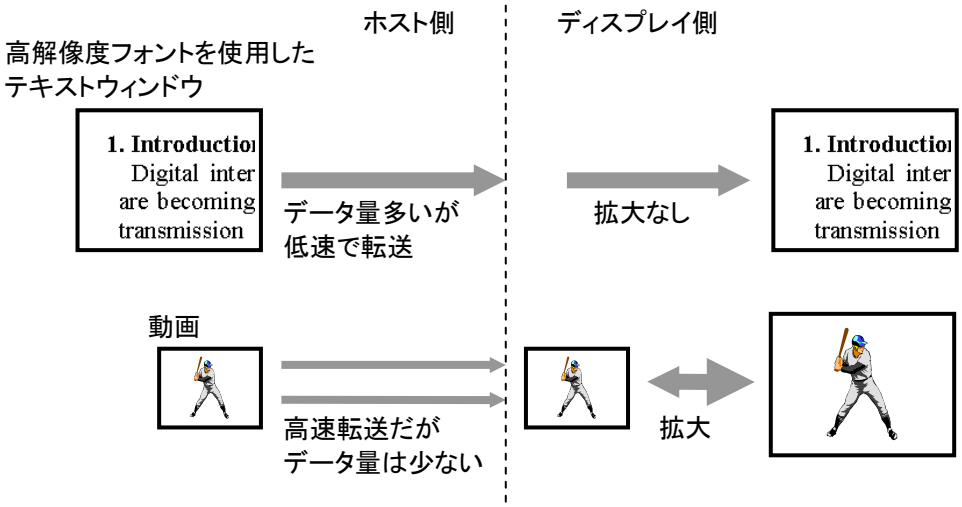


図 3.7　ウィンドウ別優先項目の設定

図 3.7 に示すように，各々の異なる領域ごとに要求される優先項目を処理することができる．例えばテキストウィンドウでは解像度が最優先ではあるが，転送速度（画面更新速度）はそれほど重要ではない．動画ウィンドウでは転送速度が最重要である一方，解像度は優先度を下げることができる．

3.3.3　Digital PV Link の課題

先の項では本方式の利点をいくつか説明してきたが，本項では，映像データの転送に適用するため課題となる項目について説明する．

(1)　エラー処理

パケット転送の利点は今までいくつか説明してきたが，映像データの転送に適用するために注意する点としてエラー処理がある．典型的なパケット転送である USB や IEEE1394 はデータ中に Ack/Nack/Busy といったフィードバックを設けている[38][39].

Digital PV Link における，2 種類のエラーとそれらのリカバリ方式について説明する．一つ目は，エラーがパケット内の表示データに発生する場合である．エラーを認識するためのハードウェア回路を設け，データの更新がない場合にはエラーパケットのみを再書き込みし，何回かのデータ転送で転送する領域内をエラーなしとする．

もう一つの場合では，エラーはパケット内の属性を示すデータ部分で発生する．この場合，エラーパケットを含む領域内のパケットデータは，全て無効として扱い，領域内全てのパケットデータの再書き込みを行う必要がある．

(2)　動画転送能力

Digital PV Link では，動画のための転送能力が重要な要素となる．動画の場合はホスト側が領域内の全てのデータを転送する必要があるためである．この転送能力は，データの入力期間，フレームメモリへの書き込み，読み出し速度，スケーリング処理速度に依存する．

将来の標準化に向け，上記 2 つの項目についての状況を把握するため，試作機を開発し評価する必要がある．

3.3.4　評価項目

評価に関しては，FPGA で試作したコントローラを用いて行うこととし，評価項目を表 3.1 に示す．以下，各々の評価項目の目的を示す．

表 3.1　Digital PV Link 試作評価項目

項目	目的	内容
転送エラー	エラーの種類	評価を通じて発生したエラーの状態を調査
	エラーレート	評価を通じて発生したエラーの発生率を調査
	表示パターンによる違い	黒べた表示でのエラー発生調査
		白べた表示でのエラー発生調査
		単色(R, G, B)べた表示でのエラー発生調査
		混色(C, M, Y)べた表示でのエラー発生調査
		各色縦１ライン繰返表示でのエラー発生調査
		各色縦２ライン繰返表示でのエラー発生調査
		各色横１ライン繰返表示でのエラー発生調査
	パケット内位置による違い	上記表示パターンでエラー発生画素の パケット内での位置調査
	パケット位置による違い	上記表示パターンでエラー発生パケットの パケット位置調査
転送能力	動画転送	メモリバンド幅から転送能力を計算

(1) エラーの種類

Digital　PV　Link　において，エラー訂正機能を盛り込むにあたり，どのようなエラーを検出しなければならないかを把握するため，評価を通じて発生したエラーの種類を調査する．

(2) エラーレート

エラーレートが目標を満足しない場合，データのフォーマット等，転送方式の見直しも必要となることから，評価を通じて発生したエラーの回数を調査し，エラーレートを計算する．

(3) 表示パターン依存

表示データ転送において，変化の多い表示パターンは，少ない表示パターンに比べて転送エラーとなりやすいことが考えられる．この場合は，表示ノイズとなって映像として現れることとなる．データの変化量は表示パターンに依存することとなるため，表示パターンに依存したエラーレートの比較が必要となる．ここで，表示パターン依存を，同 1 画素で別信号線同士のパターン依存（べた表示）と，同一信号線で変化するパターン依存（縦ライン，横ライン）の 2 種類として，以下を評価項目として抽出する．

(a) 黒べた，白べた表示

信号線のデータが全く遷移しない表示パターン．

(b) 単色（R，G，B），混色（C，M，Y）べた表示

異なる極性の信号線同士の影響を調べるためのパターン．例えば R 表示の場合は，“1”となる R 信号線と，“0”となる G，B 信号線の互いの影響を調べる．

(c) 各色縦 1 ライン繰返し表示

各色に対応した信号線が 1 画素ごとに遷移する表示パターンとなる．例えば，R 縦 1 ライン繰返し表示は，R 信号線が 1 画素ごとに遷移するため，R 信号線のデータ遷移が正しく転送されているか，また，G，B 信号線への影響を調査する．

(d) 各色縦 2 ライン繰返し表示

(c)の場合の 1/2 の転送速度となる表示パターンとなる．また，各色の信号線は，TMDS レシーバの出力以降は，2 画素並列に処理されるため，基板上の信号線ではこの縦 2 ライン表示のときに最も高速で遷移するため，データ転送のエラーに加えて，基板上の信号線でのエラー発生を調査する表示パターンともなる．

(e) 各色横 1 ライン繰返し表示

32 画素×32 画素の矩形領域を転送するため，32 画素ごとにデータが遷移する，つまり，(c)，(d)の場合に比べ，さらに転送速度を遅くした場合の，エラー調査のための表示パターンとなる．

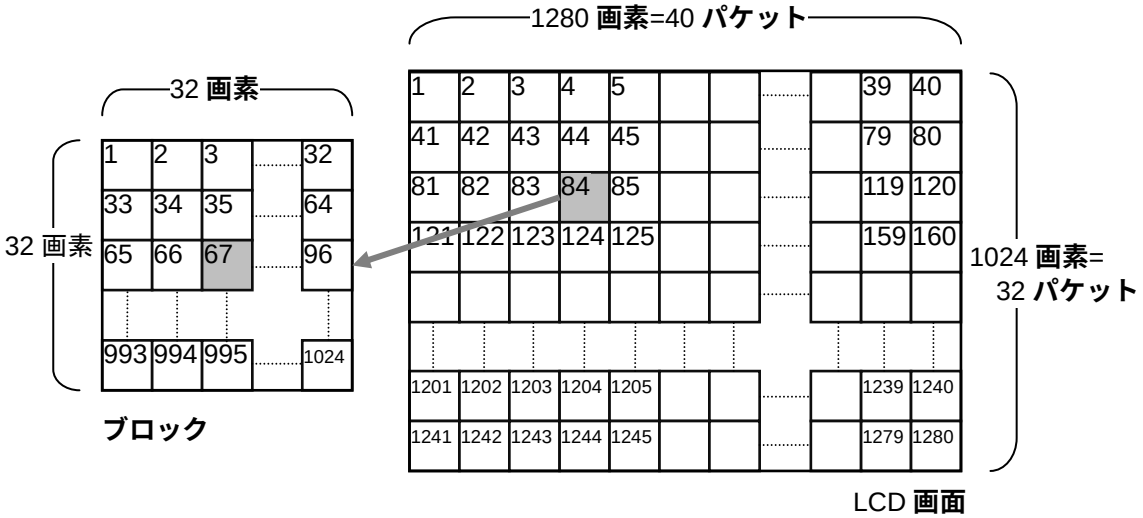
(4) パケット内データ位置による違い

先に説明したとおり，Digital　PV　Link においては，表示データが含まれる Body 部のエラーに比べて，表示データのアドレス等の表示のために必須となる情報が含まれる Header 部のエラーは，表示に与える影響が大きく，より深刻である．したがって，DE のなかでのデータ位置によるエラーレートを評価することは，将来的な Header の長さ，含めるパラメータを検討するうえで必要となる．例えば，DE の立ち上がり部分のエラーレートが高くなる傾向であれば，Header 部に含まれる情報は DE の後半に設ける等の対策や，DE の後半部分のエラーレートが高くなる傾向であれば，DE のデータ長を短くするといった対策を行う必要がある．

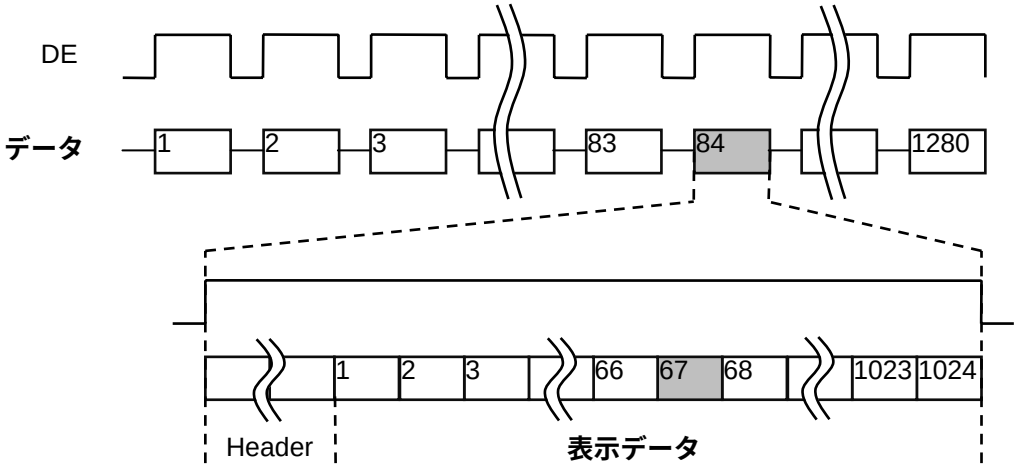
そこで，先記表示パターンにおけるエラー評価の際，エラーが発生した位置を DE のスタートから何画素目かを調査する．詳細な調査方法を次に示す．

(5) パケット位置による違い

試作機では SXGA（1280×1024 画素）の液晶でディスプレイを使用する．それに合わせて先に示した評価パターンを 1 画面分転送すると，1 個のパケットが 32×32 画素のデータを持つため，1280 回の連続した DE で，パケットを転送することとなる．したがって，上記評価パターンを 1 画面分 1280 パケット分は連続で転送し，表示エラーが発生したパケット位置を調査する．次の 1 画面分の転送は間隔を空けて行い同様の調査を行う．1 画面分のなかの送り始めのパケットと，終わり間際のパケットでエラー発生の状況が変わるかどうか，さらには，パケットが連続する場合と，間隔が空いた場合を比較することができる．図 3.8 に，1 画面上におけるエラー発生位置と，パケット位置，合わせて(4)に示したパケット内におけるエラー発生位置とデータ位置との関係を示す．



(a)　1 画面分表示データ構成



(b)　1 画面分データ転送波形

図 3.8　エラー発生位置

(a)の右側が液晶ディスプレイの画面全体であり，表示データは 32×32 画素のブロックに分割され，左上から 1，2，3 の順にブロックごとにパケット化されて右端まで転送された後，次の行の 41 のブロックが転送される．以降，下の行まで転送され最終ブロックは 1280 番目のパケットで転送されることを示している．その波形を(b)の上段に示している．ここでは，グレーのブロックでエラーが発生したものとして，以下説明する．このブロックは転送順から 84 番目のパケットとなる．(a)の左側が，上記 84 番目のブロックの画素構成を示す図である．その他のブロックも全て同様の構成である．左上から 1，2，3 の順に転送され右端まで転送された後，次の行の 33 が転送される．以降，下の行まで転送され最終画素は 1024 番目に転送されることを示している．その波形を(b)の下段に示している．

最初の 4 画素は先に説明したとおり Header となるため，5 画素目からが表示データとなる．ここでは，グレーの画素でエラーが発生したものとすると，この画素は転送順から 67 番目の画素，つまり Header も含め，DE の立ち上がりから 71 番目に転送されたデータとなる．この調査により，(4)に示した DE 内の位置とエラーとの関係を評価する．

(6)　動画転送能力

図 3.9 に表示データの入力からメモリライト／リードへの流れを示す．転送能力はここから以下の式で求めることができる．

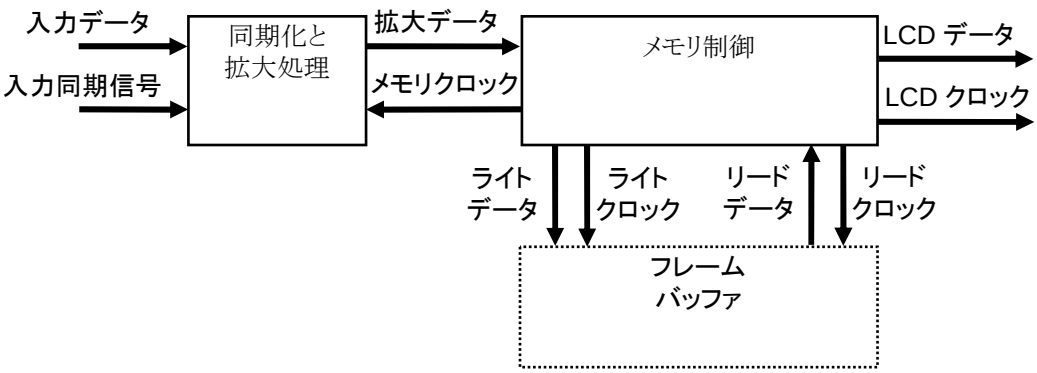


図 3.9　入力データとメモリリード／ライト

まず，メモリリードは LCD への表示データを一定の周期（リフレッシュレート）で転送する必要があることから，最優先で時間を確保する．したがってリードバンド幅（f_r）は，LCD 解像度（R_{LCD}），1 画素のビット数（b_p），フレーム周波数（f_{LCD}）を用いて，以下の式で表される．

$$f_r[\mathrm{Mbps}] = R_{LCD}[\mathrm{Mpixels}] \times b_p[\mathrm{bit/pixel}] \times f_{LCD}[\mathrm{Hz}] \tag{5}$$

メモリライトは，上記メモリリード期間以外で行わなくてはならない．したがって，ライトバンド幅（f_w）は，メモリバンド幅（f_m），リードバンド幅（f_r）を用いて，次式で表される．

$$f_w[\mathrm{Mbps}] = f_m[\mathrm{Mbps}] - f_r[\mathrm{Mbps}] \tag{6}$$

入力データはメモリライトに同期し，スケーリング倍率に応じてスケーリング処理されたデータがメモリに書き込まれる．したがって，書き込むデータ量（Q_w）は，入力解像度（R_{in}），1 画素のビット数（b_p），拡大率（r_s）を用いて，次式で表される．

$$Q_w[\mathrm{Mb}] = R_{in}[\mathrm{Mpixels}] \times b_p[\mathrm{bit/pixel}] \times r_s[\text{倍}] \tag{7}$$

スケーリング処理されたデータは，ライトバンド幅で書き込まれなければならないため，入力表示データのフレームレート（入力可能レート）は(6)，(7)式から計算でき，入力データの転送能力（デジタル I/F 転送能力）を示す入力バンド幅（f_{in}）にも依存する．したがって，動画の転送能力（f_p）は(8)式，(9)式の解のうち小さい方の値となる．

$$f_p[\mathrm{Hz}] = f_w[\mathrm{Mbps}] \div Q_w[\mathrm{Mpixels}] \tag{8}$$

$$f_p[\mathrm{Hz}] = f_{in}[\mathrm{Mbps}] \div R_{in}[\mathrm{Mpixels}] \tag{9}$$

ここで動画転送能力[Hz]とは，評価対象となる動画の解像度を 1 秒間に転送できるコマ数であり，コマ数が多いほど滑らかな動画表示が可能となることを示す数値である．

3.4　適用結果と考察

本節では，提案した Digital PV Link 方式に TMDS 方式を適用した試作を行い，転送エラーを評価した結果を示し，提案方式の有用性を検証するとともに，標準化に向けた今後の活動について説明する．

3.4.1　エラー発生結果と考察

評価結果を表 3.2 に示す．各評価パターンを 1000 画面分転送し，エラーが発生したときのパケット No.，パケット内の画素 No.，状態を示している．また，この結果から，エラーが発生したパケット No.の分布をまとめたものが図 3.10，画素 No.の分布をまとめたものが図 3.11 となる．

表 3.2　エラー評価結果

評価パターン	エラー発生箇所		
	パケット No.	画素 No.	発生状態
ベタ表示 （黒，白，赤，緑，青，シアン，マゼンタ，黄）	エラーなし		
縦１ライン繰返し表示 （白，赤，緑，青，シアン，マゼンタ，黄）	エラーなし		
白縦２ライン繰返し表示	176	462	左記画素以降の白 偶数画素全て
	654	592	左記画素以降の白 偶数画素全て
	830	602	左記白画素のみ
	139	366	左記青画素のみ
	139	990	左記白画素のみ
	1094	602	左記白画素のみ
	2	886	左記画素以降の白 偶数画素全て
	384	246	左記画素以降の白 偶数画素全て
	987	614	左記白画素のみ
	537	628	左記画素以降の白 偶数画素全て
	943	884	左記画素以降の白 偶数画素全て
	946	950	左記画素以降の白 偶数画素全て
	131	742	左記画素以降の白 偶数画素全て
	947	652	左記画素以降の白 偶数画素全て
	703	846	左記白画素のみ
	1000	362	左記画素以降の白 偶数画素全て
	243	760	左記画素以降の白 偶数画素全て
赤縦２ライン繰返し表示	125	430	左記画素以降の赤 偶数画素全て
	887	814	左記画素以降の赤 偶数画素全て
	340	466	左記画素以降の赤 偶数画素全て
	298	138	左記画素以降の赤 偶数画素全て
縦２ライン繰返し表示 （緑，青，シアン，マゼンタ，黄）	エラーなし		

マゼンタ横１ライン繰返し表示	422	482	左記画素以降のマゼンタ 偶数画素全て
	708	674	左記画素以降のマゼンタ 偶数画素全て
	704	546	左記画素以降のマゼンタ 偶数画素全て
	447	290	左記画素以降のマゼンタ 偶数画素全て
	940	482	左記画素以降のマゼンタ 偶数画素全て
黄横１ライン繰返し表示	296	706	
横１ライン繰返し表示 （白，赤，緑，青，シアン）	エラーなし		

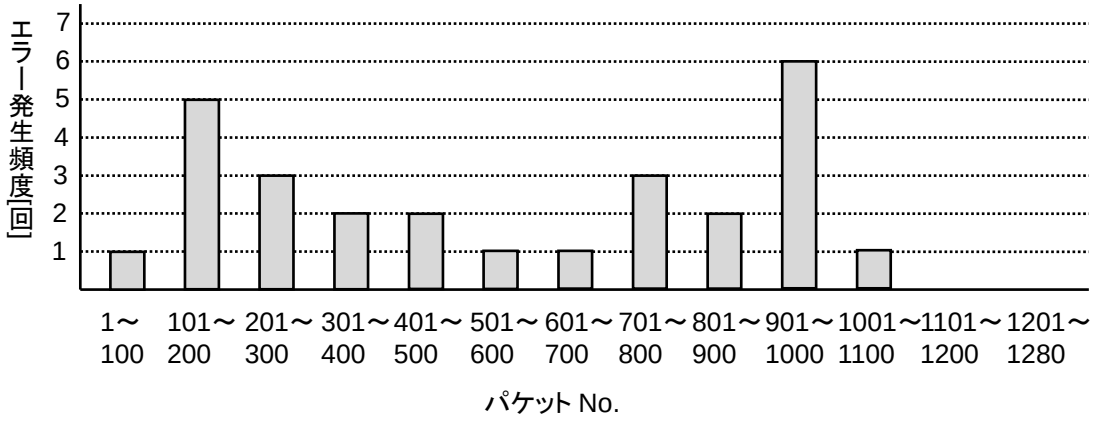


図 3.10　エラー発生パケット No.分布

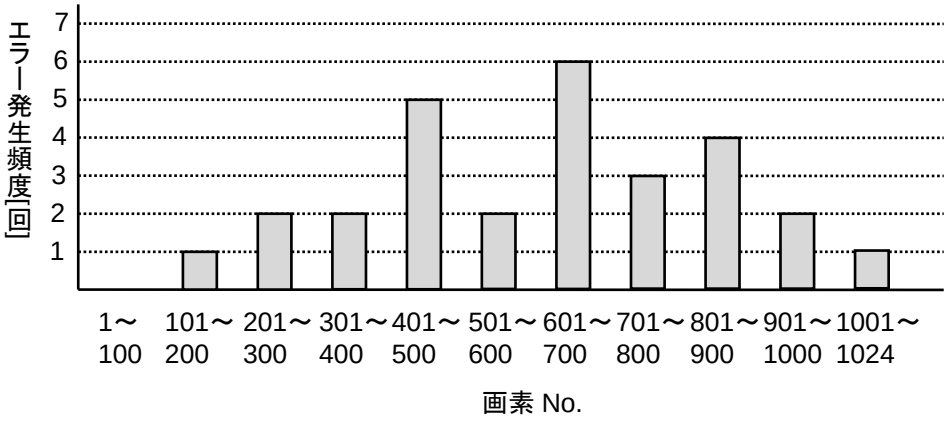


図 3.11　エラー発生画素 No.分布

以下，評価項目に従って考察を加える．

(1) エラーの種類

エラーの種類としては，以下の 2 種類が確認された．

(a)　ランダムエラー

特に規則性もなく，単一で発生するエラー．今回の調査で 6 回確認された．

(b)　フェーズエラー

今回最も多く確認されたエラーであり，ある画素以降の全ての画素がエラーとなっているエラーである．これは，データの並びはそのままで，ある時間からデータの位相がずれてしまっているためである．

また，今回発生したエラーは，全てのエラーが偶数画素で発生していることから，ディスプレイ側への転送エラーと言うよりは，基板上のエラーである可能性が高い．

(2)　エラーレート

表 3.2 から，パケット転送回数，およびエラー発生回数をまとめると，パケット転送回数は，

$$1280[\text{回/画面}] \times 1000[\text{画面/パターン}] \times 29[\text{パターン}] = 37120000[\text{回}] \qquad (10)$$

となり，エラー発生回数が 27[回]であることから，エラーレートは，

$$27[\text{回}] \div 37120000[\text{回}] = 7.27 \times 10^{-7} \qquad (11)$$

となる．

ただし，先に説明したとおり，ほとんどが基板上でのエラーである可能性が高いため，転送エラーはさらに低いものと推測できる．

(3)　表示パターン依存

ベタ表示，縦 1 ライン繰返し表示においてはエラーが全く発生しておらず，基板上での信号線のデータが遷移する縦 2 ライン繰返し表示，横 1 ライン繰返し表示においてエラーが発生していることから，PC－ディスプレイ間の転送においてのエラーは発生しておらず，

基板上での信号線の遷移の影響によってエラーが発生しているものと思われる．

この原因として，基板設計の問題が考えられる．今回の試作では，TMDS レシーバの出力を 2 画素パラレルとし，これらのデータは，基板表側の奇数画素処理用の FPGA，裏側の偶数画素処理用の FPGA へと，同一のクロック信号で各々転送されている．このとき，奇数画素データと，偶数画素データの配線長に差があると，クロックとのスキュー差に違いが，特に遷移が多い場合に生じ，奇数画素と偶数画素の同期クロックとの位相が異なることとなる．これが，今回の試作機において偶数画素にのみエラーが発生したと考えられる．

(4)　パケット位置

パケットの順番によるエラー頻度の偏りは特には認められないため，パケットの連続性によるエラー発生の違いは見られなかったといえる．

ただし，あくまで連続してデータが転送される表示データの転送とは異なる使い方であることと，今回の転送速度が 65[MHz]であり TMDS ではさらに高速な転送が考えられることから，標準化には注意が必要であると考える．例えば，帰線期間においてもダミーの DE を転送しつづけ，ダミーであることの情報を Data の Header 部分に付加するといった方式も提案することも検討中である．

(5)　パケット内データ位置

比較的パケットの後半にエラーが多い傾向があるといえる．したがって，先に深刻であると説明した Header 部分のエラーが，Body 部分に比べて多いといった傾向は見られず，実際，Header エラーと見られる表示乱れは，対外的なデモや，今回の評価を通じて一切確認されなかった．

また，パケットの後半にエラーが多いという傾向は，ブロックの分割を 32×32 画素としているところを，約半分（44%減）の 24×24 画素とした場合，エラー発生回数は 11 回と 59%減，さらに 75%減の 16×16 画素とした場合，エラー発生回数は 2 回と 93%減，と画素数削減率以上のエラー発生率の低減が見込めることからも確認できるが，基板設計が原因によるフェーズエラーが主な要因であることから，転送エラーとはあまり関係がないと思われる．

3.4.2　動画転送能力計算結果と考察

試作機においては，フレームメモリとしてアクセススピード 125[MHz]，バス幅 32[ビッ

ト]（そのうち 24[ビット]を使用）の SDRAM を 2 個使用した[40]．したがってメモリバンド幅は，

$$f_m[\mathrm{Mbps}] = 125[\mathrm{MHz}] \times 24[\mathrm{bit/pixel}] \times 2 = 6.0[\mathrm{Gbps}] \tag{12}$$

ここで，LCD のフレームレートを 60[Hz]とすると，リードバンド幅，ライトバンド幅は

$$f_r[\mathrm{Mbps}] = 2.048 \times 1.536[\mathrm{Mpixels}] \times 24[\mathrm{bit/pixel}] \times 60[\mathrm{Hz}] = 4.53[\mathrm{Gbps}] \tag{13}$$

$$f_w[\mathrm{Mbps}] = 6.0[\mathrm{Gbps}] - 4.53[\mathrm{Gbps}] = 1.47[\mathrm{Gbps}] \tag{14}$$

これらの結果から，表 3.3 の結果を得た．表 3.3 から，VGA の表示データは毎秒 199 フレーム転送可能であり，NTSC の動画データが転送可能であることがわかる．また，UXGA の表示データは，毎秒 31 フレーム転送可能であり，動画として問題のないレベルである毎秒 30 フレーム以上の転送速度は満たしていることがわかる．しかしながら，QXGA の解像度は毎秒 19 フレームしか転送できずこの条件を満足しない．さらに，VGA を 30Hz で転送した場合，2.5 倍までしか拡大できないことも示されており，これは VGA の入力データが，QXGA のディスプレイ全画面には拡大できないことを示している．ここで，グレーで示される限界条件は全てメモリバンド幅に律速している．そこで，メモリバンド幅を上げたときの例を表 3.4 に示す．

表 3.3　試作バンド幅での転送能力

解像度	拡大前 書込みデータ量 [Mb]	入力可能 周波数 [Hz]	60Hz 入力で 可能な拡大率 [倍]	30Hz 入力で 可能な拡大率 [倍]
VGA	7.4	199.4	1.8	2.5
SVGA	11.5	127.6	1.4	2.0
XGA	18.9	77.9	1.1	1.6
SXGA	31.5	46.7		1.2
UXGA	46.1	31.9		1.0
QXGA	75.5	19.5		

条件：メモリバンド幅＝6.0[Gbps]
入力バンド幅（TMDS）＝2.69[Gbps]

表 3.4　バンド幅を向上した場合の転送能力

解像度	拡大前 書込みデータ量 [Mb]	入力可能 周波数 [Hz]	60Hz 入力で 可能な拡大率 [倍]	30Hz 入力で 可能な拡大率 [倍]
VGA	7.4	364.6	3.1	4.4
SVGA	11.5	233.3	2.5	3.5
XGA	18.9	142.4	1.9	2.8
SXGA	31.5	85.4	1.3	2.1
UXGA	46.1	58.3		1.7
QXGA	75.5	35.6		1.4

条件：メモリバンド幅＝9.0[Gbps]
入力バンド幅（TMDS）＝2.69[Gbps]

表 3.4 は，メモリバンド幅を 1.5 倍とした場合の例である．このとき，QXGA の解像度を毎秒 35 フレーム転送でき，VGA の入力データを 4.4 倍に拡大，つまり QXGA 全画面に拡大できることを示している．このとき，グレーで示される限界条件は入力バンド幅に律速している．つまり，これ以上の性能向上は入力バンド幅の向上，つまり，デジタル I/F の性能向上で図ることは可能であるが，現状の I/F との互換性確保を目的としていることを考慮すると限界となる．

3.5　結言

本章では，従来のモニタ I/F の主流であるアナログ I/F に代わり，高画質，低コスト化が可能なデジタル I/F について紹介し，将来的な高解像度化において課題となる物理的 I/F の変更を避ける方式として，新しい信号転送方式である Digital PV Link 方式を提案した．今後の標準化提案に向け，パケット転送での課題となるエラー発生状況を思索により確認し，以下の評価結果を得た．

(1)　現状のデジタル I/F の主流である TMDS 方式を利用した試作において，発生したエラーは 10^{-7} 程度であり，エラーの発生要因も基板上での配線によるものと推察されるため，Digital PV Link が，現状の物理的 I/F を変更することなく適用することが可能であることを確認した．

(2) 本方式は，ディスプレイの標準化団体である VESA（Video Electronics Standards Association）に提案し，現在標準化に向けた仕様策定が進められている[41].

今後の課題として，発生率が低いとはいえエラー訂正は必須となると考えられ，信号転送側となるシステム側も含めたエラー訂正方式を盛り込むことが必要となる.

第 4 章

OLED ディスプレイ高画質 I/F 変換方式

4.1　緒言

本章では，LCD に代わる次世代の表示デバイスとして開発の進んでいる OLED ディスプレイに対応するため，従来の LCD I/F から OLED I/F に信号を変換する方式について，LCD I/F との互換性を保ちつつ，OLED の持つ高画質という特長を活かし，課題である TFT ばらつきと寿命に対する駆動方式を提案する．

OLED は自発光素子であるため，LCD の課題であった視野角依存性がなく，黒輝度が低いため，広視野角，高コントラストなディスプレイを実現できる．また，LCD に必要なカラーフィルタやバックライトが不要であることから，部品コストの削減や薄型化を実現できる．これらの特長から，LCD に代わる次世代の表示デバイスとして開発が進んでいる．しかしながら，LCD と異なり，OLED は素子に流れる電流量で階調を制御する方式をとるため，駆動を制御するためにガラス基板上に形成する TFT の特性ばらつきの影響が大きい．これは，TFT の特性ばらつきにより OLED 素子に流れる電流量がばらつき，輝度の面内ばらつきとして現れるものである．また，自発光素子の最大の課題として，経時劣化による寿命が挙げられる．OLED のみならず，CRT や PDP（Plasma Display Panel）といった自発光素子は，使用時間に応じて輝度が低下する．一般的には，輝度が半減する時間である輝度半減寿命が装置の寿命とされている[42].

従来，TFT の特性ばらつきによる輝度ばらつきを抑制する駆動方式として，OLED 素子に流れる電流量が一定になるよう，TFT 特性を記憶した上で信号電圧を書き込む（容量に蓄積する）方式が提案されている．この定電流駆動方式は，輝度ばらつきの抑制のみならず，経時劣化による輝度低下も抑制できる方式であるが，特性ばらつきや，経時劣化により定電流となるための電圧が変動するため，電源電圧を高く維持しておく必要があり消費電力に問題が発生する．そこで，従来と同様に TFT 特性を記憶し，記憶した特性ばらつきに応じた信号電圧を書き込み，書き込まれた電圧に応じて，電流量ではなく OLED 素子の発光（ON）と非発光（OFF）の時間を制御することにより，ばらつきを抑制する C.I

（Clamped Inverter）方式が提案されている[43][44][45][46][47][48][49]．素子の ON と OFF のみで中間電流による発光が存在しないため，TFT 特性のばらつきの影響を受けにくく，発光が定電圧による駆動となるため，定電流駆動と比較して消費電力を低く抑えることができる．しかしながら，定電流駆動に比べて寿命では不利となるため対策が必要となる．

本章では，LCD に代わる次世代の表示デバイスとして，高画質，薄型化を実現できる OLED ディスプレイにおいて，OLED 素子を駆動するためにガラス基板上に形成される TFT の特性ばらつきの影響と消費電力を抑制する C.I 駆動方式について説明し，課題となる経時劣化による輝度低下を抑制することにより長寿命化を実現する駆動方式について説明する．C.I 駆動は定電圧駆動であるため，定電圧に対する電流量を監視することにより劣化状態が把握できることと，発光電源の電圧によって発光輝度を，階調バランスを崩さずに制御可能であることに着目する．OLED 素子の劣化は，使用時間に応じて電流が流れにくくなることにより輝度が低下することによるものである．したがって，素子に流れる電流量を監視し，常に一定に保つように発光電源の電圧を制御することにより輝度低下を抑制し，長寿命化を実現する．また，素子の劣化が，使用時間に応じて電流が流れにくくなることにより輝度が低下する以外に，電流に対する発光輝度が低下することによるものもあり，定電流駆動ではこの発光輝度の低下は抑制できない．これに対し，定電圧駆動である C.I 駆動は，電流に対する輝度低下を補償することも可能であり，さらにはピーク輝度制御による高画質化にも応用することができる方式である．

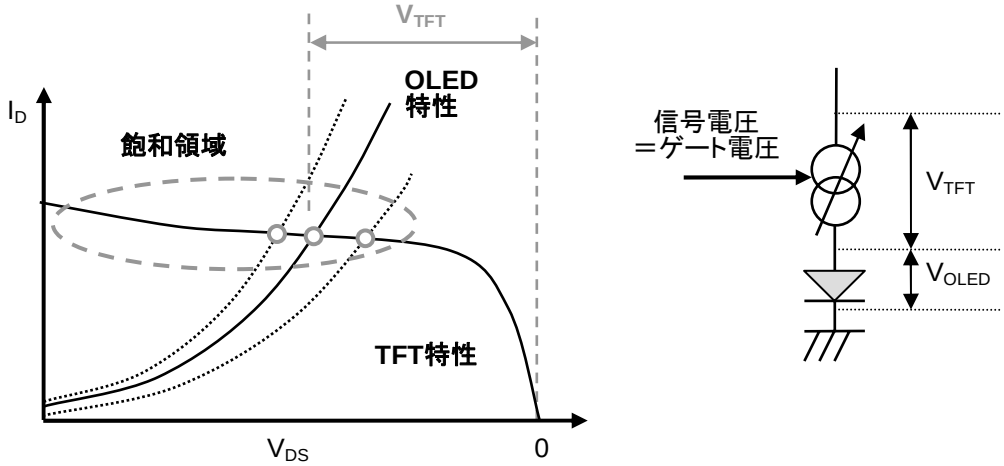
以下，4.2 節では，TFT の特性ばらつきの影響を抑制するための駆動方式について，定電流駆動と定電圧駆動を比較して説明し，課題を明らかにする．4.3 節では，TFT 特性ばらつき対策として低消費電力の特長を持つ C.I 駆動において，長寿命化駆動方式として提案する電流補償駆動について説明する．2.4 節では，提案方式を用いることによる結果，および考察について述べ，長寿命化効果を定量的に評価した結果を紹介することにより，本方式の有用性を示す．

4.2　OLED 駆動 TFT 特性ばらつき対策駆動と問題点

本節では，従来の TFT-LCD とは異なる OLED ディスプレイの画素構成，駆動方式について説明し，LCD I/F から OLED I/F への変換において，高画質，長寿命化駆動を適用する際の問題を明らかにする．

4.2.1　OLED 駆動 TFT 特性ばらつきの影響

第 1 章でも示したとおり，OLED ディスプレイは画素内の駆動 TFT で素子に流れる電流量を制御することにより，発光輝度を制御する．この駆動 TFT の使い方として，図 4.1, 4.2 に示すとおり 2 種類の方式が存在する．図 4.1，4.2 はその等価回路と，駆動 TFT の V_{DS}（ドレインーソース間電圧）－I_D（ドレイン電流）特性と OLED 特性を示す図であり，交点が発光の電圧と電流の条件となることを示している．図 4.1(a)は V_{DS} を大きくとることにより駆動 TFT を飽和領域で使用する方式を示している．V_G（ゲート電圧）によりこの特性が上下し，I_D の量を制御するため，等価回路は図 4.1(b)に示すとおりとなる．TFT 特性に対して I_D がほぼ一定となることから，以降，定電流駆動と呼ぶ．V_{DS} が大きいため消費電力も大きくなり，TFT 特性の変動（上下に変動する）に対する I_D の変動も大きくなるため，特性ばらつきによる輝度ばらつきが出やすい．ただし，OLED 特性の変動に対する I_D の変動が少ないため，OLED 素子のばらつきや，経時劣化に対しては変動が少ない．



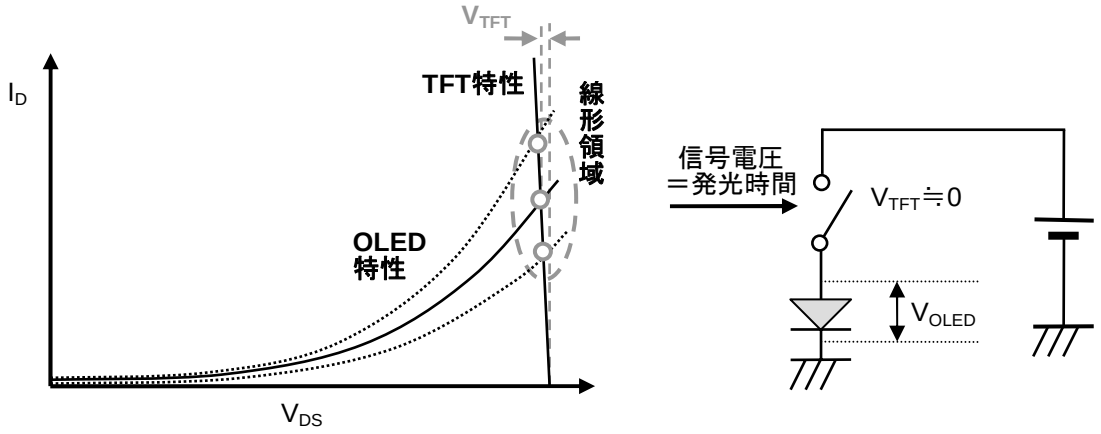
(a)　駆動 TFT 特性（飽和領域）　　(b)　等価回路

図 4.1　定電流駆動

これに対し，図 4.2 は，V_{DS} を小さくし駆動 TFT を線形領域で使用する方式を示している．V_G による I_D の変動がさほど大きくないため，電流量の制御ではなく，発光，非発光を時間的に制御することにより発光輝度を制御する．電流量ではなく，V_{DS} を一定に保つことから，以降，定電圧駆動と呼ぶ．等価回路を図 4.2(b)に示す．V_{DS} が小さいため消費電力は小さくでき，TFT 特性の変動に対する I_D の変動が小さくなるため，特性ばらつきの影響を受けにくい．ただし，OLED 特性の変動に対する I_D の変動が大きいため，経時劣化

に対する変動が大きい，つまり寿命に対して不利な方式といえる．

各々の駆動で，長所，短所が存在するが，駆動 TFT の特性ばらつきの影響が少ないことと，消費電力が小さいことから，定電圧駆動を採用することとする．



(a) 駆動 TFT 特性（線形領域）　　(b) 等価回路

図 4.2　定電圧駆動

ここから，定電圧駆動として提案されている C.I 駆動について説明する．

図 4.3 に画素構成を示す．駆動インバータと信号電圧選択信号と選択スイッチ，書込み容量の基本構成に加え，TFT 特性ばらつき対策と発光時間制御用として，リセット信号とスイッチ，三角波信号入力，三角波選択信号とスイッチを備える．

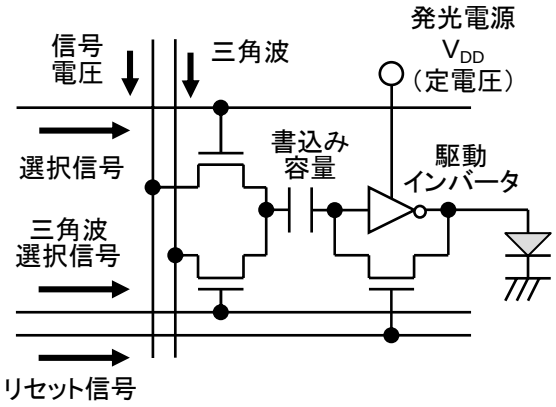
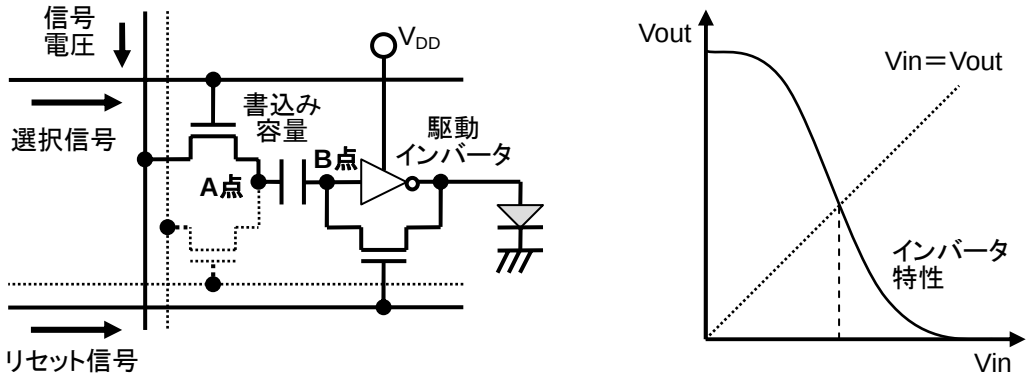


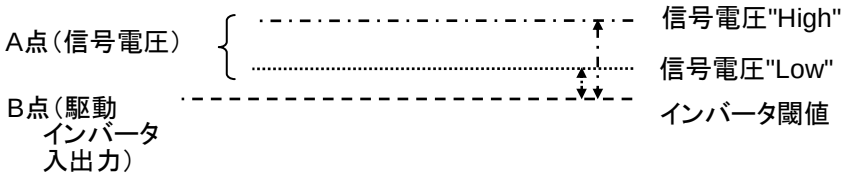
図 4.3　C.I 駆動画素構成

図 4.4，4.5 を用いて発光動作を説明する．図 4.4 は，信号書込み動作を示す．図 4.4(a) に示すとおり，リセット信号とスイッチにより，駆動インバータの入出力を短絡し，選択

信号，スイッチにより信号電圧を書込み容量に書込む．これにより，駆動インバータ入力である B 点は，図 4.4(b)に示すとおり，インバータ特性と入力 Vin＝出力 Vout となる直線との交点で示されるインバータ閾値となる．したがって，書込み容量には，図 4.4(c)に示すとおり，この閾値を基準とした信号電圧が保持される．



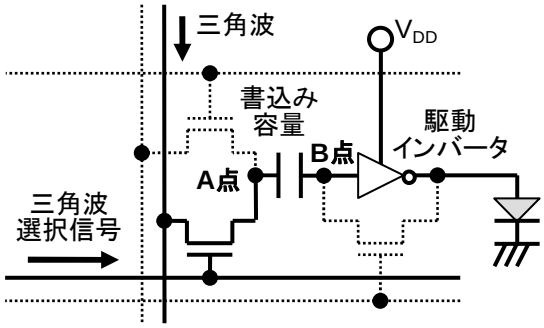
(a)　画素状態　　(b)　インバータ特性と入出力短絡



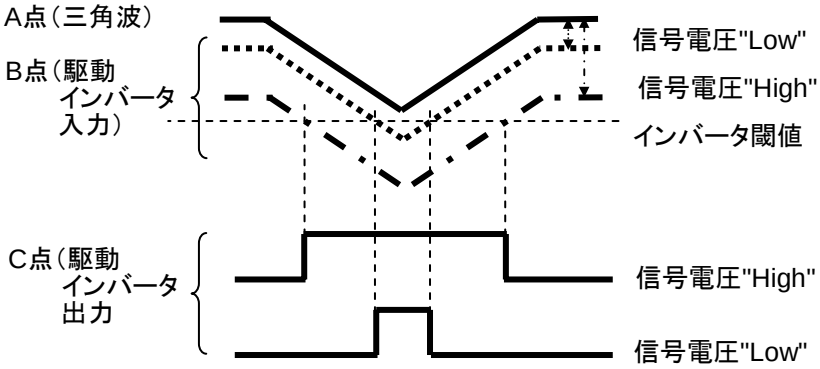
(c)　電圧状態

図 4.4　C.I 駆動信号書込み動作

図 4.5 は，三角波による発光動作を示す．図 4.5(a)に示すとおり，信号書込み後，三角波選択信号，スイッチを介して A 点に三角波を入力すると，駆動インバータ入力 B 点は，図 4.5(b)に示すとおり，書込み容量に保持されている信号電圧分シフトすることとなる．この入力は，駆動インバータの反転閾値に従って反転出力されるため，信号電圧に従った ON 出力となる間，つまり，信号電圧よりも三角波が小さくなる期間，発光することとなる．B 点の電圧シフトは，信号電圧に応じて変わるため，発光時間も信号電圧に応じて代わり，信号電圧による輝度制御が可能となることを示している．



(a)　画素状態



(b)　電圧状態

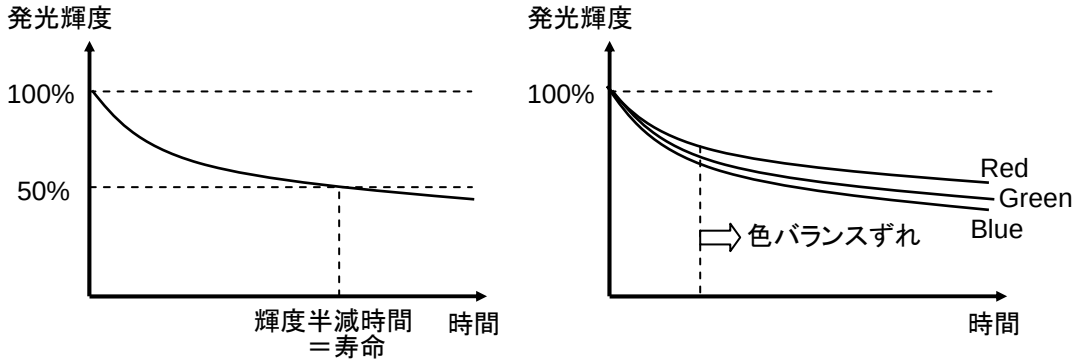
図 4.5　C.I 駆動における三角波入力による発光時間制御

4.2.2　発光時間制御方式の問題点と課題

先に説明したとおり，発光時間制御方式は定電圧駆動となる．定電圧駆動の問題点を，こちらも先に説明した定電流駆動と比較する形で説明する．

自発光素子である OLED は発光時間に応じて輝度が低下する経時劣化の問題がある．図 4.6 に示すとおり，OLED は時間に対して輝度が低下し，この輝度が初期輝度の半分になったとき，輝度半減時間が寿命とされる．また，RGB の色ごとに劣化速度が異なるため，寿命として定義はされていないが，輝度半減の前に色バランスが崩れることとなる，先ほども画素回路に示したとおり，OLED 素子はダイオードで示され，このダイオード特性は図 4.7 の右側の曲線で示す電流－電圧特性で表される．点線が劣化前の特性，実線が劣化後の特性を示す．図 4.7 の左側の曲線は，OLED 素子の輝度－電流特性を示す曲線であり，こちらも先ほどと同様，点線が劣化前，実線が劣化後の特性となる．ここで図 4.7 に示すとおり，OLED 素子の劣化は電流－電圧特性の減少の方が，輝度－電流特性に比べて顕著であり，したがって，定電流に対する輝度低下に比べて，定電圧に対する輝度低下の方が

大きいこととなる．以上の経時劣化の主要因が OLED 素子の電流－電圧特性の劣化であることから，定電圧駆動である C.I 駆動の最大の問題点は寿命ということとなる．



(a)　寿命の定義　　(b)　劣化速度の違い

図 4.6　OLED 素子の輝度低下

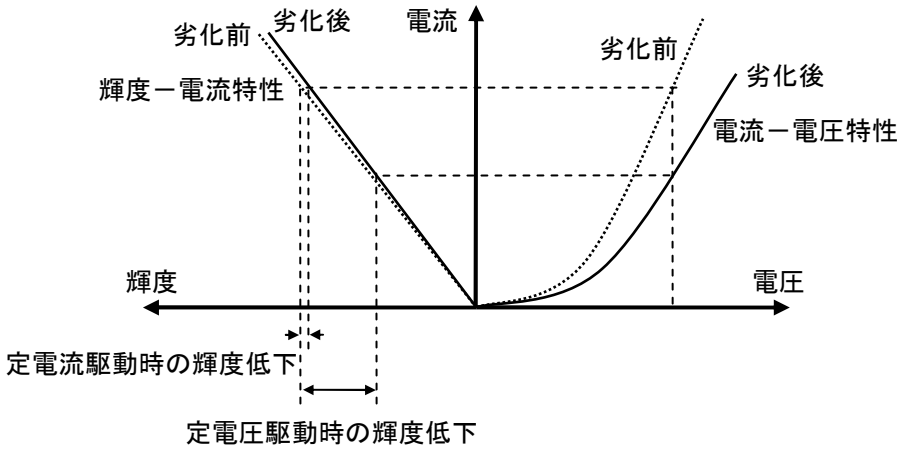


図 4.7　OLED 素子の特性劣化

次に，C.I 駆動におけるこの輝度低下対策を検討する上での課題を明確化する．

定電流駆動は電流により輝度を制御する，つまり電流制御が唯一の輝度制御方式である一方，C.I 駆動は，発光時間と電圧の 2 つのパラメータにより輝度を制御できる点に着目する．図 4.8 に示すとおり，C.I 駆動は信号電圧により発光時間（横方向）を変更し，発光輝度を制御する．明るい階調の場合を図 4.8(a)に，暗い階調の場合を図 4.8(b)に示す．これに加え，発光電源 V_{DD} の電圧（縦方向）を変更することにより，発光時間はそのままで，発光輝度を制御できる．これは，多階調表示における階調制御は信号電圧による発光時間で行い，電源電圧により表示全体の輝度を階調のバランスを保ったまま制御できるこ

とを意味する．つまり，経時劣化による電流減少を，電源電圧によって補償できることから，経時劣化の状態を検出し，劣化状態に応じて電源電圧制御によって電流減少分を補償する，電流補償駆動を検討する．

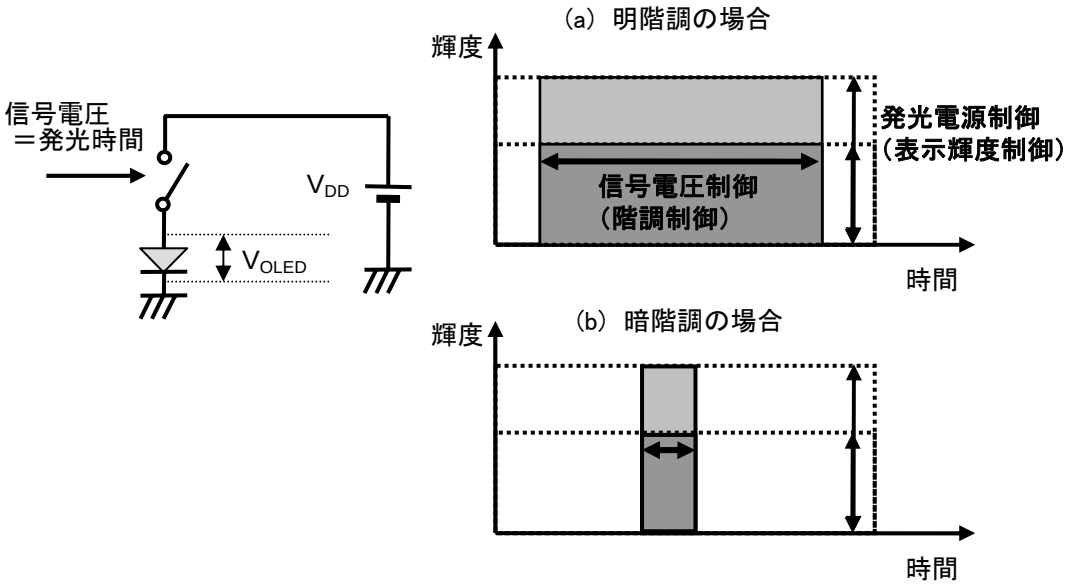


図 4.8　C.I 駆動輝度制御の 2 つのパラメータ

電流補償駆動の手順は，(1)劣化状況の把握，(2)劣化状態に応じた電流補償となり，このうち(2)の電流補償に関しては，先に説明したとおり，電源電圧の制御により可能である．したがって，(1)の劣化状況の把握が残された課題となる．

4.3　電流補償駆動

本節では，前節で説明した C.I 駆動の経時劣化による輝度低下を解決するため，電流補償駆動における劣化を把握する方式と，それを用いたシステム構成を示す．

4.3.1　C.I 駆動における電流検出の考え方

前節で説明したとおり，電流補償駆動における課題は，劣化の状態を把握することであり，また，劣化は電流—電圧特性の劣化である．つまり，劣化の状態は，電流－電圧特性から把握することができるため，電源電圧の電流量を測ることにより，ディスプレイ全体の電流量，つまり劣化の状態を知ることができる．しかしながら，一般的にディスプレイ

全体の電流量は表示状態に依存し，画面全体が明るい表示のときは電流量が多く，暗い表示のときは電流量が少ない.

そこで，C.I 駆動が発光時間制御であり，一般的なる駆動と電流の状態が異なることに着目する．図 4.9 に C.I 駆動における三角波と，ディスプレイ全体の電流量の関係を示す.

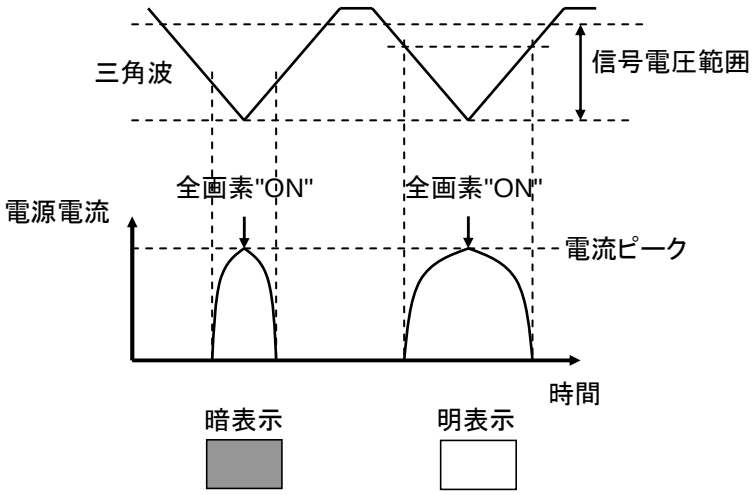


図 4.9　C.I 駆動における三角波と電源電流の関係

OLED ディスプレイの各画素は，共通の三角波によって発光時間を制御されることとなるが，黒を除いたどの階調においても三角波の頂点において必ず発光する．したがって，電源電流は，表示輝度に関係なく三角波の頂点においてピークを持つこととなり，このピーク電流により劣化状態を把握することとする.

4.3.2　電流補償駆動システム構成

前節で説明したとおり, OLED 素子の劣化速度は RGB の色ごとに異なる. したがって, システムの全体構成としては，図 4.10 に示すとおり，RGB 別に独立した電源と，各々に先に説明したピーク電流検出手段を設けることとする.

電流検出手段と電源制御を組み合わせた電流補償駆動回路の構成を図 4.11 に，動作を図 4.12 に示す.

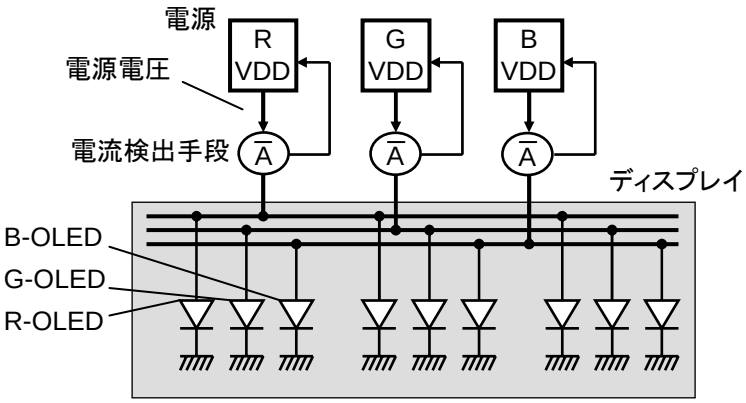


図 4.10　RGB 独立電源および電流検出手段

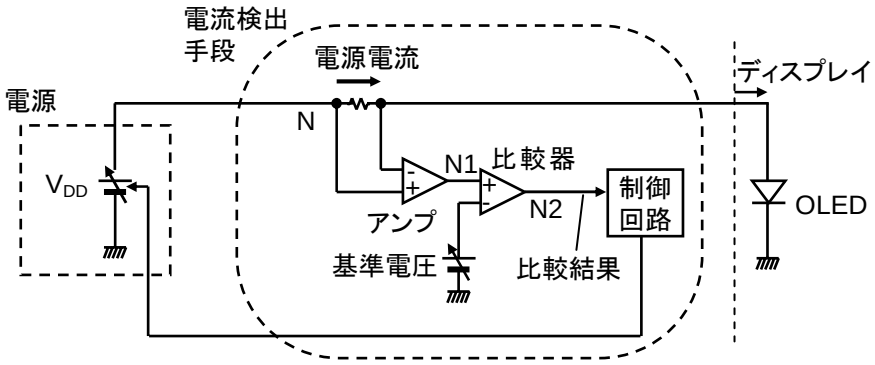


図 4.11　電流補償駆動回路構成

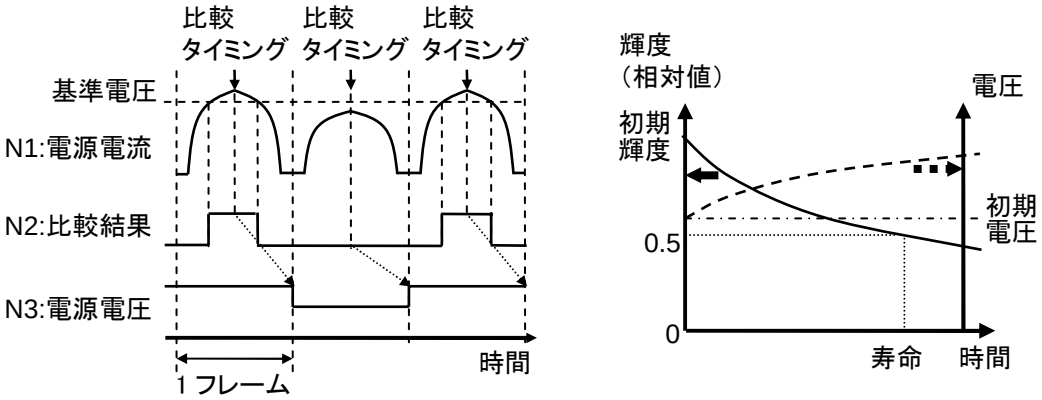


図 4.12　電流補償駆動動作

電源電流は，図 4.11 に示す抵抗により電圧に変換され，アンプを介して比較器へ入力する．この電源電流を表す電圧 N1 は，基準電圧と比較し結果を N2 に出力する．制御回路

は，図 4.12(a)に示すとおり，電流ピークとなる比較タイミングにおいて比較結果を参照し，大きい場合は電源電圧を下げる方向へ，小さい場合は上げる方向へと制御する．以上の動作により，図 4.12(b)に示すとおり，実線で示す劣化特性に対し，点線で示す電源電圧を上げることにより，一定の基準となる電流値を保つよう制御されることとなる．

4.4　適用結果と考察

本節では，提案した電流補償駆動を実際の OLED ディスプレイに適用し，寿命試験を行った結果を示し，適用前と比較した効果を定量的に評価することにより，提案方式の有用性を検証する．

4.4.1　適用対象

提案方式を適用した OLED ディスプレイの主な仕様を表 4.1 に示す．

表 4.1　評価に用いた OLED ディスプレイの主な仕様

項目	仕様
サイズ	対角 3.5 インチ
解像度	QVGA（240×320）
表示色数	26 万色（RGB 各 6 ビット）

この OLED ディスプレイは，信号電圧を印加する手段として LCD ドライバを流用しているため，I/F は LCD I/F と同様である．図 4.13 に示すとおり，FPGA により LCD ドライバ制御信号，ガラス基板上に LTPS（Low Temperature Poly Silicon）により形成された走査駆動回路と，C.I 駆動回路を制御する信号を生成する．電源部には，提案方式である電流補償駆動を行うための電流検出手段を設け，検出結果から FPGA において電源制御信号を生成する．

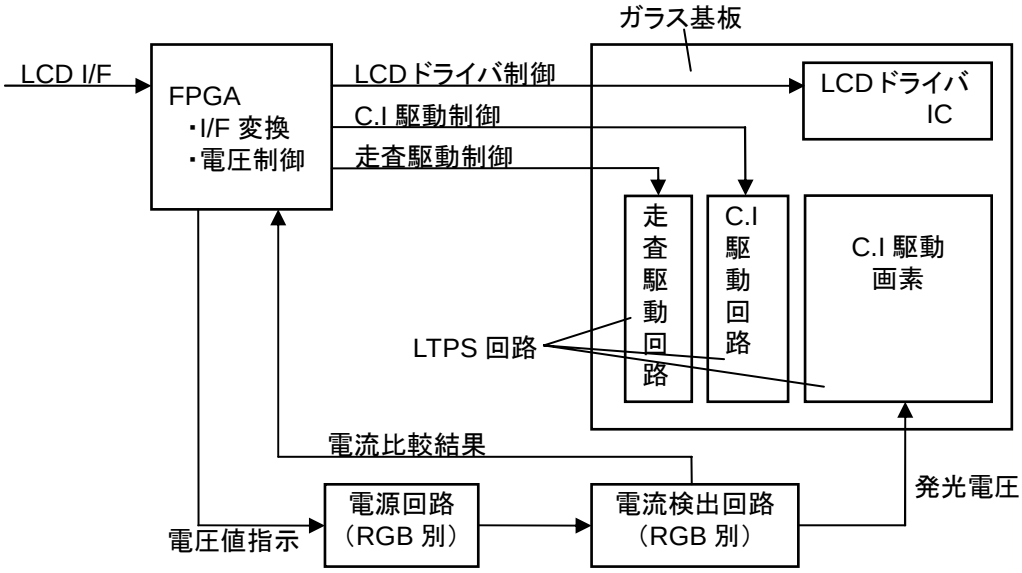


図 4.13　寿命試験用 OLED ディスプレイブロック構成

4.4.2　提案方式の性能評価と考察

寿命試験を行い，提案方式を適用した場合の輝度半減時間，つまり寿命を検証することとなるが，有用性を確認するため，適用しない場合，つまり定電圧駆動との比較が必要となる．異なる OLED ディスプレイで，適用しない駆動による寿命試験を行う方式もあるが，OLED 素子の特性ばらつきが大きく，条件が揃っているとはいえない状況で純粋な駆動方式の比較とならない恐れがある．したがって，駆動方式を適用した場合の寿命検証結果から，適用しない場合の寿命を算出し，相対的な比較を行うこととする．電流補償駆動は，定電圧駆動と比較して，劣化に伴って電圧を上昇させる方式であるため，OLED 素子にかかる負担は大きく，劣化を加速する方向となる．したがって，この負担の増加を加味して計算を行う必要がある．以下に手順を示す．

＜手順 1＞ある時間“t_n”において，定電流 I_{CC} を保つために電圧を $V_{DD}(t_n)$ に増やしたときの劣化度合い“$D(t_n)$”を，(15)式に示すとおり，電圧と電流から求められる抵抗成分の比で表す．

$$D(t_n) = \frac{V_{DD}(t_n)}{I_{CC}} / \frac{V_{DD}(t_0)}{I_{CC}} \qquad (15)$$

＜手順 2＞ここから，定電圧駆動をした場合の，劣化度合い“$D(t_n)$”における初期電圧“$V(t_0)$”を印加したときの電流“$I_{CV}(D(t_n))$”，輝度“$L_{CV}(D(t_n))$”と，同じ劣化度合いにおける電流補償駆動時の輝度（寿命試験結果）“$L_{CC}(t_n)$”の関係を(16)式で表すことができる．

$$L_{CV}(D(t_n)) = L_{CC}(t_n) \times \frac{I_{CV}(D(t_n))}{I_{CC}} \tag{16}$$

＜手順 3＞定電圧駆動において，劣化度合い“$D(t_n)$”から“$D(t_{n+1})$”まで劣化する間の平均電流を“$Ia(t_n\text{-}t_{n+1})$”とし，時間を t_{CVn}，t_{CVn+1} とする．

以上の関係を表 4.2 に示す．表 4.2 の(a)の網掛けの部分が寿命試験による検証結果（測定値）となる．

＜手順 4＞平均電流を“$Ia(t_n\text{-}t_{n+1})$”は期間ごとに減少することとなり，各々の期間での劣化曲線は，＜手順 1＞から＜手順 3＞までの手順から，図 4.14 に示すとおり描くことができる．

＜手順 5＞図 4.14 から，各々劣化度合い“$D(t_n)$”から“$D(t_{n+1})$”となるまで要する時間，“t_{CVn}”から“t_{CVn+1}”までの時間を導き出す．

表 4.2　電流補償駆動と定電圧駆動の時間，電圧，電流，輝度の関係

(a)　電流補償駆動

時間	0	t_1	t_2	t_3
輝度	$L_{CC}(t_0)$	$L_{CC}(t_1)$	$L_{CC}(t_2)$	$L_{CC}(t_3)$
発光電圧	$V_{CC}(t_0)$	$V_{CC}(t_1)$	$V_{CC}(t_2)$	$V_{CC}(t_3)$
発光電流	I_{CC}	I_{CC}	I_{CC}	I_{CC}
劣化度合い	$D(t_0)$	$D(t_1)$	$D(t_2)$	$D(t_3)$

(b)　定電圧駆動

劣化度合い	$D(t_0)$	$D(t_1)$	$D(t_2)$	$D(t_3)$
発光電圧	$V_{CC}(t_0)$	$V_{CC}(t_0)$	$V_{CC}(t_0)$	$V_{CC}(t_0)$
発光電流	$I_{CV}(D(t_0))=I_{CC}$	$I_{CV}(D(t_1))$	$I_{CV}(D(t_2))$	$I_{CV}(D(t_3))$
輝度	$L_{CV}(D(t_0))=L_{CC}(t_0)$	$L_{CV}(D(t_1))$	$L_{CV}(D(t_2))$	$L_{CV}(D(t_3))$
時間	0	t_{CV1}	t_{CV2}	t_{CV3}

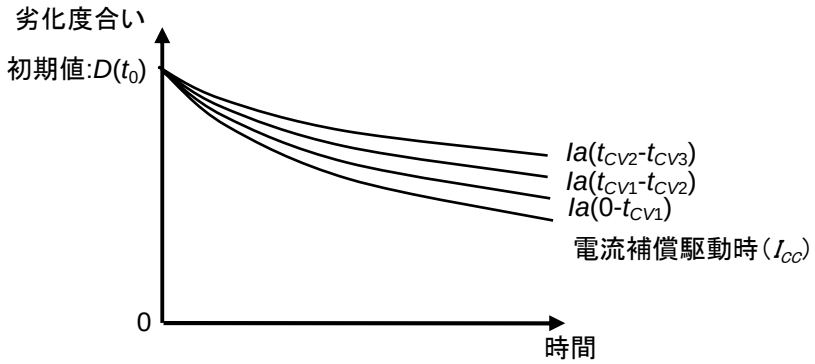


図 4.14　定電圧駆動時の期間ごとの電流減少による劣化曲線の鈍化

以上から導き出された，表 4.2(b)の網掛け部分に示す，時間“t_{CVn}”における輝度“$L_{CV}(D(t_n))$”の関係をプロットした結果が定電圧駆動時の劣化曲線となり，実測結果である電流補償駆動時の劣化曲線と合わせて描いたものが図 4.15 となる．

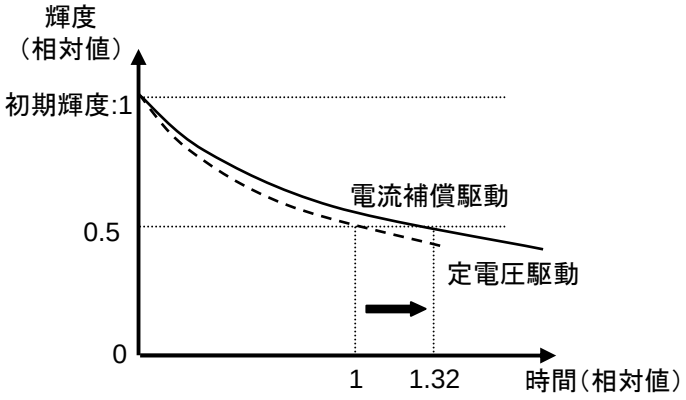


図 4.15　電流補償駆動の有用性検証結果

図 4.15 から，提案方式である電流補償駆動により，提案方式を適用しない定電圧駆動と比較して，1.32 倍の長寿命化効果を得られることを確認した．

また，色バランスに関する評価結果を図 4.16 に示す．寿命到達となる輝度半減時の色度を，定電圧駆動と電流補償駆動で比較した結果である．電流補償駆動により，x 色度ずれが 60[%]，y 色度ずれが 33[%]，低減されていることを確認し，目視でも抑制効果を確認した．

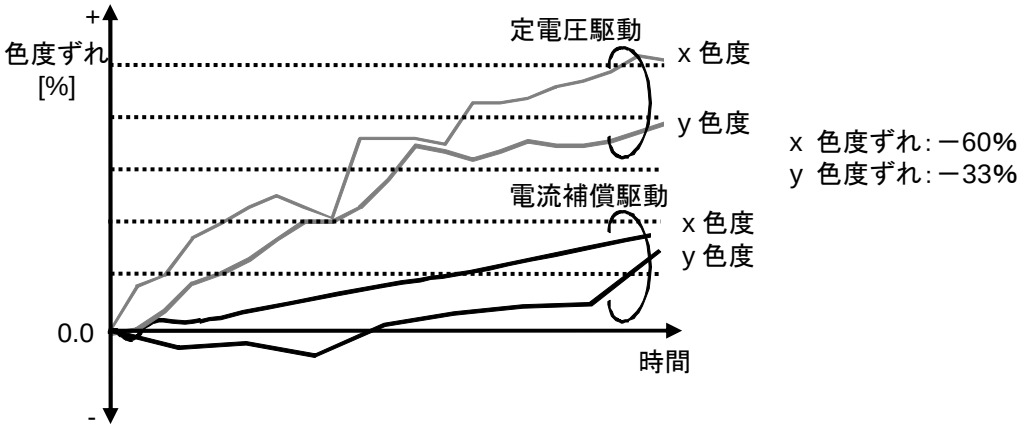


図 4.16　電流補償駆動による色バランスずれ抑制効果

次に，このときの消費電力についても確認すると，表 4.2 の条件から電流，電圧の関係が出ているため，図 4.15 の劣化特性時の消費電力の特性は図 4.17 に示すとおりとなる．

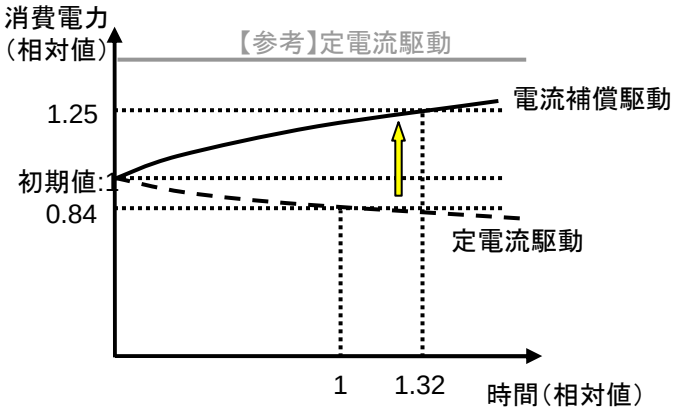


図 4.17　消費電力比較

図 4.17 から，電流補償駆動により，寿命到達時の消費電力は，初期の消費電力の 1.25 倍となるが，定電流駆動の消費電力がこのときの電源電圧よりも高い電圧を必要とする駆動であることから，問題とはならないレベルである．また，消費電力をさらに上げることができれば，更なる長寿命化効果を得ることができ，逆に長寿命化効果を抑えることにより，寿命到達時の消費電力を低く抑えることができる．図 4.18 には，図 4.17 に示した寿命到達時の消費電力から寿命到達までの平均電力を算出した値と，そのときの寿命の関係を示す．常に初期の電力を保った場合の関係が，消費電力 1 に対する寿命 1.14 倍であり，このときの消費電力を基準に 1.30 倍の消費電力をかけることで，1.32 倍と寿命を延ばせ

ることを示している．

最後に，今回の電流補償駆動の電圧制御回路を，長寿命化の他に，高画質化，低消費電力化の効果を得るための駆動に適用する．

先に説明したとおり，C.I 駆動における電圧制御は，発光時間によって制御する階調のバランスを崩すことなく，表示全体の輝度を制御することができる．したがって，この電圧制御をピーク輝度制御に適用することも可能である．映像全体の輝度が高い場合には輝度を落としても画質として影響が見えにくい（輝度が落ちたことに気づきにくい）．一方，暗い背景の中に明るい点がある場合は，明るい部分の輝度を上げることにより，明るい点が引き立ち画質が向上する．また消費電力の観点から，映像全体の輝度が高い場合には，輝度を落として消費電力を抑制し，暗い場合は元々の消費電力が低いため，電圧を上げても影響は少ない．以上の関係を表 4.3 に示す．

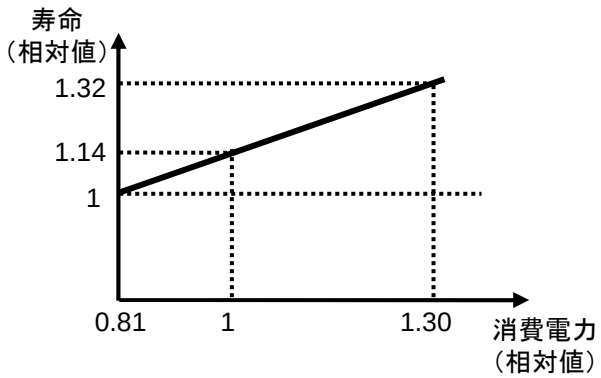


図 4.18　電流補償駆動による消費電力と長寿命化効果の関係

表 4.3　平均輝度によるピーク輝度制御と消費電力の関係

映像		
平均輝度	高	低
ピーク輝度制御	効果なし	効果あり
消費電力	高	低
電源電圧	下げる	上げる

4.5　結言

本章では，従来の FPD の主流である LCD に代わり，高画質，薄型化が可能な次世代のディスプレイとして期待される OLED ディスプレイの I/F への変換において課題となる駆動 TFT ばらつき対策として，発光時間制御により階調制御を行う C.I 駆動を提案した．また，C.I 駆動において課題となる長寿命化に対し，電流補償駆動を提案した．これらの提案方式を，3.5 インチ QVGA OLED ディスプレイに適用し，以下の評価結果を得た．

(1)　電流補償駆動の寿命試験を行い，寿命到達時の色バランスにおいて，定電圧駆動と比較して x 色度ずれを 60[%]，y 色度ずれを 33[%]低減したことを確認した．

(2)　寿命試験結果から電流補償なし（定電圧駆動）の寿命を算出し比較した結果，1.35 倍の長寿命化効果が得られることを確認した．

(3)　C.I 駆動の電圧制御を，明るい映像表示時の消費電力を抑制する電力制限駆動に，暗い映像表示時のピーク輝度を得るピーク輝度制御駆動に適用できることを確認した．

以上の結果から，従来の LCD I/F から OLED I/F への変換において，提案方式の有用性を実証した．

今後の課題として，経時劣化の画素ごとの対応（焼き付き防止）が挙げられる．

第 5 章

結論

5.1　本研究のまとめ

本論文では，情報機器の表示デバイスとして広く採用されている LCD を代表とする FPD の I/F において，使い勝手の向上，高画質化を目的としたデータ変換処理技術，データ転送方式を提案し，その効果についての研究成果を以下の 4 章に分けて述べた．

第 1 章では，FPD の I/F において，従来のディスプレイ I/F との互換性を確保することを共通の課題とし，アナログ I/F，デジタル I/F，LCD と OLED について研究動向と課題を整理し，アナログモニタ I/F の高画質デジタル変換方式，超高解像度向けデジタル I/F 信号転送方式，OLED ディスプレイ高画質 I/F 変換方式を 3 つの課題として取り上げ，それぞれの解決方針を示した．

第 2 章では，アナログ I/F をデジタル I/F に変換するなかで課題となるドットクロック再生において，もう一つの課題であるマルチスキャン機能を実現する上で必須となる，広範囲な周波数再生を実現する PLL 回路と，マルチスキャン機能を実現するために，デジタル変換後の表示データを高画質，特に文字の変形は細線の欠落を防止する拡大，縮小処理を行う解像度変換方式を提案した．これらの提案方式を TFT-LCD 搭載アナログ I/F モニタの I/F 変換回路に適用し，従来の CRT モニタ I/F との互換性を保ちつつ，モニタ用途に適用可能な画質を確認できたことから，提案方式の有効性を実証した．

第 3 章では，アナログ I/F に代わり，低コスト化，高画質化の点で有利として普及が進んでいるデジタル I/F において，高解像度化への課題となる信号線数の増加を抑制し物理層の変更（コネクタ形状の変更）を必要としないことを目的とした，表示の更新部分のみのデータをパケット化して転送する新しい信号転送方式「Digital PV Link」を提案した．従来の転送方式とは異なる方式のため，試作機によるエラーレートや動画転送能力といった性能や問題点を検証し，表示データの転送として性能的に問題ない方式であることを確認した．提案方式が高解像度化に有効な転送方式であることを実証できたことから，標準化団体への提案を行った．

第 4 章では，LCD に代わる次世代の FPD として開発が進んでいる OLED ディスプレイ駆動において課題となる，TFT ばらつきによる表示輝度ばらつきを抑制するための発光時間制御駆動方式「C.I (Clamped Inverter)駆動法」を紹介した．またもう一つの課題である寿命の問題に対し，OLED 素子の劣化状態を検出し，状態に応じて発光電圧を制御することにより輝度の劣化を補償する「電流補償駆動法」を提案した．これらの方式を適用した 3.5 インチ OLED ディスプレイの寿命試験を行い，効果を定量的に検証し，長寿命化に有効な方式であるとともに，ピーク輝度制御といった高画質化にも有効な方式であることを実証した．

5.2　今後の課題

最後に，本研究の今後の課題について述べる．

(1)　動画表示の高画質化

現在，TFT-LCD は広く薄型テレビに採用され，動画に対する高画質化，特に動画ぼやけに対する改善が，FPD の I/F 技術として要求されている．TFT-LCD の動画ぼやけを解決するアプローチとして，液晶の高速応答化と網膜残像対策が挙げられる．高速応答化については，液晶材料や駆動方式の改良が図られ，薄型テレビ用途で実用化されている[50][51][52]．一方の網膜残像は，TFT-LCD のように表示輝度を次フレームの画像切り替えまで保持するディスプレイの場合，人間は切り替え前後の 2 つの画像を重ねて認識し，画像の輪郭をぼやけたと判断する現象である[53]．これを解決する方式として，輝度の保持期間を短縮する黒挿入駆動や倍速駆動が提案，実用化されている[54][55][56]．また，本論文で説明した OLED ディスプレイの発光時間制御方式も，輝度の保持期間を短縮する，動画に有効な方式である．しかし，倍速駆動をモバイル向けに適用する場合，フレームメモリ容量の増加が問題となり，メモリ容量の削減は画質とのトレードオフとなるため，画質を損なうことのないデータ圧縮技術等による問題の解決が今後の課題である．

(2)　OLED ディスプレイ高信頼化

LCD に代わり次世代の FPD として期待される OLED 製品化の課題として，本論文でも解決方式を提案した長寿命化に続く課題として，画素ごとの経時劣化が表示として現れる現象である「焼付き」が挙げられる．共通の課題を持つ PDP においても焼付きを改善す

るアプローチが存在し，その一つが表示位置を時間経過により数画素ずらすことにより焼付き箇所を見えにくくする技術である[57]．また，OLED ディスプレイに対しても，画素ごとに OLED 素子の劣化の状態を検出し，データを補正することによる焼付きを解消する技術が提案されている[58]．しかし，このための追加回路の回路コストが問題となり，かつ，現在の主流である TFT-LCD では全く発生しない現象であることから，焼付きの解決は OLED ディスプレイの普及に必要不可欠となる．

謝辞

本研究の全般に亘り，終始懇切丁寧なるご指導とご鞭撻を賜りました大阪大学大学院情報科学研究科情報システム工学専攻 尾上孝雄 教授に心から感謝申し上げます.

本研究をまとめるにあたり，貴重なお時間を割いて頂き，丁寧なるご教示を賜りました大阪大学大学院情報科学研究科情報システム工学専攻 中前幸治 教授，大阪大学大学院情報科学研究科情報システム工学専攻 橋本昌宜 准教授に謹んで深謝致します.

筆者が大阪大学大学院情報科学研究科情報システム工学専攻博士後期課程に入学するにあたり，ご指導とご配慮を賜りました大阪大学大学院情報科学研究科マルチメディア工学専攻 薦田憲久 教授に深く感謝申し上げます.

大阪大学大学院情報科学研究科情報システム工学専攻博士後期課程に入学する上で様々な便宜を図って頂くと共に，高所よりご指導とご鞭撻を賜りました，（株）日立製作所 中央研究所 所長 小島啓二 博士に心より御礼申し上げます．本研究の機会を与えて頂くと共に，暖かいご指導とご鞭撻を賜りました，（株）日立製作所 中央研究所 前所長 福永泰 氏（現（株）日立製作所 研究開発本部 技師長），組込みシステム基盤研究所 所長 中川八穂子 氏に心より御礼申し上げます．上司として本研究の機会を与えて頂くと共に，研究を進めるにあたりご指導とご配慮を賜りました，（株）日立製作所 システム開発研究所 元センタ長 真野宏之 氏（現 日立オートモティブシステムズ（株） 主管技師長），（株）日立製作所 中央研究所 元部長 古橋勉 氏（現（株）日立ディスプレイズ 部長），元部長 西岡清和 氏（現日立情報通信エンジニアリング（株） センタ長），前部長 入江直彦 氏，部長 水野弘之 氏に心より御礼申し上げます．ならびに格別なるご指導とご配慮を賜りました，中央研究所，日立研究所，システム開発研究所，生産技術研究所内各位に心から御礼申し上げます.

第 2 章に関して，研究の機会を与えて頂くと共に格別なるご指導，ご支援ならびにご配慮を賜りました（株）日立ディスプレイズ 元開発本部長 衣川清重 氏，（株）日立製作所 オフィスシステム事業部 元部長 篠崎雅継 氏（現 日立オートモティブシステムズ（株） 事業部長）に心から御礼申し上げます．また，研究の機会を与えて頂くと共に，有用なご助言を頂き，研究成果の製品適用にご尽力されました（株）IPS アルファテクノロジ 主任技師 高橋孝次 氏，（株）日立ディスプレイズ 主任技師 栗原博司 氏，（株）日立製作所

オフィスシステム事業部 元主任技師 加藤伸隆 氏，元主任技師 浜田達蔵 氏に心から御礼申し上げます．

第 3 章に関して，研究の機会を与えて頂くと共に格別なるご指導，ご支援ならびにご配慮を賜りました（株）日立ディスプレイズ 元技術主管 二見利男 氏（現（株）茂原アテックス 技術主管）に心から御礼申し上げます．また，研究の機会を与えて頂くと共に，有用なご助言を頂き，研究成果の標準化にご尽力されました日本 IBM（株） 元次長 間宮丈滋 氏，（株）東芝 岡崎熱朗 氏，（株）シャープ 堀野真司 氏に心から御礼申し上げます．

第 4 章に関して，研究の機会を与えて頂くと共に格別なるご指導，ご支援ならびにご配慮を賜りました（株）日立ディスプレイズ 主任技師 佐藤敏浩 博士に心から御礼申し上げます．また，研究の機会を与えて頂くと共に，有用なご助言を頂き，研究成果の製品適用にご尽力されました（株）日立ディスプレイズ 部長 秋山典正 氏，技術主管 秋元肇 氏，技師 徳田尚紀 氏，中村則裕 氏に心から御礼申し上げます．

研究を進めるにあたり，日々様々なご討論ご助言を頂くと共に多大なるご支援を頂きました（株）日立製作所 中央研究所 主任研究員 工藤泰幸 博士，主任研究員 新田博幸 氏，主任研究員 景山寛 氏，元主任研究員 滝田功 氏（現（株）日立製作所 都市開発システム社 担当部長），研究員 石井雅人 氏，研究員 河野亨 氏，元研究員 西谷茂之 氏（現（株）日立ディスプレイズ 技師）， 粟倉博基 氏（現（株）日立製作所 社会・産業インフラシステム社 技師），（株）日立アドバンストデジタル 部長 鈴木哲也 氏，前田武 氏，森雅志 氏に厚く御礼申し上げます．

また，本論文の執筆にあたり，何かと便宜を図って頂きました大阪大学大学院情報科学研究科情報システム工学専攻 尾上研究室の皆様に厚く御礼申し上げます．

筆者が研究活動を始めるにあたり，千葉大学工学部電子工学科において懇切なるご指導とご鞭撻を賜りました千葉大学工学部情報画像工学科 伊藤秀男 教授に心から感謝申し上げます．

最後に，本論文の執筆にあたり，常に体調を気遣いながら，暖かく励まし支えてくれた家族に心から感謝します．

参考文献

[1] 小西信武, “ノート PC 向けからモニター向けへと発展　今後は大型液晶テレビの性能とコストに挑む”, *フラットパネルディスプレイ 2000*, 日経 BP 社, pp. 98-107 (2000).

[2] B. Sung, S. H. Hwang, and V. Da Costa, “ DVI: A standard for the Digital Monitor Interface ” in *Proc. of Society for Information Display (SID ’99)*, pp130-133 (1999)

[3] K. H. Lee, D. K. Jeong, V. Da Costa, and B. Kim, “High Speed Digital Video Signal Transmission System Using Small Swing Serial Link Technique” in *Proc. of Society for Information Display 1997 (SID ’97)*, pp. 157-160 (1997).

[4] Silicn Image, Inc. “ Panel Link™ Technology”.

[5] 内田龍男, 内池平樹, “フラットパネルディスプレイ大事典”, 工業調査会 (2001).

[6] ハリー・H・プール, 守田敬太郎, “電子ディスプレイシステム -原理と装置- ”, 日本経営出版会 (1968).

[7] National Semiconductor, Corp., “ DS90CF583/DS90CF584 Data Sheet”.

[8] ソニー株式会社, “ギガビット・ビデオ・インタフェース”, *ソニー半導体最新技術情報誌 CX-PAL38 号*, (1998.10).

[9] M. Ohara, Y. Sakaguchi, S. Furuichi, K. Kawase, T. Moriyama, F. Nakamura, and H. Ishikawa, “Digital Link: High Functional Digital Monitor Interface”, in *Proc. of Society for Information Display 1999 (SID ’99)*, pp. 118-121 (1999).

[10] R. M. A. Dawson, Z. Shen, D. A. Furst, S. Connor, J. Hsu, M. G. Kane, R. G. Stewart, A. Ipri, C. N. King, P. J. Green, R. T Flegal, S. Pearson, W. A. Barrow, E. Dickey, K. Ping, C. W. Tang, S. Van Slyke, F. Chen, J. Shi, J. C. Sturm, and M. H. Lu, “ Design of an Improved Pixel for a Polysilicon Active-Matrix Organic LED Display ”, in *Proc. of Society for Information Display 1998 (SID ’98)*, pp. 11-14 (1998).

[11] R. M. A Dawson and M. G. Kane, “Pursuit of Active Matrix Organic Light

Emitting Diode Displays", in *Proc. of Society for Information Display 2001 (SID '01)*, pp.372-375 (2001).

[12] T. Sasaoka, M. Sekiya, A. Yumoto, J. Yamada, T. Hirano, Y. Iwase, T. Yamada, T. Ishibashi, T. Mori, M. Asano, S. Tamura, and T. Urabe, "A 13.0-inch AM-OLED Display with Top Emitting Structure and Adaptive Current Mode Programmed Pixel Circuit (TAC)", in *Proc. of Society for Information Display 2001 (SID '01)*, pp.384-387 (2001).

[13] N. Kasai, H. Mano, T. Furuhashi, T. Hamada, and T. Futami, "Multi-scan Control Systems for Full-color TFT LCDs" in *Proc. of 1994 International Workshop on Active-Matrix Liquid-Crystal Displays (AMLCD '94)*, pp. 68-71 (1994).

[14] N. Kasai, T. Furuhashi, H. Mano, H. Kurihara, N. Kato, and M. Mori, "Development of 13.3-in. Super TFT-LCD Monitor" in *Proc. of Society for Information Display 1996 (SID '96)*, pp. 414-417 (1996).

[15] N. Kasai, T. Futami, J. Mamiya, K. Yamauchi, A. Okazaki, and J. Hanari, "Digital Packet Video Link for a Super High Resolution Display", *IEICE Trans. Electronics*, vol. E84-C, no. 11, pp. 1630-1636 (2001).

[16] N. Kasai, T. Futami, J. Mamiya, K. Yamauchi, A. Okazaki, and J. Hanari, "Digital Packet Video Link for Super High Resolution Display" in *Proc. of IDW2000*, pp. 321-324 (2000).

[17] N. Kasai, Y. Kudo, M. Ishii, H. Kageyama, H. Akimoto, N. Nakamura, and T. Onoye, "Anode- voltage-control circuit for compensation of luminance deterioration", *Journal of the SID*, vol. 17/10, pp. 779-784 (2009).

[18] N. Kasai, H. Awakura, H. Akimoto, H. Kageyama, T. Sato, and N. Tokuda, "A Color Balance Control System for OLED with Clamped Inverter Method" in *Proc. of Society for Information Display 2005 (SID '05)*, pp. 1460-1463 (2005.).

[19] Behzad Razavi, 黒田忠広, "アナログ CMOS 集積回路の設計", 丸善 (2003)

[20] Video Electronics Standards Association (VESA), "Display Monitor Timing (DMT) Standard" (1998)

[21] Sony, Corp., "CXA3026Q 8-bit 120MSPS Flash A/D Converter Data Sheet"

[22] Analog Devices, Inc., "AD8036/AD8037 Low Distortion, Wide Bandwidth Voltage Feedback Clamp Amps Data Sheet"

[23] 内田龍男, “次世代液晶ディスプレイ技術”, 工業調査会 (1994)

[24] T. Futami, “Multi-color technolory of TFT-LCD, from 4096 to more than 260,000 colors” in *Flat Panel Displays '91*, pp.173-180 (1991).

[25] H. Mano, T. Furuhashi, T. Tanaka, M. Kitajima, H. Kawakami, and T. Futami, “Multi-color Display Control Method for TFT-LCD” in *Proc. of Society for Information Display 1991 (SID '91)*, pp. 547-550 (1991).

[26] 山口忠久, 小田雅美, 高原和博, “TFT-LCD の多階調駆動の検討” 1991 年電子情報通信学会春季全国大会後援論文集, 分冊 5, p. 71 (1991).

[27] S. Nishitani, H. Mano, N. Kasai, T. Furuhashi, T. Futami, Y. Igarashi, “Flickerless Multi-Color Display Method for TFT-LCDs”, in *Proc. of Japan Display' 92*, pp. 471-474 (1992).

[28] S. Eidson, B. Gaines, P. Wolf, “HDMI: High－Definition Mutimedia Interface” in *Proc. of Society for Information Display 2003 (SID '03)*, pp.1024-1027 (2003).

[29] 江藤良純, 梅本益雄, “映像システムの基礎 デジタル化への要素技術とその応用”, コロナ社 (2006).

[30] J. Mamiya, K. Yamauchi, T. Tomooka, M. Ohara, T. Futami, N. Kasai, S. Horino, A. Inoue, Y. Sato, A. Okazaki, “Digital PV Link for a Next-Generation Video Interface, and Its System Architecture”, in *Proc. of Society for Information Display 2000 (SID' 00)*, pp. 38-41 (2000).

[31] J. Hanari, M. Watanabe, A. Okazaki, J. Mamiya, Y. Sugiuchi, K. Yamauchi, T. Futami, N. Kasai, “Development of an UXGA Display System by a Digital Packet Video Link”, in *Proc. of Society for Information Display 2001 (SID' 01)*, pp. 210-213 (2001).

[32] 井上伸雄, “通信の最新常識 しくみから最先端技術まで”, 日本実業出版社 (1999).

[33] TIA/EIA-644：低電圧差動信号(LVDS)インターフェイス・デバイスの電気的特性 (1996)

[34] Texas Instruments, Inc., “LVDS Application and Data Handbook” (2002).

[35] National Semiconductor, Corp., “An Introduction to FPD-Link” (1998)

[36] Texas Instruments, Inc., “SN65LVDS81 AND SN75LVDS81 FLATLINKTM TRANSMITTERS/ RECEIVERS Product Preview”.

[37] J. Goldie, S. Poniatowski, “LVDS goes the distance!”, in *Proc. of Society for Information Display 1999 (SID '99)*, pp. 126-129 (1999).

[38] Universal Serial Bus Specification, Version 1.0

[39] IEEE standard for high performance serial bus, 1394-1995 (1996)

[40] Samsung Semiconductor, Inc., "KM432S2030C 2M x 32 SDRAM Data Sheet" (1999).

[41] Josaph D Lamm, "Digital Packet Video Link – A VESA Proposed Standard", in *Proc. of Society for Information Display 2003 (SID '03)*, pp.1021-1023 (2003).

[42] C. Hosokawa, T. Sakai, K. Fukuoka, H. Tokailin, Y. Hironaka, H. Ikada, M. Funahashi, T. Kusumoto, "Organic EL Materials Based on Styryl and Amine Derivatives", in *Proc. of Society for Information Display 2001 (SID '01)*, pp.522-525 (2001).

[43] H. Akimoto, H. Kageyama, M. Miyamoto, Y. Shimizu, N. Kasai, H. Awakura, A. Shingai, N. Tokuda, K. Kajiyama, S. Nishitani, T. Sato, "Clamped-inverter circuit architecture for luminescent-period- control driving of active-matrix OLED displays", *Journal of the SID*, vol. 13/5, pp. 429-433 (2005).

[44] H. Kageyama, H. Akimoto, Y. Shimizu, T. Ouchi, N. Kasai, H. Awakura, N. Tokuda, T. Sato, "A new driving method introducing a display period for AMOLEDs", *Journal of the SID*, vol. 13/5, pp. 447-452 (2005).

[45] H. Kageyama, H. Akimoto, T. Ouchi, N. Kasai, H. Awakura, N. Tokuda, T. Sato, "A 3.5-inch OLED Display using a 4-TFT Pixel Circuit with an Innovative Pixel Driving Scheme", in *Proc. of Society for Information Display 2003 (SID '03)*, pp. 96-99 (2003).

[46] H. Kageyama, H. Akimoto, Y. Shimizu, T. Ouchi, N. Kasai, H. Awakura, N. Tokuda, K. Kajiyama, T. Sato, "A 2.5-inch OLED Display with a Three-TFT Pixel Circuit for Clamped Inverter Driving", in *Proc. of Society for Information Display 2004 (SID '04)*, pp. 1394-1397 (2004).

[47] H. Akimoto, H. Kageyama, Y. Shimizu, H. Awakura, N. Kasai, N. Tokuda, T.Sato, "Two TFT Pixel Circuit with Non-Uniformity Suppress-Function for Voltage Programming Active Matrix OLED Displays", in *Proc. of Society for Information Display 2005 (SID '05)*, pp. 1550-1553 (2005).

[48] H. Kageyama, H. Akimoto, N. Kasai, N. Tokuda, K. Kajiyama, N. Nakamura, T. Sato "A 2.5-inch Low-Power LTPS AMOLED Display—Using Clamped-Inverter Driving—For Mobile Applications", in *Proc. of Society for Information Display*

2006 (SID '06), pp. 1455-1458 (2006).

[49] T. Kohno, M. Miyamoto, H. Kageyama, M. Ishii, N. Kasai, N. Nakamura, N. Tokuda, H. Akimoto, "3.0-inch High-resolution Low-voltage LTPS AM-OLED Display with Novel Voltage- programmed Driving Architecture" in *Proc. of Society for Information Display 2007 (SID '07)*, pp. 1382-1385 (2007).

[50] Y. Kudo, A. Akai, N. Takada, Y. Kurokawa, and Y. Yokota, "New Developments in Mobile LCD Drivers," in *Proc. of SID Mobile Displays 2007*, in CD-ROM (2007).

[51] S. Nagao, T. Fujioka, K. Akiyama, K. Saito, K. Agata, Y. Kotani, and G.Yamamoto, "Advanced Liquid Crystal Display Driver ICs for Digital Still Camera," in *Proc. of SID Mobile Displays 2007*, in CD-ROM (2007).

[52] H. Okumura and H. Fujiwara, "A New Low-Image-Lag Drive Method for Large-Size LCTVs," in *Proc. of Society for Information Display 1992 (SID '92)*, pp.601-604 (1992).

[53] K. Kawabe, T. Furuhashi, and Y. Tanaka, "New TFT-LCD Driving Method For Improved Moving Picture Quality," in *Proc. of Society for Information Display 2001 (SID '01)*, pp.998-1001 (2001).

[54] K. Nakanishi, S. Takahashi, H. Oura, T. Matsumura, S. Miyake, K. Kobayashi, K. Oda, S. Tahata, A. Yuuki, J. Someya, and M. Yamakawa, "Fast Response 15-in. XGA TFT-LCD with Feedforward Driving (FFD) Technology for Multimedia Applications," in *Proc. of Society for Information Display 2001 (SID '01)*, pp.488-491 (2001).

[55] T. Kurita, "Moving Picture Quality Improvement for Hold-type AM-LCDs," in *Proc. of Society for Information Display 2001 (SID '01)*, pp.986-989 (2001).

[56] T. Furuhashi, K. Kawabe, J. Hirakata, Y. Tanaka, and T. Sato, "High Quality TFT-LCD System for Moving Picture," in *Proc. of Society for Information Display 2002 (SID '02)*, pp.1284-1287 (2002).

[57] 日立製作所, "フルカラー対応 37 型 XGA プラズマディスプレイを発売" 日立製作所ニュースリリース (2000)

[58] D. Y. Shin, J. K. Woo, Y. Hong, S. Kim, K. N. Kim, and H. D. Kim, "A New Hybrid Analog-Digital Driving Method to Improve AMOLED Lifetime," in *Proc. of Society for Information Display 2008 (SID '08)*, pp.1196-1199 (2008).