



Title	論理回路のテスト容易化設計に関する研究
Author(s)	三浦, 幸也
Citation	大阪大学, 1992, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3087936
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏名	三浦幸也
博士の専攻	博士（工学）
学位記番号	第 10248 号
学位授与年月日	平成 4 年 3 月 25 日
学位授与の要件	学位規則第 4 条第 1 項該当 工学研究科 応用物理学専攻
学位論文名	論理回路のテスト容易化設計に関する研究
論文審査委員	(主査) 教授 樹下 行三 (副査) 教授 一岡 芳樹 教授 岩崎 裕 教授 増原 宏 教授 志水 隆一 教授 南 茂夫 教授 中島 信一 教授 興地 斐男 教授 後藤 誠一 教授 豊田 順一 教授 山本 稔 教授 池田 和義

論文内容の要旨

本論文ではテスト容易化設計手法を取入れたテスト方式として、メモリの組込みテスト、CMOS 組合せ回路のトランジスタの開放故障に対するテスト容易化設計、組込み電流テスト法について論じた。

第 1 章では、論理回路のテストの問題点と従来の研究成果、ならびに本論文の目的について述べた。

第 2 章では、本論文の基礎となる論理回路のテストの基本的概念について述べた。

第 3 章ではメモリの新しい組込みテストについて論じた。これは、1 本のワード線上のすべてのセルの同時テストを可能にしたテスト方式である。また、本方式に適したテスト手続き、テスト回路をも提案した。テストが困難であると考えられているパターン依存故障、デコーダ故障、読出し・書込み回路故障を対象故障とした。これらの故障に対し、本テスト方式を用いることで短いテスト系列でテストが可能となり、大幅なテスト時間の短縮が実現できた。更に、本方式に必要なテスト用回路は、簡単に実現でき、そのハードウェア量はメモリの記憶容量が増加するにつれてかなり小さくなった。

第 4 章では、CMOS 組合せ論理回路のトランジスタの開放故障に対するテスト容易化設計の提案とそのテスト生成について論じた。本論文では、開放故障を顕在化させるテストベクトルを印加したあとに回路外部からゲート出力をアクセスするテスト方式の提案を行った。この方式はローバストテストを可能にした。更に、回路内部の再収斂ゲート出力点をテスト点とし、テストのローバスト性を失うことなくテスト点数を減少させることができ、付加ハードウェア量の減少をはかれた。

第 5 章では、組込み電流テストのためのテスト用回路の提案とテスト生成について論じた。提案したテスト用回路は単位時間内の電流の積分値を計測し、その値により正常か故障かの判定をする。回路シミュレータにより、要求した機能を満足する回路であることを確認した。更に、レイアウト設計を行っ

た結果、面積オーバーヘッドは小さくなることがわかった。また、テスト系列中のすべてのテストベクトル間での動的電流値をほぼ等しくするテスト系列の生成手法を提案した。これによって、提案した回路に適したテスト系列を生成できた。

第6章では、以上の研究結果をまとめ、提案した種々のテスト容易化設計手法の特徴と成果について述べた。また、今後の課題についてもふれた。

論文審査の結果の要旨

集積回路の普及と共にその高信頼化への要求が高まり、集積回路に対するテストが一つの重要な問題となっている。特に最近の集積回路の大規模化、高機能化は、新しいテスト技術を生み出し、テスト容易化設計がその必須な技術の一つと考えられている。本論文は、テスト容易化設計手法を取入れた論理集積回路のテスト方式として、組込みテストを用いたメモリの設計手法、CMOS組合せ回路の開放故障のテスト容易化設計手法、組込み電流テストのためのテスト用回路とテスト生成手法について述べたものであり、その主な成果を要約すると次の通りである。

- (1) メモリの新しいテスト方式として、1本のワード線上のすべてのセルの同時テストを可能にする組込みテスト方式を提案している。本テスト方式に適したテスト手続きおよびテスト用回路について検討し、このテスト方式を用いることで短いテスト系列でテストが可能となり、大幅なテスト時間の短縮を実現している。更に、本方式に必要なテスト用付加回路のハードウェア量は、メモリの記憶容量が増加するにつれ相対的に十分小さくなることを示している。
- (2) 開放故障が顕在化したとき、その故障が存在するゲートは見かけ上トライステート素子になることに着目し、CMOS組合せ論理回路のトランジスタの開放故障に対するテスト容易化設計の提案を行っている。これは開放故障を顕在化させるテストベクトルを印加したあと回路外部からゲート出力をアクセスするテスト方式であり、ハザードなどの影響を受けずに開放故障のテストができるローバストテスト法である。更に、回路内部の再収斂ゲートの出力点をテスト点とし、テストのローバスト性を失うことなくテスト点の数を減少させることができ、付加ハードウェア量の減少をはかっている。
- (3) 組込み電流テストのためのテスト用回路とテスト生成手法について提案している。本テスト用回路は、CMOS回路において生じる動的電流をも含めて単位時間内の電流の積分値を計測し、その値の大小により被テスト回路が正常か故障かの判定を行う。この電流計測方式は、高速かつ高分解能で電流テストが可能であり、実用化に適した方法である。テスト用回路は、回路シミュレータを用いて、要求機能を満足する回路となるように設計されており、また、その回路のレイアウト設計のもとに面積評価を行い、実用的な範囲の十分少ない面積でテスト用回路が実現できることを示している。更に、積分電流値の大小により回路の正常性を判定する本テスト用回路に適したテスト系列として、テスト系列中のすべてのテストベクトル間での動的電流値をほぼ等しくするテスト系列の生成手法を提案し、テスト用のベンチマーク回路に対しテスト系列を生成し、そのテストベクトル数が従来知られている

縮退故障に対するものよりも少なくなることを示している。

以上のように、本論文は、論理回路のテスト容易化設計手法について論じたものであり、集積回路の高信頼化設計およびテスト技術として応用物理学、特に計算機工学、集積回路工学に寄与するところが多い。よって、本論文は博士論文として価値あるものと認める。