The University of Osaka
Institutional Knowledge Archive

Title	ATM通信方式におけるクロスコネクトスイッチ網に関する研究
Author(s)	上松, 仁
Citation	大阪大学, 1991, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3087984
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

ＡＴＭ通信方式におけるクロスコネクトスイッチ網に関する研究

上　松　　仁

ＡＴＭ通信方式におけるクロスコネクトスイッチ網に関する研究

上　松　　仁

目次

頁

第１章　序論 …… 1

１．１　研究の背景 …… 1
１．２　本研究の目的 …… 4
１．３　論文の概要 …… 15

第２章　多段バッファ型スイッチ網 …… 16

２．１　緒言 …… 16
２．２　Benes網を用いたバーストクロスコネクトスイッチ網 …… 18
2.2.1 Benes網の性質と時間順序の保存 …… 18
2.2.2 内部非輻輳条件 …… 19
2.2.3 経路選定アルゴリズムの提案 …… 19
2.2.4 スイッチ網の評価 …… 23
２．３　折返しbanyan網を用いたバーストクロスコネクトスイッチ網 …… 29
2.3.1 折返しbanyan網の構成 …… 29
2.3.2 時間順序の保存 …… 30
2.3.3 経路選定アルゴリズム（その１） …… 32
2.3.4 経路選定アルゴルズム（その２） …… 35
2.3.5 スイッチ網の評価 …… 36
２．５　結言 …… 46

第３章　セルフルーチング空間スイッチ網 …… 47

３．１　緒言 …… 47
３．２　空間分割セルフルーチングスイッチ網 …… 51
3.2.1 スイッチ網の構成 …… 51
3.2.2 スイッチングアルゴリズム …… 53
3.2.3 ノンブロッキング動作の証明 …… 56
3.2.4 スイッチ網の評価 …… 64

３．３　相互に情報の授受を行う空間スイッチ網 …… 69
3.3.1 スイッチ網の構成 …… 69
3.3.2 スイッチングアルゴリズム …… 73
3.3.3 ノンブロッキング動作の証明 …… 76
3.3.4 スイッチ網の評価 …… 87
３．４　結言 …… 90

第４章　入力バッファ型スイッチ …… 91

４．１　緒言 …… 91
４．２　入力キューイング方式における従来のセル競合制御 …… 93
4.2.1 入力キューイングの原理 …… 93
4.2.2 従来のセル競合制御法の概要と問題点 …… 94
４．３　パイプライン化スケジューリング制御方式の提案 …… 97
4.3.1 基本原理 …… 97
4.3.2 スケジューリング処理の公平化 …… 99
4.3.3 スケジューリング処理の最適化 …… 101
4.3.4 回路規模および動作速度 …… 103
4.3.5 ループ構成による実現法 …… 104
4.3.6 バレルシフターを用いた実現法 …… 105
４．４　パイプライン競合制御法の評価 …… 107
4.4.1 評価条件 …… 107
4.4.2 遅延特性と廃棄特性 …… 108
４．５　結言 …… 113

第５章　結論 …… 114

謝辞 …… 116

文献 …… 117

第１章　序論

１．１　研究の背景

６４kbit/sの回線を基本単位とする狭帯域ＩＳＤＮ[1]が実用化されたのに引続き、数Mbit/s～数百Mbit/sの回線を提供する広帯域ＩＳＤＮ[2]の実用化に向けた研究・開発が活発に進められている。将来の広帯域ＩＳＤＮは既存のネットワークを包含し、高速サービスを経済的に提供できることや新規の多様なサービス柔軟に対応できることなどが要求されている。

現在のディジタル通信網では同期多重・回線交換を行うSynchronous Transfer Mode（ＳＴＭ）の技術が用いられている。ＳＴＭ技術では、伝送路上のディジタル信号は周期フレームを持ち、回線やパスの信号は８ビット程度の小さいブロック（これをタイムスロットと呼ぶ）でフレーム内の特定位置に周期的に置かれる。[3]　ＳＴＭ技術に基づく多重化装置や交換機はフレームに同期した周期動作でよいため論理回路が簡単となり、また、信号のブロックが小さいためメモリが少なくてすむ利点がある。従って、音声等の同一速度回線を多重化するには非常に適した技術となっている。しかし、ＳＴＭ技術では回線速度がフレーム周期に依存する。そのため、将来、高速データ通信や動画像の伝送など新しい速度のサービスが現れる毎にフレーム周期を変更し、それに対応する多重化装置や交換機を改変していくことが必要となる。また、ＳＴＭ技術では回線速度が固定なため、将来増大する動画像やデータ通信等のバースト的な情報の伝達を経済的に実現することが困難という問題がある。

従来から、バースト的に情報が発生するデータ通信に適する技術として、非同期で信号を多重するパケット交換技術[4]が用いられてきた。コンピュータ等からバースト的に発生する情報はブロックに分割され、それぞれに網内のルーチング情報をヘッダとして付与してパケット化されて網に送出される。網内の交換機はこのパケットを蓄積し、ヘッダから行き先を判断してスイッチングをおこない、パケットを伝達する。情報源となるコンピュータ等から発生する情報レートに応じてパケットを網に送り出し、情報が発生しない場合はパケットを送出しないようにすることによって、多元速度および可変速度の回線が容易に実現されている。しかし、このパケット交換の技術は非同期での動作を行うこと、さらにパケット紛失や伝送誤りに

対してパケットの再送処理等を行う等の処理が複雑でソフトウェア処理が必要なこと、およびその処理速度がネックとなって大規模なパケット交換機を実現することが困難であった。そのため、電話サービス主力とした狭帯域ＩＳＤＮのような大規模網の構築にはＳＴＭ技術が用いられることとなった。

ＩＳＤＮにおいて真にサービス統合を行うためには、将来現れる様々なメディアに対して種々の速度の回線や、速度が可変となるような回線を網が提供する必要がある。特に広帯域ＩＳＤＮでは将来現れる広帯域画像伝送などのメディアに対して種々の速度の回線や、速度が可変となるような回線を網が提供する必要が生じてくると考えられる。それらを経済的に実現するためには、１種類の装置で様々な速度の回線を提供できるＳＴＭ方式に代わる伝達技術が求められる。(5)

そのために、前述のパケット交換技術のような非同期多重・蓄積交換技術を高速化して利用することが考えられる。近年の大容量光伝送路(6)の普及によって、極めて低い誤り率で情報を転送でき、かつ、装置内に大容量メモリを置いてパケット廃棄率を減らすことが可能となったことから、パケット交換に用いられていたパケット再送等の複雑なプロトコルを簡略化できる可能性が考えられた。プロトコルの簡略化とあわせて分散処理技術等を導入することによりパケット交換の高速大容量化が検討され始めた。(7) さらにPreludeシステムのようにパケットのヘッダを回線を識別する最小限のビット数に減らし、数十byteと短い固定長のパケットとしてスイッチ全体をハードウェア処理で動作させることにより、大容量の非同期多重・蓄積交換処理の可能性が出てきた。(8) この固定長の短パケットを用いて伝送を行う方式をAsynchronous Transfer Mode（ＡＴＭ）方式と呼び、固定長の短パケットはセルと呼ばれる。(9) この方式ではセルを蓄積・スイッチングする単一機能の装置を網内に配備するだけで、多元速度回線や可変速度回線を実現できる。しかもその処理はハードウェアで高速に行われる。ＡＴＭ技術はＳＴＭ技術に比べ、複雑な論理回路や多くのメモリを必要とするが、近年のＬＳＩ技術の急激な進歩と、分散処理技術により、回路規模が大きい欠点よりも、速度柔軟性の利点がクローズアップされ、ＡＴＭ方式が広帯域ＩＳＤＮの最有力技術とみなされるようになってきている。(2)

本研究は将来のマルチメディア通信のインフラストラクチャとなる広帯域ＩＳＤＮの伝達技術において、後述するバーチャルパスのクロスコネクト機能(10)の実現の可能性を追求することを目的として行われた。広帯域ＩＳＤＮ研究の黎明期においては、ＳＴＭ方式、可変長パケット方式、固定長パケット方式等の種々の伝達技

術が検討された。そのため本研究の第２章多段バッファ型スイッチ網に関しては可変長パケットを想定している。また、第３章セルフルーチング空間スイッチ網ではＡＴＭへの応用以外にＳＴＭ方式への応用も考慮している。本論文では可変長パケットを「パケット」、固定長パケットを「セル」と呼ぶことにする。

１．２　本研究の目的

本研究の目的を明かにするために、クロスコネクトスイッチおよびそれで扱うパスの説明を行う。

（１）パス

広域大規模網においては、図１．１(a)に示すように、加入者交換機および中継交換機等の多数の交換機を用いて、それらの間を回線束（パス）で接続することにより、加入者間でパスの共用化を図り、経済的な網を構築している。さらに、近年出現してきた大容量伝送路を効率的に使用するには、パス網と一致した小容量の伝送路を交換機間に作るよりも、図１．１(b)に示すように、それらのパスを多重化して小数の大容量伝送路へ収容する網を作ることが有効となる。このとき、伝送路から別の伝送路へパスを乗せ変えるため、パス単位での回線編集機能（クロスコネクト機能）が必要となった。[11]　このパスの機能は伝達技術がＳＴＭかＡＴＭかに依存するものではなく、交換機間の情報量に比べて伝送路容量が大きい場合には必ず必要とされる。

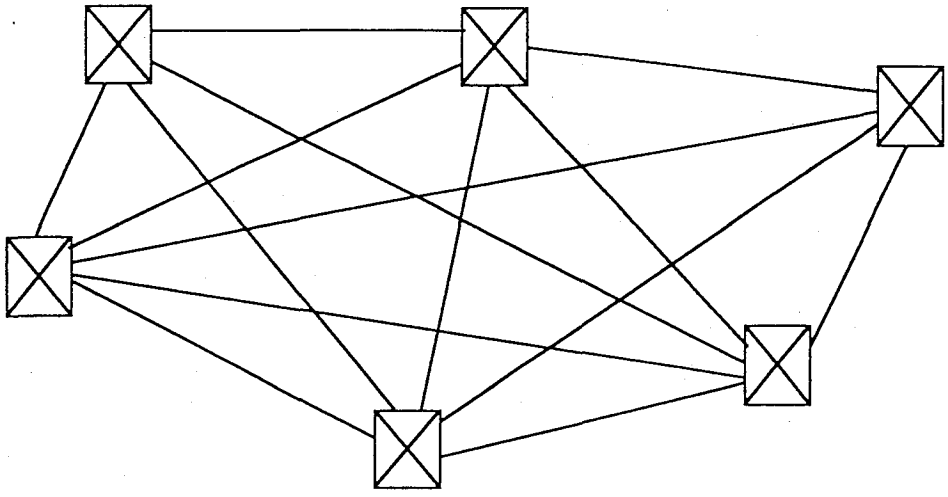
（２）バーチャルパス[12]

ＡＴＭ交換機は加入者からの接続要求に応じてバーチャルサーキットを接続する。すなわち、そのバーチャルサーキットを識別するラベルを持ったセルを蓄積し、目的とする方路へそのセルをスイッチングして送出する役割を果たす。

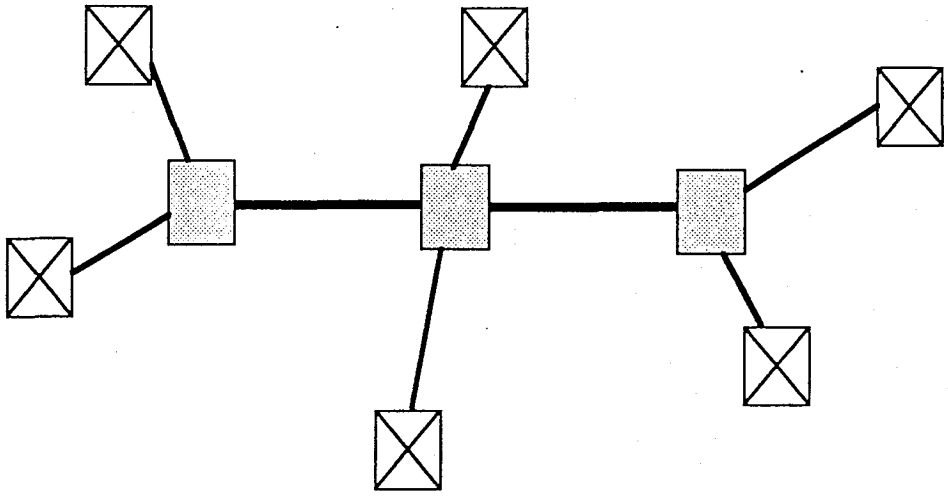
ＡＴＭ交換機間も現在のＳＴＭ網と同様にパスで接続される。このパスは多重化されて大容量伝送路に収容される。パス多重化の方法として以下の方法が考えられた。

①ＡＴＭ交換機間に100Mb/s程度の固定容量のパスを張り、それらのパスを数Gb/s伝送路にＳＴＭで多重する。
②ＡＴＭ交換機間に様々な容量のパスを張り、それらのパスを数Gb/s伝送路へＡＴＭで多重する。この時のパスはセルのラベルで識別されるため、バーチャルパスと呼ばれる。

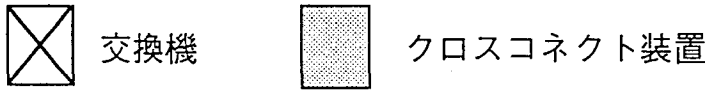
ＳＴＭのパスの信号はフレーム内の定められたスロット位置に多重化されて伝送



(a) パス網



(b) 伝送路網



パス

中容量伝送路

大容量伝送路

図1.1　パス網と伝送路網

される。信号は周期的に伝送されるのでフレーム周期で決まる特定の速度のパスしか実現できない。一方、バーチャルパスはセルのラベルを用いて識別される。セルの送出頻度を変えることにより、任意の速度のパスが実現できる。この両者の比較を表１．１に示す。

当初、高速でのＡＴＭ多重が難しいことなどから世界的にはＳＴＭのディジタルパスで構成する①の案が有力であった。しかし、①案には以下の欠点がある。

・きわめて需要の少ない交換機間にも最低限パス１本分100Mb/sの容量が必要になる。
・需要の少ない交換機間に低速パスを提供するには階層的多重化が必要となり装置が複雑となる。また、階層的多重化に伴う端数効果により伝送路収容効率はあまり上がらない。
・将来100Mb/sを越えるバーチャルサーキットが出現した場合、そのバーチャルサーキットをパスに収容できない。従って広帯域ＩＳＤＮでサービスできる速度がパス速度で頭打ちとなる。
・統計的多重化効果がパス内に限られる。
・100Mb/s程度のパス速度でセルが伝達されるため、キューイング遅延が大きくなる。

①案に比べて、②案は高速でのセル多重分離が必要となり、ハードウェアの実現が困難であるが、網運用面において以下の利点がある。

・交換機間の需要に応じた速度のバーチャルパスを張れる。
・バーチャルパス速度が任意のため、将来の高速バーチャルサーキットの出現に対応できる。
・伝送路での統計的多重化効果が得られる。
・高速伝送路へ直接セルを送り出すため、キューイング遅延が少ない。
・バーチャルパスを加入者に解放し、その中に加入者自身でバーチャルサーキットを収容することによりＡＴＭ専用線サービス専用線サービスが実現できる。
・セルに遅延を与えることにより無瞬断でパス切替を行える可能性がある。[13]

網運用上の利点を考えた場合、ＡＴＭにおいてバーチャルパスを導入する②案が優位であることが明らかであるが、そのためには、大容量伝送路間のバーチャルパスの多重分離を行うＡＴＭクロスコネクト機能を経済的に実現することが必須となる。

表1.1　ディジタルパス（ＳＴＭ）とバーチャルパス（ＡＴＭ）の比較

信号 フォーマット	フレーム2　フレーム2 フレーム1　フレーム1　フレーム1　フレーム1 スロット	セル　セル　セル　セル　セル　セル ラベル
伝送路への パス収容	伝送路　高速パス　低速パス	伝送路　バーチャルパス
パスの多重化法	周期的に多重化	非周期的に多重化
パスの識別法	フレーム内のスロット位置で識別	セルのラベルで識別
パス速度	速度一定	速度任意可変
多元速度パスの 実現法	階層的多重化	非階層的多重化

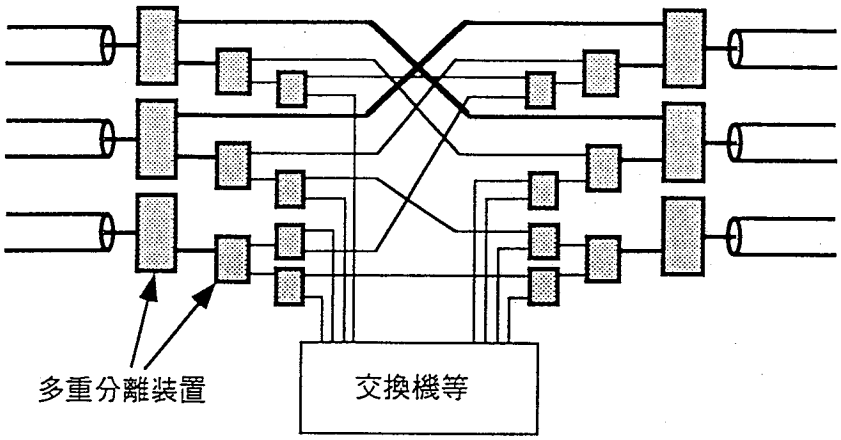
（３）クロスコネクトスイッチ[11]

図１．２(a)に示すように、アナログ伝送方式やディジタルＳＴＭ伝送方式の初期には伝送路から入ってきた信号を多数の多重分離装置でパス速度まで分離し、それぞれにパスの信号をジャンパ線で行き先別に分散集束させ、パスを再び多重化して伝送路に送り出すことにより、クロスコネクト機能を実現していた。この方式では伝送路が大容量化して多重化次群が増えるに従って局内に多数の多重化装置が必要となる。装置数の増大はコスト増をまねいて伝送路大容量化に伴うコスト低減効果を減殺してしまう問題点があった。また、クロスコネクト用ジャンパ線が局内に輻輳し、大容量中継局等の局舎スペースを圧迫するとともに、パス設定やパス切替に伴うジャンパ線の接続や切替作業が増大した。

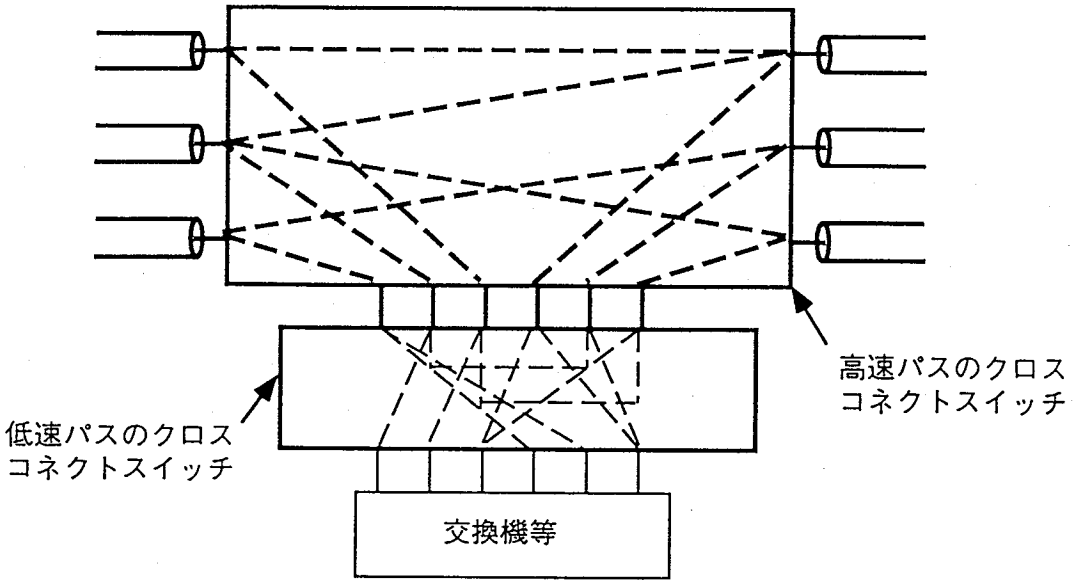
メモリを用いた安価な時分割回線交換用スイッチ[14]の出現で交換機の通話路がディジタル化されるとともに交換機と伝送路多重化装置間も多重化され、ＰＣＭ多重化装置の削減と局内線の減少が図られた。[15] このとき同時にジャンパ線の減少と多重分離装置の減少を目的として、時分割回線交換スイッチを用いたディジタルクロスコネクト装置が導入された。[16][17] それにより、パス速度まで分離せず、多重化された高速の信号上でタイムスロットを入れ換えることによって、パスのクロスコネクトが可能となり、多重分離装置とジャンパ線の低減が図られた。クロスコネクトスイッチは交換機のスイッチと異なり呼毎の煩雑な接続変更は必要としないが、伝送路間を任意にノンブロックで接続することが要求される。

時分割回線交換スイッチはその動作周期に依存した一定速度の回線やパスのみのスイッチングしか行えない特徴がある。そのため、従来のジャンパ線のクロスコネクトと同様に、ディジタルクロスコネクトにおいても高速パスの中に低速パスが階層的に多重化され、図１．２(b)に示すようなパスの多重化階層に分けた階層的なクロスコネクト装置が必要となる。それでも多重分離装置とジャンパ線を用いたクロスコネクトに比べると経済的ではあるが、将来、サービスのマルチメディア化を図るとなると、それに応じた様々な回線速度を扱う交換機、およびそれらの間を結ぶ様々な速度のパス対応にクロスコネクト装置を持つ必要があるので、装置の数が増え、網の経済性が損なわれてしまう。

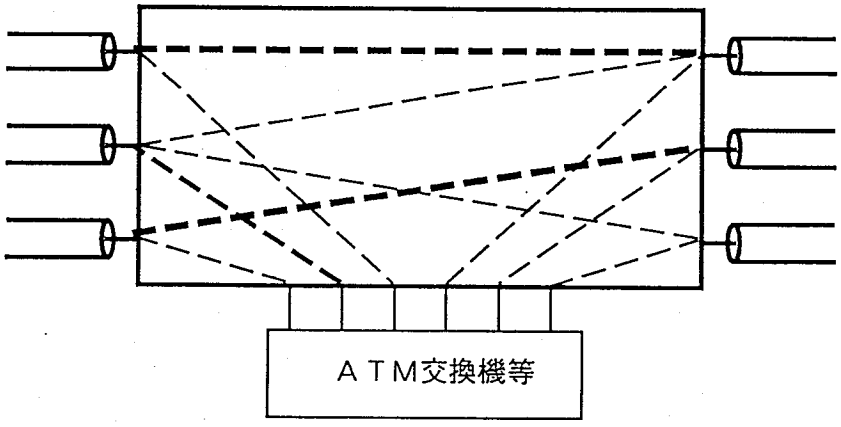
一方、メモリやロジック回路のＬＳＩの進歩により、蓄積交換技術を利用した大規模ＡＴＭスイッチを作ることが可能となってきた。[18] 時分割スイッチが動作するフレーム周期によりパス速度の制約を受けるＳＴＭ技術と異なり、ＡＴＭ技術ではセルを扱う単一のスイッチで任意の速度のバーチャルパスを扱える。[12] そ



(a) ジャンパ線を用いたクロスコネクト



(b) 時分割スイッチを用いたクロスコネクト



(c) ＡＴＭスイッチを用いたクロスコネクト

図1.2　クロスコネクト機能実現法の変遷

のため、階層的なパスの多重化が不要となり、図１．２(c)に示すように、単一の装置でバーチャルパスのクロスコネクトが行えるようになり、装置数の大幅な削減が期待できる。

（４）ＡＴＭスイッチの種類

低速データ通信などの初期の蓄積交換技術に用いられたパケットスイッチは、単一のメモリと制御部であるＣＰＵからなっていた。パケット毎の処理が制御部がソフトウェア制御であることから、主として制御部の処理がネックとなってスイッチのスループットが制約されていた。この制御部の処理速度ネックを解消するためにバス構成等のマルチプロセッサ型の高速パケット交換機の開発が進められる一方で、パケット毎の処理のうち簡単なものをハードウェア処理し、処理を分散することによって、高速化を図ることが検討されてきた。[19] ＡＴＭにおいては、さらにこの考えが徹底し、プロトコルの簡易化を図り、セル毎の処理は全てハードウェアで行うようになった。[8] ＡＴＭスイッチには各出線へ向かうセルが非同期で到着するから、スイッチにおける処理は大別して以下の２つが必要となる。

①同一出線へ向かうセルの出線競合を回避するためのバッファリング
②セルの入線・出線間の空間移動

超大容量のスイッチは、この①②の機能をハードウェアで処理することはもちろん、これらの機能を分散・並列処理することが必要となる。ＡＴＭスイッチはこれらの処理の分散の方法によって以下の(a)～(e)に分類できる。

(a)集中バッファ型スイッチ

セルを蓄積するメモリ部には単一の大容量ＲＡＭを用い、セルをルーチングする制御部をハードウェア化することにより、制御部のスループットネックを解消したもの。ＡＴＭ技術の先鞭となったPreludeシステム[8]に用いられているスイッチがこの集中バッファ型スイッチである。集中バッファ型スイッチはすべての入力ポートの信号は多重化されてＲＡＭに入力され、ＲＡＭからの出力信号は個々の出力ポートへ分離される。そのため、スイッチ全ポート倍の速度でＲＡＭが動作する必要がある。このＲＡＭの動作速度がスイッチ容量のネックとなる。集中バッファ型スイッチは前述のバッファリング機能と空間異動の機能がすべて集中されている。従

って、大容量スイッチには不向きとなる。しかし、すべての入出力ポートのトラヒックでバッファを共用できるため、スイッチ容量当りのバッファ量が最も少ないという利点がある。[20] そのため取り扱う情報量が少ない加入者系のクロスコネクトスイッチに適する。[21]

(b)入力バッファ型スイッチ

各入力ポート毎にバッファを持ち、その後ろに空間スイッチを置く構成のスイッチ。[22] 同一出力ポート行きのセルが同時に異なる入力バッファから空間スイッチに入ることを防止する競合制御部が必要となる。スイッチの規格化スループットはこの競合制御アルゴリズムの良否に大きく依存する。また、セル毎にスイッチングを行う大容量の空間スイッチが必要となる。入力バッファ型スイッチはバッファの動作速度が少なくて済む利点がある。また、異なる複数の出力ポートのトラヒックがバッファを共用するため、比較的少ないメモリで実現できる。[23] このため、高速伝送路を直接収容し、スイッチ速度が高速となる中継系のクロスコネクトスイッチに適すると考えられる。[24]

(c)出力バッファ型スイッチ

出力バッファ型スイッチは出力ポート毎にセルを蓄積するバッファを持つ。入力ポートからの信号はバスによって全ての出力バッファへ配送される。各出力ポートは、自ポート宛の信号のみをバッファへ取り込む。出力バッファ型スイッチは通常のノードの待ち行列モデルと全く同じ動作を行い、理想的な特性を与える特徴がある。また、セルのスイッチング処理が単純で、各出力ポートに分散して処理されるため、スイッチング制御面でのネックはない。しかし、一つの出力ポートのバッファに入力ポート数分のセルが同時に到着することがあり、それに対応するため、1セル時間内に入力ポート数分のセルを書き込める高速バッファが必要となる。また、出力ポート間のトラヒックでバッファの共用化ができないため、出力ポート毎に比較的大きな容量のバッファを要する。[25]

(d)クロスポイントバッファ型スイッチ

クロスポイントバッファ型スイッチは入出力のクロスポイントにバッファを持つ。各クロスポイントのバッファは入出力ポートに等しい速度で動作するだけでよい。本スイッチはクロスポイント数分のバッファが必要となることから、トータルのメ

モリ量が大きくなる欠点を有する。[26]

(e)多段バッファ型スイッチ

２×２等の小規模な単位スイッチを多段に接続したスイッチ網からなるスイッチである。規模の小さい単位スイッチを複数個接続して分散処理で容易に大容量スイッチが得られる利点がある。従って原理的には如何なる大容量スイッチでも実現でき、将来の超大容量スイッチの有力候補と考えられる。[27][28] しかし、接続リンクのためのハードウェア等のオーバヘッドが大きくスイッチ網トータルのハードウェア規模が大きくなること、単位スイッチ間を接続するリンクの内部輻輳[29][30]や、スイッチ網内の経路の遅延時間差によるセルの時間順序逆転[31]が発生する問題がある。

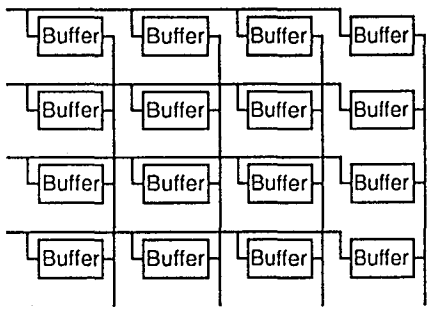
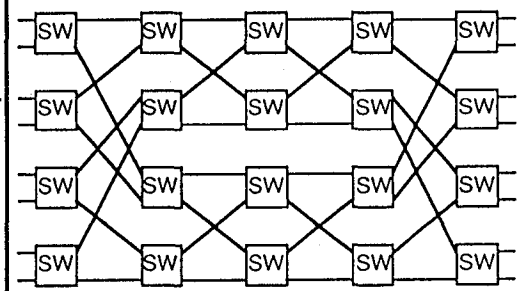
以上のスイッチの特徴を表１．２に示す。この中で原理的にバッファメモリのＲ／Ｗ速度が小さく、総バッファメモリ量も比較的少ない②入力バッファ型スイッチと、小規模な単位スイッチを用いて容易に大規模スイッチを構成できる⑤多段バッファ型スイッチがＡＴＭクロスコネクトに必要な大容量スイッチを実現しやすいと判断し、この２種のスイッチについて検討を行った。

クロスコネクトスイッチはパスの編集を行うものであるから、呼毎に接続を行う交換用スイッチと異なって、接続変更の頻度は少ないが、様々な接続要求に対しても内部ブロッキングをなしに接続しなければならない。さらに、多数の交換機間のパスを接続するスイッチであることから、交換機用スイッチより大容量であることが要求される。本論文ではこのような特殊な要求条件を持つクロスコネクトスイッチに用いられるスイッチ網の構成および制御アルゴリズムの研究について述べる。

表1.2　ＡＴＭスイッチ形式の比較（１／２）

形式	(a)集中バッファ型スイッチ	(b)入力バッファ型スイッチ	(c)出力バッファ型スイッチ
スイッチ構成	MUX RAM DMUX Cont.	Buffer Buffer Buffer Buffer 空間 Swich 競合制御	MUX Buffer Buffer Buffer Buffer
バッファ速度	1 セル時間当たりN write N read	1 セル時間当たり1 write 1 read	1 セル時間当たりN write 1 read
バッファ量	<O(N)	O(N)	>O(N)
特徴	入出力トラヒックの大群化効果により最も少ないメモリでスイッチが実現できる	バッファ動作速度が遅いのでポート速度が大きいスイッチに適する スイッチのスループットが競合制御アルゴリズムの良否に依存する	通常のキューイングモデルと一致し、バッファ制御が簡単
研究課題	バッファメモリの高速化	競合制御アルゴリズム 空間スイッチ	バッファメモリの大容量化 バッファメモリの低消費電力化
備考		第３章で空間スイッチ、第４章で競合制御アルゴリズムを検討	

表1.2　ＡＴＭスイッチ形式の比較（２／２）

形式	(d)クロスポイントバッファ型スイッチ	(e)多段バッファ型スイッチ
スイッチ構成		
バッファ速度	１セル時間当たり1 write 1 read	１セル時間当たり2 write 1 read (出力バッファ型単位スイッチの場合)
バッファ量	$<O(N^2)$	$O(N\log_2 N)$
特徴	バッファ制御が容易 全体のバッファ量が多い	リンク数が多い 全体のバッファ量が多い
研究課題	バッファメモリの低消費電力化	内部輻輳の回避 セルの時間順序保持
備考		第２章で検討

１．３　論文の概要

第１章は序論であり、本研究の歴史的背景と目的について述べるとともに、本論文の構成について述べる。第２章では２×２の小規模スイッチを多数多段に接続することにより、クロスコネクトを実現するために必要な大容量スイッチを得ることができる多段バッファ型スイッチのスイッチ網トポロジーならびにスイッチングアルゴリズムについて述べる。第３章ではＡＴＭの入力バッファ型スイッチやＳＴＭ用のＴ－Ｓ－Ｔ３段スイッチ[14]の中間スイッチに用いる新しい構成のセルフルーチング型の空間スイッチについて述べる。第４章では分散処理を用いて高いスループットの得られる入力バッファ型スイッチのセル競合制御アルゴリズムを提案し、評価する。第５章は結論であり、本研究で得られた結果について述べる。

２章　多段バッファ型スイッチ網

２．１　緒言

近年、同期多重・回線交換技術で構成されている現状の通信網を、パケット信号処理技術を用いることにより、より柔軟で統合された新しい通信網に代わることを狙いとした研究が各国で進められている。[5][32]

この通信網を構成し、パケット信号の多重・回線編集する伝達処理ノードでは、高速の伝送路から大量に入力するパケット信号を、少ない遅延時間で異なる他の伝達処理ノードへ向かう複数の出力側伝送路に編集するパケットクロスコネクトスイッチが必要になる。[7]

このパケットクロスコネクトスイッチには、大容量かつ高速な処理が要求されるため、

①スイッチング制御が簡単なこと

②多端子の大容量なスイッチ網を構成しても単位スイッチ数が急増しないこと

③高速動作する単位スイッチが不要なこと

更に、一般的な条件として、

④内部輻輳[33]がないこと

⑤入力パケット信号の遅延時間が小さいこと

⑥スイッチ網内に入力したパケット信号の順番が入出力端子間で入れ換わらないこと（パケットの時間順序保存）

等が必要となる。

この条件に適したスイッチ網として、内部に入力パケット信号の衝突を回避するためのバッファメモリを持ち、２入力×２出力の単位スイッチを複数個接続して構成する多段バッファ型スイッチ網の研究が各国において進められており、これまでにもbanyan網[29]、Benes網[33]等の種々の構成が提案されている。[34]

この中でも、banyan網は、入出力端子数が同一という条件のもとで、最も単位スイッチ数が少なく、前述のクロスコネクトスイッチ網の条件②に対しては極めて有利となる。しかし、内部輻輳を生じないためには、単位スイッチの動作速度をスイッチ網端子数に比例して増加させる必要があり、前述の条件③④が両立しない。

また、Benes網は、上述のbanyan網に比べて約２倍の単位スイッチが必要となるが、

スイッチ網端子数が増加しても単位スイッチの動作速度は一定であり、前述の条件③④の観点からはbanyan網よりも優れている。[33]

しかし、このスイッチ網は、条件⑥のパケットの時間順序の保存が出来ない[31]等、それぞれに一長一短がある。

本章では、内部輻輳なしに動作するスイッチ網としては、単位スイッチ数が最小であるBenes網のトポロジーを基本とし、スイッチ網端子数が増加しても単位スイッチの動作速度が一定で、入力パケット信号の時間順序保存が可能になる新しいルーチングアルゴリズムを提案する。

次に別のアプローチとして、上記banyan網のトポロジーを基本とし、その欠点をなくすために、スイッチ網の入力端子と出力端子を接続する折り返しリンクを設けた新しいトポロジーと、入力したパケット信号の内、スイッチ網内を一度通過するだけで、内部輻輳なしに目的の出力端子に到達するパケット信号はそのまま出力し、一度通過するのみでは内部輻輳が避けられないパケット信号は、新しく設けた折り返しリンクを用いて、入力端子に戻して再度ルーチングを行う新しいスイッチングアルゴリズムを提案すると共に、諸特性についてシミュレーションを行い、ここで提案する折り返しbanyan網の特徴を明らかにする。

２．２　Benes網を用いたパケットクロスコネクトスイッチ網

２．２．１　Benes網の性質と時間順序の保存

Benes網は、２入力×２出力の単位スイッチから構成される空間スイッチである。[35]　本章ではこのBenes網のトポロジーを高速パケットスイッチに応用するため、単位スイッチの内部にパケット信号の衝突を回避するバッファメモリを持たせる。2^n入力×2^n出力のBenes網Ｂ(n)は、この単位スイッチを用い、図２．１に示すように、2^{n-1}入力×2^{n-1}出力からなる２個の部分Benes網Ｂ(n-1)とそれらを接続するために入出力段に１段の単位スイッチを付加して構成する。[33]

ただし、図２．１には、一例としてn=3の場合を示している。

いま、図２．１に示すBenes網の第ｉ番入力端子と第ｊ番出力端子を接続する経路は、①単位スイッチ〔1, i〕、部分Benes網Ｂu(n-1)｛n=3｝、単位スイッチ〔2n-1, j〕の順に通過する経路と、②単位スイッチ〔1, i〕、部分Benes網Ｂd(n-1)｛n=3｝、単位スイッチ〔2n-1, j〕の順に通過する経路の２種類がある。また、部分Benes網Ｂ(n-1)｛n=3｝についても同様に、①単位スイッチ〔2, i'〕、部分Benes網Ｂu(n-2)｛n=3｝、単位スイッチ〔2n-2, j'〕の順に通過する経路と、②単位スイッチ〔2, i"〕、部分Benes網Ｂd(n-2)｛n=3｝、単位スイッチ〔2n-2, j"〕の順に通過する経路の２種類がある。従って、Benes網全体として、2^{n-1}本の経路が存在す

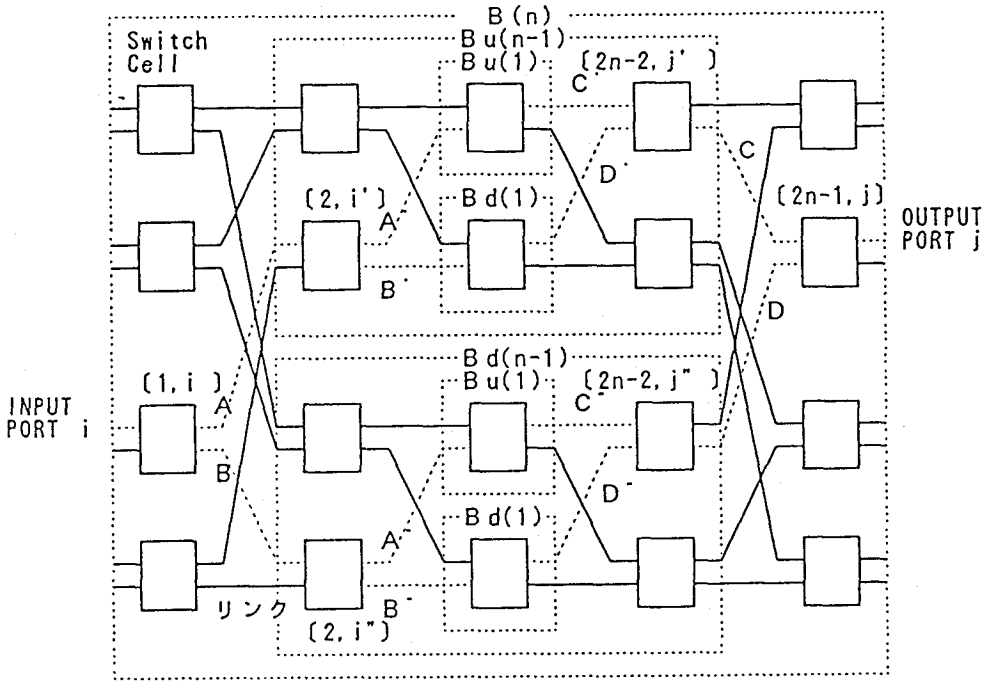


図２．１　Benes網のトポロジー構成（ｎ＝３の場合）

る。このため、同一入力端子からスイッチ網に入力する同一バーチャルパスのパケット信号を異なる径路を通して接続すると、途中の単位スイッチでの遅延時間が異なり、パケット信号の時間順序が入れ換わる可能性がある。

これを避けるには、同一のバーチャルパスに属するパケット信号は、すべて同一かつ単一の経路を通過させる「単一経路ルーチング」が、ルーチング制御の簡易化の観点から有効である。[9] そこで、ここでは、この「単一経路ルーチング」を採用し、パケット信号の時間順序を保存することとする。

２．２．２　内部非輻輳条件

入力側伝送路の各バーチャルパスをどの出力側伝送路に収容するかを決める外部からの要求を接続要求と呼ぶ。前述の「単一経路ルーチング」では、その接続要求から、すべてのバーチャルパスを効率良く（高いスループットで）接続するためのスイッチ網内の経路を選定する。それに従って、各バーチャルパスを構成するパケット信号を、その決められた経路を通過させることになる。

この通過経路を決める場合、スイッチ網を内部輻輳なしに動作させるには、従来のBenes網で採用している「各単位スイッチ間を接続しているリンクを通過するパケット信号のフロー量を完全に均等化」することが有効である。[33]

２．２．３　経路選定アルゴリズムの提案

（１）経路選定アルゴリズムの導出

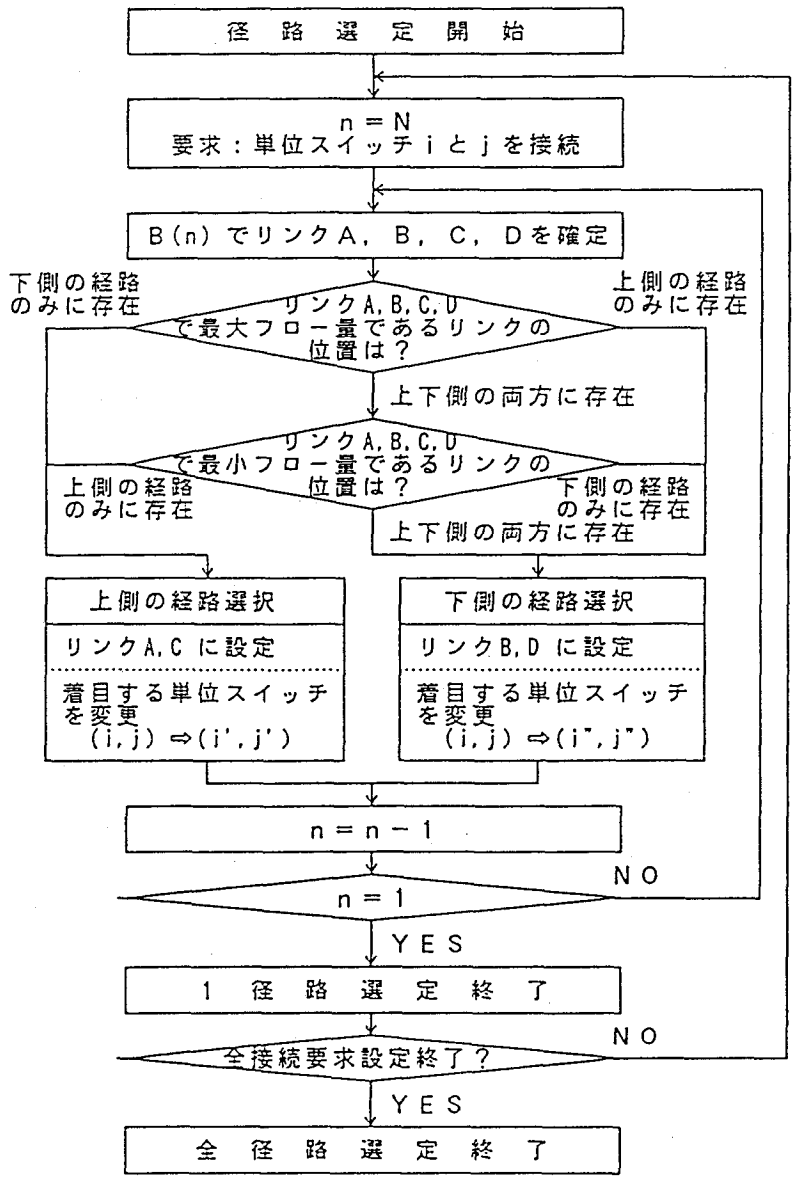
次に、上記の基本的考え方に基づいて、入力パケット信号の時間順序の保存と、ある低速の動作速度で内部輻輳が生じない動作が保証された経路選定アルゴリズムを検討する。

Benes網Ｂ(n)は、図２．１に示すように、上下、及び、左右対象な構造となっており、このスイッチ網トポロジーの性質を利用することが、経路選定アルゴリズムの簡易化に有効である。

図２．１のBenes網Ｂ(n)の第１段目のすべての単位スイッチと最終段のすべての単位スイッチ間に経路を設定する場合を考える。このとき、既に一部の経路が設定されている状況下で、第１段目の単位スイッチ〔1, i〕と最終段の単位スイッチ〔2n-1, j〕間に、「各単位スイッチ間を接続しているリンクを通過するパケット信号のフロー量を可能な限り均等化」するように経路を設定するアルゴリズムを考察す

る。

この場合、経路としては、①リンクA→部分Benes網Bu(n-1)→リンクCと、②リンクB→部分 Benes網Bd(n-1)→リンクDの2種類がある。ところで、リンクA、B、C、D共に他の既に選定された経路でリンク容量の一部が既に占有されている。従って、リンクA、B、C、Dの中から、新たに設定する経路は、以下の手順に従って選定する。



N＝$\log_2$L（L：全Benes 網の入（出）力端子数）
n＝$\log_2\ell$（ℓ：部分Benes 網B（ℓ）の入（出）力端子数）
B(n)：2^n 端子からなる部分Benes 網

図2．2　Benes網経路選定アルゴリズムのフローチャート

(a)リンクA、B、C、Dの中で、1本のみリンクフロー量が最大の場合は、そのリンクを通過しない経路を選定する。
(b)リンクA、B、C、Dの中で、2本以上のリンクフロー量が等しく最大の場合で、かつ、フロー量最小のリンクを通過する経路が一意に定まる場合は、その経路を選定する。
(c)その他の場合は、部分Benes網Bd(n-1)を通過する経路を選定する。

以上で Benes網B(n)の初段リンクと最終段リンクの選定が終了した。次に、部分Benes網Bu(n-1)とBd(n-1)の初段リンクと最終段リンクの選定を行う。この場合、部分Benes網B(n-1)のトポロジーは、Benes網B(n)を1段小規模にした構造であるので、前述の手順を用いて、経路を選定する。以上の手順を順次部分Benes網B(1)まで繰り返すことにより、第1段目の単位スイッチ〔1, i〕と最終段の単位スイッチ〔2n-1, j〕間のすべての経路選定が終了する。以上の経路選定アルゴリズムをフローチャートで図2．2に示す。

（2）提案アルゴリズムの内部非輻輳条件

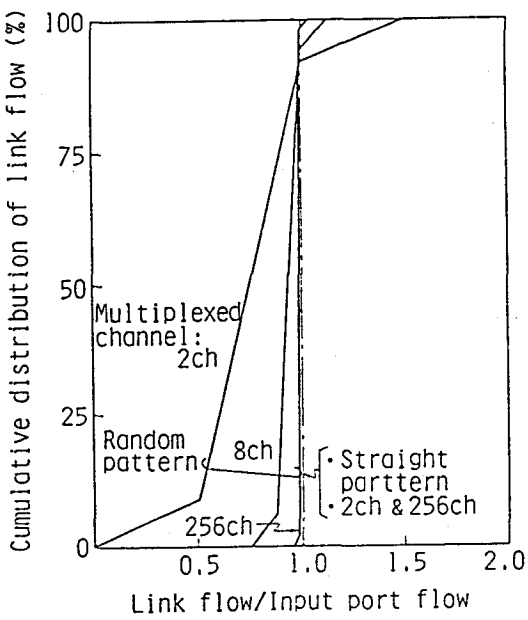
上記アルゴリズムでは、各リンクのフロー量を完全に均等にすることは不可能である。従って、2．2．2で述べたようにスイッチ網の内部輻輳を完全に防止することはできない。ここでは、各リンクの速度を入出力端子のフロー量よりも大きくすることによってスイッチ網の内部輻輳を防止することを考える。そのため、本アルゴリズムによって発生する最大リンクフロー量と入出力端子フロー量の比をシミュレーションにより求め、必要となるリンク速度を求める。

スイッチ網のシミュレーションでは、スイッチ網端子数が多くなる程、また、入出力端子間の接続経路数が多くなる程計算時間が増大し、結果を求めることが難しくなる。ここでは、入出力端子間接続パターンを表2．1に示す、
①Benes網の最良条件、及び、後述のbanyan網の最悪条件を与えるストレート形
②Benes網の最悪条件、及び、banyan網の最良条件を与えるランダム形
の2種類に限定し、スイッチ網端子数をパラメータとして、シミュレーションを実行した。また、各リンクのフロー量均等化の程度は、各入力端子毎の経路数（バーチャルパス数）とそのフロー量によって異なるので、それらをすべての入力端子で一定にした。

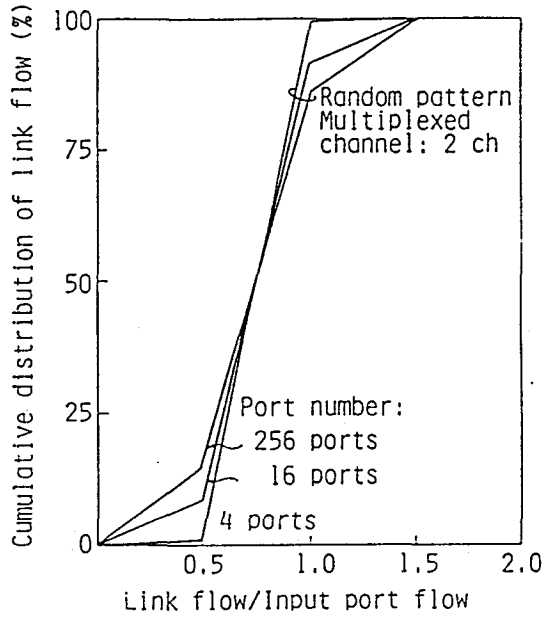
以上の条件下で計算したBenes網のリンクフロー量と入出力端子フロー量の比の累

表２．１　Benes 網の特性評価用接続パターン

項目 ＼ パターン名		ストレート形	ランダム形
接続パターン・フロー量	構成	スイッチ網 入力端子 …… 出力端子	スイッチ網 入力端子 …… 出力端子
	入出力端子フロー量の入力条件	・全入出力端子で一様	・全入出力端子でランダム （ただし、端子当たりのフロー量に制限あり）
スイッチ網が最悪／最良特性となるフローの条件		最悪条件：特定のリンクにフローが集中した場合 最良条件：各リンクにフローが分散した場合	
		・入出力端子のフローが偏在する場合	・入出力端子のフローが一様の場合
備考		・Benes 網の最良条件 ・banyan網の最悪条件	・Benes 網の最悪条件 ・banyan網の最良条件



(a)パスの多重数との関係



(b)ポート数との関係

図２．３　リンクフロー量の累積度数分布

積度数分布を図２．３(a),(b)に示す。図２．３(a)から、大きいフロー量のリンク数が多くなる最悪の場合は、ランダム形の接続パターンでバーチャルパス数が２の場合である。この場合でも、最大リンクフロー量は入出力端子フロー量の２倍を越えることはないことが明らかである。また、図２．３(b)に示した前述の最悪の場合におけるスイッチ網の入出力端子数と累積度数分布の関係からも同様のことが言える。従って、本提案のアルゴリズムでは、リンク速度を入出力端子フロー量の２倍より大きくすれば内部輻輳が防止できる。

２．２．４　スイッチ網の評価

上記の結果から、ここで提案した経路選定アルゴリズムにより入力パケット信号の時間順序の保存と内部輻輳動作が生じない条件が明らかになった。

本章では、このアルゴリズムによるスイッチ網の他の特性である ①経路選定手順数、 ②遅延時間、 ③必要蓄積メモリ数、 ④単位スイッチ数について検討し、既に提案されているbanyan網、及び、太田ら[33]の提案したアルゴリズムを用いたBenes網と比較する。

（１）経路選定手順数

Benes網内に各バーチャルパスの経路を選定する場合、リンクＡ、Ｂ、Ｃ、Ｄのフロー量を比較し、フロー量が最大、または、最小のリンクを決定し、経路を選定する必要がある。この比較の回数を経路選定手順数とすると、図２．２に示したアルゴリズムの経路選定手順数は式(2.1)で表される。

$$\sum_{r=1}^{k} \sum_{n=2}^{N} X_{n,r} \qquad (2.1)$$

$$k = c \times L \qquad (2.2)$$

$$N = \log_2 L \qquad (2.3)$$

ただし、Ｃは１入力端子当たりのバーチャルパス数、Ｌは入出力端子数、$X_{n,r}$は部分Benes網Ｂ(n)内で第ｒ番目の経路を選定する図２．２のフローチャートの判断回数であり、シミュレーションにより求める。

図２．４に、シミュレーションにより求めた式(2.1)の結果を示す。入出力端子間の接続パターンにより手順数の大小はあるが、端子数の増加に対して、ほぼＬ×$\log_2$Ｌに比例して増加していることが分かる。

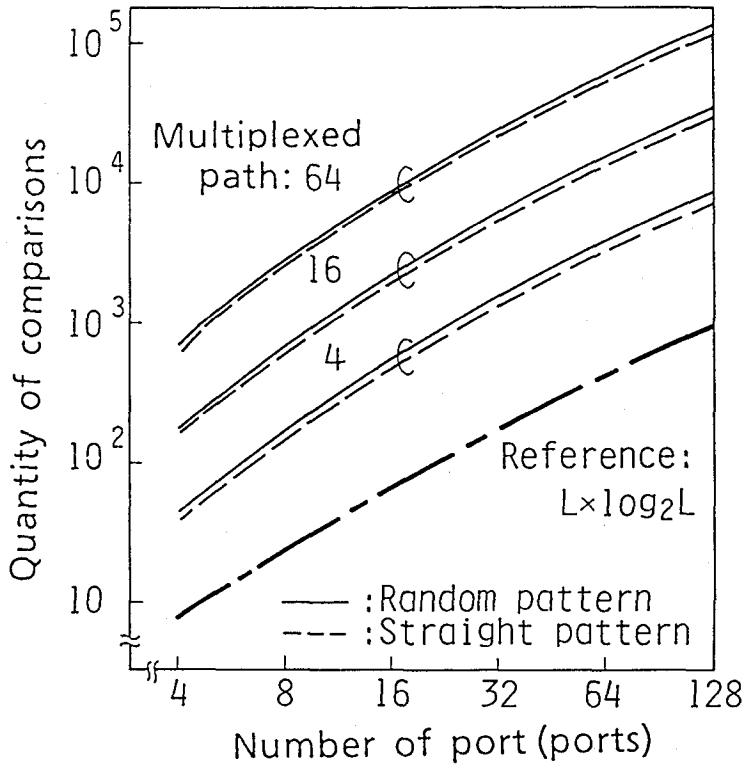


図２．４　経路選定アルゴリズムの手順数

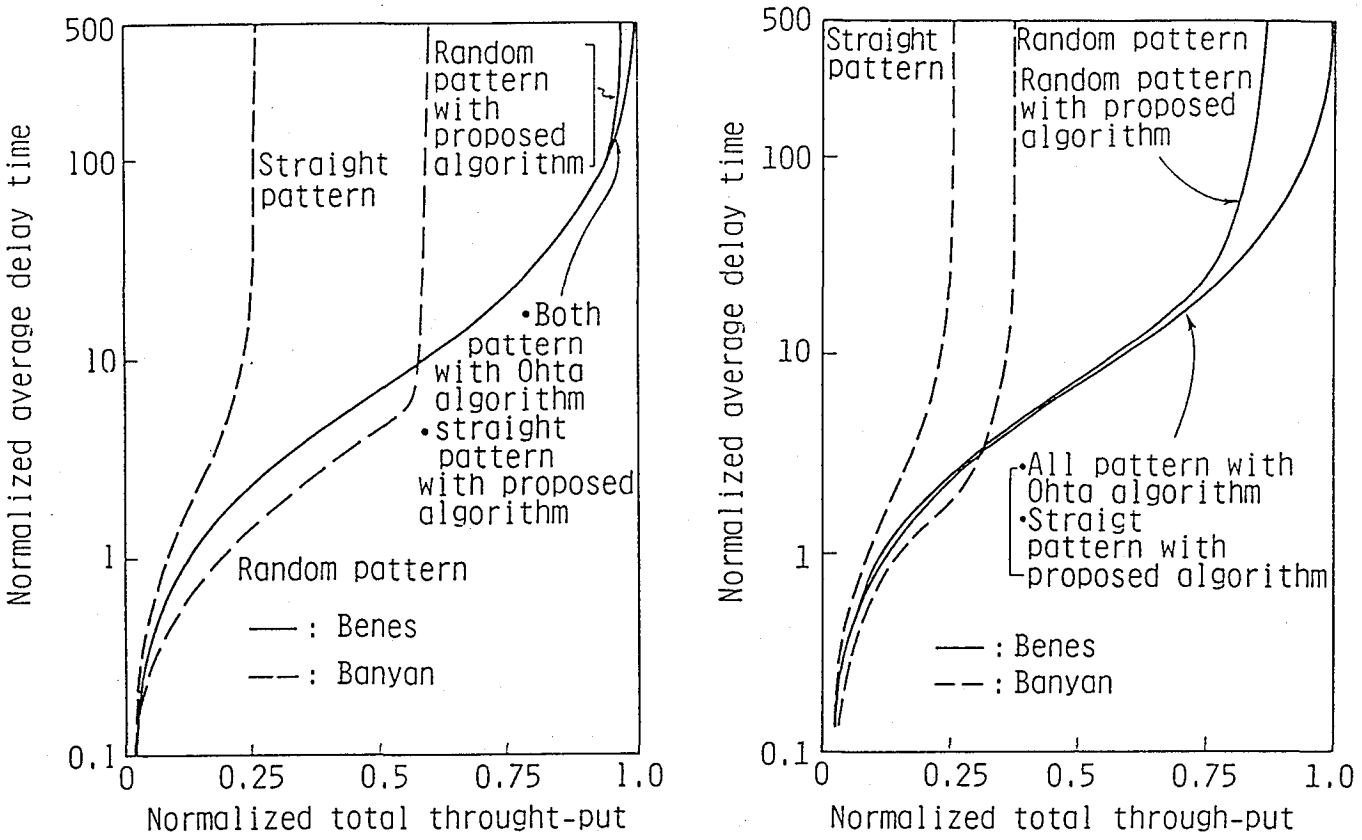
（２）遅延時間

１６入力×１６出力のスイッチ網規模について、下記の仮定のもとで、前述の２種類の入出力端子接続パターンに対し、前述の経路選定アルゴリズムのシミュレーションを行い、入力端子ｉから出力端子ｊへ接続されるパケット信号の規格化平均遅延時間ｄｒを式(2.4)で求めた。

$$dr = \sum_{k=1}^{2n-1} fr(k)/(1-fr(k)) \qquad (2.4)$$

なお、式(2.4)で、ｆｒ(k)は経路選定シミュレーションで定まった第ｒ番目の経路の第ｋ段目のリンクの総フロー量を、リンク速度で規格化した値（リンクの使用率）

である。また、式(2.4)のΣ内の項は、第ｋ段目の単位スイッチの平均待ち合わせ遅延時間を平均パケット送出時間で規格化した値である。なお、式(4)では、単位スイッチ内でのパケットの待ち合わせを、①単位スイッチへのパケットの到着はポアソン到着、②パケット長は指数分布、③単位スイッチ内でのパケットの待ち合わせは半蓄積方式、と仮定してＭ／Ｍ／１（∞）のモデルに近似して求めている。[36]
このようにして求めたｄｒを全バーチャルパスで平均したものを図２．５に示した。



(a)ポート当り３２多重の場合　　ポート当り８多重の場合

図２．５　スイッチ網スループットと規格化平均遅延時間

図２．５(a)は、入出力端子速度とリンク速度が同一で、入出力端子での許容多重数が３２本の場合（入出力端子速度が３２本分のバーチャルパスの容量を持つ場合）、図２．５(b)は、８本のバーチャルパスの場合である。また、図２．５には、比較のためにbanyan網、及び、太田らの提案したアルゴリズムによるBenes網の特性も示している。なお、図中の規格化スループットとは、スイッチ網を通過するパケットのスループットをスイッチ網の入力端子の速度の和で規格化したものをいう。

図２．５(a)、(b)から、高いスループットの場合でも、太田らの提案したBenes網は入出力端子での多重数によらず遅延時間が小さいこと、本提案のBenes網とbanyan網の遅延時間は多重数が大きくなると改善されることがわかる。更に、本提案のBenes網の遅延特性は、多重数が３２程度以上では、ほぼ太田らの提案したBenes網と同等の特性を示す。

（３）パケット蓄積バッファ数とパケット廃棄率

前述の遅延時間の算出法と同様に、図２．２の経路選定アルゴリズムで与えられるスイッチ網内の各リンクのフロー量をシミュレーションによって求める。このフローに対して、Ｍ／Ｍ／１（ｍ）モデル[36]を適用し、パケット蓄積バッファ数ｍをパラメータとして各単位スイッチの入出力端子間接続経路毎のパケット廃棄率を求める。次に、スイッチ網を通過するある第ｒ番目のバーチャルパスの経路に沿って、各単位スイッチの廃棄率を加え、第ｒ番目の経路の廃棄率を求める。全バーチャルパスの廃棄率の平均を取り、それをスイッチ網全体の廃棄率とし、単位スイッチ当たりのパケット蓄積バッファ数とスイッチ網全体の廃棄率の関係を求めた。なお、Ｍ／Ｍ／１（ｍ）モデルにおいて、スイッチ網内リンク速度と入出力端子速度の関係は、各スイッチ網について（２）の遅延時間評価と同一にしている。

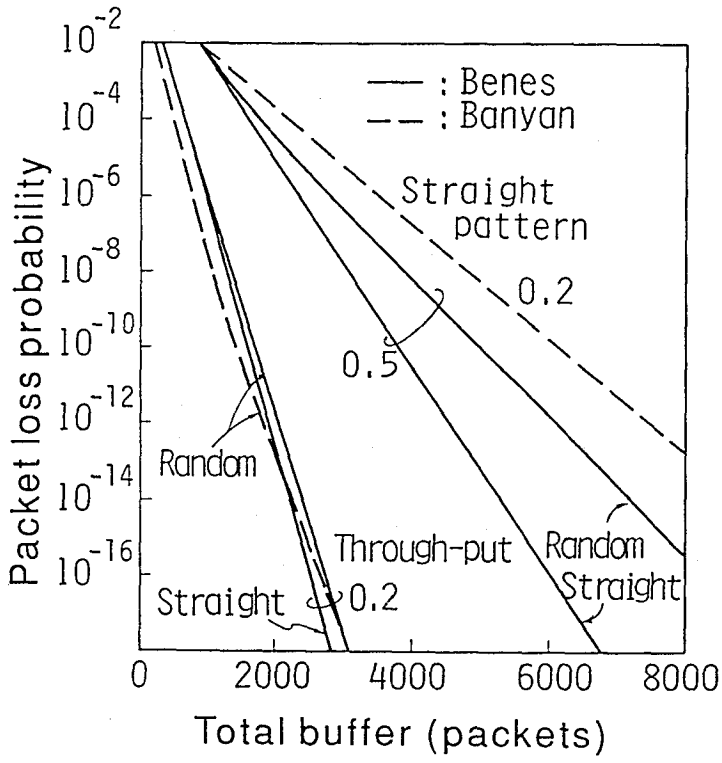


図２．６　パケット蓄積バッファ数とパケット廃棄率

１６入力×１６出力端子のスイッチ網で、多重数が４、規格化スループットが０．２と０．５の場合について、スイッチ網全体のパケット蓄積バッファ数と廃棄率の関係を計算し、図２．６に示す。なお、図２．６において、banyan網の規格化スループットが０．５の場合は、内部輻輳が生じているので示していない。

図２．６の規格化スループットが０．２の場合から明らかなように、banyan網をストレート形の接続パターンで使用した場合に、一定のパケット廃棄率を確保するためには、多数のパケット蓄積バッファが必要となりBenes網に比べて不利となる。

（４）単位スイッチ数

Benes網の入出力端子数と単位スイッチ数の関係は$L\times(2\times\log_2 L-1)/2$、banyan網では$L\times(\log_2 L)/2$となる。従って、同一端子数のスイッチ網を構成するために必要なBenes網の単位スイッチ数は、banyan網の約２倍となり、この点ではbanyan網が有利となる。ただし、Ｌは入出力端子数である。

（５）スイッチ網内リンク速度

前述のように、本提案によるBenes網は、スイッチ網の端子数によらずリンク容量を入出力端子のフロー量の２倍より大きくすれば内部輻輳が生じない。従って、リンク速度を入出力端子速度の２倍とすれば、内部輻輳が生じない条件となる。また、太田らの提案によるBenes網では、リンク速度と入出力端子速度は同一でも内部輻輳は生じない。[33]

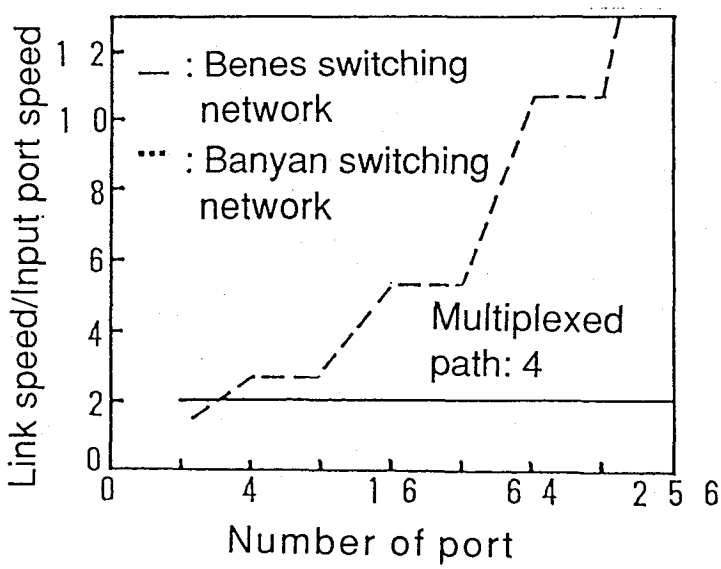


図２．７　各種スイッチ網の必要リンク速度

一方、banyan網は、入出力端子数が増加するに従ってリンク速度を速くしないと内部輻輳を生じる。banyan網の内部輻輳を防止するためには、図２．７に示すように入出力端子数に比例したリンク速度が必要である。

（６）総合評価

以上の各項目をまとめて表２．２に示す。太田らの提案によるBenes網とbanyan網は、単位スイッチ自身が経路を自動的に選定するので、本提案のBenes網のように経路選定手順が必要なく、煩雑な接続変更を伴うスイッチに適している。しかし、太田らのBenes網はパケット信号の時間順序が保存されない欠点がある。また、banyan網は必要な単位スイッチ数が少ない利点はあるものの、多端子のスイッチ網を構成し、かつ、内部輻輳を防止するためには、入出力端子速度に対して数倍から数十倍の高速動作する単位スイッチが必要になる。逆に、同一動作速度、同一端子数、内部非輻輳という条件でbanyan網と本提案のBenes網を比較すると、banyan網はスイッチ網の端子数が増大するに従って、各入力端子へのパケットのフロー量を減らして行かなければならなくなり、高スループットのスイッチ網に適さないことが分かる。

以上のことから、banyan網は、スイッチ網内を通過する信号が低速で、かつ、頻繁な接続変更が必要となる低スループットのスイッチ網に適している。また、本提案のBenes網は、スイッチ網内を通過する信号が高速で、かつ、接続変更回数が少ない高スループットのスイッチ網に適しているといえる。

表２．２　各種スイッチ網の比較評価

種類 / 項目	本提案のBenes 網	太田提案のBenes 網	banyan網
時間順序保存	可	不可	可
経路選定手順数	$O(L \times \log_2 L)$	無	
スイッチ網内リンク速度	入力端子最大フロー量の２倍	入力端子最大フロー量の１倍	端子数に比例
蓄積パケットバファ数（注１）	２０００		７５００
単位スイッチ数	$L \times (\log_2 L - 1/2)$		$(L/2) \times \log_2 L$
遅延時間（注２）	スループットが０．７５未満で有限	スループットが１未満で有限	スループットが０．２５未満で有限
総合評価	高速・小規模スイッチに適する	時間順序の保存方法が必要	低速・大規模スイッチに適する

（注１）パケット廃棄率10^{-12}を満足するために必要なバッファ数
規格化スループット0.2 各々の最悪接続パターンで比較
（注２）入出力端子当り多重数４の場合

２．３　折り返しbanyan網を用いたパケットクロスコネクトスイッチ網

２．３．１　折り返しbanyan網の構成

（１）banyan網の性質

banyan網は、内部に入力パケット信号の衝突を回避するためのバッファメモリを持ち２入力×２出力の端子を有する単位スイッチから構成されている。[29]　このスイッチ網は、任意の入出力端子間を接続する経路が一通りしかない単一経路スイッチ網であるため、

①入力するパケット信号のヘッダに出力端子番号を付与することによって自動的にスイッチ網内の唯一の経路を選択し目的の出力端子に到達するセルフルーチングが可能であること

②同一の端子数からなるスイッチ網では単位スイッチ段数が最小であるので遅延時間が少ないこと

③入力パケット信号のパケット順序が保存されること

等の利点がある。しかし、このスイッチ網は、単一経路スイッチ網であるため、単位スイッチ間を接続しているリンクのうち中間のリンクにパケット信号のフローが集中する。最悪の場合、スイッチ網の端子数をＬとすると、中間のリンクのフロー量は、入力端子フロー量の2^{X} $\{X=int((\log_2 L)/2)\}$ 倍のフロー量にもなり、内部輻輳を生じる。

これを解決する方法としては、

ｉ．入力信号のフロー量を内部リンク速度の$1/2^{X}$ $\{X=int((\log_2 L)/2)\}$ に低下させる方法

ii．同一の入出力端子間を接続するパスを複数にする複数経路スイッチ網の構成をとる方法

がある。[34]

ｉ．の方法では、スイッチ網を大規模化するに従って規格化スループットが低下し、大規模化によるスループットの増大が図れず本質的な問題の解決にはならない。一方、ii．の方法を適用した場合、前述のbanyan網の３つの利点をすべて満足することは難しくなる。

ここで提案する折り返しbanyan網は、新たにbanyan網の入出力端子間に、それらを接続する折り返しリンクを設け、入力したパケット信号のうち内部輻輳を生じる

パケット信号を、このパスを使用して入力端子側へ折り返し、スイッチ網内を２度通過させることにより、スイッチ網の規格化スループットの低下を避けたものである。なお、この方法は、前述の解決方法のii．になり、前述のbanyan網の利点のうち①、②に制限が加わる。

（２）折り返しbanyan網の構成

提案する折り返しbanyan網の構成を、従来から提案されているbanyan網と比較して図２．８に示す。Ｌ入力×Ｌ出力の折り返しbanyan網は、図２．８に示すように、Ｌ入力×Ｌ出力の２個のbanyan網Ｂu(n)、Ｂd(n)（$n = \log_2 L$）を上下にならべ、それらの後段に、単位スイッチを一段増やし、２個のbanyan網の出力端子Ｂi,u、Ｂi,dと新たに付加した単位スイッチの入力端子Ｍk,u、Ｍk,dとを「接続規則１」に従って接続し、更に、付加した単位スイッチの出力端子Ｏk,d｛１≦ｋ≦Ｌ｝を、banyan網の入力端子Ｉk,d｛１≦ｋ≦Ｌ｝に折り返して構成する。なお、図２．８は、L=8の構成を示している。

「接続規則１」

①出力端子Ｂk,uと入力端子Ｍ2k-1,uとを接続する。

②出力端子Ｂk+L/2,uと入力端子Ｍ2k-1,dとを接続する。

③出力端子Ｂk,dと入力端子Ｍ2k,uとを接続する。

④出力端子Ｂk+L/2,dと入力端子Ｍ2k,dとを接続する。

ただし、ｋは１≦ｋ≦L/2である。

２．３．２　時間順序の保存

折り返しbanyan網に入力するパケット信号が通過する経路には、前述のようにbanyan網を一度通過するのみで、目的の出力端子に到達する経路（以下、banyan経路と称す）と、一度では目的の出力端子に到達せず、折り返しリンクを通り再度banyan網を通過して目的の出力端子に出力される経路（以下、折り返し経路と称す）の２種類がある。折り返し経路には、折り返しリンクの数だけの経路が存在する。同一入力端子から入力する同一バーチャルパスのパケット信号を異なる経路を通して同一の出力端子にスイッチングすると、経路により発生する待ち合わせ遅延時間が異なる。この結果、同一バーチャルパスを構成するパケット信号の順序が入れ換わる可能性がある。

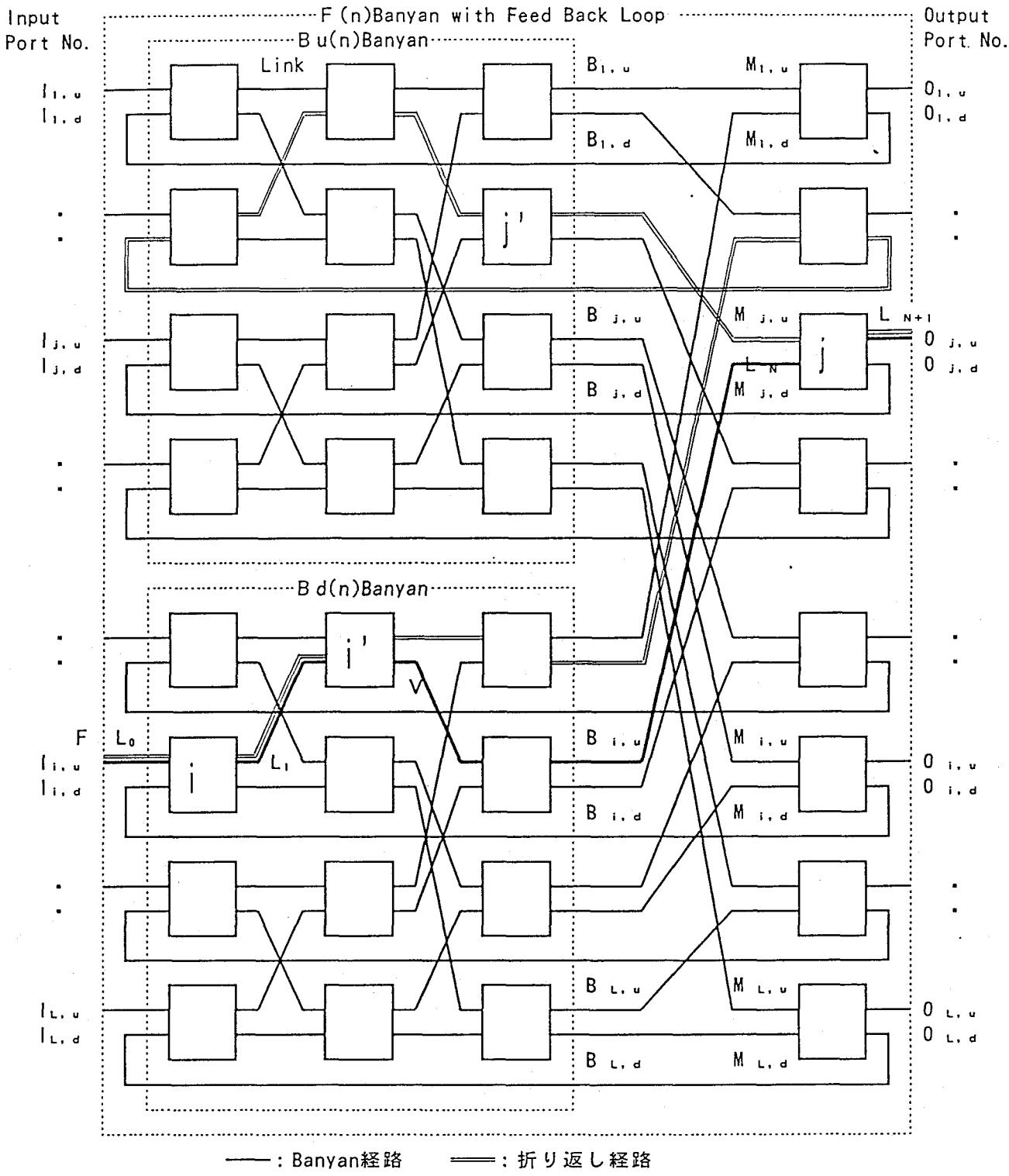


図２．８　折り返しbanyan網の構成

これを避けるには、同一バーチャルパスに属するパケット信号は、すべて同一かつ単一の経路を通過させる「単一経路ルーチング」が、パケット順序保存の簡易化の観点から有効である。ここでは、この「単一経路ルーチング」を採用し、パケットの順序を保証する。

2．3．3　経路選定アルゴリズム（その1）

前述の「単一経路ルーチング」では、入力端子の各バーチャルパスのパケット時間順序を保つために、スイッチ網内に各バーチャルパスの通過経路を選定し、それに従って、各バーチャルパスを構成するパケット信号を、その決められた経路を通過させる。

この通過経路を決める場合、banyan経路を通過するパケット信号は、折り返し経路を通過するパケット信号に比べ通過する単位スイッチ数が少ないため、遅延時間が小さくなり、このbanyan経路を多くする経路選定方法が、遅延特性の観点からは有利となる。

しかし、banyan経路を多く取ると、通常のbanyan網と同様にスイッチ網の中間のリンクにパケット信号のフローが集中し内部輻輳を生じる。そこで、始めに、入出力端子間の接続要求に従って、banyan経路から経路選定を実施し、次に、折り返し経路に経路選定する方法を採用する。この場合、選定する経路をbanyan経路から折り返し経路に変更する条件が問題となる。ここでは、その条件について考察する。折り返しbanyan網の入力端子に加える最大フロー量をFとする。Fの内、banyan経路をとる最大フローをF_B、折り返し経路をとる最大フローをF_Fとすると、式(2.5)が成立する。

$$F = F_B + F_F \tag{2.5}$$

banyan経路において、折り返しbanyan網はbanyan網の入出力段の単位スイッチの片端子を使用しない網と等価なため、中間のリンクには最悪の場合、F_Bの2^X $\{X=int((\log_2 L-1)/2)\}$ 倍のフローが集中する。実際にはbanyan経路のフローの上に折り返し経路のフローが加わるため、さらに大きいフローの集中が生じる可能性がある。従って内部輻輳を防ぐためには、少なくともbanyan経路の中間リンクのフロー量をF以下にしておく必要がある。従って、制御が簡易であることから、入力端子でbanyan経路をとる最大フロー量F_Bを式(2.6)に制限する方法をとる。

$$F_B \leqq F / 2^{X} \quad \{X = \mathrm{int}((\log_2 L - 1)/2)\} \qquad (2.6)$$

式(2.6)の条件の範囲内で遅延の少ないbanyan経路をなるべく多くとるアルゴリズムを採用する。

なお、入力端子の最大フロー制限量Fの具体的値について２．３．５スイッチ網の評価(1)規格化スループットの項で評価する。

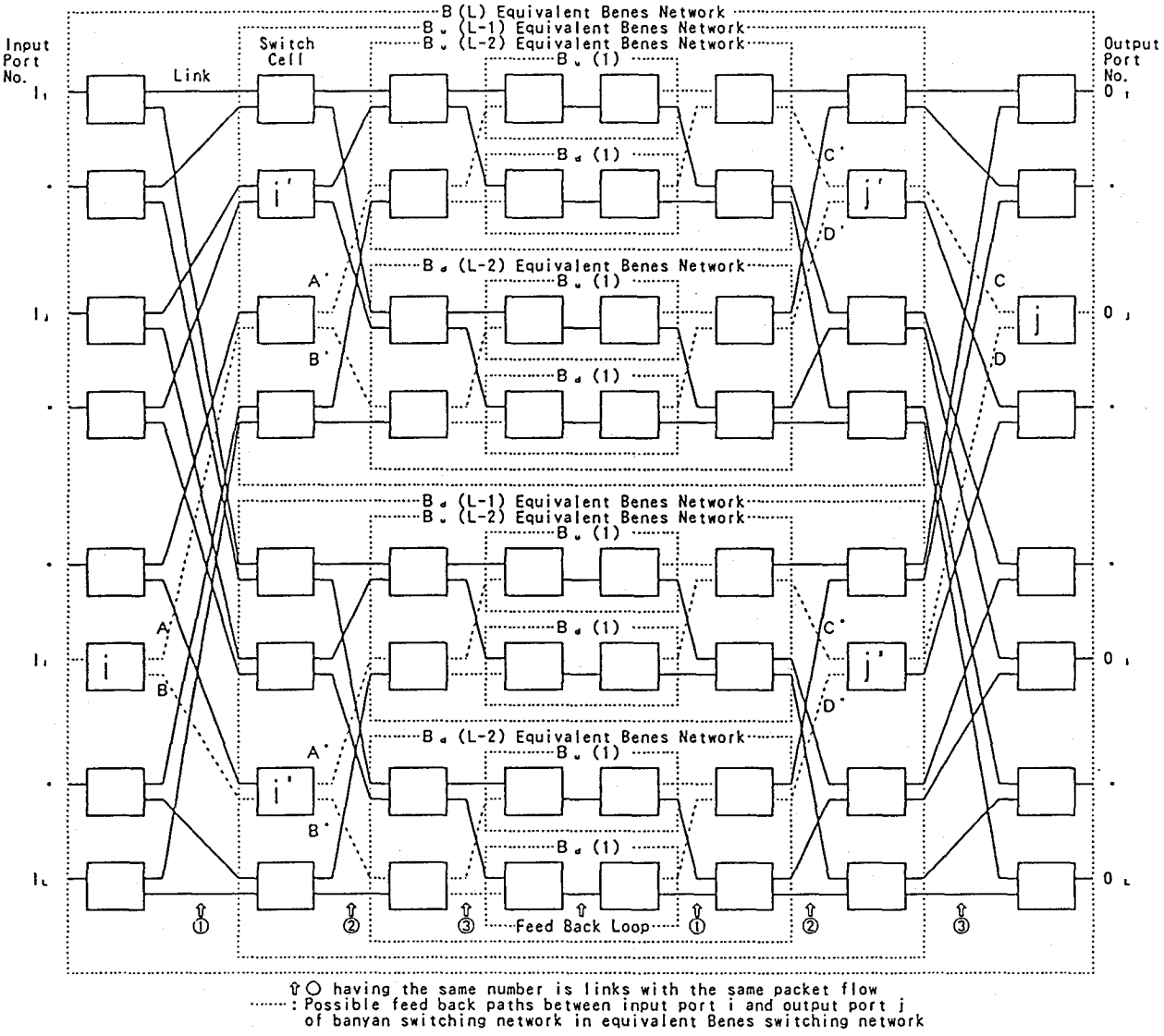
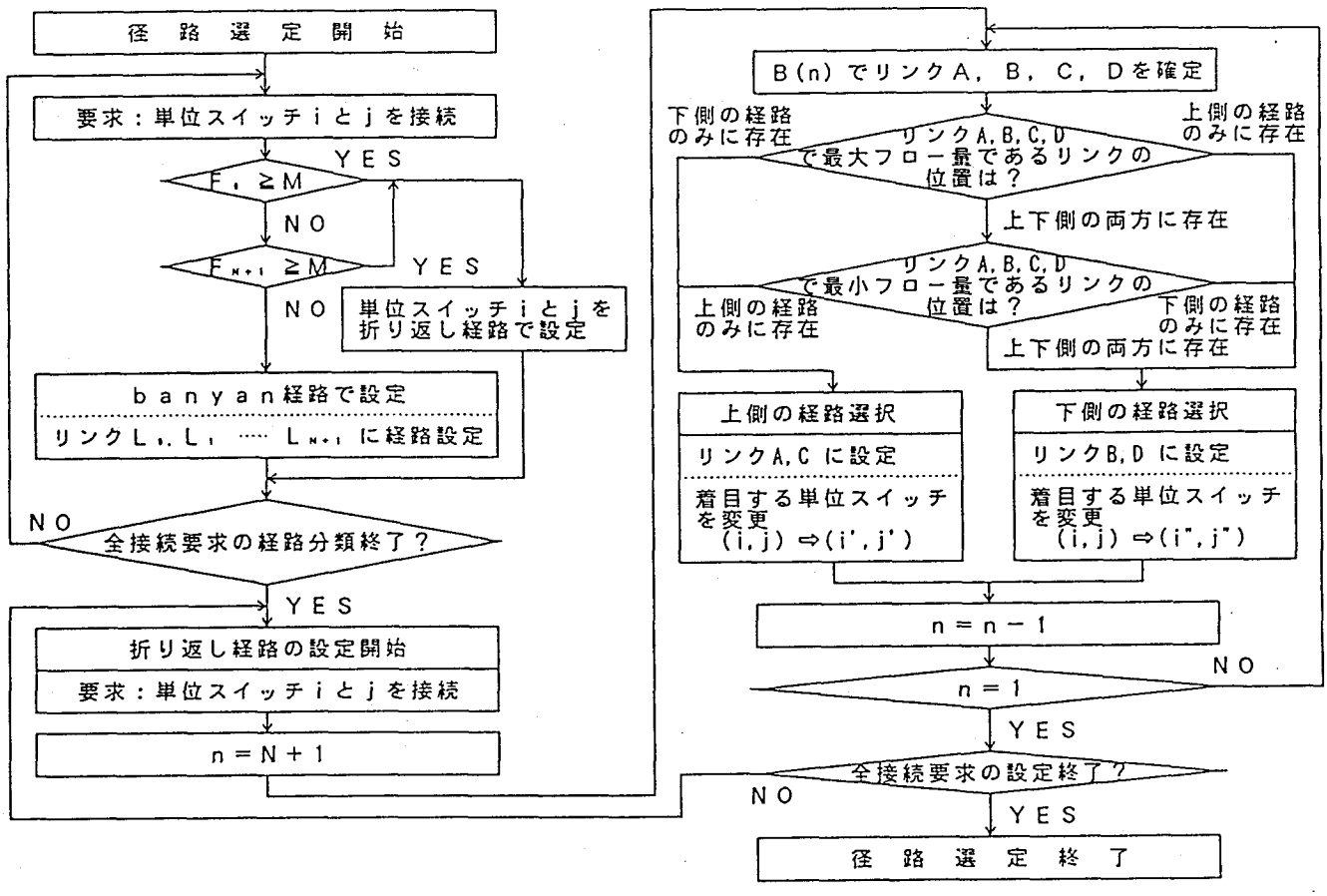


図２．９　折り返しbanyan網のbanyan経路に対する等価Benes網

次に、折り返し経路の選定方法について述べる。banyan網を２回通過する折り返し経路を、パケット信号がスイッチ網内を１回のみ通過するスイッチ網に展開し、単位スイッチを入れ換えると、図２．９に示すようなBenes網のトポロジー構成となる。[34] 従って、折り返し経路選定法は、Benes網を効率的に使用する経路選定方法に帰着する。

Benes網を効率的に使用する経路選定の方法としては、「スイッチ網内の各リンクを通過するパケット信号のフロー量を可能な限り均等化」することが有効であり、そのための経路選定アルゴリズムは２．２．３で述べた。ここでは、そのアルゴリズムを折り返し経路の選定に適用する。

以上に述べた経路選定方法の具体的アルゴリズムを図２．１０のフローチャートに示す。



$M = V \cdot 2^{-i \times t((N-1)/t)}$ 、$N = \log_t L$、Ｌ：折り返しbanyan網の入（出）力端子数、
Ｎ＋１：折り返しbanyan網のスイッチ段数、Ｆｒ：banyan経路第ｒ段と第ｒ＋１段間のリンクフロー量

図２．１０　折り返しbanyan網の経路選定アルゴリズム（その１）

２．３．４　経路選定アルゴリズム（その２）

経路選定アルゴリズム（その１）では処理を簡単にするため入出力端子においてbanyan経路のフロー量を式(2.6)に制限している。式(2.6)よりスイッチ網の端子数が大きくなるとbanyan経路を取り得るフローが少なくなることが分かる。式(2.6)の制限はbanyan網に対する最悪の接続要求を想定して決められている。接続要求によっては式(2.6)の制限を越えてbanyan経路を設定しても内部輻輳が発生しない場合が多い。そこで、より多くのbanyan経路を取れるように、内部輻輳の有無を確かめながら経路選定を行うアルゴリズムを提案する。

経路選定アルゴリズム（その２）では、スイッチ網の内部リンクにbanyan経路のフロー量制限値Ｕを設ける。接続要求に対してまずbanyan経路の設定を試みる。この時、その経路となるリンクすべてのフロー量がＵ未満の場合はbanyan経路での設定が確定する。１つ以上のリンクのフロー量がＵを越える場合はbanyan経路での設定を中止して折り返し経路を選択する。

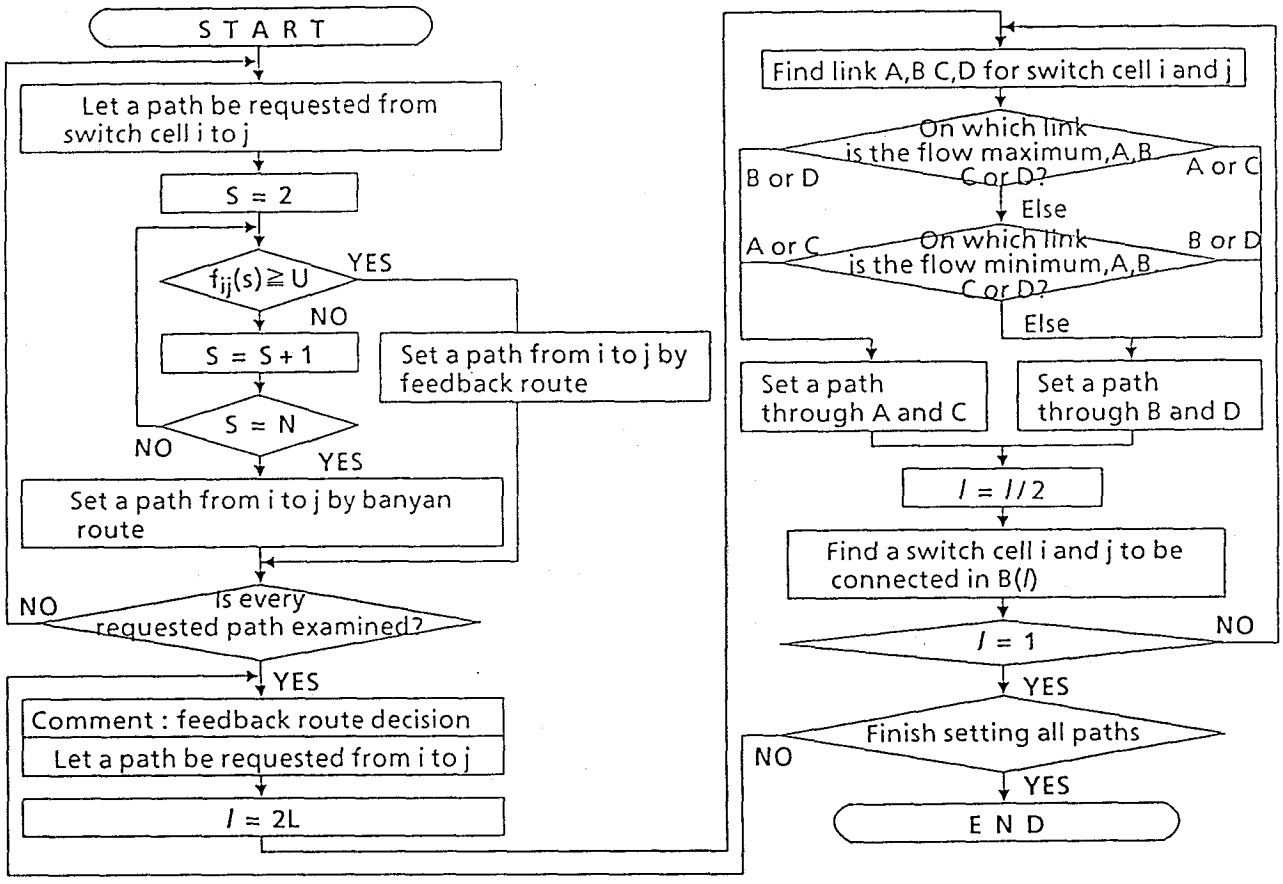
折り返し経路の選定方法は経路選定アルゴリズム（その１）と同様である。

以上の経路選定アルゴリズム（その２）のフローチャートを図２．１１に示す。

このアルゴリズムでは内部リンクのフロー制限値Ｕが重要な役割を果たす。Ｕの値を大きくすればより多くバーチャルパスがbanyan経路となり、スイッチ全体での平均待ち合わせ遅延が減少する。しかし、banyan経路を増やすと内部輻輳が発生する。内部リンクのフロー量はbanyan経路のフローと折り返し経路のフローの和であるから、少なくともbanyan経路のフロー量よりは大きい。折り返しbanyan網の入力端子に加える最大フロー量をＦとする。もし、ＵをＦより大きくすると、banyan経路のフローのみで内部のフローが入出力端子のフロー量より大きくなり、内部輻輳が発生する。従って、ＵはＦ以下でなければならない。さらに、内部輻輳は等価Benes網のフローが完全に均等に分散できないことによっても発生する。多重化されたバーチャルパスの本数が少なく、パスのフローが大きい場合に等価Benes網のフロー分散の不均等さが大きくなる。さらにbanyan経路のフローが等価Benes網の折り返し経路に重なるため、内部輻輳はbanyan経路のフローの分布にも依存してくる。この分布は接続要求のパタンやスイッチ網規模に依存してくる。以上より、Ｕの最適値はスイッチ網規模と接続要求パタンとバーチャルパスの多重数に依存してくることが分かる。

内部輻輳が生じない範囲で最も大きいＵを見つけ出すために、Ｕの値を変えなが

ら様々な接続要求（接続パタン、バーチャルパスの多重数）やスイッチ規模に対して経路を選定するシミュレーションを行う必要がある。しかしながら、このような各種パラメータに対してすべてシミュレーションを行うのは時間的に困難である。従って、ここでは、Ｕはbanyan網のみの内部輻輳条件からＦと等しいとし、次節の評価を行うこととした。



L : Number of portss , $f_{ij}(s)$: Flow on a link between the (s) th and (s-1) th stage on route from switch cell i to j

図２．１１　折り返しbanyan網の経路選定アルゴリズム（その２）

２．３．５　スイッチ網の評価

スイッチ網の評価項目としては、(1)規格化スループット、(2)経路設定手順数、(3)遅延時間、(4)パケット信号バッファ数、(5)同一入出力端子のスイッチ網を構成するのに必要な単位スイッチ数、の５項目が重要である。

以下では、既に提案されているbanyan網とここで提案する折り返しbanyan網について、経路選定のシミュレーションを行って、以上の５項目を比較評価する。

なお、経路選定アルゴリズムのシミュレーションでは、スイッチ網が多端子になる程、また、入出力端子間の接続経路数が多くなる程、計算時間が増大し結果を求

表２．３　折り返しbanyan網の特性評価用接続パターン

項目 ＼ パターン名		クロス形	ランダム形
接続パターン・フロー量	構成	スイッチ網 入力端子 … 出力端子 …	スイッチ網 入力端子 … 出力端子 …
	接続要求	・下部入（出）力端子と上部出（入）力端子が接続 ・端子当りフロー量は一様	・全入出力端子でランダム ・端子当りフロー量は一様
フローの条件 最悪／標準特性となる	一般的条件	最悪条件：特定のリンクにフローが集中した場合 最良条件：各リンクにフローが分散した場合	
	banyan網／banyan経路の場合	・隣接する入（出）力端子と隣接する出（入）端子間をクロス形に接続する場合	・１つの入（出）力端子と多数の出（入）力端子間をランダムに接続する場合
	折り返し経路の場合	・入力端子と出力端子の接続が点対称の場合	
備考		banyan経路、折り返し経路の同時最悪条件	標準接続パターン

めることが難しくなる。そこで、ここでは、スイッチ網の入出力端子間の接続要求パターンを、表２．３に示すクロス型、ランダム型の２種類に限定した。その理由は、以下の通りである。折り返しbanyan網の網トポロジーから、banyan経路は、入出力端子間の接続が点対象の場合が最悪条件となり、また、一本の入（出）力端子が任意の出（入）力端子とランダム接続される場合が標準的な条件となる。更に、折り返し経路も、入出力端子間の接続が、点対象の場合が最悪条件となる。従って、表２．３に示したクロス形はbanyan経路、及び、折り返し経路の最悪条件となり、ランダム形で標準的な特性を評価する。また、シミュレーションは、10^{6}通りの接続要求で打ち切っており、ランダムな設定要求に対して、10^{-6}以下の内部輻輳発生率を保証していることになる。

（１）規格化スループット

スイッチ網の規格化スループットはリンク容量をＶ、内部輻輳を起こさない最大フロー量をＦとすると、Ｆ／Ｖで与えられる。規格化スループットを大きくするためには、リンク容量Ｖになるべく近いフロー量Ｆを通すことが必要である。しかし、折り返しbanyan網においても、網内のフローを完全に均等にすることは不可能であるため、リンク容量Ｖと等しいＦをとると内部輻輳が生じる。

規格化スループットは、１端子に多重化されるバーチャルパス数にも依存するので、入力端子に多重化されるバーチャルパス数をパラメータとして、図２．１０および図２．１１の経路選定アルゴリズムのシミュレーションを実施した。その結果をそれぞれ図２．１２と図２．１３に示す。図２．１２と図２．１３から、バーチ

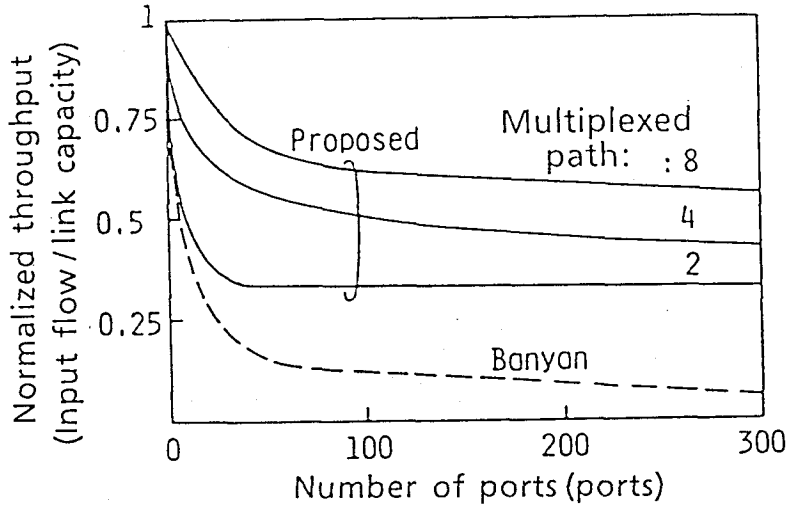


図２．１２　アルゴリズム（その１）の規格化スループット

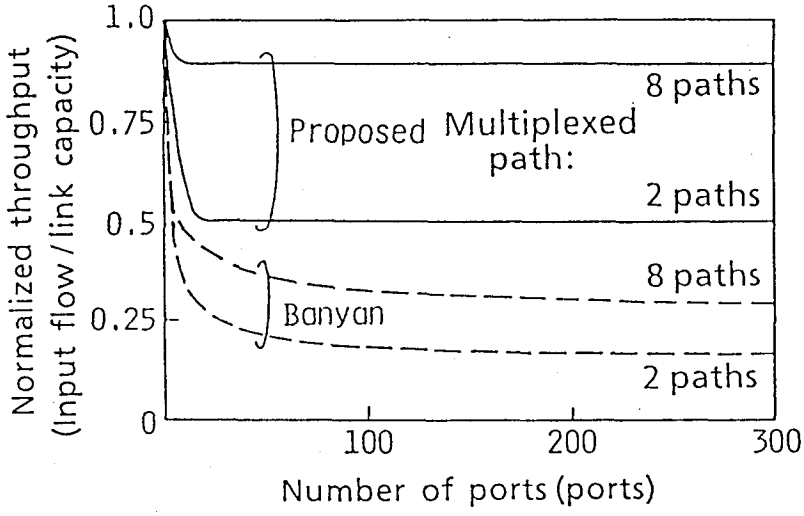


図２．１３　アルゴリズム（その２）の規格化スループット

ャルパス数は２の場合が最悪であり、入力端子数が増大する程、規格化スループットが小さくなることが分かる。ここで、入力端子に多重化されるバーチャルパス数が１の場合は、本論文で扱っているようなバッファを持ったパケットスイッチを用いる必要がないため、除外した。折り返しbanyan網で内部輻輳を起こさないようにするためには、この規格化スループットを越えないように、入力端子最大フロー量Ｆを定める必要がある。図２．１２と図２．１３を比較するとアルゴリズム（その２）のほうが規格化スループットが大きく取れることが分かる。

（２）経路選定手順数

折り返しbanyan網内に、各バーチャルパスの経路を選定する比較判断回数を経路選定手順数として評価する。

アルゴリズム（その１）の場合、図２．１０のフローチャートの中の判断回数のトータルを経路選定手順数とする。

アルゴリズム（その２）の場合も同様に、図２．１１のフローチャートの中の判断回数のトータルを経路選定手順数とする。

図２．１４と図２．１５にそれぞれ２つのアルゴリズムの経路選定手順数のシミュレーション結果を示す。両アルゴリズムとも入出力端子間の接続パターンにより手順数の大小はあるが、端子数の増加に対して、$O(L\times\log_2 L)$で増加していることが分かる。

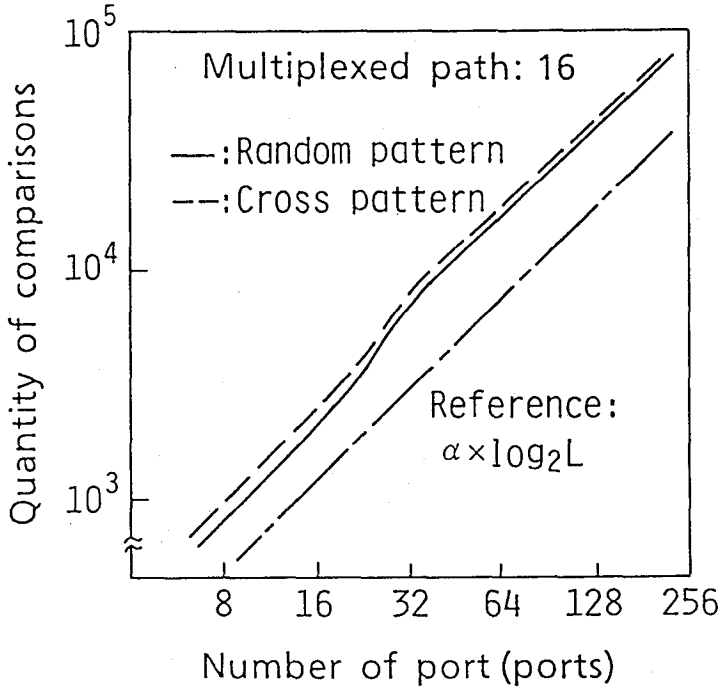


図２．１４　アルゴリズム（その１）の経路選定手順数

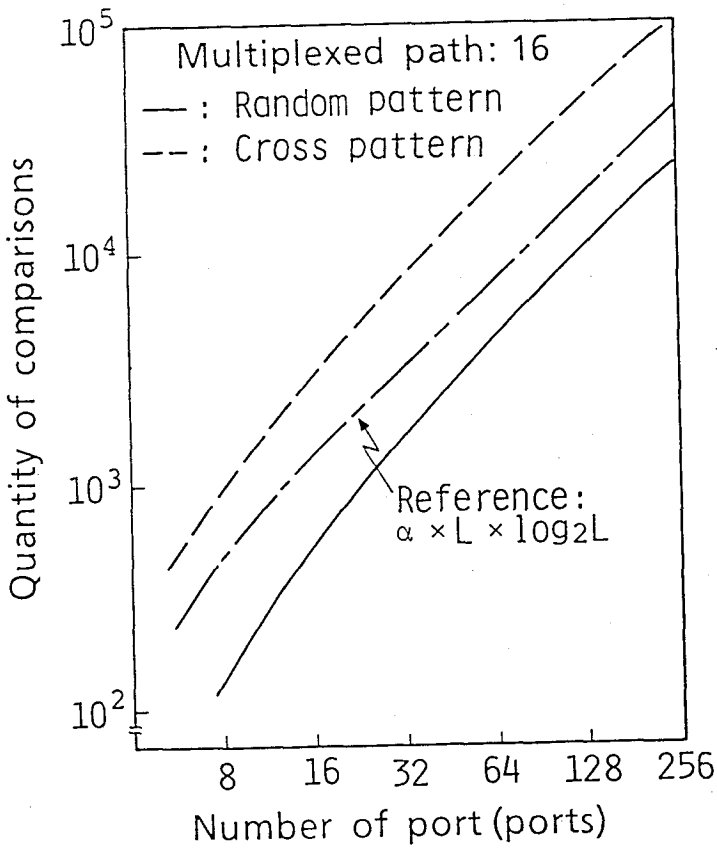


図２．１５　アルゴリズム（その２）の経路選定手順数

（３）遅延時間

１６入力×１６出力のスイッチ網規模について、下記の仮定のもとで、前述の２種類の入出力端子接続パターンに対し経路選定アルゴリズムのシミュレーションを行い、その結果で定まる各リンクのフロー量を用いて、規格化遅延時間を求めた。Ｌ入力×Ｌ出力、Ｎ＋１段（$N = \log_2 L$）の折り返しbanyan網の入力端子Ｉi,uから出力端子Ｏj,uへ接続されるbanyan経路のパケット信号の規格化平均遅延時間ｄi,jは式(2.7)で、入力端子Ｉi,uから出力端子Ｏk,dと入力端子Ｉk,d間の折り返しリンクｋを通って出力端子Ｏj,uへ接続される折り返し経路のパケット信号の規格化平均遅延時間ｄi,k,jは式(2.8)で求められる。なお、式(2.7)(2.8)のΣ内の項は、第ｓ段目の単位スイッチの平均待ち合わせ遅延時間を平均パケット保留時間で規格化した値であり、平均待ち合わせ遅延時間は、各単位スイッチ内におけるパケット信号の待ち合わせを、

①単位スイッチへのパケットの到着はポアソン到着

②パケット長は指数分布

③単位スイッチ内でのパケットの処理を半蓄積

と仮定して、M／M／1（∞）のモデルに近似して求めている。

$$d_{i,j} = \sum_{s=1}^{N+1} f_{i,j}(s)(1 - f_{i,j}(s)) \qquad (2.7)$$

$$d_{i,k,j} = \sum_{s=1}^{2N+2} f_{i,k,j}(s)/(1 - f_{i,k,j}(s)) \qquad (2.8)$$

なお、式(2.7)で$f_{i,j}(s)$は経路選定シミュレーションで定まった入力端子$I_{i,u}$から出力端子$O_{j,u}$へのbanyan経路の第s番目のリンクの総フロー量を、リンク速度で規格化した値（リンクの使用率）である。同じく、式(2.8)で$f_{i,k,j}(s)$は経路選定シミュレーションで定まった入力端子$I_{i,u}$から折り返しリンクkを通って出力端子$O_{j,u}$へ出力される折り返し経路のリンク使用率である。ただし、$f_{i,k,j}(N+1)$は折り返しリンク、$f_{i,k,j}(s)(s>N+1)$は折り返した後の第s-(N+1)番目に通過するリンクの使用率と定義する。この遅延時間を全経路について平均をとることにより、スイッチ網全体の遅延時間を求めた。

ここで提案した折り返しbanyan網と従来のbanyan網について、前述の方法で求め

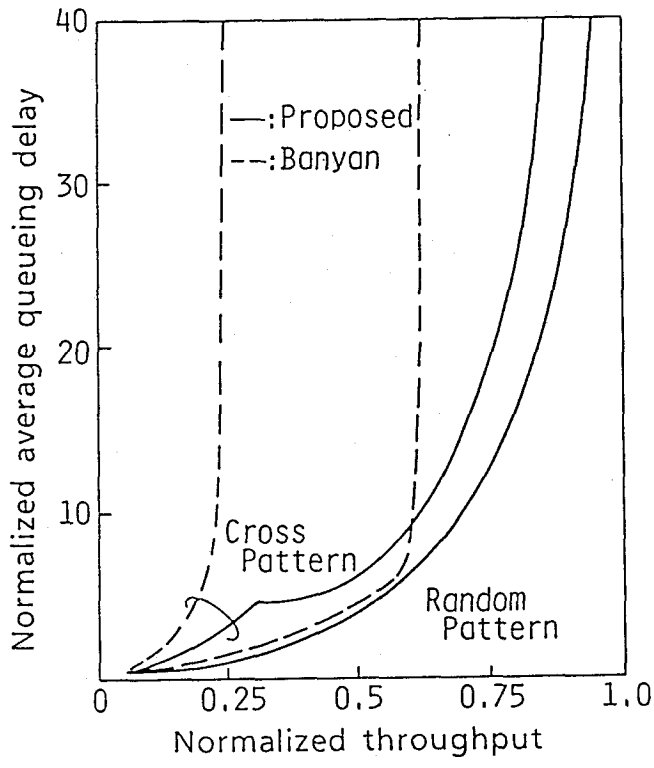


図２．１６　アルゴリズム（その１）の遅延特性

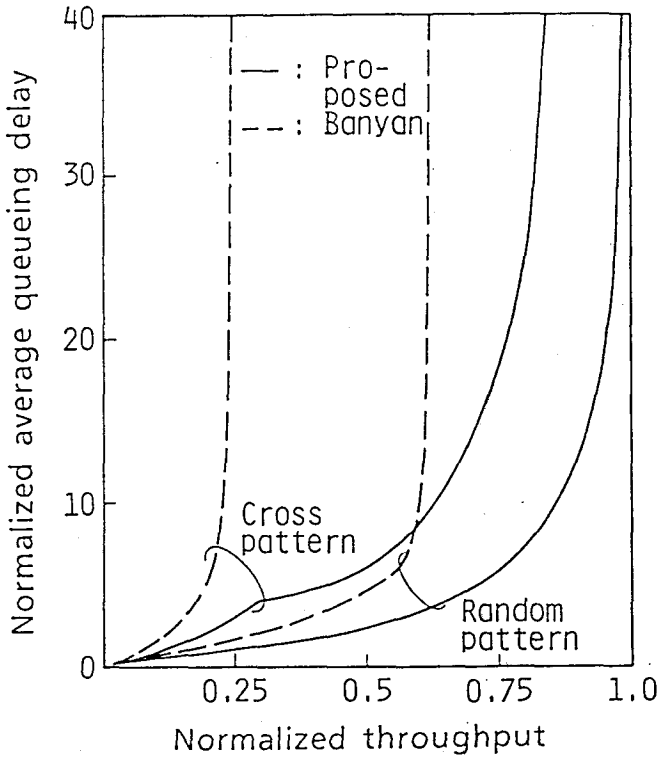


図２．１７　アルゴリズム（その２）の遅延特性

た結果を図２．１６と図２．１７に示す。図２．１６と図２．１７から明らかなように、従来のbanyan網に比べて提案した折り返しbanyan網は、スループットが大きなところで遅延時間が極めて少なくなっていることが分かる。

（４）パケット蓄積バッファ数とパケット廃棄率

（３）では各単位スイッチに無限個のパケットバッファがあると仮定した。しかし、実際のスイッチにおいてはバッファは有限個であるため、内部輻輳が発生していなくても、瞬間的に多数のパケット信号が単位スイッチのバッファに到着し、バッファ容量をあふれてパケット信号の廃棄が生じる。

前述の遅延時間の算出法と同様、経路選定アルゴリズムのシミュレーションを行って定まったスイッチ網内の各リンクのフロー量から、Ｍ／Ｍ／１（ｍ）モデルを用いて、パケットバッファ数ｍをパラメータとして各単位スイッチの入出力端子間接続経路毎のパケット廃棄率を求める。スイッチ網の第ｉ番目の入力端子と第ｊ番目の出力端子を接続する経路に沿って、各単位スイッチの廃棄率を加えることにより、第ｉ番入力端子と第ｊ番出力端子の廃棄率Ｄi,jを求め、スイッチ網全体の平均を取ることにより、スイッチ網全体の廃棄率を求めた。パラメータは、表２．３に

示した２種類の接続パターンで、スイッチ網全体の規格化スループットが０．２と０．５の場合とした。

図２．１８および図２．１９から明らかなように、最悪の場合であるクロス形では、折り返しbanyan網が有利となっており、規格化スループットが０．２の場合でも、パケット廃棄率10^{-10}を確保するには、従来のbanyan網がスイッチ網全体で４６９０個のパケットバッファが必要となるのに対し、折り返しbanyan網は３６３０個であり、後述する単位スイッチ数の差を考えても、折り返しbanyan網の方がバッファメモリ数が少ないことがわかる。

（５）単位スイッチ数

折り返しbanyan網の入出力端子数と単位スイッチ数の関係は $L\times(\log_2 L+1)$、banyan網では $L\times(\log_2 L)/2$となる。従って、同一端子数のスイッチ網を構成するために必要な折り返しbanyan網の単位スイッチ数は、banyan網の約２倍となり、この点ではbanyan網が有利となる。ただし、Ｌは入出力端子数である。

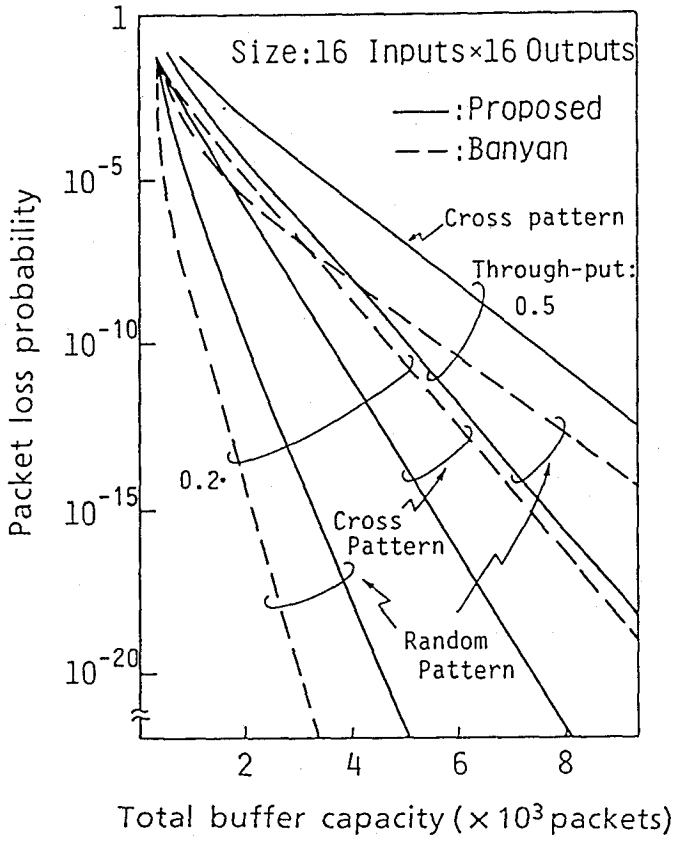


図２．１８　アルゴリズム（その１）のバッファ数と廃棄率

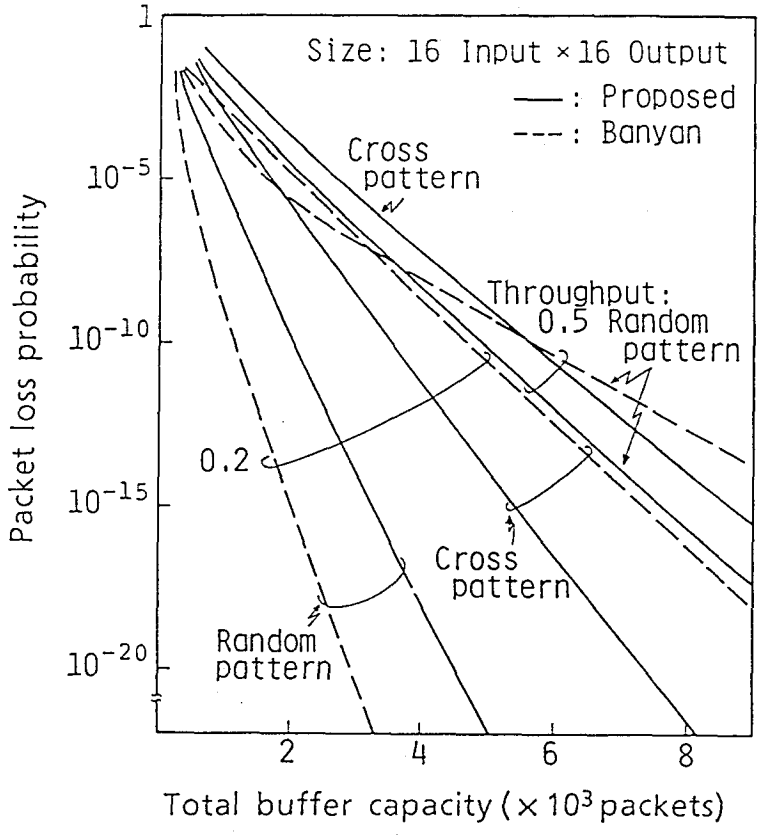


図２．１９　アルゴリズム（その２）のバッファ数と廃棄率

（６）総合評価

以上の各項目をまとめて表２．４に示す。banyan網は、単位スイッチ自身が経路を自動的に選定するので、本提案の折り返しbanyan網のように経路選定手順が必要ないこと、単位スイッチ数が少ないこと等の利点はあるものの、大規模なスイッチ網を構成する場合に、スイッチ網全体の規格化スループットが低下する欠点があり、スイッチング回数が煩雑に必要となる低スループットのスイッチ網に適している。

一方、本提案の折り返しbanyan網は、単位スイッチ数がbanyan網の約２倍必要となること、経路選定手順が必要となることのため、バーチャルパスを即時に接続する処理が必要となる使用法には向いていないが、規格化スループットが高いことから、クロスコネクトのように接続の設定頻度の低い高スループットのスイッチ網に適しているといえる。

表２．４　従来のbanyan網と折り返しbanyan網の比較

項　目	banyan網	折り返しbanyan網 ｱﾙｺﾞﾘｽﾞﾑ（その１）	折り返しbanyan網 ｱﾙｺﾞﾘｽﾞﾑ（その２）
時間順序保存	可		
経路選定手順	無	O（L×$\log_2$ L）	
規格化 スループット	0.17（注１） $1/2^x$（注２） $x=\mathrm{int}\{(\log_2 L-1)/2\}$	端子数によらずリンク速度の0.275倍 （注３）	端子数によらずリンク速度の0.5倍 （注３）
総バッファ数 （注４）	４６９０パケット	３６３０パケット	３６３０パケット
単位スイッチ数	（L／２）×$\log_2$ L	L×（$\log_2$ L＋１）	
適用領域	繁雑な設定変更を伴う少スループットのスイッチに適する	設定変更の少ない大スループットのスイッチに適する	

Ｌ：スイッチ網の端子数

注１：ランダム形接続パターンで内部輻輳率10^{-6}以下の場合

注２：最悪条件（クロス形接続パターン）

注３：最悪条件（クロス形接続パターンでポート当り２多重のバーチャルパス）

注４：端子数１６、クロス形接続パターン、スループット０．２で廃棄率10^{-10}を満足する総バッファ数

２．４　結言

本章では、内部にパケット蓄積用バッファメモリを持つ２入力×２出力の単位スイッチを組み合わせて構成する多段バッファ型スイッチを取り上げた。本章では、これらのスイッチ網を、パケットクロスコネクトスイッチに適用することを検討した。クロスコネクトスイッチはバーチャルパスの接続を必ずしも実時間で行う必要がないことを利用して、

①単位スイッチの動作速度がスイッチ網端子数によらずに一定
②入力パケット信号の時間順序が保存される

等の特徴を有するBenes網の新しいスイッチ制御アルゴリズム、および折り返しbanyan網のトポロジーとスイッチ制御アルゴリズムを提案した。

これらの提案スイッチ網は、従来のbanyan網に比べて、単位スイッチ数が約２倍増加すること、セルフルーチング動作ができないことにより、迅速なバーチャルパスの経路変更や容量変更に対応できない。そのため、このスイッチを伝送路故障時のバーチャルパス迂回措置[37]等に用いることができない欠点を有する。また、一般に多段バッファ型スイッチ網は他形式のスイッチと比較してバッファ量が多くなり、メモリコストや消費電力が大きくなる問題もある。そのため、近い将来に実用化されるＡＴＭクロスコネクトスイッチとしては適さないと考えられる。しかし、将来的なディバイス技術の進歩を考えた場合、スイッチ網規模によらず、スイッチ網全体を高い規格化スループットで使用しても、内部輻輳が発生せず、従来のbanyan網では実現できない高速スイッチ網の実現には有効と考えられる。

第３章　セルフルーチング空間スイッチ網

３．１　緒言

ＡＴＭクロスコネクトに用いられる入力バッファ型スイッチ（図３．１）やＳＴＭクロスコネクトに用いられるＴ－Ｓ－Ｔ型３段スイッチ（図３．２）[13]においては、空間スイッチの容量がそのシステムの全体の容量を決定することになる。そのため、大規模なスイッチへの拡張が容易な空間スイッチの研究が重要となる。空間スイッチとして従来はクロスポイント型スイッチが用いられてきたが、入出力に加えてクロスポイントの開閉を制御する制御線がスイッチに集中し、主として端子ネックによってスイッチ規模が制約されてきた。転送信号に宛先の出力ポート番号

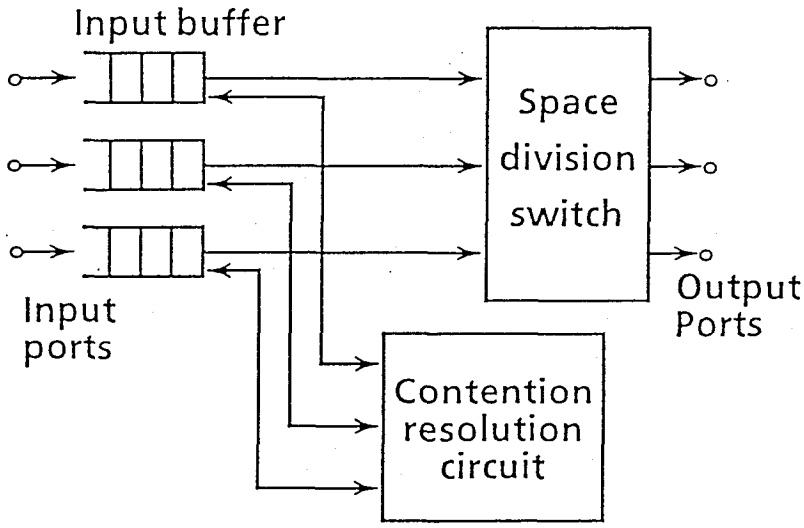
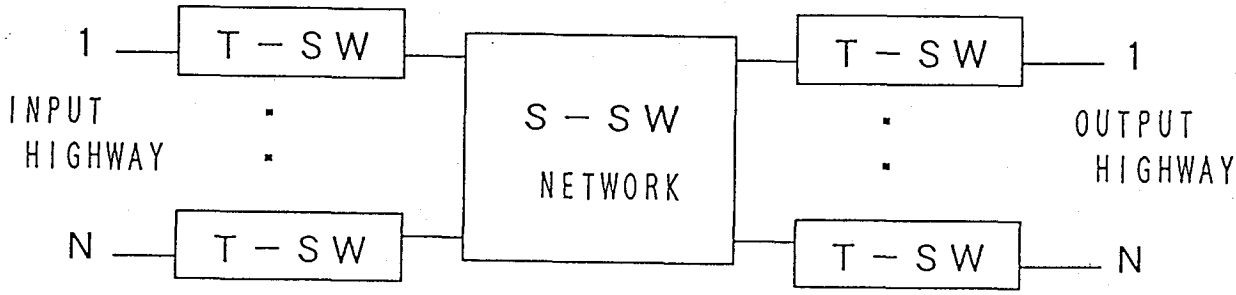


図３．１　入力バッファ型ＡＴＭスイッチ



Ｔ－ＳＷ：時間スイッチ　　Ｓ－ＳＷ：空間スイッチ

図３．２　Ｔ－Ｓ－Ｔ型３段スイッチ

を付与し、自律的にルーチングを行うセルフルーチングスイッチ網は、制御線が要らないことや単位スイッチの追加によって大規模なスイッチへの拡張が容易であることから将来の大容量スイッチとして注目されている。

一般的に、大容量スイッチ構成としては、クロスポイント数が少なくなる多段スイッチ網が有利である。しかし、多段スイッチ網は、任意の入出力端子間の接続径路が複数あり、スイッチ間の径路を探索して接続する等の処理を必要とするため複雑な制御となること、クロスポイント数を少なくすると、スイッチ間のリンクが閉塞されて内部ブロッキングを生じること等の欠点を有する。

これらの欠点を克服するため、多段スイッチ網の制御を容易にし、かつ内部ブロッキングをなくす研究[37][38]が盛んになされている。なかでも、２入力×２出力の単位スイッチを多段に接続してスイッチ網を構成し、スイッチ網に入るセルにヘッダとして付与する出力端子番号情報（ルーチングタグと呼ぶ）のみによって各単位スイッチが独立してスイッチングを行い、目的の出力端子への接続が行われるセルフルーチングスイッチ（以後ＳＲ－ＳＷと略記）網は、接続経路探索が不要となるため制御が簡単になり、将来の大容量伝達処理ノードに用いるスイッチとして極めて有望である。[36]

２入力×２出力の単位スイッチを用いてＳＲ－ＳＷ網を構成するためのアプローチとしては、単位スイッチ入出力端子間の接続を規定するトポロジーと、スイッチング規則を規定するアルゴリズムを工夫する２つの方法がある。

トポロジーのみの工夫でＳＲ－ＳＷ網を構成するための十分条件は、任意の入出力端子間を接続する物理的な径路が１つしかないことである。[32]　この種の単一径路型スイッチ網は、スイッチ網の段数が最小となる利点はあるものの、内部ブロッキングを生じる。

一方、任意の入出力端子間の接続径路が複数あるスイッチ網であっても、同時にスイッチ網に入力するセルのルーチングタグの組合せが定まると、スイッチ網内の径路を一意に定めることができ、かつ単位スイッチ内に閉じたスイッチング制御を可能とするアルゴリズムを用いることにより、ＳＲ－ＳＷ網を構成できる。この種のＳＲ－ＳＷ網は、単一径路型スイッチ網に比べ、スイッチ段数が多くなる欠点を有するが、内部ブロッキングをなくすことが可能となる。

前者のＳＲ－ＳＷ網としては、任意の入出力端子間の接続が可能であり、かつ最小数の単位スイッチで構成可能なbanyan網[32]が既に提案されている。このスイッチ網は、図３．３に示すように、スイッチ網の入力端子側から、ルーチングタグを

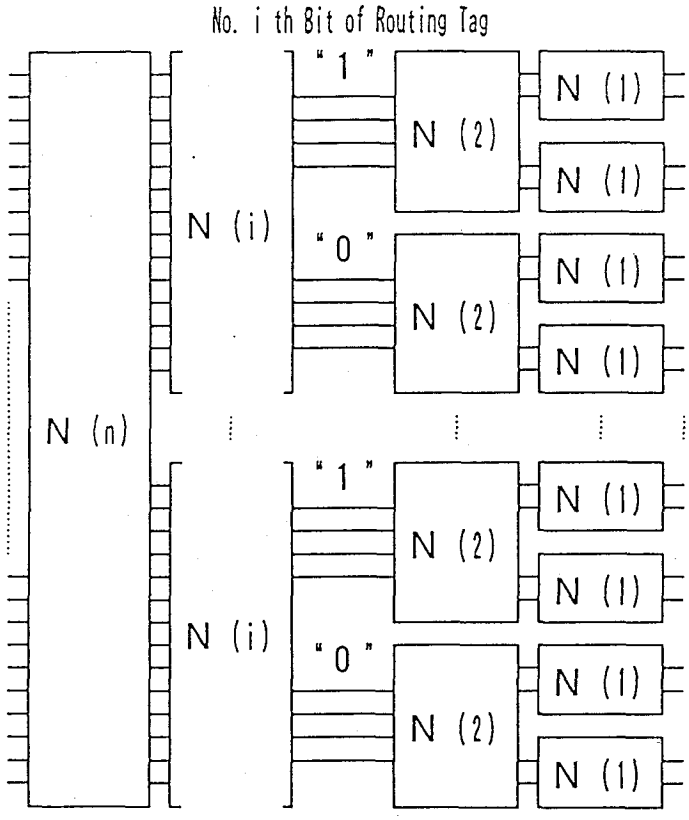


図３．３　基本スイッチ網構成（端子数２ⁿの場合）

２進展開したときの最上位桁が"１"であるセルと"０"であるセルをそれぞれ分離し、分離した各セルの中で、ルーチングタグの次の桁が"１"であるセルと"０"であるセルを、更に分離するアルゴリズムを順次繰り返すことにより、目的とする出力端子へ出力す構成を取っている。このアルゴリズムによると、各単位スイッチはルーチングタグの１ビットのみでスイッチングを行なうことができ、アルゴリズムが容易となること、各単位スイッチは同一のアルゴリズムで動作すること等の利点がある。しかし、前述のように、内部ブロッキングを生じる欠点を有する。

後者のＳＲ－ＳＷ網としては、図３．４に示すように、入力側の小さな部分スイッチ網で入力信号をルーチングタグの大小順に並び換えて出力し、その２つの部分スイッチ網の出力をまとめて、次段の大きな部分スイッチ網で更にルーチングタグの大小順に並び換えた出力を得る操作を順次繰り返す構成を取るbitonic-sortingアルゴリズムを用いた、内部ブロッキングのないBatcher網が提案されている。[39] このスイッチ網では、同時に入力したセルを、そのルーチングタグの相対的な大小順に並べて出力するため、欠番があると、ルーチングタグに記されている出力端子番号と実際に出力される出力端子がずれてしまう欠点がある。従って、実際にスイッチ網として用いるには、Batcher網の後ろにbanyan網を付加して、ルーチングタグ

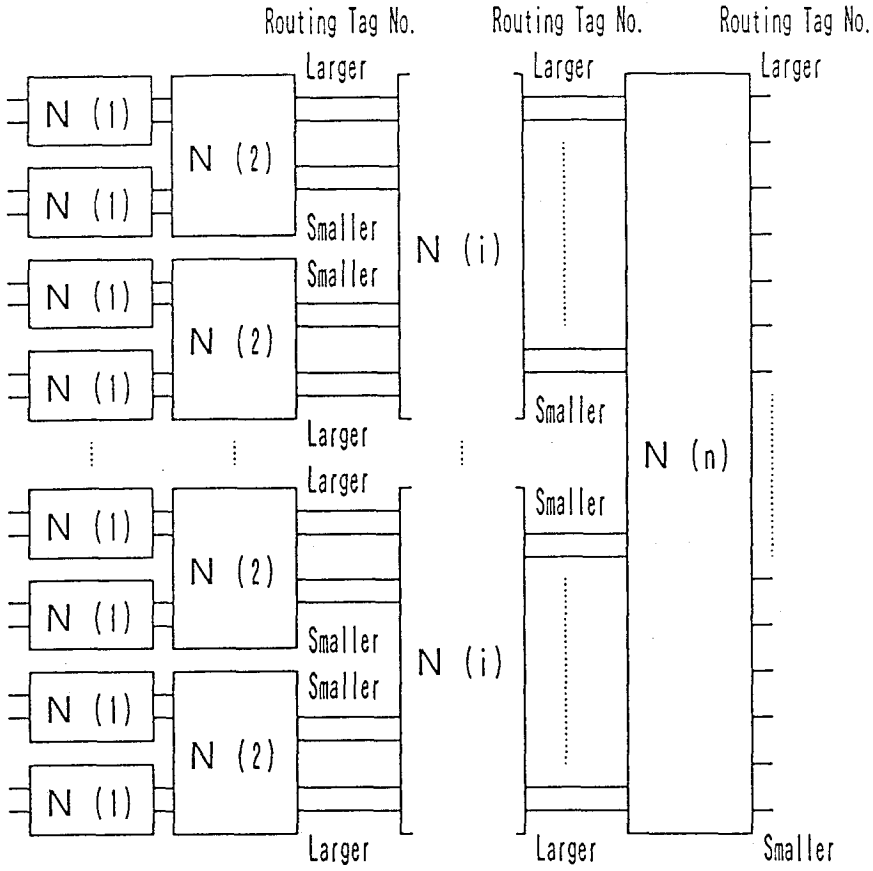


図３．４　Batcher網基本構成（端子数２ⁿの場合）

に欠番があるときでも正しい出力端子へルーチングできるBatcher-banyan網構成として使用している。[39]　この網は全体としてもノンブロッキングとなるが、Batcher網内の各単位スイッチはルーチングタグの大小の比較を行う必要があるため、ルーチングタグの全ビットの比較を行わなくてはならなくなり、スイッチングアルゴリズムが複雑になること、Batcher網とbanyan網ではスイッチングアルゴリズムが異なるため、同一単位スイッチを用いてスイッチ網を構成できないこと等の欠点がある。

３．２章では、各単位スイッチはルーチングタグの１ビットのみでスイッチングを行い上位桁から順次"１"、"０"によってセルを分離していく図３．３に示した前者の構成と、後者の複数の接続径路を持ち、単位スイッチ数は多くなるものの、内部ブロッキングがない特徴とを合わせ持った新しいＳＲ－ＳＷ網のトポロジーとスイッチングアルゴリズムを提案する。

３．３章では、ＳＲ－ＳＷ間の一部に入力セルのルーチングタグ情報の授受機能を付加し、すべての単位スイッチを、同一のスイッチングアルゴリズム、かつ、ルーチングタグの１ビットにより制御し、単位スイッチのみの分散制御で、再配置による完全線群が構成可能な新しいＳＲ－ＳＷ網を提案する。

３．２　空間分割型セルフルーチングスイッチ網

３．２．１　スイッチ網の構成

ここで提案するＳＲ－ＳＷ網の基本構成は、前述のように部分網Ｎ(i)と２個の部分網Ｎ(i-1)を図３．５に示すように接続し、各部分網Ｎ(i)ではルーチングタグの１ビットのみによりスイッチングする構成を取るものである。

以下では、この新しいＳＲ－ＳＷ構造に関して、スイッチ網のトポロジーとスイッチングアルゴリズムについて述べる。

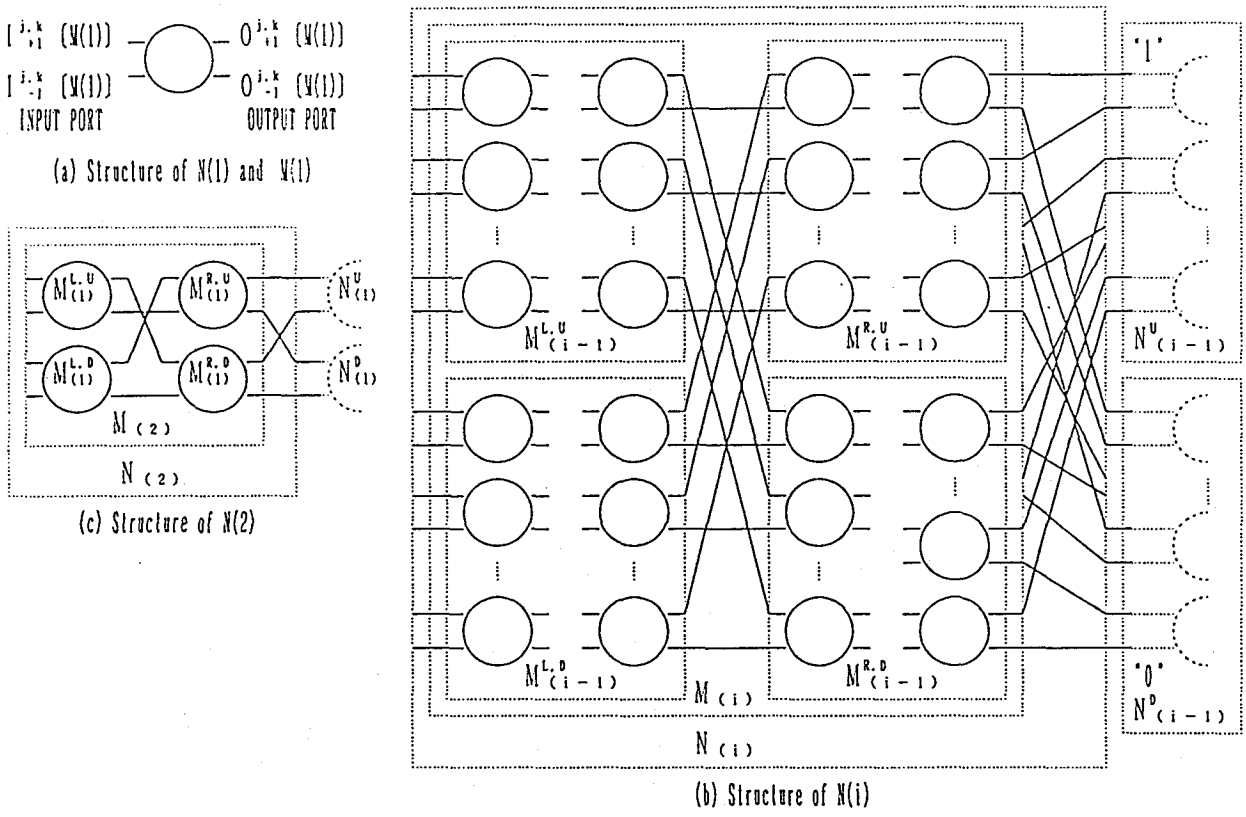


図３．５　Ｎ(i)の構成法

（１）トポロジー

（１．１）部分網Ｎ(1)の構成法

図３．５(a) に示す単位スイッチ自身である。

（１．２）部分網Ｎ(i)の構成法

①４個の単位部分網Ｍ(i-1)を図３．５(b)に示すように正方形に配置し、それぞれ

の2^{i-1}本の入出力端子を「接続規則１」に従って接続し、１個の部分単位網M(i)を形成する。

②単位部分網M(i)の2^{i}本の出力端子とそれぞれ2^{i-1}本の入力端子からなる次段の２個の部分網N(i-1)を「接続規則２」に従って接続し、部分網N(i-1)の前段までで部分網N(i)を形成する。

（１．３）全体の構成

「接続規則２」に従って部分網N(i)｛i:整数，$1 \leqq i \leqq n$｝を順次接続することにより入力端子数2^{n}本、出力端子数2^{n}本のＳＲ－ＳＷ網を形成する。

接続規則を説明するにあたり以下の定義をする。

〔定義１〕

①単位部分網M(i)を構成する第ｊ行、第ｋ列の単位スイッチの表示：S(j,k)〔M(i)〕｛j,k:整数，$1 \leqq j \leqq 2^{i-1}$，$1 \leqq k \leqq 2^{i-1}$｝

②単位部分網M(i)を構成する単位スイッチS(j,k)〔M(i)〕｛j,k:整数；$1 \leqq j \leqq 2^{i-1}$，$1 \leqq k \leqq 2^{i-1}$｝の入出力端子の表示：図３．５(a)の各入出力端子を以下のように表示する。

上部入力端子－－I(j,k,+1)〔M(i)〕

下部入力端子－－I(j,k,-1)〔M(i)〕

上部出力端子－－O(j,k,+1)〔M(i)〕

下部出力端子－－O(j,k,-1)〔M(i)〕

③単位部分網M(i)を構成する４個の単位部分網M(i-1)の区別：図３．５(b)の各単位部分網を以下のように表示する。

左上の単位部分網M(i-1)－－$M^{L\cdot U}(i-1)$

左下の単位部分網M(i-1)－－$M^{L\cdot D}(i-1)$

右上の単位部分網M(i-1)－－$M^{R\cdot U}(i-1)$

右下の単位部分網M(i-1)－－$M^{R\cdot D}(i-1)$

④部分網N(i)についても上記①～③の規則を”単位部分網M(i)”を”部分網N(i)”と読み替えて適用する。

「接続規則１」

①出力端子O(j,2^{i-2},+1)〔$M^{L\cdot U}(i-1)$〕と入力端子I(j,1,+1)〔$M^{R\cdot D}(i-1)$〕とを

接続する。

②出力端子O(j,2^{i-2},-1)〔$M^{L\cdot U}$(i-1)〕と入力端子I(j,1,-1)〔$M^{R\cdot U}$(i-1)〕とを接続する。

③出力端子O(j,2^{i-2},+1)〔$M^{L\cdot D}$(i-1)〕と入力端子I(j,1,+1)〔$M^{R\cdot U}$(i-1)〕とを接続する。

④出力端子O(j,2^{i-2},-1)〔$M^{L\cdot D}$(i-1)〕と入力端子I(j,1,-1)〔$M^{R\cdot D}$(i-1)〕とを接続する。

ただし、j={j:整数，$1 \leqq j \leqq 2^{i-2}$}。

「接続規則２」

①単位部分網M(i)を構成する出力段単位スイッチの出力端子O(j,2^{i-2},+1)〔M(i)〕と次段の上部に位置する部分網N^U(i-1)の入力段単位スイッチの入力端子I(1+int〔(j-1)/2〕,1,$(-1)^{i+1}$)〔N^U(i-1)〕を接続する。

②単位部分網M(i)を構成する出力段単位スイッチの出力端子O(j,2^{i-1},-1)〔M(i)〕と次段の下部に位置する部分網N^D(i-1)の入力段単位スイッチの入力端子I(1+int〔(j-1)/2〕,1,$(-1)^{k+1}$)〔N^D(i-1)〕を接続する。

ただし、j={j:整数，$1 \leqq j \leqq 2^{i-2}$}。

３．２．２　スイッチングアルゴリズム

スイッチングアルゴリズムを説明するにあたり以下の定義をする。

〔定義２〕

①第０番目のビット：有効セルと空セルの区別を表す。

“有”――有効セルの場合

“空”――空セルの場合

②第１番目から第ｎ番目のビット：ＳＲ－ＳＷ網の出力端子番号を２進数で表示。

“０”――状態　０　の場合

“１”――状態　１　の場合

“×”――第０番目のビットが“空”の場合

部分網N(i)を構成する単位スイッチは、図３．６に示す入力セルのルーチングタグの第０番目のビットの状態により、以下のアルゴリズムに従いスイッチングを実

施する。

（１）有効セルの場合

①部分網Ｎ(i)を構成する１個の単位スイッチに入力する２個のセルの第ｉ番目のルーチングタグの組合せが"１"のみ、または、"０"のみの場合
、出力セルは、入力端子と等しいルーチングタグ状態で出力する。（図３．７(1)、(2)参照）

②部分網Ｎ(i)を構成する１個の単位スイッチに入力する２個のセルの第ｉ番目のルーチングタグの組合せが"１"と"０"の場合、単位スイッチの上部出力端子に"１"、下部出力端子に"０"のルーチングタグを有するセルを出力する。（図３．７(3)、(4)参照）

（２）空セルの場合

①部分網Ｎ(i)を構成する１個の単位スイッチに入力する２個のセルの第ｉ番目のルーチングタグの組合せが"１"と"×"の場合、単位スイッチの上部出力端子に"１"、下部出力端子に"×"のルーチングタグを有するセルを出力する。（図３．７(5)、(6)参照）

②部分網Ｎ(i)を構成する１個の単位スイッチに入力する２個のセルの第ｉ番目のルーチングタグの組合せが"０"と"×"の場合、単位スイッチの上部出力端子に"×"、下部出力端子に"０"のルーチングタグを有するセルを出力する。（図３．７(7)、(8)参照）

③部分網Ｎ(i)を構成する１個の単位スイッチに入力する２個のセルの第ｉ番目のルーチングタグの組合せが"×"のみの場合、出力セルは、入力端子と等しいルーチングタグ状態で出力する。（図３．７(9)参照）

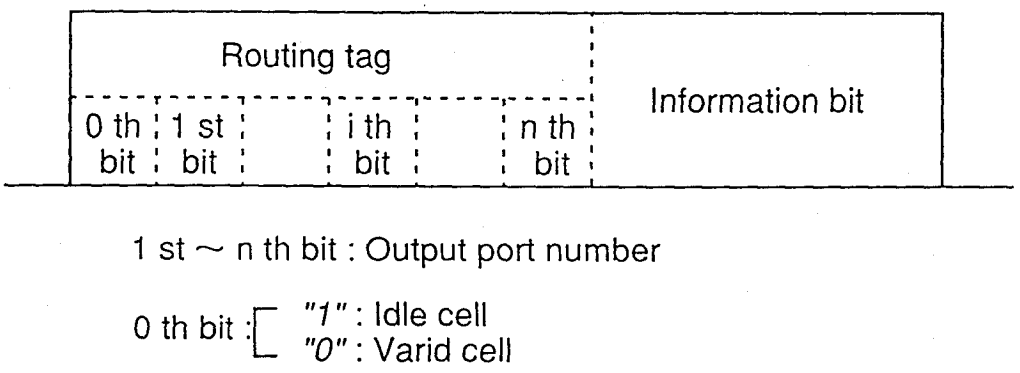


図３．６　セルの構成

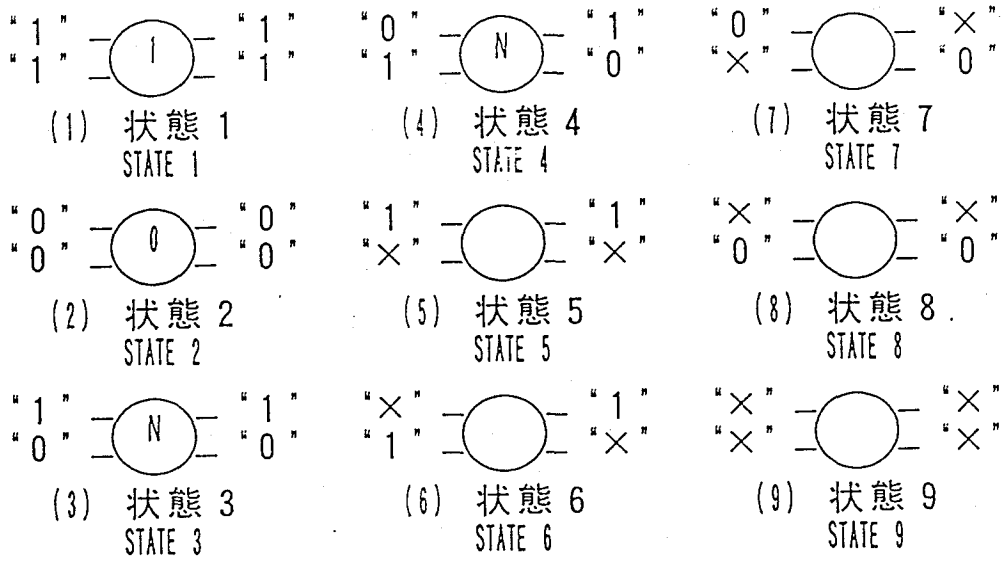


図３．７　単位スイッチのスイッチングアルゴリズムと
入出力ルーチングタグ状態パターン

この結果、部分網Ｎ(i)の上半分の出力端子には、ルーチングタグの第ｉ番目のビットが"１"、または"×"のセルが、下半分の出力端子には"０"または、"×"のセルが出力され、最終的に入力セルは目的の出力端子に出力される。

（３）スイッチ網の動作例

図３．８に、接続規則１、接続規則２に従って構成した８入力×８出力のＳＲ－

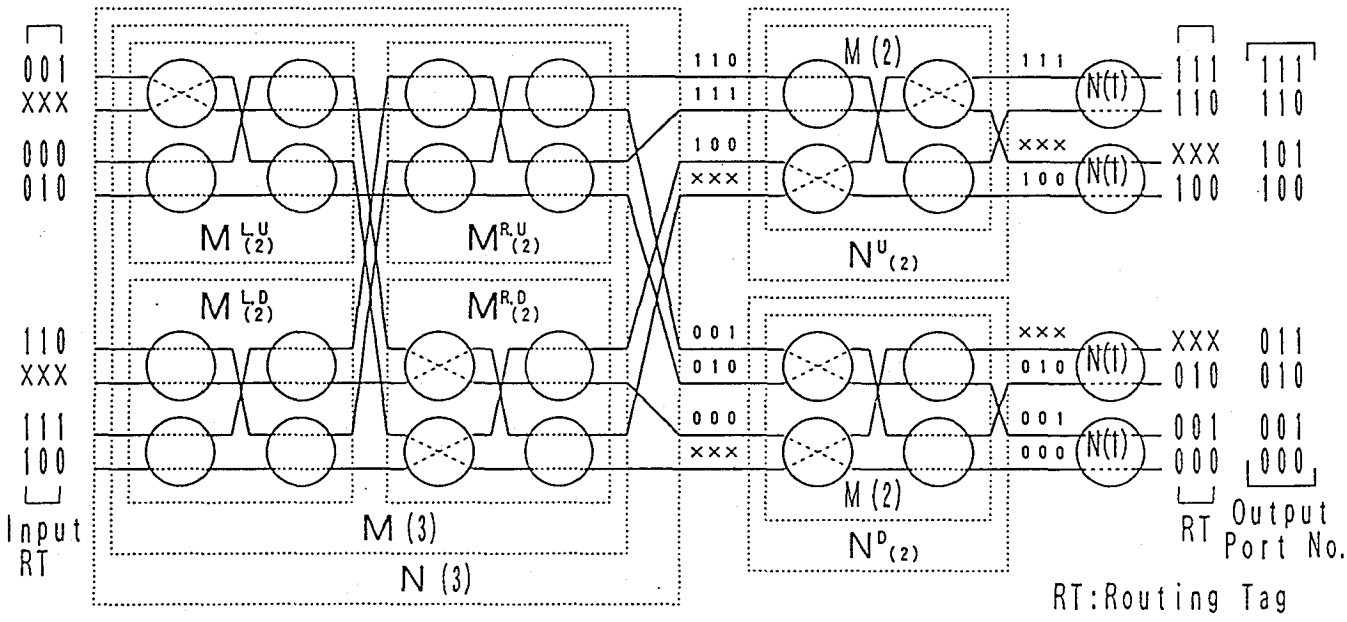


図３．８　提案するスイッチの構成例（８入力×８出力）

ＳＷ網の構成例、及び、以上の（１）（２）で述べたスイッチングアルゴリズムに従って入力セルをスイッチングした場合の信号の経路例を示す。

３．２．３　ノンブロッキング動作の証明

本章では、３．２．１と３．２．２で述べたＳＲ－ＳＷ網構成法とスイッチングアルゴリズムにより、入力セルがブロッキングなく目的とする出力端子へ出力可能なことを証明する。

証明に当り以下の定義を行う。

〔定義３〕

単位スイッチの入出力ルーチングタグ状態の表示：３．２．２のスイッチングアルゴリズムにより制御された単位スイッチの制御に関与した２個のルーチングタグ（単位部分網Ｎ(i)では第ｉ番目のビット）の入出力端子での状態を、以下のように表示する。

①状態「１」：すべての入出力端子のルーチングタグが"１"の場合。（図３．７(1)の場合）

②状態「０」：すべての入出力端子のルーチングタグが"０"の場合。（図３．７(2)の場合）

③状態「Ｎ」：入力端子の２個のルーチングタグの組合せが"１"と"０"で、上部出力端子のルーチングタグが"１"、下部出力端子が"０"の場合。（図３．７(3)、(4)の場合）

ただし、空セルが入力する場合は定義しない。

〔定理１〕

単位部分網Ｍ(i)の入力段単位スイッチＳ(j,1)〔Ｍ(i)〕{j:整数，$1 \leq j \leq 2^{i-1}$}に、状態「０」の単位スイッチがｘ個、状態「１」の単位スイッチがｙ個存在するとき、単位部分網Ｍ(i)の出力段の単位スイッチＳ(j,2^{i-1})〔Ｍ(i)〕{j:整数，$1 \leq j \leq 2^{i-1}$}の状態数は表３．１の第２欄となる。ただし、$x + y \leq 2^{i-1}$。

証明

以下の(Step 1)(Step 2)を用いて帰納法で証明する。

(Step 1)単位部分網M(2)の場合

単位部分網M(2)にルーチングタグの第0番目のビットが“有”（情報ビットが有る場合）のセルのみが入力する場合、入力段単位スイッチの入出力端子のルーチングタグの状態の組合せは、表3．2の第1欄に示す6通りとなる。各単位スイッチに2．2．1のアルゴリズムを適用すると、出力段単位スイッチS(j,2)〔M(2)〕{j=1,2}の入出力端子のルーチングタグの状態の組合せ数は、表3．2の第2欄となる。この結果は、定理1の結果と一致しており定理1が成立している。

表3．1　定理1による単位部分網M(i)の入出力スイッチングタグ状態個数の関係

項目 / 条件	ルーチングタグ状態	S(j,k)〔M(i)〕(1≦j,k ≦2^{i-1})のルーチングタグ状態個数		
		k＝1		k＝2^{i-1}
(i) x≧y	「0」	x	定理1を適用	x－y
	「1」	y		0
	「N」	2^{i-1}－x－y		2^{i-1}－x＋y
(ii) x＜y	「0」	x		0
	「1」	y		y－x
	「N」	2^{i-1}－y－x		2^{i-1}－y＋x
欄番号	—	第　1　欄		第　2　欄

表3．2　単位部分網M(2)の入出力端子のルーチングタグ状態数の関係

項目 / 状態 / 条件	S(j,k)〔M(2)〕(1≦j,k ≦2)の入出力ルーチングタグ状態個数						
	k＝1			ルーチングタグ状態パターン（図3.9）	k＝2		
	「0」	「1」	「N」		「0」	「1」	「N」
x≧yの場合	2	0	0	A	2	0	0
	1	1	0	D，F	0	0	2
	1	0	1	E，H	1	0	1
	0	0	2	C	0	0	2
x＜yの場合	0	1	1	G，I	0	1	1
	0	2	0	B	0	2	0
欄番号	第　1　欄			—	第　2　欄		

表３．３　単位部分網M(i-1) の入出力端子のルーチングタグ状態数の関係

項目 ＼ 条件	ルーチングタグ状態	S(j,k) 〔M(i-1)〕(1≦j,k ≦2^{i-2})の入出力ルーチングタグ状態個数		
		k = 1	k = 2^{i-2}	
			$x_1 \geqq y_1, x_2 \geqq y_2$	$x_1 < y_1, x_2 < y_2$
M^u (i-1)	「0」	x_1	$x_1 - y_1$	0
	「1」	y_1	0	$y_1 - x_1$
	「N」	$2^{i-2} - x_1 - y_1$	$2^{i-2} - x_1 + y_1$	$2^{i-2} - y_1 + x_1$
M^o (i-1)	「0」	x_2	$x_2 - y_2$	0
	「1」	y_2	0	$y_2 - x_2$
	「N」	$2^{i-2} - x_2 - y_2$	$2^{i-2} - x_2 + y_2$	$2^{i-2} - y_2 + x_2$
欄番号	—	第１欄	第２欄	第３欄

ただし：$x = x_1 + x_2$，$y = y_1 + y_2$

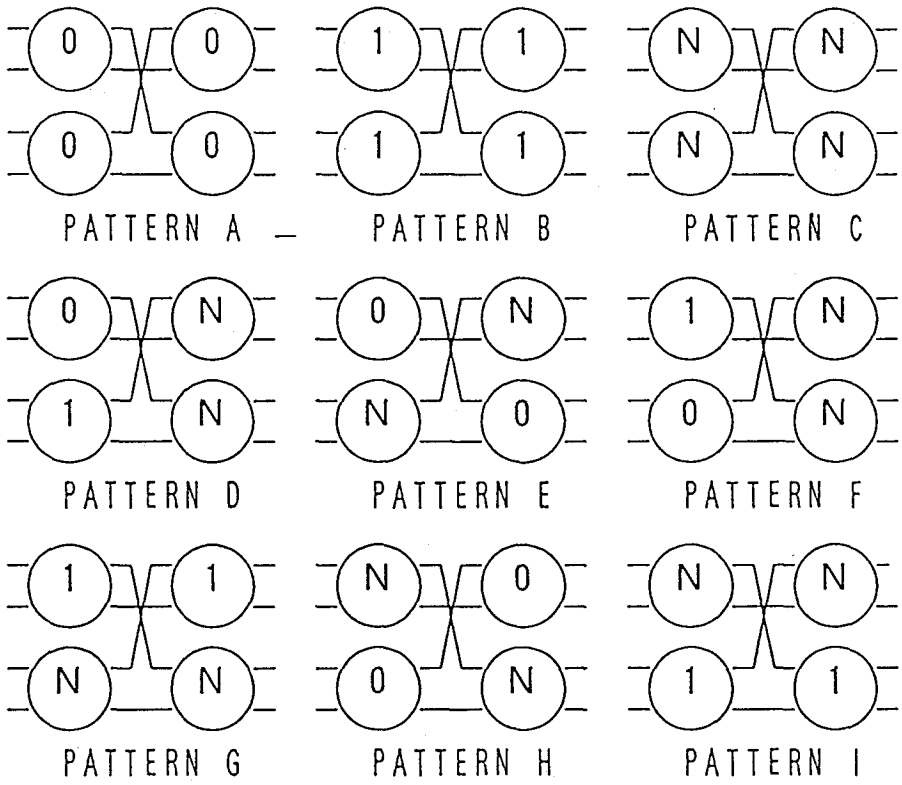


図３．９　M(2)の入出力ルーチングタグ状態パターン

(Step 2)単位部分網M(i)の場合

仮　定：単位部分網M(i-1)で定理１が成立すると仮定する。

単位部分網M(i)の入力段単位スイッチS(j,1)〔M(i)〕{j:整数，$1 \leqq j \leqq 2^{i-1}$}の入出力ルーチングタグの状態数を表３．３第１欄とする。

単位部分網M(i)の入力段単位スイッチは単位部分網$M^{L\cdot U}(i-1)$，$M^{L\cdot D}(i-1)$の入力段単位スイッチと同一であり、これらに前述の仮定を適用すると、単位部分網$M^{L\cdot U}(i-1)$，$M^{L\cdot D}(i-1)$の出力段単位スイッチの入出力ルーチングタグの状態数は表３．３の第２、３欄となる。

次に、この単位部分網$M^{L\cdot U}(i-1)$，$M^{L\cdot D}(i-1)$の出力段単位スイッチと単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$ の入力段単位スイッチを「接続規則１」に従って接続し単位部分網M(i)を形成する部分を考える。

この場合、単位部分網$M^{L\cdot U}(i-1)$，$M^{L\cdot D}(i-1)$の出力段単位スイッチと単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$の入力段単位スイッチは、４個の単位スイッチを１組として接続するので、単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$の入力段単位スイッチの入出力ルーチングタグの状態は、図３．９に示した単位部分網M(2)のパターンを利用して求めることができる。この単位部分網M(i)の出力段単位スイッチの出力ルーチングタグの状態を求める過程は、表３．４のx_1，y_1，x_2，y_2の値によって異なり、下記の(Case 1)～(Case 4)に分けて考える必要がある。

<u>(Case 1) $x_1 \geqq y_1$ and $x_2 \geqq y_2$</u>

単位部分網$M^{L\cdot U}(i-1)$，$M^{L\cdot D}(i-1)$の出力段単位スイッチの入出力ルーチングタグの状態は、表３．３の第２欄の結果より「０」、又は「Ｎ」しか存在しないので、４個の単位スイッチの入出力ルーチングタグの組合せパターンは、図３．９のパターンＡ，Ｃ，Ｅ，Ｈのみとなる。いま、単位部分網$M^{L\cdot U}(i-1)$及び$M^{L\cdot D}(i-1)$と単位部分網$M^{R\cdot U}(i-1)$及び$M^{R\cdot D}(i-1)$の接続において、パターンＡがａ個あったとすると、単位部分網$M^{L\cdot U}(i-1)$，$M^{L\cdot D}(i-1)$の入出力ルーチングタグが状態「０」の出力段単位スイッチの総数は、それぞれ、x_1-y_1，x_2-y_2であることから（表３．３の第２欄参照）、残りの状態「０」の単位スイッチは、単位部分網$M^{L\cdot U}(i-1)$でx_1-y_1-a 個、単位部分網$M^{L\cdot D}(i-1)$でx_2-y_2-a個となる。従って、パターンＥはx_1-y_1-a個、パターンＨは、x_2-y_2-a個となる。この結果、単位部分網$M^{L\cdot U}(i-1)$，$M^{L\cdot D}(i-1)$の出力段単位スイッチのうち、入出力ルーチングタグが状態「Ｎ」の単位スイッチは、それぞれ、表３．３の第２欄の状態「Ｎ」の総数$2^{i-2}-x_1+y_1$個、及び、$2^{i-2}-x_2+y_2$個からパターンＥで使用しているx_1-y_1-a個，パターンＨで使用しているx_2-y_2-a個を引いた$2^{i-2}-(x_1+x_2)+(y_1+y_2)+a$個となり、これがパターンＣとなる。（表３．４の第１欄参照）

この結果、単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$の入力段単位スイッチの入出力ル

表3．4　単位部分網M(i), $M^{R,U}$ (i-1), $M^{R,D}$ (i-1) の入出力段単位スイッチのルーチングタグ状態個数

項目 ＼ 条件	$M^{L,U}$ (i-1), $M^{L,D}$ (i-1) の出力段と $M^{R,U}$ (i-1), $M^{R,D}$ (i-1) の入力段単位スイッチ間の入出力ルーチングタグ状態パターン		ルーチングタグ状態	S(j,k) 〔M(i)〕の入出力ルーチングタグ状態個数							
				$M^{R,U}$ (i-1) の入力段単位スイッチ	$M^{R,D}$ (i-1) の入力段単位スイッチ	$M^{R,U}$ (i-1) の出力段単位スイッチ		$M^{R,D}$ (i-1) の出力段単位スイッチ		M(i) の出力段単位スイッチ	
	種類	個数				x≧yの場合	x＜yの場合	x≧yの場合	x＜yの場合	x≧yの場合	x＜yの場合
$x_1 \geqq y_1$ and $x_2 \geqq y_2$ ($x \geqq y$)	A	a	「0」	x_2-y_2:(A+H)	x_1-y_1:(A+E)	x_2-y_2	−	x_1-y_1	−	$x-y$	−
	C	$2^{l-2}-x_1-x_2+y_1+y_2+a$	「1」	0	0	0	−	0	−	0	−
	E	x_1-y_1-a	「N」	$2^{l-2}-x_2+y_2$:(C+E)	$2^{l-2}-x_1+y_1$:(C+H)	$2^{l-2}-x_2+y_2$	−	$2^{l-2}-x_1+y_1$	−	$2^{l-2}-x+y$	−
	H	x_2-y_2-a									
$x_1 \geqq y_1$ and $x_2 < y_2$	C	$2^{l-2}-x_1+x_2+y_1-y_2+b$	「0」	0	x_1-y_1-b:(E)	0	0	$x-y$	0	$x-y$	0
	D	b	「1」	0	y_2-x_2-b:(I)	0	0	0	$y-x$	0	$y-x$
	E	x_1-y_1-b	「N」	2^{l-2}:(C+D+E+I)	$2^{l-2}-x_1+x_2+y_1-y_2+2b$:(C+D)	2^{l-2}	2^{l-2}	$2^{l-2}-x+y$	$2^{l-2}-y+x$	$2^{l-1}-x+y$	$2^{l-1}-y+x$
	I	y_2-x_2-b									
$x_1 < y_1$ and $x_2 \geqq y_2$	C	$2^{l-2}+x_1-x_2-y_1+y_2+c$	「0」	x_2-y_2-c:(H)	0	$x-y$	0	0	0	$x-y$	0
	F	c	「1」	y_1-x_1-c:(G)	0	0	$y-x$	0	0	0	$y-x$
	G	y_1-x_1-c	「N」	$2^{l-2}+x_1-x_2-y_1+y_2+2c$:(C+F)	2^{l-2}:(C+F+G+H)	$2^{l-2}-x+y$	$2^{l-2}-y+x$	2^{l-2}	2^{l-2}	$2^{l-1}-x+y$	$2^{l-1}-y+x$
	H	x_2-y_2-c									
$x_1 < y_1$ and $x_2 < y_2$ ($x < y$)	B	d	「0」	0	0	−	0	−	0	−	0
	C	$2^{l-2}+x_1+x_2-y_1-y_2+d$	「1」	y_2-x_2:(B+I)	y_1-x_1:(B+G)	−	y_2-x_2	−	y_1-x_1	−	$y-x$
	G	y_1-x_1-d	「N」	$2^{l-2}+x_2-y_2$:(C+G)	$2^{l-2}+x_1-y_1$:(C+I)	−	$2^{l-2}-y_2+x_2$	−	$2^{l-2}-y_1+x_1$	−	$2^{l-1}-y+x$
	I	y_2-x_2-d									
欄番号	—	第1欄	—	第2欄		第3欄		第4欄		第5欄	

ただし：$x = x_1 + x_2$，$y = y_1 + y_2$

ーチングタグの状態数は各パターンの出力側の状態数を数えることにより、表３．４の第２欄のようになる。

次に、単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$の出力段単位スイッチの入出力ルーチングタグの状態数を求める。単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$のそれぞれに前述の仮定を適用すると、単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$の出力段単位スイッチの入出力ルーチングタグの状態数はそれぞれ表３．４の第３、４欄に示す値となる。

単位部分網M(i) の出力段単位スイッチの入出力ルーチングタグの状態数は、それが単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$の出力段単位スイッチの入出力ルーチングタグの各状態数の和であること、及び、$x=x_1+x_2$、$y=y_1+y_2$であることから、表３．４の第５欄のように求められる。この値は、表３．１の第２欄と同一であることから定理１が成立する。

<u>(Case 2) $x_1 \geqq y_1$ and $x_2 < y_2$</u>

表３．４に示すように、(Case 1)と同様にして証明が可能である。ただし、この場合には、仮定を適用するときに、$x \geqq y$（$x_1-y_1 \geqq y_2-x_2$）の場合と、$x<y$（$x_1-y_1<y_2-x_2$）の場合に分ける必要がある。

<u>(Case 3) $x_1 < y_1$ and $x_2 \geqq y_2$</u>

表３．４に示すように、(Case 2)と同様にして証明が可能である。ただし、仮定を適用する場合に、$x \geqq y$（$x_2-y_2 \geqq y_1-x_1$）の場合と$x<y$（$x_2-y_2<x_1-y_1$）の場合に分けて証明する必要がある。

<u>(Case 4) $x_1 < y_1$ and $x_2 < y_2$</u>

表３．４に示すように、(Case 1)と同様にして証明が可能である。ただし、この場合の仮定を適用するときの条件は、$x<y$のみとなる。

以上の結果を、まとめて、表３．４に示す。これにより、定理１が証明された。（証明終わり）

〔定理２〕

部分網N(i)のすべての入力端子2^i本のうち、任意の2^{i-1}本の入力端子にルーチングタグの第ｉ番目のビットが”１”のセルを入力し、残りの2^{i-1}本の入力端子にルーチングタグの第ｉ番目のビットが”０”のセルを入力するとき、部分網N(i)の上部

2^{i-1}個の出力端子にルーチングタグの第ｉ番目のビットが"１"のセルが、下部2^{i-1}個の出力端子にルーチングタグの第ｉ番目のビットが"０"のセルが出力する。

証 明

部分網Ｎ(i)の入力段単位スイッチＳ(j,1)〔N(i)〕{j:整数，$1 \leqq j \leqq 2^{i-1}$}（単位部分網Ｍ(i)の入力段単位スイッチと等価）において入出力ルーチングタグ状態「０」の単位スイッチがｘ個、「１」の単位スイッチがｙ個、「Ｎ」の単位スイッチがｚ個存在したとすると、部分網Ｎ(i)に入力するセルの第ｉ番目のビットが"０"である入力端子数は、$2x+z$、"１"である入力端子数は、$2y+z$となる。これに、部分網Ｎ(i) に、"０"が2^{i-1}個、 "１"が2^{i-1}個入力する条件を加えると式(3.1)、(3.2)が成立し、これを解くと$x=y$となる。

$$2x+z=2^{i-1} \tag{3.1}$$

$$2y+z=2^{i-1} \tag{3.2}$$

ここで、部分網Ｎ(i)を構成する単位部分網Ｍ(i)に定理１と$x=y$の条件を適用すると、単位部分網Ｍ(i)の出力段単位スイッチＳ(j,2^{i-1})〔Ｍ(i)〕{j:整数，$1 \leqq j \leqq 2^{i-1}$} の入出力ルーチングタグの状態はすべて「Ｎ」となる。

更に、単位部分網Ｍ(i)の出力端子と部分網Ｎ(i)の出力端子は「接続規則２」で接続されているので、部分網Ｎ(i)の上部2^{i-1}本の出力端子にはルーチングタグの第ｉ番目のビットが"１"のセルが、下部2^{i-1}本の出力端子には"０"のセルが出力される。（証明終わり）

〔定 理 3〕

部分網Ｎ(i) {j:整数，$1 \leqq i \leqq n$} を「接続規則２」で接続して構成した入出力端子数$2^n \times 2^n$のＳＲ－ＳＷ網の任意の入力端子に、すべて値の異なる出力端子番号を２進数で表記したｎビットからなるルーチングタグを有する任意のセルが同時に入力するとき、このセルは、ＳＲ－ＳＷ網のルーチングタグとして与えられた番号の出力端子にブロックキング無く出力される。

証 明

同時に入力するセルのルーチングタグは、すべて異なる出力端子番号を２進数で

表現していることから、すべてのルーチングタグの第ｉ番目のビットは、"１"と"０"が同数となる。定理２より、部分網Ｎ(i)は、ルーチングタグの第１番目のビットが"１"のセルをすべて上部の出力端子へ、"０"のものをすべて下部の出力端子へ分離して出力するので、部分網Ｎ(i)を順次進むに従って、部分網Ｎ(i)の上部の出力端子に出力端子番号の大きいセルが分離され、最終的に、ＳＲ－ＳＷ網の出力端子には、出力端子番号の大きい順に出力される。（証明終わり）

〔定理４〕

〔４－１〕部分網Ｎ(i)に入力するセルのうち、ルーチングタグの第ｉ番目のビットが"０"である任意の１つのセルを、ルーチングタグの第ｉ番目のビットが"×"であるセルに置換したとき、部分網Ｎ(i)の出力端子に出力される本来ルーチングタグの第ｉ番目のビットが"０"であるセルの１つが、ルーチングタグの第ｉ番目のビットが"×"であるセルに置換される。

〔４－２〕部分網Ｎ(i)に入力するセルのうち、ルーチングタグの第ｉ番目のビットが"１"である任意の１つのセルを、ルーチングタグの第ｉ番目のビットが"×"であるセルに置換したとき、部分網Ｎ(i)の出力端子に出力される本来ルーチングタグの第ｉ番目のビットが"１"であるセルの１つが、ルーチングタグの第ｉ番目のビットが"×"であるセルに置換される。

証明

３．２．２の図３．７(5)～(9)に示したルーチングタグの第ｉ番目のビットが"×"であるセルが単位スイッチに入力した場合のスイッチングアルゴリズムは、図３．７(1)～(4)に示したルーチングタグの第ｉ番目のビットが"１"及び"０"である場合のスイッチングアルゴリズムにおいて、"１"又は"０"の両方、又は、一方のみを"×"に置換した場合と等価になる。従って、単位スイッチのみで構成されている部分網Ｎ(i) の入出力端子間のルーチングタグの第ｉ番目のビットにおいても、"１"及び"０"と"×"の置換関係が成立し、定理４が証明される。（証明終わり）

〔定理５〕

部分網Ｎ(i) {i:整数，$1 \leqq i \leqq n$} 「接続規則２」を適用して構成した入出力端子数$2^n \times 2^n$のＳＲ－ＳＷ網の入力端子に、値のすべて異なる出力端子番号を２進数で表記したｎビットからなるルーチングタグを有するα個（$\alpha \leqq 2^n$）のセルと、ル

ーチングタグが“×”である$2^n-\alpha$個の空セルを、任意の組合せで同時に入力するとき、前者のα個のセルはＳＲ－ＳＷ網のルーチングタグ番号に対応した出力端子に出力され、後者のルーチングタグが“×”の$2^n-\alpha$個の空セルは、残りの出力端子に出力される。

証 明

定理３が成立しているＳＲ－ＳＷ網に、定理４を$2^n-\alpha$回適用することにより成立する。（証明終わり）

定理３、定理５が成立したことにより、”空”セルが入力する入力端子が存在する場合も含めて、提案したＳＲ－ＳＷ網は、入力セルをノンブロッキングで、目的とする出力端子へ出力できることが証明された。

３．２．４　スイッチ網の評価

提案したＳＲ－ＳＷ網と、従来から知られているbitonic-sorting アルゴリズムを用いたBatcher-banyan網とを、以下の５項目について評価する。

（１）ＬＳＩ化の容易さ

入出力端子数を、４入力×４出力から８入力×８出力に拡張する場合を例として、ＬＳＩ化の容易さを比較する。

図３．１０、図３．１１に各スイッチ網の４入力×４出力及び８入力×８出力のトポロジーを示している。各図の(b)に示した点線部分は、８入力×８出力のスイッチ網の内で、４入力×４出力スイッチ網を構成する部分網、または、単位スイッチを用いて構成可能な部分を示し、実線部分は、新たに構成する必要がある部分を示している。

すなわち、８入力×８出力のBatcher-banyan網は、４入力×４出力のBatcher-banyan網のうち、２個の４入力×４出力のBatcher網、１２個のbitonic-sortingアルゴリズムで動作する単位スイッチ、１２個のbanyan網を構成する単位スイッチを用いて構成することとなり、ブロックとして切り出し可能な部分は４入力×４出力のBatcher網のみである。

一方、８入力×８出力の本提案のＳＲ－ＳＷ網は、４入力×４出力のＳＲ－ＳＷ網自身である２個の４入力×４出力のスイッチ網Ｔ(2)と、４入力×４出力のＳＲ－

ＳＷ網の部分網である４個のＭ(2)からなり、これらを図３．１１(b)に示すように接続することにより構成可能である。このため、大きなブロックとして切り出し可能な部分が多く、パターンの繰り返しを多用するＬＳＩには向いているといえる。

なお、上記のトポロジーの拡張方法は、スイッチ網規模が大きくなっても同様である。

（２）スイッチ網規模の拡張性

次に、両者のスイッチ網規模の拡張性を比較する。

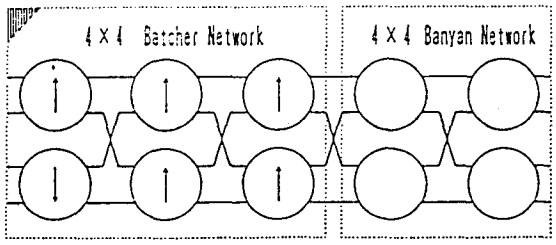
Batcher-banyan網では、スイッチ網規模を拡張する際に、１サイズ規模の小さいスイッチ網のbanyan網（図３．１０(a)の４×４banyan網に相当）を取り除き、新たにトポロジーの異なる１サイズ規模の大きいbanyan網（図３．１０(b)の８×８banyan網に相当）を付加する必要があること、更に、Batcher網についても、後段の半分（図３．１０(b)の８×８Batcher網から２個の４×４Batcher網を除いた部分に相当）は、新たに構成し付加する必要がある。

これに対し、本提案のＳＲ－ＳＷ網では、１サイズ規模の小さいスイッチ網（図３．１１(a)のＴ(2)）自身に、このスイッチ網Ｔ(2)の部分網（図３．１１(a)のＭ(2)）を付加し、その間を接続するのみで１サイズ規模の大きいＳＲ－ＳＷ網が構成可能である。

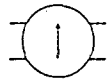
従って、例えば、８入力×８出力のスイッチ網全体を少ない種類のＬＳＩを接続して構成する場合、Batcher-banyan網では、図３．１０(b) に示す４×４Batcher網、８×８Batcher網から２個の４×４Batcher網を除いた部分網、８×８banyan網の３種類が必要となり、１６入力×１６出力のスイッチ網に拡張する場合は、更に、１６×１６Batcher 網から２個の８×８Batcher 網を除いた部分網と１６×１６banyan網を構成する２種類の新しいＬＳＩが必要になる。

一方、本提案のＳＲ－ＳＷ網では、８入力×８出力のスイッチ網は、図３．１１(a)に示す４入力×４出力のＳＲ－ＳＷ網Ｔ(2)自身とそれを構成する部分網Ｍ(2)の２種類のＬＳＩのみで構成可能であり、更に、１６入力×１６出力のスイッチ網に拡張する場合にも、数は増えるが、この２種類のＬＳＩのみで構成可能である。

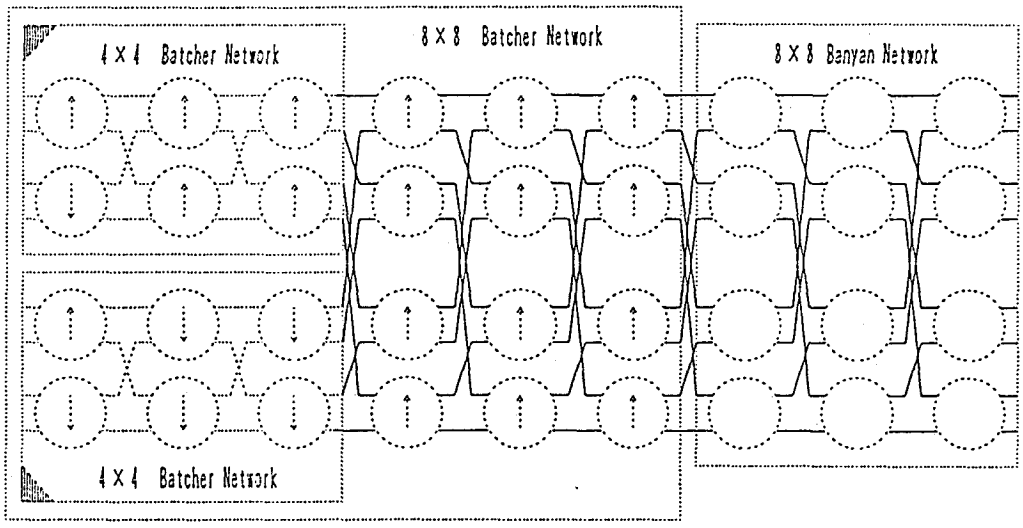
以上のことから、本提案のＳＲ－ＳＷ網は、従来から提案されているBatcher-banyan網に比べて、少ない種類のＬＳＩでスイッチ網規模の拡張が可能であり、スイッチ網規模の拡張性に優れていると言える。



(a) 4 Input×4 Output Batcher-banyan Switching Network Topology

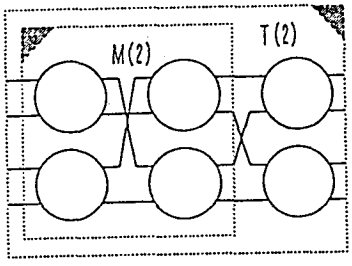


(c) Switch Cell with Bitonic Sorting Algorithm

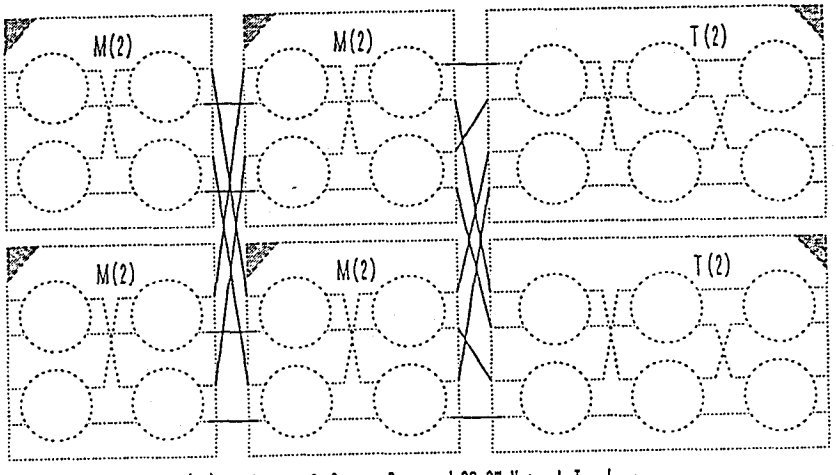


(b) 8 Input×8 Output Batcher-banyan Switching Network Topology

図３．１０　Batcher-banyan網トポロジーの拡張性



(a) 4 Input×4 Output Proposed SR-SW Network Topology



(b) 8 Input×8 Output Proposed SR-SW Network Topology

図３．１１　提案したＳＲ－ＳＷ網トポロジーの拡張性

（３）スイッチングアルゴリズム

Batcher-banyan網では、Batcher網とbanyan網で異なるスイッチングアルゴリズムを使用しており、同一のアルゴリズム及び、ハードウェアが使用できない。

一方、本提案のＳＲ－ＳＷ網構成では、すべての単位スイッチのスイッチングアルゴリズムは同一であり、アルゴリズム及び、ハードウェアの共用化が可能である。

（４）単位スイッチ数

各スイッチ網について、入力端子数Ｎと単位スイッチ数の関係を比較する。

Batcher-banyan網の全単位スイッチ数は、$N \log_2 N (\log_2 N + 3)/4$、本提案のスイッチ網では、$N \cdot (N-1)/2$となる。

図３．１２に示した計算結果から、本提案のスイッチ網構成は、入力端子数が約１６以下で、ほぼ同等以下となる。

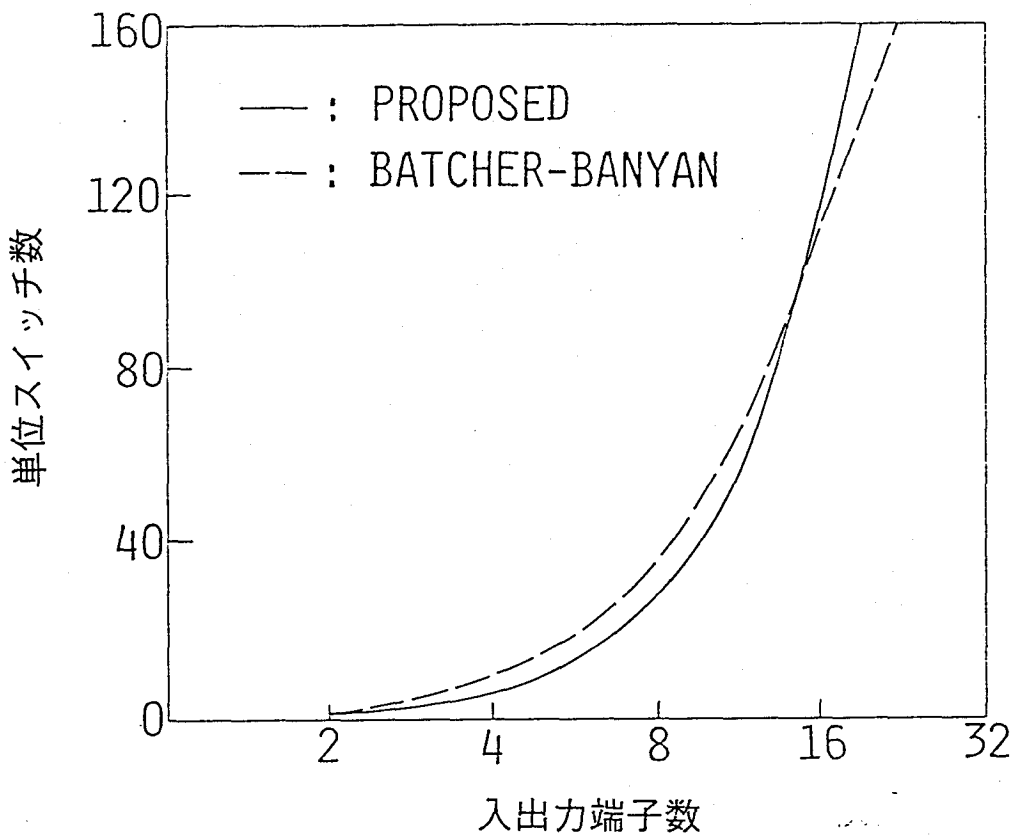


図３．１２　入出力端子数と単位スイッチ数の比較

（５）スループット

スループットは、入力端子数と単位スイッチ間を接続するリンクの速度の積で与えられ、これらの条件を統一すると両者に差は無い。

（６）総合評価

本提案のスイッチ網は、入力端子数が１６本以下の条件で、上記５項目すべてに対してBatcher-banyan網より優れていることから、比較的小規模なスイッチに適していると言える。

３．３　相互に情報の授受を行う空間スイッチ網

３．３．１　スイッチ網の構成

スイッチ網に入力されるすべてのセルのルーチングタグの第ｉ番目のビットが”１”であるセルと、”０”であるセルの割合が等しいことに着目する。提案するスイッチ網の部分網Ｎ(i)では、ルーチングタグの第ｉ番目のビットが”１”であるセルを上半分の出力端子に、第ｉ番目のビットが”０”であるセルを下半分の出力端子に、ノンブロッキングでルーチングする。このスイッチ網は、単位スイッチのスイッチングアルゴリズムが統一され、スイッチング制御をタグの１ビットで実行可能となる。

この結果、一部の単位スイッチ間にタグ情報の授受が必要とはなるが、単位スイッチのスイッチングアルゴリズム、ハードウェアが共用できるためＬＳＩ化が容易等の利点がある。

以下では、ここで提案するＳＲ－ＳＷ網の構成法、スイッチングアルゴリズムについて述べる。

（１）ＳＲ－ＳＷ網の構成

本ＳＲ－ＳＷ網は、１個の部分網Ｎ(n)、２個の部分網Ｎ(n-1)、・・・　2^{n-1}個の部分網Ｎ(1)を図３．１３(a)に示すように入力側から、継続に接続して構成される。部分網Ｎ(i)では、入力セルのタグの第ｉ番目のビットで単位スイッチ自身がルーチングを行ない、部分網Ｎ(i)の上半分の出力端子には前記ビットが”１”、下半分の出力端子には”０”のセルが出力される。

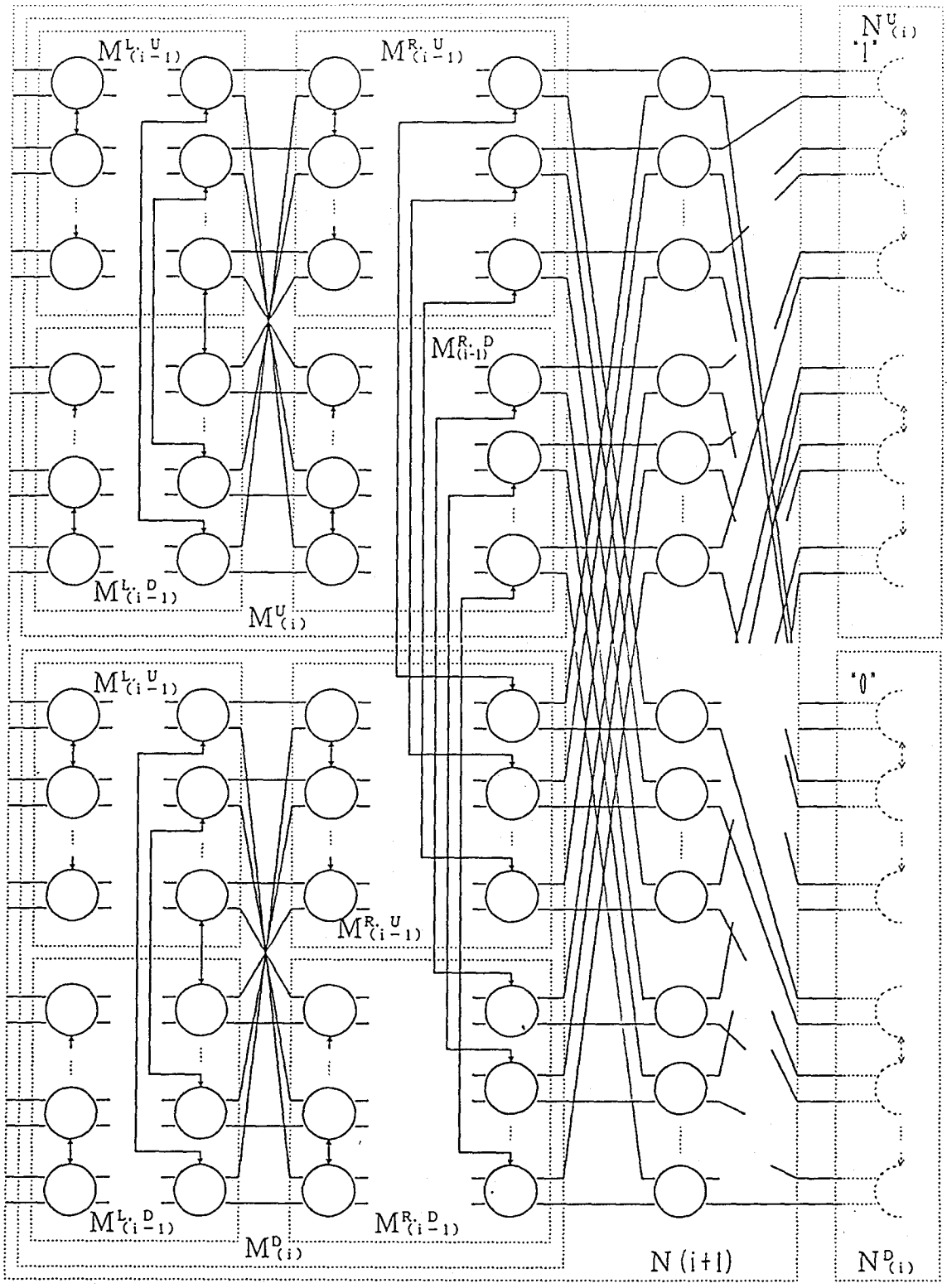
部分網Ｎ(i)は２個の単位部分網Ｍ(i-1)と2^{i-1}個の単位スイッチから構成される再配置型の完全線群スイッチである。また、２個の単位部分網Ｍ(i-1)内、及び２個の単位部分網間の２個の単位スイッチ間相互は、後述の規則に従って、タグ情報の授受が行われる。

ＳＲ－ＳＷ網の詳細な接続規則を説明するに当たり、以下の定義をする。

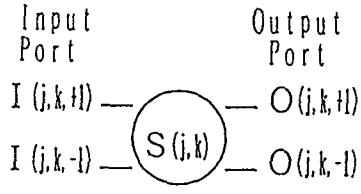
〔定義４〕

①単位部分網Ｍ(i)を構成する第ｊ行、第ｋ列の単位スイッチの表示：Ｓ(j,k)〔Ｍ(i)〕 $\{j,k$:整数，$1 \leqq j \leqq 2^{i-1}, 1 \leqq k \leqq 2^{i-1}\}$

②単位部分網Ｍ(i)を構成する単位スイッチＳ(j,k)〔Ｍ(i)〕の入出力端子の表示：図３．１３(b)の各端子を以下のように表示する。



（a）N (i+1) の構成法



（b）単位スイッチの構成

図３．１３　ＳＲ－ＳＷ網の構成法

上部入力端子－－I(j,k,+1)〔M(i)〕

下部入力端子－－I(j,k,-1)〔M(i)〕

上部出力端子－－O(j,k,+1)〔M(i)〕

下部出力端子－－O(j,k,-1)〔M(i)〕

③単位部分網M(i)を構成する４個の単位部分網M(i-1)の表示：図３．１３(a)の各単位部分網を以下のように表示する。ただし、ｉは２以上の整数

左上の単位部分網M(i-1)－－$M^{L\cdot U}(i-1)$

左下の単位部分網M(i-1)－－$M^{L\cdot D}(i-1)$

右上の単位部分網M(i-1)－－$M^{R\cdot U}(i-1)$

右下の単位部分網M(i-1)－－$M^{R\cdot D}(i-1)$

④部分網N(i)を構成する２個の単位部分網の表示：図３．１３(a)の２個の単位部分網M(i-1)を以下のように表示する。ただし、ｉは２以上の整数

上部の単位部分網M(i-1)－－$M^{U}(i-1)$

下部の単位部分網M(i-1)－－$M^{D}(i-1)$

⑤部分網N(i)の後段の単位部分網N(i-1)の表示：図３．１３(a)の２個の部分網N(i-1)を以下のように表示する。

上部の部分網N(i-1)－－$N^{U}(i-1)$

下部の部分網N(i-1)－－$N^{D}(i-1)$

⑥部分網N(i)についても上記①～②の規則を”単位部分網M(i)”を”部分網N(i)”と読み替えて適用する。

（１．１）部分網N(1)の構成法

図３．１３(b)に示す単位スイッチ自身である。

（１．２）部分網Ｎ(i+1)の構成法

①４個の単位部分網Ｍ(i-1)を図３．１３(a)に示すように正方形に配置し、それぞれの2^{i-1}本の入出力端子を「接続規則３」に従って、また、ルーチングタグ情報の授受を行う単位スイッチ間を「接続規則４」に従って相互に接続し、１個の単位部分網Ｍ(i)を形成する。

②２個の単位部分網Ｍ(i)を図３．１３(a)のように上下に配置し、ルーチングタグ情報の授受を行う単位スイッチ間を「接続規則５」に従って相互に接続すると共に、単位部分網$M^U(i)$と$M^D(i)$の後段に2^i個の単位スイッチＳ$(j, 2^{i-1}+1)$〔N(i+1)〕｛j:整数，$1 \leqq j \leqq 2^i$｝を置き、これらの入出力端子間を、「接続規則６」に従って接続する。更に、出力段単位スイッチＳ$(j, 2^{i-1}+1)$〔N(i+1)〕｛j:整数，$1 \leqq j \leqq 2^i$｝と次段の２個の部分網$N^U(i)$，$N^D(i)$とを「接続規則７」に従って接続し、部分網$N^U(i)$，$N^D(i)$の前段までで部分網Ｎ(i+1)を形成する。ただし、ｉは１以上の整数。

「接続規則３」

①出力端子Ｏ$(j, 2^{i-2}, +1)$〔$M^{L \cdot U}(i-1)$〕と入力端子Ｉ$(j, 1, +1)$〔$M^{R \cdot U}(i-1)$〕を接続する。

②出力端子Ｏ$(j, 2^{i-2}, -1)$〔$M^{L \cdot U}(i-1)$〕と入力端子Ｉ$(2^{i-2}-j+1, 1, +1)$〔$M^{R \cdot D}(i-1)$〕を接続する。

③出力端子Ｏ$(j, 2^{i-2}, +1)$〔$M^{L \cdot D}(i-1)$〕と入力端子Ｉ$(2^{i-2}-j+1, 1, -1)$〔$M^{R \cdot U}(i-1)$〕を接続する。

④出力端子Ｏ$(j, 2^{i-2}, -1)$〔$M^{L \cdot D}(i-1)$〕と入力端子Ｉ$(j, 1, -1)$〔$M^{R \cdot D}(i-1)$〕を接続する。

ただし、j=｛j:整数，$1 \leqq j \leqq 2^{i-2}$｝。

「接続規則４」

単位スイッチＳ$(j, 2^{i-2})$〔$M^{L \cdot U}(i-1)$〕と単位スイッチＳ$(2^{i-2}-j+1, 2^{i-2})$〔$M^{L \cdot D}(i-1)$〕間を相互に接続する。ただし、j=｛j:整数，$1 \leqq j \leqq 2^{i-2}$｝。

「接続規則５」

単位スイッチＳ$(j, 2^{i-1})$〔$M^U(i)$〕と単位スイッチＳ$(j, 2^{i-1})$〔$M^D(i)$〕間を相互に接続する。

ただし、j=｛j:整数，$1 \leqq j \leqq 2^{i-1}$｝。

「接続規則６」

①出力端子Ｏ$(j, 2^{i-1}, +1)$〔$M^U(i)$〕と入力端子Ｉ$(j, 2^{i-1}+1, +1)$〔$N(i+1)$〕を接続する。

②出力端子Ｏ$(j, 2^{i-1}, -1)$〔$M^U(i)$〕と入力端子Ｉ$(2^{i-1}+j, 2^{i-1}+1, +1)$〔$N(i+1)$〕を接続する。

③出力端子Ｏ$(j, 2^{i-1}, +1)$〔$M^D(i)$〕と入力端子Ｉ$(j, 2^{i-1}+1, -1)$〔$N(i+1)$〕を接続する。

④出力端子Ｏ$(j, 2^{i-1}, -1)$〔$M^D(i)$〕と入力端子Ｉ$(2^{i-1}+j, 2^{i-1}+1, -1)$〔$N(i+1)$〕を接続する。

ただし、$j=\{j$:整数，$1 \leqq j \leqq 2^{i-1}\}$、ｉは１以上の整数。

「接続規則７」

①出力端子Ｏ$(j, 2^{i-1}+1, +1)$〔$N(i+1)$〕と入力端子Ｉ$(1+\mathrm{int}〔(j-1)/2〕, 1, (-1)^{i+1})$〔$N^U(i)$〕を接続する。

②出力端子Ｏ$(j, 2^{i-1}+1, -1)$〔$N(i+1)$〕と入力端子Ｉ$(1+\mathrm{int}〔(j-1)/2〕, 1, (-1)^{i+1})$〔$N^D(i)$〕を接続する。

ただし、$\mathrm{int}(x)=h$〔h:整数，$0 \leqq h \leqq x < h+1$〕、ｉは１以上の整数、$j=\{j$:整数，$1 \leqq j \leqq 2^i\}$。

（１．３）ＳＲ－ＳＷ網の全体構成

「接続規則７」に従って、部分網$N(i)$ $\{i=1 \sim n\}$を順次接続することにより、入力端子数2^n本、出力端子数2^n本のＳＲ－ＳＷ網を形成する。

３．３．２　スイッチングアルゴリズム

単位スイッチのスイッチングアルゴリズムを説明するに当たり以下の定義をする。

〔定義５〕

セルのルーチングタグを以下のように定義する。

①第１番目から第ｎ番目のビット：ＳＲ－ＳＷ網の出力端子番号を２進数で以下のように表示。

“０”－－－状態　０　の場合

“１”－－－状態　１　の場合

〔定義６〕

単位スイッチのルーチングタグ状態の表示　：単位スイッチの制御に関与した２個のタグ（単位部分網Ｎ(i)では、第ｉ番目のビット）の入力端子での状態を以下のように表示する。

①状態「１」：２個のタグのビットが、“１”の場合。（図３．１４(1)の場合）

②状態「０」：２個のタグのビットが、“０”の場合。（図３．１４(2)の場合）

③状態「Ｎ」：２個のタグのビットの組合せが“１”と“０”の場合。（図３．１４(3)、(4)の場合）

（１）タグ情報の授受が無い単位スイッチのアルゴリズム

入力するセルのヘッダの単位スイッチの制御に関与する２個のビットの状態が「Ｎ」の場合のみスイッチングを行い、単位スイッチの上部出力端子に“１”、下部出力端子に“０”のタグを有するセルを出力する。（図３．１４参照）

（２）タグ情報の授受がある単位スイッチのアルゴリズム

①相互にタグ情報の授受を行う２個の単位スイッチに入力するセルの単位スイッチの制御に関与するビットの組合せが、状態「０」と「Ｎ」の場合は、状態「Ｎ」の単位スイッチの上部出力端子に“０”、下部出力端子に“１”のビットを有するセルを、状態「０」の単位スイッチは（１）タグ情報の授受のない場合のアルゴリズムに従ってセルを出力する。（図３．１５(5)、(8)の場合）

②相互にタグ情報の授受を行う２個の単位スイッチに入力するセルの単位スイッチの制御に関与するビットの組合せが、状態「Ｎ」のみの場合、上部の単位スイッチは、２．３．１に従い、下部の単位スイッチは、上部出力端子に“０”、下部出力

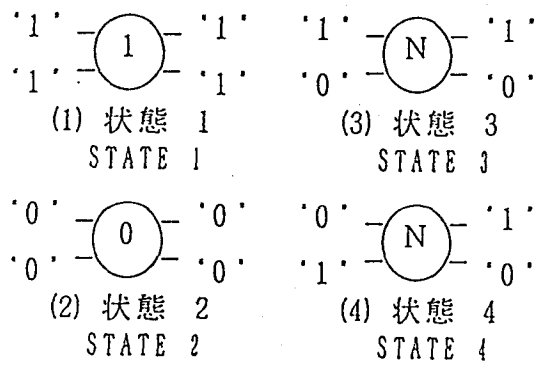


図３．１４　Ｎ(i)の相互に情報の授受のない単位スイッチのスイッチングアルゴリズムとルーチングタグの状態

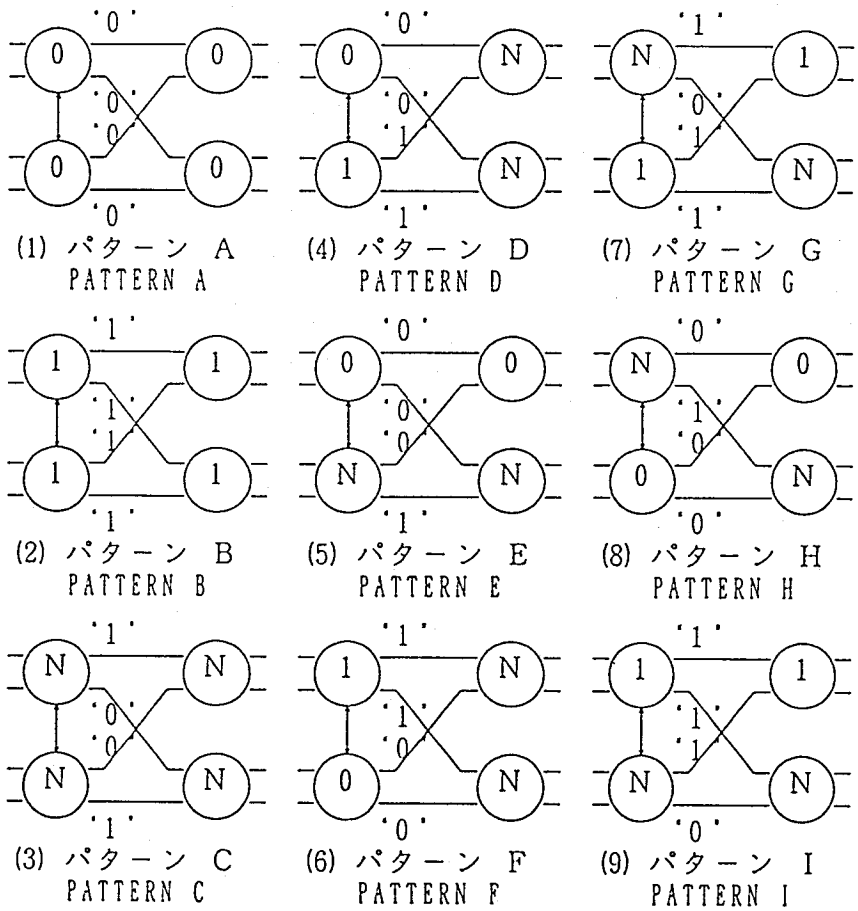


図３．１５　Ｎ(i)の相互に情報の授受のある単位スイッチの
スイッチングアルゴリズム

端子に“１”のビットを有するセルを出力する。（図３．１５(3)の場合）

③その他の場合は、（１）タグ情報の授受のない場合のアルゴリズムに従う。（図３．１５(1)、(2)、(4)、(6)、(7)、(9)の場合）

この結果、部分網Ｎ(i)の上半分の出力端子には、タグの第ｉ番目のビットが“１”、下半分の出力端子には、“０”のセルが出力される。すなわち、部分網Ｎ(i)を通過する度に、入力するセルの出力端子番号は、大きなグループから小さなグループの順に順次細かく分離され、最終段の部分網Ｎ(1)では、入力する２個のセルを出力端子番号の大きい方を上部端子、小さい方を下部端子に出力するので、入力セルは目的の出力端子に出力されることになる。

（３）提案するＳＲ－ＳＷ網の動作例

図３．１６に、接続規則１～５に従って構成した８入力×８出力のＳＲ－ＳＷ網の構成例、及び、３．３．２で述べたスイッチングアルゴリズムに従って入力セルをスイッチングした場合の信号の経路例を示す。

３．３．３　ノンブロッキング動作の証明

本章では、３．３．１と３．３．２で述べたＳＲ－ＳＷ網構成法とスイッチングアルゴリズムにより、入力セルがノンブロッキングで目的とする出力端子へ出力可能なことを証明する。

〔定理６〕

単位部分網Ｍ(i)の入力段単位スイッチＳ(j,1)〔Ｍ(i)〕｛j:整数，$1 \leqq j \leqq 2^{i-1}$｝に入力するタグの組合せにおいて、状態「０」の単位スイッチがｘ個、状態「１」の単位スイッチがｙ個存在するとき、単位部分網Ｍ(i)の出力段単位スイッチＳ(j, 2^{i-1})〔Ｍ(i)〕｛j:整数，$1 \leqq j \leqq 2^{i-1}$｝のタグの組合せ状態は表３．５となる。ただし、$x + y \leqq 2^{i-1}$。

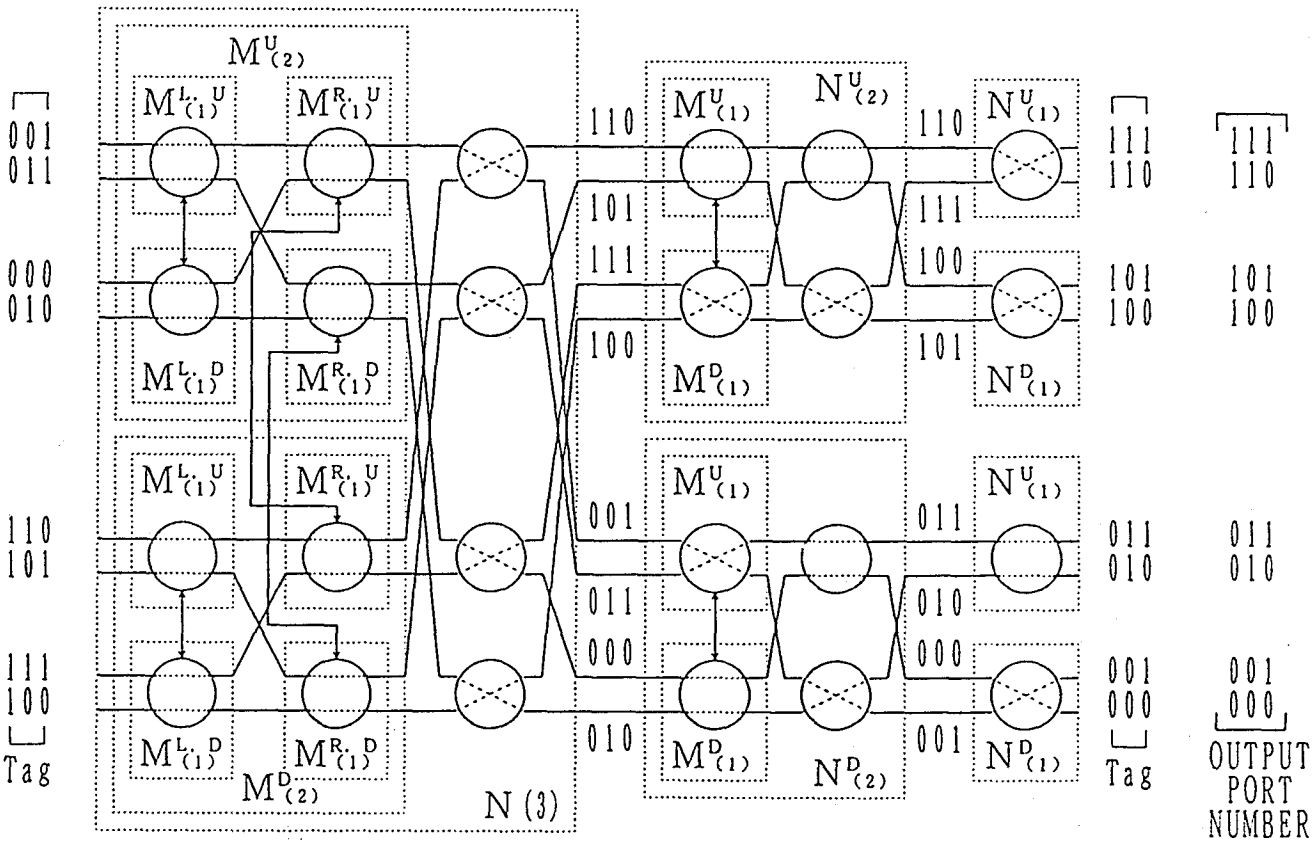


図３．１６　スイッチ網構成例（８入力×８出力）

証 明

以下の(Step 1)(Step 2)を用いて、帰納法で証明する。

(Step 1)単位部分網M(2)の場合

単位部分網M(2)を構成する２個の入力段単位スイッチにタグの第２番目のビットが“１”または、“０”のセルが入力する場合、４個の単位スイッチのルーチングタグの組合せは、図３．１５に示すパターンＡ～Ｉの９通りとなる。

いま、単位部分網M(2)では、$x+y \leqq 2$であることからx，yの採り得る組合せは表３．６の第１欄に示す６通りとなり、それぞれの場合に２．３のスイッチングアルゴリズムを適用すると、出力段単位スイッチ$S(j,2)$〔$M(2)$〕$\{j=1,2\}$のルーチングタグ状態は、表３．６の第２欄の値となる。この結果は、定理６の結果と一致している。

(Step 2)単位部分網M(i)の場合

仮　定：　単位部分網M(i-1)で定理６が成立すると仮定する。

単位部分網M(i)の入力段単位スイッチ$S(j,1)$〔$M(i)$〕$\{j$:整数，$1 \leqq j \leqq 2^{i-1}\}$のルーチングタグ状態の組合せを表３．７とし、単位部分網M(i)の出力段単位スイッチのルーチングタグ状態の組合せを求める。この場合、表３．７に示したx_1, y_1，x_2, y_2の大小関係により以下の４通りに場合分けして求める必要がある。

<u>(Case 1) $x_1 \geqq y_1$ and $x_2 \geqq y_2$</u>

<u>(Case 1.1)単位部分網$M^{L \cdot U}(i-1)$，$M^{L \cdot D}(i-1)$の出力段単位スイッチのルーチングタグ状態</u>

単位部分網$M^{L \cdot U}(i-1)$，$M^{L \cdot D}(i-1)$に仮定を適用すると、単位部分網$M^{L \cdot U}(i-1)$，$M^{L \cdot D}(i-1)$の出力段単位スイッチのルーチングタグ状態は下記となる。

$S(j,2^{i-2})$〔$M^{L \cdot U}(i-1)$〕$\{j$:整数，$1 \leqq j \leqq x_1-y_1\}$　　－－「０」

$S(j,2^{i-2})$〔$M^{L \cdot U}(i-1)$〕$\{j$:整数，$x_1-y_1 < j \leqq 2^{i-2}\}$　　－－「Ｎ」

$S(j,2^{i-2})$〔$M^{L \cdot D}(i-1)$〕$\{j$:整数，$1 \leqq j \leqq x_2-y_2\}$　　－－「０」

$S(j,2^{i-2})$〔$M^{L \cdot D}(i-1)$〕$\{j$:整数，$x_2-y_2 < j \leqq 2^{i-2}\}$　　－－「Ｎ」

(Case 1.2)単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$の出力段単位スイッチのルーチングタグ状態

単位部分網$M^{L\cdot U}(i-1)$，$M^{L\cdot D}(i-1)$の出力段単位スイッチを「接続規則３」に従って単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$の入力段単位スイッチと接続する場合、単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$の入力段単位スイッチのルーチングタグ状態数は、(Case 1.1)項の状態「０」の数によって、以下に述べる(Case 1.2.1)、(Case 1.2.2)の２つに分けて考える必要がある。ただし、$x = x_1 + x_2$，$y = y_1 + y_2$。

表３．５　定理１による単位部分網M(i)の出力段単位スイッチのタグ状態

条件＼項目	状態	$S(j,2^{i-1})$〔M(i)〕{j:整数,$1 \leqq j \leqq 2^{i-1}$}の状態
(i) $x \geqq y$	「0」	$j \leqq x-y$
	「1」	——
	「N」	$j > x-y$
(ii) $x < y$	「0」	——
	「1」	$j \leqq y-x$
	「N」	$j > y-x$

表３．６　単位部分網M(2)の出力段単位スイッチのタグ状態

条件＼項目	S(j,1)〔M(2)〕{j=1,2}の状態個数			状態パターン	S(j,2)〔M(2)〕{j=1,2}の状態		
	「0」	「1」	「N」	(図3.15)	「0」	「1」	「N」
$x \geqq y$の場合	2	0	0	A	j=1,2	—	—
	1	1	0	D，F	—	—	j=1,2
	1	0	1	E，H	j=1	—	j=2
	0	0	2	C	—	—	j=1,2
$x < y$の場合	0	1	1	G，I	—	j=1	j=2
	0	2	0	B	—	j=1,2	—
欄番号	第　1　欄			—	第　2　欄		

表３．７　単位部分網Ｍ(i) の入力段単位スイッチのタグ状態数

状態＼項目	単位部分網Ｍ(i) の入力段単位スイッチ　Ｓ(j,1)〔Ｍ(i)〕{j:整数} の状態個数	
「０」	$j \leqq 2^{i-2}$	x_1
「１」		y_1
「Ｎ」		$2^{i-2}-x_1-y_1$
「０」	$j > 2^{i-2}$	x_2
「１」		y_2
「Ｎ」		$2^{i-2}-x_2-y_2$

ただし：$x = x_1 + x_2$，$y = y_1 + y_2$

(Case 1.2.1) $2^{i-2}-x_1+y_1 \geqq x_2-y_2$

この場合、2^{i-2}は単位部分網$M^{L\cdot U}(i-1)$，$M^{L\cdot D}(i-1)$の出力段単位スイッチ数、x_1-y_1は出力段単位スイッチ$S(j,2^{i-2})$〔$M^{L\cdot U}(i-1)$〕{j:整数，$1 \leqq j \leqq 2^{i-2}$}のうちルーチングタグ状態が「０」の数、x_2-y_2は出力段単位スイッチ$S(j,2^{i-2})$〔$M^{L\cdot D}(i-1)$〕{j:整数，$1 \leqq j \leqq 2^{i-2}$}のうちルーチングタグ状態が「０」の数であり、これらの出力段単位スイッチのルーチングタグ状態は、「０」と「Ｎ」しか無いことから、上記の条件は、単位部分網$M^{L\cdot U}(i-1)$の状態「Ｎ」の数が、単位部分網$M^{L\cdot D}(i-1)$の状態「０」の数より$2^{i-2}-x+y$個大きい場合である。また、「接続規則３」は、単位部分網$M^{L\cdot U}(i-1)$，$M^{L\cdot D}(i-1)$，$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$の入出力段単位スイッチのそれぞれ１個を図３．１５の接続パターンに従って接続することを意味する。この場合、パターンは、図３．１５に示したパターンＣが$2^{i-2}-x+y$個、パターンＥがx_1-y_1個、パターンＨがx_2-y_2個となり、単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$の入力段単位スイッチのルーチングタグ状態数は、これらのパターンの状態を数えることにより下記となる。

$M^{R\cdot U}(i-1)$ ── 「０」 … $x-y$個
　　└── 「Ｎ」 … $2^{i-2}-x+y$個

$M^{R\cdot D}(i-1)$ ── 「Ｎ」 … 2^{i-2}個

次に、単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$に仮定を適用し、単位部分網$M^{L\cdot U}(i-1)$，$M^{L\cdot D}(i-1)$の出力段単位スイッチのルーチングタグ状態を求めると下記となり、これを単位部分網M(i)の単位スイッチの番号に書き替えると、定理6が成立することが分かる。

$S(j,2^{i-2})[M^{R\cdot U}(i-1)]$ {j:整数，$1 \leqq j \leqq x-y$}
$= S(j,2^{i-1})[M(i)]$ {j:整数，$1 \leqq j \leqq x-y$} ――「O」
$S(j,2^{i-2})[M^{R\cdot U}(i-1)]$ {j:整数，$x-y < j \leqq 2^{i-2}$}
$+ S(j,2^{i-2})[M^{R\cdot D}(i-1)]$ {j:整数，$1 \leqq j \leqq 2^{i-2}$}
$= S(j,2^{i-1})[M(i)]$ {j:整数，$x-y < j \leqq 2^{i-1}$} ――「N」

<u>(Case 1.2.2) $2^{i-2}-x_1+y_1 < x_2-y_2$</u>

この場合は、(Case 1.2.1)とは逆に、単位部分網$M^{L\cdot U}(i-1)$の状態「N」の数が、単位部分網$M^{L\cdot D}(i-1)$の状態「O」の数よりも、$2^{i-2}-x+y$個小さい場合を示しており、(Case 1.2.1)と同様の手順により、単位部分網$M^{L\cdot U}(i-1)$，$M^{L\cdot D}(i-1)$と$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$間の接続は、図3．15に示したパターンAが$x-y-2^{i-2}$個、パターンEが$2^{i-2}-x_2+y_2$個、パターンHが$2^{i-2}-x_1-y_1$個となる。この結果、単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$の入力段単位スイッチのルーチングタグ状態数は下記となる。

$M^{R\cdot U}(i-1)$ ―――― 「O」 … 2^{i-2}個
$M^{R\cdot D}(i-1)$ ―┬― 「O」 … $x-y-2^{i-2}$個
　　└― 「N」 … $2^{i-1}-x+y$個

次に、単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$に仮定を適用すると、単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$の出力段単位スイッチのルーチングタグ状態は下記となり、これを単位部分網M(i)の単位スイッチの番号に書き替えると、定理6が成立することが分かる。

$S(j,2^{i-2})[M^{R\cdot U}(i-1)]$ {j:整数，$1 \leqq j \leqq 2^{i-2}$}
$+ S(j,2^{i-2})[M^{R\cdot D}(i-1)]$ {j:整数，$1 \leqq j \leqq x-y-2^{i-2}$}
$= S(j,2^{i-1})[M(i)]$ {j:整数，$1 \leqq j \leqq x-y$} ―――「O」

$S(j,2^{i-2})$〔$M^{R\cdot D}(i-1)$〕 {j:整数, $x-y-2^{i-2}<j\leqq 2^{i-2}$}
$=S(j,2i-1)$〔$M(i)$〕 {j:整数, $x-y<j\leqq 2^{i-1}$} ---「N」

(Case 2) $x_1\geqq y_1$ and $x_2<y_2$

(Case 2.1)単位部分網$M^{L\cdot U}(i-1)$, $M^{L\cdot D}(i-1)$の出力段単位スイッチのルーチングタグ状態

単位部分網$M^{L\cdot U}(i-1)$, $M^{L\cdot D}(i-1)$に仮定を適用すると、単位部分網$M^{L\cdot U}(i-1)$, $M^{L\cdot D}(i-1)$の出力段単位スイッチのルーチングタグ状態は下記となる。

$S(j,2^{i-2})$〔$M^{L\cdot U}(i-1)$〕 {j:整数, $1\leqq j\leqq x_1-y_1$} ---「0」
$S(j,2^{i-2})$〔$M^{L\cdot U}(i-1)$〕 {j:整数, $x1-y1<j\leqq 2^{i-2}$} ---「N」
$S(j,2^{i-2})$〔$M^{L\cdot D}(i-1)$〕 {j:整数, $1\leqq j\leqq y_2-x_2$} ---「1」
$S(j,2^{i-2})$〔$M^{L\cdot D}(i-1)$〕 {j:整数, $y_2-x_2<j\leqq 2^{i-2}$} ---「N」

(Case 2.2)単位部分網$M^{R\cdot U}(i-1)$, $M^{R\cdot D}(i-1)$の出力段単位スイッチのルーチングタグ状態

単位部分網$M^{L\cdot U}(i-1)$, $M^{L\cdot D}(i-1)$の出力段単位スイッチを「接続規則1」に従って単位部分網$M^{R\cdot U}(i-1)$, $M^{R\cdot D}(i-1)$の入力段単位スイッチと接続する場合、単位部分網$M^{R\cdot U}(i-1)$, $M^{R\cdot D}(i-1)$の入力段単位スイッチのルーチングタグ状態数は、(Case 2.1)項の状態「0」、「1」の数によって、以下に述べる(Case 2.2.1)、(Case 2.2.2)の2つに分けて考える必要がある。

(Case 2.2.1) $2^{i-2}-(x_1-y_1)\geqq y_2-x_2$

(Case 1.2.1)と同様の考察から、この場合、出力段単位スイッチ$S(j,2^{i-2})$〔$M^{L\cdot U}(i-1)$〕 {j:整数, $1\leqq j\leqq 2^{i-2}$} のうちでルーチングタグ状態が「N」である数が$2^{i-2}-(x_1-y_1)$個、出力段単位スイッチ$S(j,2^{i-2})$〔$M^{L\cdot D}(i-1)$〕 {j:整数, $1\leqq j\leqq 2^{i-2}$} のうちでルーチングタグ状態が「1」である数がy_2-x_2個であり、前者が後者に比べて大きい場合である。この場合、単位部分網$M^{L\cdot U}(i-1)$, $M^{L\cdot D}(i-1)$と$M^{R\cdot U}(i-1)$, $M^{R\cdot D}(i-1)$間を「接続規則3」で接続すると、(ii-1)と同様の考察か

ら、図３．１５に示したパターンＣが$2^{i-2}-(x_1-y_1)-(y_2-x_2)$個、パターンＥが$x_1-y_1$個、パターンＧが$y_2-x_2$個となり、単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$の入力段単位スイッチのルーチングタグ状態は、これらのパターンを状態数を数えることにより、下記となる。

$M^{R\cdot U}(i-1)$ ── 「０」 … x_1-y_1個
　　 ── 「１」 … y_2-x_2個
　　 ── 「Ｎ」 … $2^{i-2}-(x_1-y_1)-(y_2-x_2)$個
$M^{R\cdot D}(i-1)$ ── 「Ｎ」 … 2^{i-2}個

次に、単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$に仮定を適用すると、単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$の出力段単位スイッチのルーチングタグ状態は下記となり、これを単位部分網$M(i)$の単位スイッチの番号に書き替えると、定理６が成立することが分かる。

<u>(Case 2.2.1.1) $x_1-y_1 \geqq y_2-x_2$</u>

この場合は、単位部分網$M^{R\cdot U}(i-1)$のルーチングタグ状態「０」の個数x_1-y_1が、状態「１」の個数y_2-x_2より大きく、単位部分網$M^{R\cdot D}(i-1)$のルーチングタグ状態がすべて「Ｎ」の場合となり、表３．５の（ｉ）が適用され、出力段単位スイッチ$S(j,2^{i-2})[M^{R\cdot U}(i-1)]$ $\{j$:整数，$1 \leqq j \leqq 2^{i-2}\}$ のルーチングタグ状態は、「Ｎ」と「０」、出力段単位スイッチ$S(j,2^{i-2})[M^{R\cdot D}(i-1)]$ $\{j$:整数，$1 \leqq j \leqq 2^{i-2}\}$ のルーチングタグ状態は、すべて「Ｎ」となる。これをまとめると下記となる。

$$S(j,2^{i-2})[M^{R\cdot U}(i-1)]\ \{j:\text{整数},\ 1 \leqq j \leqq x-y\}$$
$$= S(j,2^{i-1})[M(i)]\ \{j:\text{整数},\ 1 \leqq j \leqq x-y\} \qquad \text{---「０」}$$

$$S(j,2^{i-2})[M^{R\cdot U}(i-1)]\ \{j:\text{整数},\ x-y < j \leqq 2^{i-2}\}$$
$$+ S(j,2^{i-2})[M^{R\cdot D}(i-1)]\ \{j:\text{整数},\ 1 \leqq j \leqq 2^{i-2}\}$$
$$= S(j,2^{i-1})[M(i)]\ \{j:\text{整数},\ x-y < j \leqq 2^{i-1}\} \qquad \text{---「Ｎ」}$$

<u>(Case 2.2.1.2) $x_1-y_1 < y_2-x_2$</u>

この場合は、単位部分網$M^{R\cdot U}(i-1)$のルーチングタグ状態「０」の個数x_1-y_1が、

状態「１」の個数y_2-x_2より小さく、単位部分網$M^{R\cdot D}(i-1)$のルーチングタグ状態がすべて「Ｎ」の場合となり、単位部分網$M^{R\cdot U}(i-1)$には表３．５の（ii）を、単位部分網$M^{R\cdot D}(i-1)$には表３．５の（ｉ）を適用すると、出力段単位スイッチ$S(j,2^{i-2})$〔$M^{R\cdot U}(i-1)$〕｛j:整数,$1\leqq j\leqq 2^{i-2}$｝のルーチングタグ状態は「Ｎ」と「１」、出力段単位スイッチ$S(j,2^{i-2})$〔$M^{R\cdot D}(i-1)$〕｛j:整数,$1\leqq j\leqq 2^{i-2}$｝のルーチングタグ状態はすべて「Ｎ」となる。これをまとめると下記となる。

$S(j,2^{i-2})$〔$M^{R\cdot U}(i-1)$〕｛j:整数，$1\leqq j\leqq y-x$｝
　$=S(j,2^{i-1})$〔$M(i)$〕｛j:整数，$1\leqq j\leqq y-x$｝　　－－－「１」
$S(j,2^{i-2})$〔$M^{R\cdot U}(i-1)$〕｛j:整数，$y-x<j\leqq 2^{i-2}$｝
$+S(j,2^{i-2})$〔$M^{R\cdot D}(i-1)$〕｛j:整数,$1\leqq j\leqq 2^{i-2}$｝
　$=S(j,2^{i-1})$〔$M(i)$〕｛j:整数,$y-x<j\leqq 2^{i-1}$｝　　－－－「Ｎ」

<u>(Case 2.2.2) $2^{i-2}-(x_1-y_1)<(y_2-x_2)$</u>

この場合は、(Case 2.2.1)とは逆に、出力段単位スイッチ$S(j,2^{i-2})$〔$M^{L\cdot U}(i-1)$〕｛j:整数，$1\leqq j\leqq 2^{i-2}$｝のルーチングタグ状態「Ｎ」の数$2^{i-2}-(x_1-y_1)$が、出力段単位スイッチ$S(j,2^{i-2})$〔$M^{L\cdot D}(i-1)$〕｛j:整数，$1\leqq j\leqq 2^{i-2}$｝のうち、ルーチングタグ状態「１」の数y_2-x_2に比べ小さい場合である。この場合、単位部分網$M^{L\cdot U}(i-1)$，$M^{L\cdot D}(i-1)$と$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$間を「接続規則３」で接続すると、図３．１５に示したパターンＤが$(x_1-y_1)+(y_2-x_2)$個、パターンＥが$2^{i-2}+x_2-y_2$個、パターンＧが$2^{i-2}-x_1+y_1$個となり、単位部分網$M^{L\cdot U}(i-1)$，$M^{L\cdot D}(i-1)$の入力段単位スイッチのルーチングタグ状態は、これらのパターンの状態数から下記となる。

$M^{R\cdot U}(i-1)$ ―― 「０」 … $2^{i-2}+x_2-y_2$個
　　 ―― 「１」 … $2^{i-2}-x_1+y_1$個
　　 ―― 「Ｎ」 … $(x_1-y_1)-(y_2-x_2)-2^{i-2}$個
$M^{R\cdot D}(i-1)$ ―― 「Ｎ」 … 2^{i-2}個

次に、単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$に仮定を適用すると、単位部分網$M^{R\cdot U}(i-1)$，$M^{R\cdot D}(i-1)$の出力段単位スイッチのルーチングタグ状態は下記となり、これを単位部分網$M(i)$の単位スイッチの番号に書き替えると、定理６が成立することが分かる。

(Case 2.2.2.1) $x_1-y_1 \geqq y_2-x_2$

前述の(Case 2.2.1.1)と同様に、単位部分網$M^{R\cdot U}(i-1)$, $M^{R\cdot D}(i-1)$に表３．５の（ｉ）を適用し、整理すると以下のようになる。

$$S(j,2^{i-2})\,[M^{R\cdot U}(i-1)]\ \{j:\text{整数},\ 1 \leqq j \leqq x-y\}$$
$$= S(j,2^{i-1})\,[M(i)]\ \{j:\text{整数},\ 1 \leqq j \leqq x-y\} \qquad \text{---「O」}$$

$$S(j,2^{i-2})\,[M^{R\cdot U}(i-1)]\ \{j:\text{整数},\ x-y < j \leqq 2^{i-2}\}$$
$$+ S(j,2^{i-2})\,[M^{R\cdot D}(i-1)]\ \{j:\text{整数},\ 1 \leqq j \leqq 2^{i-2}\}$$
$$= S(j,2^{i-2})\,[M(i)]\ \{j:\text{整数}, x-y < j \leqq 2^{i-1}\} \qquad \text{---「N」}$$

(Case 2.2.2.2) $x_1-y_1 < y_2-x_2$

前述の(Case 2.2.1.2)と同様に、単位部分網$M^{R\cdot U}(i-1)$に表３．５の（ii）を、単位部分網$M^{R\cdot D}(i-1)$に表３．５の（ｉ）を適用し、整理すると以下のようになる。

$$S(j,2^{i-2})\,[M^{R\cdot U}(i-1)]\ \{j:\text{整数},\ 1 \leqq j \leqq y-x\}$$
$$= S(j,2^{i-1})\,[M(i)]\ \{j:\text{整数},\ 1 \leqq j \leqq y-x\} \qquad \text{---「1」}$$

$$S(j,2^{i-2})\,[M^{R\cdot U}(i-1)]\ \{j:\text{整数},\ y-x < j \leqq 2^{i-2}\}$$
$$+ S(j,2^{i-2})\,[M^{R\cdot D}(i-1)]\ \{j:\text{整数},\ 1 \leqq j \leqq 2^{i-2}\}$$
$$= S(j,2^{i-2})\,[M(i)]\ \{j:\text{整数},\ y-x < j \leqq 2^{i-1}\} \qquad \text{---「N」}$$

(Case 3) $x_1 < y_1$ and $x_2 \geqq y_2$

(Case 2)における状態「１」と「０」、状態数x_1とy_1、x_2とy_2を相互に入れ換えた場合と等価となり、同様な手順で定理６が証明できる。

(Case 4) $x_1 < y_1$ and $x_2 < y_2$

(Case 1)における状態「１」と「０」、状態数x_1とy_1、x_2とy_2を相互に入れ換えた場合と等価となり、同様な手順で定理６が証明できる。

以上の(Case 1)～(Case 4)について、定理６が成立したので、定理６が証明された。（証明終わり）

〔定理７〕

部分網Ｎ(i)のすべての入力端子2^iのうち、任意の2^{i-1}個の入力端子にタグの第ｉ番目のビットが"１"のセルを入力し、残りの2^{i-1}個の入力端子にタグの第ｉ番目のビットが"０"のセルを入力するとき、部分網Ｎ(i)の上部2^{i-1}個の出力端子にタグの第ｉ番目のビットが"１"のセルが、下部2^{i-1}個の出力端子にタグの第ｉ番目のビットが"０"のセルが出力する。

証明

部分網Ｎ(i)の入力段単位スイッチＳ(j,1)〔N(i)〕{j:整数，$1 \leq j \leq 2^{i-1}$}（単位部分網$M^U(i-1)$，$M^D(i-1)$の入力段単位スイッチと等価）において、状態「０」の単位スイッチがｘ個、「１」の単位スイッチがｙ個、「Ｎ」の単位スイッチがｚ個存在したとすると、部分網Ｎ(i)に入力するセルのタグの第ｉ番目のビットが"０"である入力端子数は、$2x+z$個、"１"である入力端子数は、$2y+z$個となる。これに、部分網Ｎ(i)に"０"が2^{i-1}個、"１"が2^{i-1}個入力する条件を加えると式(3.3)、(3.4)が成立し、これを解くと$x=y$となる。

$$2x+z=2^{i-1} \tag{3.3}$$

$$2y+z=2^{i-1} \tag{3.4}$$

次に、部分網Ｎ(i)を構成する単位部分網$M^U(i-1)$の入力段単位スイッチＳ(j,1)〔$M^U(i-1)$〕において、状態「０」の単位スイッチがx_1個、「１」の単位スイッチがy_1個、単位部分網$M^D(i-1)$の入力段単位スイッチＳ(j,1)〔$M^D(i-1)$〕において、状態「０」の単位スイッチがx_2個、「１」の単位スイッチがy_2個存在したとする。

単位部分網$M^U(i-1)$，$M^D(i-1)$の入力段単位スイッチは、部分網Ｎ(i)の入力段単位スイッチと等価であるから、式(3.5)、(3.6)が成立し、これらの式に、$x=y$の条件を加えると式(3.7)が成立する。

$$x=x_1+x_2 \tag{3.5}$$

$$y=y_1+y_2 \tag{3.6}$$

$$x_1+x_2=y_1+y_2 \tag{3.7}$$

定理６を用いるため、x_1，y_1の大小関係により、以下の場合に分けて証明する。

(Case 1) $x_1 \geqq y_1$

この場合、式(3.5)、式(3.6)及び、$x < y$の条件より、$x_2 < y_2$となる。

単位部分網$M^U(i-1)$,$M^D(i-1)$のそれぞれに、定理６の表３．５（ｉ）、（ii）を適用すると、出力段単位スイッチ$S(j, 2^{i-2})$〔$M^U(i-1)$〕{j:整数，$1 \leqq j \leqq x_1-y_1$}は状態「０」、出力段単位スイッチ$S(j, 2^{i-2})$〔$M^U(i-1)$〕{j:整数，$x_1-y_1 < j \leqq 2^{i-2}$}は状態「Ｎ」、出力段単位スイッチ$S(j, 2^{i-2})$〔$M^D(i-1)$〕{j:整数，$1 \leqq j \leqq y_2-x_2$}は状態「１」、出力段単位スイッチ$S(j, 2^{i-2})$〔$M^D(i-1)$〕{j:整数，$y_2-x_2 < j \leqq 2^{i-2}$}は状態「Ｎ」となる。

次に、部分網N(i)の出力段単位スイッチのルーチングタグの状態を求める。この場合、単位部分網$M^U(i-1)$，$M^D(i-1)$の出力段単位スイッチと部分網N(i)の出力段単位スイッチが、「接続規則６」と「接続規則７」に従って接続されることから、図３．１５のパターンを利用して求めることができる。また、式(3.7)から$y_2 - x_2 = x_1 - y_1$が導かれるから、この部分へ適用される図３．１５のパターンは、パターンＤがx_1-y_1個、パターンＣが$2^{i-2}-(x_1-y_1)$個となり、部分網N(i)の出力段単位スイッチはすべて状態「Ｎ」となる。

(Case 2) $x_1 < y_1$

(Case 1)と同様の手順により、この場合、$x_2 \geqq y_2$となり、単位部分網$M^U(i-1)$，$M^D(i-1)$の出力段単位スイッチ$S(j, 2^{i-2})$〔$M^U(i-1)$〕{j:整数，$1 \leqq j \leqq y_1-x_1$}は状態「１」、出力段単位スイッチ$S(j, 2^{i-2})$〔$M^U(i-1)$〕{j:整数，$y_1-x_1 < j \leqq 2^{i-2}$}は状態「Ｎ」、出力段単位スイッチ$S(j, 2^{i-2})$〔$M^D(i-1)$〕{j:整数，$1 \leqq j \leqq x_2-y_2$}は状態「０」、出力段単位スイッチ$S(j, 2^{i-2})$〔$M^D(i-1)$〕{j:整数，$x_2-y_2 < j \leqq 2^{i-2}$}は状態「Ｎ」となる。また、この部分へ適用される図３．１５のパターンは、パターンＦがy_1-x_1個、パターンＣが$2^{i-2}-(y_1-x_1)$個となり、部分網N(i)の出力段単位スイッチはすべて状態「Ｎ」となる。

この結果に、図３．１４(3)、(4)を適用すると、部分網N(i)の出力端子$O(j, 2^{i-2}+1, +1)$ {j:整数，$1 \leqq j \leqq 2^{i-1}$}には、タグの第ｉ番目のビットが"１"のセルが、出力端子$O(j, 2^{i-2}+1, -1)$ {j:整数，$1 \leqq j \leqq 2^{i-1}$}には、"０"のセルが出力される。更に、部分網N(i)の出力段単位スイッチと次段の部分網$N^U(i-1)$、$N^D(i-1)$の入力段単位スイッチが「接続規則７」で接続されていることから、部分網N(i)の上部2^{i-1}本の出力端子には、タグの第ｉ番目のビットが"１"のセルが、下部2^{i-1}本の出力

端子には、タグの第ｉ番目のビットが”０”のセルが出力される。（証明終わり）

〔定理８〕

部分網Ｎ(i)(i=1～n)を「接続規則７」で接続して構成した入出力端子数$2^n \times 2^n$のＳＲ－ＳＷ網の任意の入力端子に、値のすべて異なる連続数を２進数で標記したｎビットからなるタグを有する任意のセルが同時に入力するとき、このセルは、昇順に整列されてＳＲ－ＳＷ網の出力端子にブロックキング無く出力される。

証明

同時に入力するセルのタグは、すべて異なる出力端子番号を２進数で表現していることから、すべてのタグの第ｉ番目のビットは、”１”と”０”が同数となる。定理７より、部分網Ｎ(i)は、タグの第１番目のビットが”１”のセルをすべて上部の出力端子へ、”０”のものをすべて下部の出力端子へ分離して出力するので、部分網Ｎ(i)を順次進むに従って、部分網Ｎ(i)の上部の出力端子に出力端子番号の大きいセルが分離され、最終的に、ＳＲ－ＳＷ網の出力端子には、出力端子番号の大きい順に出力される。

３．３．４　スイッチ網の評価

提案したＳＲ－ＳＷ網とBatcher-banyan網を比較評価する。

（１）トポロジーの拡張性

Batcher-banyan網は、入出力端子数を拡張する度に、出力側のbanyan網をトポロジーの異なる一段規模の大きなものに変える必要がある。

一方、本提案のスイッチ網では、規模の一つ小さい部分網Ｎ(i-1)と一段の単位スイッチを増設し部分網間と単位スイッチ間のタグ情報の授受信号線を接続することにより、一段規模の大きいスイッチ網が構成可能であり、ＬＳＩ化を考慮したとき拡張性は良い。

（２）スイッチングアルゴリズム

Batcher-banyan網では、Batcher網とbanyan網で異なるスイッチングアルゴリズムを使用してはいるが、スイッチングの制御が一つの単位スイッチ内に閉じて実施される利点がある。

一方、本提案のスイッチ網構成では、単位スイッチ間に入力セルのタグ情報の授受が必要であり、スイッチングアルゴリズムは複雑となる。

（３）単位スイッチ数

各スイッチ網について、入力端子数Ｎと単位スイッチ数の関係を比較する。

Batcher-banyan網の全単位スイッチ数は、$N(\log_2 N)(\log_2 N+3)/4$、本提案のスイッチ網では、$N(N/2-1+\log_2 N)/2$となる。

図３．１７に示した計算結果から、本提案のスイッチ網構成は、入力端数が約３２以下で有利となる。

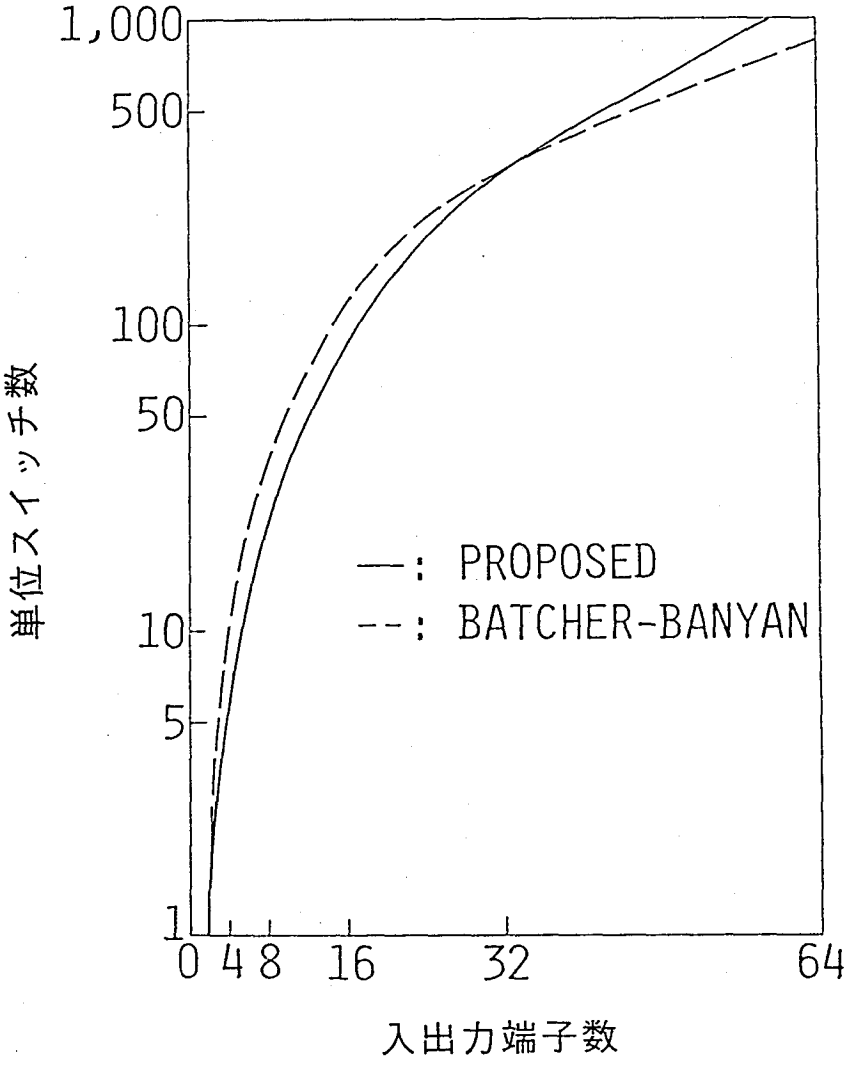


図３．１７　入出力端子数と単位スイッチ数の比較

（４）スループット

スループットは入力端子数と単位スイッチ間を接続するリンクの速度の積で与え

られ、条件を統一すると両者に差は無い。

（５）ＬＳＩ化の容易さ

本提案のスイッチ網は、トポロジーの拡張性の容易さの点で優れているため、ＬＳＩ化には向いているといえる。

（６）総合評価

本提案のスイッチ網は、入力端子数が３２本以下の条件でBatcher-banyan網より単位スイッチ数が少なく、ＬＳＩ化も容易なことから、比較的小規模なスイッチに適していると言える。

３．４　結言

近年の高速データ通信や画像通信の増加によるディジタル回線の増大、回線の高速化、多元速度化に対応するため、大容量かつ接続制御の容易な伝達処理ノードの実現が望まれている。

本論文では、このような伝達処理ノードを構成するスイッチ網として検討が進められているセルフルーチングスイッチ網について、従来から提案されているbanyan網のアルゴリズムの基本的考え方をベースとし、単位スイッチ数は多くなるが、ノンブロッキングで、かつ、簡易なアルゴリズムで動作する新しいセルフルーチングスイッチ網のトポロジーとアルゴリズムを提案し、ノンブロッキングで動作することを証明した。

次に、このセルフルーチングスイッチ網と、従来から提案されている比較的単位スイッチ数が少なく、かつ、ノンブロッキングなBatcher-banyan網と比べて、以下の特徴をもつことを明らかにした。

①入力端子数が約１６本以下で、Batcher-banyan網に比べてハードウェア量が少なく有利となる。

②スイッチ網トポロジーを、少ない種類のブロック単位に分割できるため、ＬＳＩ化が容易であると共に、スイッチ網の拡張性が良い。

③すべての単位スイッチが同一のアルゴリズムで動作することから、単位スイッチのソフトウェア及びハードウェアの共通化が可能。

次に、単位スイッチ間に入力セルのタグ情報の授受機能を付加することにより単位スイッチ数を減少させたスイッチ網を提案した。このスイッチ網は、すべての単位スイッチを、同一のスイッチングアルゴリズム、かつ、タグの１ビットのみで制御して再配置型の完全線群が構成できる。

このスイッチと、従来から同様の発想のもとに検討が進められているBatcher-banyan網との比較を行ない、以下の特徴をもつことを明らかにした。

①入力端子数が３２本以下であればBatcher-banyan網に比べて単位スイッチ数が少ない。

②スイッチ網トポロジーがブロック構成となっているためスイッチ規模の拡張性が良い。

③①項と②項からBatcher-banyan網に比べてＬＳＩ化が容易である。

第４章　入力バッファ型スイッチ

４．１　緒言

交換機間の多数のパスを対地別の伝送路に集束分散するため、伝送路間でクロスコネクトスイッチが用いられる。クロスコネクトスイッチは交換機と異なり、呼毎の煩雑な接続変更は必要としないが、回線より大きい速度をもつパスを取り扱うこと、および、大容量伝送路に直接接続されることがコスト面で望ましいことより、高速大容量なスイッチが必要となる。伝送路インタフェースの高速化とシステム規模の大容量化（たとえば、伝送路速度は数Ｇｂ／ｓ、システム容量は数１００Ｇｂ／ｓというオーダとなる）という要求条件に対して、クロスコネクト装置の経済化が重要な課題となる。この課題に対しては高速ＬＳＩ技術の適用、光スイッチの適用など各種の解決法が考えられる。

従来のＡＴＭクロスコネクトスイッチを並列処理という側面より見ると、ビットの並列展開、分散化という基本的な技術が適用されている例が多い。たとえばPreludeシステム[8]においてはシリアルデータを並列化して処理速度を低減させるビットスライス構成が採用されている。ただし、この方式は並列度に限界があることや制御部が集中構成であるためＥＣＬロジックで構成してスループットは高々４Ｇｂ／ｓ程度である。一方、２×２スイッチエレメントを多段接続してBenes網を構成し、全体としてルーチング制御も含めて分散処理動作する構成法が提案されている。[31]　この方式は原理的に容量拡張が容易であるが、各２×２スイッチエレメントにバッファおよびルーチング制御回路が必要となり回路規模が増大する傾向がある。

本章では入力ポートにバッファを集約することによって全体のバッファ量が少なくなるという特長を有する、いわゆる入力キューイング方式[20]を検討対象とする。入力キューイング方式では出力ポートでのセル競合制御の並列処理技術が重要な課題となっており、Huiらによって提案された３ phase algorithm[40]がよく知られている。この方式はBatcher-banyan網を空間スイッチおよび並列処理形セル競合制御として共用できる長所があるものの、スループットが約５７％に制限される。なお、Huiらは１セル期間内での制御回数を増加させることによりスループットを改善できることを文献[40]で示唆しているが、それによって制御系のオーバヘッド（速度上昇、バッファ制御の複雑化）が増大する。一方、３ phase algorithm に代わって送

出スケジューリング方式を適用することにより制御回数を増加させなくともスループットを約76%まで改善できることが明らかにされている。[41][42]

本章は入力キューイング方式における競合制御法に関して、文献[41][42]で提案された送出スケジューリング方式を基本とし、その制御を並列処理技術の１つであるパイプライン方式で実現したパイプライン化スケジューリング方式を新たに提案する。また、パイプライン化された処理エレメント内部の制御回路を低速回路で実現するため、並列処理形のスケジューリング処理回路構成を提案する。パイプライン化によって問題となるスケジューリング処理の公平性という観点から提案方式の最適化構成について検討している。計算機シミュレーションによる評価結果より、提案方式は従来の３ phase algorithmと同じ制御速度条件でスループットを約９０%まで改善でき、スループットの改善に伴いセル廃棄が減少することを示す。

４．２　入力キューイング方式における従来のセル競合制御

４．２．１　入力キューイングの原理

本章の検討対象である入力キューイングによるＡＴＭクロスコネクトスイッチの構成原理を図４．１に示す。この方式は基本的に入力バッファ部、競合制御部、ノンブロック空間スイッチより構成される。クロスコネクトスイッチの入出力信号はセルと呼ばれる固定長の情報であり、そのセルがどのパスに属するかを示すバーチャルパス番号（Virtual Path Identifier, VPI)がヘッダ中に含まれる。セル同期回路はスイッチとは別個に設置されるため図４．１では省略しているが、入力ポートではセル同期回路によりセル位相が揃っている。有効なセルがない場合はアイドルセルの挿入が行われる。なお、到着したセルは一旦、バッファ（input buffer)に蓄積される。同時に、セルよりＶＰＩが分離されバーチャルパス変換テーブルによって新しいＶＰＩとそのセルを出力すべき出力ポート番号が与えられる。次に入力ポートより競合制御回路（contention control)に対してセル到着順にセル送出要求が出される。競合制御回路はそれらの要求に対して出力ポートでの競合を解決する。この競合制御方法として１章で述べたようにいくつかの方式が存在し、スループッ

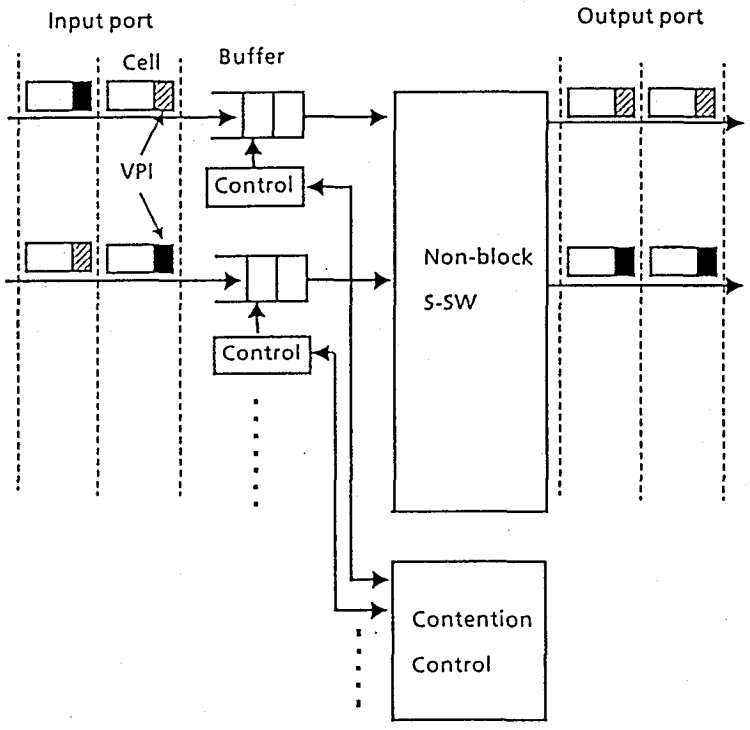


図４．１　入力バッファ型ＡＴＭクロスコネコトスイッチの構成

トに影響を与える。セルは送出可能になるまで入力バッファで待ち合わせた後、ノンブロックな空間スイッチを経由して希望の出力ポートに送出される。この空間スイッチは具体的にはマトリクススイッチ、Benes網、Batcher-banyan網などで構成される。本論文で提案するパイプライン形競合制御法ではセルフルーチングが可能なスイッチであればよく、その具体的な構成には依存しない。なお、図４．１は機能的な構成を示したものであり、１章でのべたように実際の装置では競合制御回路と空間スイッチは共用される場合もある。

４．２．２　従来のセル競合制御法の概要と問題点

（１）３ phase algorithm

３ phase algorithmの動作原理を簡易化して図４．２に示す。この方式は実際にセル送出を行うまで次の３つのフェーズより構成される。最初に、各入力バッファの先頭のセルが送出要求をBatcher sorting網に送出し、各セルの行き先情報でソーティングを行い、同一行き先のセルを検出する（フェーズ１）。次に、同一の行き先のセルの中から１つのみについて、要求を送出した入力ポートに送出許可（ＡＣＫ）を返送する（フェーズ２）。ＡＣＫを受信しなかった入力ポートは送出許可が与えられなかったものとして、以下の動作は行わない。最後に、ＡＣＫを受信した入力ポートはセルを送出する（フェーズ３）。　フェーズ２でＡＣＫを受信しなか

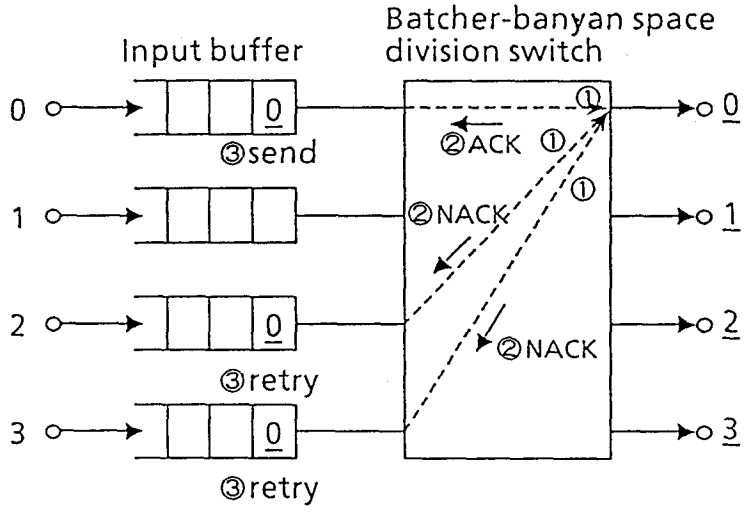


図４．２　3 Phase Algorithmの原理

った入力ポートはつぎのサイクルでフェーズ１から処理を繰り返すことになる。このためバッファの先頭のセルが送出できないと、後続のセルはバッファで待ち合わせとなるＨＯＬ（head of line)効果に起因して、スループットは約５７％が限界となる。

上記の３ phase algorithmは空間スイッチとしてBatcher-banyan網を用いると、並列処理が可能となり、また制御部とスイッチを多重処理という形で共用できることが知られている。なお、以上の議論ではバッファの先頭のセルのみセル送出要求を出すとしたが、入力バッファの先頭のセルから順番にフェーズ１とフェーズ２を繰り返すことにより、スループットが改善できることがHuiらによって示唆されている。また、空間スイッチを２面設置することによりスループットを改善する方法も提案されている。

（２）スケジューリング方式

スケジューリングという概念は衛星用ＴＤＭＡ方式における競合制御法としてRoberts[43]により提案されたものである。ただし、衛星という単一のリソースを前提とした方式であったため、集中制御で実現されておりＡＴＭクロスコネクトスイッチへの適用は困難であった。しかし、複数の入出力ポート間でのスケジューリングを並列処理により実現する方式が提案され[41][42]、３ phase algorithmで問題となったＨＯＬ効果を軽減できることが明らかにされている。スケジューリング方式の動作原理を簡易化して図４．３に示す。入力バッファの先頭のセルについて、その行き先に対して送出要求を出すという動作は３ phase algorithmと同等である。

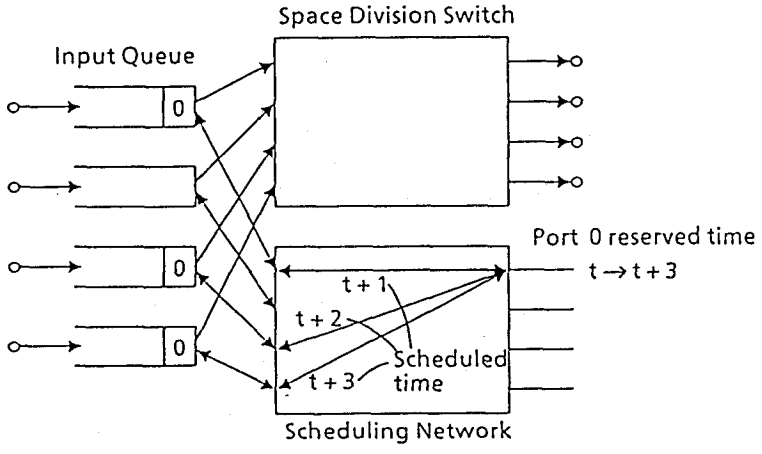


図４．３　スケジューリング方式の原理

次に、入力ポートからの送出要求を受けた出力ポートはその要求数を積算して出力ポートでのリソース（セルの送出時間）を確保するとともに、各入力ポートに対して出力ポートでの競合が発生しない時刻を返送する。ただし、この方式では１つの入力バッファより同時に２つ以上のセルを送出するようなスケジューリングが行われる可能性があるため、スループットは約７６％で飽和することが知られている。

４．３　パイプライン化スケジューリング制御方式の提案

４．３．１　基本原理

従来の３ phase algorithmでは送出直前の同一時刻における出力ポートでの競合制御を行っていた。一方、スケジューリング方式では出力ポートでの送出時刻が重ならないようにセルの待ち時間を調整することにより競合解決を図ったが、逆に入力ポートでの競合が発生した。これらの状況を考慮し、本論文では現在時刻よりＮ（Ｎは正整数）セル未来までの送出予約を受け付けるという制限付きのスケジューリングを行うと同時に、入力ポートでの競合を回避するため並列処理の基本的な技術であるパイプライン処理を用いたセル競合処理アルゴリズムを提案する。

提案方式の動作原理を図４．４に示す。入力ポート対応にスケジューリング制御部（scheduling control unit)を配置し、その番号を０～Ｎ－１とする。スケジューリング制御部には図４．４に示すように現在時刻を０として、未来の時刻１～Ｎを示す時刻データＴとその時刻での各出力ポートの予約状態を示すＲ（ｉ）（０≦ｉ≦Ｎ－１）より構成されるスケジューリングデータ（scheduling data)が入力される。スケジューリングデータは左から右の方向に１セル時間に１回シフトし、全体としてパイプライン動作する。図４．４では現在時刻を基準とした相対的な時刻表示としており、入力ポートｊにおけるスケジューリング時刻Ｔ(j)は１～Ｎの値をとる。図４．４では入力ポート０は常にＮセル時間後のスケジューリングを行い、入力ポートＮ－１は常に１セル時間後のスケジューリングを行う。この不公平については４．３．２で改善方法を提案する。Ｒ(i)は１ビットの情報により出力ポートｉでのセル送出予約状態を表し、Ｒ(i)＝ｎは未予約、Ｒ(i)＝ｒは予約済とする。スケジューリング制御部０に入力されるＲ(i)はすべてｎにリセットされた状態であるが、各スケジューリング制御部における予約処理によりｒにセットされる。

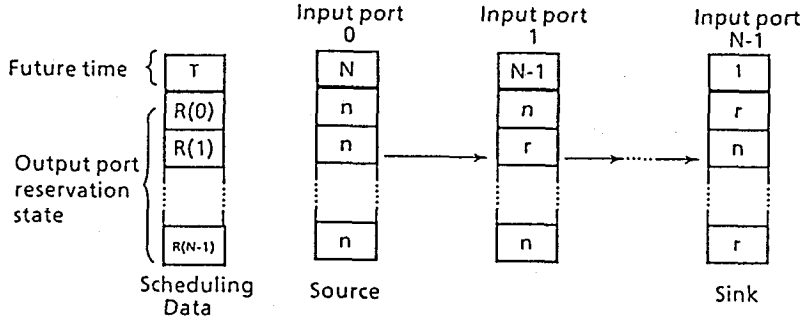


図４．４　パイプライン化スケジューリング方式の原理

１つのスケジューリング制御部の内部構成と動作を図４．５に示す。入力キュー(input queue)は到着したセルがスケジューリング処理待ちのために蓄積されるバッファで、その中に存在するセルを到着順にＩ(k)（k=1,2,・・・）とする。Ｉ(k)の出力ポート番号をＤ(k)とする。送出キュー(send queue)はＩ(k)に関するスケジューリング処理の結果、指定された時刻に送出するためのバッファである。すなわち、Ｉ(k)がＳ(t)に収容された場合、Ｉ(k)は現在よりｔセル時間後に入力ポートより送出される。入力キューおよび送出キューはＦＩＦＯ(first in first out)キューである。スケジューリング処理は以下の手順で実行される。

（ステップ１）

前段のスケジューリング制御部よりスケジューリングデータを受信する。このスケジューリングデータの時刻（入力ポートｊにおける現在時刻を基準とした相対値）をＴ(j)、更新前の予約状態をＲ(i)、更新後の予約状態をＲ'(i)とする。

（ステップ２）

入力キューのＩ(1)について、その行き先Ｄ(1)に対応する予約ビットＲ(D(1))を参照し、以下の動作を行う。

$$R'(D(1)) = \begin{cases} r & (\text{if} \quad R(D(1)) = n) \\ \text{No operation} & (\text{if} \quad R(D(1)) = r) \end{cases} \tag{4.1}$$

（ステップ３）

ステップ２の処理結果に対応して以下の動作を行う。

$$S(T(j)) = \begin{cases} I(1) & (\text{if } R(D(1)) = n) \\ I_o & (\text{if } R(D(1)) = r) \end{cases} \tag{4.2}$$

ただし、Ｉｏはアイドルセルを示す。

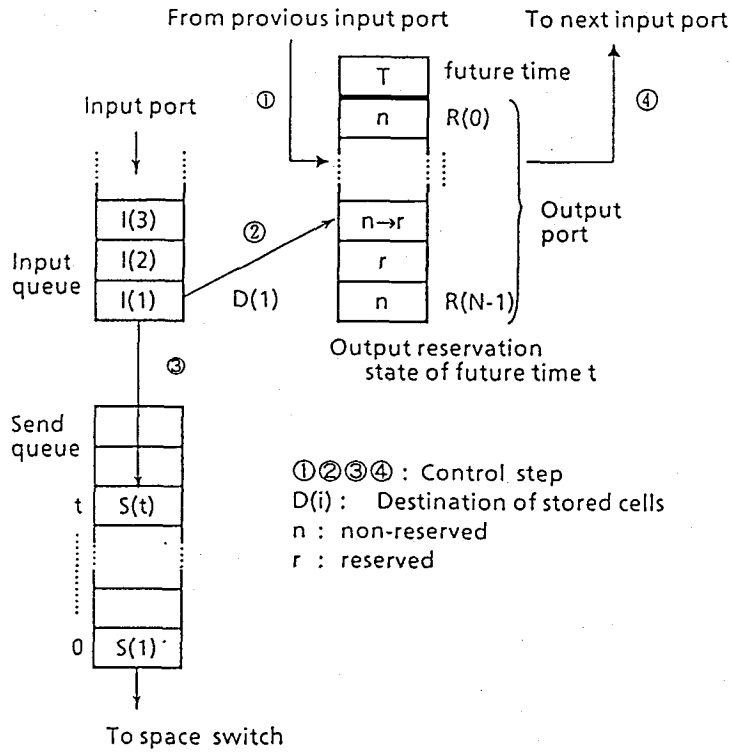


図４．５　提案スケジューリング方式の動作

（ステップ４）

スケジューリングデータを次段のスケジューリング制御部に送出する。

以上で提案したパイプライン化スケジューリング方式において、スケジューリング処理は入出力ポート数Ｎに関係なく１セル時間に１回実行される。ある時刻におけるＲ(i)は送出予約を１回受け付けると他の入力ポートはその時刻にはその出力ポートには送出できないため出力ポートでの競合は発生しない。また、入力ポートはある時刻にはスケジューリング処理を１回しか行わないため、従来のスケジューリング方式で問題となった入力ポートでの競合も回避できる。提案方式の定量的な評価結果については４．４に示す。

４．３．２　スケジューリング処理の公平化

３．１のアルゴリズムでは入力ポート０は常に出力予約テーブルの未予約のデータをアクセスし、入力ポートＮ－１は常に他のポートで予約し終わったデータをアクセスするため、入力ポート間にスループットおよび遅延時間の不平等が生ずる。こ

の問題を解決するため各ポートがスケジューリングデータにアクセスする順番を周期的に変更する。その変更の周期をMセル時間としスケジューリング時刻をtとすると、入力ポートj(0≦j≦N-1)におけるスケジューリング時刻T(j)の相対値は以下で与えられる。

$$T(j) = \begin{cases} N-(j+\mathrm{INT}[t/M])\bmod N, & (\text{if } t \bmod M \neq M-1) \\ N, & (\text{if } t \bmod M = M-1,\ j=N-1-\mathrm{INT}[t/M] \bmod N) \\ \text{halt}, & (\text{if } t/M \bmod M = M-1,\ j \neq N-1-\mathrm{INT}[t/M] \bmod N) \end{cases} \quad (4.3)$$

ただし、ＩＮＴ〔Ｘ〕はＸの整数部分を示し、haltはスケジューリング処理が禁止されることを示す。図４．６に各入力ポートのスケジューリング時刻が時間によって変化する様子を示す。式(4.3)および図４．６より入力ポートは現在時刻より１～Ｎセル未来の時刻が均等に割当てられることがわかる。図４．６においてＭセル時間ごとにスケジューリング時刻が１つシフトする遷移サイクル(transfer cycle)がある。このサイクルではスケジューリング処理は１つの入力ポートのみに許容され、他のポートは休止状態となる。これは入力ポート間での公平性を実現するためのオーバヘッドとなり、提案方式の最大スループットρm は式(4.4)で与えられる。

$$\rho m = 1-(N-1)/NM = 1-1/M \quad (4.4)$$

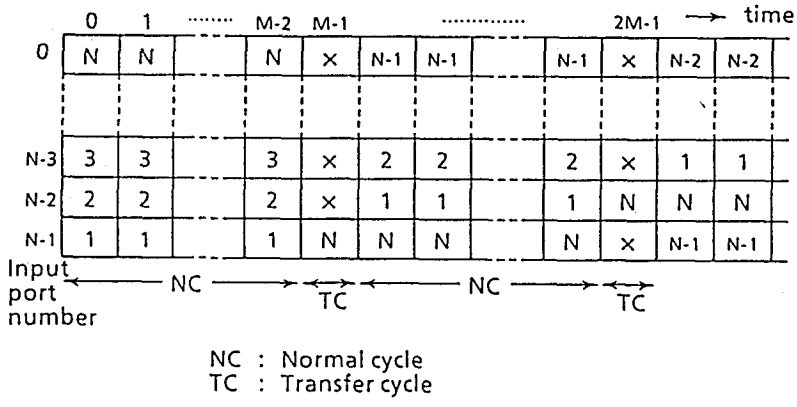


図４．６　入力ポートに対するスケジューリング時刻の割当て

式(4.4)よりスループットを上げるためにはMを大きく設定すればよい。ただし、Mを大きくすることは遅延のばらつきとセル廃棄の増大の原因となる。Mは２のべき乗が望ましいこと、および十分なスループットを得るという条件を考慮して本論文ではM＝１６とする。この場合、ρmは93.85 %となる。

４．３．３　スケジューリング処理の最適化

図４．４に示したように入力キューの先頭セルのみがスケジューリングデータにアクセスして予約を行う方式では、先頭セルが予約できなかったとすると３ phase algorithmと同様にＨＯＬ効果の影響を受ける。このためHuiらが提案した方法を応用し、入力キューの先頭からｄ個のセルがスケジューリングデータにアクセスする方法を採用する。なお、従来の３ phase algorithmではこの処理を時分割的に処理しなければならなかったが、提案方式では以下に示すように並列処理によって実現できるため処理速度は増大しない。改良したパイプライン化スケジューリング処理回路のブロック構成例を図４．７に示す。図４．７は簡単のためＮ＝４、ｄ＝３の場合を示しており、Ｎおよびｄの値が変わっても信号の線数が変わるだけで全体の構成には影響しない。図４．７でinput queueは図４．５の入力キューに相当するが、先頭からｄ個分のバッファにはタップが付いており、セルの行き先Ｄ(j)が並列に取り出せるように構成される。ゲート回路(gate)は入力キューよりＤ(j)(０≦ｊ≦Ｂ)を入力とし、その中で同一行き先のセルが存在すればキューの先頭に近いもの、すなわち時間的に早く到着したセルが優先的に出力される。この処理はセル順序を保存するために必要となる。図４．７のgate2の内部構成を図４．８に示す。コンパレータ（ＣＯＭＰ）はｋ＜ｊなるｋについてＤ(j)とＤ(k)を比較し、行き先の等しいものが存在するとオア回路（ＯＲ）を経由してバッファ（ＢＵＦ）出力を禁止する。すなわち、Ｄ(j)はゲート回路において以下の処理を受け、Ｄ'(j)となる。

$$D'(j)=\begin{cases} D(j) & (\text{if } D(j)\neq D(k), \text{for } k<j) \\ D_o & (\text{if } D(j)=D(k), \text{for } k<j) \end{cases} \qquad (4.5)$$

ただし、Ｄoはセルが出力されることのない仮想的な出力ポート番号を示す。

Ｄ'(j)はセレクタ（ＳＥＬ１～３）の制御データとなり、スケジューリングデータＲ（Ｄ'(j)）を出力する。セレクタ出力はプライオリティエンコーダに入力され、

その出力Ｐは式(4.6)で与えられる。

$$P = MAX\{j_s \mid R(D'(k-1)) = r,\ for\ \ k < j_s,\ 1 \leqq j_s \leqq d+1\} \quad (4.6)$$

ここでＭＡＸはその集合の最大値を与える関数とする。すなわち、Ｐは予約可能なセルの中で時間的に最も早く到着したものの位置を示す。なおＰ＝ｄ＋１の場合は予約可能なセルが存在しないことを示す。Ｐはセレクタ（ＳＥＬ４）の制御信号となり、予約可能な出力ポート番号Ｄ”(j)を与える。これがデコーダ（ＤＥＣ）により予約ビットＲ（Ｄ”(j)）をｒにセットする。同時に、図４．５に示したようにＰによって指定されたセルは入力キューより抜き出され、送出キューに転送される。以上によりスケジューリング処理が完了する。

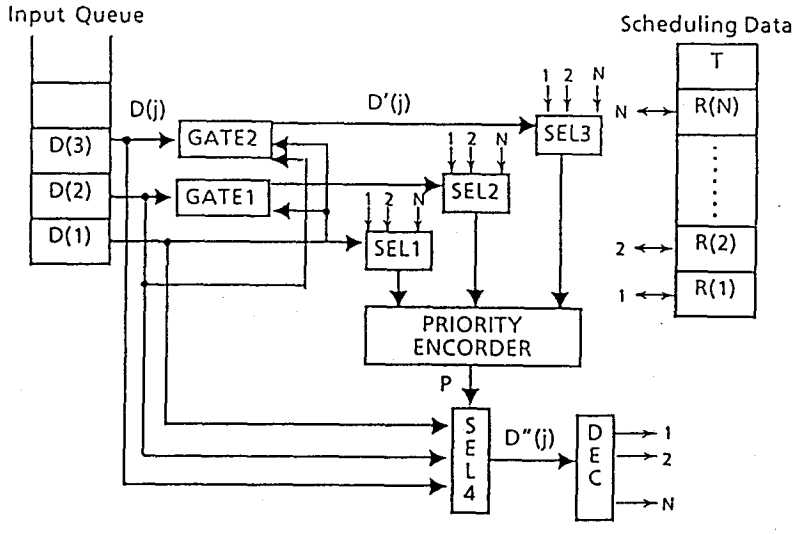


図４．７　改良スケジューリング制御部のブロック構成

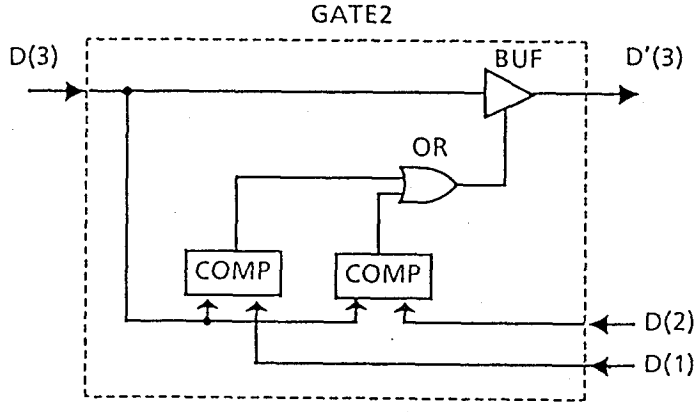


図４．８　ＧＡＴＥ２のブロック構成

４．３．４　回路規模および動作速度

図４．７のスケジューリング処理回路は、並列処理を行うため、ＮおよびｄのＮおよびｄの増加にかかわらず動作速度の増大は避けることができる。一方、ＮおよびｄのＮおよびｄの増加に伴い、並列処理数が増加し、回路規模が増大する欠点を持つ。図４．７のinput queueおよびscheduling dataのメモリを除く制御用のロジック回路のゲート規模とＮ、ｄとの関係を図４．９に示す。Ｎ＝６４、ｄ＝１６という大規模かつ高スループットなスイッチの場合でも約２k gateに収まる。これにセルの出力ポート番号を蓄積する制御用のinput queue とscheduling dataのメモリがqueue長３２、Ｎ＝６４のとするとｄに無関係に約３００bit必要となる。

一方、ポートのインターフェース速度を例えば２．４Gb/s、セル長を５３octetとすると１セル時間は１８０nsecとなる。図４．７では１セル時間に最大１０段のゲートを通過することになるので１ゲート当り１８nsecで動作すればよい。

これらの規模および速度は最新のBi-CMOS１チップで達成可能な範囲内にある。(44)

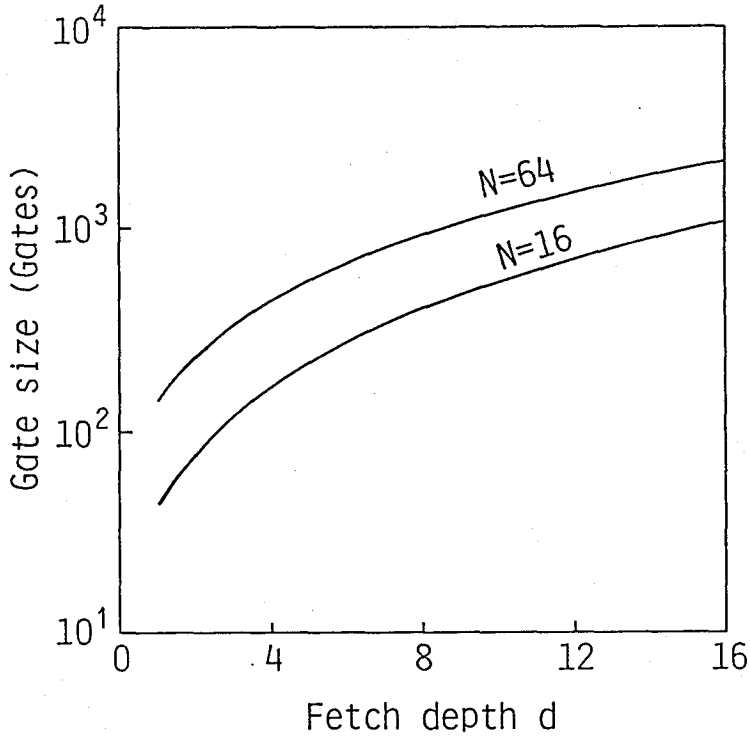


図４．９　制御回路規模評価

４．３．５　ループ構成による実現法

図４．１０にループを用いた本方式の入力バッファ型スイッチ全体図を示す。本構成は、入力ポート毎の予約待ちキュー（ＲＱ）、出力予約テーブル（ＲＴ）と送出テーブル（ＳＴ）から構成されるセル競合制御部、および、空間スイッチ（ＳＷ）から成る。ＲＴは１～Ｎセル時間未来までの送出時刻とその時刻の出力ポート予約状態を表す。ＳＴは予約を受け付けられたセルを納め、送出時刻になるとセルをＳＷに送出する。各ＲＱは対応するＲＴを参照し、予約動作を行う。各ＲＴはループで接続され、予約状態は予約開始点から予約終了点まで１セル時間に１ポートづつ経由して転送される。予約開始点で全てｎ（未予約）である予約状態は各ＲＱの予約を受け付け、予約終了点ではほぼ全てがｒ（予約済み）に変わる。入力ポートを平等化するため、ＲＴの予約開始点／終了点は周期ｔセル毎に１ポート上に変更される。

図４．１１に入力ポートの並列探索および予約動作を示す。ＲＱに蓄積された複数セル中、ＲＱの先頭よりｄセル（＝探索の深さ）が、同時に行き先に応じたＲＴを参照する（①）。ＲＴは参照された予約状態がｎならＡＣＫを、ｒならＮＡＣＫ

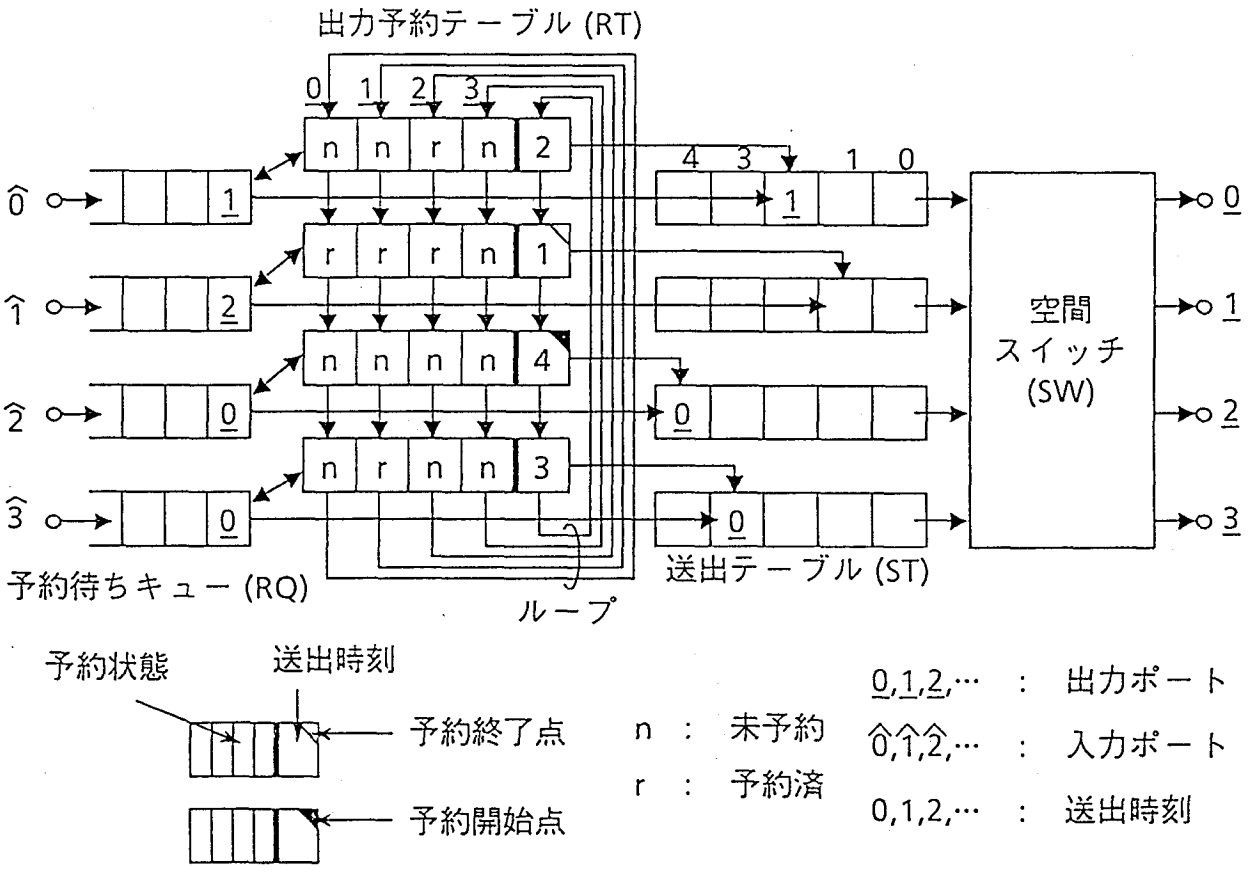


図４．１０　ループを用いた実現例

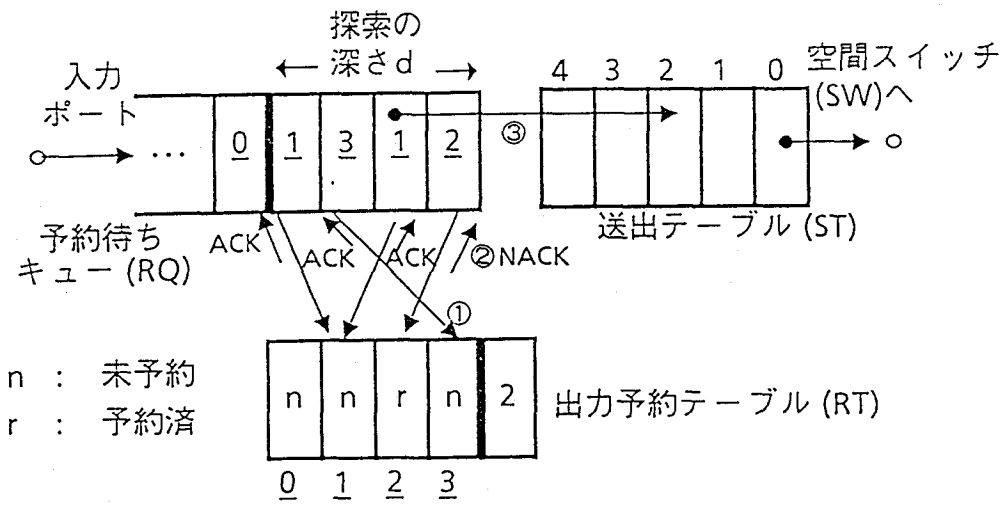


図４．１１　並列探索・予約動作

をＲＱに返送する。ＡＣＫを受けたセル中最も先頭に近いセルがＳＴに移り、ＲＱの空きが詰まり、参照された予約状態がｒに変わる（③）。この後、予約状態がループに従い１つ下のポートに転送される。以上の予約動作は１セル時間で行われる。

このようにＲＱとＲＴが近接配置できるループ構成は、回路を簡単化でき、制御信号の送受がし易くなるため、大容量スイッチの実現に適する。

４．３．６　バレルシフターを用いた実現法

図４．１２にバレルシフタを用いた本方式の入力バッファ型スイッチ全体図を示す。本構成は、入力ポート毎の予約待ちキュー（ＲＱ）と送出テーブル（ＳＴ）から構成される入力バッファ部、出力予約テーブル（ＲＴ）とバレルシフタ（ＢＳ）とタイミングジェネレータ（ＴＧ）から構成されるセル競合制御部、および、空間スイッチ（ＳＷ）から成る。ＲＴは１～Ｎセル時間未来までの送出時刻とその時刻の出力ポート予約状態を表す。ＳＴは予約を受け付けられたセルを納め、送出時刻になるとセルをＳＷに送出する。各ＲＱはバレルシフターで接続されたＲＴを参照し、予約動作を行う。バレルシフターは各ＲＱとＲＴの接続を周期的に変更して行く。バレルシフターの動作によって、ＲＴは１セル時間毎に異なるＲＱからの予約を順次受け付けていく。ＴＧは各ＲＴの予約状態を周期的にリセットする。リセット直後で全てｎ（未予約）である予約状態はＮセル時間の間に、各ＲＱの予約を受け付け、次のリセット直前ではほぼ全てがｒ（予約済み）に変わる。入力ポートを平等化するため、周期ｔセル毎にバレルシフターの動作を止める。

ＲＱとＲＴの間での予約動作原理は図４．１１と同様であるが、ＲＱとＲＴとの間にバレルシフターがあり、ＲＱ－ＲＴ間の配線量を減らす必要上から並列探索動作は困難となる。従って、ＲＱの先頭から順次ＡＣＫ／ＮＡＣＫの返送を受けるシリアル探索動作となる。

バレルシフターによる構成は、予め最大規模のバレルシフターを用意しておけばスイッチ端子の増設を容易に行えるという利点がある。

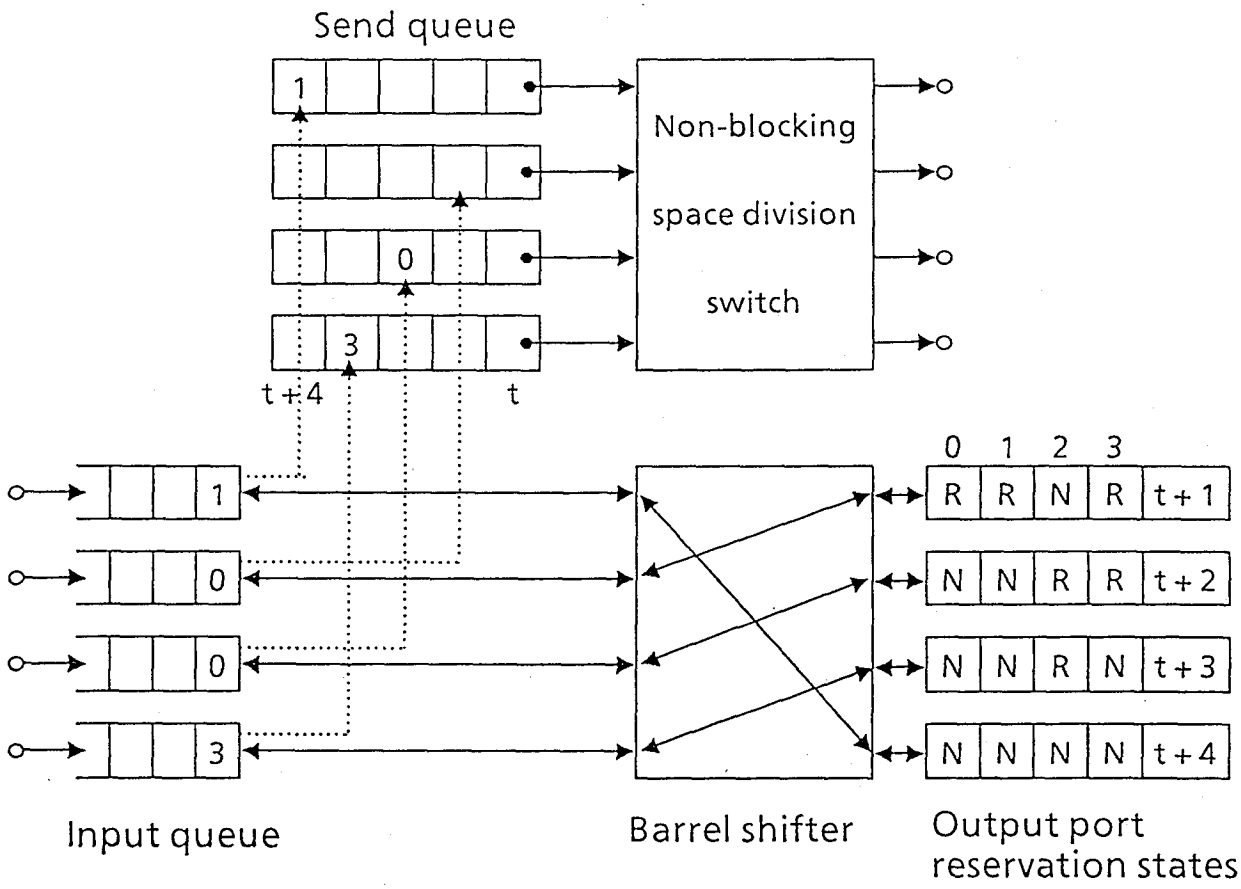


図４．１２　バレルシフタを用いた実現例

４．４　パイプライン競合制御法の評価

４．４．１　評価条件

ＡＴＭクロスコネクトスイッチの評価項目としてスループット・平均遅延・廃棄特性が従来より用いられている。[3][4][6]　提案方式はキュー内部に入ってサーチを行うので、そのモデル化と理論的な解析が困難であり評価は計算機シミュレーションによった。シミュレーションプログラムは２つの異なるデータ構造およびプログラム言語により記述され、同一の結果を得ている。バーチャルパス設定条件としては従来方式と同等の条件で特性比較を行うという点から、以下の代表的な到着パターンを適用する。

①ランダム到着パターン

スイッチの各入力ポートにセルが平均到着率λでランダムに到着する。１つの入力ポートに到着したセルは、λ／Ｎの確率で各出力ポートにルーチングされる。１つの出力ポートからみれば平均到着率λのポアソン到着となる。

②集団到着パターン

スイッチの各入力ポートにセルが平均到着率λでランダムに到着する。その行き先はすべて同一の出力ポートとする。ただし、その出力ポート番号はランダムとする。１つの出力ポートからみれば平均到着率λ／Ｎ、平均グループサイズＮλの集団到着となる。

③バースト到着パターン

同一行き先のセルが平均Ｌ個の幾何分布に従って到着する。バースト長Ｘの分布確率Ｐ（Ｘ）は式(4.7)で与えられる。

$$P(x) = (1 - 1/L)^{n-1} / L \qquad (4.7)$$

アイドルセル長の分布も幾何分布に従い、その平均値L_iは式(4.8)となる。

$$L_i = L(1 - \lambda) / \lambda \qquad (4.8)$$

なお、バーストの行き先は各出力ポートとも等確率とする。

その他の方式パラメータおよびシミュレーション条件については表４．１にまとめて示す。なお、最大スループットは表４．１の条件でシミュレーションを行いセ

表４．１　計算機シミュレーションの条件

1ポート当たり 入力バッファ容量	256セル * 20セル **
入力ポート数N	16
入力キュー処理の 深さd	1～16
遷移サイクル長M	16
シミュレーション 結果の処理方法	2万～22万セル時間の* セルについて平均遅延 を計算 1万～11万セル時間** 1万～21万セル時間 (廃棄セル数100以下) 1万～41万セル時間 (廃棄セル数10以下) について廃棄率を計算

*遅延･スループット特性　　**廃棄特性

ル廃棄が生じない最大のセル到着率で定義される。

４．４．２　遅延特性と廃棄特性

（１）遅延

図４．１３～図４．１５にＮ＝１６の各到着パターンに対する平均遅延特性のシミュレーション結果を示す。各特性ともｄを変化させた場合の特性を同時に示す。これらの結果に共通するのは、提案方式ではλが小さい範囲でもほぼＮ／２の遅延が発生することである。これは提案方式では１～Ｎセル時間未来の送出予約をパイプライン処理で行うため、平均でＮ／２セル時間のタイムラグが生ずることに起因する。例えば、入力ポートのインターフェース速度を1.2 Gb/s、セル長を72 octetと仮定すると１セル時間は480nsecとなる。このとき上記のタイムラグは、Ｎ＝６４程度の大規模スイッチを考えた場合でも約１５μsecとなり、この程度の遅延は問題ない大きさと考えられる。

（２）　スループット

図４．１６に最大スループットとｄの関係を示す。いずれの到着パターンにおい

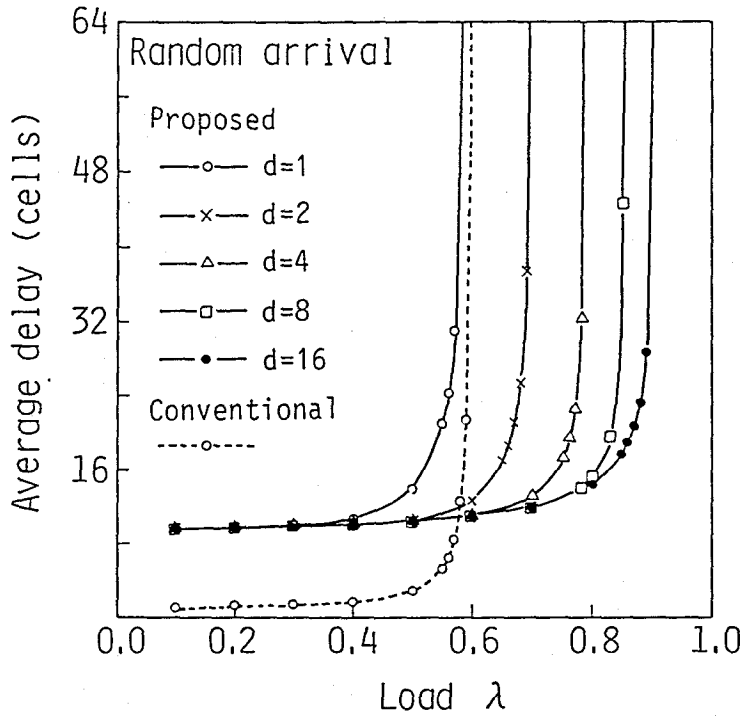


図４．１３　ランダム到着パターンの平均遅延時間

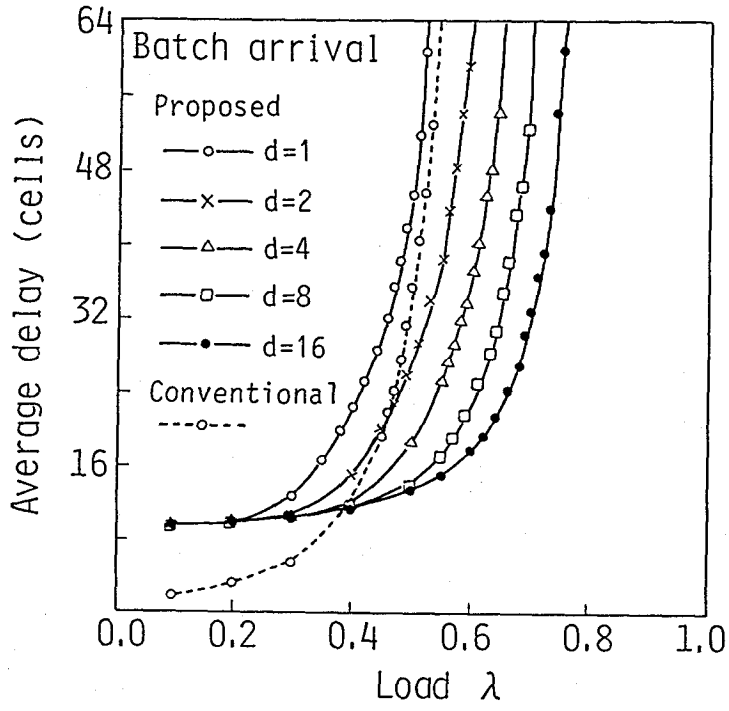


図４．１４　集団到着パターンの平均遅延時間

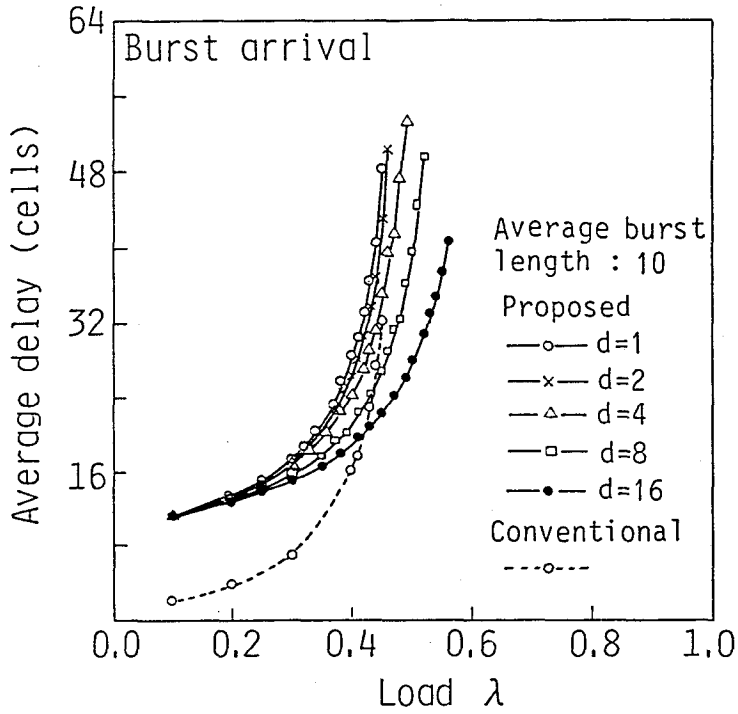


図４．１５　バースト到着パターンの平均遅延時間

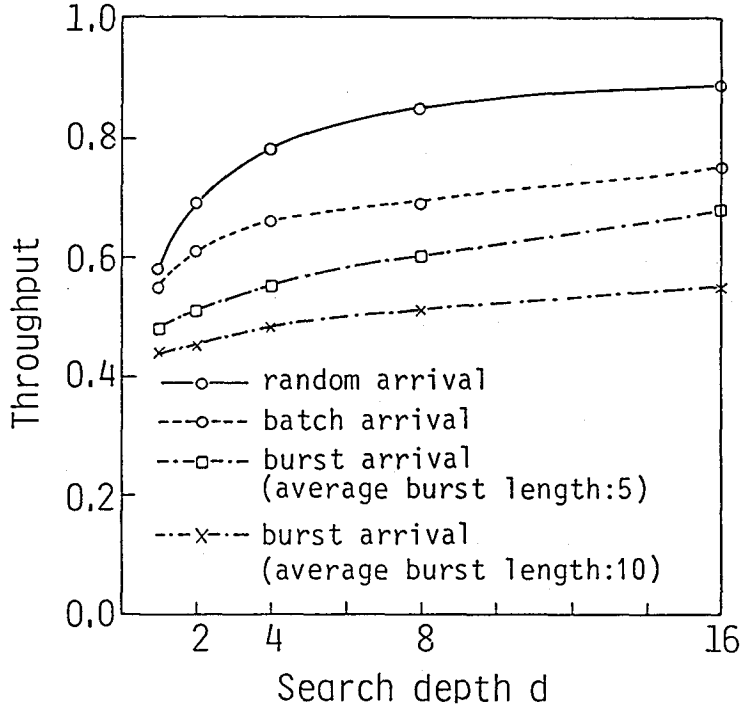


図４．１６　入力キューのサーチ深さｄと最大スループットの関係

てもｄを大きくするとスループットが改善できる。これはｄを大きくすると入力キューよりセルを送出できる確率が増大するためと考えられる。特にランダム到着パターンの場合はその効果が大きく、ｄ＝１では従来の３ phase algorithmとほぼ等しい約５７％であるが、ｄ＝１６では約９０％に改善できる。集団到着ではランダム到着パターンに比べて遅延時間が増大するが、スループットの飽和点はやや減少する程度である。バースト到着では全体的に遅延時間が増大するとともに、ｄ＝１６程度ではｄを大きくすることによる改善効果は小さい。これは入力キュー内に同じ行き先のセルが多くなるためと考えられ、スループットを上げるためにはｄをさらに大きく設定する必要がある。ただし、ｄを大きくすることは図４．９に示すとおりスケジューリング制御回路規模の増大につながるため、バースト的なセルに対しては方式的な面での対策が必要と考えられる。

ｄを大きくすればスループットは増大することを述べたが、その効果はランダム到着パターンと集団到着パターンではｄ＝１０程度で飽和する傾向がある。特にランダム到着パターンについては式(4.4)で与えられるスループットの上限となる約９４％に漸近する傾向がみられる。なお、図４．１６はＮ＝１６の例を示すが、Ｎ＝６４までの場合についてもＭ＝１６と設定すれば図４．１６とほぼ同等の遅延特性を示すことを確認している。

（３）廃棄率

パイプライン化スケジューリング方式では平均でＮ／２セル時間のタイムラグが存在する。このタイムラグはバッファに蓄積されるセルの量を増大させ、セル廃棄を増大させる要因となる。一方、スループットの増大はバッファに蓄積されるセルを減らし、セル廃棄率の減少要因となる。

図４．１７にセル廃棄率を示す。同一のバッファｂ＝20で従来の３ phase algorithmの廃棄率も示している。本シミュレーション結果より、タイムラグによるセル廃棄の増大よりもスループットの向上によるセル廃棄の減少の効果が大きいことが分かる。

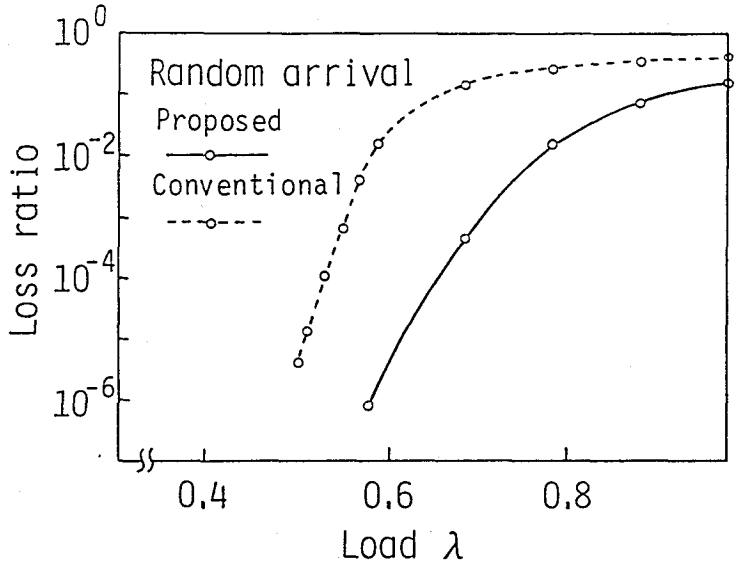


図４．１７　ランダム到着パターンのセル廃棄率

４．５　結言

ＡＴＭ多重伝送システムにおいてバーチャルパス設定を行うＡＴＭクロスコネクトスイッチ構成として入力キューイング方式を採用し、この場合の課題となるセル競合制御法としてパイプライン化スケジューリング方式を提案した。提案方式はパイプライン処理および並列アクセス処理という並列処理技術により従来と同等の制御速度によりスループットを約５７％から９０％に改善できることを計算機シミュレーションにより示した。

ただし、パイプライン処理の特徴から処理結果が出るまでのタイムラグに起因し、トラヒックが小さい場合でも遅延時間がやや大きくなる傾向がある。この遅延時間は高速ＡＴＭ伝送システムにおいてほとんと問題ない大きさと考えられる。遅延時間の増大はセル廃棄の増大要因となるが、スループットの増大によるセル廃棄の減少の効果が上回ることを計算機シミュレーションによって示した。

本論文は主に計算機シミュレーションによる評価を行ったため、Ｎ＝６４以下の比較的小さい規模のスイッチ規模の評価を行った。また、廃棄率も10^{-6}以上の高廃棄率の領域での評価を行った。スイッチサイズの大きなもの、および、10^{-6}以下の廃棄率についても精度よく特性評価を行うためには解析的な評価が必要と考えられ、今後の課題である。

第５章　結論

（１）第２章においては、小規模な単位スイッチを多段に接続して大規模なスイッチ網を実現する多段バッファ型スイッチについて検討した。多段バッファ型スイッチで従来から提案されている単一経路型のbanyan網はスイッチ規模が大きくなるに従って内部リンクの輻輳が発生する。また多経路型のBenes網ではスイッチ網内でのパケットの順序の逆転が問題となる。本章では、Benes網および折り返しbanyan網といった多経路スイッチ網を用いることにより内部輻輳を防止し、多経路の中からバーチャルパス毎に単一経路を選択してルーチングすることによってパケットの順序逆転を防止できることを明かにした。ただし、単一経路ルーチングではスイッチ網内のリンクを完全に均等に使用することができず、リンクのフロー量がやや不均等となる。しかし、この不均等は従来のbanyan網のフロー不均等に比べて極めて少なく、スイッチ規模によらずスイッチ網内リンク容量を入出力端子容量の２倍とすることで内部輻輳を避けられることを明かにした。しかし、多経路スイッチ網内で単一経路を選択するための処理が必要となるため、煩雑なバーチャルパスの容量および設定変更、迅速なバーチャルパス切り替え制御に向かない欠点を有する。このため、故障伝送路のバーチャルパス切り替えを行う高機能なクロスコネクトスイッチには適さない。しかし、同一の単位スイッチを接続するのみで原理的には無限の容量のスイッチを実現できる。そのため、入力バッファ型や出力バッファ型等の他形式のスイッチで実現できないスループット100Gb/sを越えるような将来的な超大容量クロスコネクトスイッチの実現に適するものと考えられる。

（２）第３章においては、入力バッファ型スイッチおよびＴ－Ｓ－Ｔ３段スイッチに用いることを目的とし、スイッチング制御のための制御線が不要となるため、スイッチＬＳＩのＩ／Ｏピンネックを避けられる利点があるセルフルーチング空間スイッチについて検討した。第３章で提案したセルフルーチング空間スイッチは、従来のBatcher-banyanセルフルーチングスイッチ網より単位スイッチ数が増大するが、個々の単位スイッチのスイッチング処理ハードウェアが簡易となり、同一接続パタンの繰り返し使用が可能なためＬＳＩ化に適することを明かにした。入力バッファ型ＡＴＭスイッチおよびＴ－Ｓ－Ｔ３段スイッチの容量は主にその空間スイッチのＩ／Ｏネックによって決まるため、ピンネックを避け得る空間スイッチの検討は重要である。

（３）第４章においては、入力バッファ型スイッチのスループットの向上を目的として、各入力からのセルの競合を回避する制御アルゴリズムを検討した。パイプライン処理ならびに並列処理を用いることにより、制御速度を上げることなく高スループットを達成できるセル競合アルゴリズムを提案した。本アルゴリズムはパイプライン処理を行うための遅延が生じ、その遅延時間分のセルの蓄積が必要となるが、スループットの向上による遅延および廃棄率の低減効果が上回ることを明かにした。

入力バッファ型スイッチは原理的にメモリ動作速度とメモリ容量が少なくて済むため、数Gb/s伝送路を収容する近未来に必要となるＡＴＭクロスコネクトスイッチに適するものと考えられる。

謝 辞

本研究をまとめるに際し、終始懇切なる御指導と、御教示を頂いた大阪大学工学部・手塚慶一教授に厚く感謝の意を表する。

また、大阪大学工学部・寺田浩詔教授、倉薗貞夫教授、森永規彦教授には、有益なる御助言、御討論頂き、深く感謝する。

本研究は、日本電信電話株式会社横須賀電気通信研究所、通信網第一研究所および伝送システム研究所において昭和60年から平成２年の間に行われたもので、当初本研究の機会を与えて下さった島田禎晉伝送システム研究所長（当時横須賀電気通信研究所基幹伝送研究部長）、青山友紀伝送処理研究部長（当時横須賀電気通信研究所伝送処理研究室長）に深謝する。また、引き続き研究の機会を与えて頂いた、木村英俊東海大学開発技術研究所教授（当時通信網第一研究所伝送システム研究部長）、小山正樹伝送システム研究所研究企画部長（当時伝送処理研究部長）、三木哲也光加入者システム研究部長（当時伝送処理研究部長）に深く感謝の意を表する。

本研究を開始するにあたって御指導を頂いた山口治男通信網総合研究所グループリーダ（当時横須賀電気通信研究所調査役）、研究を遂行するにあたり終始御指導、御討論頂いた鴇沢郁男伝送システム研究所グループリーダ、直接指導者として数多くの御指摘、御助言を頂いた渡辺隆市総合企画本部担当部長（当時通信網第一研究所主幹研究員）に厚く感謝する。

また、研究を開始するにあたり熱心に御討論頂いた太田　聡主任研究員（当時横須賀電気通信研究所研究主任）、ＡＴＭクロスコネクトスイッチ全般について熱心に御討論、御助言頂いた小原　仁主任研究員、松永治彦社員ならびに伝送システム研究所バースト伝送研究グループ、高速伝達研究グループの諸兄に厚く感謝する。

参考文献

(1) 石川　宏：”サービス統合ディジタル網”信学誌 Vol.70 No.11 pp.1171-1178

(2) 浅谷、池田：”Ｂ－ＩＳＤＮ研究の現状と今後の動向”信学論(B-I) Vol.J72-B-I No.11 pp.886-895(Nov. 1989)

(3) K. Asatani:"Network node interface for new synchronous digital networks -concepts and standardization-", GLOBECOM'88 4.5 pp.118-124

(4) 山内編：”パケット交換技術とその応用”電子情報通信学会(1980年)

(5) J. K. Kultzer and W. A. Montgomery:"Statistical switching archetecture for future services", ISS'84 Paper 43A-1 pp.1-6(May 1984)

(6) K. Nakagawa, K. Aoyama, J. Yamada and N. Yoshikai:"Field experiments on the F-1.6G optical fiber trunk transmission system", GLOBECOM'86 Paper 34.1 pp.1205-1209(Dec. 1986)

(7) A. Thomas, J. P. Coudreuse and M. Servel:"Asynchronous time-division techniques; An experimental packet network integrating video-communication", ISS'84 Paper 32C-2(1984)

(8) M. Deuault, J. -Y. Cochennec and M. Servel:"The Prelude' ATD experiment: assignments and future prospects", IEEE JSAC Vol.6 No.4 pp.1528-1537(Dec. 1988)

(9) CCITT Draft recommendation I.311:"B-ISDN general network aspects"

(10) K. Sato, S. Ohta and I. Tokizawa:"Broad-band ATM network archetecture based on virtual paths", IEEE Tras. on Com. Vol.38 No.8 pp.1212-1222 (Aug. 1990)

(11) 鴇沢、上田：”ディジタルクロスコネクト技術の動向”信学誌 Vol.71 No.9 pp.934-943(Sep. 1988)

(12) 佐藤、太田、鴇沢：”バーチャルパスの概念を用いた広帯域統合伝達網の構成”信学論(B-I) Vol.J72-B-I No.11, pp.904-915(Nov. 1989)

(13) 龍野、戸倉：”ＡＴＭ伝達網における無瞬断パス切換方式の検討”信学技報 CS90-47 pp.13-18(Oct. 1990)

(14) 俵、浜里、井上、高橋：”時間スイッチによる通話路構成”電気通信研究所研

究実用化報告 Vol.28 No.7 pp.1277-1292(July 1979)

(15)松下、平出、高、川島："同期多重変換装置の構成"電気通信研究所研究実用化報告 Vol.28 No.7 pp.1421-1445(July 1979)

(16)相原、川島："回線編集装置の構成"電気通信研究所研究実用化報告 Vol.29 No.11 pp.1947-1968(Nov. 1980)

(17)上田、辻、坪井："新しい同期インターフェースを適用した同期端局装置"ＮＴＴ Ｒ＆Ｄ Vol.39, No.4 pp.627-638(Apr. 1990)

(18)戸倉、小原、菊池："バーチャルパス概念に基づくＡＴＭ伝達網のシステム実験"信学技法 CS90-48 pp.19-24(Oct. 1990)

(19)市川、早川、青木、砥波："パケット交換機高速化に関する一考察"信学技報 SE84-122 pp.43-48

(20)H. Kuwahara, N. Endo, M. Ogino and T. Kozaki:"A Shared buffer memory switch for an ATM exchange", ICC'89 Paper 4.4 pp.118-122(June 1989)

(21)中島、戸倉、菊池："ＡＴＭ加入者網における遠隔多重ノード構成法"信学技報 IN90-58 pp.13-18(Sep. 1990)

(22)M. J. Karol, M. G. Hluchyj and S. P. Morgan:"Input vs output queueing on a space-division packet switch", GLOBECOM'86 Paper 19.4 pp.659-665 (Dec. 1986)

(23)Y. Oie, T. Suda, M. Murata and H. Miyahara:"Survey of the performance of nonblocking switches with FIFO input buffers", ICC'90 Paper 316.1 pp.737-741(Apr. 1990)

(24)H. Obara, M. Sasagawa and I. Tokizawa:"An ATM cross-connect system for broadband transport network based on virtual path concept", ICC'90 Paper 318.5 pp.839-843(Apr. 1990)

(25)鈴木、永野、鈴木、鈴木、竹内："出力バッファ形ＡＴＭスイッチの構成法"信学技報 SSE88-172 pp.37-42(1989)

(26)Y. Kato, T. Shimoe and K. Murakami:"A development of a high speed ATM switching LSIC", ICC'90 Paper 310.3 pp.562-310(Apr. 1990)

(27)J. S. Turner:"New directions in communications(or which way to the information age ?)", IEEE Comm. Mag. Vol.24 No.10 pp.8-15(Oct. 1986)

(28)南部、浅田：”流れ形処理機構を用いたＡＴＭスイッチ網の方式検討”信学技報 CS90-46 pp.7-12(1990)

(29)Y-C Jenq:"Performance analysis of a packet switch based on single-buffered banyan network", IEEE JSAC Vol.1 No.6, pp.1014-1021(Dec. 1983)

(30)G. J. Anido and A. W. Seeto:"Multipath interconnection: A techique for reducing congestion within fast packet swiching fabrics", IEEE JSAC Vol.6 No.9(Dec. 1988)

(31)太田　聡：”セルフルーチングスイッチにおける時間順序保存法”昭和６１年度信学通信部門全大No.222(Sep. 1986)

(32)J. S. Turner and L. F. Wyatt:"A packet network archetecture for integrated services", GLOBECOM'83, Paper 2.1 pp.45-50(Dec. 1983)

(33)太田、山口：”パケットスイッチ回路網の非輻輳セルフルーチング制御法”信学論(A) J70-A No.2 pp.312-319(Feb. 1987)

(34)R. J. Millen:"A survey of interconnection networks", GLOBECOM'84 Paper 5.1 pp.105-113(Nov. 1984)

(35)V. E. Benes:"Optimal rearrangeable multistage connecting networks", Bell Syst. Tech. J. Vol.43 pp.1641-1656(July 1964)

(36)L. Kleinrock:"Queueing systems", Vol.1 theory, John Wiley and Sons (1975)

(37)川村、葉玉、佐藤：”バーチャルパス概念に基づくＡＴＭ網高速セルフヒーリング方式”信学技法 CS90-59 pp.37-42(Oct. 1990)

(38)L. T. Wu and N. C. Huang:"Synchronous wideband network - an interoffice facility hubbing network", Proceeding of 1986 International Zurich Seminar on Digital Communications, B1(Mar. 1986)

(39)太田、上田：”３段スイッチ網の再配置アルゴリズム”信学論(B) J69-B No.2 pp.139-146(Feb. 1986)

(40)D. C. Operman and N. T. Tsao-wu:"On a class of rearrangeable switching networks part I:control algorithm", Bell Syst. Tech. J. Vol.50 pp.1579-1600(May-June 1971)

(41)K. E. Batcher:"Sorting networks and their applications", in Proc. Spring Joint Comput. Conf. pp.307-314(1968)

(42)J. Y. Hui and E. Arthurs:"A broadband packet switch for integrated transport", IEEE JSAC Vol.5 No.8 pp.1264-1273(Oct. 1987)

(43)H. Obara and T. Yasushi:"High speed transport processor for broad-band burst transport system", ICC'88 pp.922-927(June 1988)

(44)小原："送出スケジューリングを用いた入力バッファ形バーストクロスコネクト網の構成法" 信学論(B-I) Vol.J73-B-I No.2 pp.101-109(Feb. 1990)

(45)L. G. Roberts:"Dynamic allocation of satellite capacity through packet reservation", NCC'73 pp.711-716(1973)

(46)A. R. Alvarez and D.W.Schucker:"Bi-CMOS technology for semi-custom integrated circuits(invited)", IEEE 1988 Custom Integrated Circuit Conference Paper 22.1.1-5

付録．本論文に関する原著論文

[1] 上松、渡辺：”相互に情報の授受を行う空間分割型セルフルーチングスイッチ網の検討” 信学論(B) Vol.J70-B No.6 pp.628-637(Jun. 1987)

[2] 上松、渡辺：”空間分割型セルフルーチングスイッチ網構成の検討” 信学論(B) Vol.J70-B, No.7, pp.749-760(Jul. 1987)

[3] 上松、渡辺：”BENES網を用いたバーストクロスコネクトスイッチ網” 信学論(B) Vol.J71-B, No.3, pp.350-357(Mar. 1988)

[4] 上松、渡辺：”折返しBANYAN網を用いたバーストクロスコネクトスイッチ” 信学論(B) Vol.J71-B, No.4, pp.507-515(Apr. 1988)

[5] 上松、松永、小原：”入力キューイング形バーストクロスコネクトスイッチにおけるパイプライン競合制御法” 信学論(B-I) Vol.J72-B-I No.11 pp.1076-1085(Nov.1989)

[6] H.Uematsu and R.Watanabe:"Architecture of a packet switch based on banyan switching network with feedback loops", IEEE J.Select. Arias Commun. Vol.6 No.9 pp.1521-1527(Dec. 1988)

[7] 上松、渡辺：”セルフルーティングスイッチを用いた端局構成法の一検討” １９８６年信学会通信部門全国大会 2-41 No.223

[8] 上松、渡辺：”分散制御を適用した空間分割スイッチの構成” 信学技報 CS86-71 pp.17-23(Oct.1986)

[9] 上松、渡辺：”待ち合わせ形セルフルーティングスイッチを用いたスイッチ網の検討” 信学技報 SE86-87 pp.7-12(Nov.1986)

[10] H. Uematsu, H. Matsunaga and H. Obara:"A Cell-based Cross-connect Switch for ATM Broadband Networks" IEEE Singapore International Conference on Networks pp.371-376(July 1989)

[11] 松永、上松、小原：”入力バッファ形スイッチにおける時刻予約制御方式の検討” １９８９年信学会春期全大 3-143 B-437

[12] 松永、上松：”並列処理を用いた時刻予約方式スイッチの検討” １９８９年信学会秋季全大 3-113 B-264

[13] 松永、上松：”時刻予約制御方式を用いた入力バッファ形スイッチ構成法”

１９９０年信学会秋季全大 3-341 SB-7-2

[14]太田、上松、山口：”分散形パケットスイッチにおける結合網の特性評価”
１９８６年信学会総合全大 8-205 No.1967

[15]平野、渡部、行松、上松「廃棄再送形多元パケット交換方式の特性評価」１
９８６年信学会総合全大 8-208 1970

[16]上松、渡辺、鴇沢：”分散制御スイッチを用いた端局構成法”信学技報
CS86-70 pp.9-16(Oct.1986)

[17]上松、渡辺：”バースト通信網における品質と伝送路網構成の一検討”信学
会交換情報ネットワークワークショップ予稿集pp.203(Feb. 1987)

[18]上松、渡辺：”バースト多重通信網における遅延･廃棄率特性”１９８７年信
学会総合全大 9-56 No.1973

[19]上松、葉玉、渡辺：”Asynchronous Transfer Modeによるバースト多重端局の
構成”１９８７年信学会通信全大 2-119 No.338

[20]葉玉、上松、前田：”ループ網におけるスループット特性の一検討”１９８８
年信学会春期全大 2-75 B-380

[21]小原、上松：”高速バースト多重伝送システムにおけるクロスコネクトＭＵＸ
構成法」信学技報 SSE88-53 pp.19-24(Jul. 1988)

[22]上松、小原：”高速バースト多重伝送実験系の構成”１９８８年信学会秋季
全大 B-2-137 B-259

[23]小原、上松：”多段接続形バーストクロスコネクト網におけるセル順序保存”
１９８８年信学会秋季全大 B-2-141, B-263

[24]岡本、小原、上松、松永：”大容量ディジタルクロスコネクトシステムにおけ
る超高速自己ルーチングスイッチ(CALSER)”信学技報 SSE89-55 pp49-54
(Jul.1989)

[25]小原、上松、岡本、松永「大容量クロスコネクトシステムにおける分散制御形
空間スイッチ回路網」信学論(B-I) Vol.J73-B-I, No.5, pp463-469(Mar.
1990)

[26]H.Obara, S.Okamoto, H.Uematsu and H.Matsunaga:"Self-routing planar
network for guided-wave optical switching systems", Electronics
Letters Vol.26 No.8 pp.520-521(Apr. 14th 1990)