

Title	Ultimate Scaling of High- $\kappa$ Gate Dielectrics and Impact on Carrier Transport of Field-Effect Transistors
Author(s)	Ando, Takashi
Citation	
Issue Date	
Text Version	ETD
URL	<a href="http://hdl.handle.net/11094/2223">http://hdl.handle.net/11094/2223</a>
DOI	
rights	
Note	

*Osaka University Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

Osaka University

【11】

氏名	安藤 崇志
博士の専攻分野の名称	博士(工学)
学位記番号	第 24181 号
学位授与年月日	平成 22 年 9 月 22 日
学位授与の要件	学位規則第 4 条第 1 項該当 工学研究科生命先端工学専攻
学位論文名	Ultimate Scaling of High- $\kappa$ Gate Dielectrics and Impact on Carrier Transport of Field-Effect Transistors (高誘電率ゲート絶縁膜の薄膜化と電界効果トランジスタのキャリア輸送への影響)
論文審査委員	(主査) 教授 渡部 平司 (副査) 教授 金谷 茂則 教授 宮田 幹二 教授 菊地 和也 教授 伊東 忍 教授 高井 義造 教授 伊東 一良 教授 兼松 泰男

### 論文内容の要旨

近年の情報化社会の基礎を担うシリコンLSIの高集積化と高性能化は、金属-酸化膜-半導体電界効果型トランジスタ(MOSFET)の微細化により達成されてきた。今後も微細化を続けていくためには、ゲート絶縁膜を高誘電率

(High- $\kappa$ ) 材料に置き換えることが必須となっている。本研究の目的は、High- $\kappa$ ・メタルゲートMOSFETにおける閾値電圧調整技術および酸化膜等価膜厚 (EOT) 薄膜化技術を確立し、22nm世代以降のCMOSデバイスの性能向上の指針を得る事である。第1章においては、研究背景について述べた後、High- $\kappa$ ・メタルゲートの形成と高温の活性化アニールの順序に基づいたGate-FirstプロセスとGate-Lastプロセスの分類とその長所・短所を紹介した。第2章においては、Atomic Layer Deposition (ALD)法による $\text{HfSiO}_x$ の成膜技術を確立した。これにより、アスペクト比50を超える45nm世代のディーブトレンチ構造に $\text{HfSiO}_x$ を均一に埋め込む事に世界で初めて成功した。第3章においては、Gate-Lastプロセス向けに $\text{HfO}_2/\text{Hf-Si}$ スタック構造の提案を行った。 $\text{Hf-Si}$ という新材料を用いる事で、電極起因の電子移動度劣化を回避し、世界で初めて1nmを下回るEOT領域で $\text{SiO}_2/\text{poly-Si}$ と同等の高電界移動度を実現した。第4章においては、Gate-FirstプロセスによるEOTの薄膜化技術の検討を行った。本章では、メタル電極の酸化を駆動力としたRemote Scavengingという新現象を利用して、SiとHigh- $\kappa$ の界面に形成される $\text{SiO}_2$ 層の薄膜化を行う事でEOTの薄膜化を実現した。こうして得られたEOT 0.42nmという値はHf系High- $\kappa$ 材料による最小の値である。第5章においては、電子移動度とEOTの関係に直目し、Gate-LastプロセスとGate-Firstプロセスの統一的理解を進めた。放射光解析により両者の違いが $\text{HfO}_2$ の結晶性の違いに帰着する事を示した。 $\text{HfO}_2$ の結晶化に伴う固定電荷による散乱が起こるため、 $\text{HfO}_2$ をアモルファスに保つ事ができるGate-Lastプロセスを用いてより高い移動度が得られる。他方、Gate-Firstプロセスにおいては、Remote Scavengingにより界面層を薄膜化する事でEOTスケールを推し進めることができる。この時、 $\text{HfO}_2$ の光学フォノンと固定電荷の寄与により、電子移動度-EOTプロット上である傾きに沿った劣化が起こることを示した。準パリストイック領域でのデバイス動作では、この本質的な傾きに沿ったEOTの薄膜化によりデバイス性能の向上が可能である事を実証した。以上の知見により、CMOSロードマップの終点に向けた微細化戦略として、ゲート絶縁膜に $\text{HfO}_2$ を用い、外因的な移動度劣化を伴わない手法で界面層膜厚を薄膜化するというアプローチを提唱し、本研究の結言とした。

## 論文審査の結果の要旨

近年の情報化社会の基礎を担うシリコン LSI の高集積化と高性能化は、金属-酸化膜-半導体電界効果型トランジスタ (MOSFET) の微細化により達成されてきた。今後も微細化を続けていくためには、ゲート絶縁膜を高誘電率 (High- $\kappa$ ) 材料に置き換えることが必須となっている。本論文では、High- $\kappa$ ・メタルゲート MOSFET における閾値電圧調整技術および酸化膜等価膜厚 (EOT) 薄膜化技術を確立すると共に、22nm 世代以降の CMOS デバイスの性能向上の指針が示されており、学術的にも優れた研究成果をあげている。

第 1 章では、研究背景について述べた後、High- $\kappa$ ・メタルゲートの形成と高温の活性化アニールの順序に基づいた Gate-First プロセスと Gate-Last プロセスの分類とその長所・短所を紹介している。第 2 章においては、Atomic Layer Deposition (ALD) 法による  $\text{HfSiO}_x$  の成膜技術を確立している。これにより、アスペクト比 50 を超える 45nm 世代のディーブトレンチ構造に  $\text{HfSiO}_x$  を均一に埋め込む事に世界で初めて成功している。第 3 章においては、Gate-Last プロセス向けに  $\text{HfO}_2/\text{Hf-Si}$  スタック構造の提案を行っている。 $\text{Hf-Si}$  という新材料を用いる事で、電極起因の電子移動度劣化を回避し、世界で初めて 1nm を下回る EOT 領域で  $\text{SiO}_2/\text{poly-Si}$  と同等の高電界移動度を実現している。第 4 章においては、Gate-First プロセスによる EOT の薄膜化技術を検討している。本章で示している EOT 0.42nm という値は Hf 系 High- $\kappa$  材料による世界最小の値である。第 5 章においては、電子移動度と EOT の関係に直目し、Gate-Last プロセスと Gate-First プロセスの統一的理解を進めている。放射光解析により両者の違いが  $\text{HfO}_2$  の結晶性の違いに帰着する事を示している。また、基板との界面層の薄膜化により、EOT 薄膜化を進めると、 $\text{HfO}_2$  の光学フォノンと固定電荷の寄与により、電子移動度-EOT プロット上である傾きに沿った劣化が起こることを示している。準パリストイック領域でのデバイス動作では、この本質的な傾きに沿った EOT の薄膜化によりデバイス性能の向上が可能である事を実証している。これらの知見から、CMOS ロードマップの終点に向けた微細化戦略として、ゲート絶縁膜に  $\text{HfO}_2$  を用い、外因的な移動度劣化を伴わない手法で界面層膜厚を薄膜化するというアプローチを提唱している。

以上のように、本論文に示された研究成果は、High- $\kappa$ ・メタルゲート MOSFET による世界最高性能に相当し、その物理的起源もよく議論されている。これらの成果に基づき、本論文はシリコン LSI の更なる微細化に向けた極めて重要な指針を与えている。よって本論文は博士論文として価値あるものと認める。