



Title	Research and Development of Low Noise, High Sensitivity Imaging with Charge Coupled Devices
Author(s)	Watanabe, Takashi
Citation	大阪大学, 2000, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3178728
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka



**Research and Development of
Low Noise, High Sensitivity Imaging
with Charge Coupled Devices**

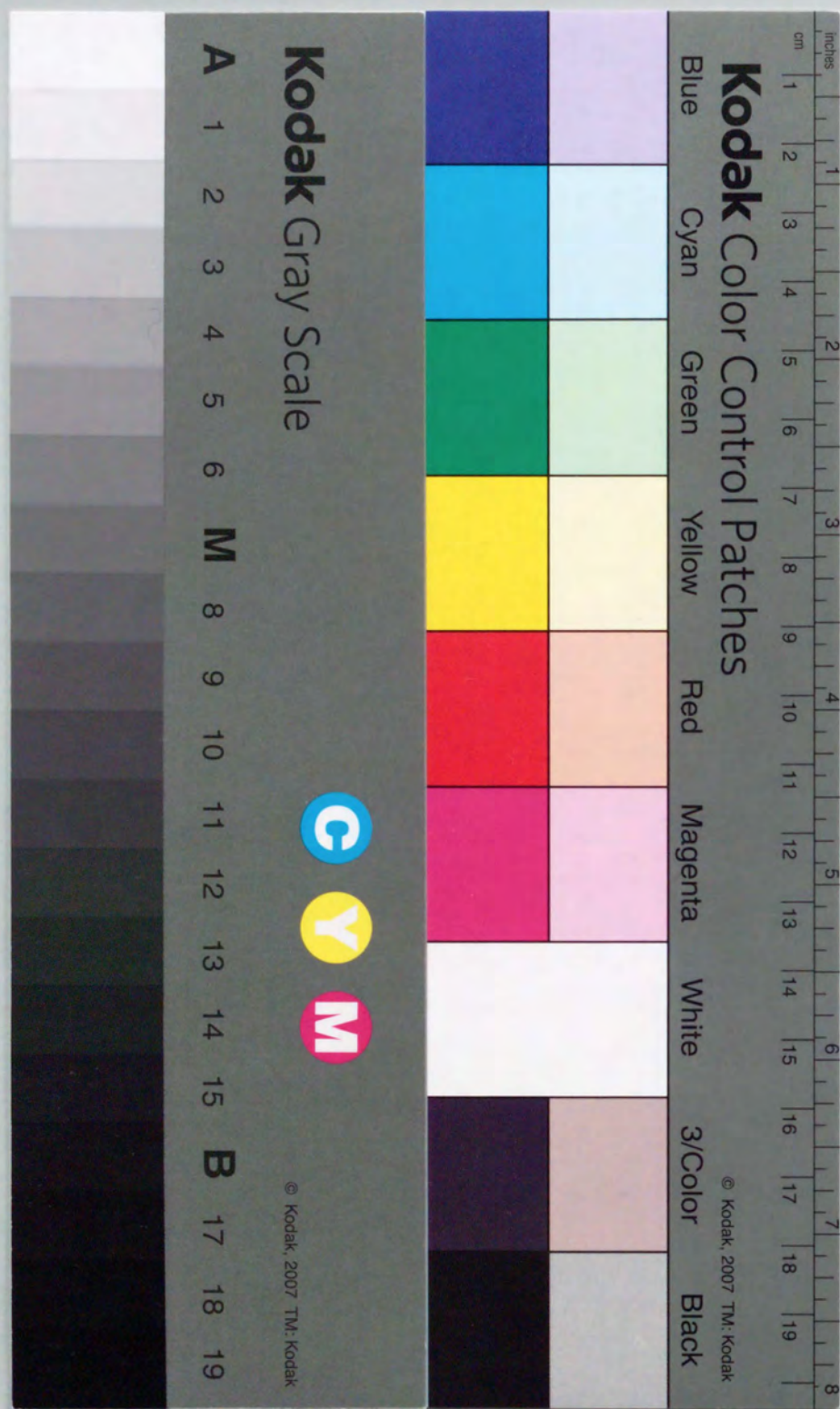
by
Takashi Watanabe

Dissertation in Physics



**OSAKA UNIVERSITY
GRADUATE SCHOOL OF SCIENCE
TOYONAKA, OSAKA**

September, 2000



①

**Research and Development of
Low Noise, High Sensitivity Imaging
with Charge Coupled Devices**

by
Takashi Watanabe

Dissertation in Physics

**OSAKA UNIVERSITY
GRADUATE SCHOOL OF SCIENCE
TOYONAKA, OSAKA**

September, 2000

Contents

Abstract	1
1. Introduction	2
2. Review of CCD image sensors	5
2-1. Principle of the CCD	
2-2. Application	
2-3. Contribution to science	
2-4. Organization of CCD image sensor	
3. Noise in CCD's	9
3-1. Photosensing Noise	
3-2. Transfer Noise	
3-3. Detection and Output Noise	
3-4. External Circuit Noise	
3-5. Relations between Noise and Amplifier Gain	
3-6. Total Noise of the Recent CCD Image Sensor	
4. Resolution of the CCD Image Sensor	25
5. Sensitivity of the CCD Image Sensor	27
5-1. Vertical Overflow Drain (VOD) Structure	
5-2. Calculation of Overflow Current in NPN ⁻ Photodiode	
5-3. Overflow Current in the Photo-Integration Mode	
5-4. Sensitivity in P ⁺ NPN ⁻ Structure	
5-5. Calculation of Quantum Efficiency	
6. Low Voltage Operating CCD	33
6-1. Charge Pump Circuit	
6-2. Pulse Mixing Circuit	
6-3. Shutter Pulse Lowering	
7. Conclusion	37
Acknowledgment	39
References	40-43
Figures	44-86
German Abstract	87
Summary in Japanese	88-103

Research and Development of Low Noise, High Sensitivity Imaging with Charge Coupled Devices

Abstract

High signal-to-noise ratio imaging has attained with charge-coupled device (CCD) by incorporating following new technologies:

- (1) A unique reset transistor derives low noise charge detection. The transistor reduces reset noise drastically by forming potential gradient in the channel with a unique channel pattern.
- (2) Low noise metal-oxide-semiconductor (MOS) amplifier is developed from investigation of buried channel MOS transistors. Not only to attain buried channel mode but also to avoid weak inversion region, quite low noise operation is acquired.
- (3) Noise reduction technique is invented by introducing an integration circuit to correlated double sampling (CDS) method. This technique reduces high frequency noise that is a weak point of the CDS method, because the CDS method turns it to low frequency noise that is more harmful for imaging.
- (4) Simple optimization method of vertical overflow drain (VOD) structure has been derived from investigation of physical analysis of VOD current, and high sensitive CCD image sensor is attained from the work.

The only one weak point of CCD imaging device is that the CCD imagers need high and many voltage sources for driving them, but it is overcome from the following methods.

- (5) A unique technology is introduced that enables 5V single power supply for driving the CCD.
- (6) A unique vertical structure below the photodiode has been attained. This structure reduces VOD voltage drastically and enables smaller pixel size that brings high resolution CCDs in small optical format.

By adopting those new technologies, the CCD imagers have attained to nearly ideal imagers.

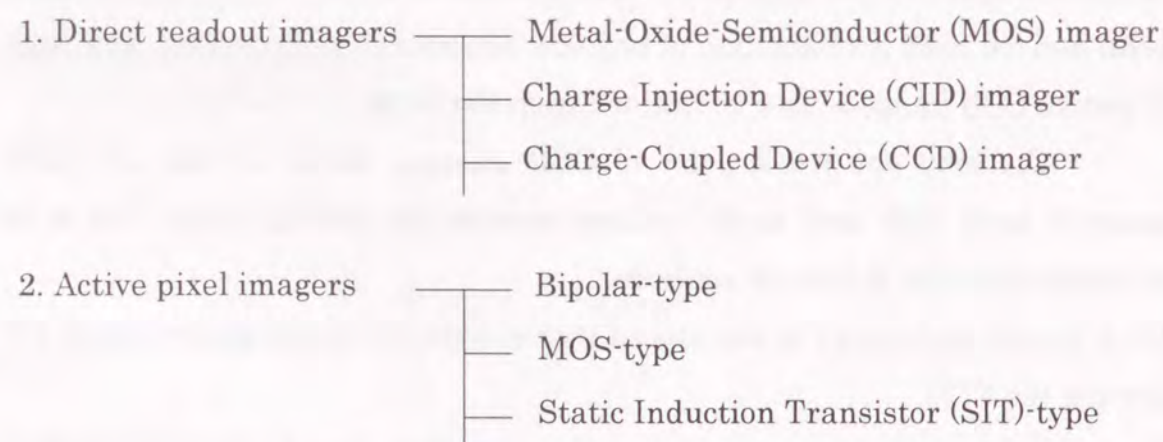
1. Introduction

Image sensing devices transform spatial linear or area images into sequential electric signals in time domain. Solid-state image sensors have been developed widely from 1960's, because they have such many advantages over electron beam scanned camera tubes as small size, low power consumption, immunity from shocks and electro-magnetic field, and their potential reliability and long life.

The solid-state image sensor receives an external image on an array of picture elements (=pixels), and each pixel converts incoming photons to signal charges, which are stored for a certain period. Each signal charge packet is amplified in current domain and read out sequentially, then constructs image signals. The solid-state image sensors therefore need next three functions;

- (1) photoelectric conversion and storage at each pixel,
- (2) readout of pixel signals, and
- (3) amplification of signals.

Combination of those functions leads to next some kinds of solid-state imagers.



The direct readout imagers read signal charge packets directly from pixels and amplify them at the output portion. On the other hand, the active pixel imagers amplify each signal charge at the pixel portion, then readout the amplified signals.

The MOS imager [1] shown in Fig.1 adopts a MOS transistor in each pixel, whose source is floating and functions as a photodiode. Photons incident on the photodiode generate signal carriers. Packets of signal carriers stored in the photodiodes are selected and readout sequentially by MOS switches that are addressed by vertical and horizontal scanning circuits on the chip. In spite of this simple structure, the MOS imager has large output capacitance for signal charges as column lines, and that seriously degrades achievable signal-to-noise ratio of the imager. The first commercial use of solid-state imagers for Video Tape Recorder (VTR) camera was attained by MOS imagers [2], but now those have been replaced by CCD imagers because of above disadvantages.

The CID imager [3] shown in Fig.2 adopts a MOS diode and a MOS gate in each pixel. Signal charge packets that are generated from incident photons are stored in the MOS diodes and sequentially injected into substrate as the minority carriers by using vertical and horizontal scanning circuits. The injected carriers generate recombination current flowing in the substrate and it becomes output signal. The CID imager also has large output capacitance which lead to low signal-to-noise ratio, and the slow recombination process (typically tens of micro-seconds) limits fast readout.

The CCD imager shown in Fig.3 adopts a photodiode or a MOS diode in each pixel, and signal charge packets generated from incident photons at the diodes are simultaneously shifted to vertical CCD channels by shift gates and sequentially transferred to an output portion through vertical and horizontal CCD channels. Since the output portion has very low capacitance, signal charge packets transferred from the diodes are converted to voltage signals with high gain and extremely low noise. From the advent of the CCD [4], CCD imagers have replaced all preceding solid-state imagers because of this excellently high signal-to-noise ratio.

In active pixel sensor (APS) type imagers shown in Fig.4, signal charge

packet generated by photons at the diode is amplified at each pixel and readout by vertical and horizontal scanning circuits. Amplification of image signals at pixel portions is done by transistors such as bipolar type, MOS type, or SIT type. The first proposal of the APS type of imagers was phototransistor imagers [5] which adopted a bipolar transistor in a pixel. Photo-current which is equal to base current is transferred to collector current by amplifying h_{FE} and the collector current in the pixel is readout sequentially. Other type of APS imagers were proposed [6] which uses several MOS transistors in each pixel for amplifying the photodiode signal, resetting the photodiode, and selecting the pixel to read.

The APS imagers diminish equivalent output capacitance to $1/A$, where A is the amplification of the pixel, and hence the readout noise becomes negligible. The APS imagers, however, introduce another fatal problems, namely the random fluctuation of amplification and offset level at each pixel lead to the fixed pattern noise (FPN). Nevertheless, the development of APS imagers are restored recently [7], not in the high picture quality use but in the low power, low cost, and special function (such as random access) uses.

[Aims of this thesis]

In addition to the best promising position in principle, the CCD imager has won the highest quality imager by introducing many technologies. This thesis describes the new methods to enhance the signal-to-noise ratio in CCD imagers :

- (1) low noise charge detection using a unique reset transistor,
- (2) low noise amplifier derived from investigation of buried channel MOS transistors, and
- (3) noise reduction technique by introducing an integration circuit.

Other low noise techniques are also described with original investigations.

High sensitivity and high resolution are other important characteristics for high performance imagers. Vertical overflow drain (VOD) structure [8] in

photodiodes has brought high sensitivity. This thesis describes a simple optimizing method of VOD derived from investigation of physical analysis of VOD structures. Some other analyses for enhancing the sensitivity and improving the resolution are also described.

Ideal imagers only have shot noise that originates from fluctuation of incoming photons and is unavoidable. By adopting those new technologies, the CCD imagers have attained to nearly ideal imagers.

In spite of the high performance, the CCD imagers need high and many voltage sources for driving them, that is a weak point of the CCD images in consumer applications [9]. This thesis also describes a unique technology that enables 5V single power supply for driving the CCD.

2. Review of CCD image sensors

2-1. Principle of the CCD

In a MOS structure shown in Fig. 5, a depletion area is generated in the semiconductor substrate by applying a voltage V_G on the metal electrode. The depletion area forms space charge region and it generates potential well. This potential distribution $\phi(x)$ is expressed by solving Poisson's equation:

$$\frac{d^2\phi(x)}{dx^2} = -\frac{\rho(x)}{K_s\epsilon_0} \quad (2-1)$$

where $\rho(x)$ is the charge density in the space, K_s is the dielectric constant of semiconductor and ϵ_0 is the permittivity in vacuum. In the depletion region, electron and hole concentration is negligibly small compared to donor or acceptor concentration. Therefore we can assume:

$$\rho(x) = -qN(x) \quad (2-2)$$

where $N(x)$ is the donor or acceptor impurity concentration. We call this depletion approximation.

If signal charge is introduced in this well, the charge is stored in the

potential bottom of the well. The space charge region is not stable but modified by excess charge generated in the region or diffused from peripheral neutral region, which is called "dark current". This dark current contaminates the signal charge.

When conductivity type of semiconductor is single from a surface to a substrate, potential bottom is formed in the surface because $\rho(x)$ has single polarity and $\phi(x)$ changes monotonously. This we call "surface type". By introducing to the surface an ion-implanted layer, which has opposite polarity to that of the semiconductor body, potential bottom is shifted from the surface into the bulk because polarity of $\rho(x)$ is changed from the bulk to the surface, therefore $\phi(x)$ normally forms potential minimum point in the surface layer. This we call "buried type". Fig. 6(a) and (b) shows surface and buried types respectively.

The concept of the CCD described and demonstrated by Boyle and Smith [4], is that closely spaced MOS capacitors on an isolated surface of a semiconductor can serve to store and transfer electrical charge, which is shown in Fig. 7. These capacitors generate a depletion area in the semiconductor substrate by applying a pulsed voltage. The depletion area forms space charge region, and it generates moving potential wells in the semiconductor substrate when the electrodes are pulsed in the proper sequence. These potential wells are called "channel" and if charge packets are introduced in the channel by such a method as optical generation shown in Fig. 7, the packets are stored and moved in the channel in accordance with the moving potential wells. Consequently, the packets is transferred in the CCD channel and finally detected at the output portion. Because dark current generates excess charge in the depletion area, the CCD essentially relates to a non-equilibrium state.

If charge transfer is incomplete, signal charge remains in the transfer

channel. The main causes of this transfer loss are surface states and bulk trap states. Recent CCD, however, adopts buried channel that creates the channel in semiconductor bulk, and the signal charges are not affected from the surface states. Bulk traps are originated from crystal imperfection and impurities. The other cause of contamination of the signal charge in CCD channel is dark current mentioned above, which is also generated by crystal imperfection and impurities. But silicon-processing technology has made tremendous stride over past 30 years; therefore, bulk traps and dark current are now negligible.

Signal charges in the buried channel are almost perfectly transferred and the generation of excess charge is drastically reduced. As a result, almost pure signal charges are transferred to the output portion and detected with a very low noise and high gain amplifier.

2-2. Application

CCD is one of charge transfer devices that move quantities of electrical charge in a controlled manner across a semi-conductor substrate by applying a proper sequence of clock pulses. Consequently, the fundamental functions of the CCD are that (1) it deals with discrete analog signal as charge packet, and (2) it delays analog signal preciously to control the transfer clocks. Using this basic mechanism, the CCD can perform a wide range of electronic functions as

- i) signal processing : delaying and adding the discrete signal chain makes possible the signal processing such as filtering in analog domain,
- ii) memory : looping the CCD delay line and circulating the signal chain constructs memory, and
- iii) image sensor : combining many photo-electric conversion elements with CCD delay lines makes image sensor which outputs each element signal sequentially and constructs an image signal.

Applying CCD for signal processing and memory had been discontinued

because those fields are easy to construct with digital circuit and the progress of digital circuit have been more steep, therefore, digital devices have taken over the potential CCD applications of signal processing and memory.

In image sensor, however, incident photo-signal is essentially analog. Digital circuit is very difficult to apply in this field. CCD is quite suitable to apply to the image sensor because it deals with discrete analog signal and it has very low noise. In CCD image sensor, charges are generated by incident photons at picture elements, and the CCD channel can transfer image signal packets to a low noise detector, which means a nearly ideal image sensor. As the results, CCD remains dominant for imaging applications.

2-3. Contribution to science

This best promising characteristic of CCD for image sensing contributes to science development. For ultra-low light level imaging, long time exposure is useful to increase signal charge hence high signal to noise ratio. In normal temperature condition, dark current that generates undesirable charges proportional to exposure time contaminates signal charges. But when the CCD imager is cooled more than several tens of degree from the room temperature, the dark current is drastically reduced. The experimental results of the temperature dependence of dark current will be shown later. This "cooled CCD" [10] attains quite sensitive imaging, and moreover matrix array of picture elements makes easy to digitize the image signal, therefore, it replaces the film for astronomical telescope application now [11].

The cooled CCD has been used for other scientific applications in ultra-low light level analysis, such as biological luminescence and light emission caused by hot carriers in semiconductor [12].

The CCD imager can respond not only to visible light but also to other spectral region. The CCD imager on Hubble Space Telescope uses fluorescent film on sensing layer to acquire ultra-violet sensitivity, and it has a spectral

response from 115 nm ultra-violet to 1100 nm infra-red light [13]. Some other CCDs use Schottky junction and acquire far infrared light sensitivity such as 5 μ m [14]; those devices are used for capturing human heat image. On the other hand, the CCD directly responds to X-ray light [15]. Japanese X-ray astronomical satellite ASCA uses the X-ray CCD [16].

2-4. Organization of CCD image sensor

The array formats of CCD area image sensors are typically "frame transfer type" and "interline transfer type", which are shown in Fig. 8. Although the frame transfer type has relatively simple architecture, it has two weak points. One is less blue sensitivity caused by overlaying semi-transparent polysilicon gates on photosensitive area, and the other is large smear signal because the non-shielded transfer channel causes unexpected signals when image signals are transferred from imaging area to storage area in short time. Since the most modern CCD area image sensors are interline transfer type, we discuss here this type.

3. Noise in CCD's

As discussed above, the CCD has been best promised for imaging application, but those have been realized with many technological improvement. The most important issue is the noise improvement. Here we discuss the origin of the noise in the CCD.

The noise sources of the CCD imagers are classified :

1. photosensing noise, which are
 - shot noise,
 - generation-recombination noise, and
 - photoresponse non-uniformity noise;
2. transfer noise, which are
 - trap noise,
 - transfer loss noise, and

- generation-recombination noise;
- 3. detect and output noise, which are
 - reset noise,
 - excess kTC noise, and
 - source-follower noise;
- 4. external circuit noise, which are
 - noise reduction circuit noise, and
 - signal processing circuit noise.

3-1. Photosensing Noise

Shot Noise. The photosensing process brings twofold random process. One is the fluctuation of photons that enter each pixel because whether any photon arrives at specific pixel and in specific period is a fully stochastic process. The other is the randomness of photoelectric conversion process (this conversion efficiency is called the quantum efficiency) because whether any photon is converted to an electron-hole pair is also a random process. (There has been no such a discussion as the two distinguished origins of the photo-sensing noise in solid-state imagers.) As the results, the number of signal electrons generated from photons at any pixel agrees with the Poisson's distribution function. Since the standard deviation is equal to the root of mean for the Poisson distribution,

$$\langle \Delta n_{\text{photon}} \rangle = \sqrt{\langle n_{\text{photon}} \rangle} \quad (3-1)$$

where Δn_{photon} is the noise associated with optical generation in terms of electrons. This noise is called shot noise [17]. The frequency spectrum of the shot noise is white and distributes from $-f_N$ to $+f_N$ from the Shannon's sampling theorem, where f_N is the Nyquist frequency and equals to a half of clock frequency (f_C).

Generation-Recombination (GR) Noise. In photosensing operation, each photodiode or MOS diode of the pixel is in deep depletion and thermally generated carriers also stored even in the dark condition. The generation of those carriers is usually called dark current. The origins of the dark current are (1) generation-recombination through impurity states in the bulk inside

the depletion region, (2) diffusion current at the edge of the depletion region, and (3) surface generation current.

As present CCD imagers adopt buried photodiodes [18], which is shown in Fig. 9, the surface states are occupied with high concentration holes and become inactive. This technology reduces total dark current by one order. Furthermore, the structure of the photodiode in recent CCD imager is the VOD type, which is also shown in Fig. 9, p-layer below the photodiode is completely depleted, then the diffusion current from the neutral region is neglected. Finally, only the bulk generation through the bulk impurity states remains in the photodiode area.

The theory of the generation-recombination process, which takes place through the action of intermediate energy-level centers, has been worked out by Hall [19], Shockley and Read [20]. From this theory, the dark current generated from the bulk GR-centers J_{GR} can be written as next first equation [21], and we rewrite this equation approximately as the second equation

$$J_{GR} = \frac{qn_i}{2\tau_0} x_d \propto N_t \cdot \exp\left(-\frac{E_g/2}{kT}\right) / \cosh\left(\frac{\Delta E}{kT}\right) \\ \propto N_t \cdot \exp\left(-\frac{E_g/2 + m|\Delta E|}{kT}\right) \quad (3-2)$$

where n_i is the intrinsic carrier concentration, τ_0 is the effective life time within a depletion region, x_d is the width of the depletion region, N_t is the number of traps per unit volume, E_g is the energy band gap of the semi-conductor, ΔE is the energy difference between the trap level and the intrinsic Fermi level, and k is the Boltzmann's constant. m is the constant which is about 1 if $|\Delta E|/kT > 1$ and below 1 if $|\Delta E|/kT < 1$. The second equation shows that the temperature dependence of the dark current depends on the energy level of the trap states and the states of near the mid-gap cause the major contribution to the dark current.

Because the generation process of the dark current is random one, the

number of carriers (n_d) generated by the dark current is also described by the Poisson's probability distribution, then the root-mean-square (rms) noise described as $\sqrt{n_d}$ is generated. This noise is time dependent random noise in each pixel. On the other hand, time-averaged pixel dark current $\langle n_d \rangle$ has non-uniformity from pixel to pixel, and it brings fixed pattern noise in the dark. The "hot" pixels with higher generation rate become white defects, which degrade picture quality seriously.

Fig. 10 shows measured temperature dependence of the dark current at the white defect points. As $E_g/2$ is about 0.56eV in silicon, values of ΔE are distribute from 0 to 0.06eV. This result suggests the origin of the trap states to be heavy metal like Fe [22].

Photoresponse non-uniformity noise. The sensitivity of each pixel is not equal to one another because of (1) non-uniformity of effective photosensing area, (2) non-uniformity of effective photosensing depth, (3) non-uniformity of interference caused by coating layers on the photodiodes, and recently (4) non-uniformity of condensing rate of the microlenses over the photodiodes. That non-uniformity causes the fixed pattern noise and degrades the picture quality. The total rms value ΔR of that non-uniformity varies linearly with the response R , therefore, signal-to-noise ratio $R/\Delta R$ becomes constant at any intensity of light below the saturation of R .

3-2. Transfer Noise

Trap Noise. Present CCD imagers adopt the buried CCD channels and the signal charges are not affected from the surface states. The gettering and the ultra-clean technologies on IC fabrication processes bring almost no bulk impurity state in CCD channels. As a result, the trap noise is negligible in practical CCD imagers. But at some conditions the signal charges reach at the surface, then large transfer loss and surface trap noise are caused. The occurrence point of this condition is called the surface limit and the measured

result is shown in Fig. 11 [23]. The surface limit depends on the potential difference $\Delta\phi_s$ between surface potential and signal potential in the channel. (See Fig. 6.(b)) As Poisson distribution function is a good expression of signal charge in room temperature, surface trapping exceeds transfer loss ϵ when $\exp(-\Delta\phi_s/(kT/q)) > \epsilon \approx 10^{-5}$, namely $\Delta\phi_s < 10 \cdot kT/q$.

Transfer Loss Noise. If the transfer inefficiency ϵ is independent of the amount of charge, the fluctuations at each transfer will be independent of one another and the mean-squared fluctuations will add. Thus total transfer loss fluctuations Δn_{tr} are given by [17]

$$\langle \Delta n_{tr} \rangle = \sqrt{2\epsilon N_{tr} n_{sig}} \quad (3-3)$$

where ϵ is the fractional loss per transfer, N_{tr} is the number of transfer, and n_{sig} is the number of signal carriers per charge packet. The value of ϵ in recent CCD imagers is less than 1×10^{-5} [23] and N_{tr} is about 1×10^3 , hence $\langle \Delta n_{tr} \rangle / \sqrt{n_{sig}} \leq 0.14$

which is about 1/7 of optical shot noise and is negligible.

Generation-Recombination Noise. Even in buried channel CCD's, the Si/SiO₂ interface is depleted and the generation-recombination process through the surface states generates the dark current noise. This dark current, however, can be reduced dramatically by occupying the surface states with holes. In Fig. 12, when gate voltage V_G is lowered to $V_G(L)$, the surface potential ϕ_s reaches to p-substrate or p⁺ channel-stop potential (0V) and a number of holes are injected to the surface. Thus the surface states are occupied and inactivated by holes, and the dark current originated from the surface is reduced finally. This technique of driving is called the pinning method. Fig. 13 [24] shows this result where $V_G(L)$ is about -8V.

In Fig. 13, the gate voltage is not necessarily kept the value $V_G(L)$ for reducing the dark current, because of the next reason. When carriers reach the surface states, those states are occupied in a very short time (less than

1ns) [25]. Then the trapped carriers are emitted with a whole spectrum of much slower time constants. Those emission time constants are estimated as follows. We assume that all the surface states are filled with carriers and that the surface states start to emit carriers at $t=0$. The carrier emission for $t > 0$ from a given surface state located at energy E from the band edge is described [26]:

$$dn_{ss} = -v_{th}\sigma_n N_c n_{ss} \exp(-E/kT) \quad (3-4)$$

where n_{ss} is the number of trapped carriers, v_{th} is the thermal velocity, σ_n is the capture cross-section of carriers, N_c is the density of states in the band under consideration, and E is the energy of the state relative to the nearest band edge. Then the number of carriers that remain trapped at the surface states after a time period t decreases exponentially with a time constant τ_e :

$$\tau_e(E) = [v_{th}\sigma_n N_c \exp(-E/kT)]^{-1}. \quad (3-5)$$

This equation shows that the value of the time constant τ_e distributes from $\tau_0 = (v_{th}\sigma_n N_c)^{-1}$ at the band edge to $3 \times 10^9 \tau_0$ at the mid-gap, because $E_g/2kT \doteq 22$ at room temperature. We estimate the time constant τ_e experimentally. A series of signal charge packets of magnitude ONE, separated by n_z empty packets (magnitude ZERO), are being shifted in the surface channel CCD. When the charge loss from a leading charge packet of ONE's is measured as δ , δ equals the total emitted carriers in the $n_z T$ period ($T=1/f_c$; f_c is the transfer clock frequency), then the increment of δ between $n_z(1)$ to $n_z(2)$ indicates the surface state density whose time constant is near $n_z(1)T$ and $n_z(2)T$. Accordingly, if the value of δ saturates at $n_z(m)$, τ_e of the midband surface state nearly equals to $n_z(m)T$. Fig. 14 shows experimental results between δ and pn_z+1 , where p is the number of phase. From the figure, we obtain $\tau_e(\text{midband}) \doteq 10\text{ms}$. This result agrees with the previous report [25].

As discussed in eq. (3-2), the midband states most contribute to the dark current. If the midband surface states are filled with carriers at the period shorter than 1 ms, more than 90% of the midband states are occupied at all times. From this reason, if clock frequency is higher than 1 kHz in Fig.13, that condition is quite easy to realize, the dark current is reduced.

Surface state density N_{ss} can be estimated from the Fig.14. The relation between δ and n_z are expressed as [27],

$$\delta = A_s k T N_{ss} \ln(pn_z + 1) \quad (3-6)$$

where A_s is the area of the interface swept by the charge packet in total transfer, and is $4.9 \times 10^{-3} \text{ cm}^2$ in Fig.14. From eq.(3-6), N_{ss} is calculated as $2.6 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$.

3-3. Detection and Output Noise

In image sensors, the incident light flux and the integration time give the number of signal carriers. In low light level condition, the photo-generated noise decreases as the square root of the signal carriers. Buried channel devices, when suitably designed, add only little transfer noise and the dark current noise can be reduced by adopting the buried photodiode and the pinning method for driving the CCD as mentioned above. The ultimate noise limitation will then be given by the detector [27].

The charge detector for CCD needs to satisfy (1) low noise, (2) high gain, (3) good linearity, (4) wide dynamic range, and (5) high-speed operation. There are many types of detectors but the most successful and the most popular one is the floating diode amplifier (FDA) detector [28].

Fig.15 shows the typical FDA detector. In this output scheme, node N is preset to the d.c. voltage applied to the reset drain (RD) by turning the reset transistor on with a positive pulse (ϕ_R) applied to the gate. The reset transistor is then turned off and the signal charge is dumped to the capacitance of node N when ϕ_2 goes low. The voltage variation of node N is then detected at the source (OS) of the amplifier MOS transistor, which is

operated in the source-follower configuration. The voltage variation ΔV_N of node N is related to the CCD charge Q_{sig} by :

$$\Delta V_N = \frac{Q_{sig}}{C_N}, \quad C_N = C_J + C_1 + C_2 + C_g + C_s \quad (3-7)$$

where C_N is the capacitance of node N, and the definitions of several kind of capacitance are shown in Fig.15. As the floating diode is fully reverse-biased by reset drain, the junction capacitance C_J is almost constant at any practical value of Q_{sig} . The source/gate capacitance C_1 and C_2 , gate capacitance C_g and stray capacitance C_s are also constant, then the linearity of charge-voltage conversion is well maintained. To attain this conversion gain high, C_N is generally designed as small as possible.

A gate to drain capacitance in the amplifier MOS transistor is negligible because the transistor is operated in saturation mode. The capacitance C_2 positively feeds back the output signal; therefore, it rises the gain of output signal. But the time constant τ_A of this feedback loop is enlarged compared to the time constant τ_0 of non-feedback loop [29];

$$\Delta V_{os} = \frac{G}{1 - (C_2/C_N) \cdot G} \Delta V_N, \quad \tau_A = \tau_0 \frac{1}{1 - (C_2/C_N) \cdot G}, \quad \tau_0 = \frac{C_L G}{g_m} \quad (3-8)$$

where G is the gain when there is no positive feed-back, C_N and C_2 is the same definition at eq. (3-7), g_m is the transconductance of transistor T_2 , and C_L is the load capacitance of signal OS. Equation (3-8) shows that large C_2 brings large time constant and makes difficult to drive fast. We should design the value C_2 as small as possible.

When reset transistor T_1 is on, node N is shorted to DC power supply RD and capacitances C_N and C_2 are neglected, then time constant becomes τ_0 . It means that the difference of time constant between reset-on and reset-off becomes large when C_2 is large. This result is important for the CDS technique mentioned later.

Reset (kTC) Noise. The FDA detector introduces noise to the output

terminal due to the switching of reset transistor and the amplifier transistor characteristics. The thermal noise of the reset MOS transistor introduces kTC noise to node N [17] so that the variance of voltage at node N when expressed in terms of noise electrons is

$$\langle \Delta n \rangle = \frac{1}{q} \sqrt{kTC_N}. \quad (3-9)$$

Spatter Noise. If the reset transistor turned on strongly, carriers are stored under the reset gate and the uncontrollable portion of these carriers flows back to node N when the transistor turned off [30]. We introduce the method to reduce this excess kTC noise, which we call the spatter noise.

Fig. 16 (a) shows the new reset gate structure [31] with schematic potential profile of the gate. The channel width of the gate is narrow enough to cause the narrow-channel effect and gradually enlarged to the reset drain (RD); then the potential of the gate is deepened toward the reset drain by the narrow-channel effect. If the channel width is enlarged from $4\mu\text{m}$ to $10\mu\text{m}$ then the channel potential is deepened by 2.0 V from the experiment which is shown in Fig. 16 (b). Consequently, the charge under the reset gate flows to the reset drain and the spatter noise is reduced. Introducing this circuit and the conventional circuit to the CCD signal processing IC's [31], in which the signal charge is inputted by electrically, the total noise of those devices is measured and shown in Fig. 17. The noise improvement effect of the new reset gate structure is about 4dB and nearly independent of signal electrons. The reason is considered that the channel under the reset gate is always filled with charge when the gate turns on.

The structure shown in Fig. 16 (a) brings another advantage of reducing the capacitance C_N because it enables small size of diffusion area. Therefore, the kTC noise itself is reduced and the gain of charge-voltage conversion is also raised. From this reason, recent CCD's are almost adopting this structure.

Source Follower Noise. The input referred noise voltage in the MOS FET is usually expressed as the next equation [32]. In this equation, the first part is the thermal noise originated from the random thermal motion of carriers in the channel, and the second part is the flicker noise originated from the carrier exchange between the channel and the surface states.

$$\langle \Delta V_n^2 \rangle = \frac{8kT}{3g_m} \cdot \Delta f + \frac{M}{C_{ox}WL} \frac{1}{f} \cdot \Delta f, \quad (3-10)$$

where g_m is the transconductance, M is the constant depend on device construction, W is the channel width, and L is the channel length.

The most responsible part for the noise generation in the source follower circuit is the driver MOS transistor of the first stage, because the size of the transistor is designed as small as possible for small gate capacitance. This brings small g_m and small $W \times L$, the former causes large thermal noise and the latter causes large flicker noise.

Low Noise Operation. Buried channel MOS FET's having implanted impurities in the channel opposite to that of the substrate can be operated to form the conducting channel away from the surface (this is called the buried channel mode), then the flicker noise is greatly reduced [33]. We revealed some noise sources in this mode of operation, and as the results, we introduce very low noise operating method in the MOS FET circuit [34].

Fig. 18 shows low noise regions in transfer characteristics of source followers for different load resistance (R_L). Noise current of the load resistor is added to that of the MOS FET and increases the equivalent input noise voltage as, $\langle \Delta V^2 \rangle / \Delta f = 4kT / (R_L g_m^2)$. In Fig. 18 the value of g_m ranges from 50 to 100 $\mu A/V$, the increment of input noise due to R_L is about 7 nV/ $\sqrt{Hz}$. As the thermal noise of the MOS FET is over 10 nV/ $\sqrt{Hz}$ (which is estimated from the first term of eq.(3-10)), the effect of R_L on the noise measurement is not important. In Fig. 11, limiting boundary (A) indicates the gate-source voltage (V_{GS}) must be lower than -2V to obtain a low noise

operation. This condition corresponds to the buried channel mode. In this case V_{GS} may be calculated by using $\Delta\phi_s$ (the potential difference between surface and channel)

$$V_{GS} - V_{FB} = -\Delta\phi_s - \frac{d_0}{\epsilon_0} \sqrt{2\epsilon_s q N_D \Delta\phi_s} \quad (3-11)$$

where V_{FB} is the flat-band voltage, qN_D is the donor concentration near the surface, ϵ_s is the permittivity of silicon, and ϵ_0 is the permittivity of silicon dioxide. The value of $\Delta\phi_s$ may be estimated as $\Delta\phi_s \geq 10kT/q$ [35], so we obtain $V_{GS} \leq -1.8V$, which agrees with the observation.

Another limiting boundary (B) in Fig. 18 depends on the source-drain voltage (V_{DS}) and the gate-drain voltage (V_{GD}). Fig. 19 shows the relation between the noise for the condition given in Fig. 19 and the substrate current (I_{SUB}). Lowering the value of V_I from the low noise region, MOS FET noise abruptly increases at the same time when I_{SUB} increases abruptly. I_{SUB} directly reflects impact ionization near the drain [36]. As the turning points of noise just agree with the boundary (B) in Fig. 18, this result indicates that the boundary (B) is caused from the impact ionization near the drain.

In the case where a large gate area MOS FET is used as the driver and a small gate one is used as the load, the low noise region in transfer characteristics of this source follower is shown in Fig. 20 (a) for different gate voltages of load (V_{GL}). This leads to another limiting boundary (C). This new boundary corresponds to the surface inversion of the MOS FET's.

Fig. 21 shows the noise dependence of the MOS source follower on V_{GL} for V_I constant (-2V) and the substrate voltage (V_{SUB}) setup above -3.5V, to obtain the surface inversion of the load FET before occurrence of cutoff of the channel as decreasing the V_{GL} . Since I_{SUB} larger than $10^{-13}A$ is not observed in this condition, it can be concluded that there is no generation of holes near the drain. Noise peaks are observed when V_{GL} corresponds to weak inversion. The voltage for onset of strong inversion is shown in Fig. 21. This voltage

ranges from $V_G(Inv)$ to $V_G'(Inv)$ because the channel potential changes from the source potential (0V) to the maximum potential ($\phi_M + V_{SUB}$). The noise spectrum for this condition is shown in Fig. 20 (b). Lowering the value of V_{GL} , the noise increases in $1/f$ region first, and then decreases more strongly at lower frequencies.

From observed results we assume the origin of this noise to be as follows. Decreasing the gate voltage, surface potential begins to drop below the substrate potential. At the onset of weak inversion, holes flow from the channel stops to the surface. Holes affect the channel conductance by changing threshold voltage. The concentration of the holes fluctuates through surface recombination process, therefore, the drain current noise is observed. When the gate voltage is lowered from the onset of weak inversion, the rate of the surface recombination increases first because of an increase in concentration of the holes, then decreases since the major part of surface states begins to be occupied by the holes. Accordingly, a maximum of the recombination rate is reached before onset of the strong inversion, hence a peak of the noise. Fig. 20 (b) confirms this assumption. Recently, this phenomenon is reconfirmed by other types of MOS FET's [37], [38].

Fig. 22 shows the noise spectra of the source followers for three cases. By operating the buried channel devices (BT's) with resistance loads at buried channel mode, and as the devices with no substrate current, low frequency noise is reduced about 17dB from the case of surface channel devices (ST's). Furthermore, by operating the BT's as the loads with no weak inversion, the devices show the same noise as the BT's with resistance loads.

3-4. External Circuit Noise

The CCD image signal is processed at the external circuit and the noise in this circuit also added to the image signal. Nevertheless, if CCD imagers adopt the FDA detector, noise reduction technique called "correlated double

sampling (CDS)" is very useful in enhancing image quality by applying the technique to the external circuit.

Correlated Double Sampling. Fig. 23 shows the output waveform from the FDA detector shown in Fig. 15, where τ_1 indicates the reset pulse on period, τ_2 indicates no signal period, and τ_3 indicates signal period. In each clock period, the kTC noise introduced in period τ_1 persists during next τ_2 and τ_3 . However, if two samples are taken, one at A in period τ_2 and the other at B in period τ_3 , and if the time between A and B is much longer than the time constant τ_A expressed by eq.(3-8), then the noise on these time samples are correlated and can be removed by subtracting V_A from V_B [38]. This is called the CDS method. The practical CDS circuit is shown in Fig. 24, where the clamp switch S_1 clamps the signal level to V_{cp} at time A, and the sample-and-hold switch S_2 samples the signal at time B. Then only voltage difference between V_A and V_B is held in capacitance C_2 .

The transfer function $T(f)$ of the CDS circuit is described as [39] :

$$T(i2\pi f) = g_A \cdot \frac{1 - \exp(-i2\pi f T_S)}{1 + i f / B_A} \quad (3-12)$$

where g_A is the d.c. gain of the amplifier chain, T_S is the time interval between time A and time B, and B_A is bandwidth. In the case that T_S equals to one-half the clock period $1/f_C$, the transfer function goes to zero at $f=0$ and even harmonics of the clock frequency. The zero response at $f=0$ helps to suppress $1/f$ noise or threshold voltage shifts of the source-follower MOS FET's. Namely, the CDS circuit reduces not only kTC noise of the reset transistor but also low frequency source-follower noise.

Transfer function (3-12), however, introduces some problems. When image signal has noise $V_n(f_T)$ at the frequency of $f_T = 1/(2T_S)$, the CDS circuit enhances this noise twice. If $T_S = 1/(2f_C)$, the noise at $f_T = f_C$ is reflected to $f=0$ by sampling, and enhances low frequency noise. Prefiltering before CDS circuit is not good because that decreases signal bandwidth.

We develop the new CDS circuits [40], which are shown in Fig. 25. Comparing with Fig. 24, our new circuits introduce the signal integrator enclosed by broken line, before the sample-and-hold circuit. When the integrator has the rectangular time response with time duration of τ_{AP} shown in Fig. 23, frequency response of this circuit is the Fourier transfer of the time response :

$$F(f) = \frac{\sin(\pi \tau_{AP} f)}{\pi \tau_{AP} f} \quad (3-13)$$

which is shown in Fig. 26. As the time difference T_s of this case is about a half of τ_{AP} , noise at the frequency of $f_T = 1/(2T_s)$ is reduced nearly zero by the integrator, hence the noise enhancement effect of the CDS circuit around f_T is canceled. It means that the reflected noise at $f=0$ also reduces dramatically. In Fig. 25, R_{AP} and C_{AP} are chosen for appropriate time constant of the integrator. By using this new CDS circuit, input referred noise of the output signal of the imager at the dark condition becomes 11 electrons. As that noise in the case of conventional CDS circuit is 15 electrons, this new circuit reaches 3dB improvement of noise compared to the conventional circuit. After our work, similar technology using integrator to CDS circuits by Nishida et al. reached 9dB improvement of total noise [41].

3-5. Relations between Noise and Amplifier Gain

All noises are compared on the basis of "input referred noise electrons". The input noise electrons of external circuit noise voltage V_{NE} are expressed as

$$\langle N_{NE} \rangle = V_{NE} / (G_C \cdot G_A),$$

where G_C is the charge-voltage conversion gain and G_A is the amplifier gain. In the case of external noise, high G_C and high G_A bring small input noise electrons and hence high S/N value. High G_C needs small C_N in eq.(3-7) and our technique shown in Fig. 16 (a) yields small C_N . High gain of source

follower circuit is another important point to attain high S/N for external circuit.

A diagram of source follower circuit and its equivalent circuit [42] are shown in Fig. 27 (a) and (b). Here we take into account the back gate effect of the transistor T_D for realistic expression, while it is usually neglected for simplicity. In Fig. 27 (b), v_i , v_o and v_{th} are input signal, output signal and threshold voltage of T_D , respectively. g_m is transconductance of T_D . r_D and r_L are saturation drain resistance of T_D and T_L respectively, where saturation drain resistance is defined as $(\delta V_D / \delta I_D)$.

From Fig. 27 (b) we derive following equation;

$$g_m (v_i - v_{th}) = (1/r_D + 1/r_L) v_o. \quad (3-14)$$

v_{th} is not constant but varies depending on source voltage v_o which is shown in Fig. 27 (c). In this figure, v_o is the same as channel potential at gate voltage V_i . From the figure, we can express approximately;

$$v_{th} = K \cdot v_o, \quad K > 1. \quad (3-15)$$

K depends on back gate effect and is expressed by

$$K = 1 + C_s/C_g = 1 + (d_o K_s / K_o) / \sqrt{[2K_s \epsilon_o (V_o + 2\phi_f) / q N_A]} \quad (3-16)$$

where d_o is thickness of gate oxide, K_o and K_s are the dielectric constant of oxide and semiconductor respectively, ϵ_o is the permittivity in vacuum, ϕ_f is the potential difference between Fermi level and intrinsic level in substrate, and N_A is the impurity concentration of substrate. From the eq.(3-16), K decreases and reaches unity when N_A decreases.

From eqs.(3-14) and (3-15), we obtain source follower gain A as

$$A = v_o/v_i = 1 / [K + (1/g_m)(1/r_D + 1/r_L)] \quad (3-17)$$

To increase A , K should be decreased and both of r_D and r_L should be

increased. Small N_A brings small K as discussed in eq.(3-16). Channel length modulation effect reduces saturation drain resistance, therefore, large channel length is suitable. This is easy for transistor T_L but difficult for T_D because large channel length brings large gate capacitance that makes difficult high conversion gain and high-speed operation. The solution for this problem is to use multi-stage source follower. Fig. 28 shows an experimental result of 3-stage source follower that can drive 20 MHz CCD output signal and attains total gain of 0.73 by using P-well as the substrate that has low impurity concentration.

3-6. Total Noise of the Recent CCD Image Sensor

In addition to the noise reduction, the technology to enhance the gain of signal detection and output stages has also been advanced. Presently developed CCD image sensors such as 1/4-inch optical format devices [43],[44] attain over 20 $\mu\text{V}/\text{el}$ for charge-to-voltage conversion ratio. However, the high gain characteristics make dominant the shot noise, which is inevitably introduced to the imager. This implies that the ideal image sensor have physical limit on signal-to-noise ratio (S/N).

Measured noises of the 1/4-inch 270k pixel CCD image sensor are shown in Fig. 29; a dot-chain line shows dark noise, a fine line shows optical shot noise, a dot line shows light-dependent fixed pattern noise (FPN), and a bold line shows total noise. From the figure, shot noise is dominant at a signal range from 10mV to 500mV that is normally used illumination range, whereas dark noise is dominant below the range and FPN is dominant upper the range. Ideal image sensor has no dark noise and no FPN but has shot noise inevitably. Namely this device is almost the ideal image sensor at normal use.

Subtracting dark noise from the total noise yields signal-dependent noise, which is shown in Fig. 30. In the figure, a solid line shows optical shot noise and remainder shows FPN that is -53dB of the signal.

From the eq. (3-1),

$$N_n(\text{shot}) = \sqrt{N_{\text{sig}}}, \quad (3-18)$$

$$V_n(\text{shot}) = \sqrt{(\Delta f / \Delta f_c) \cdot \eta N_n(\text{shot})} \quad V_{\text{sig}} = \eta N_{\text{sig}}, \quad (3-19)$$

where $N_n(\text{shot})$ is shot noise electrons, N_{sig} is signal electrons, $V_n(\text{shot})$ is shot noise voltage, V_{sig} is signal voltage, η is charge-voltage conversion gain, Δf is measurement bandwidth and Δf_c is clock frequency. Therefore,

$$V_n(\text{shot}) = \sqrt{(\eta \Delta f / \Delta f_c) \cdot V_{\text{sig}}} \quad (3-20)$$

As Δf is 4.0 MHz, Δf_c is 9.535 MHz and $\sqrt{(\eta \Delta f / \Delta f_c)}$ is 3.11×10^{-3} from Fig.30, η is calculated as 23 $\mu\text{V}/\text{el}$. As signal charge is easily measured from CCD output current, η is directly measured. The value of 23 $\mu\text{V}/\text{el}$ quite coincides with the value obtained from output current. Recently, calculating method of η from shot noise is used in active type CMOS imagers[45] because those devices are difficult to measure signal current. As discussed above, it should be noticed that this method needs to count the measurement bandwidth.

In ideal image sensor, signal to shot noise ratio is calculated as,

$$V_{\text{sig}} / V_n(\text{shot}) = \sqrt{N_{\text{sig}} / (\Delta f / \Delta f_c)} \quad (3-21)$$

Namely S/N is proportional to $\sqrt{N_{\text{sig}}}$. If charge-to-voltage conversion ratio (η) is large, N_{sig} decreases in normal signal level, hence that decreases S/N. On the other hand, high η reduces dark noise electrons because dark noise voltage is independent of η . As high η enhances S/N in dark scene but deteriorates S/N in middle light scene, η has practical limitation in application to image sensor.

4. Resolution of the CCD Image Sensor

Photosensitive area of the CCD image sensor is normally constructed by N^+P junction on P substrate. If the depth of depletion region of the N^+P

junction is not so large compared with penetration depth of the incident light, many electrons are generated in neutral P-region below the depletion region of the junction, and those electrons can diffuse in all directions as minority carrier in the P-region. If diffused electrons enter to the CCD channel, those charges contaminate the signal charges in the CCD and causes "smear" noise. On the other hand, if diffused electrons enter to the neighboring N⁺P junction, those charges cause interference between pixels and degrade resolution.

We measured diffusion length of electron in P-substrate by using long CCD channel that has two-output circuit. One output circuit is used to detect the CCD signal and the other is driven with high voltage that causes impact ionization and generates minority carrier injection. The transfer of the long channel CCD is stopped and accumulate diffused carriers when impact ionization is occurred, and then the CCD is driven by high speed to readout the captured charge. As the distance between the noise source and each potential well in the CCD is distributed, accumulated charges in each potential well in the CCD represent diffusion length. Fig. 31 shows measured result, and it shows the value of 150 μ m, where impurity concentration of P-substrate is $1.4 \times 10^{15} \text{cm}^{-3}$. Measured diffusion length coincides with ref.[46] and the result shows that if N⁺P junction is formed directly on the P-substrate, resolution will be seriously degraded to about 150 μ m scale. Recent CCD imager uses P-well on N-substrate, and diffused carriers in the P-well are swept out to substrate. This structure brings high resolution.

The resolution of image sensor is expressed by modulation transfer function (MTF), which expresses a response of an imager when spatially modulated sine wave is illuminated to the imager. This MTF is calculated from aperture function $A(x)$, where $A(x)$ is the response of one pixel when a light beam of δ -function is irradiated at position x [9].

$$MTF(\theta) = \frac{\int_{-\infty}^{\infty} A(x) \cdot \cos(2\pi f \cdot x) dx}{\int_{-\infty}^{\infty} A(x) dx} \quad (4-1)$$

Fig. 32 (a) shows contrast transfer function (CTF), which is a response to a square wave input, and calculated from MTF. This corresponds with measurement shown in Fig. 32 (b) qualitatively [23].

5. Sensitivity of the CCD Image Sensor

5-1. Vertical Overflow Drain (VOD) Structure

Solid-state imagers such as CCD's have finite handling capacity of signal charge and excess charge caused by strong light overflows along readout lines. This phenomenon is called blooming. To suppress the blooming many types of structure have been proposed. The vertical overflow drain (VOD) structure [47] that consists of NPN⁺ photodiode adopts a vertical current and excess charge is swept toward the substrate. Thus large photosensitive area and wide dynamic range are ensured. This structure, however, brings complexity in the vertical direction and must be accurately controlled because the blooming characteristics are quite sensitive to the structure. Furthermore, the signal charge slightly increases over the saturation. This characteristic called "knee effect" reduces dynamic ranges. To find the best suited vertical structure, calculations of vertical currents are needed.

It is shown here that the vertical current in an NPN⁺ photodiode is obtained by calculating a profile of quasi-Fermi potential along the depth direction, and then relations among the signal current, vertical overflow current, and incident photocurrent are derived.

5-2. Calculation of Overflow Current in NPN⁺ Photodiode

This section shows a calculating method of overflow current that makes the space integration easy. In this method the profile of quasi-Fermi potential is calculated directly along the depth direction to maintain the value of exponential term moderate. The vertical current is immediately obtained from the quasi-Fermi potential.

Fig. 33 shows NPN⁻ one dimensional structure with arbitrary doping profile $N(x)$, the electric field $E(x)$ and the potential profile, where $\Psi_i(x)$ is the intrinsic potential and $\phi_n(x)$ is the quasi-Fermi potential for electrons. Applied voltages are V_p at the N_n layer (the N-well), V_o at the N_a layer (the P-well) and V_s at the N_d region (the N-substrate). V_o is usually set at 0 V. We only consider the case that both junctions are reverse biased (i.e. $V_p > V_o$ and $V_s > V_o$) and the holes in the N_a layer are fully depleted. Thus conducting carriers between the N-well and the N-substrate are only electrons and V_o is excluded from the boundary problems. If $V_p < V_s$, electrons flow from the N-well to the substrate (overflow mode) and if $V_p > V_s$ electrons flow vice versa (injection mode). As both cases are symmetric, we only take the overflow mode from now on.

Calculation procedure is as follows. First, we give value of $N(x)$, V_p , and V_s , then calculate $\Psi_i(x)$ by solving Poisson equation

$$\frac{d^2}{dx^2} \Psi_i(x) = - \frac{q}{K_s \epsilon_0} N(x) \quad (5-1)$$

where q is the electronic charge, ϵ_0 is the permittivity in vacuum, and K_s is the dielectric constant of silicon. Next, we calculate $\phi_n(x)$ because the value of the overflow current is given by solving $\phi_n(x)$ which is constant with all boundary conditions. The electron concentration $n(x)$ and the electron current density $J_n(x)$ are expressed by using $\phi_n(x)$ [48] :

$$n(x) = n_i \cdot \exp[q(\Psi_i(x) - \phi_n(x))/kT] \quad (5-2)$$

$$J_n(x) = q\mu_n n(x) \cdot \left(\frac{d\phi_n(x)}{dx} \right) \quad (5-3)$$

where n_i is the intrinsic carrier concentration, k is the Boltzmann constant, T is the absolute temperature, and μ_n is the electron mobility. Those values used in this calculation are :

$$\mu_n = 1000 \text{ cm}^2/\text{V}\cdot\text{s}, \text{ and } T = 300 \text{ K}.$$

The overflow current is described by eqn.(5-3). If generation and recombination of electrons are negligible in the depleted region between the

N-well and the N-substrate, $J_n(x)$ is constant and independent of x . As $J_n(x)$ means the overflow current density, we define $J_n(x) \equiv J_o$.

From eqns.(5-2) and (5-3),

$$\frac{d\phi_n(x)}{dx} = - \frac{J_o}{q\mu_n n_i} \exp [q(\phi_n(x) - \Psi_i(x))/kT] \quad (5-4)$$

where the exponential term takes moderate value. Equation (5-4) is one-dimensional differential equation and easily solved numerically.

The calculated results of J_o as a function of $(V_s - V_p)$ are shown in Fig.31 for various types of the P-well. From the figure, J_o is approximately expressed by

$$J_o = K_2 (V_s - V_p)^{K_1} \quad (5-5)$$

where K_1 and K_2 are constants.

5-3. Overflow Current in the Photo-Integration Mode

In the photo-integrating operation of NPN⁻ photodiodes, the N-well is floating and the P-well and N-substrate are biased at 0 and V_s respectively. The photocurrent density J_p generated within a photosensitive area is divided into the signal current density J_s and the overflow current density J_o . J_s is stored in the N-well region as the signal charge Q_s (per unit area) and lowers the N-well potential V_p during the photo-integration period T_s . As J_o depends on $V_{ps} = V_s - V_p$, Q_s and J_o vary with time during T_s . J_p can be regarded as constant because J_p only depends on the external conditions.

In order to calculate $Q_s(t)$, $J_o(t)$ and $V_{ps}(t)$, we assume P⁺NPN⁻ structure shown in Fig.35 (a) because this brings small image lag [18]. The P⁺-layer is connected to the ground through P⁺ channel stops on its sides and enough high concentration of impurity to prevent depleting. The N-well is chosen to be fully depleted at initial time. (This is called fully depletion condition.)

We introduce next assumptions:

$$J_X(t) = J_O(t) / J_P \quad (5-6)$$

$$Q_S(t) = C_A(V_{PS}(t) - V_i), \quad C_A = Qf / (Vf - V_i) \quad (5-7)$$

where V_i and V_f are $V_{PS}(t=0)$ and $V_{PS}(t=T_s)$, respectively. As $J_P = J_S + J_O$,

$$(d/dt)Q_S(t) = J_P - J_O(t). \quad (5-8)$$

By combining (5-6), (5-7) and (5-8) to (5-5), we get next differential equation.

$$\begin{aligned} & [(1-J_X)^{-1} \cdot J_X^{(1/K1-1)}] \cdot dJ_X = \\ & (1/C_A) \cdot K_1 \cdot K_2^{(1/K1)} \cdot J_P^{(1-1/K1)} \cdot dt \end{aligned} \quad (5-9)$$

Equation (5-9) is solved as follows.

$$\begin{aligned} & \ln | (1-J_i/J_P) / (1-J_X) | + K_1 [J_X^{(1/K1)} - (J_i/J_P)^{(1/K1)}] = \\ & (1/C_A) \cdot K_1 \cdot K_2^{(1/K1)} \cdot J_P^{(1-1/K1)} \cdot t \end{aligned} \quad (5-10)$$

where J_i and J_f are $J_O(t=0)$ and $J_O(t=T_s)$, respectively.

$\langle J_S \rangle$ and $\langle J_O \rangle$ are mean values of $J_S(t)$ and $J_O(t)$ within T_s period. The relation between them is expressed as follows;

$$\langle J_S \rangle = J_P - \langle J_O \rangle. \quad (5-11)$$

As $\langle J_S \rangle = Qf / T_s$, we can calculate J_P as a function of $\langle J_S \rangle$ from eq.(5-10) by applying $t=T_s$. Next, $J_O(t)$ as a function of J_i , J_f and $\langle J_S \rangle$ is calculated from eq.(5-10). Fig.36 shows time dependence of $J_O(t)$ for various V_f values.

Numerical results of $\langle J_S \rangle$ and $\langle J_O \rangle$ as a function of J_P are shown in Fig.37. As J_P reflects the intensity of light, $\langle J_S \rangle$ is proportional to the light intensity when J_P is small, and $\langle J_S \rangle$ is saturated to the finite value when J_P is large. The turning point of those two regions is (J_{PO}, J_{SO}) in $J_P - J_S$ plane. This knee figure means suppression of the blooming as long as J_{SO} is lowered below the handling capacity of the imager. Actual CCD image sensors that adopt vertical overflow drain structure show the characteristic shown in Fig.38, this is quite similar to Fig.37.

Fig.37 also shows the intrinsic potential barrier from the N-well to the N-substrate, $\Psi_B = \Psi_i(x_n) - \Psi_i(x_m)$ (see Fig.33), as a function of J_P . The value of V_B at the onset of saturation is around 0.5V. Van de Steeg et al.[49] estimated this value about 0.4V from the view point of thermal excitation.

Our calculation indicates that their value is a little under-estimated.

5-4. Sensitivity in P^+NPN^- Structure

Incident photon penetrates photosensitive area and generates electron-hole pair. The generating rate depends on energy of photon and is described as $\alpha(h\nu)$ per unit length, where α is the absorption coefficient. Therefore, photon flux decreases as $\exp(-\alpha \cdot x)$, where x is the depth from the surface.

In the case of P^+NPN^- structure of photo-sensitive area, potential diagram is shown in Fig.35 (b), where x_1 is depth of surface-side edge of depletion layer, x_2 is depth of potential bottom formed in N-well, and x_3 is depth of potential peak formed in P-well.

All electrons generated from x_1 to x_3 are accumulated in potential bottom in N-well, and electrons generated in P^+ area within λ_P from x_1 are also accumulated in the same place, where λ_P is the diffusion length of electron in P^+ region. Those electrons contribute to signal charge. Sensitivity $R(\lambda)$, therefore, expressed as follows:

$$R(\lambda) = \frac{q\lambda}{hc} \frac{\int_{L_d}^{L_e} \exp(-\frac{x}{L_P(\lambda)}) dx}{\int_0^{\infty} \exp(-\frac{x}{L_P(\lambda)}) dx} \quad (5-12)$$

where $L_P(\lambda) = 1/\alpha(\lambda)$ is the penetration depth, L_d is the depth of surface dead layer, L_e is the effective depth, h is the Planck constant, and c is the velocity of light. As L_d is $x_1 - \lambda_P$ and L_e is x_3 , calculated values of $R(\lambda)$ are shown in Fig.39 by dot lines. Actual CCD image sensors which adopt vertical overflow drain structure show the spectral response shown in Fig.39 by solid line. By applying $0.1 \mu m$ to L_d and $2.0 \mu m$ to L_e , the spectral response of this device corresponds with calculated value, and those value of L_d and L_e are nearly the same as $x_1 - \lambda_P$ and x_3 .

5-5. Calculation of Quantum Efficiency

Quantum efficiency (QE) is defined as the ratio of generated electron number to incident photon number. The QE is the function of wavelength λ and QE=1 is expressed as

$$Q_1(\lambda) = \frac{q\lambda}{h c} \quad (5-13)$$

For example, eq.(5-13) yields 0.4032 A/W at 500 nm light. Typical method of measuring QE is to use a monochrometer and the energy of output light is measured at any wavelengths. This light is introduced to sensor faceplate by varying wavelength and output of the sensor is transformed to signal electrons per packet that are normalized per unit area and unit time. Those results are compared with eq.(5-13) and the ratio expresses QE. An experimental result by using constant-energy monochrometer is shown in Fig.40[23] in the case of linear CCD image sensor.

In CCDs for consumer use, sensitivity is defined as the response to the incident light whose intensity is defined by illuminance. QE is calculated from this sensitivity by combining relative spectral response $R(\lambda)$. We use light source as 3200K tungsten lamp through CM500 IR cut filter. The illuminance at the faceplate of the CCD : L [lux] is calculated from energy distribution of 3200K light $E(\lambda)$, transmittance of IR cut filter $F(\lambda)$ and relative luminous efficiency $V(\lambda)$.

$$L = K_m \int_{\lambda_a}^{\lambda_b} E(\lambda) F(\lambda) V(\lambda) d\lambda \quad (5-14)$$

where $K_m=680$ lm/W, $\lambda_a=380$ nm and $\lambda_b=760$ nm. $F(\lambda)$ and $V(\lambda)$ are already known, and relative spectrum of $E(\lambda)$ is also known. Therefore, incident light power $E(\lambda)$ is defined from eq.(5-14) by using measured L [lux]. Absolute spectral response of the imager is $Q_2 \cdot R(\lambda)$, where Q_2 is correction coefficient having dimensions of [A/W]. This spectral response generates signal electrons N_R . N_R is expressed as

$$N_R = (1/q) \cdot T_{int} A_{cell} Q_2 \int_{\lambda_1}^{\lambda_2} R(\lambda) F(\lambda) E(\lambda) d\lambda \quad (5-15)$$

where T_{int} is photo-integration period, A_{cell} is pixel area and from λ_1 to λ_2 is effective wavelength region. $E(\lambda)$ is calculated from Planck's law of radiation

$$E(\lambda) = (A/\lambda^5) \cdot [\exp(B/\lambda T) - 1]^{-1} \quad (5-16)$$

where $B=hc/k=1.4388 \times 10^7$ [nm·K]. When $L=6$ lux, we obtain $A=1.898 \times 10^{13}$ [W·nm⁴/m²] from eqs.(5-14) and (5-16). In the case of 1/3-inch 320K pixel CCD that has $T_{int}=1/30$ sec, $A_{cell}=9.6 \times 6.3 \mu\text{m}$ and $N_R=900\text{mV}/23 \mu\text{V/el}=3.9 \times 10^4\text{el}$, we obtain the result shown in Fig.41. Suppose $QE(\lambda)=1$ at $\lambda=500$ nm, $Q_2 \cdot R(\lambda)=0.4032$ A/W as discussed above. If we suppose $Q_2 \cdot R(\lambda)=1$ A/W at $\lambda=500$ nm in Fig.41, we obtain $N_R=1.97 \times 10^5\text{el}$, this is 5 times larger than real value. Therefore, the real value of $Q_2 \cdot R(\lambda)=0.2$ A/W, and the QE(500nm) is about 0.5.

Quantum efficiency in area image sensor is : $QE=(\text{effective fill factor}) \times (1 - \text{reflectivity}) \times (\text{absorption coefficient in Si})$. As the absorption coefficient in Si is about 0.78 from Fig.39, and $(1 - \text{reflectivity})=0.9$ for the most case, we obtain $(\text{effective fill factor})=0.7$. This value includes micro-lens effect and enough for light collecting efficiency.

6. Low Voltage Operating CCD

Recent interline transfer CCD area image sensors have attained very high sensitivity and low noise in small pixel size about $5 \mu\text{m}$ square by adopting such technologies as described above. Those devices, however, usually need many driving voltages from high to negative value because of next reasons.

- (1) Charge transfer from photodiode to vertical CCD channel needs high voltage such as 15V for perfect transfer, which ensures no image lag and no reset noise.

- (2) Charge transfer along vertical CCD channel needs negative voltage such as -8V for surface pinning condition, which makes dark current low.
- (3) Charge detection at the output portion needs high voltage such as 15V for detection margin, because the signal charge must be transferred perfectly from photodiode to detection portion via vertical and horizontal CCD channels, where potential should be deepened along transfer directions.
- (4) Variable electronic shuttering [50] needs high substrate voltage such as 22V over normal substrate voltage to extract signal charge in photodiode to substrate perfectly.

To combine high performance with low voltage and low power consumption, 5V-only interline CCD image sensor was developed [51]. The block diagram of this device is shown in Fig.42. The key technologies of this device are high efficiency charge pump circuits and unique pulse mixing circuits.

6-1. Charge Pump Circuit

To generate high voltage from low driving voltage, charge pump circuits shown in Fig.43 are usually used [52]. As maximum generated voltage is restricted by pulse height and body effect of MOS FET [53], punchthrough type MOS FET was used.

Power efficiency η of the circuit is described as;

$$\eta = I_0 \cdot V_0(I_0) / (I_0 \cdot V_0(0) + \sum_i (C_{Gi} \cdot V_{\phi i}^2 \cdot f)) \quad (6-1)$$

where I_0 is output current, $V_0(I_0)$ and $V_0(0)$ are output voltage at I_0 and $I_0=0$ respectively, C_{Gi} is gate capacitance of MOS FET, $V_{\phi i}$ is clock pulse height, f is clock frequency, and i indicates each stage. The first and the second terms of the denominator of eq. (6-1) show DC and AC input power respectively. The DC power efficiency depends on the voltage drop from $V_0(0)$ to $V_0(I_0)$. This

drop is caused from two factors shown in Fig.44. Namely, one is that the electron charge packet ΔQ which is swept out from source per one clock cycle lowers drain potential by $\Delta V_1 = \Delta Q / (C_0 + C_G)$, where C_0 is coupling capacitance in Fig.43 and C_G is gate capacitance of MOSFET. The other is that the electron flow ($-I_D$) from source to drain requires the potential difference ΔV_2 between source and the channel under the gate. ΔV_2 can be calculated from MOS FET characteristics, effective time of current flow and the charge of ΔQ . ΔV_1 and ΔV_2 are reduced by increasing C_0 and W/L of MOS FET, respectively. To minimize $\Delta V_1 + \Delta V_2$ in restricted chip area, C_0 and W/L should be optimized. Fig.45 shows the relation between $\Delta V_1 + \Delta V_2$ versus I_0 in two cases on the same chip area. Attained total power efficiency η is 52% at $I_0=200 \mu A$, hence power loss in the circuits 3mW which is trivial in a camera system.

In Fig.43, pumping clocks ϕ_1 and ϕ_2 are common to horizontal CCD clock and reset clock to avoid those clocks interfere with CCD imaging part.

6-2. Pulse Mixing Circuit

Fig.46 (a) shows a new pulse mixing circuit that uses CMOS FET's. This circuit have two functions ; (1) input pulse V_{in2} is shifted to negative by using clamp capacitance C_C and MOS diode T_3 , (2) input pulse V_{in1} is inverted and its pulse height is enhanced by switch T_1 and inverter T_2/T_4 . From those functions, it generates three level pulse from two level input pulses and can shift the high level from 5V to V_H such as 15V and low level from 0V to $-V_L$ such as -5V. The timing diagram is also shown in Fig.46 (b).

6-3. Shutter Pulse Lowering

Electronic shuttering needs high voltage pulse. When we adopt the P^+NPN^- structure in photodiode described in Fig. 9, potential distributions at the cases of (i) fully depleted, (ii) overflow, and (iii) shuttering are shown

in Fig. 47 (a). We define the impurity concentration of P⁺, N, P and N⁻ layers as N₄, N₃, N₂ and N₁ respectively and also define the width of P⁺, N and P layers as d₄, d₃ and d₂ respectively. Voltages V_A, V_B, V_C and V_{sub} shown in Fig. 47 (a) are calculated as follows.

$$V_A = \frac{qN_3}{2Ks\epsilon_0} \left(1 + \frac{N_3}{N_4}\right) b^2 \quad (6-2)$$

$$V_B = \frac{qN_3}{2Ks\epsilon_0} \left(1 + \frac{N_3}{N_2}\right) a^2 \quad (6-3)$$

$$V_C = \frac{qN_2}{2Ks\epsilon_0} \left(1 + \frac{N_2}{N_1}\right) \left(d_2 - \frac{N_3}{N_2}a\right)^2 \quad (6-4)$$

$$V_{sub} = V_A - V_B + V_C \quad (6-5)$$

Each voltage is calculated for next typical condition.

[Condition 1] N₄ = 1 × 10¹⁸ cm⁻², N₃ = 2 × 10¹⁶ cm⁻², N₂ = 1 × 10¹⁵ cm⁻²,

N₁ = 2 × 10¹⁴ cm⁻², d₃ = 0.678 μm, and d₂ = 2.167 μm.

(i) Fully depleted : V_A = 6V, V_B = 1V, V_C = 5V, and V_{sub} = 10V,

(ii) Overflow : V_A = 1.88V, V_B = 0.5V, V_C = 8.62V, and V_{sub} = 10V,

(iii) Shutter : V_A = 7.13V, V_B = 0V, V_C = 21.4V, and V_{sub} = 28.53V.

Namely shutter voltage V_{sub} is as large as 30V. This is because a=0 in eq.(6-4) at the shutter mode and low concentration of N₁ that is 2E14 cm⁻² causes high V_C value. To avoid this, we consider next condition.

[Condition 2] High concentration layer N₁₀ is introduced to upper edge of N⁻ layer : N₁ → N₁₀ = 3 × 10¹⁵ cm⁻². Then

(ii) Overflow : V_A = 1.88V, V_B = 0.5V, V_C = 1.92V, and V_{sub} = 3.29V,

(iii) Shuttering : V_A = 7.13V, V_B = 0V, V_C = 4.76V, and V_{sub} = 11.89V.

Shutter voltage V_{sub} is drastically reduced. But this condition causes another problem to fully depleted mode.

(i) Fully depleted : V_A = 5.45V, V_B = 2.36V, V_C = 0.20V, and V_{sub} = 3.29V.

The small value of V_C causes carrier injection from substrate to photodiode.

We propose a new technology to reduce the shutter voltage without causing any shortcoming [55]. High concentration layer N₂₀ is introduced to lower edge of P layer and high concentration layer N₁₀ is also introduced.

In this case voltage V_{sub} shown in Fig. 47 (a) is calculated as follows.

$$\begin{aligned} V_{sub}(Sh) = & \frac{qN_3}{2Ks\epsilon_0} \left(1 + \frac{N_3}{N_4}\right) d_3^2 \\ & + \frac{qN_2}{2Ks\epsilon_0} \left(1 + \frac{N_2}{N_{10}}\right) d_2^2 \\ & + \frac{qN_2}{2Ks\epsilon_0} \left(1 + \frac{N_{20}}{N_{10}}\right) d_{20} \left(d_{20} + \frac{2N_2}{N_{20}} d_2\right) \end{aligned} \quad (6-6)$$

[Condition 3] N₁ → N₁₀ = 3 × 10¹⁵ cm⁻², N₂ → N₂ + N₂₀, N₂₀ = 1 × 10¹⁶ cm⁻²,

d₃ = 0.641 μm, d₂ = 0.791 μm, and d₂₀ = 0.331 μm.

(i) Fully depleted : V_A = 4.58V, V_B = 2.13V, V_C = 1.05V, and V_{sub} = 3.50V,

(ii) Overflow : V_A = 1.5V, V_B = 0.5V, V_C = 2.5V, and V_{sub} = 3.5V,

(iii) Shutter : V_A = 6.47V, V_B = 0V, V_C = 4.19V, and V_{sub} = 10.64V.

Namely shutter voltage is as small as 10V and the barrier against carrier injection from substrate to photodiode is enough about 1.0 V. This is shown in Fig. 47 (b). This new structure is quite effective for low voltage CCD.

Pixel size of the latest CCD reaches below 4 μm square [56], because there are strong demands for high resolution and small optical size CCD for digital still cameras. When pixel size decreases, substrate effect to the photodiode potential decreases because of 3-dimensional effect. This means that shutter voltage increases as pixel size decreases. Our new technology shown above is quite effective for the recent CCD of small pixel size.

7. Conclusion

To realize low noise and high sensitivity CCD imaging, six important technologies are developed in this work, based on scientific investigations.

(1) Using the unique reset transistor derives low noise charge detection. The method reduces excess kTC noise drastically by forming potential gradient in the transistor channel with the unique channel pattern.

(2) Low noise MOS amplifier is developed from the investigation of buried channel MOS transistors. Not only to attain the buried channel mode but also to avoid the weak inversion region, quite low noise operation is acquired.

(3) Noise reduction technique is invented by introducing the integration circuits in CDS method. This technology reduces high frequency noise that must be turned to low frequency noise by using CDS method.

(4) The simple optimization method of vertical overflow drain (VOD) structure has been derived from the investigation of physical analysis of VOD, and from this work we have attained high sensitivity of CCD image sensor.

For high sensitivity, quantum efficiency has been analyzed by measuring the spectral response. We analyzed source follower circuit and proposed the method to reduce external noise. Resolution of the imager is another important factor and it has been analyzed from the point of carrier diffusion.

(5) We introduced unique circuit technology and photodiode structure that enable 5V single power supply for driving the CCD. From this work, it is overcome the only one weak point of CCD imaging device that the CCD imagers need high and many voltage sources for driving them.

(6) We developed unique vertical structure below the photodiode. This reduces VOD voltage drastically and enables smaller pixel size that brings high resolution CCDs in small optical format.

The ideal imagers only have the shot noise that originates from the fluctuation of incoming photons and is unavoidable. By adopting those new technologies, the CCD imagers have attained to nearly ideal imagers.

Acknowledgment

I wish to express my deepest gratitude to Professor Kazuo Murase for his continuous encouragement and enlightening discussions throughout the preparation of this thesis.

I also extend my thanks to Integrated Circuit Group in SHARP Corporation, Group Director Mr. Terumasa Yoneda, Integrated Circuit Development Group in SHARP Corporation, Group Director Mr. Yoshiki Sano, Group Deputy Director Mr. Ryuichi Miyake for their helpful suggestions. In addition, I am grateful to Dr. Kiyotoshi Misawa and other members in CCD Group for valuable advice and discussions.

References

- [1] N.Koike et al., "MOS Area Sensor: Part I -Design Consideration and Performance of an n-p-n Structure 484×384 Element Color MOS Imager," IEEE Trans. Electron Devices, vol.ED-27, pp.1676-1681, 1980
- [2] H.Nabeyama et al., "All Solid State Color Camera with Single-Chip MOS Imager," IEEE Chicago Fall Conf., 1982
- [3] G.J.Michon and H.K.Burke, "Charge Injection Imaging," ISSCC, Digest of Tech Papers, pp.138-139, 1973
- [4] W.S.Boyle and G.E.Smith, "Charge Coupled Semiconductor Devices," Bell Syst. Tech.Jour. vol.49, pp.587-593, 1970
- [5] M.A.Schuster and G.Strull, "A Monolithic Mosaic of Photon Sensors for Solid State Imaging Applications," IEEE Trans.Electron Devices, vol.ED-13, pp.907-912, 1966
- [6] P.J.W.Noble, "Self-Scanned Silicon Image Detector Arrays," IEEE Trans. Electron Devices, vol.ED-15, pp.202-209, 1968
- [7] E.R.Fossum, "Active Pixel Sensors: Are CCD's Dinosaurs?" Charge-Coupled Devices and Optical Sensors, Proc. SPIE, vol.1900, pp.2-14, 1993
- [8] Y.Ishihara et al., "Interline CCD Image Sensor with an Anti Blooming Structure," ISSCC, Digest of Tech.Papers, pp.168-169, 1982
- [9] T.Watanabe, "An Introduction to Recent CCD Image Sensors," Symposium of '94 Sensors and Actuators Week, Session 3, Apr.21, 1994 (Japanese)
- [10] M.M.Blouke et al., "800x800 Charge-Coupled Device Image Sensor," Opt. Eng., 22, 5, pp.607-614, 1983
- [11] R.Bredthauer et al., "Large Area High Resolution CCD Imaging Devices," IEEE CCD and Advanced Image Sensors Workshop: Dana Point, Tech. Papers, 1995
- [12] K.Kinoshita and H. Mizushima, "Ultrahigh Sensitive Imaging Technology," Journal of ITE, vol.42, pp.794-799, 1988 (Japanese)
- [13] Jet Propulsion Laboratory, URL: www.stsci.edu/ftp/instrument_news/WFPC2/Wfpc2_hand/HTML
- [14] F.D.Shepherd and A.C.Yang, "Silicon Schottky Retinas for Infrared Imaging," in IEDM Tech. Dig. pp.310-313, 1973
- [15] H.Tunemi et al., "Characteristics of Optical CCD as an X-Ray Image Sensor," Japanese Journal of Applied Physics, vol.27, pp.670-674, 1988
- [16] Y.Tanaka, H.Inoue and S.S.Holt, Publ. Astron. Soc. Japan, vol.46, L37, 1994
- [17] J.E.Carnes and W.F.Kosonocky, "Noise Sources in Charge-Coupled Devices," RCA Review vol.33, pp.327-343, 1972
- [18] N.Teranishi et al., "An Interline CCD Image Sensor with Reduced Image Lag," IEEE Trans.Electron Devices, vol.ED-31, pp.1829-1833, 1984
- [19] R.N.Hall, "Electron-Hall Recombination in Germanium," Phys.Rev.,vol.87, pp.387, 1952
- [20] W.Shockley and W.T.Read, "Statistics of Recombination of Holes and Electrons," Phys.Rev.,vol.87, pp.835-842, 1952
- [21] C.K.Kim, "The Physics of Charge-coupled Devices," Sec.1.2.5, in Charge-coupled Devices and Systems, Edited by M.J.Howes and D.V.Morgan, John Willey and Sons, 1979
- [22] Y.Hayafuji, "Impurity Behavior and Gettering in Si," ITEJ Tech.Repot, vol.15 pp.9-14, 1991 (Japanese)
- [23] T.Watanabe et al., "CCD Linear Image Sensor with 2048 Element," Trans. IECE Japan, vol. E63, pp.855-862, 1980
- [24] T.Watanabe et al., "2/3"-CCD Image Sensor and New Geometry of Color-Filter Array," ITEJ Tech.Report, vol. TEBS 76-4, pp.19-24, 1981 (Japanese)
- [25] M.F.Tompsett, "The Quantitative Effects of Interface States on the Performance of Charge-Coupled Devices," IEEE Trans.Electron Devices, vol. ED-20, pp.45-55, 1973
- [26] C.K.Kim, Sec.1.5.2 of [20]
- [27] C.H.Sequin and M.F.Tompsett, "Charge Transfer Devices," Chap. IV, Academic Press, Inc., 1975
- [28] W.F.Kosonocky and J.E.Carnes, "Two-Phase Charge-Coupled Devices with Overlapping Polysilicon and Aluminum Gates," RCA Review, pp.164-202, Mar.1973
- [29] P.Centen, "CCD On-Chip Amplifiers: Noise Performance versus MOS Transistor Dimensions," IEEE Trans.Electron Devices, vol. ED-38,

- pp.1206-1216, 1991
- [30] C.K.Kim, Sec.1.6.1 of [20]
 - [31] T.Watanabe et al., "A CCD Color Signal Separation IC for Single-Chip Color Imagers," IEEE J. Solid-State Circuits, vol. SC-19, pp.49-54, 1984
 - [32] P.R.Gray, "Basic MOS Operational Amplifier Design-An Overview," in Analog MOS Integrated Circuits, pp.28-49, New York, IEEE Press, 1980
 - [33] E.Oda et al., "A CCD Image Sensor with 768×490 Pixels," ISSCC, Digest of Tech Papers, pp.264-265, 1983
 - [34] T.Watanabe, "Low-Noise Operation in Buried-Channel MOSFET's," IEEE Elec. Device Lett., vol.EDL-6, pp.317-319, 1985
 - [35] K.C.Gunsager et al., "Performance and Operation of Buried Channel Charge-Coupled Devices," in IEDM Tech. Dig., pp.21-23, 1973
 - [36] T.Kamata et al., "Substrate Current Due to Impact Ionization in MOSFET," Japan. J. Appl. Phys., vol.15, pp.1127-1133, 1976
 - [37] T.Elewa et al., "Low-Frequency Noise in Depletion-Mode SIMOX MOS Transistors," IEEE Trans.Electron Devices, vol. ED-38, pp.323-327, 1991
 - [38] C.Carruthers et al., "Noise Characteristics of n-Channel Deep-Depletion mode MOS Transistors," IEE Proc.-G, vol.139, pp.377-383, 1992
 - [39] M.H.White et al., "Characterization of Surface Channel CCD Image Array at Low Light Levels," IEEE J. Solid-State Circuits, vol. SC-9, pp.1-13, 1974
 - [40] T.Watanabe, "Output Signal Processor Circuit of Charge Transfer Device," USP 4,886,986, 1989
 - [41] Y.Nishida et al., "Design Concept for a Low-Noise CCD Image Sensor Based on Subjective Evaluation," IEEE Trans. Electron Devices, vol.36, p366, 1989
 - [42] Y.Takeishi and H.Hara, "A Basis of MOS Integrated Circuits," Sec.5.1.2, Kindai-Kagakusya, 1992 (Japanese)
 - [43] S.Kamimura et al., "A 1/4-Inch 270k Pixel IT-CCD Image Sensor," ITE Annual Convention, pp.299-300, 1993 (Japanese)
 - [44] T.Ozumi et al., "A 1/4-Type 410k Pixel IT-CCD Image Sensor," Sharp Technical Journal, vol.60, pp.37-40, 1994 (Japanese)
 - [45] S.K.Mendis et al., "CMOS Active Pixel Image Sensors for Highly Integrated Imaging," IEEE J. Solid-State Circuits, vol.32, pp.187-197, 1997

- [46] M.E.Law et al., "Self-Consistent Model of Minority-Carrier Lifetime, Diffusion Length, and Mobility," IEEE Electron Device Lett., vol.12, pp.401-403, 1991
- [47] Y.Ishihara et al., "Interline CCD Image Sensor with an Anti Blooming Structure," ISSCC Dig.Tech.Papers, pp.168-169, 1982
- [48] S.M.Sze, "Physics of Semiconductor Devices - 2nd Edition," Sec.2.4.1, John Willey & Sons, 1981
- [49] M.J.H.Van de Stteg et al., "A Frame-Transfer CCD Color Imager with Vertical Antiblooming," IEEE Trans.Electron Devices, ED-32, pp.1430-1438, 1985
- [50] K.Ishikawa et al., "IT CCD Imaging Sensor with Variable Speed Electronic Shutter," SPIE vol.1107, pp.66-76, 1989
- [51] T.Watanabe et al., "A High Performance 5V-Only 1/5-Inch 220k-Pixel CCD Image Sensor," IEEE CCD and Advanced Image Sensors Workshop; Buruges, Tech. Papers, pp. R1-1~R1-4, 1997
- [52] J.Dickson, "On-Chip High Voltage Generation in MNOS Integrated Circuit Using an Improved Voltage Multiplier Technique," IEEE J.Solid-State Circuits, vol.SC-11, pp.374-379, 1980
- [53] J.Witters et al., "Analysis and Modeling of On-Chip High-Voltage Generator Circuits for Use in EEPROM Circuits," vol.24, pp.1372-1377, 1989
- [54] E.Koyama and T.Watanabe, "Driver Circuit and a Method for Generating a Driving Signal," US Patent 5,786,713, 1998
- [55] T.Watanabe, "Solid State Imaging Device and Method of Manufacture Therefor," USP 5,404,039, 1995
- [56] J.Hamada et al., "A 1/2-inch 2.02M-Pixel Color CCD Image Sensor," ITE Tech.Report, vol.22, pp.13-18, 1998 (Japanese)

101. The first of these is the fact that the rate of growth of the population is not uniform. It is not uniform in space, nor is it uniform in time. The rate of growth is higher in some areas than in others, and it is higher in some years than in others. This is due to a variety of factors, including differences in the availability of resources, differences in the quality of the environment, and differences in the behavior of the population.

102. The second of these is the fact that the population is not homogeneous. It is not homogeneous in terms of its genetic composition, nor is it homogeneous in terms of its social structure. There are many different groups within the population, each with its own characteristics and its own history. This is due to a variety of factors, including differences in the environment, differences in the behavior of the population, and differences in the history of the population.

103. The third of these is the fact that the population is not static. It is not static in terms of its size, nor is it static in terms of its composition. The size of the population is constantly changing, and its composition is constantly changing. This is due to a variety of factors, including differences in the environment, differences in the behavior of the population, and differences in the history of the population.

104. The fourth of these is the fact that the population is not isolated. It is not isolated from other populations, nor is it isolated from the environment. The population is constantly interacting with other populations, and it is constantly interacting with the environment. This is due to a variety of factors, including differences in the environment, differences in the behavior of the population, and differences in the history of the population.

105. The fifth of these is the fact that the population is not predictable. It is not predictable in terms of its future, nor is it predictable in terms of its past. The future of the population is constantly changing, and its past is constantly changing. This is due to a variety of factors, including differences in the environment, differences in the behavior of the population, and differences in the history of the population.

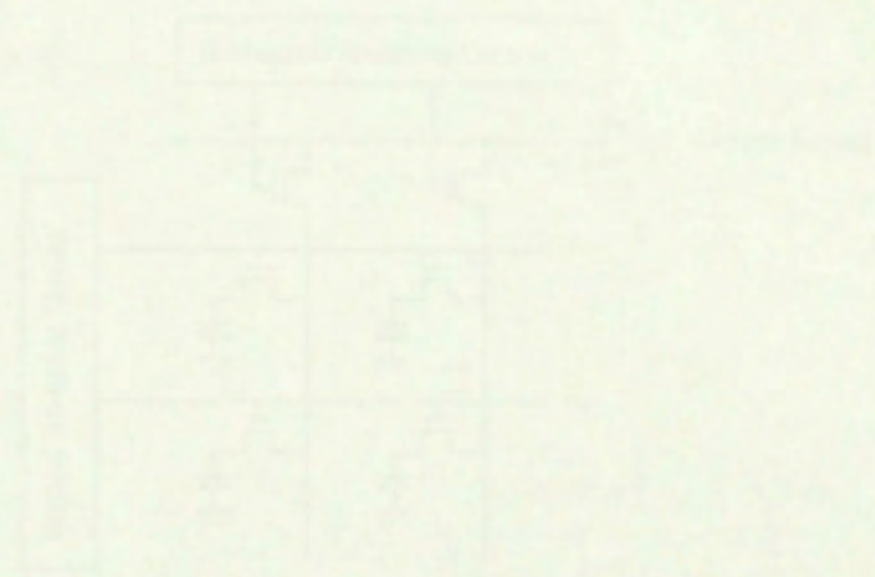


Fig. 1. A line graph showing the relationship between two variables. The x-axis is labeled 'Time' and the y-axis is labeled 'Population'. The graph shows a series of peaks and troughs, indicating fluctuations in the population over time.

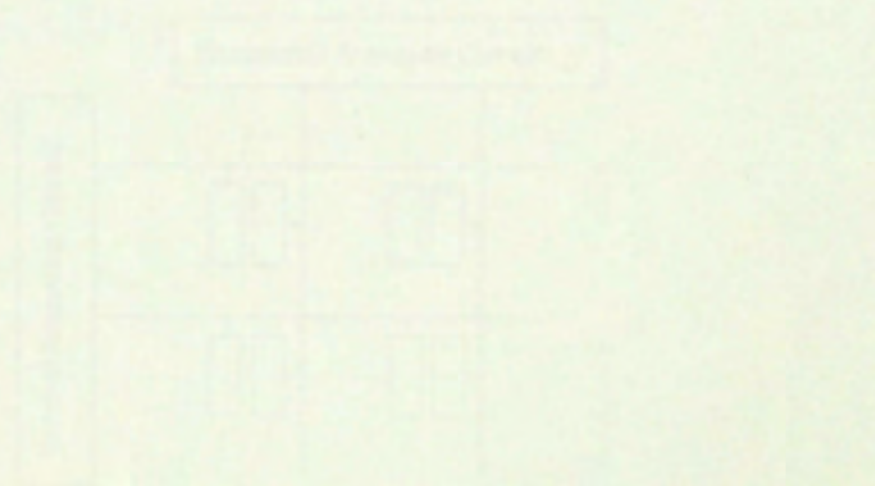


Fig. 2. A line graph showing the relationship between two variables. The x-axis is labeled 'Time' and the y-axis is labeled 'Population'. The graph shows a series of peaks and troughs, indicating fluctuations in the population over time.

The first of these is the fact that the rate of growth of the population is not uniform. It is not uniform in space, nor is it uniform in time. The rate of growth is higher in some areas than in others, and it is higher in some years than in others. This is due to a variety of factors, including differences in the availability of resources, differences in the quality of the environment, and differences in the behavior of the population.

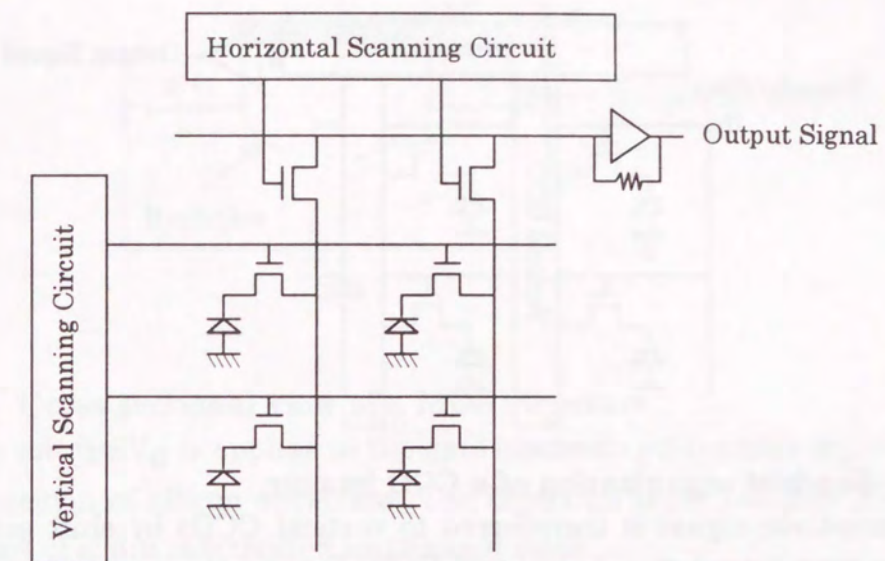


Fig. 1. Readout organization of a MOS imager.
Each pixel consists of a photodiode and a MOS switch. Signals at the pixels are readout with vertical and horizontal shift registers.

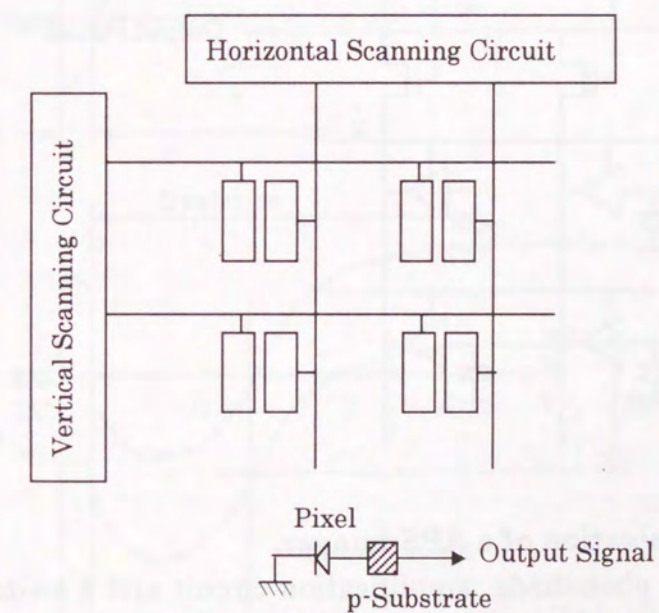


Fig. 2. Readout organization of a CID imager.
Each pixel consists of two MOS. Signals at the pixels are injected to substrate with vertical and horizontal shift registers and recombination current in the substrate is readout.

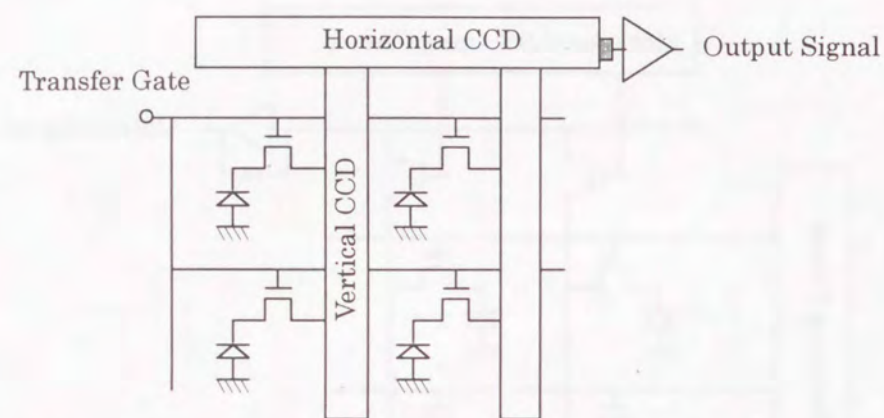


Fig. 3. Readout organization of a CCD imager.

Each photodiode signal is transferred to vertical CCDs by shift gates and then transferred to a horizontal CCD. Finally those signals in a horizontal CCD are readout in high sensitive single output portion.

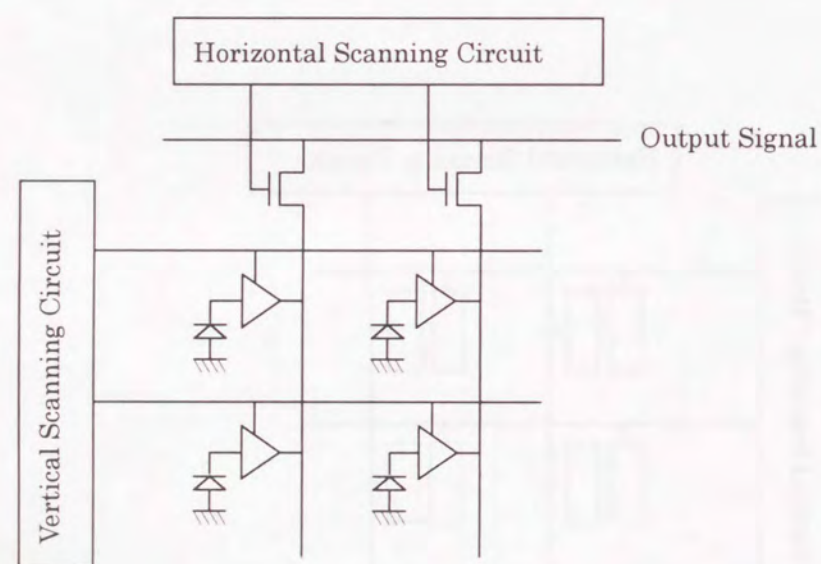


Fig. 4. Readout organization of a APS imager.

Each pixel consists of a photodiode, amplification circuit and a switch. Signals at the pixels are amplified at each pixel portion and then readout with vertical and horizontal shift-registers.

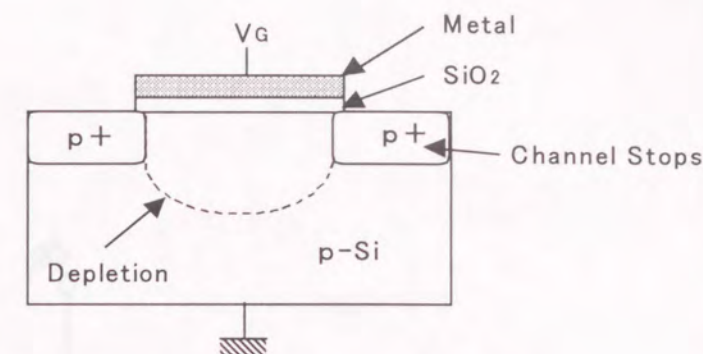


Fig. 5. Cross sectional view of a MOS structure.

Positive voltage V_G is applied to the gate electrode and causes depletion layer in the surface region of silicon substrate. The depletion layer becomes CCD channel and both sides of it are inactivated by channel stops.

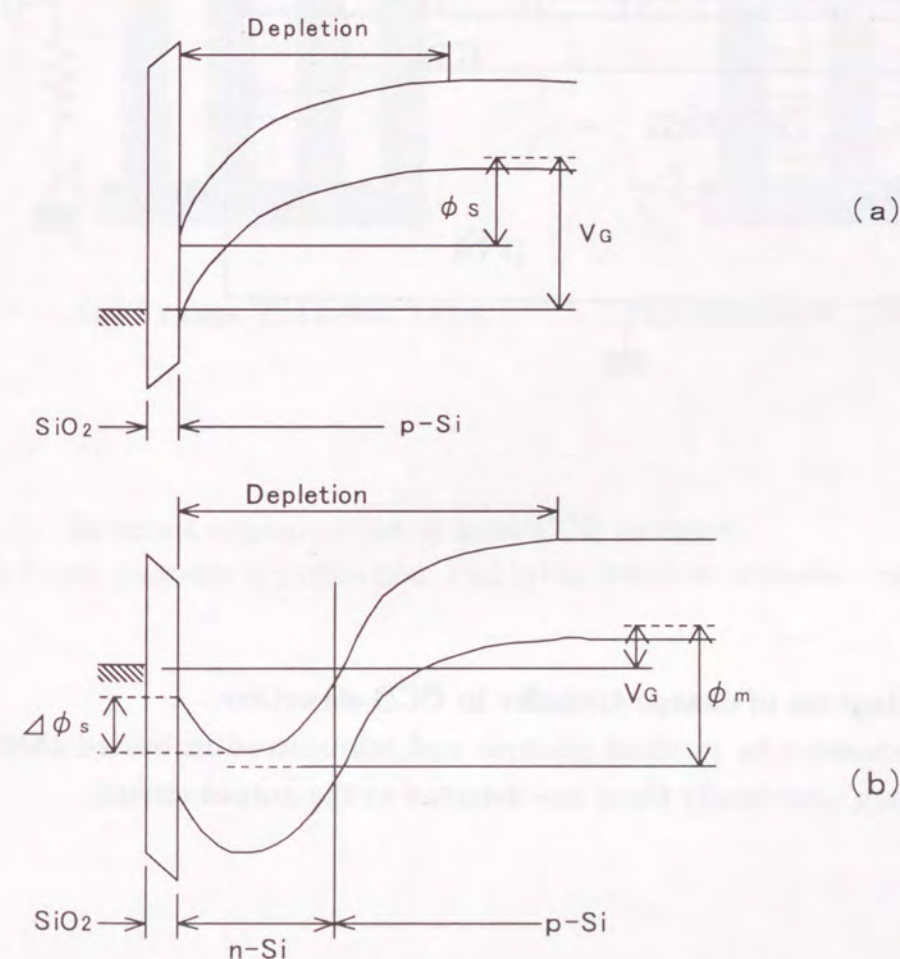


Fig. 6. Energy band diagrams perpendicular to the surface.

Energy band diagrams are shown in (a) a surface channel device, and (b) a buried channel device. Space charge regions are generated in depletion areas in both cases. When signal electrons are introduced to the channels, those are accumulated at the potential bottom positions.

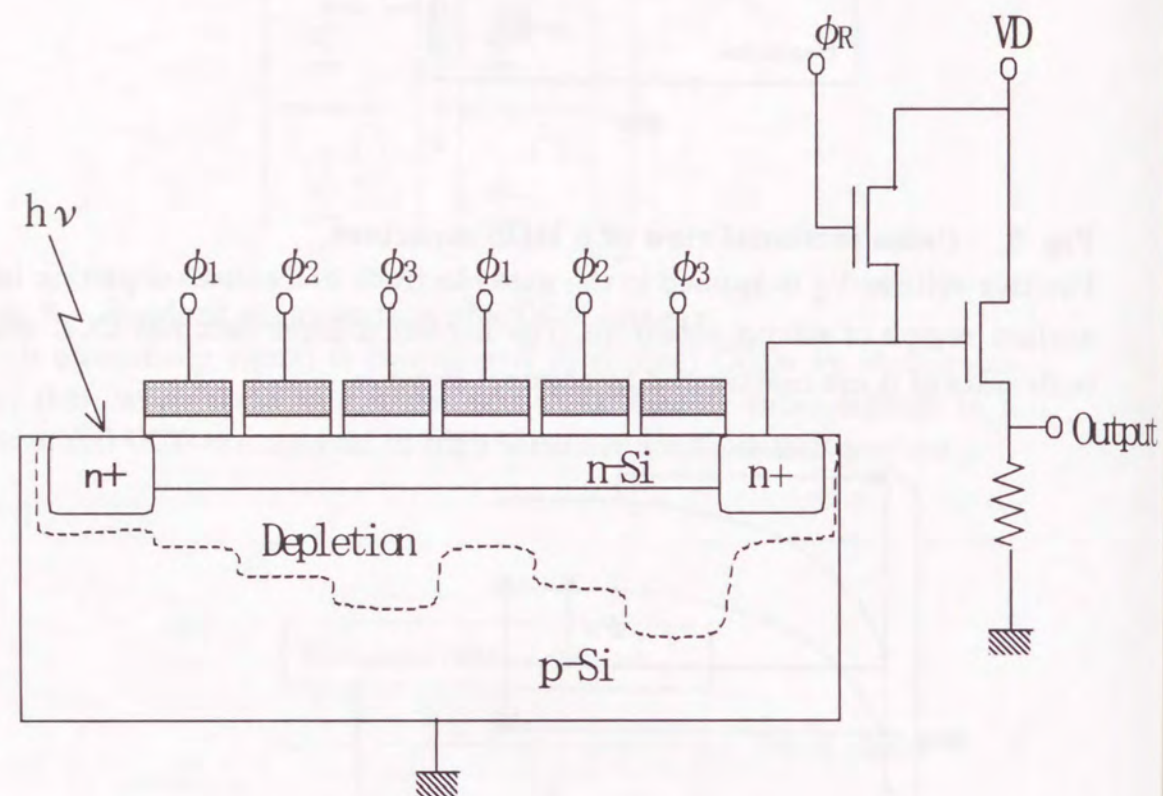


Fig. 7. Schematic diagram of charge transfer in CCD structure.
Signal charges are generated by incident photons and transferred in buried channel CCDs with clocked gates, and finally those are detected at the output circuit.

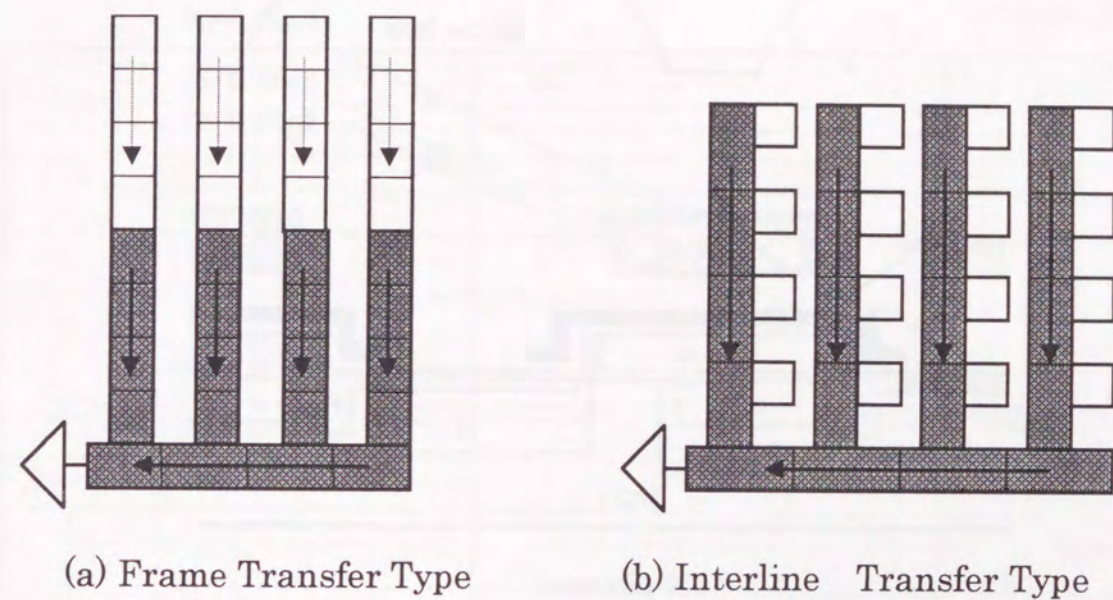


Fig. 8. Readout organization of area CCD imagers.
(a) is frame transfer organization, and (b) is interline transfer organization.

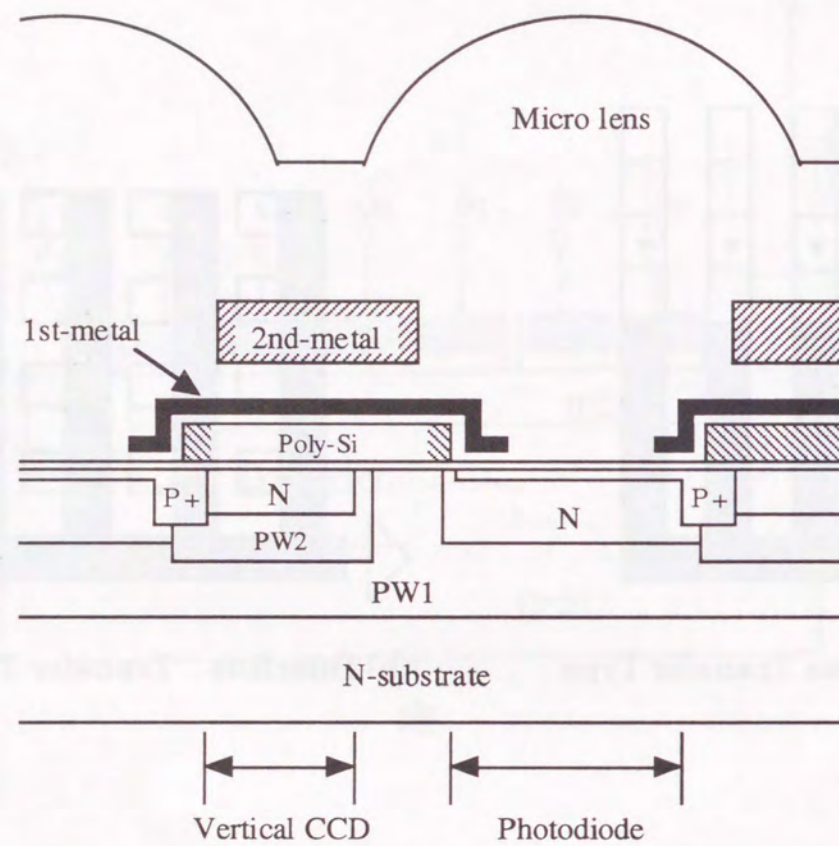


Fig.9. A cross sectional view of a pixel portion including a buried photodiode. A buried photodiode is an N region that is surrounded by surface P+ layer and P well layer (PW1).

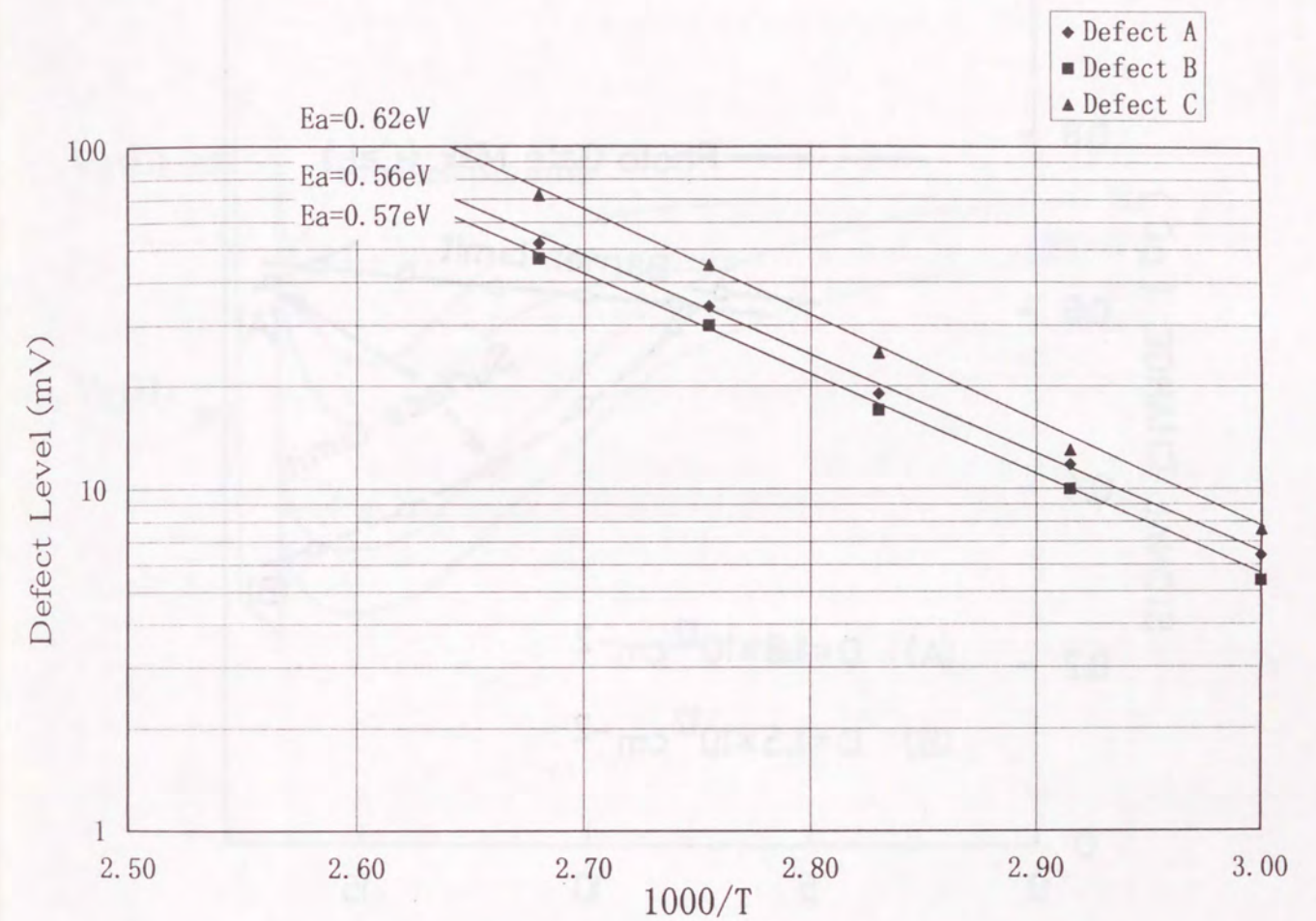


Fig. 10. Temperature dependence of white defects. Straight lines correspond to constant activation energy E_a . E_a of defects are distributed near half of band gap (0.56eV).

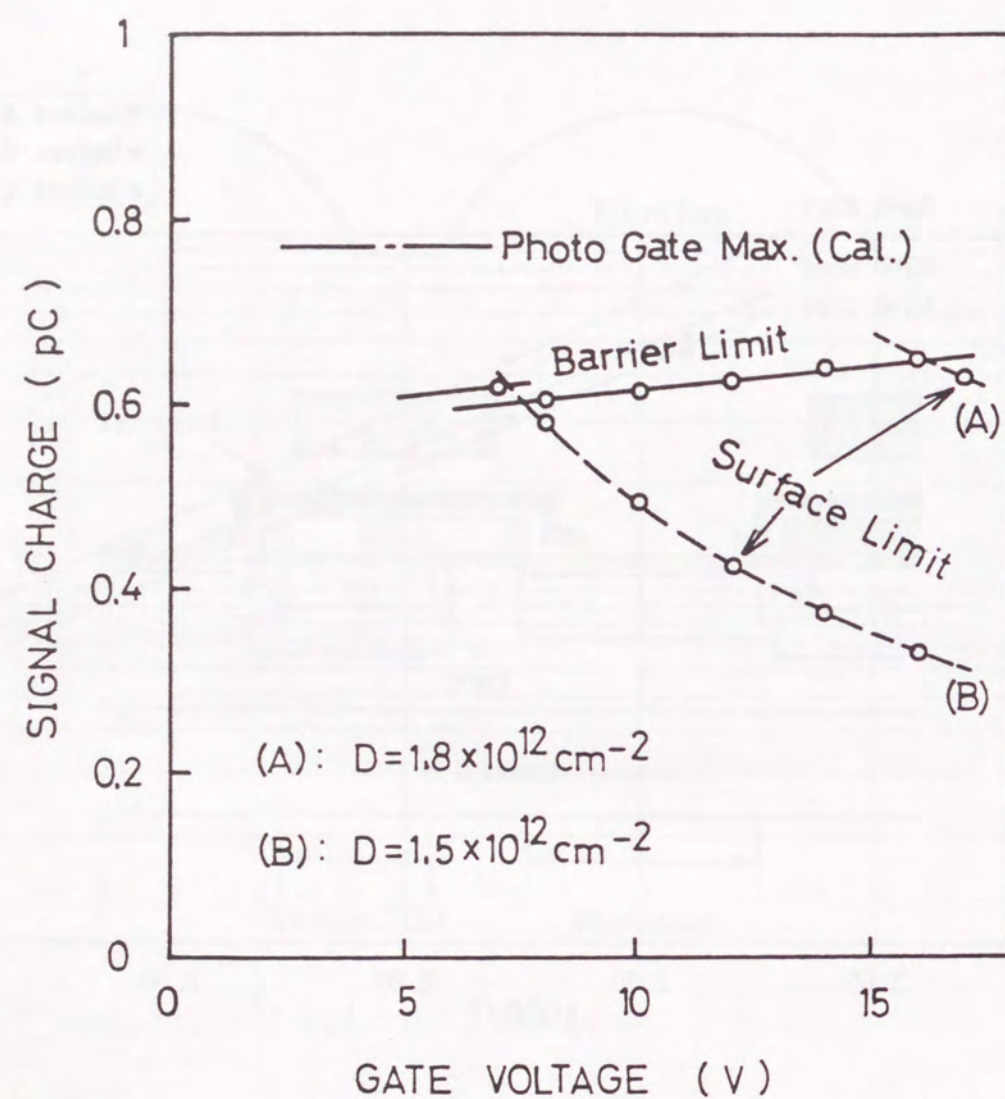


Fig. 11. Maximum handling capacity restricted by surface limit.
This limitation works hard when gate voltage is high and channel dose is low. This is well explained from the potential difference between the channel and the surface.

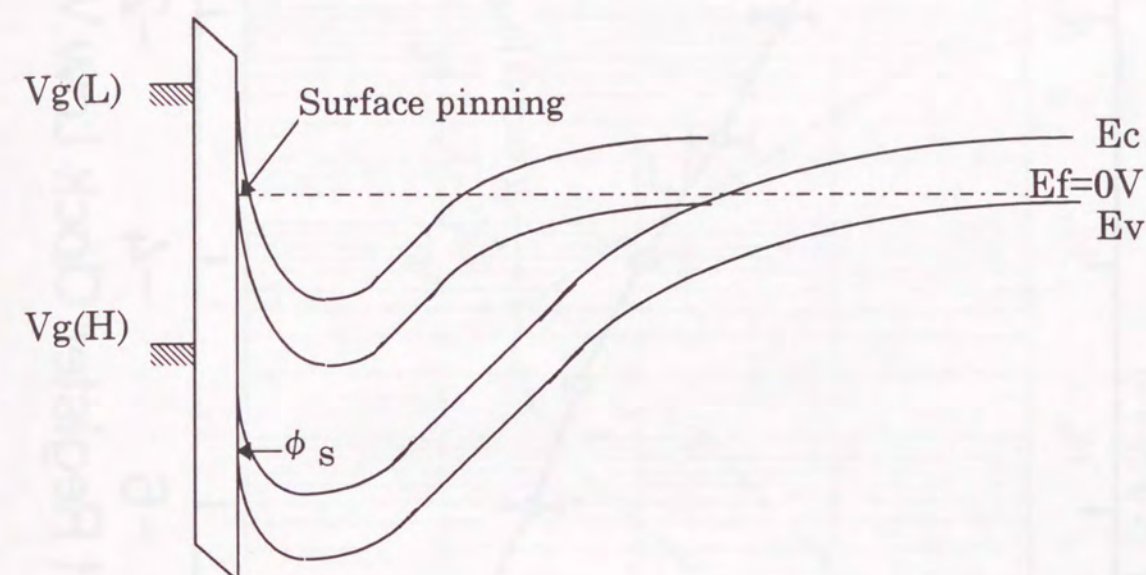


Fig. 12. Potential profile of buried channel CCD.

Potential in the case of surface pinning mode is shown. The pinning is occur when surface potential of the channel is strong inversion condition (gate voltage is $V_g(L)$).

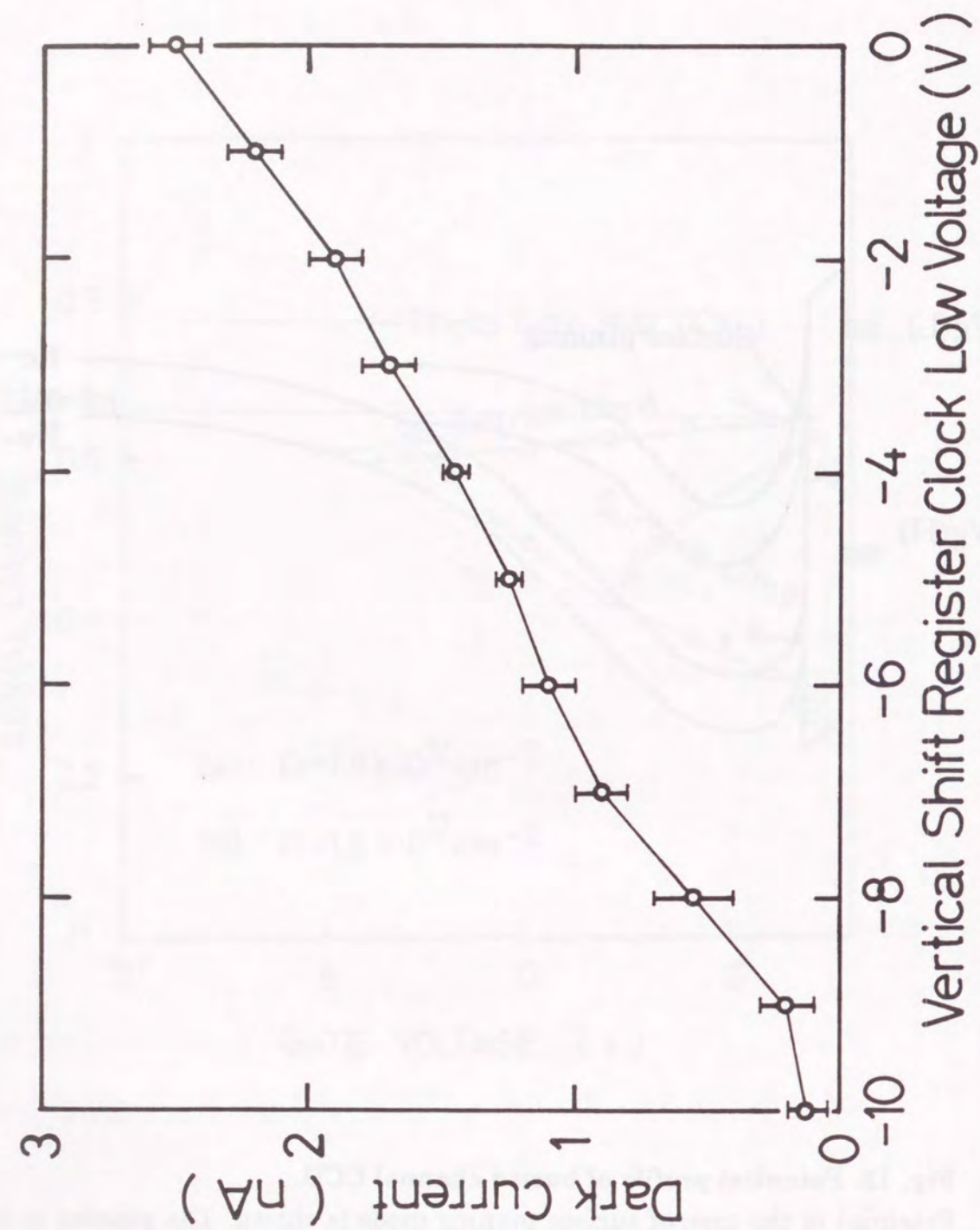


Fig. 13. Dark current of CCD vs. clock low voltage.
Decrease of the gate voltage causes shrinkage of depletion area and finally causes surface pinning when gate voltage is -8V .

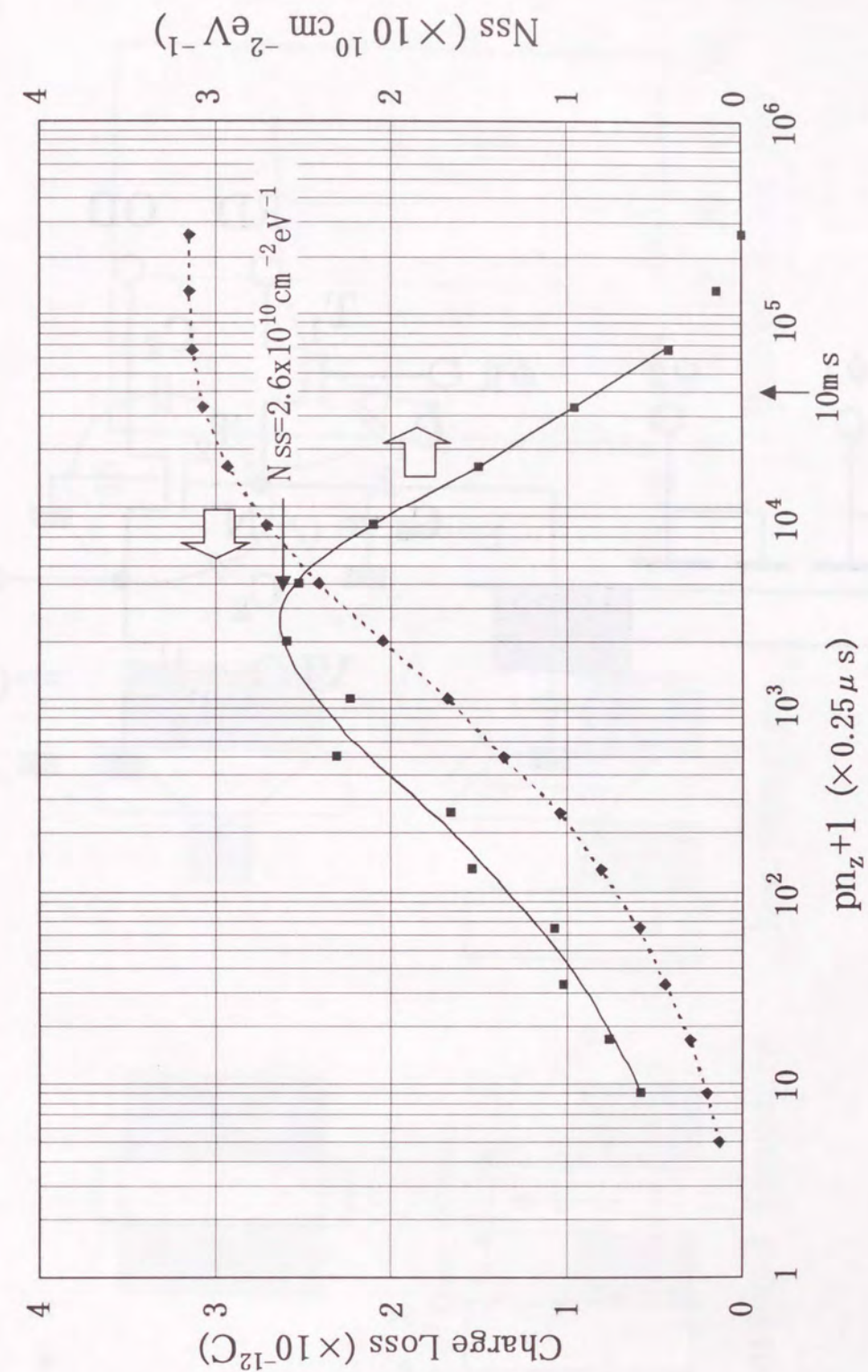


Fig.14. Measured relation between transfer loss charge Q_{ss} and ZERO packet number n_z , where p is the number of phase. The saturation point shows the emitting time constant of the surface state as 10ms . The increment of Q_{ss} to n_z shows surface state density $N_{ss} = 2.6 \times 10^{10} \text{cm}^{-2} \text{eV}^{-1}$.

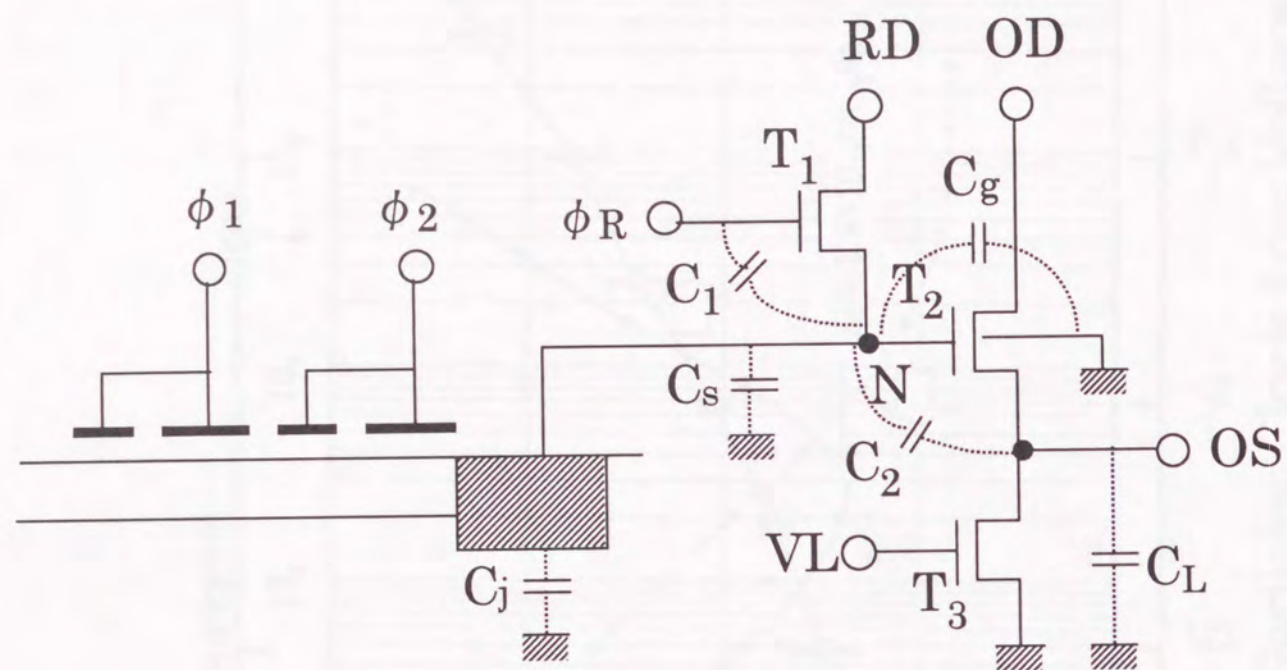


Fig. 15. Circuit diagram of a floating diffusion amplifier (FDA).
The node N which receives the signal charge from a CCD channel has several capacitance component: C_j is the junction capacitance, C_g is the gate capacitance of driver gate, C_1 and C_2 are the capacitance to the reset gate and output node respectively, and C_s is the stray capacitance.

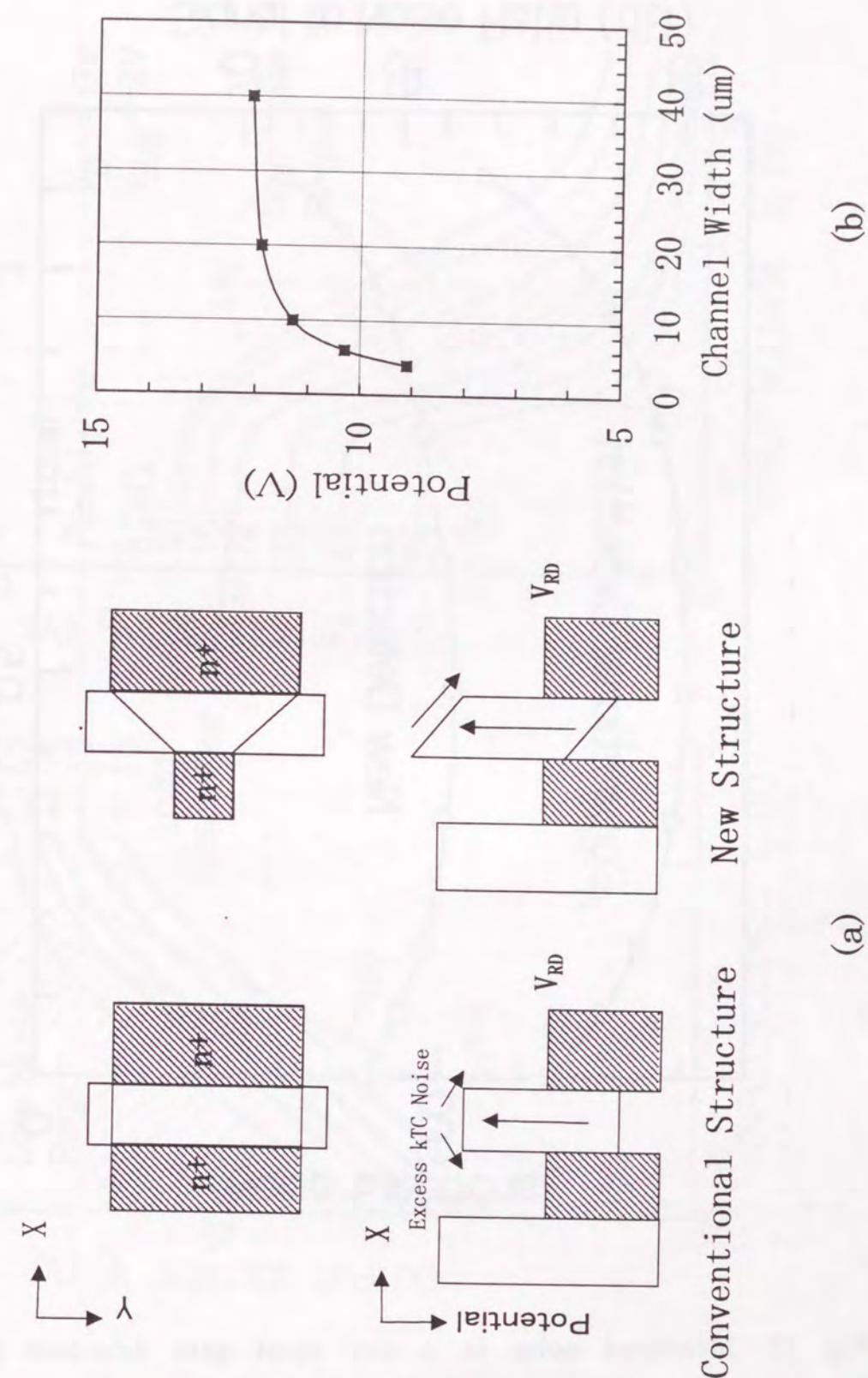


Fig. 16. A new reset gate structure : (a) shows schematic potential diagram of the new reset gate, and (b) shows the measured narrow channel effect on potential lowering, where $L=20\mu\text{m}$ and $V_G=0\text{V}$.

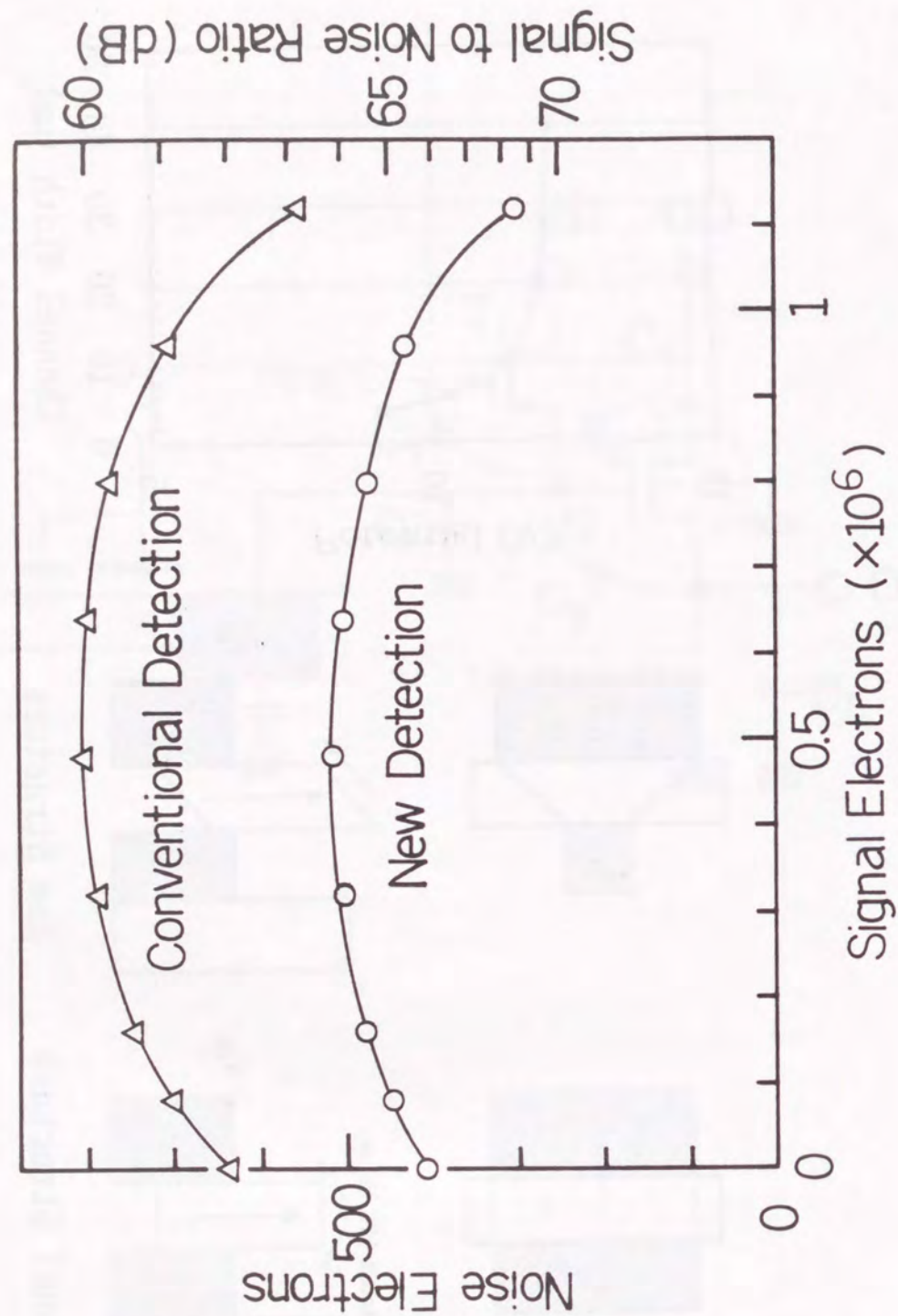


Fig. 17. Measured noise in a new reset gate detection structure comparing with conventional one. Noise in new detection structure is reduced about 65% of conventional one and almost constant to signal charge.

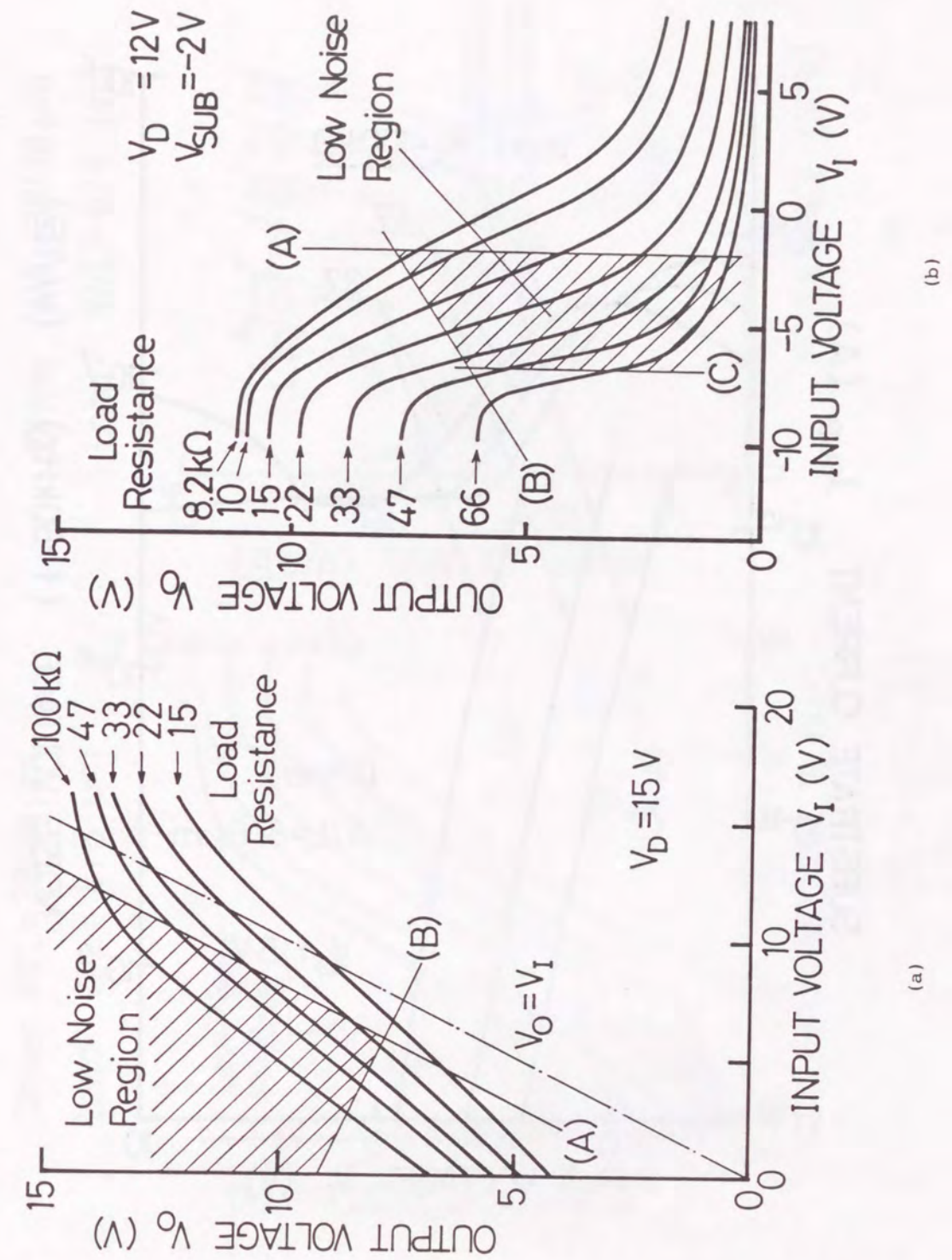


Fig. 18. Low noise region in transfer characteristics of MOSFET-resistor circuits. (a) is in the source follower circuit, and (b) is in the inverter circuit. In those cases, W/L of each driver MOSFET is about $8/8 \mu\text{m}$.

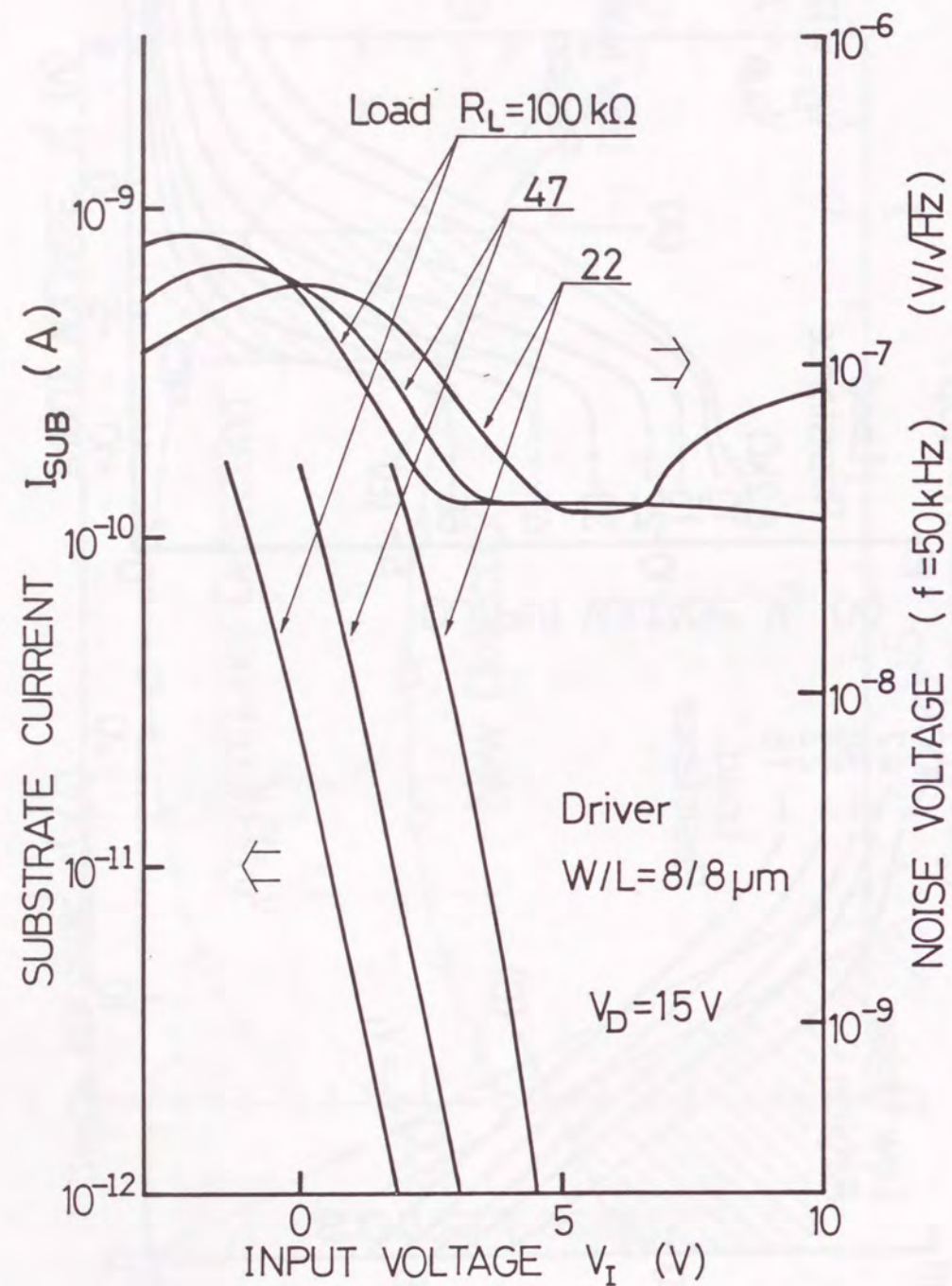


Fig. 19. Relationship between source follower noise and substrate current as a function of input voltage. At the point of noise increase, substrate current also increases, which means impact ionization.

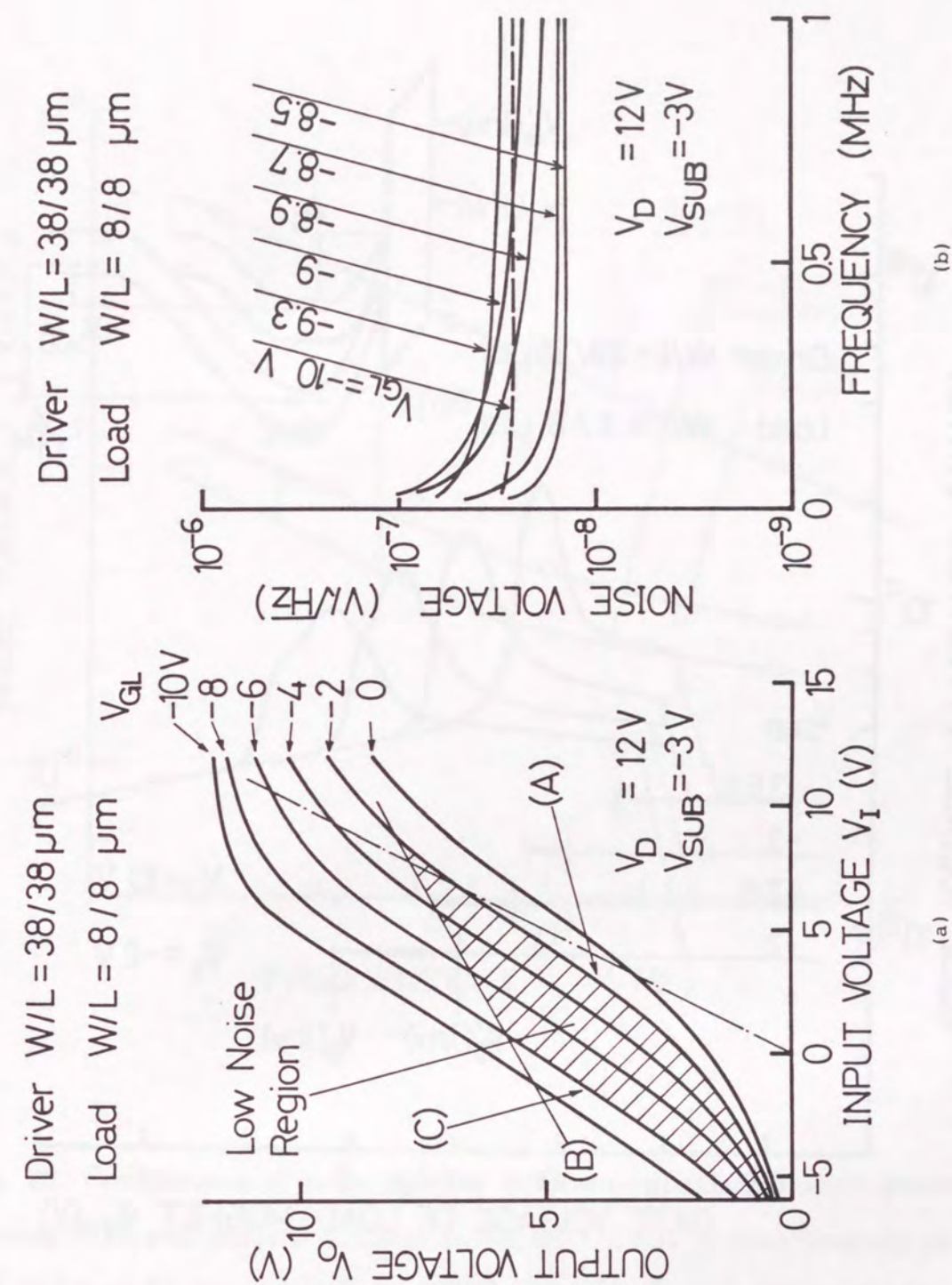


Fig. 20. (a) Low noise region in MOSFET-MOSFET source followers, (b) noise spectrum when V_{GL} crosses the limiting boundary (C). As decreasing V_{GL} below $-8V$, noise increases whole spectrum first and decreases at low frequency region.

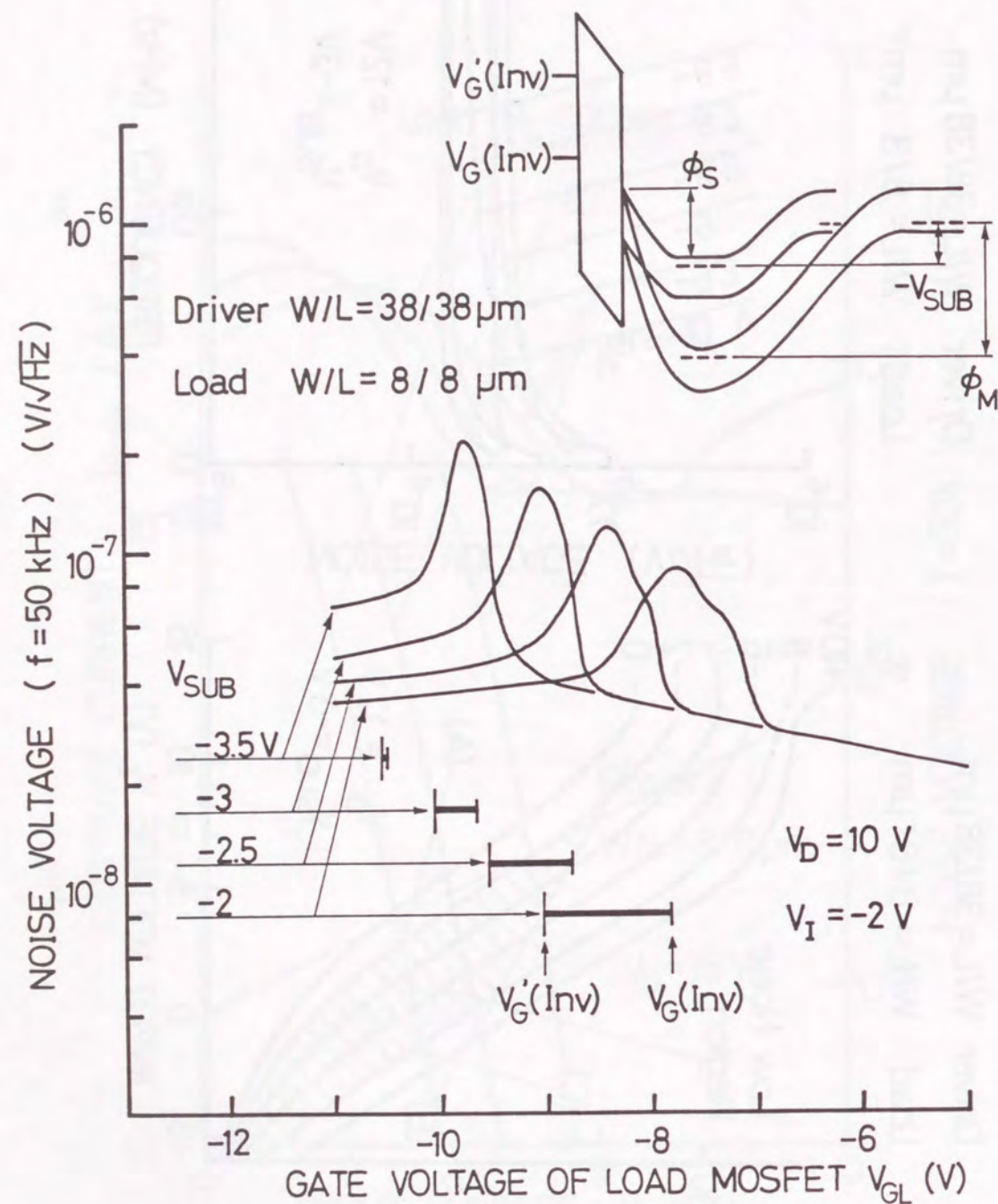


Fig. 21. Noise increase near surface inversion of the load MOSFET. Bars indicate onset voltage of strong inversion, and insert shows potential diagram along the depth. Noise peaks correspond to weak inversion region.

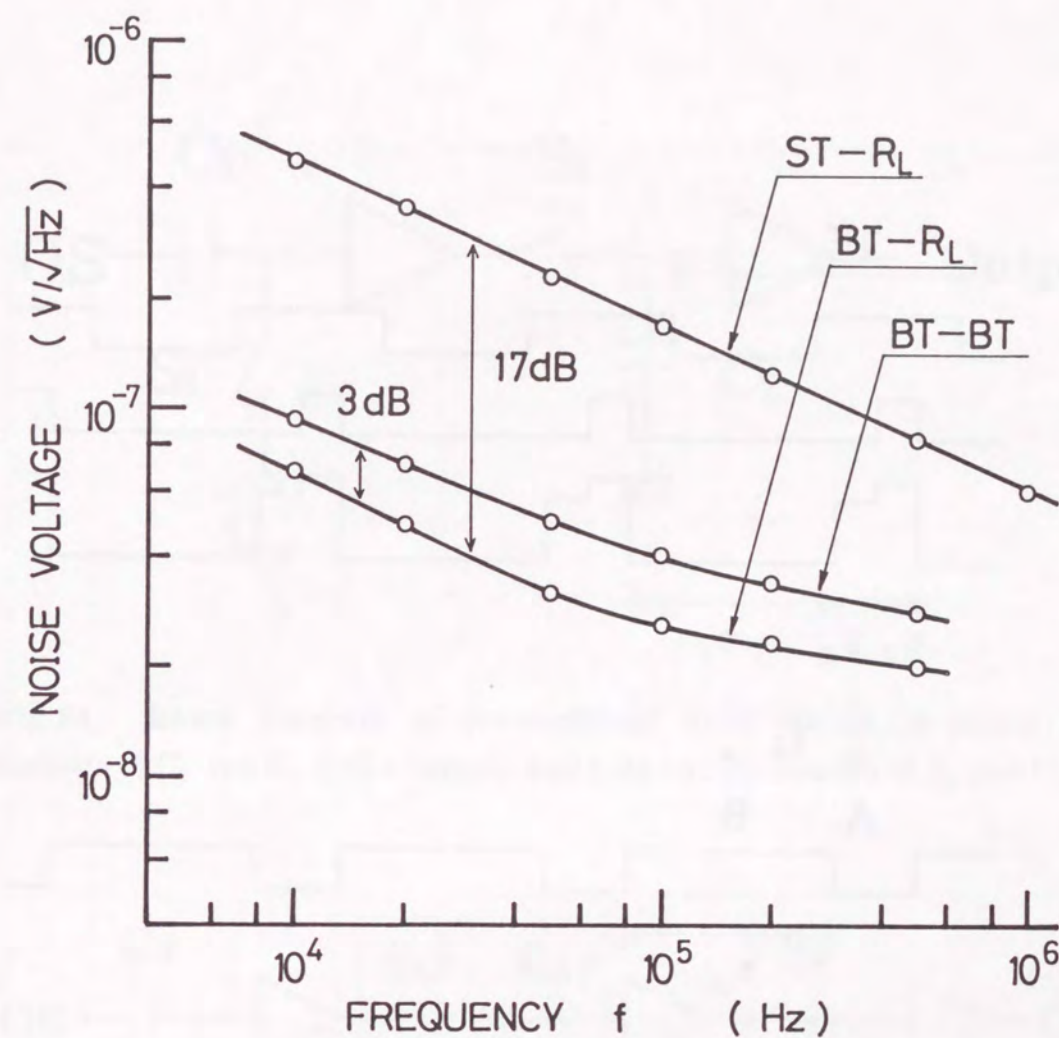


Fig. 22. Comparison of noise spectra between optimized buried channel devices (BT), and surface channel device (ST). Those devices have the same W/L value of 8/8 μm , while R_L is 100k Ω . Applying buried channel mode and avoiding impact ionization and weak inversion, noise is deduced by 17dB.

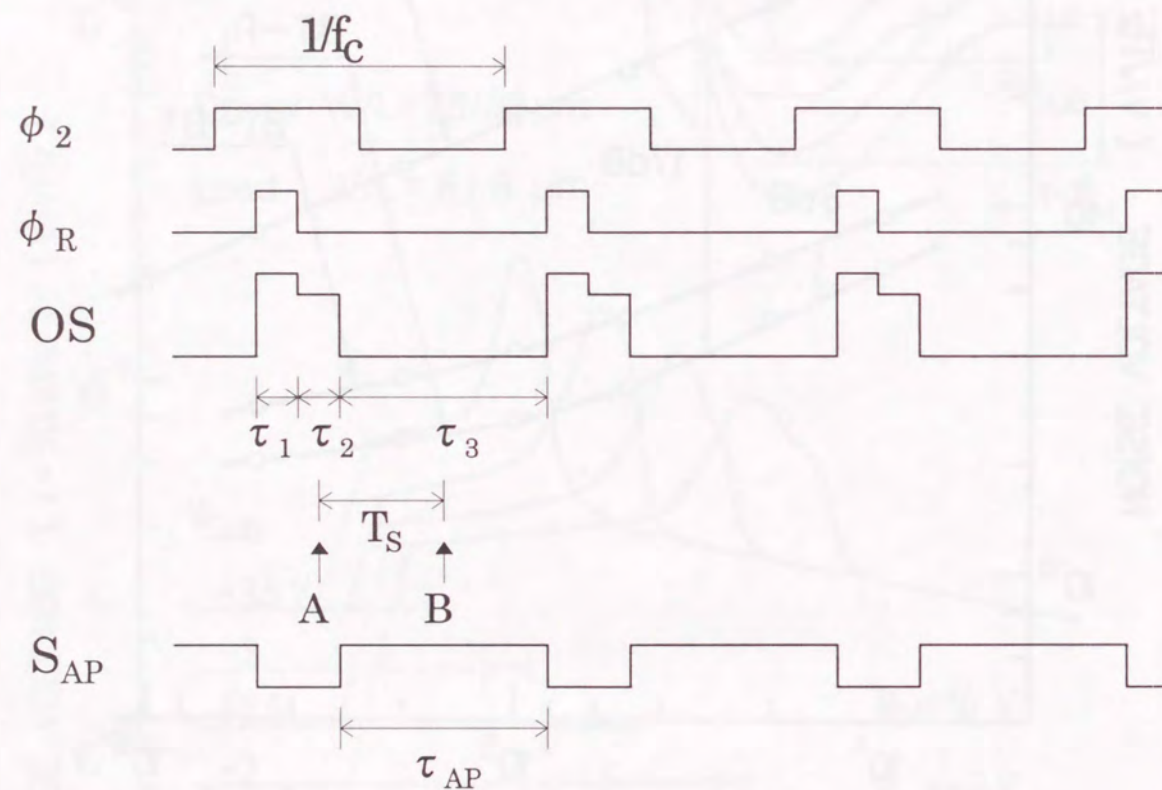


Fig.23. Waveform of output signal in new CDS circuit. Timing diagram of a new integral type CDS circuit is shown with a conventional one. The integral pulse is shown as signal S_{AP} , where τ_{AP} is the integral time period.

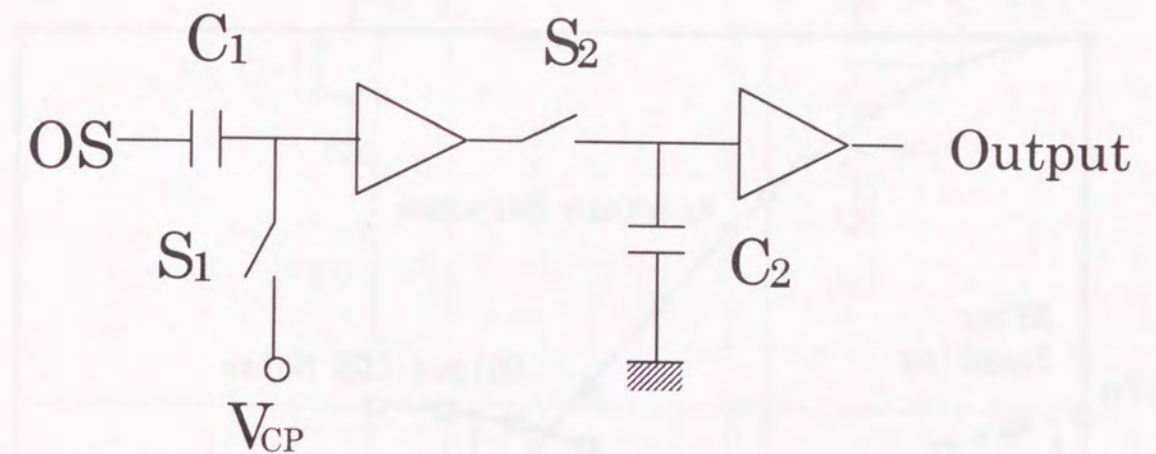


Fig.24. Block diagram of conventional CDS circuit. A clamp circuit consists of C_1 and S_1 , and a sample and hold circuit consists of S_2 and C_2 .

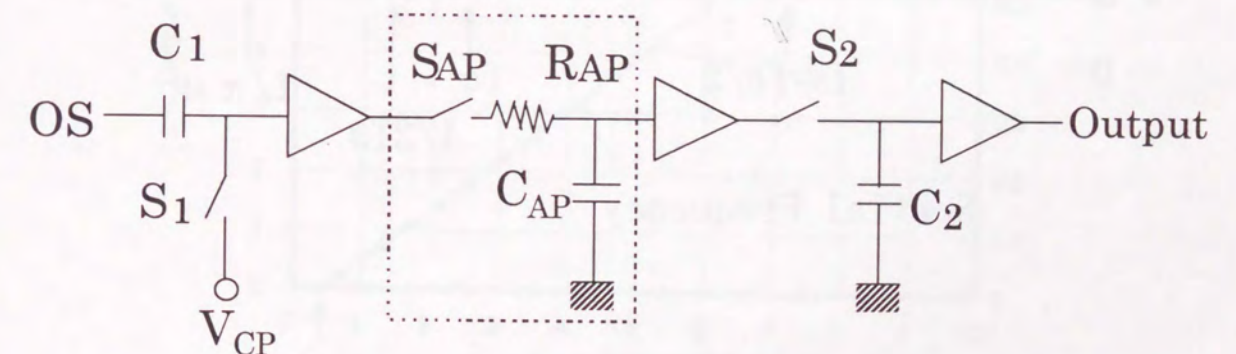


Fig.25. Block diagram of integral type CDS circuit. A clamp circuit consists of C_1 and S_1 , a sample and hold circuit consists of S_2 and C_2 , and a integral circuit consists of S_{AP} , R_{AP} and C_{AP} .

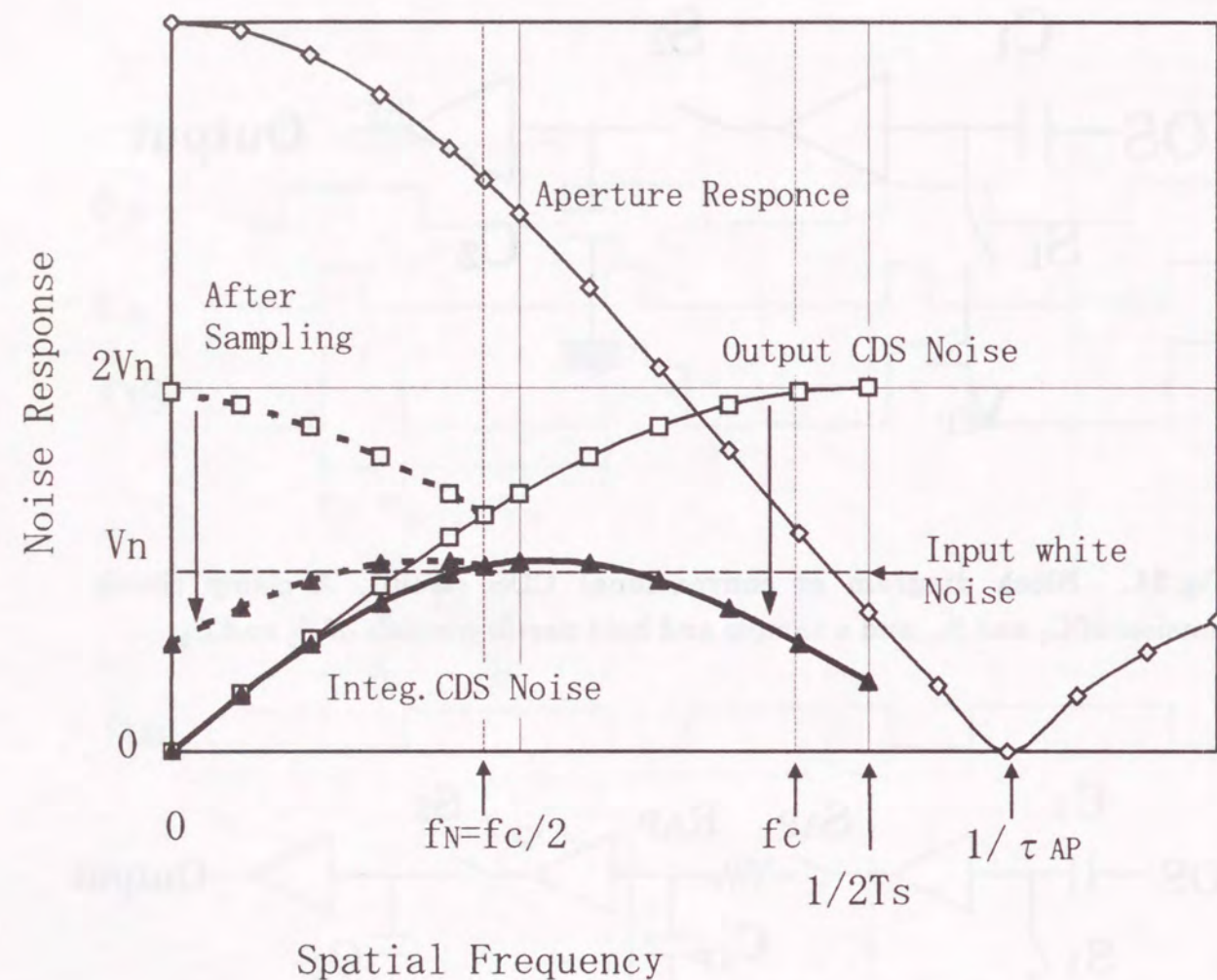


Fig. 26. Noise reduction effect of integral type CDS circuits. Noise spectra of a conventional and a new CDS circuits are shown. By using an aperture characteristic of the integral circuit, high frequency noise near f_c is reduced drastically (bold solid line), which in turn reduces the low frequency noise after sampling (bold broken line).

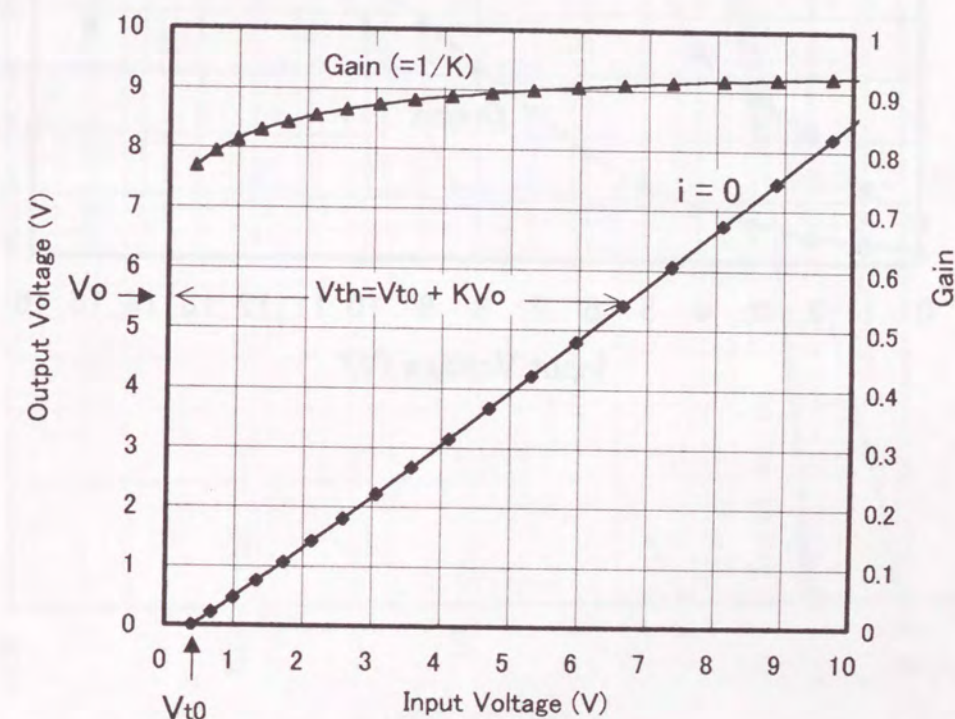
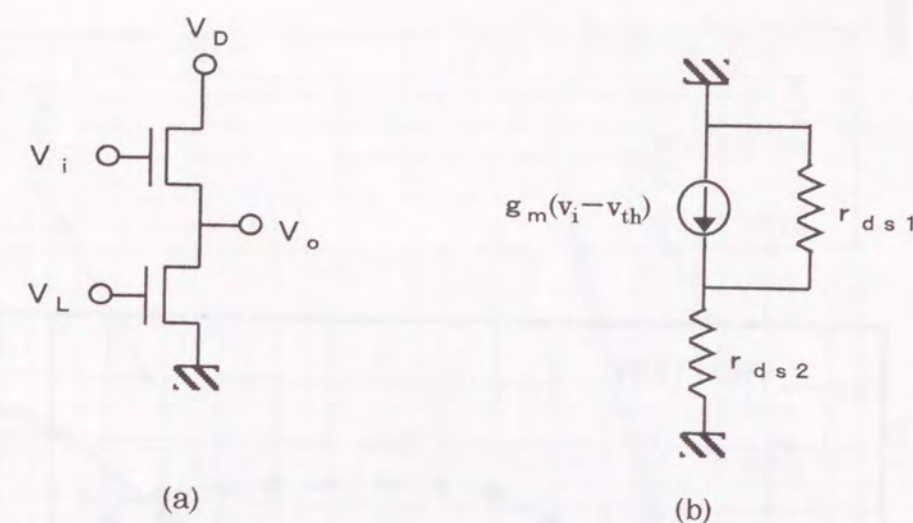


Fig. 27. Source follower circuit. (a) shows schematic source follower circuit, and (b) shows small signal equivalent circuit for the source follower. (c) shows v_{th} dependence on source potential v_0 in surface channel MOS transistor, where channel current is infinitesimal small by neglecting subthreshold current.

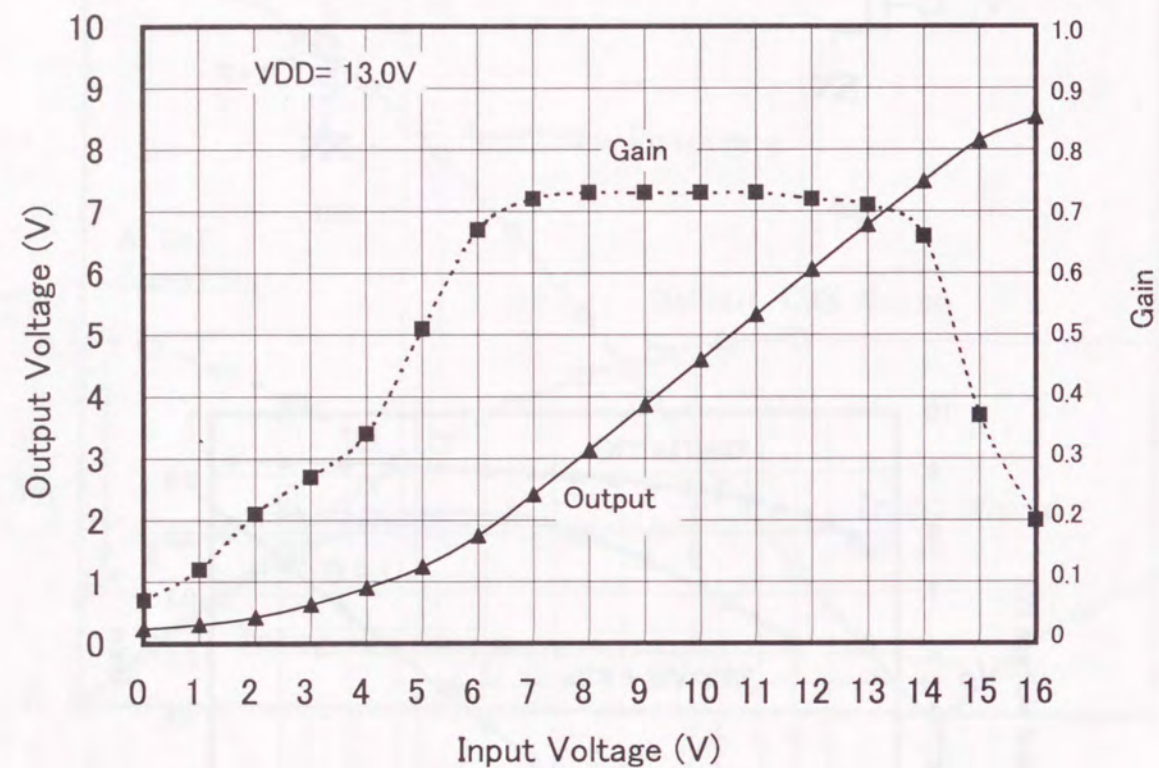


Fig. 28. Experimental result of 3-stage source follower circuit. Transfer characteristic is shown by solid line and its differentiation is shown by dot line.

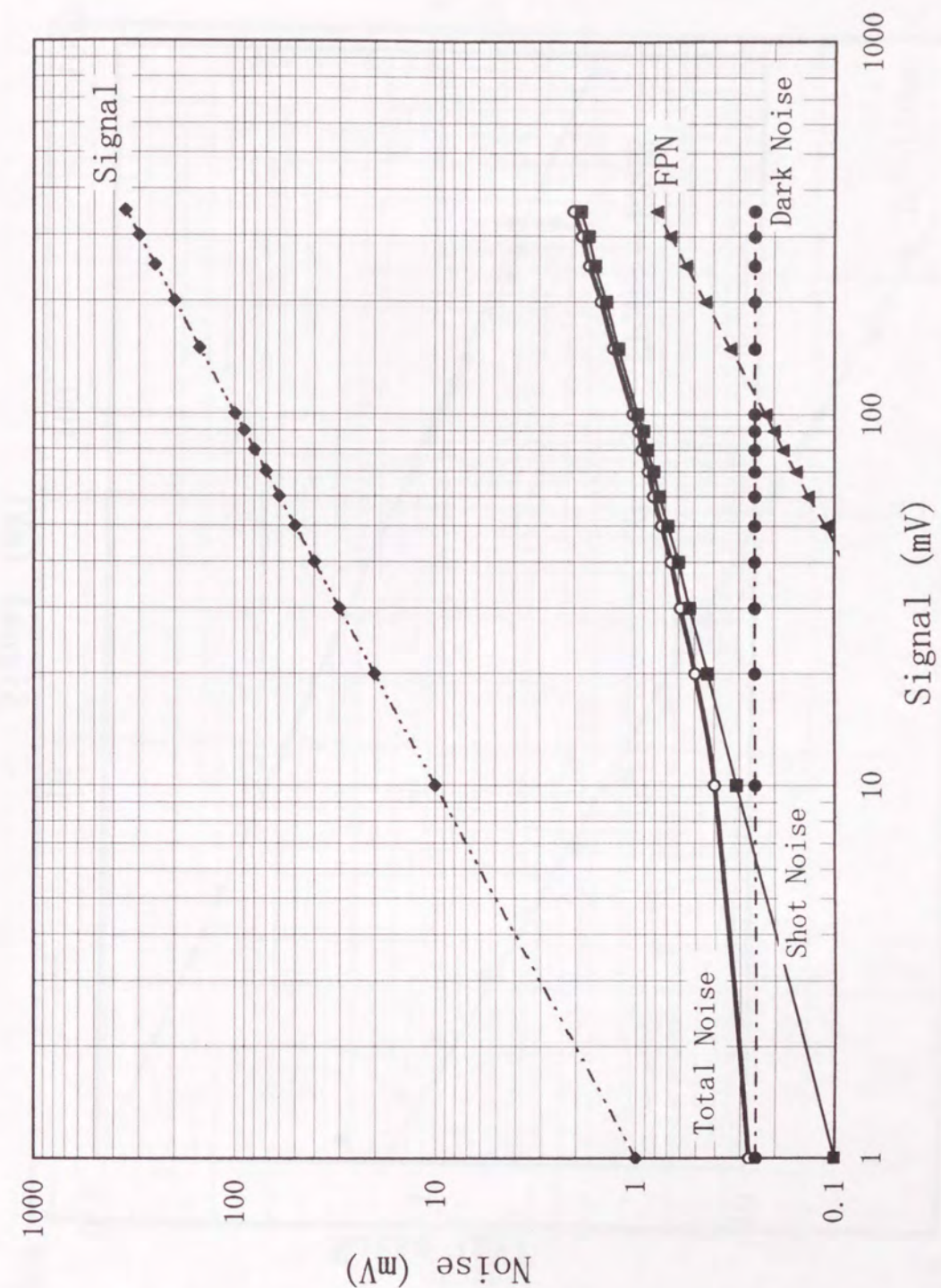


Fig. 29. Measured total noise of CCD image sensor as a function of incident light intensity (which is identified by output signal level). Clock frequency is 9.6MHz and bandwidth of noise measurement is 4.0MHz. When signal is low, noise depends on root of signal which indicates the shot noise. When signal is high, the difference from root characteristic is considered as fixed pattern noise caused by non-uniformity of sensitivity among pixels.

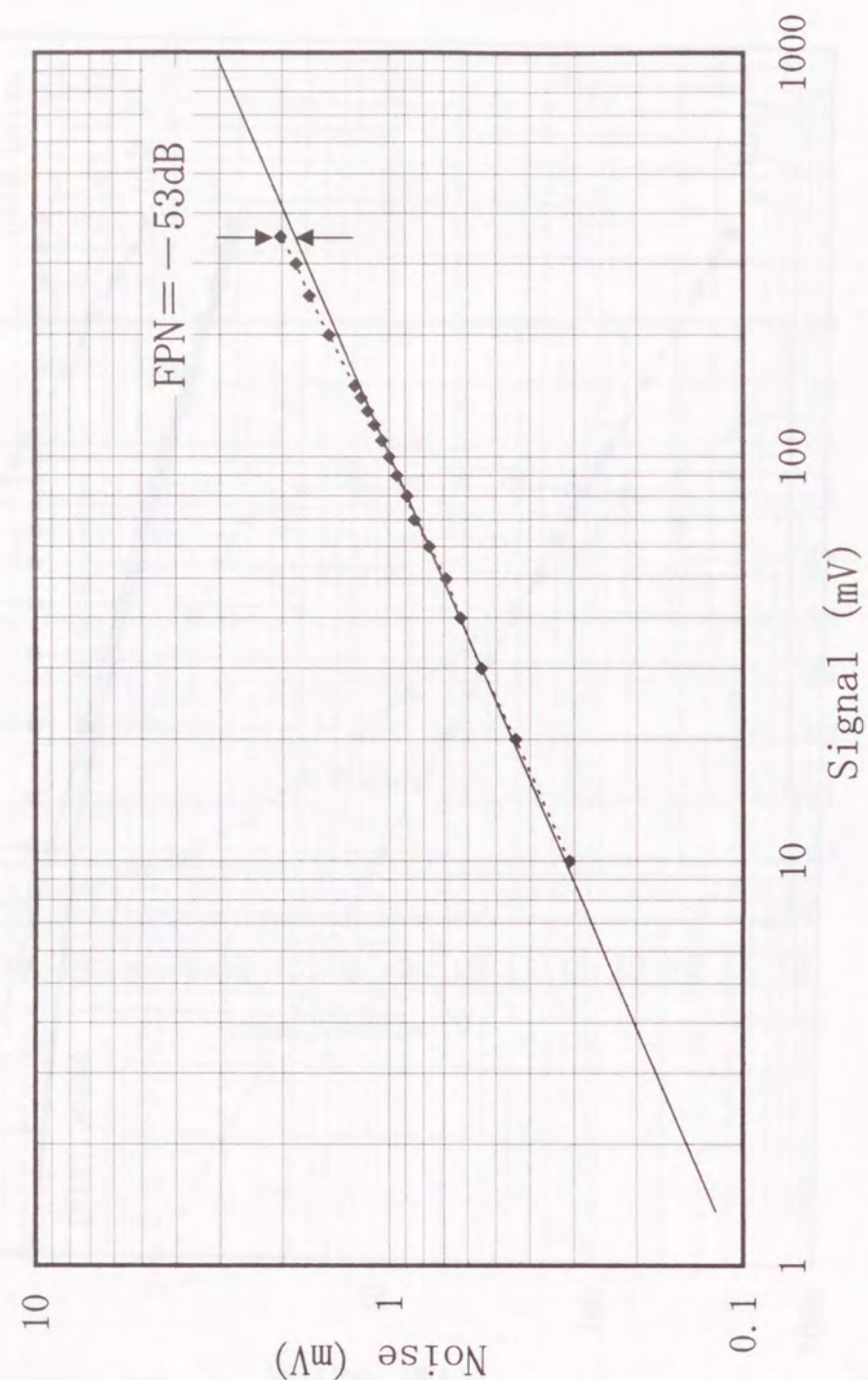


Fig. 30. Optical shot noise and signal-dependent fixed pattern noise. Dark noise is subtracted from total noise. This residual noise shows optical shot noise and signal-dependent fixed pattern noise (FPN). FPN is about -53dB.

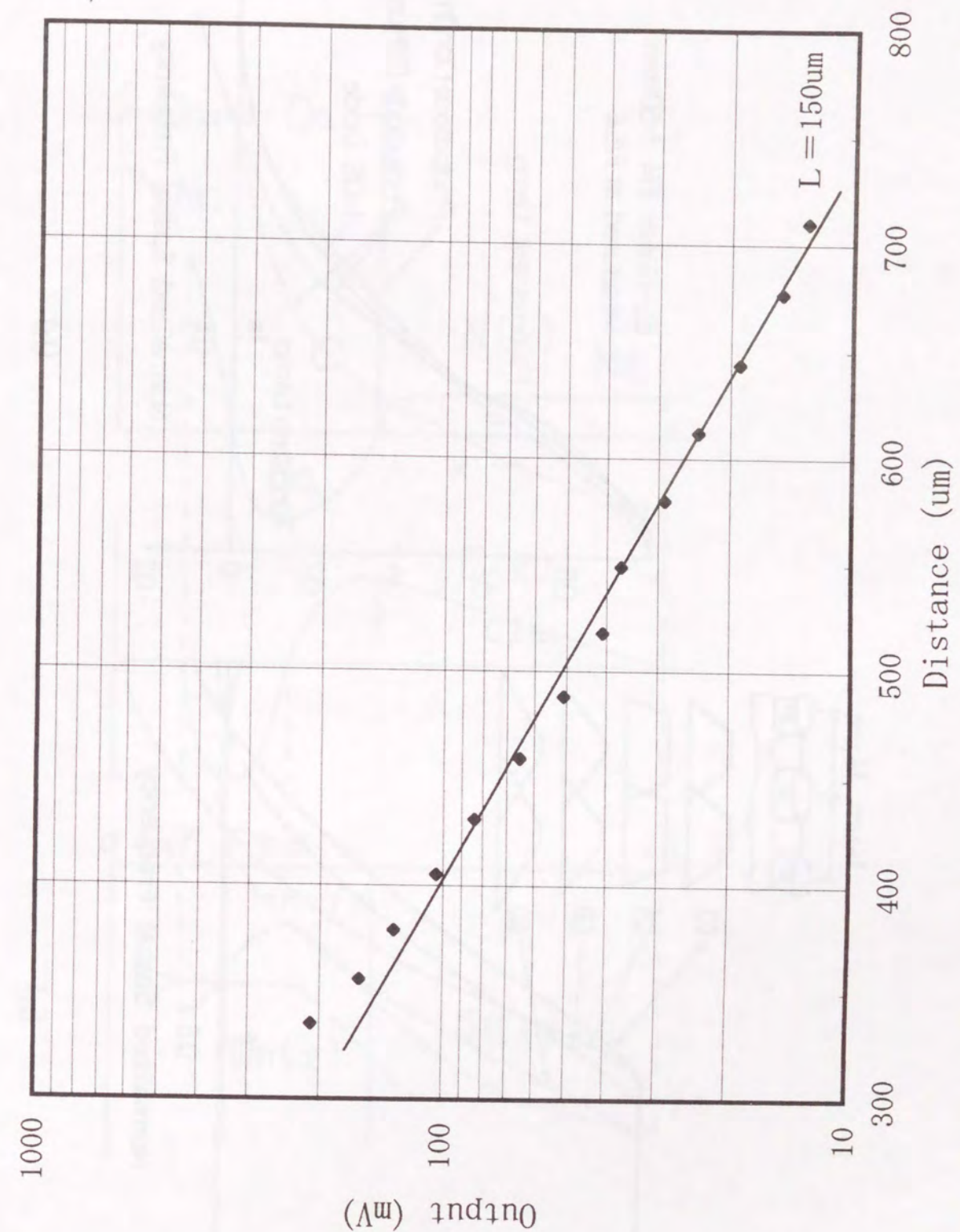


Fig. 31. Measured diffusion length of electron in P-substrate. Electrons are generated by impact ionization in dummy CCD output circuit and injected to substrate. Diffused electrons are captured in long CCD channel where many depleted potential wells are formed to collect diffused charge separately and then accumulated charge packets in the CCD channel are readout to output portion. Diffusion length L is measured about 150um.

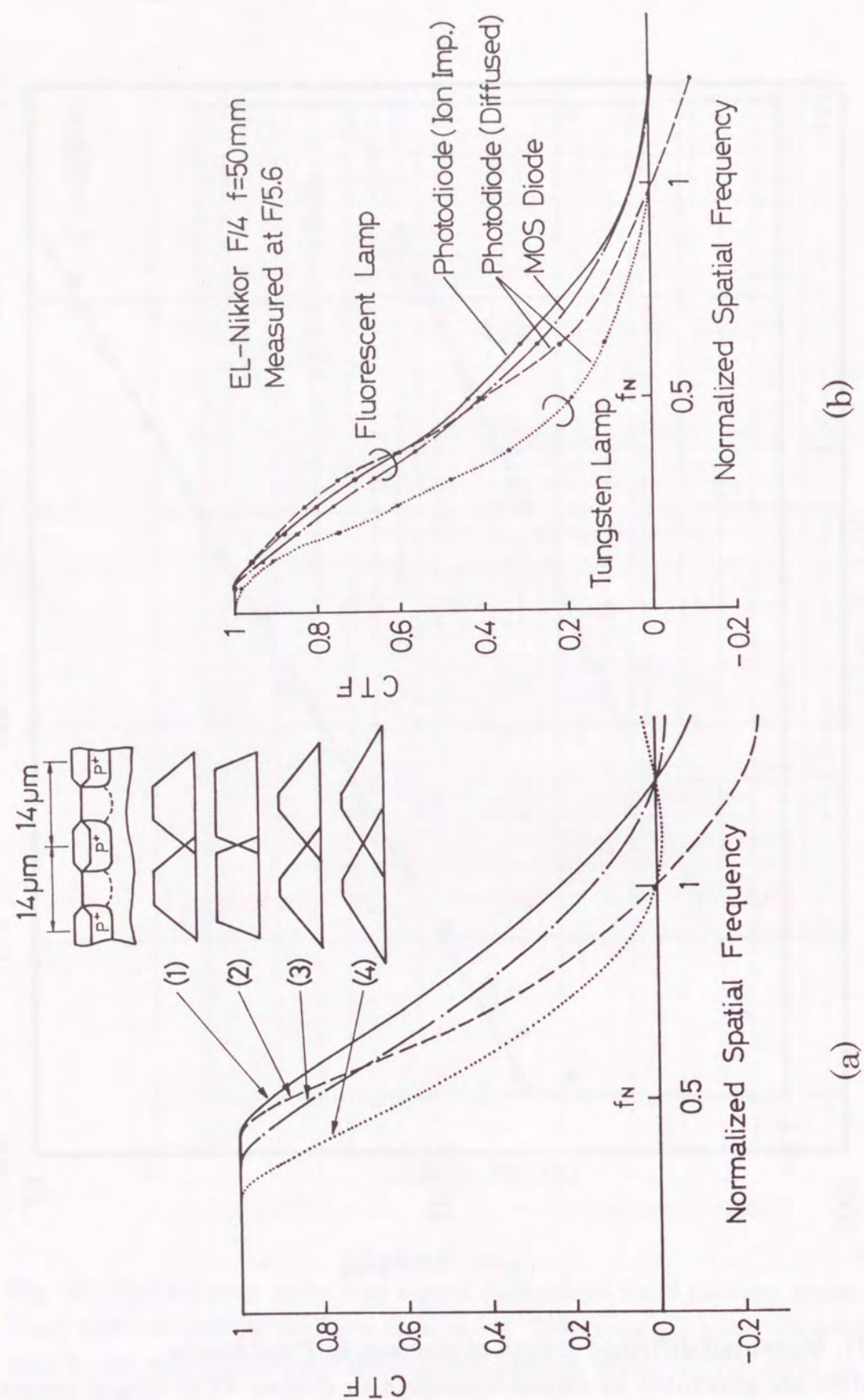


Fig. 32. Contrast transfer function (CTF), where (a) is calculated and (b) is measured. (a) shows calculated results of CTF for several sensitivity function of the pixel, which are illustrated in the figure. (b) shows measured CTF in linear CCD image sensor for several types of incident light and several photodiode structures.

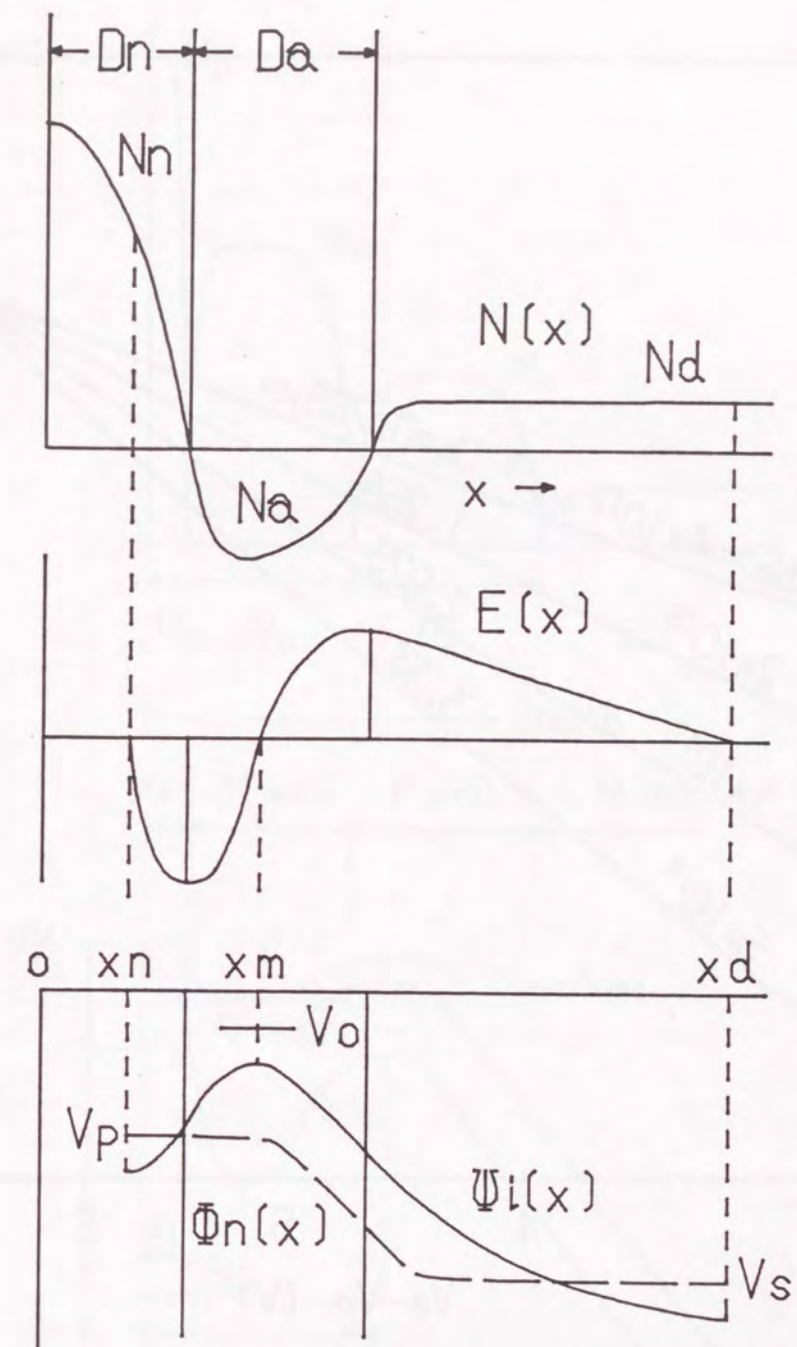


Fig. 33. Schematic profiles of $N(x)$, $E(x)$, $\Psi_i(x)$, and $\phi_n(x)$ in NPN^- photodiode. $N(x)$ is impurity concentration, $E(x)$ is electric field, $\Psi_i(x)$ is intrinsic potential, and $\phi_n(x)$ is quasi-Fermi potential.

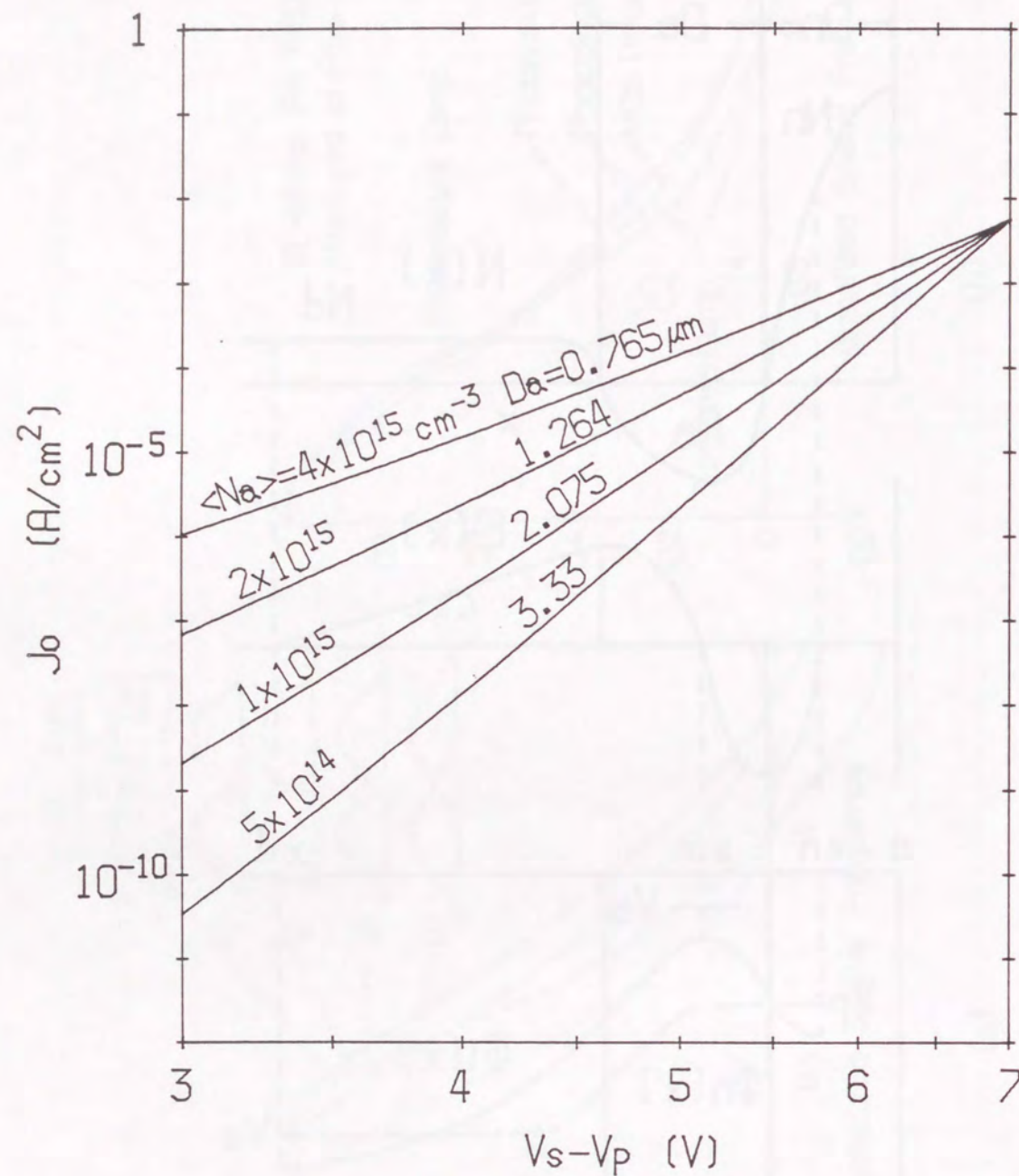


Fig. 34. Calculated Overflow current density (J_o) vs. potential difference between N-well and N-substrate ($V_s - V_p$) for different types of P-well. Results are shown in log-log scale, and condition is $N_n = 5 \times 10^{16} \text{ cm}^{-3}$, $N_d = 2 \times 10^{14} \text{ cm}^{-3}$, and $V_s = 10\text{V}$.

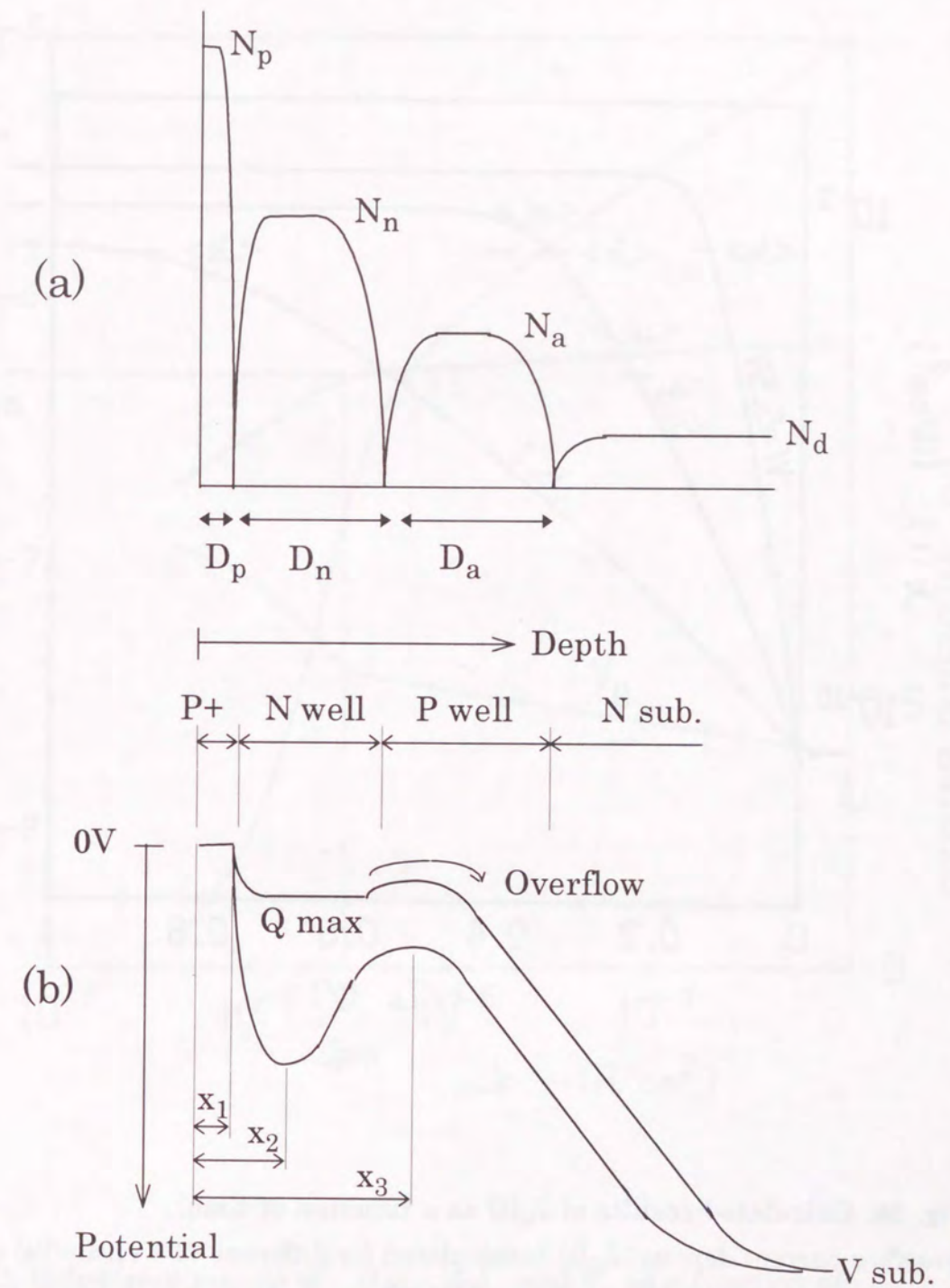


Fig. 35. (a) shows $N(x)$, and (b) shows $\Psi_i(x)$ in P^+NPN^- structure of the photodiode. $N(x)$ is vertical profile of concentration, and $\Psi_i(x)$ is the profile of intrinsic potential.

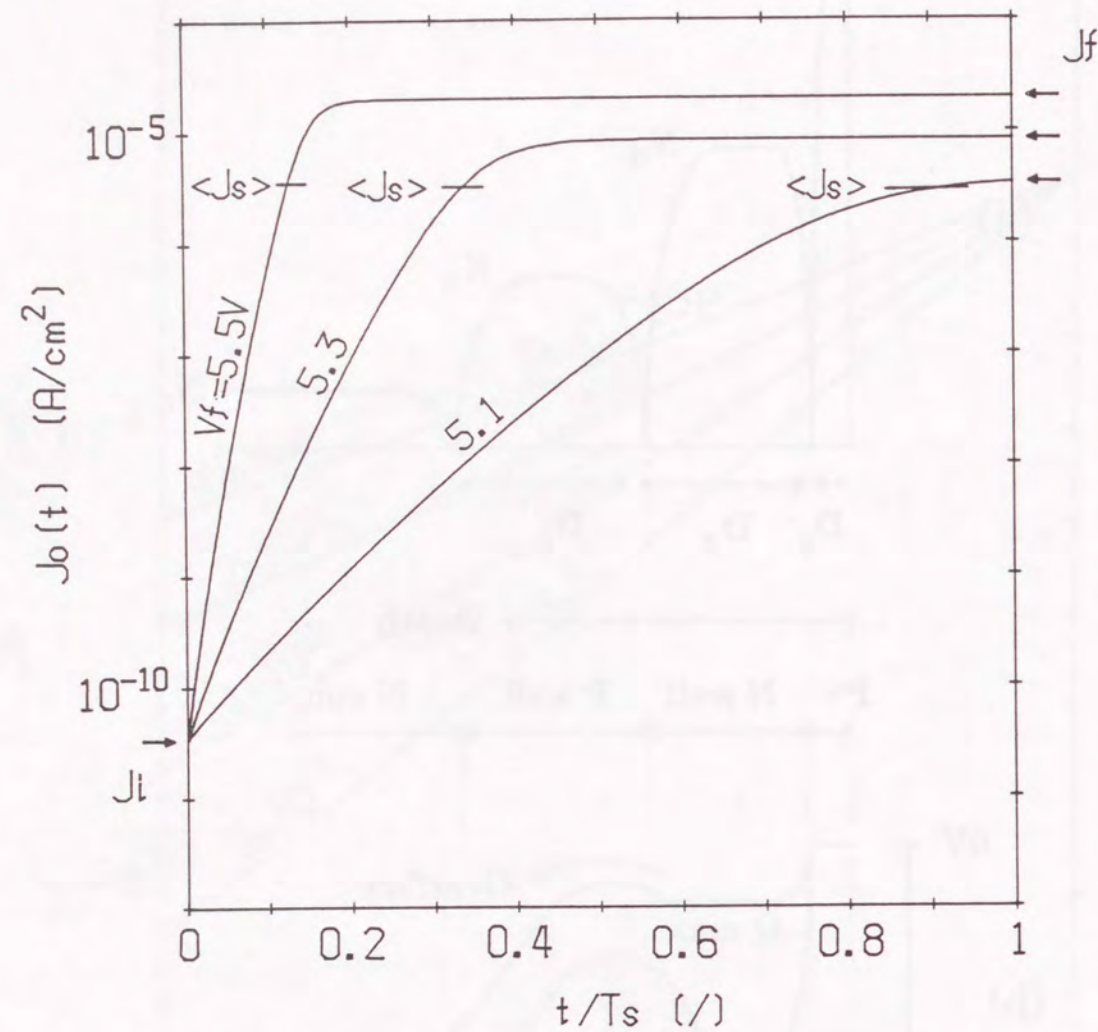


Fig. 36. Calculated results of $J_O(t)$ as a function of time.

Overflow current density: $J_O(t)$ is calculated for different $V_f \equiv V_{ps}(t=T_s)$ values. Condition is $N_p=2 \times 10^{17} \text{ cm}^{-3}$, $N_n=5 \times 10^{16} \text{ cm}^{-3}$, $N_a=5 \times 10^{14} \text{ cm}^{-3}$, $N_d=2 \times 10^{14} \text{ cm}^{-3}$, $D_n=0.422 \mu\text{m}$, $D_a=3.33 \mu\text{m}$, $V_s=10\text{V}$, $V_i \equiv V_{ps}(t=0)=3\text{V}$ and $T_s=1/60\text{s}$.

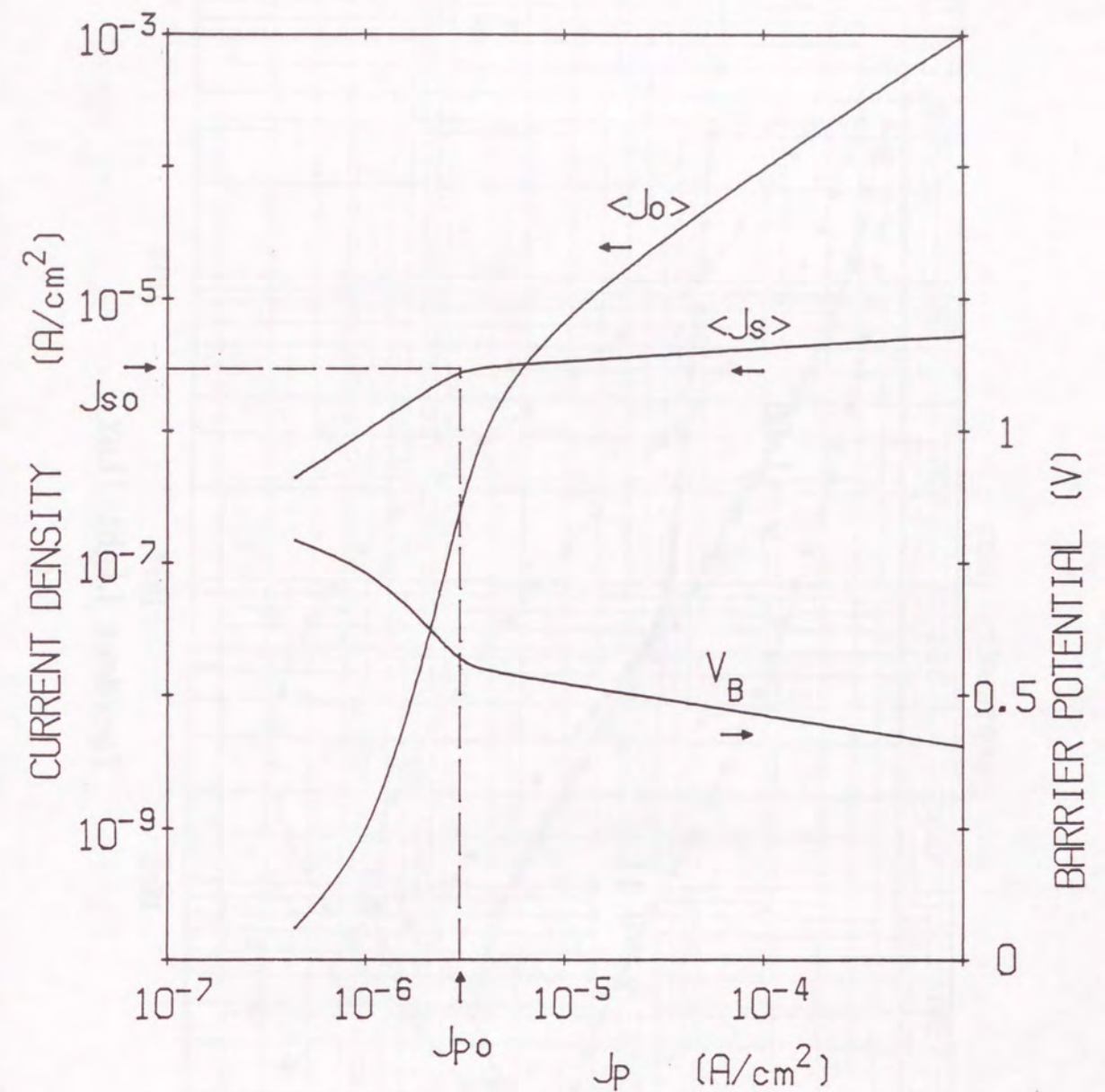


Fig. 37. Calculated results of $\langle J_s \rangle$, $\langle J_O \rangle$, and V_B as a function of J_p .

$\langle J_s \rangle$ is mean signal current density, $\langle J_O \rangle$ is mean overflow current density, and V_B is intrinsic potential barrier as a function of photo-current density J_p . Condition is $N_p=2 \times 10^{17} \text{ cm}^{-3}$, $N_n=5 \times 10^{16} \text{ cm}^{-3}$, $N_a=5 \times 10^{14} \text{ cm}^{-3}$, $N_d=2 \times 10^{14} \text{ cm}^{-3}$, $D_n=0.422 \mu\text{m}$, $D_a=3.33 \mu\text{m}$, $V_s=10\text{V}$, $V_p(\text{initial})=7\text{V}$, and $T_s=1/60\text{s}$.

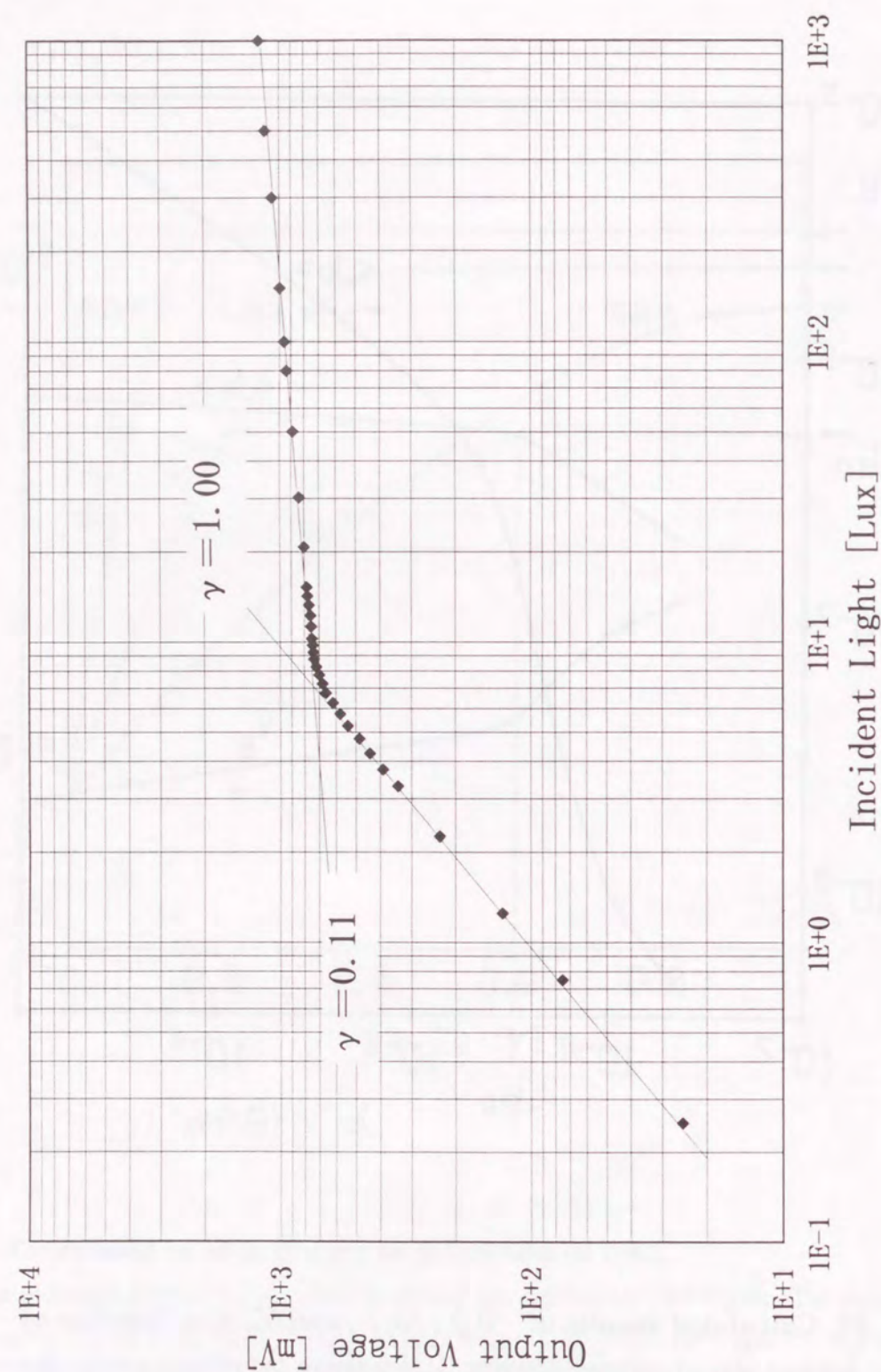


Fig. 38. Experimental result of overflow characteristic.
The device to measure is 1/3" 410K-pixel CCD image sensor which pixel size is $6.4(\text{H}) \times 7.5(\text{V}) \mu\text{m}$.

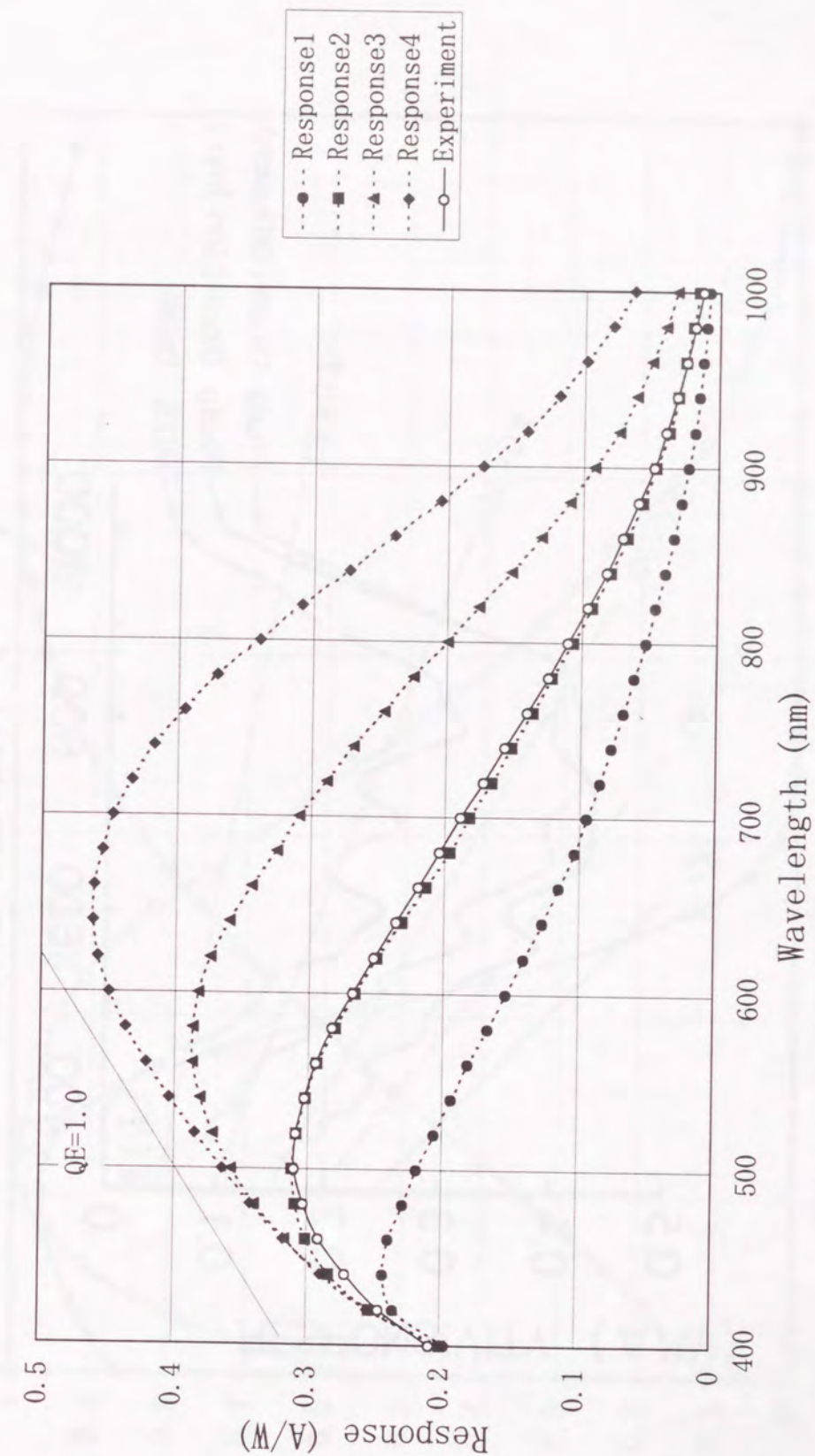


Fig. 39. Calculated and experimental spectral responses of the photodiode.
Effective depth of each calculation is as follows ; Response 1 : $0.1-1.0 \mu\text{m}$, Response 2 : $0.1-2.0 \mu\text{m}$, Response 3 : $0.1-4.0 \mu\text{m}$, Response 4 : $0.1-8.0 \mu\text{m}$. The device to measure is 1/3" 270K-pixel CCD image sensor that pixel size is $9.6(\text{H}) \times 7.5(\text{V}) \mu\text{m}$, and this result is quite similar to Response 2.

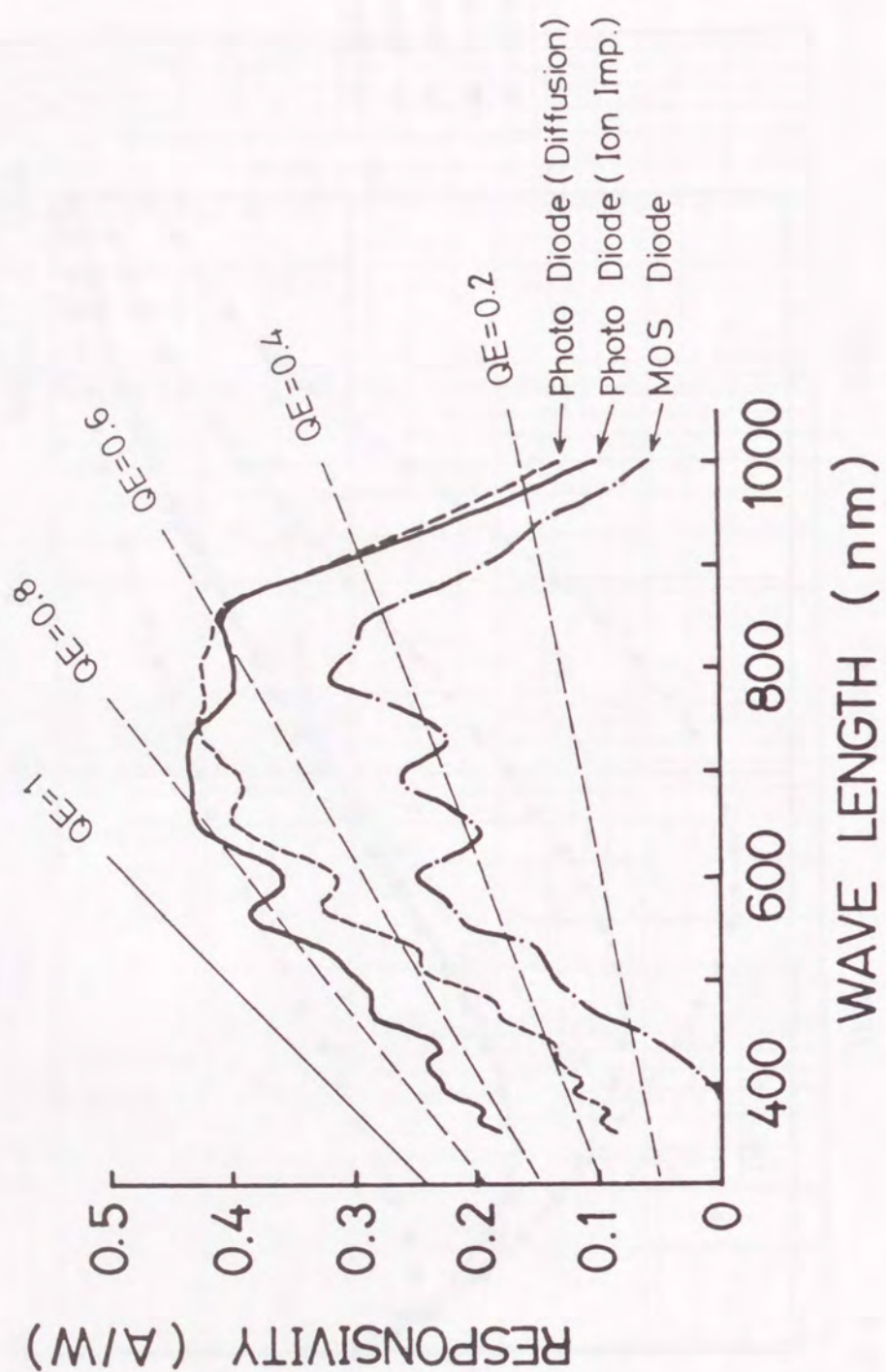


Fig. 40. Measured absolute spectral response of 2048-pixel CCD linear image sensor. Constant-energy monochromatic light is input, and CCD output is transformed to signal charge and normalized per unit area and unit period, then quantum efficiency is calculated.

Typical Spectral Response of 1/3"320K CCD

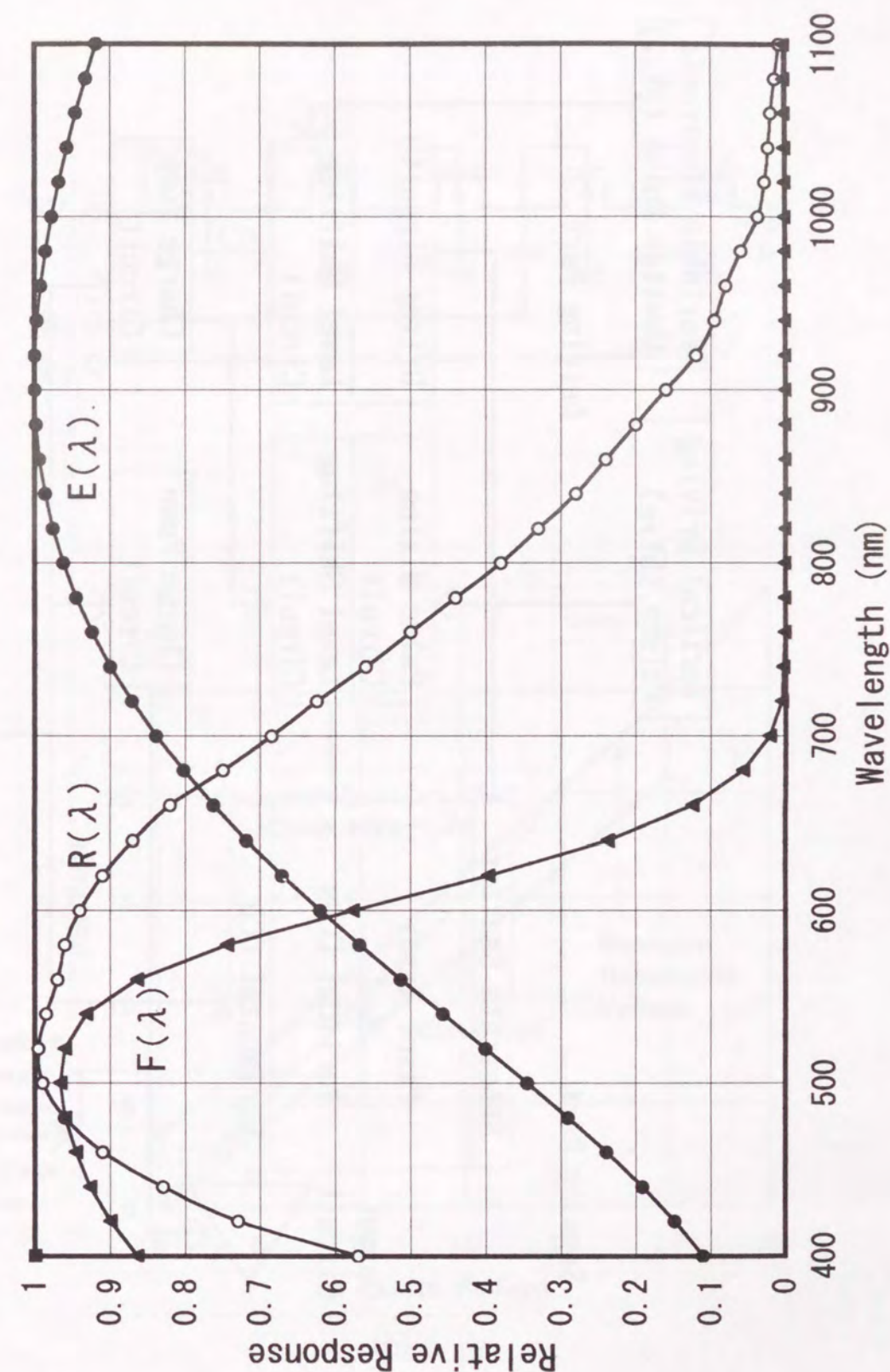


Fig. 41. $R(\lambda)$ is measured relative spectral response of 1/3-inch 320-K pixel CCD area image sensor. Spectra of 3200K input light source and IR cut filter are also shown by curves $E(\lambda)$ and $F(\lambda)$ respectively. Quantum efficiency is calculated from those results.

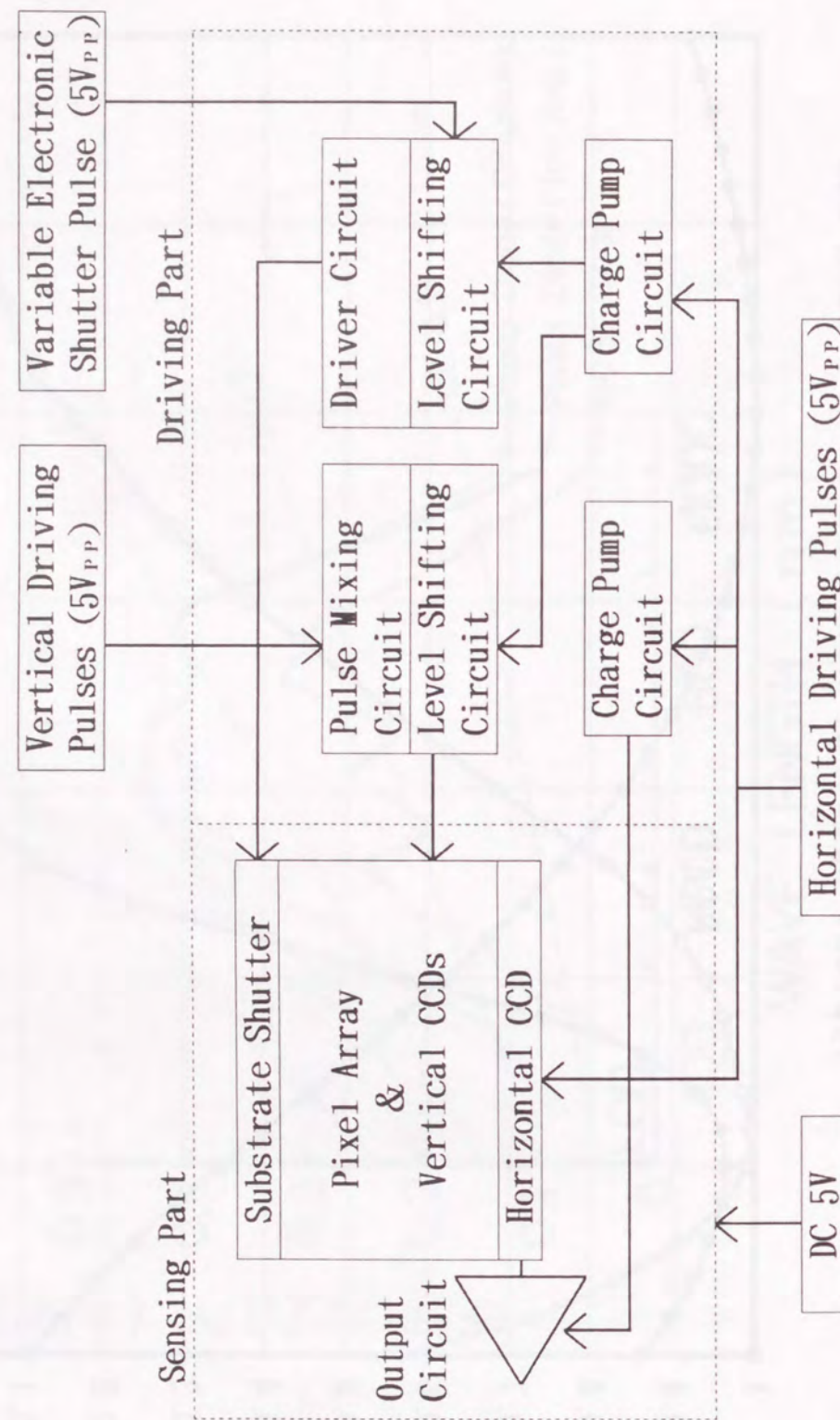
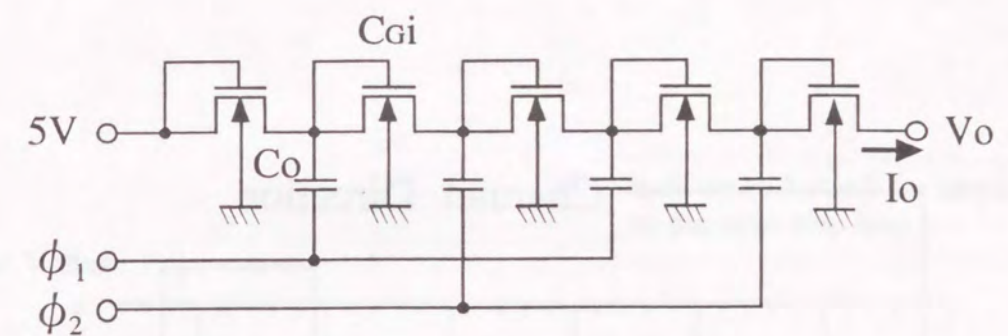
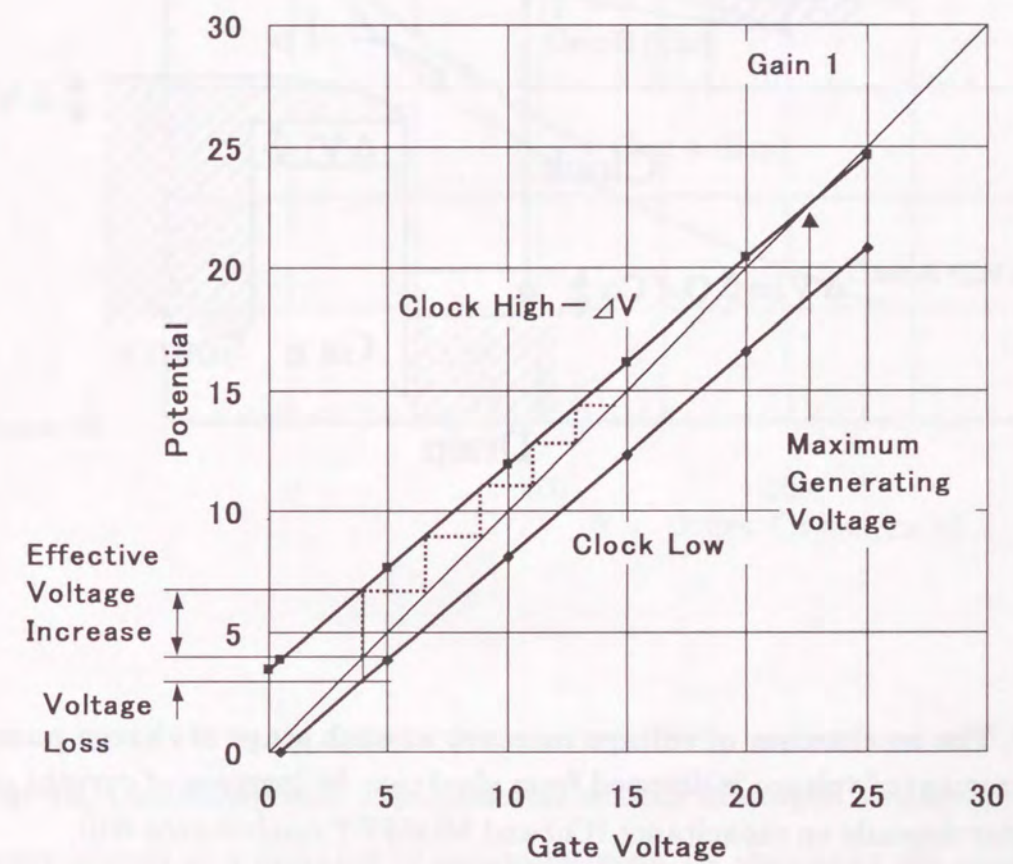


Fig. 42. Block diagram of 5V-only CCD image sensor.

The device consists of sensing part and driving part. All driving power supplies including DC and AC are 5V only.



(a)



(b)

Fig. 43. Charge pump circuit. (a) is schematic diagram and (b) is potential relations of the circuit. Each stage consists of a MOSFET and a capacitor. Maximum output voltage depends on clock swing and potential gradient.

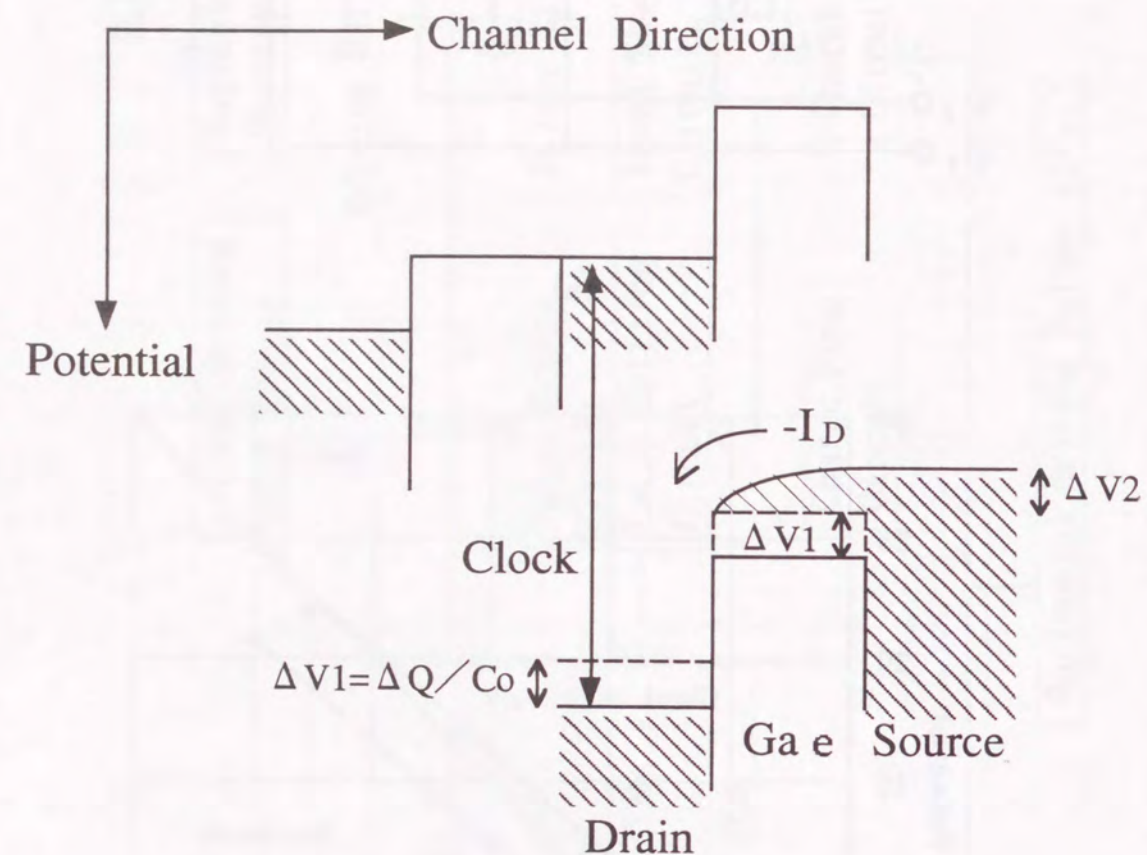


Fig. 44. The mechanism of voltage increase at each stage of charge pump. The increment of voltage is dropped from ideal case by increase of current and this factor depends on capacitance (C_o) and MOSFET conductance (I_D).

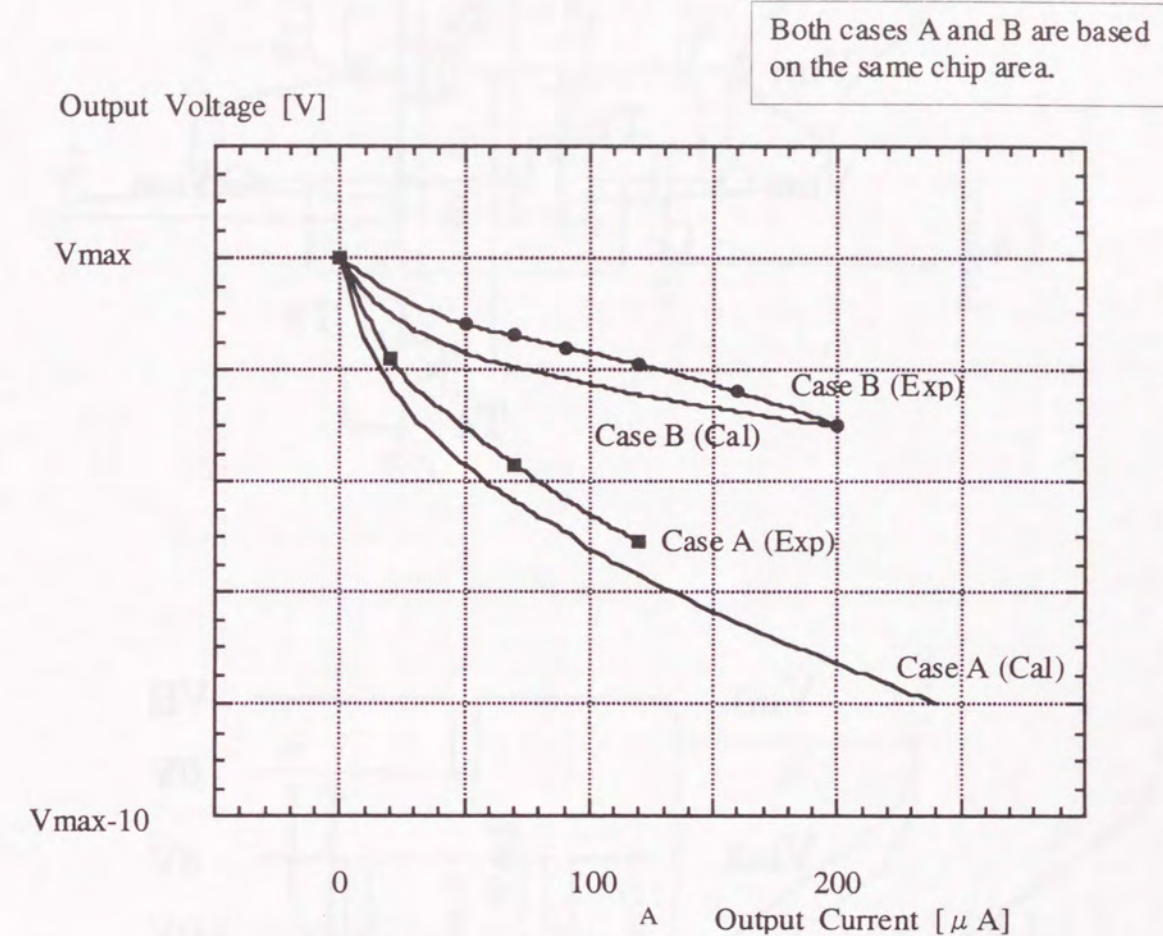


Fig. 45. Calculated and experimental results of output voltage in charge pump circuit as a function of output current. By increasing the conductance of MOSFET, voltage drop and hence power efficiency is improved.

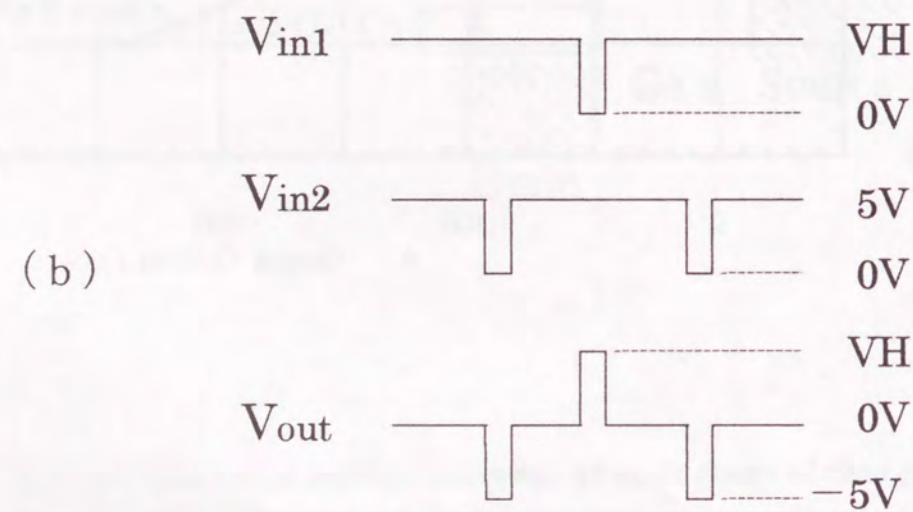
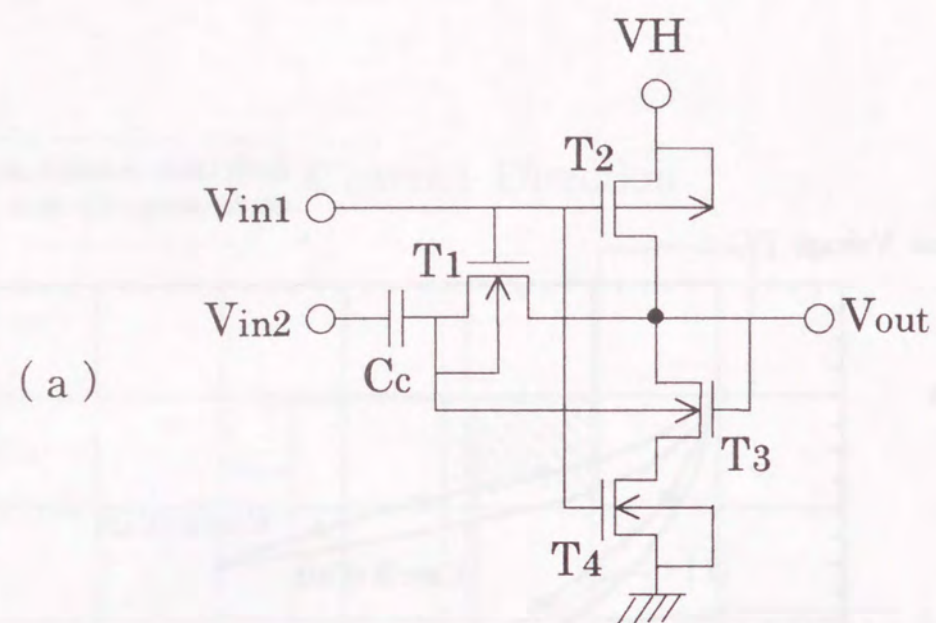


Fig. 46. Pulse mixing circuit, where (a) is circuit diagram, and (b) is timing diagram. The circuit consists of p-channel and n-channel MOSFETs and a capacitor.

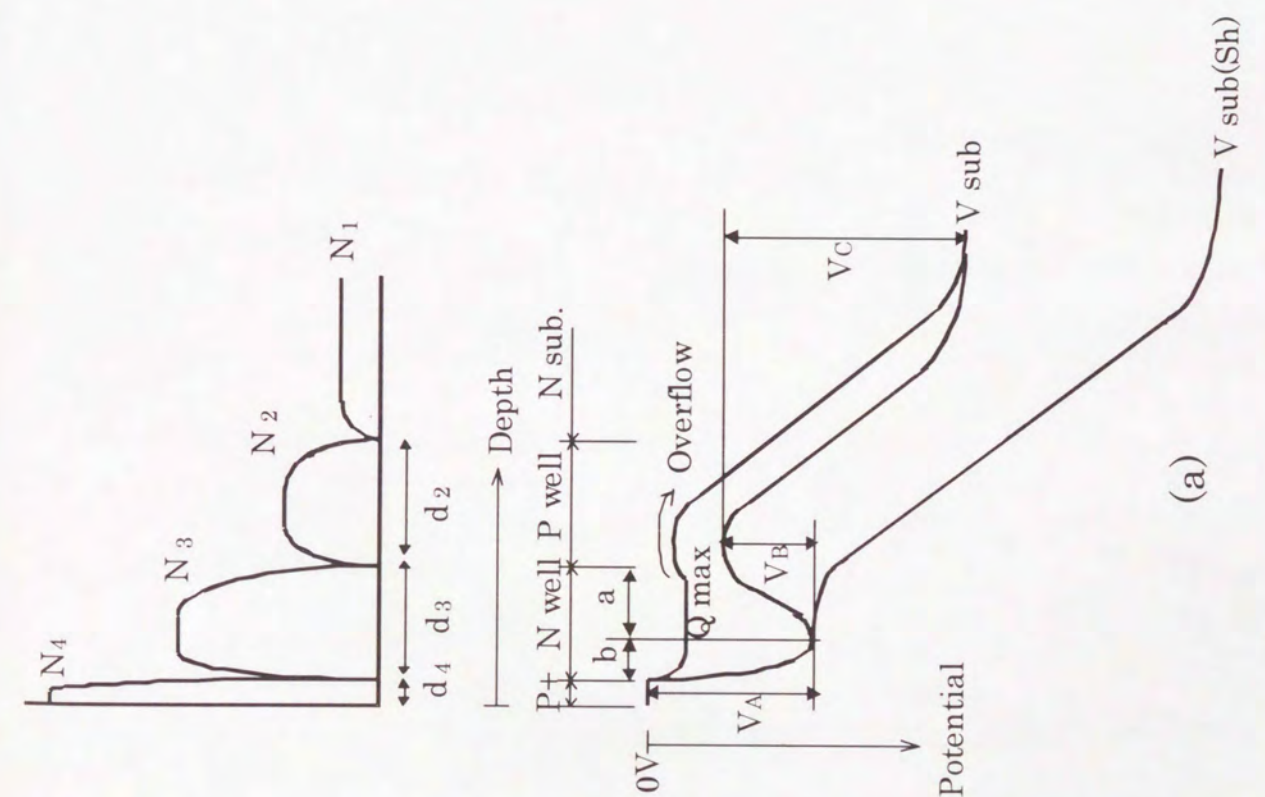
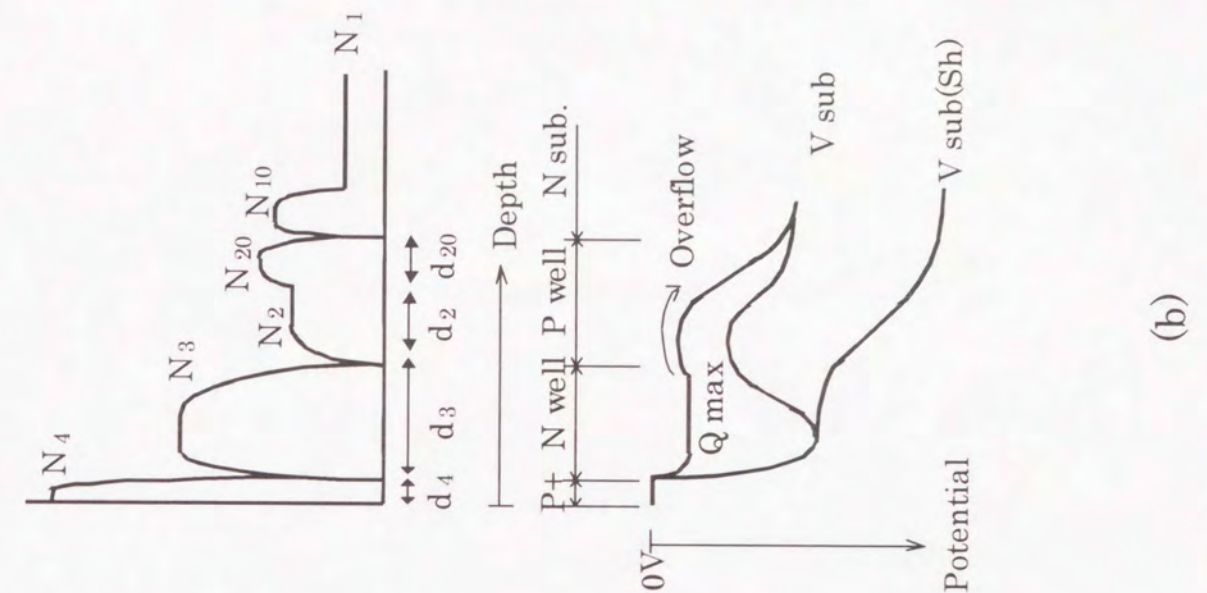


Fig. 47. Shutter pulse lowering effect. (a) is conventional impurity concentration and potential profile, and (b) is new ones. V_{sub} and V'_{sub} are the normal substrate voltage at the overflow condition, and $V_{sub}(Sh)$ and $V'_{sub}(Sh)$ are the substrate voltage at the electronic shuttering.

Forschung für Rauscharme, Hochempfindliche Bildaufnahme mit CCDs

Abstrakt

Durch die Anwendung der folgenden neuen Methoden wird ein hohes Signal-Rausch Verhältnis bei der Bildaufnahme mit CCDs bewirkt:

- 1) Durch einen einzigartigen neu entwickelten Reset Transistor wird eine rauscharme Ladungsmessung erreicht, wodurch das Reset-Rauschen drastisch reduziert wird. Dabei bewirkt ein von der Detektor- zur reset Kollektor Elektrode monoton steigendes Potential, daß die Rauschladungen zum großen Teil über den reset Kollektor abfließen und nicht übermäßig zum kTC Rauschen beitragen.
- 2) Mit Hilfe von Untersuchungen an "Buried Channel" MOS Transistoren wurde ein sehr rauscharmer MOS Verstärker entwickelt. Rauscharme Operationen sind nicht nur erforderlich, um den "Buried Channel" Modus zu erreichen, sonder auch um nicht in den Bereich der schwachen Inversion zu geraten.
- 3) Zur Rauschunterdrückung wurde eine Technik entwickelt, bei der spezielle Schaltkreise in die CDS Methode integriert werden. Dabei wird hochfrequentes Rauschen unterdrückt, indem es in niederfrequentes Rauschen umgewandelt wird.
- 4) Durch physikalische Analysen der VOD (Vertical Overflow Drain) Struktur konnte diese Methode optimiert werden, wodurch wir eine hohe Empfindlichkeit der CCD Bildsensoren erreicht haben.
- 5) Wir haben eine einzigartige Technik eingeführt, die es ermöglicht, den CCD chip mit nur einer Spannung von 5V zu betreiben. Damit haben wir den einzigen Schwachpunkt von CCD Sensoren, nämlich die Versorgung mit mehreren unterschiedlichen (hohen) Spannungen, überwunden.
- 6) Eine einzigartige senkrechte Struktur unterhalb der Photodiode wurde entwickelt, wodurch die VOD Spannung drastisch reduziert und gleichzeitig die Pixelgröße verringert wird, was zu CCDs mit sehr hoher Auflösung bei kleinem optischen Format führt.

Durch Anwendung dieser neuen Techniken sind CCDs zu beinahe idealen Bildsensoren geworden.

要旨

信号対雑音比を高めた高画質撮像が、電荷結合素子(CCD)を用い、下記新技術を開発することにより、達成された。

- (1) リセットトランジスタの形状を工夫することにより、チャンネル内にポテンシャル勾配を形成し、リセットノイズを大幅に低減、これにより低ノイズ電荷検出を達成した。
- (2) 埋め込みチャンネル型の金属/酸化膜/半導体(MOS)構造におけるノイズの詳細な解析から、埋め込みチャンネルモードの達成と弱反転領域の回避により超低ノイズ動作を実現、低ノイズのMOS型増幅器を開発した。
- (3) 優れたノイズ抑圧技術である相関2重サンプリング法で課題であった、高域ノイズが低域ノイズに変換される現象を独自の積分回路の導入で抑圧、一層の低ノイズ化を達成した。
- (4) 縦型オーバーフロードレイン(VOD)構造の物理学的解析からその最適化手法を考案、CCDイメージセンサの高感度化を容易にした。

CCDイメージセンサを応用する上で唯一課題であった、CCDを駆動するのに複数の比較的高い電圧源を必要とする点を、下記手法の導入により解決した。

- (5) チャージポンプ回路の高効率化、独自のパルス加算回路の開発及びシャッタ電圧低電圧化技術により、CCDを5V単一電源で駆動可能とした。
- (6) 新規受光部構造を導入することにより、小画素サイズでもVOD電圧を大幅に低下させることが可能になり、高密度CCDの実現を可能にした。

これら新技術の採用により、CCDイメージセンサはほぼ理想的な撮像素子になった。

1. 序説

撮像素子は、空間軸上の1次元ないし2次元画像情報を時間軸上で連続的に変化する電気信号に変換する。固体撮像素子は1960年代から多方面で開発が進められたが、それは光導電膜からなる撮像面を電子ビームでスキャンする撮像管に比べ、小型、低消費電力、衝撃や電磁場に強い、高信頼性・長寿命と言った特徴が期待されたからである。

固体撮像素子内では、外界の像を多数の画素(ピクセル)配列上に結像し、各画素では特定期間の間、入射フォトン信号電荷に変換し蓄積する。各信号電荷は電流増幅されてから連続的に読み出され、画像信号を形成する。それゆえ固体撮像素子は以下の機能を必要とする。

- (1) 画素内での光電変換と電荷蓄積
- (2) 電荷信号の増幅
- (3) 画素信号の読み出し

これら機能の組み合わせにより、固体撮像素子は以下の各種に分類される。

1. 直接読み出し型イメージャ
 - 金属/酸化膜/半導体(MOS)型
 - 電荷注入素子(CID)型
 - 電荷結合素子(CCD)型
2. 画素内増幅型イメージャ
 - バイポーラトランジスタ型
 - MOSトランジスタ型
 - 静電誘導トランジスタ型

直接読み出し型イメージャでは、画素からの信号電荷を直接読み出し、出力部で増幅する。他方、画素内増幅型イメージャでは、信号電荷を画素内で増幅した後、読み出す。

図1に示すMOS型イメージャ[1]は、各画素内に1個のスイッチ用MOSトランジスタを含み、そのソース電位は浮遊状態であり、フォトダイオードの役割をする。フォトダイオードに入射したフォトン信号電荷を発生する。各フォトダイオードに蓄積された信号電荷は、素子上の垂直走査回路及び水平走査回路により順次選択されるMOSスイッチにより、連続的に読み出される。MOSイメージャは、構造は簡単だが信号電荷読み出し時に垂直信号線全体が負荷となるため、大きな負荷容量によるS/Nの劣化が避けられない。(後述するように、読み出しノイズは負荷容量の平方根に比例する。)固体撮像素子が民生用VTRカメラに最初に搭載されたのはMOS型[2]であったが、このS/Nの問題から、直後に登場したCCD型に市場を奪われた。

図2に示すCID型イメージャ[3]は、各画素内にMOSダイオードとMOSゲートを含む。MOSダイオードで光電変換・蓄積された信号電荷は、素子上の垂直走査回路及び水平走査回路により順次基板内へ少数キャリアとして注入される。注入された電荷は基板内で再結合し、この時基板を流れる再結合電流が信号電流となる。CIDイメージャも大きな負荷容量を持つためS/Nが悪い。さらに再結合過程の時間定数が大きい(数10 μ sec)ため高速読み出しができない。

図3に示すCCD型イメージャは、各画素にフォトダイオードないしMOSダイオードを有し、各ダイオード内で光電変換された信号電荷は、シフトゲートにより垂直CCDに一斉に移動され、垂直及び水平CCDにより順次出力部へ転送される。CCDの出力部は単一であり低容量とすることが容易であるから、極めて低ノイズかつ高ゲインとすることができる。CCDの出現[4]以降、それまでに存在した固体撮像素子はこのS/Nの点から、すべてCCD型に置き換えられてしまった。

図4に示す画素内増幅(APS)型イメージャでは、ダイオードで光電変換された信号電荷は各画素内で増幅された後、素子上の垂直走査回路及び水平走査回路により順次読み出される。画素内での増幅は、バイポーラ型、MOS型、SIT型等のトランジスタにより行われる。最初のAPS型イメージャはバイポーラ型のフォトリソグラフィを用いたもの[5]で、光電流をベース電流とすることにより、 h_{FE} だけ増幅されたコレクタ電流を信号電流として読み出す。他のタイプのAPS型素子として、画素内に増幅、リセット、選択の各機能をそれぞれ行う複数のMOSトランジスタを用いたイメージャ[6]が提案された。

APS型イメージャのアンプゲインをAとすると、画素から見た出力負荷容量は1/Aに減少する。従って読み出しノイズは無視可能なレベルとなる。しかしながらAPS型イメージャでは画素毎の特性バラツキが避けられず、これらが固定パターンノイズ(FPN)となり、画質を大きく劣化させる。にもかかわらず最近APSは復活した[7]。それは画質よりも低消費電力、低コスト、多機能などを求める用途向けである。

[本論文の狙い]

CCDイメージャは本質的に高画質用途に適しているが、更に高画質化のための技術を導入することにより理想的なイメージャに近づけることが可能となる。本論文ではこれら高画質化のための独自技術について述べる。即ち、

- (1) 独自リセットトランジスタによる低ノイズ電荷検出器
- (2) 埋め込みMOSトランジスタの解析による低ノイズ増幅器の開発
- (3) 積分回路の導入によるノイズ抑圧回路技術

これら以外にも独自の低ノイズ化技術について述べる。

高性能イメージャには、感度と解像度も重要な特性である。本論文では、高感度化に有利な縦型オーバーフロードレイン(VOD)構造[8]の物理学的な解析から、VODの最適化手法を述べる。更に感度と解像度を高めるための他の解析についても述べる。

理想的なイメージャでは光電変換に伴うショットノイズのみが存在する。上記新技術の採用によりCCDはほぼ理想的なイメージャとすることが可能になった。

民生用途では、CCDが多数の比較的高い電圧源を必要とすることが唯一の難点であった[9]。本論文では、CCDを5V単一電源で駆動可能とする新規技術についても述べる。また、画素サイズの縮小に有効な新規受光部構造を開発し、これにより高密度CCD撮像素子が可能になることも示す。

2. CCDイメージャ概観

2-1. CCDの動作原理

図5に示すMOS構造では、メタル電極に電圧 V_G を印加することにより半導体基板側に空乏層を形成する。この空乏層はイオン化した格子の空間電荷を有するため、ポテンシャル井戸が形成される。ポテンシャル分布 $\phi(x)$ は、下記ポアソンの式を解くことにより求められる。

$$\frac{d^2}{dx^2} \phi(x) = -\frac{\rho(x)}{K_s \epsilon_0} \quad (2-1)$$

ここで、 $\rho(x)$ は空間電荷密度、 K_s は半導体の比誘電率、 ϵ_0 は真空の誘電率を表す。空乏層領域では電子と正孔の濃度はドナーないしアクセプタ濃度に比べ無視できるから、次のように近似できる。

$$\rho(x) = -qN(x) \quad (2-2)$$

ここで $N(x)$ はドナーないしアクセプタ濃度である。これを空乏層近似と呼ぶ。

信号電荷がこの空乏層に導入されると、電荷はポテンシャル井戸の底に保持される。しかしながら空間電荷領域は非平衡であり、この領域内で熱励起により発生する電荷および周辺の中性化領域から拡散により流入する電荷により、信号電荷は汚される。この流入電荷を暗電流と呼ぶ。

半導体の極性が表面から基板側まで単一の場合、 $\rho(x)$ は単一極性となり $\phi(x)$ は単調に変化するから、ポテンシャルの底は表面に形成される。これを表面型と称する。半導体の表面領域に基板と逆極性の不純物層を形成することにより、 $\rho(x)$ は基板側と不純物層との間で極性が反転するから $\phi(x)$ は不純物層内で極小点を形成し、ポテンシャルの底は表面から基板側にシフトする。これを埋め込み型と称する。図 6 (a), (b) に表面型と埋め込み型をそれぞれ示す。

ボイルとスミスにより示された CCD の概念 [4] は、半導体表面に狭い隙間において並べられた MOS キャパシタが、図 7 に示すように、電荷の蓄積と転送を可能とするものであった。これら電極にパルス電圧を印加することにより半導体内に空乏層、即ち空間電荷領域を形成する。従って電極に適当な手順でパルス電圧を印加すれば、半導体基板側に、順次移動するポテンシャル井戸が形成される。この移動するポテンシャル井戸をチャネルと呼び、電荷束が適当な方法、例えば図 7 に示すような光学的生成などでここに導入されると、電荷束はポテンシャル井戸の移動に対応してチャネル内を蓄積・移動する。こうして電荷束は CCD チャネル内を転送され、最終的に出力部で検出される。信号電荷は暗電流により汚されるから、CCD は本質的に非平衡動作である。

電荷転送が不完全であると、信号電荷の一部がチャネル内に残留する。転送不良の主要な原因は、界面準位とバルクトラップである。しかしながら最近の CCD では埋め込みチャネル型を採用しているため、信号電荷はバルク内を転送され表面の影響を受けない。バルクトラップは結晶欠陥や重金属不純物が原因とされる。信号電荷の他の汚染源は暗電流であり、その原因も結晶欠陥、不純物、界面準位である。しかしながらシリコンプロセスは過去 30 年の間に大幅に向上してきた。今ではバルクトラップや暗電流は無視できる程になっている。

埋め込みチャネル中での電荷転送はほぼ完全であり、暗電流も極度に減少した。その結果、信号電荷は汚染されず元の値のまま出力部へ転送され、低ノイズで高ゲインのアンプにより増幅される。これにより、CCD は極めて低ノイズのデバイスとなった。

2-2. 応用

CCD は電荷転送素子の 1 種であり、適当なクロックパルスを印加することにより、信号電荷を制御された方法で半導体基板を横切って移動させる。従って CCD の基本的な機能は、(1) 離散的なアナログ信号を電荷束として扱う、(2) 転送クロックを制御することによりアナログ信号を正確に遅延する、の 2 つである。この基本動作を用いて CCD は次のような幅広い電子機能を実現する。

- i) 信号遅延：離散的な信号列を遅延したり加算したりすることにより、フィルタのようなアナログ領域での信号処理を可能にする。
- ii) メモリ：CCD 遅延線をループ状にして信号列を循環させることによりメモリとなる。
- iii) イメージセンサ：多数の光電変換要素を CCD 遅延線と組み合わせ、各要素信号を順次読み出してイメージ信号を形成することにより、イメージセンサとなる。

CCD の商品化では、これらの内、信号遅延とメモリはデジタル回路でも容易に実現することができたため、デジタル素子に取って代わられた。しかしながらイメージセンサでは、入射光信号は本質的にアナログ量であり、デジタル回路での実現には困難があった。CCD は離散的なアナログ信号を扱い、また低ノイズであることから、イメージセンサには極めて適していた。画素で光電変換された信号電荷は CCD により低ノイズ検出器まで転送され、ほぼ理想的なイメージセンサとして機能する。これにより CCD は撮像素子として残ることとなった。

2-3. 科学分野への貢献

イメージセンサとして優れた性質を持つ CCD は、科学分野の発展に多大の貢献をしている。超低光量での撮像分野では、長時間撮像により信号電荷量を確保し S/N を高めることが行われる。この場合、暗電流も増大してしまうが、暗電流は約 10 度低下する毎に 1/2 に減少するから、室温より数 10 度冷却して暗電流を抑える、冷却 CCD の手法 [10] が用いられる。本手法により極めて高感度な撮像が可能になり、更に各画素が 2 次元マトリクス状に配列されて画像処理に適していることから、現在では天体観測用望遠鏡の結像面は全てフィルムから CCD に置き換わっている [11]。

冷却 CCD は微弱光の観測が必要な他の科学応用分野、例えば生体発光の観察や半導体でのホットキャリア発生時の発光の解析などにも用いられる [12]。

CCD イメージャは可視光以外の波長スペクトル領域の撮像にも用いられる。ハッブル宇宙望遠鏡の場合、受光面に蛍光膜が形成されて紫外光にも応答し、全体では 115nm ~ 1100nm までの波長領域で撮像できる [13]。また他の CCD では受光面にショットキー接合が形成され、5 μ m 程度までの遠赤外領域を撮像可能とし [14]、人体の温度分布の解析などに用いられる。他方 CCD は X 線にも直接応答する [15]。日本の X 線観測衛星『あすか』にはこの X 線 CCD が用いられている [16]。

2-4. CCD イメージセンサの構成

CCD エリアイメージセンサの配列形式は、図 8 に示すように『フレーム転送型』と『インターライン転送型』とに分けられる。『フレーム転送型』は構造が簡単だが 2 つの弱点を有する。1 つは受光部を覆う半透明のポリシリコン電極が短波長光を吸収するため、青感度が低いことである。もう 1 つは撮像領域から蓄積領域へ画像情報をシフトする際、撮像領域は遮光されていないため、シフト時間内に発生する余分な電荷により画像情報が汚されるスミア現象が大きいことである。これらの点から最近の CCD イメージセンサはほとんどがインターライン転送型であり、以下ではこの型について議論する。

3. CCD でのノイズ

今まで述べたように CCD は撮像用途に適している。しかしそれは多くの技術革新を伴って初めて実現された。最も重要な課題はノイズ抑圧である。

CCD におけるノイズの起源は以下のように分類される。

- | | |
|--------------|---------------|
| 1). 光電変換ノイズ | — ショットノイズ |
| | — 生成再結合ノイズ |
| | — 光電変換不均一性ノイズ |
| 2). 転送ノイズ | — トラップノイズ |
| | — 転送損失ノイズ |
| | — 生成再結合ノイズ |
| 3). 検出・出力ノイズ | — リセットノイズ |
| | — 過剰 kTC ノイズ |
| | — ソースフォロワノイズ |
| 4). 外部回路ノイズ | — ノイズ抑圧回路ノイズ |
| | — 信号処理回路ノイズ |

3-1. 光電変換ノイズ

【ショットノイズ】 光電変換過程は 2 重にランダムなプロセスである。1 つはある光子が特定期間に特定受光領域に入射するか否かは完全に統計的なプロセスであることによる。もう一方は入射した光子が特定蓄積エリア内で光電変換するか否かが統計的なプロセスであることによる。(従来このような区分けはなされていなかった。) これらの結果、ある画素で光子から生成される信号電子数は、ポアソン分布に従う。ポアソン分布では標準偏差が平均値の平方根となるから、光電変換に伴うノイズを電子数で表すと、

$$\langle \Delta n_{\text{photon}} \rangle = \sqrt{n_{\text{photon}}} \quad (3-1)$$

となる。このノイズはショットノイズと呼ばれる [17]。ショットノイズのスペクトラムは白色で、シャノンのサンプリング定理により、 $-f_N$ から $+f_N$ までの周波数範囲で分布する。ここで f_N はナイキスト周波数であり、クロック周波数の 1/2 である。

【生成再結合ノイズ】 光電変換は通常、フォトダイオードないし MOS ダイオードで行われるが、これらダイオード内では暗時においてもわずかながら電荷が発生する。これが暗電流であり、その起源は次の 3 つが考えられる。(1) 空乏層内の不純物準位を介する生成再結合過程、(2) 空乏層端での拡散電流、(3) 界面準位を介して発生する電流。

最近の CCD では、図 9 に示すように、埋め込みフォトダイオード構造を採用している [18]。これにより界面準位は高濃度の正孔で満たされ不活性化される。これによりフォトダイオードの暗電流は 1/10 に低減する。更に現代の CCD では、図 9 に示すように、VOD 構造を採用している。これにより基板深部で発生する電荷は基板側へ排出され、拡散により表面活性領域へ流入することは防止される。結局、暗電

流はCCD部チャネル領域のバルク準位による生成のみが残る。

生成再結合過程の理論は、ホール[19]およびショックレイとリード[20]により確立された。GR センタ一から発生する暗電流 J_{GR} は次式で表される[21]から、我々は次のように近似化する。

$$J_{GR} = \frac{qn_i}{2\tau_0} x_d \propto N_t \cdot \cosh^{-1}\left(\frac{\Delta E}{kT}\right) \cdot \exp\left(-\frac{E_g/2}{kT}\right) \\ \propto N_t \cdot \exp\left(-\frac{E_g/2 + m|\Delta E|}{kT}\right) \quad (3-2)$$

ここで n_i は真性キャリア濃度、 τ_0 は空乏層内のキャリア有効寿命、 x_d は空乏層厚、 N_t はトラップ密度、 E_g は半導体バンドギャップ、 ΔE はトラップレベルと真性フェルミレベルとのエネルギーレベル差、 k はボルツマン定数を表す。 m は定数で、 $|\Delta E|/kT > 1$ の場合は約1、 $|\Delta E|/kT < 1$ の場合は1より小さい値となる。第2の式は暗電流の温度依存性がトラップ準位のエネルギーレベルに依存することを示し、またミッドギャップ付近の準位 ($\Delta E \approx 0$) が暗電流に最も寄与することを示す。

暗電流生成過程はランダムであるから、暗電流電荷 n_d もまたポアソン分布で表され、そのノイズ成分は $\sqrt{n_d}$ となる。画素毎の暗電流電荷のパラッキは固定パターンノイズとなり、更に特に大きな暗電流を生じる画素は白点欠陥となつて、撮像画質を著しく劣化させる。

図10はこの白点欠陥レベルの温度依存性を測定したものである。これより ΔE は0から0.06eVに分布しており、鉄のような重金属がトラップの原因と推定される[22]。

【光電変換不均一性ノイズ】 各画素の感度は以下の理由で必ずしも均一ではない。(1)有効開口面積が均一でない、(2)光学的有効深さが均一でない、(3)フォトダイオード上の多層膜での干渉効果が均一でない、(4)各画素毎に設けられたマイクロレンズの集光率が均一でない。これら不均一性は画素ごとに一定のため画面に張り付いた固定パターンノイズとなり、画質を劣化させる。不均一性 ΔR は応答 R に比例するから、その比: $R/\Delta R$ は、飽和未満で光量によらず一定となる。

3-2. 転送ノイズ

【トラップノイズ】 現在のCCDイメージャは埋め込みチャネル型であり、信号電荷は表面の影響を受けない。更にゲッタリング技術やウルトラクリーン技術により、最新のIC製造プロセスはCCDチャネルにバルク不純物をほとんどもたらさない。その結果、実用的なCCDイメージャにおいてトラップノイズはほとんど問題にならなくなった。しかしながらある条件では、信号電荷が表面に到達し、大きな転送損失と表面トラップノイズが発生する。この条件の境界を表面限界と呼び、測定結果を図11に示す。

【転送損失ノイズ】 非転送効率 ϵ が信号量に依存せず一定とすると、各転送でのゆらぎは各々独立となり、平均2乗ゆらぎが加算される。全転送損失のゆらぎ Δn_{tr} は次式で表される。

$$\langle \Delta n_{tr} \rangle = \sqrt{(2\epsilon N_{tr} n_{sig})} \quad (3-3)$$

ここで ϵ は1転送当りの転送損失、 N_{tr} は転送段数、 n_{sig} は信号電荷束の電子数を表す。最近のCCDでは $\epsilon < 1 \times 10^{-5}$ であり[23]、また通常の素子では $N_{tr} \approx 1 \times 10^3$ であるから、転送ノイズを光学的ショットノイズと比べると、1/7以下となり、問題無いレベルである。

【生成再結合ノイズ】 埋め込みチャネル型CCDにおいてもSi/SiO₂界面は空乏化しているから、界面準位を介する生成再結合プロセスにより暗電流が発生する。しかしながらこの暗電流は、界面準位を正孔で埋めることにより大幅に低減できる。図12において、ゲート電圧 V_G を $V_G(L)$ まで低下させると、表面ポテンシャル ϕ_s は基板ないしチャネルストップ電位(0V)に到達し、多数の正孔が界面に注入される。界面準位は正孔により埋められ不活性化されるから、これによる暗電流は抑制される。この方法はピンニング法と呼ばれ、図13では $V_G(L) = -8V$ のところで実現される[24]。

図13において、ゲート電圧を常時 $V_G(L) = -8V$ に固定する必要は無い。電荷が表面に到達すると、界面準位にきわめて短時間(1ns以下)で捕獲される[25]。その後、捕獲された電荷は、界面準位の全スペクトラムに対応する広い範囲の時定数で徐々に放出される。放出時定数は次のように見積もられる。まず $t=0$ で全ての界面準位が電荷で埋められるとする。バンド端からエネルギーレベル E だけ離れた界面準位における $t>0$ での電荷放出は次式で表される[26]。

$$dn_{ss} = -v_{th} \sigma_n N_c n_{ss} \exp(-E/kT) \quad (3-4)$$

ここで n_{ss} はトラップされた電荷数、 v_{th} は熱速度、 σ_n は電荷の捕獲断面積、 N_c はバンドの状態密度、 E は最近接バンド端からのエネルギー差、をそれぞれ表す。時間 t 後に界面準位に捕獲されている電荷数は、以下に示す時定数 τ_e で指数関数的に減少する。

$$\tau_e(E) = [v_{th} \sigma_n N_c \exp(-E/kT)]^{-1} \quad (3-5)$$

時定数 τ_e は、 $E_g/2kT \approx 22$ だから、バンド端での $\tau_0 = (v_{th} \sigma_n N_c)^{-1}$ からミッドギャップでの $3 \times 10^9 \tau_0$ まで分布する。以下では τ_e の値を実験的に見積もる。

表面チャネル型CCDを用い、大きさONEの信号束列を、 n_z 個からなる空の(大きさZERO)信号束列を挟んで転送する。ZERO信号列後のONE信号列の先頭信号が δ だけ電荷損失を示すと、 δ は $n_z T$ 期間における全放出電荷に相当する(T は転送クロック周期)。従って $n_z(1)$ から $n_z(2)$ までの δ の増大分は、放出時定数が $n_z(1)T$ から $n_z(2)T$ までの界面準位に対応する。同様に δ が $n_z(m)$ で飽和を示すなら、ミッドバンドの界面準位の時定数は $n_z(m)T$ と見積もられる。図14に実験結果を示す。ここで転送の相数 p ($=4$) を用いて、横軸は $p n_z + 1$ 、縦軸は δ である。これより $\tau_e(\text{midband}) \approx 10\text{ms}$ を得る。この結果は既報告[25]と一致する。

式(3-2)で示したようにミッドバンドの準位が暗電流に最も寄与する。上記 $\tau_e(\text{midband})$ の値から、ミッドバンドの準位が1ms以内の時間周期で満たされるなら、常時90%以上のミッドバンド準位が電荷で占有される。以上の理由により、図13において1kHz以上のクロック周期であれば(これは実用上極めて容易な条件である)、暗電流は抑圧される。

なお図14からは界面準位密度 N_{ss} の値を得ることができる。 δ と n_z の関係は次式で表される[27]。

$$\delta = A_s k T N_{ss} \ln(p n_z + 1) \quad (3-6)$$

ここで、 A_s は信号電荷が掃引する面積であり、 $4.9 \times 10^{-3} \text{cm}^2$ となる。図14に(3-6)式を適用すると、 $N_{ss} = 2.6 \times 10^{10} \text{cm}^{-2} \text{eV}^{-1}$ を得る。

3-3. 検出および出力ノイズ

イメージセンサでは信号電荷は入射光強度と積分時間に比例する。光積分量が低下すると光電変換ノイズは信号電荷数の平方根に比例して減少する。他方、埋め込みチャネル型CCDでは転送ノイズは無視できる程であり、また暗電流も埋め込みフォトダイオードの採用とCCDのピンニング動作により大幅に低減できるから、ノイズ上問題とならない。低光量条件で最終的にノイズ上問題となるのは検出ノイズである[27]。

CCD電荷検出部は以下の要件を満たす必要がある。(1)低ノイズ、(2)高ゲイン、(3)良好な直線性、(4)広ダイナミックレンジ、(5)高速動作。過去多くの電荷検出方法が提案されたが、最も成功し普及しているのは、浮遊ダイオードアンプ(FDA)検出器[28]である。

図15は典型的なFDA検出器を示す。ここで正パルス ϕ_R を印加することによりリセットトランジスタ T_1 がオンとなり、端子NはリセットドレインRDにプリセットされる。 T_1 がオフした後、クロック ϕ_2 を低レベルにして信号電荷を端子Nに移す。信号電荷 Q_{sig} による端子Nの電位変化 ΔV_N はトランジスタ T_2 のゲートに印加され、トランジスタ T_3 を負荷とするソースフォロワ構成により、 T_2 のソース側に電流増幅された出力OSを得る。 Q_{sig} と ΔV_N との関係は、

$$\Delta V_N = \frac{Q_{sig}}{C_N}, \quad C_N = C_J + C_1 + C_2 + C_g + C_s \quad (3-7)$$

となる。ここで C_N は端子Nの容量であり、他の記号は図15に示した通りである。浮遊ダイオードは通常10V以上の逆バイアス電位が印加されているため、 Q_{sig} による ΔV_N の変化範囲(1V程度)で C_N は一定とみなせる。2つのトランジスタ T_1 及び T_2 におけるゲート/ソース間容量 C_1 及び C_2 、ゲート容量 C_g 、浮遊容量 C_s は一定だから、電荷電圧変換の直線性は良好に保たれる。また変換ゲインを大きくするため、 C_N は可能な限り小さく設計される。

ソースフォロワ回路での増幅MOSトランジスタは飽和動作のため、 T_2 のゲート/ドレイン間容量は無視できる。また容量 C_2 は正帰還容量となりゲインを増大させる。しかしこの正帰還の時定数 τ_A は、帰還が無い場合の時定数 τ_0 に比べ次のように大きくなる[29]。

$$\Delta V_{OS} = \frac{G}{1 - (C_2/C_N) \cdot G} \Delta V_N, \quad \tau_A = \tau_0 \frac{1}{1 - (C_2/C_N) \cdot G}, \quad \tau_0 = \frac{C_L G}{g_m} \quad (3-8)$$

ここで、 G は正帰還が無い時のゲイン、 C_N 、 C_2 は式(3-7)と同じ定義による。即ち C_2 大では出力の時定数を大きくし高速動作を困難にする。このため C_2 の値はできるだけ小さくするのが望ましい。

【リセット(kTC)ノイズ】

FDA検出器はリセット動作に伴いノイズを発生する。原因はリセットトランジスタの熱ノイズであり、以下の式[17]で表されるノイズ電子数となって端子Nに現れる。これをkTCノイズと称する。

$$\langle \Delta n \rangle = \frac{1}{q} \sqrt{kTC_N} \quad (3-9)$$

【スパッタノイズ】

リセットトランジスタが強くオンし多数の電荷がチャネルに蓄積した後、オフ時にこの内の一部の電荷が端子Nに逆流すると、逆流量にはゆらぎを伴うからノイズになる[30]。これをスパッタノイズと称する。我々はこの過剰なkTCノイズを抑圧する手法を見出した。

図16(a)に新規リセットゲート構造を模式的ポテンシャル図と共に示す[31]。ゲートのチャネル幅は、端子N側で狭チャネル効果が十分生じる程度に狭くし、リセットドレインRD側に向かって徐々に幅を拡げる。これによりチャネルポテンシャルはRD側に向かって深くなる。1例として幅を $4\mu\text{m}$ から $10\mu\text{m}$ まで拡大すると、図16(b)に示す測定結果より明らかなように、チャネルポテンシャルは 2.0V 深くなる。従ってリセットゲートオン時にチャネル内に蓄積した電荷はオフ時にはRD側へ流れ、スパッタノイズが抑圧される。CCD信号処理ICにこの構造を採用した結果[31]を図17に示す。本構造によるノイズ抑圧効果は約4dBであり、これは信号電荷量には依存しなかった。この理由は、リセットゲートがオン時、信号電荷量に依存せずチャネルは常に電荷で満たされるためと考えられる。

図16(a)に示した新規構造は、浮遊拡散領域の面積を小さくすることを可能にするため、検出容量 C_N を低下させ、kTCノイズを減少させると共に検出感度を増大させるという、別の利点をも有する。このため最近のCCDではほとんどがこの構造を採用している。

【ソースフォロワノイズ】

MOSFETにおける入力換算ノイズは次式で表される[32]。第1項は熱ノイズであり、チャネル内電荷のランダムな熱運動に起因し、第2項はフリッカノイズであり、チャネル内電荷と界面準位との電荷交換による。

$$\langle \Delta V_n^2 \rangle = \frac{8kT}{3g_m} \cdot \Delta f + \frac{M}{C_{ox}WL} \frac{1}{f} \cdot \Delta f, \quad (3-10)$$

ここで g_m は相互コンダクタンス、 M は素子構造に依存するパラメータ、 W はチャネル長、 L はチャネル幅をそれぞれ表す。

多段ソースフォロワ回路で最もノイズに影響するのは、初段のドライバMOSであり、このゲート面積は電荷電圧変換ゲイン増大のため最小化されている。このため、小さい g_m は大きな熱ノイズをもたらす、小さな $W \times L$ は大きなフリッカノイズとなる。以下では、ソースフォロワ回路を低ノイズで動作させる新規手法を示す。

【低ノイズ動作】

半導体基板の極性と逆の極性を持つ不純物層を表面側に形成し、埋め込みチャネルとしたMOSFETでは、導電チャネルを表面から離して動作させる埋め込みチャネル動作により、フリッカノイズが大幅に低減できることが知られている[33]。我々はこの動作モードにおいて他のノイズ発生原因があることを見出し、MOSFET回路において超低ノイズ動作を実現する手法を導いた[34]。

図18は種々の負荷抵抗 R_L を有するソースフォロワ回路の入出力関係において、低ノイズを示す動作領域を測定した結果である。 R_L による入力換算ノイズは、 $\Delta v^2 / \Delta f = 4kT / (R_L g_m^2)$ となる。図18における g_m の値は $50 \sim 100 \mu\text{A/V}$ であるから、 R_L による入力換算ノイズは $7\text{nV}/\sqrt{\text{Hz}}$ となる。(3-10)式第1項から見積られるMOSFETの熱ノイズは $10\text{nV}/\sqrt{\text{Hz}}$ 以上であるから、 R_L によるノイズ測定への影響は重要ではない。図18において境界(A)は、ゲート/ソース間電圧 V_{GS} が -2V 以下の時、低ノイズとなることを示す。これは埋め込みチャネルモードに対応している。なぜなら、 V_{GS} は表面とチャネル間の電位差 $\Delta\phi_s$ を用いて次のように表される。

$$V_{GS} - V_{FB} = -\Delta\phi_s - \frac{d_0}{\epsilon_0} \sqrt{2\epsilon_s q N_D \Delta\phi_s} \quad (3-11)$$

ここで V_{FB} はフラットバンド電圧、 $q N_D$ は表面近傍のドナー濃度、 ϵ_s はシリコンの誘電率、 ϵ_0 は酸化膜の誘電率をそれぞれ表す。 $\Delta\phi_s$ の値は $\Delta\phi_s \geq 10kT/q$ のように見積られる[35]から、 $V_{GS} \leq -1.8\text{V}$ となり、上記測定結果と一致する。

図18における他の境界(B)は、ソース/ドレイン電圧 V_{DS} およびゲート/ドレイン電圧 V_{GD} に依存する。図19はノイズと基板電流 I_{SUB} との関係を示す。入力電圧 V_I が低ノイズ領域から下がるに従い、境界(B)に対応する所で、MOSFETノイズは急激に増大した基板電流 I_{SUB} も急増する。 I_{SUB} はドレイン近傍のインパクトイオン化を反映する[36]から、境界(B)はドレイン近傍のインパクトイオン化が原因と考えられる。

ドライバ側のMOSFETを大きくしロード側のMOSFETを小さくして、ソースフォロワ入出力特性における低ノイズ動作領域を示したのが、図20(a)である。ここでロードのゲート電圧 V_{GL} をパラメータとしている。これにより新たな境界(C)が現れる。この境界(C)はMOSFETの表面反転に対応する。

図21はソースフォロワ回路ノイズの V_{GL} 依存性を示す。ここで V_{GL} を下げていった時、チャネルがカットオフする前にロードFETの表面反転を得るため、 V_I は一定(-2V)とし、 V_{SUB} は -3.5V 以上に設定する。この時、 10^{-13}A 以上の I_{SUB} は観測されていないから、ドレイン近傍での正孔の発生は無いと考えられる。 V_{GL} が弱反転条件の時、ノイズにピークが現れる。強反転の開始電圧を図21に示す。この電圧はチャネルポテンシャルがソース電位(0V)から最大電位($\phi_M + V_{SUB}$)にわたり分布するのに伴い、 $V_G(\text{Inv})$ から $V_G'(\text{Inv})$ に分布する。これら条件でのノイズスペクトラムを図20(b)に示す。 V_{GL} を下げるに従い、最初 $1/f$ 型のノイズが増大し、次いで低周波数領域でノイズは急激に低下する。

上記測定結果から、境界(C)に対応するノイズの原因を次のように推定する。ゲート電圧の低下に伴い表面ポテンシャルは基板電位より低下し始める。弱反転の開始時、正孔はチャネルストップ領域からチャネル表面へ流入する。流入した正孔はMOSトランジスタの閾値を変化させることにより、チャネルコンダクタンスを変化させる。界面準位を介した表面再結合により流入正孔濃度がゆらぐから、ドレイン電流もまたゆらぎ、ノイズが観測される。ゲート電圧が弱反転の開始電圧から低下するにつれ表面正孔濃度が増大するから、最初は表面再結合が増大する。次いで大多数の界面準位が正孔で埋められるようになると、表面再結合が減少する。こうして強反転の開始前に表面再結合の極大が生じ、ノイズのピークが生じる。図20(b)はこの仮説を裏付ける。最近、この現象は他のタイプのMOSFETでも再確認された[37],[38]。

図22はソースフォロワノイズのスペクトラム測定結果である。抵抗を負荷とした埋め込みチャネル素子を埋め込みチャネルモードで、かつ基板電流を発生させない条件で動作させることにより、表面チャネル素子に比べ低周波ノイズが17dB低下する。更に、埋め込みチャネル素子を負荷側に用い、かつ弱反転を起こさせない条件で動作させることにより、抵抗負荷と同様の低ノイズ動作が実現される。

3.4. 外部回路ノイズ

CCDイメージセンサからの信号は外部回路により処理されるから、外部回路で発生するノイズが画像信号に付加される。FDA検出器を用いたCCDの場合、外部回路に相関2重サンプリング(CDS)と呼ばれるノイズ抑圧技術を採用することが、画質改善に極めて有効である。

【相関2重サンプリング】 図23は図15に示したFDA検出器における出力波形であり、 τ_1 はリセットパルスがオンの期間、 τ_2 は無信号期間、 τ_3 は信号期間を、それぞれ表す。各クロックサイクルにおいて期間 τ_1 で導入されたkTCノイズは、続く期間 τ_2 、 τ_3 まで継続する。期間 τ_2 中の時刻Aおよび期間 τ_3 中の時刻Bでそれぞれ2つのサンプルが取られ、A,Bの間隔が(3-8)式で表される時定数 τ_A より十分に長いと、2つのサンプル中のノイズは相関を持つから、 V_B から V_A を差し引くことにより、ノイズを除去できる。これがCDS法と呼ばれる手法[39]である。CDS法の回路例を図24に示す。ここでクランプスイッチ S_1 が信号を期間Aで0Vにクランプし、次いでサンプルホールドスイッチ S_2 が信号を期間Bでサンプルする。これにより V_A 、 V_B 間の電位差のみが容量 C_2 に保持される。

CDS回路の伝達関数 $T(f)$ は次式で表される[39]。

$$T(i2\pi f) = g_A \cdot \frac{1 - \exp(-i2\pi f T_S)}{1 + i f / B_A} \quad (3-12)$$

ここで g_A はアンプ系全体のゲイン、 T_S は時刻AとBの間隔、 B_A はバンド幅を表す。 T_S がクロッ

ク周期 $1/f_c$ の $1/2$ に等しいと、伝達関数は $f=0$ およびクロック周波数の偶数次の高調波でゼロとなる。 $f=0$ で応答がゼロになることは、ソースフォロワの $1/f$ ノイズや閾値電圧のズレを抑圧するのに有効となる。即ち、CDS回路は kTC ノイズを抑圧するのみでなく、ソースフォロワの低周波ノイズをも抑圧する。

しかしながら(3-12)式に示した伝達関数は別の問題を生む。画像信号が周波数 $f_T=1/(2T_S)$ でノイズ $v_n(f_T)$ を持つとすると、CDS回路はこのノイズを2倍に高めてしまう。即ち $T_S=1/(2f_c)$ とすると、 $f_T=f_c$ でのノイズはサンプリングによって $f=0$ のノイズに変換され、低周波ノイズを増大させる。CDS回路の前でフィルタにより高域ノイズを抑圧することは、信号帯域幅を狭めるため良い方法ではない。

我々は図2-5に示す新規CDS回路を開発した[40]。図2-4に示す従来法との違いは、破線で示す積分回路をサンプルホールド回路の前に挿入したことである。この積分器が、図2-3に示すように、時間幅 τ_{AP} を持つ箱型の時間応答関数を持つとすると、この積分器の周波数応答: $F(f)$ は、時間応答のフーリエ変換により次式で表される。

$$F(f) = \frac{\sin(\pi \tau_{AP} f)}{\pi \tau_{AP} f} \quad (3-13)$$

図2-6に示されるように、この場合の時間間隔 T_S は τ_{AP} の約 $1/2$ であるから、周波数 $f_T=1/(2T_S)$ でのノイズは積分器によりほぼゼロに抑圧される。これによりCDS回路による f_T 周りでノイズ増大効果はキャンセルされる。これは $f=0$ 付近でのノイズに反映され、低周波数でのノイズが大幅に抑圧されることを意味する。図2-5において、 R_{AP} , C_{AP} の値は積分器の時定数が最適になるよう設定される。この新しいCDS回路を用いることにより、暗時におけるイメージャからの画像信号の入力換算ノイズは、従来のCDS回路の場合に比べ、15電子から11電子と約70%に減少した。我々の研究の後、西田らは同様の方法により約9dBのノイズ改善効果を達成した[41]。

3-5. ノイズとアンプゲインの関係

電荷電圧変換ゲインを G_C 、増幅回路のゲインを G_A とすると、その後の信号処理で発生するノイズ V_{NE} の入力換算ノイズは電子数で、 $V_{NE}/(G_C \cdot G_A)$ となり、 G_C 及び G_A が高いほど S/N に有利である。 G_C を高めるには(3-6)式で C_N を小さくする必要があり、我々が提案した図1-6(a)に示すパターンが有利となる。 G_A を高めるにはソースフォロワ回路のゲインを高める必要がある。

ソースフォロワ回路の等価回路を図2-7(a), (b)に示す[42]。但し、従来はトランジスタ T_D がバックゲート効果を含まない理想的な場合を扱っていたため、ここではバックゲート効果を含むより現実的な取り扱いを行う。図2-7(b)で v_i , v_o , v_{th} はそれぞれ入力信号、出力信号、 T_D の閾値電圧を表し、 g_m は T_D の相互コンダクタンス、 r_D は T_D の飽和ドレイン抵抗、 r_L は T_L の飽和ドレイン抵抗である。飽和ドレイン抵抗は $(\partial V_D)/(\partial I_D)$ で表される。図2-7(b)から次式が導かれる。

$$g_m (v_i - v_{th}) = (1/r_D + 1/r_L) v_o \quad (3-14)$$

ソース電位 v_o による v_{th} の変化は、表面チャネル型MOSでは図2-7(c)ようになる。(この場合の v_o はゲート電圧 V_i に対するチャネルポテンシャルを表す。) これより、

$$v_{th} = K \cdot v_o, \quad K > 1 \text{ の定数} \quad (3-15)$$

と表される。ここで K はバックゲート効果に依存し、チャネル/ゲート間容量 C_g とチャネル/基板間容量 C_s の比で決まる。

$$K = 1 + C_s/C_g = 1 + (d_0 K_s / K_o) / \sqrt{[2K_s \epsilon_0 (V_o + 2\phi_f) / qN_A]} \quad (3-16)$$

ここで d_0 はゲート絶縁膜厚、 K_o 及び K_s は酸化膜及び半導体の比誘電率、 ϵ_0 は真空誘電率、 ϕ_f は基板のフェルミレベルと真性レベルとの差、 N_A は基板濃度を表す。これより、 K は基板濃度が低いほど低下し1に近づく。

以上から、ソースフォロワゲインは次式で表される。

$$A = v_o/v_i = 1 / [K + (1/g_m)(1/r_D + 1/r_L)] \quad (3-17)$$

従って、ソースフォロワのゲインを高めるには、 K を小さくすると共に飽和ドレイン抵抗を大きくする必要がある。 K を小さくするには基板濃度を下げてバックゲート効果を抑えるのが望ましい。飽和ドレイン抵抗を大きくするには、チャネル長をできる限り大きくしてチャネル長変調効果を抑えるのが望ましい。これは T_L については容易だが、 T_D についてはゲート容量の増大をもたらす動作速度の低下を招くため、採用が困難である。このためソースフォロワ回路を多段とし、動作速度を維持しつつゲイン最大化を図る。

図2-8は3段構成ソースフォロワ回路の入出力特性実測例であり、Pウェル濃度を下げることによりバックゲート効果を抑え、全ゲイン0.73を達成した。

3-6. 最近のCCDイメージセンサにおける全ノイズ

ノイズ抑圧技術に加え、電荷検出部および出力段におけるゲイン増大化技術もまた進歩した。現在のCCDイメージセンサ、例えば1/4型光学系素子[43],[44]では、電荷電圧変換ゲインは $20 \mu V/el$ 以上を達成している。他方高い変換ゲインは、イメージセンサでは避けられない光電変換に伴うショットノイズを目立たせる。このことは、理想的なイメージセンサにおいて S/N に物理的限界が存在することを意味する。

1/4型27万画素CCDの場合の、信号量 V_{sig} に対する全ノイズ $V_n(\text{total})$ の測定結果を図2-9の太実線に示す。またこの内の暗時ノイズ $V_n(\text{dark})$ を1点鎖線で、ショットノイズ $V_n(\text{shot})$ を細実線で、更に光量依存固定パターンノイズ $V_n(\text{FPN})$ を破線で示す。これより、信号量10~500mVの範囲でショットノイズが支配的であり、それ以下では暗時ノイズが、それ以上では光量依存固定パターンノイズが支配的であることが判る。理想的イメージセンサでは暗時ノイズおよび固定パターンノイズは無いが、ショットノイズは避けられず、理想素子であっても大部分の信号領域で図2-9と同程度の S/N となる。即ち現在のCCDは理想素子に近い。

全ノイズから暗時ノイズを減算し、信号量 V_{sig} でプロットすると、図3-0の点線ようになる。これはショットノイズ $V_n(\text{shot})$ と光量依存固定パターンノイズ $V_n(\text{FPN})$ の加算されたものである。 $V_n(\text{shot})$ が信号量の平方根に比例し、 $V_n(\text{FPN})$ が信号量に比例する関係から、 $V_n(\text{FPN})/V_{sig} = -53\text{dB}$ を得る。またショットノイズを図3-0中の実線で示す。

式(3-1)より、

$$N_n(\text{shot}) = \sqrt{N_{sig}}, \quad (3-18)$$

$$V_n(\text{shot}) = \sqrt{(\Delta f / \Delta f_c) \cdot \eta N_n(\text{shot})}, \quad V_{sig} = \eta N_{sig}, \quad (3-19)$$

ここで $N_n(\text{shot})$ はショットノイズ電子数、 V_{sig} は信号電子数、 $V_n(\text{shot})$ はショットノイズ電圧、 N_{sig} は信号電圧、 η は電荷電圧変換ゲイン、 Δf はノイズ測定信号帯域幅、 Δf_c はクロック周波数である。これより、

$$V_n(\text{shot}) = \sqrt{(\eta \Delta f / \Delta f_c) \cdot V_{sig}} \quad (3-20)$$

となる。ここで $\Delta f = 4.0\text{MHz}$, $\Delta f_c = 9.535\text{MHz}$, また図3-0から求まる $\sqrt{(\eta \Delta f / \Delta f_c)} = 3.11 \times 10^{-3}$ だから、 $\eta = 23 \mu V/el$ が得られる。この結果は、CCD出力部の信号電流から求めた値と良く一致する。このような η を求める手法は、増幅型イメージセンサで最近利用されている[45]。増幅型イメージセンサでは信号電流を直接求めることができないためである。但し、上記のようにノイズ測定帯域に注意する必要がある。

ショットノイズ S/N は、

$$V_{sig}/V_n(\text{shot}) = \sqrt{N_{sig}/(\Delta f / \Delta f_c)} \quad (3-21)$$

となる。即ち信号電子数の平方根に比例する。これより変換ゲインが高い程、標準信号電圧での信号電子数が減少し、 S/N が悪くなることが判る。他方、暗時ノイズ電圧は変換ゲインによらないため、暗時ノイズ電子数は変換ゲインが高い程減少する。これより変換ゲインが高い程暗いシーンでの S/N は向上するが、中間光量のシーンでは S/N が劣化し、変換ゲインには限界が存在する。

4. CCDイメージセンサの解像度

VOD構造でないCCDイメージセンサの受光部は、P基板上のN⁺P接合により形成される。このN⁺P接合の空乏層厚が光の侵入深さより浅いと、光電変換により多くの電子が空乏層より下の中性領域で発生し、これらはP領域中の少数キャリアとしてあらゆる方向に拡散していく。拡散電子がCCDチャネルに流入するとチャネル内の信号電荷を汚し、スミアと呼ばれる偽信号となる。拡散電子が隣接するN⁺P接合へ流入すると画素間の干渉となり、解像度を劣化させる。

我々はP基板中の電子の拡散長を、2つの出力部を持つ長チャネルCCDにより測定した。一方の出力部はCCD信号検出に用い、他方は高い電圧で駆動することによりインパクトイオン化を生じさせて、P基板へ電子=少数キャリアの注入を行った。長チャネルCCDの転送を一時停止し、各転送段毎に拡散電

子を受けた後、CCDを高速で読み出すことにより、拡散電子が一定期間内に単位領域に到達する量の、発生源からの距離による分布を見る。図3-1に測定結果を示し、これより拡散長は150 μm と見積もられる。なおP基板濃度は $1.4 \times 10^{15} \text{cm}^{-3}$ である。この結果は文献[46]とも一致する。画素ピッチは現在では5 μm 以下であり、上記拡散長の結果は、もしN⁺P接合がP基板上に直接形成された場合には、重大な解像度劣化が生じることを意味する。しかし最近のCCDでは、VOD構造によりN⁺P接合はN基板上のPウェル内に形成される。このため基板深部で発生する少数キャリアは基板側へ排出され、解像度に影響することは無い。

イメージセンサの解像度は、空間軸上で変化する入射正弦波の空間周波数を変化させた時のセンサの応答である、MTFにより表される。空間座標上で δ 関数型の光ビームをセンサ内でx方向に走査し、その時の単一画素の応答をA(x)：開口関数とすると、MTFはA(x)を用いて次のように表される[9]。

$$MTF(\theta) = \frac{\int_{-\infty}^{\infty} A(x) \cdot \cos(2\pi f \cdot x) dx}{\int_{-\infty}^{\infty} A(x) dx} \quad (4-1)$$

図3-2(a)では、MTFを矩形波入力に対する応答：CTFに変換した計算結果を示す。実際の測定結果の図3-2(b)と定性的に一致する。

5. CCDイメージセンサの感度

5-1. 縦型オーバーフロードレイン (VOD) 構造

CCDのような固体撮像素子では取り扱い電荷量が限られており、強い光により発生した過剰電荷は、読み出しラインに沿ってオーバーフローする。この現象はブルーミングと呼ばれる。ブルーミングを抑圧する多くの構造が提案されたが、NPN-フォトダイオードからなる縦型オーバーフロードレイン (VOD) 構造[47]では、深さ方向の電流を採用し、過剰電荷は基板側へ排出される。本構造により大きな光電変換面積と広いダイナミックレンジが確保された。しかしながらこの構造は深さ方向の複雑さをもたらす、かつブルーミング特性が構造に敏感であるため、それを正確に制御しなければならない。更にこの構造の場合、信号電荷は光量増大で飽和に達した後少し増加する、ニー特性と呼ぶ現象を伴うため、ダイナミックレンジの減少をもたらす。これらの点を考慮した最適構造を見出すため、縦型電流の正確な計算が必要である。

NPN-フォトダイオードでの縦型電流が、擬フェルミポテンシャルのプロファイルを深さ方向に計算することにより得られること、およびそれにより入射光電流と発生信号電流およびオーバーフロー電流との関係が得られることが、以下で示される。

5-2. NPN-フォトダイオードにおけるオーバーフロー電流の計算

本節では空間積分を容易にするオーバーフロー電流の計算方法を示す。この方法では指数項の値を低く保ったまま、擬フェルミポテンシャルのプロファイルを深さ方向に直接計算する。縦型電流は擬フェルミポテンシャルから直ちに得られる。

図3-3はNPN-からなる1次元構造であり、濃度分布：N(x)、電場分布：E(x)、真性フェルミポテンシャル： $\Psi_i(x)$ 、電子に対する擬フェルミポテンシャル： $\phi_n(x)$ を示す。外部より印加する電圧は、Nウェルに V_p 、Pウェルに V_0 、N基板に V_s である。 V_0 は通常0Vである。以下では両接合とも逆バイアス（即ち $V_p > V_0$ 、 $V_s > V_0$ ）で、Pウェルは完全に空乏化している場合のみ考える。この場合NウェルとN基板間の導電キャリアは電子のみとなり、 V_0 は境界条件から除外される。電子は $V_p < V_s$ の場合にはNウェルからN基板へ流れ（オーバーフローモード）、 $V_p > V_s$ の場合にはN基板からNウェルへ流れる（注入モード）。両モードは対称形だから、以下ではオーバーフローモードのみを扱う。

計算手順は以下の通り。まずN(x)、 V_p 、 V_s の値を与え、次いでポアソンの式；

$$\frac{d^2}{dx^2} \Psi_i(x) = -\frac{K_s q}{q} N(x) \quad (5-1)$$

を解くことにより $\Psi_i(x)$ を得る。ここでqは電子電荷量、 ϵ_0 は真空の誘電率、 K_s はシリコンの比誘電率を表す。次に $\phi_n(x)$ を解き、これよりオーバーフロー電流を得る。電子濃度n(x)、電子電流 $J_n(x)$ は $\phi_n(x)$ を用いて次のように表される[48]。

$$n(x) = n_i \cdot \exp[q(\Psi_i(x) - \phi_n(x))/kT] \quad (5-2)$$

$$J_n(x) = q \mu_n n(x) \cdot \left(\frac{d\phi_n(x)}{dx} \right) \quad (5-3)$$

ここで n_i は真性キャリア濃度、kはボルツマン定数、Tは絶対温度、 μ_n は電子移動度である。なお、以下の計算では次の値を採用する。

$$\mu_n = 1000 \text{cm}^2/\text{V} \cdot \text{s}, T = 300\text{K}$$

オーバーフロー電流は式(5-3)で表される。NウェルからN基板の間の空乏領域で電子の発生・再結合が無視できるとすると、 $J_n(x)$ は一定でxに依存しない。これがオーバーフロー電流であるから、 $J_n(x) = J_0$ と表記する。

式(5-2)および(5-3)から、

$$\frac{d\phi_n(x)}{dx} = -\frac{J_0}{q \mu_n n_i} \exp[q(\phi_n(x) - \Psi_i(x))/kT] \quad (5-4)$$

ここで指数項は小さい値に留まる。式(5-4)は数値的に容易に解くことができる。

J_0 を $V_s - V_p$ の関数として計算した結果を、図3-4に示す。図より J_0 は近似的に次式で表すことができる。

$$J_0 = K_2 (V_s - V_p)^{K_1} \quad (5-5)$$

ここで K_1 、 K_2 は定数である。

5-3. 光積分モードにおけるオーバーフロー電流

NPN-フォトダイオードの光積分動作において、Nウェルは浮遊状態であり、Pウェル、N-基板はそれぞれ、電位0、 V_s に固定される。受光領域で発生する光電流密度 J_p は、信号電流密度 J_s およびオーバーフロー電流密度 J_0 に分けられる。 J_s はNウェル領域で蓄積されて信号電荷密度 Q_s となり、光積分期間 T_s 中にNウェル電位 V_p を下げる。 J_0 は $V_{ps} = V_s - V_p$ に依存するから、 Q_s 、 J_0 は期間 T_s の間変化する。他方 J_p は外部条件で決まるもので、一定とみなせる。

$Q_s(t)$ 、 $J_0(t)$ 、 $V_{ps}(t)$ を計算するため、図3-5(a)に示すようなP⁺NPN-構造を考える。これは低残像の特徴があり[18]、最近のCCDでは殆どがこの構造を採用している。P⁺層は周辺チャネルストップ層を介して接地され、空乏化しないよう高濃度に形成される。Nウェルは初期条件で完全に空乏化するように設定される（これを完全転送条件と呼ぶ）。

ここで次の関係式を導入する。

$$J_x(t) = J_0(t) / J_p \quad (5-6)$$

$$Q_s(t) = C_A (V_{ps}(t) - V_i), C_A = qf / (Vf - V_i) \quad (5-7)$$

なお、 $V_i = V_{ps}(t=0)$ 、 $V_f = V_{ps}(t=T_s)$ である。 $J_p = J_s + J_0$ の関係より、

$$(d/dt)Q_s(t) = J_p - J_0(t). \quad (5-8)$$

式(5-6)、(5-7)及び(5-8)を(5-5)と組み合わせることにより次の微分方程式を得る。

$$[(1 - J_x)^{-1} \cdot J_x^{(1/K_1 - 1)}] \cdot dJ_x = (1/C_A) \cdot K_1 \cdot K_2^{(1/K_1)} \cdot J_p^{(1 - 1/K_1)} \cdot dt \quad (5-9)$$

式(5-9)を解くと、次のようになる。

$$\ln \left[(1 - J_i/J_p) / (1 - J_x) \right] + K_1 [J_x^{(1/K_1)} - (J_i/J_p)^{(1/K_1)}] = (1/C_A) \cdot K_1 \cdot K_2^{(1/K_1)} \cdot J_p^{(1 - 1/K_1)} \cdot t \quad (5-10)$$

ここで、 $J_i = J_o(t=0)$, $J_f = J_o(t=T_s)$ である。

期間 T_s における $J_s(t)$ と $J_o(t)$ の時間平均である、 $\langle J_s \rangle$ と $\langle J_o \rangle$ の間の関係は次のように表される。

$$\langle J_s \rangle = J_p - \langle J_o \rangle \quad (5-11)$$

$\langle J_s \rangle = Q_f / T_s$ の関係を用い、式(5-10)に $t = T_s$ を代入することにより、 J_p は $\langle J_s \rangle$ の関数として求めることができる。 $J_o(t)$ は、式(5-10)から J_i , J_f 及び $\langle J_s \rangle$ の関数として計算することができる。図36は、種々の V_f 値に対して計算した $J_o(t)$ の時間依存性を示す。

J_p の関数で表した $\langle J_s \rangle$ と $\langle J_o \rangle$ の数値計算結果は図37のようになる。 J_p は入射光強度を表すから、 J_p が小さい時には $\langle J_s \rangle$ は入射光強度に比例し、 J_p が大きい時には $\langle J_s \rangle$ は有限値に飽和する。これらの変曲点は $J_p - J_s$ 面内の点: (J_{p0}, J_{s0}) である。この一特性は、 J_{s0} がイメージャの保持可能電荷量より低い限り、ブルーミングが抑圧されることを意味する。縦型オーバーフロードレイン構造を採用した実際のイメージセンサの、ブルーミング抑圧特性を図38に示す。これより計算結果の図37と大変良く一致していることが判る。

図37に、NウェルからN基板へ向かう電子流に対するポテンシャルバリア: $V_B = \Psi_i(x_n) - \Psi_i(x_m)$, (図33参照) の計算結果を示す。飽和開始時の値は約0.5Vである。Van de Steegらはこの値を、熱励起から0.4Vと見積もった[49]。我々の計算結果は彼らの見積もりが少し低めであったことを示す。

5-4. P^+NPN^- 構造での感度

受光部に入射した光子は電子-正孔対を発生する。この発生率は光子のエネルギーに依存し、入射光単位波長当りの量として、 $\alpha(h\nu)$ で表される。ここで h はプランク定数、 ν は波長、 α は吸収係数である。これより入射光子束は深さ x に対し、 $\exp(-\alpha x)$ で減衰する。

P^+NPN^- 構造の受光部の場合、ポテンシャル分布は図35(b)のようになる。ここで x_1 は空乏層表面側の端の深さ、 x_2 はN層内に形成されるポテンシャルの底の深さ、 x_3 はPウェル内に形成されるポテンシャルピークの深さである。

x_1 から x_3 の間で発生する電子はN層内のポテンシャルの底に蓄積する。また x_1 から λ_p だけP+側に入った領域で発生する電子もまた、同じ場所に蓄積する。ここで λ_p はP+領域での電子の拡散長である。これら電子が信号電荷として寄与する。従って感度: $R(\lambda)$ は次のように表される。

$$R(\lambda) = \frac{q\lambda}{hc} \frac{\int_{L_d}^{L_e} \exp(-\frac{x}{L_p(\lambda)}) dx}{\int_0^\infty \exp(-\frac{x}{L_p(\lambda)}) dx} \quad (5-12)$$

ここで $L_p(\lambda) = 1/\alpha(\lambda)$ は光侵入深さ、 L_d は表面無効領域の厚さ、 L_e は有効深さ、 h はプランク定数、 c は光速である。 L_d は $x_1 - \lambda_p$ であり、 L_e は x_3 だから、 $R(\lambda)$ の計算結果は図39のようになる。縦型オーバーフロードレイン構造を採用した実際のCCDイメージセンサの分光分布は図39の実線のようにになる。従って L_d を $0.1\mu m$ 、 L_e を $2.0\mu m$ とすると、本CCDイメージセンサの分光は計算結果と良く一致する。これら L_d および L_e の値は、 $x_1 - \lambda_p$ および x_3 とほぼ同じである。

5-5. 量子効率の計算

量子効率(QE)は、入射光子数当りの生成電子数の割合で定義され、入射光波長を λ とすると、 $QE = 1$ の場合の応答: $Q_1(\lambda)$ は次式で表される。

$$Q_1(\lambda) = \frac{q\lambda}{hc} \quad (5-13)$$

QE の測定には、モノクロメータの出力光エネルギーを測定すると共に、該出力光をイメージセンサに照射してその応答を計る。定エネルギー分光器を用いたラインセンサの場合の測定結果を図40[23]に示す。

感度が照度で定義された光量に対する応答で示されている場合、相対分光感度: $R(\lambda)$ と組み合わせ、QE を次のように求めることができる。

光源として 3200K 黒体放射光及び赤外カットフィルタ: CM500 を用い、その素子面上での照度を L [lux] とすると、3200K 光のエネルギー分布: $E(\lambda)$ [W/(m²·μm)], CM500 の透過率: $F(\lambda)$ 、比視感度: $V(\lambda)$ として、次の関係になる。

$$L = Km \int_{\lambda_a}^{\lambda_b} E(\lambda) F(\lambda) V(\lambda) d\lambda \quad (5-14)$$

ここで、 $Km = 680 \text{ lm/W}$, $\lambda_a = 0.38\mu m$, $\lambda_b = 0.76\mu m$ である。 $F(\lambda)$, $V(\lambda)$ は既知である。 $E(\lambda)$ も相対値は既知である。したがって実測値 L から(5-14)式により $E(\lambda)$ が求まる。他方、絶対分光感度は、 $[A/W]$ の次元を持つ補正係数: Q_2 を用いて $Q_2 \cdot R(\lambda)$ で表される。ここへ光: $E(\lambda)$ の入射により電子数 N_R の信号が生成されると、 N_R は次式で表される。

$$N_R = (1/q) T_{int} A_{cell} Q_2 \int_{\lambda_1}^{\lambda_2} R(\lambda) F(\lambda) E(\lambda) d\lambda \quad (5-15)$$

ここで T_{int} : 光積分期間、 A_{cell} : 画素面積、 λ_1, λ_2 : 有効波長範囲である。

最近の 1/3 型 320K 画素 CCD の例では、次のようになる。プランクの放射式から、

$$E(\lambda) = (A/\lambda^5) \cdot [\exp(B/\lambda T) - 1]^{-1} \quad (5-16)$$

ここで、 $B = hc/k = 1.4388 \times 10^4 [\mu m \cdot K]$ である。また、 $L = 6 \text{ lux}$ とすると、(5-16)式を(5-14)式に代入し、 $A = 1.898 \times 10^{13} [W \cdot nm^4/m^2]$ を得る。この場合の CCD の応答は、 $T_{int} = 1/30 \text{ sec}$ 、 $A_{cell} = 9.6\mu m \times 6.3\mu m$ 、 $N_R = 900 \text{ mv}/23\mu V/\text{el} = 3.9 \times 10^4 \text{ el}$ より、図41のようになる。 $\lambda = 500 \text{ nm}$ の時、 $QE = 1$ とすると、 $Q_2 \cdot R(\lambda) = 0.4032 A/W$ である。図41において、 $\lambda = 500 \text{ nm}$ で仮に $Q_2 \cdot R(\lambda) = 1 A/W$ とすると、 $N_R = 1.97 \times 10^5 \text{ el}$ と実測の5倍になるため、実際の $Q_2 \cdot R(\lambda) = 0.2 A/W$ となる。以上より、 $QE(500 \text{ nm}) = 0.5$ を得る。

$QE = (\text{有効開口率}) \times (1 - \text{反射率}) \times (\text{Si 中の吸収率})$ で表され、図39から(Si 中の吸収率) = 0.78、また通常は $(1 - \text{反射率}) = 0.9$ 程度だから、(有効開口率) = 0.7 となる。即ち現在の CCD 素子では、マイクロレンズの集光率を加味した開口率は十分高い値が得られている。

6. 低電圧動作 CCD

上記のような技術を用いることにより、最近のインターライン型 CCD イメージセンサは $5\mu m$ 角程度の小さな画素サイズの中に、高感度と低ノイズを達成した。しかしながらこれら素子は通常、多くの高いあるいは負の電圧源を必要とする。それは次の理由による。

- (i) フォトダイオードから垂直 CCD への電荷転送には、残像やリセットノイズを発生させないために完全転送を必要とし、通常 15V 程度の高い電圧が必要である。
- (ii) 垂直 CCD の転送には、低暗電流化のため表面ピンニング動作が必要で、これには通常 -8V 程度の負電圧を必要とする。
- (iii) 電荷検出部では 15V 程度の高い電圧が必要である。それはフォトダイオードから垂直 CCD および水平 CCD を介して検出部まで、電荷転送を完全にする必要があり、転送方向に向かってポテンシャルを次第に深くする必要があるからである。
- (iv) 可変電子シャッター動作[50]では、過剰電荷を基板側へ排出するため、22V 程度の高い基板電圧を必要とする。

CCD の高性能と低電圧・低消費電力を両立させるため、5V 単一電源で動作する CCD イメージセンサが開発された[51]。この素子のブロック図を図42に示す。本論文では本素子のキー技術である、高効率のチャージポンプ回路と、独自のパルス加算回路について述べる。

6-1. チャージポンプ回路

低駆動電圧から高電圧を発生させるため、図43に示すチャージポンプ回路が用いられる[52]。この回路での最大発生電圧は、パルス電圧値と MOSFET の基板効果に依存する[53]ため、パンチスルー型 MOSFET を用いた。

本回路の電力効率 η は

$$\eta = I_0 \cdot V_0(I_0) / (I_0 \cdot V_0(0) + \sum_i (C_{Gi} \cdot V_{\phi i}^2 \cdot f)) \quad (6-1)$$

ここで I_0 は出力電流、 $V_0(I_0)$ 及び $V_0(0)$ は電流 I_0 及び $I_0 = 0$ での出力電圧であり、 C_{Gi} は MOSFET のゲート容量、 $V_{\phi i}$ はクロックパルス高、 f はクロック周波数、 i は各段を表す。式(6-1)の分母における第1項及び第2項はそれぞれ、DC 及び AC の入力電力を表す。DC 電力効率は $V_0(0)$ から $V_0(I_0)$ への電圧降下に依存する。この電圧降下は図44に示す2つの因子により生じる。即ち、1つは1クロックサイクル当たりソースから排出される電子電荷束 ΔQ がドレインポテンシャルを $\Delta V_1 = \Delta$

$Q/(C_0 + C_G)$ だけ低下させることによる。ここで C_0 は図4-3における結合容量、 C_G はMOSFETのゲート容量である。他の1つは、ソースからドレインへの電子電流($-I_D$)が生じるためには、ソースとゲート下チャネル間の電位差 ΔV_2 が必要なことによる。 ΔV_2 はMOSFET特性と電流が流れる有効時間、及び電荷 ΔQ から計算できる。

ΔV_1 と ΔV_2 は、 C_0 とMOSFETの W/L を増大することにより小さくできる。 $\Delta V_1 + \Delta V_2$ を限られた素子面積の中で最小化するため、 C_0 と W/L は最適化が必要である。図4-5は同じ素子面積における2つの場合の、 $\Delta V_1 + \Delta V_2$ と I_0 との関係を示す。 C_0 と W/L を一定のエリア内で最大化することにより、 $I_0 = 200 \mu A$ での電力効率は52%を達成した。これは電力損失で3mWであり、カメラシステム内では無視できる値である。

図4-3において、ポンプ用クロック ϕ_1 及び ϕ_2 はCCD動作と干渉しないよう、水平CCDの駆動パルスと共通としている。

6-2. パルス加算回路

図4-6はCMOSFETを用いた新規パルス加算回路を示す。この回路は、(1)クランプ容量 C_C とMOSダイオード T_3 からなるクランプ回路により入力波形 V_{in2} を負側へシフトする機能と、(2)スイッチ T_1 及びインバータ T_2 、 T_4 により読み出し波形 V_{in1} を反転昇圧する機能から構成されている[54]。これにより2値の複数のパルスから3値のパルスを発生させ、更に高レベルを5Vから15V程度の V_H へ、また低レベルを0Vから-5V程度の V_L へそれぞれシフトする。この回路のタイミング図を図4-6(b)に示す。

6-3. シャッタ電圧の低下

電子シャッタ動作では高い電圧を必要とする。図9で既に述べたように、受光部を P^+NPN^- 構造とすると、受光部での(1)完全空乏化時、(2)オーバーフロー時、(3)シャッタ時、各々でのポテンシャル分布は図4-7のようになる。ここで P^+ 、 N^- 、 P^- 、 N^- 各層の濃度を N_4 、 N_3 、 N_2 、 N_1 とし、 P^+ 、 N^- 、 P^- 各層の厚さを d_4 、 d_3 、 d_2 とすると、電圧 V_A 、 V_B 、 V_C 、 V_{sub} は次式で表される。

$$V_A = \frac{qN_3}{2Ks\epsilon_0} \left(1 + \frac{N_3}{N_4}\right) b^2 \quad (6-2)$$

$$V_B = \frac{qN_3}{2Ks\epsilon_0} \left(1 + \frac{N_3}{N_2}\right) a^2 \quad (6-3)$$

$$V_C = \frac{qN_2}{2Ks\epsilon_0} \left(1 + \frac{N_2}{N_1}\right) \left(d_2 - \frac{N_3}{N_2}a\right)^2 \quad (6-4)$$

$$V_{sub} = V_A - V_B + V_C \quad (6-5)$$

1例として、

[条件1] $N_4 = 1 \times 10^{18} \text{ cm}^{-2}$, $N_3 = 2 \times 10^{16} \text{ cm}^{-2}$, $N_2 = 1 \times 10^{15} \text{ cm}^{-2}$, $N_1 = 2 \times 10^{14} \text{ cm}^{-2}$,
 $d_3 = 0.678 \mu\text{m}$, $d_2 = 2.167 \mu\text{m}$

とすると、(i)完全空乏化時: $V_A = 6\text{V}$, $V_B = 1\text{V}$, $V_C = 5\text{V}$, $V_{sub} = 10\text{V}$ 、

(ii)オーバーフロー時: $V_A = 1.88\text{V}$, $V_B = 0.5\text{V}$, $V_C = 8.62\text{V}$, $V_{sub} = 10\text{V}$ 、

(iii)シャッタ時には $V_A = 7.13\text{V}$, $V_B = 0\text{V}$, $V_C = 21.4\text{V}$, $V_{sub} = 28.53\text{V}$

となる。即ち30V近い高いシャッタ電圧が必要となる。これは(6-4)式においてシャッタ時には $a = 0$ であるから、 $N_1 = 2 \times 10^{14} \text{ cm}^{-2}$ と低濃度であることがシャッタ電圧を高くする。

従って例えば、

[条件2] N基板の接合界面を高濃度化し、 $N_1 \rightarrow N_{10} = 3 \times 10^{15} \text{ cm}^{-2}$

とすると、(ii)オーバーフロー時: $V_A = 1.88\text{V}$, $V_B = 0.5\text{V}$, $V_C = 1.92\text{V}$, $V_{sub} = 3.29\text{V}$ 、

(iii)シャッタ時: $V_A = 7.13\text{V}$, $V_B = 0\text{V}$, $V_C = 4.76\text{V}$, $V_{sub} = 11.89\text{V}$

と低くできる。しかしながら、

(i)完全空乏化時: $V_A = 5.45\text{V}$, $V_B = 2.36\text{V}$, $V_C = 0.20\text{V}$, $V_{sub} = 3.29\text{V}$

と V_C が極めて低くなり、基板側から空乏化したフォトダイオードへ電荷の注入が生じる。

シャッタ電圧を低く保ちながら、フォトダイオードへの電荷注入を抑圧する手法を提案する[55]。N基板の接合界面を $N_1 \rightarrow N_{10}$ と高濃度化すると共に、Pウェル界面も $N_2 \rightarrow N_{20}$ と高濃度化すると、シャッタ電圧は次式のようになる。

$$V_{sub}(Sh) = \frac{qN_3}{2Ks\epsilon_0} \left(1 + \frac{N_3}{N_4}\right) d_3^2 + \frac{qN_2}{2Ks\epsilon_0} \left(1 + \frac{N_2}{N_{10}}\right) d_2^2 + \frac{qN_2}{2Ks\epsilon_0} \left(1 + \frac{N_{20}}{N_{10}}\right) d_{20} \left(d_{20} + \frac{2N_2}{N_{20}}d_2\right) \quad (6-6)$$

1例として、[条件2] に対して

[条件3] $N_1 \rightarrow N_{10} = 3 \times 10^{15} \text{ cm}^{-2}$, $N_2 \rightarrow N_2 + N_{20}$, $N_{20} = 1 \times 10^{16} \text{ cm}^{-2}$,

$d_3 = 0.641 \mu\text{m}$, $d_2 = 0.791 \mu\text{m}$, $d_{20} = 0.331 \mu\text{m}$

とすると、(i)完全空乏化時: $V_A = 4.58\text{V}$, $V_B = 2.13\text{V}$, $V_C = 1.05\text{V}$, $V_{sub} = 3.50\text{V}$ 、

(ii)オーバーフロー時: $V_A = 1.5\text{V}$, $V_B = 0.5\text{V}$, $V_C = 2.5\text{V}$, $V_{sub} = 3.5\text{V}$ 、

(iii)シャッタ時: $V_A = 6.47\text{V}$, $V_B = 0\text{V}$, $V_C = 4.19\text{V}$, $V_{sub} = 10.64\text{V}$

となる。即ち、シャッタ電圧は10V程度で低い値であると共に、空乏時にもバリアが1V以上存在し、注入することが防止される。本構造はCCDの低電圧化に有効である。

最近のCCDでは、デジタルスチルカメラ用に小型で多画素が求められるため、画素サイズが $4 \mu\text{m}$ 以下になっている[56]。画素サイズが小さくなると、3次元効果のため、基板電圧がフォトダイオードポテンシャルに与える影響が低下する。これは画素サイズの低下が基板シャッタ電圧の増大を招くことを意味する。この理由のため、上に述べた技術は最近の高密度CCDに極めて有効な手法である。

7. 結論

本研究により、低ノイズで高感度のCCDによる撮像を実現するための6つの重要な技術が、科学的な探求を基に開発された。

- (1) 独自構造のリセットトランジスタを用い、低ノイズの電荷検出を可能にした。即ち、パターンの工夫によりチャネルにポテンシャル勾配を形成し、過剰kTCノイズを大幅に低減した。
- (2) 埋め込み型MOSトランジスタのノイズ解析から、低ノイズMOS型増幅器を開発した。即ち、埋め込みチャネルモードと共に、弱反転領域での動作を避けることにより、極めて低ノイズの動作を実現した。
- (3) 従来のCCD回路に積分回路を導入することにより、新規ノイズ抑圧技術を開発した。即ち、従来の方式では避けられなかった、高域ノイズが低域に折り返される現象を抑え、高画質の映像信号を得ることを可能にした。
- (4) 縦型オーバーフロードレイン構造の物理学的解析から、同構造の簡単な最適化手法を見出した。これにより、高感度CCDイメージセンサを達成した。
感度については、更に分光特性の測定から、量子効率の向上について考察した。また感度増大に寄与するソースフォロワ回路の特性向上についても考察した。解像度については画素間干渉について考察し、その向上策を述べた。これらにより高感度、高解像度への手法を示した。
- (5) CCDを5V単一で動作させるための、高効率昇圧回路、パルス加算回路技術を開発した。これにより、CCDの実用上唯一の弱点であった多くの高い電圧源を必要とする課題を解決した。
- (6) 受光部の下側に独自の縦型構造を導入することにより、小画素サイズでもVOD電圧を大幅に低下させることが可能となった。この技術開発により、高密度CCDの実現を可能にした。

理想的なイメージセンサは、光電変換に伴って発生する原理的なショットノイズのみを持つが、上記新技術を採用することにより、CCDイメージセンサはほぼ理想的な素子となった。

