

Title	VLSIの自動レイアウト設計に関する研究
Author(s)	寺井, 正幸
Citation	
Issue Date	
Text Version	ETD
URL	<a href="http://hdl.handle.net/11094/2237">http://hdl.handle.net/11094/2237</a>
DOI	
rights	
Note	

*Osaka University Knowledge Archive : OUKA*

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名・(本籍)	寺 井 正 幸
学位の種類	工 学 博 士
学位記番号	第 8 4 2 2 号
学位授与の日付	昭 和 63 年 12 月 26 日
学位授与の要件	学位規則第5条第2項該当
学位論文題目	VLSIの自動レイアウト設計に関する研究
論文審査委員	(主査) 教 授 白川 功 (副査) 教 授 寺田 浩詔 教 授 浜口 智尋 教 授 児玉 慎三

### 論 文 内 容 の 要 旨

本論文はVLSIの自動レイアウト設計に関する研究成果をまとめたもので、全9章から構成されている。

第1章緒論では、VLSIの自動レイアウト設計に関するこれまでの研究と課題について述べ、本研究の目的を明らかにしている。

第2章では、バイポーラやMOS等のデバイス技術を用いて実現された相異なるチップ構造を持つゲートアレイ向きの配線手法について考察し、いくつかの実行結果を示している。

第3章では、ゲートアレイ配線設計におけるグローバル配線算法について考察している。適用結果により、本算法が配線の迂回を少なくし、配線の混雑度を均一化することを示している。

第4章では、ゲートアレイの配線設計において、幹線（配線経路の水平成分）間のサイクリックな上下制約を除去することを目的として、信号線を論理的に等価な端子間でどのように割り当てるかを決定する端子割当算法を考察し、いくつかの実行結果を示している。

第5章では、ゲートアレイの詳細配線設計において使用される水平トラック数を減少させるために、幹線の折り曲げ位置を決定する幹線分割算法を考察し、適用結果により本算法が有効であることを示している。

第6章では、ゲートアレイのセル配置が定まった段階において、チップ全体の配線に必要な水平トラック数を予測する問題について考察し、これがある範囲内にあることを理論的に証明している。次に自動配線プログラムにおいて使用される水平トラック数がほぼ上記の範囲の上限に等しいことを示している。

第7章では、トランジスタアレイの特徴をいかしたレイアウト手法について考察している。適用結果

により、本手法がRAM/ROMを含む回路の高密度なレイアウトを自動生成できることを示している。

第8章では、レイアウト設計を短期間にかつ高密度に、しかもパターン設計規則と独立に行うためのシンボリックレイアウト手法について考察している。シンボリックレイアウト手法とは、トランジスタ、コンタクト、配線などに対してシンボルを定め、これらのシンボルの相対的な位置関係によってレイアウトを表現し、それらに対してコンパクションを行って最終的なマスクパターンを生成する手法である。適用結果により、本手法が有効であることを示している。

第9章では、本研究で得られた成果を要約し、本論文の結論を述べている。

### 論文の審査結果の要旨

VLSIの高性能化および多機能化の要請が強まり、VLSIの設計複雑度が急激に増大しようとしているが、これに対処する設計自動化手法の新たな展開が望まれている。

本論文はVLSIの自動レイアウト設計における設計品質の向上をはかるために行った研究成果をまとめたもので、以下の成果を得ている。

- (1) バイポーラやMOS等のデバイス技術を用いて実現された相異なるチップ構造を持つゲートアレイ向き配線手法を提案し、その有効性をいくつかの実行結果により検証している。
- (2) ゲートアレイの配線設計において、迂回配線による配線長の増大を評価しながらグローバル配線を行う算法を提案し、迂回配線の減少と配線混雑度の均一化を実現している。
- (3) ゲートアレイの配線設計において、信号線を論理的に等価な端子間でどのように割り当てるかを決定する端子割当算法と幹線（配線経路の水平成分）の折り曲げ位置を決定する幹線分割算法を提案し、高い配線率を実現している。
- (4) ゲートアレイのセル配置が定まった段階において、チップ全体の配線に必要な水平トラック数の予測値を理論的に導出している。更に、この予測値が自動配線において使用される水平トラック数とほぼ一致することを実験により検証し、この予測値を小さくすることがセル配置設計の1つの指針となることを示している。
- (5) トランジスタアレイの特徴をいかしたレイアウト手法を提案し、RAM/ROMを含む回路の高密度なレイアウトの自動生成を実現している。
- (6) シンボリックレイアウト手法において、レイアウト設計を短期間にかつ高密度に、しかもパターン設計規則と独立に行うためのシンボルの定義方法、シンボルの配置方法、およびコンパクション手法を提案し、適用結果によりその有効性を確認している。

以上のように、本論文はVLSIの自動レイアウト設計、すなわちゲートアレイの配線設計、トランジスタアレイのレイアウト自動生成、およびフルカスタムVLSIのシンボリックレイアウト設計、における実用上有用な算法を開発したものであり、VLSIの自動レイアウト設計の分野に寄与するところが大きい。よって本論文は、博士論文として価値あるものと認める。