



Title	大規模集積回路のレイアウト合成手法に関する研究
Author(s)	福井, 正博
Citation	大阪大学, 1999, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3155637
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

氏 名	福 井 正 博
博士の専攻分野の名称	博 士 (工 学)
学 位 記 番 号	第 1 4 2 8 6 号
学 位 授 与 年 月 日	平 成 11 年 2 月 25 日
学 位 授 与 の 要 件	学位規則第4条第2項該当
学 位 論 文 名	大規模集積回路のレイアウト合成手法に関する研究
論 文 審 査 委 員	(主査) 教 授 白川 功
	(副査) 教 授 村上 孝三 教 授 藤岡 弘

論 文 内 容 の 要 旨

本論文は、大規模半導体集積回路のレイアウト設計の効率化と品質向上を論じるものであり、以下の7章から構成される。

第1章では、本研究の産業的背景として、大規模集積回路の設計規模増大と、設計複雑度増大の現実を示し、効率の良いレイアウト合成システム開発の必要性、重要性についての問題提起を行っている。

第2章では、本研究の技術的背景として大規模集積回路のレイアウト構造と設計フローについて概説し、それぞれのレイアウト構造に対する課題提起を行い、本研究の意義目的と成果について概説している。

第3章では、ゲートアレイ方式LSIの配置配線において、セルの等価端子に対するネットの割り当てを最適化し、配線処理を簡易化する等価端子割り当て手法を提案している。本手法を適用後、詳細配線を行った実験結果によって、与えられた配線トラックに対する余裕が多く、配線処理の成功率を向上すること、および詳細配線のトラック数を増加させる主な要因である上下制約グラフの上下矛盾の個数を大幅に減じること、を確認し、その有用性を明らかにしている。

第4章では、大規模集積回路を階層的に配置配線するためのチップフロアプラン設計フローと最適化手法について考察している。まず、チップフロアプラン問題の最適化対象の相関関係を明らかにし、全体の最適化を図るためのフローを提案している。次に、以下に述べるように個々の最適化問題について手法提案を行っている。

外部ピンの配置に関しては、ピンの分散と概略配線長の最小化を同時に解決する方法を示している。

電源配線に関しては、複数の動作状態に対して電流密度や電圧降下の制限条件のもとで面積を最小化する問題を定式化し、手法を提案している。

ブロック形状最適化に関しては、配線面積と各々のブロック面積を精度良く推定しブロック形状を最適化する手法を提案している。実際の大規模集積回路への適用により、無効領域が少ないレイアウト結果を示し、本提案手法の有効性と実用性を確認している。

第5章では、大規模集積回路のブロック間配線方法として、面積最小化とタイミング最適化を同時に行う概略配線

手法と、ブロック間をL字形状および直線形状のチャネルに分割しグリッドフリーチャネル配線を実行する詳細配線手法を提案している。実際の大規模集積回路への適用例により、面積、遅延の両面において良好な結果を得ることを示し、その有効性と実用性を確認している。

第6章では、ランダムロジックブロックや、データバスブロック等のレイアウトの最小単位であるリーフセルのレイアウト合成手法について考察している。配線と配置要素に対する新しいレイアウト抽象化モデルと、同モデルを用いたレイアウト合成手法を提案し、実験により人手設計と比べて遜色のない高密度なレイアウトを合成することを示している。さらに、実セル設計への適用によりその有効性と実用性を確認している。

第7章では、本研究で得られた成果を要約し、今後に残された課題について述べている。

論文審査の結果の要旨

本論文は、大規模集積回路のレイアウト合成手法に関する研究をまとめたもので、以下の成果を得ている。

(1)ゲートアレイ方式LSIの配置配線において、セルの等価端子に対するネットの割り当てを最適化し、配線処理を簡易化する等価端子割り当て手法を提案し、本手法が配線処理の成功率を向上すること、詳細配線のトラック数を増加させる主な要因である上下制約グラフの上下矛盾の個数を大幅に減じることを示し、レイアウト設計に有効であることを示している。

(2)大規模集積回路を階層的に配置配線するためのチップフロアプラン設計フローと最適化手法について考察している。まず、チップフロアプラン問題の最適化対象の相関関係を明らかにし、全体の最適化を図るためのフローを提案し、次に、個々の最適化問題に対して手法提案を行っている。外部ピンの配置に関しては、ピンの分散と概略配線長の最小化を同時に解決する方法を示している。電源配線に関しては、複数の動作状態に対して電流密度や電圧降下の制限条件のもとで面積を最小化する問題を定式化し、手法を提案している。ブロック形状最適化に関しては、配線面積と各々のブロック面積を精度良く推定しブロック形状を最適化する手法を提案している。これらの手法を実際の大規模集積回路に適用することによって、無効領域が少ないレイアウトが得られることを示し、本手法がレイアウト設計に有効であることを示している。

(3)大規模集積回路のブロック間配線方法として、面積最小化とタイミング最適化を同時に行う概略配線手法と、ブロック間をL字形状および直線形状のチャネルに分割しグリッドフリーチャネル配線を実行する詳細配線手法を提案している。実際の大規模集積回路への適用例により、面積、遅延の両面において良好な結果を得ることを示し、その有効性と実用性を示している。

(4)ランダムロジックブロックや、データバスブロック等のレイアウトの最小単位であるリーフセルのレイアウト合成手法について考察している。配線と配置要素に対する新しいレイアウト抽象化モデルと、同モデルを用いたレイアウト合成手法を提案し、人手設計と比べて遜色のない高密度なレイアウトを合成することを示している。さらに実セル設計への適用によりその有効性と実用性を確認している。

以上のように、本論文は、大規模集積回路のレイアウト合成手法に関する多くの有用な研究成果をあげており、大規模集積回路のレイアウト設計の分野に寄与するところが大である。よって本論文は博士論文として価値あるものと認める。