

Title	MOS RAMの高速・低消費電力化と動作余裕度の拡大に関する基礎的研究
Author(s)	長山, 安治
Citation	
Issue Date	
Text Version	ETD
URL	http://hdl.handle.net/11094/2341
DOI	
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名・（本籍）	なが 長	やま 山	やす 安	じ 治
学位の種類	工	学	博	士
学位記番号	第	6 1 9 4	号	
学位授与の日付	昭和 58 年 10 月 5 日			
学位授与の要件	学位規則第 5 条第 2 項該当			
学位論文題目	MOS RAMの高速・低消費電力化と動作余裕度の拡大に関する 基礎的研究			
論文審査委員	(主査) 教授 中井 順吉			
	教授 寺田 浩詔	教授 滑川 敏彦		

論 文 内 容 の 要 旨

本論文は、半導体メモリに関する研究のうち、高速・低消費電力化と動作余裕度の拡大に関する研究をまとめたもので、本文7章より構成されている。

第1章では、半導体メモリ（MOS-RAM）の大容量化、高速・低消費電力化に関する研究と、動作余裕度に関する研究の沿革と現状について述べ、本研究の目的と意義を明らかにしている。

第2章では、チャンネル形成に微細パターン技術を用いなくてもコンダクタンスを向上できる拡散自己整合型MOSトランジスタをとりあげ、ダイナミックMOS RAMに適用するにあたって問題となるテール電流、リーク電流の解析を行ない、ダイナミックMOS RAMへの適用の可能性を明らかにしている。また、4KビットダイナミックMOS RAMの試作研究により、DSA MOSトランジスタの高速性を実証している。

第3章では、ダイナミックMOS RAMの高速化に対する真性トランジスタの内因性遅延を検討し、高速アクセス時間を得るためには、ゲート容量、ミラー容量、寄生抵抗の低減が必要であることを明らかにしている。また、これらの効果を低減できる三重拡散型MOSトランジスタを提案し、超LSIの基本デバイスとしての有用性を明らかにしている。

第4章では、ダイナミックMOS RAMのセンスアンプ回路の感度を定式化し、高感度化の方針を明らかにしている。また、比例縮小則（スケーリング則）に基づいて進展してきたダイナミックMOS RAMの大容量化にソフトエラーが与える影響を定量的に解析し、ソフトエラーを考慮した修正スケーリング則を提案し、16KダイナミックMOS RAMの試作により修正スケーリング則の妥当性を明らかにしている。

第5章では、ダイナミックMOS RAMの読出し電圧、センスアンプ回路の感度、動作領域を決める係数をデバイスパラメータの変動を含めて定量化し、センスアンプ回路の設計指針を明らかにするとともに、MOS RAMの安定動作にとってデバイスパラメータの加工精度によるばらつきが非常に大きな障害となることを明らかにしている。また、アクセス時間の解析モデルを提案し、高速アクセス時間の実現のための最適構成法と指針を明らかにしている。

第6章では、第2～第5章の研究成果を高性能64KダイナミックMOS RAMに適用し、その工学的応用効果を電気特性、信頼性特性の評価により明らかにしている。

第7章は、MOS RAMの高速・低消費電力化と動作余裕度の拡大に関する基礎的研究の成果を総括して列記したものである。

論文の審査結果の要旨

本論文は、ダイナミックMOS RAMの高速・低消費電力化と動作余裕度の拡大をはかるための理論的ならびに実験的研究をまとめたもので、主な研究成果は次の通りである。

- (1) 実効チャンネル長を短くなくするDSA MOS トランジスタのテール電流、接合リーク電流は通常のMOS トランジスタと同程度のもので、全イオン注入法によるDSA MOS プロセスがダイナミックMOS RAMにも適用可能である。また、DSA MOS トランジスタにより構成したダイナミックMOS RAMの性能指数が1.7倍改善されることを見出している。
- (2) ダイナミックMOS RAMの高性能化に関連するパラメータのゲート容量、ソースとドレインの寄生抵抗、MOS トランジスタのコンダクタンスの特性を明らかにし、これらパラメータの適当条件をみたす三重拡散型MOS トランジスタの提案を行ない、かつ実証している。
- (3) ダイナミックMOS RAMのセンスアンプ回路の安定動作の条件に検討を加え、センスアンプ回路を高感度化するための方針を明らかにしている。
- (4) ダイナミックMOS RAMのソフトエラーを考慮した修正スケーリング則を提案し、これによるメモリ容量決定法を示し、高速・高性能化を実現するための新しい回路構成法を提案している。
- (5) 以上の成果を64KダイナミックMOS RAMに適用したものを試作し、電気特性評価、信頼性特性評価を行っている。

以上のように、本論文はダイナミックMOS RAMの特性向上、とくに高速・低消費電力化と動作余裕度の拡大をはかるための基本の方針を与え、かつ、それを実証したもので、半導体集積回路製造技術に貢献するところ大である。よって本論文は博士論文として価値あるものと認める。