



Title	MOS RAMの高速・低消費電力化と動作余裕度の拡大に関する基礎的研究
Author(s)	長山, 安治
Citation	大阪大学, 1983, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/2341
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

MOS RAMの高速・低消費電力化と 動作余裕度の拡大に関する基礎的研究

1983年5月

長 山 安 治

MOS RAMの高速・低消費電力化と 動作余裕度の拡大に関する基礎的研究

1983年5月

長 山 安 治

内 容 梗 概

本論文は、著者が昭和50年三菱電機株式会社に入社以来、LSI開発センター及びLSI研究所において行なってきた半導体メモリに関する研究のうち、高速・低消費電力化に関する研究と動作余裕度の拡大に関する研究をまとめたもので、本文は、7章より構成されている。

第1章 序 論

絶縁ゲート形電界効果トランジスタ(IGFET-MOSFET)を用いた、任意読み出し書き込み可能なメモリ(Random Access Memory, RAM)の開発経緯と、大容量化およびMOS RAMの最大重要性能指数である高速・低消費電力化に関する半導体デバイス、回路設計技術上の研究と、工業的応用上重要な意味をもつ動作余裕度に関する研究の沿革と現状について述べ、本研究の目的と意義を明らかにする。

第2章 MOSトランジスタの高性能化

MOS RAMの高性能化のキーデバイスであるMOSトランジスタの性能向上には、MOSトランジスタのチャンネル幅、チャンネル長、および物理定数(酸化膜の誘電率、Si中のキャリア移動度)と電圧に依存し、構造と電圧が決まれば、チャンネル幅とチャンネル長に依存するコンダクタンスの増大が必要である。本研究ではチャンネル形成に微細パターン技術を用いなくてもコンダクタンスを向上できるデバイスとして拡散自己整合形(DSA: Diffusion Self Aligned)MOSトランジスタをとりあげる。本章では、DSA MOSトランジスタの特性、DSA MOSトランジスタをダイナミックMOS RAMに適用するにあたって問題となるテール電流、リーク電流の解析を行ない、ダイナミックMOS RAMへの適用の可能性を明らかにする。また、ソース・ドレインを逆接続して動作させる逆方向DSA MOSトランジスタの解析を行ない、スタティックMOS RAMへの適用の可能性を明らかにする。さらに、4KビットダイナミックMOS RAMおよびスタティックMOS RAMの試作・研究を通して、DSA MOSトランジスタの高性能性を実証する。

第3章 内因性遅延と高速化

MOS RAMの動作速度の解析においては、真性トランジスタによる内因性遅延と外部負荷による外因性遅延に分離して検討する必要がある。本章では、MOS RAMの高速化に対し内因性遅延を検討する。内因性遅延の主な原因は、ゲート容量がMOS RAMの負荷容量の50%を占めること、ゲートとソース・ドレイン間の重なり容量がミラー容量として働くこと、さらに寄生

抵抗による遅延であることを明らかにする。本章では、ゲートとソース・ドレイン間の重なり容量を低減化し、ソース・ドレインの寄生抵抗も低減化した3重拡散型MOSトランジスタ(T.D.T; Triple Diffused MOS Transistor)を提案し、超LSIの基本デバイスとしての有用性を明らかにする。また、T.D.Tの実用改良型のSAGOS(Self Aligned Small Gate Overlap Structure)MOSトランジスタの提案を行ない、その特性解析から有用性を明らかにする。

第4章 MOS RAMの動作余裕度

本章では、MOS RAMの回路動作上重要な意味をもつセンスアンプ回路の感度をMOSトランジスタの特性より解析的に求め、その感度とデバイスパラメータの対応を定式化し、センスアンプ回路を高感度化するための方針を明らかにする。また、比例縮小則(スケーリング則)に基づいて進展してきたMOS RAMのデバイス、回路設計に、パッケージ及びデバイス構成材料から放射される α 線によりMOS RAMが誤動作するソフトエラーが与えた影響を定量的に解析し、ソフトエラーを考慮した修正スケーリング則を提案する。さらに、修正スケーリング則を適用したメモリ容量決定法を示し、高速化、高性能化を実現するための新しい回路構成法を提案する。提案した修正スケーリング則の妥当性を、12V-16KダイナミックMOS RAMと5V-16KダイナミックMOS RAMの比較により明らかにする。

第5章 MOS RAMの最適構成

MOS RAM用センスアンプ回路の設計において、読み出し電圧、センスアンプ回路の感度、動作領域を決める係数をデバイスパラメータの変動を含めて定量化し、センスアンプ回路の設計指針を明らかにする。さらに、MOS RAMの安定動作にとって、デバイスパラメータの加工精度によるばらつきが非常に大きな障害となっていることを明らかにし、64KダイナミックMOS RAMでは128リフレッシュ方式が十分広い動作領域を得るためには有利であることを明らかにする。また、アクセス時間解析のモデルを提案し、高速化のための最適構成法と指針を明らかにする。

第6章 高性能64KダイナミックMOS RAMへの工学的応用

本章では、第2～第5章の研究成果を高性能64KダイナミックMOS RAMに適用し、その工学的応用効果を、電気特性評価、信頼性特性評価により明らかにする。

第7章 結 論

MOS RAMの高速，低消費電力化と動作余裕度の拡大に関する基礎的研究の第2章から第6章までの研究成果を総括して，本研究の結論とする。

目 次

第1章 序 論	1
1.1 関連分野の研究の歴史的概要	1
1.2 問題点の概要と本研究の目的	6
第2章 MOSトランジスタの高性能化	12
2.1 序	12
2.2 DSA MOSトランジスタのダイナミックMOS RAMへの適用	12
2.2.1 DSA MOSトランジスタの特性	12
2.2.2 伝達特性とDSA MOSトランジスタの最適適用領域	24
2.2.3 DSA MOSトランジスタの4KダイナミックMOS RAMへの適用と その電気特性	26
2.3 DSA MOSトランジスタのスタティックMOS RAMへの適用	30
2.3.1 逆方向DSA MOSトランジスタによる高速化	30
2.3.2 DSA MOSトランジスタの4KスタティックMOS RAMへの適用と その電気特性	31
2.4 結 言	34
第3章 内因性遅延と高速化	38
3.1 序	38
3.2 MOSトランジスタの寄生抵抗	38
3.3 高性能ダイナミックMOS RAMと構成デバイスの具備条件	42
3.3.1 MOSトランジスタ特性（ゲート長の短チャンネル化）	42
3.3.2 寄生抵抗（寄生CR時定数の低減）	43
3.3.3 寄生容量（負荷容量の低減）	43
3.4 3重拡散型MOSトランジスタ（T.D.T）	45
3.4.1 デバイス構造とプロセス	45
3.4.2 3重拡散型MOSトランジスタの特性	47
3.4.3 3重拡散型MOSトランジスタを用いた64KダイナミックMOS RAMと その電気特性	52

3.4.4	3重拡散型MOSトランジスタの高性能性	55
3.5	ゲート重なり容量を低減化した(SAGOS)MOSトランジスタ	59
3.5.1	デバイス構造とプロセス	59
3.5.2	SAGOS MOSトランジスタの特性	60
3.5.3	SAGOS MOSトランジスタの64KダイナミックMOS RAMへの適用 とその電気特性	63
3.6	結 言	65
第4章	MOS RAMの動作余裕度	68
4.1	序	68
4.2	センスアンプ感度の定量化	69
4.2.1	センスアンプ感度の導出	69
4.2.2	定量化したセンスアンプ感度の妥当性の検討	71
4.3	ソフトエラーを考慮したダイナミックMOS RAMの回路設計	73
4.3.1	ソフトエラーを考慮したメモリセル容量の決定法	73
4.3.2	修正スケーリング則	75
4.3.3	修正スケーリング則による5V-16KダイナミックMOS RAMの回路設計	76
4.3.4	修正スケーリング則の妥当性の検討	83
4.4	ソフトエラーと回路設計	85
4.4.1	ソフトエラーとダミーセル容量	85
4.4.2	ソフトエラーとワード線電位	86
4.5	結 言	89
第5章	MOS RAMの最適構成	93
5.1	序	93
5.2	安定動作の条件式	94
5.3	デバイスパラメータの製造上のばらつき	95
5.4	微細パターン製造技術を用いたダイナミックMOS RAMの設計理論	97
5.4.1	加工精度のばらつきがスケールダウンされない場合の設計理論	97
5.4.2	加工精度のばらつきがスケールダウンされる場合の設計理論	99
5.4.3	64KダイナミックMOS RAMのリフレッシュ方式の検討	100
5.4.4	64KダイナミックMOS RAMの設計指針	102

5.5	設計理論の64KダイナミックMOS RAMへの適用とその電気特性	104
5.6	ダイナミックMOS RAMのアクセス時間の解析	106
5.6.1	アクセス時間解析のモデル	106
5.6.2	ワード線, ビット線の遅延	107
5.6.3	センスアンプ感度保証時間	110
5.6.4	高速化の要因	110
5.7	2層A ℓ 構造による高性能化	112
5.7.1	2層A ℓ 構造のダイナミックMOS RAMの試作	112
5.7.2	電気特性の比較	113
5.8	結 言	115
第6章	高性能64KダイナミックMOS RAMへの工学的応用	118
6.1	序	118
6.2	64KダイナミックMOS RAMの構成	118
6.2.1	64KダイナミックMOS RAMの仕様	118
6.2.2	チップ構成	123
6.3	64KダイナミックMOS RAMの性能と信頼性	127
6.3.1	製造プロセス	127
6.3.2	電気性能	128
6.3.3	信頼性	129
6.4	結 言	131
第7章	結 論	133
謝 辞		136
研究業績目録		137

第1章 序

論

1.1 関連分野の研究の歴史的概要

大規模集積回路（LSI）の開発は、チップ当りの機能の向上と高性能化による付加価値の向上の歴史であると言っても過言ではない。チップ当りの機能の向上は、集積密度の向上を必要とし、電子機器の高実装密度化、高性能化に大きな役割を果たし、高性能化はチップの消費電力の低減や高速化であり、電子機器の高性能化に大きな役割を果たしている。一方、チップ当りのコストは、強い市場要求により低下し、LSIの新しい応用分野につながっている。特に、チップ当りのコスト低下は、集積密度の向上と1対1に対応するため、高集積化技術の研究、開発は強力に推進されている。

このようなLSI開発の歴史は、MOS LSI特にダイナミックMOS RAMにおいてより鮮明に現われている。表1.1にダイナミックMOS RAMの研究開発の技術推移を示す。高集積化についてみると1チップ当りのビット数の増加がほぼ3年で4倍の割合で増大しており、現在では256KダイナミックMOS RAMの研究・開発が行なわれている。

表1.1 ダイナミックMOS RAMの技術推移

1970年	1KダイナミックMOS RAM ⁽¹⁾	(3トランジスタメモリセル)
1972年	4KダイナミックMOS RAM ⁽²⁾	(1トランジスタメモリセル)
1976年	16KダイナミックMOS RAM ⁽³⁾	(アドレス多重化, 2層ポリシリコン) ⁽⁴⁾
1978年	64KダイナミックMOS RAM ^{(5), (6), (7), (8)}	(5V単1電源) ^{(9), (10), (11)}
1980年	256KダイナミックMOS RAM ^{(12), (13)}	(ゲート材料の低抵抗化)

これらの高集積化は、主に1ビットを構成するメモリセルのトランジスタ数を3個から1個に減らした⁽²⁾ことや、微小信号を増幅するセンスアンプ回路などの回路技術の進歩と、デバイス寸法の微細化、三次元方向への集積化、チップの大型化など製造技術の進歩により達成されている。1トランジスタ型のダイナミックメモリセルは、1個のトランジスタと1個のMOSキャパシタからなり、実用化されている記憶素子の最小の大きさとなっているが、更に高集積化を達成するため、1トランジスタのみによって構成されるメモリセルの研究も行なわれている。⁽¹⁹⁾また、三次元方向の集積化では、1トランジスタ型メモリセルの場合、1層ポリシリコンセルから2層ポリシリコンセルへ進展し、⁽³⁾3層ポリシリコンによるメモリセルや、⁽⁷⁾接合容量を上手く使ったメモリセル^{(20), (21), (22)}の実用化が行なわれている。図1.1は集積密度とメモリセルサイズの関係を示している。4KダイナミックMOS RAMでは、1層ポリシリコンメモリセルで1400 μm^2 の面積であった

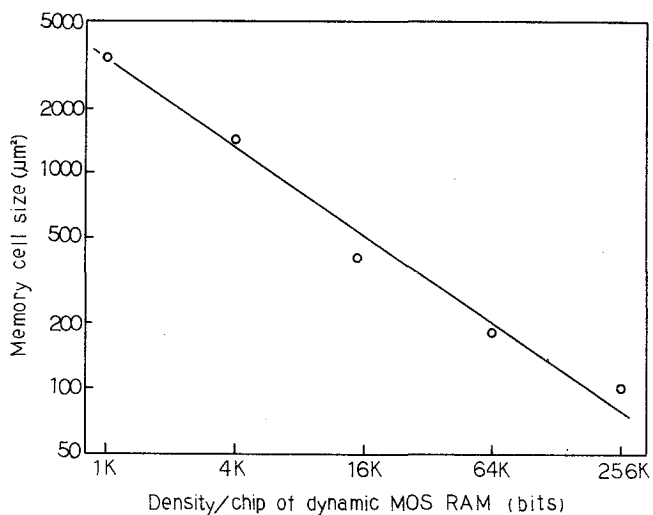


図 1.1 ダイナミック MOS RAM のメモリセル面積推移

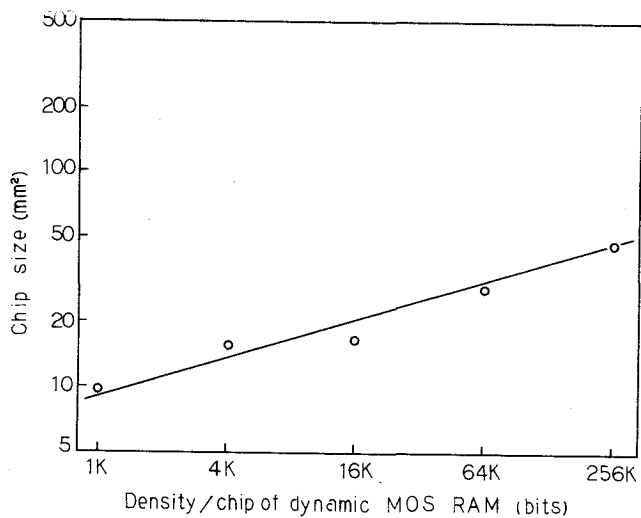


図 1.2 ダイナミック MOS RAM のチップ面積推移

が、64Kダイナミック MOS RAM では2層ポリシリコンと微細化により $180 \mu\text{m}^2$ が実現されている。一方、1つのチップに集積化するメモリセル数が増すとチップ面積が増大する傾向がある。図 1.2 はその様子を示している。チップ面積の増大が可能になったのは、LSI 内のパ

ターン欠陥密度を低下させた超清浄化技術の発展と、同一シリコンウエハから得られるチップ数の増大が期待できるシリコンウエハの大口径化技術の進歩によるところが大きい。これらの技術開発により、64KダイナミックMOS RAMでは29mm²のチップが歩留良く生産されている。

ダイナミックMOS RAMの高集積化は、材料技術、製造技術、デバイス技術、回路技術、システム技術の総合的な発展により達成されたものであるが、中でもイオン注入技術、ドライ加工技術、電子ビーム露光技術、縮小投影露光技術の開発などの製造技術の発展が、デバイスの精密加工、微細加工を可能とし、高集積化の原動力となっている。

また、高性能化の歴史についてみると、1KダイナミックMOS RAMで300nsecであったアクセス時間は、最近の64KダイナミックMOS RAMでは120nsecと2.5倍の改善がなされ、消費電力でも420mWから250mWへと約2倍の改善が達成されている。その推移を図1.3と図1.4に示す。ダイナミックMOS RAMの高性能化の歴史は、1ビットが消費するエネルギーを示すビット当りの消費電力・遅延時間積($P \cdot D$ 積)の低減の歴史であるといえる。本研究では $P \cdot D$ 積/ビットを性能指数と定義している。高集積化と性能指数改善の推移を図1.5に示す。1KダイナミックMOS RAMでは65pJ/ビットであった

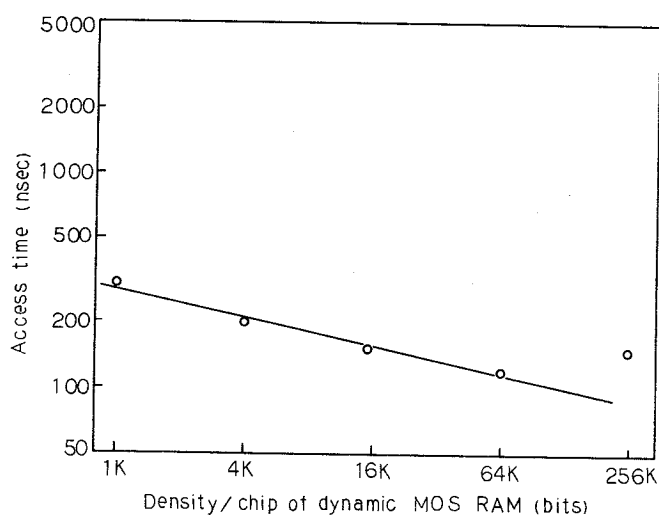


図1.3 ダイナミックMOS RAMのアクセス時間推移

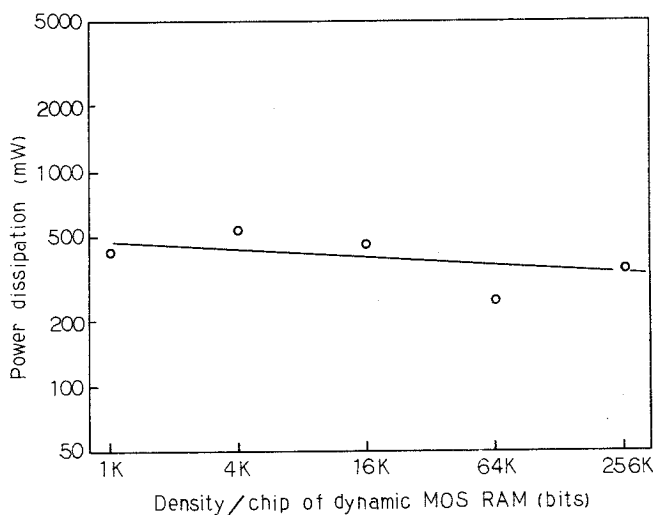


図 1.4 ダイナミック MOS RAM の消費電力推移

ものが、最近の 64K ダイナミック MOS RAM では 0.45 pJ/ビット に 150 倍改善されている。これらの高性能化は、微細加工技術による高集積化、高速、低消費電力の回路設計技術の進展、プロセスの清浄化技術、イオン注入技術による P チャンネル MOS トランジスタから移動度の 3 倍大きい N チャンネル MOS トランジスタへの移行、素子の精密加工、拡散の制御性の向上による電源電圧の低減 (4K, 16K : 12V $\rightarrow$ 64K : 5V) によって達成されている。

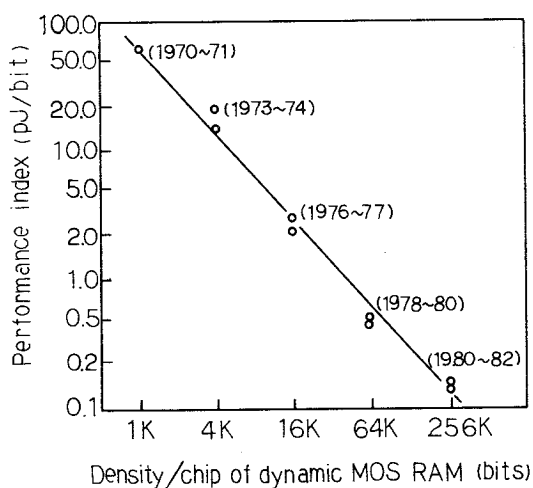


図 1.5 性能指数の改善度

一方、コスト／ビットの低下の推移を図 1.6 に示す。ビット当りの単価はこの 10 年で約 1 / 100 に低下している。この単価の低下は、微細加工技術や、メモリセルサイズを低下させたデバイス技術、微小信号を安定に処理できる回路技術等による高集積化と、大口径ウエハによる量産ラインの整備によって達成されている。このコスト／ビットの低下は、ダイナミック MOS RAM の新しい応用分野の拡大に大きく寄与している。頭初、ダイナミック MOS RAM の応

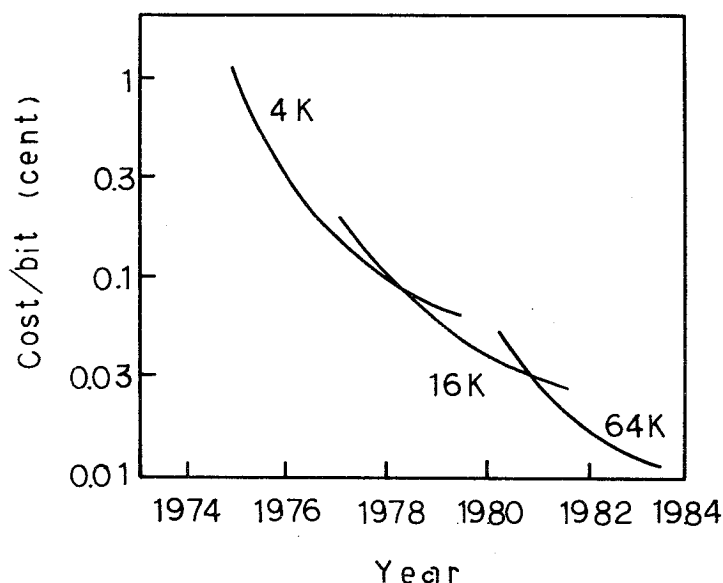


図 1.6 ダイナミック MOS RAM のビット価格の推移

用分野は計算機関係に限定されていたが、最近ではオフィスオートメーション機器としてのワードプロセッサや電子タイプライター、更に民生機器のテレビゲームにも使用され、その需要は指数関数的に増大している。具体的には、4 K ダイナミック MOS RAM が、1978 年に 8 千万個、16 K ダイナミック MOS RAM が 1981 年に 25 千万個使用されており、64 K ダイナミック MOS RAM では、1985 年に 70 千万個の需要が予測されている。

このように、高集積化（大容量化）と高性能化、および低価格化の 3 つの大きな柱によって大容量ダイナミック MOS RAM の開発は進展し、電子機器の経済性の向上、性能向上により、更に広範な応用分野の拡大を可能とし、情報化時代の担い手として増々その地位は産業全般の中で重要になってくると考えられる。

一方、ダイナミック MOS RAM の開発を技術的にとらえると、ダイナミック MOS RAM の重要な技術開発項目は、微細加工技術、ウエハの大口径化技術、高性能デバイス技

術、回路技術である。高集積化、高性能化を可能とする基本的考えは、Dennard⁽²³⁾らによって提唱されたスケーリング則に則っている。この考えを基本として、メモリセル面積の縮小がなされ、高集積化が達成され、また、1ビットの性能指数の向上が達成されたと考えることができる。

しかしながら、ダイナミックMOS RAMの開発の歴史の中で、1978年にT.C. May^{(24),(25)}らによって発表されたパッケージおよびデバイス構成材料から放出される α 粒子によるダイナミックMOS RAMのソフトエラーは非常に大きな衝撃を与える事柄であった。それ以来、ソフトエラーは高集積ダイナミックMOS RAMの重要な技術開発項目となり、チップ自身の α 粒子耐量の強化^{(22),(26),(27)}、パッケージ材料からの α 粒子発生⁽²⁸⁾の低減、チップコーティングによる遮へい効果の研究が活発に行なわれている。

また、ダイナミックMOS RAMの微細化による高性能化は、メモリセルの情報エネルギーが小さくなり、ダイナミックMOS RAMの動作余裕度の低下を引き起こすことが予測され、いかに拡大を図るかという研究も行なわれている。そのための研究項目は、基板電位発生回路のオンチップ化による基板ノイズの研究⁽²⁹⁾、センスアンプ感度の向上の研究^{(30),(31)}とメモリセル蓄積電荷量増大の研究である。

1.2 問題点の概要と本研究の目的

1.1節で述べた大容量ダイナミックMOS RAMの開発の歴史を熟考すると、デバイス構造、デバイス特性に関して、高性能化、大容量化するための律速条件は何かを明確にする必要があること、動作余裕度を拡大するために、動作余裕度の定量化が必要であることがわかる。そこで、本研究は、大容量ダイナミックMOS RAMの高性能化と大容量化、更に動作余裕度の拡大に関して、その問題点を明確化すると共に、改善の方法を提案することを目的としている。

1.1節でダイナミックMOS RAMの高性能化、高集積化を達成するためには、材料、製造、デバイス、回路などの各技術の総合的な発展が必要であることを述べたが、本研究では、これらの各技術の中で、デバイス、回路技術による高性能化、大容量化の達成方法と、動作余裕度の拡大に関して回路技術より得られる改善手段について検討している。

第2章では、高性能ダイナミックMOS RAMを達成するために必要な構成MOSトランジスタの高性能化の研究を行なっている。MOSトランジスタの高性能化は、コンダクタンスの増大であり、微細加工技術を用いなくともコンダクタンスを増大できる拡散自己整合形(DSA: ⁽³²⁾ Diffusion Self Aligned) MOSトランジスタの特性の解析を行ない、その性能を明らかにする。また、DSA MOS トランジスタのダイナミックMOS RAM やスタティックMOS

RAMへの適用の可能性を明らかにする。

第3章では、高性能ダイナミックMOS RAMを達成するために必要な内因性遅延の減少の研究を行なっている。内因性遅延は、寄生容量や寄生抵抗によって発生するので、それらを低減化した3重拡散型MOSトランジスタ(T.D.T:Triple Diffused MOS Transistor)の提案を行ない、デバイス特性の解析から高性能化に適合していることを明らかにする。また、3重拡散型MOSトランジスタの実用改良版である寄生容量を低減できるSAGOS(Self Aligned Small Gate Overlap Structure)MOSトランジスタを提案し、特性解析から高性能性を有していることを明らかにする。

第4章では、微小エネルギーを取り扱う高集積ダイナミックMOS RAMの動作余裕度を拡大するために動作余裕度を決定している因子の解析を行ない、その問題点を明らかにする。また、ソフトウェアが動作余裕度を低下させるのでその研究を行ない、ソフトウェアを考慮した指導原理、修正スケーリング則を提案しその実証を行なっている。

第5章では、動作余裕度を拡大するための大容量MOS RAMの最適構成の研究を行なっている。動作余裕度を定量的に考察し、動作余裕度のモデルを提案する。また、このモデルとスケーリング則を結合した大容量ダイナミックMOS RAMの設計理論を提案し、その理論の実証を行なっている。

第6章では、第2章～第5章において得られた結論を、64KダイナミックMOS RAMに適用し、本研究で得られた成果が、工学的応用上問題がないことを明らかにする。

第7章では、第2章～第6章で得られた結論を総括的に述べる。

参考文献

- (1) W. Regitz and J. Karp; "A three transistor cell, 1024 bit, 500ns MOS RAM", ISSCC Dig. Tech. Papers, PP.42-43, 1970.
- (2) J.A. Karp, W.M. Regitz and S. Chou; "A 4096 bit dynamic MOS RAM", ISSCC Dig. Tech. Papers, PP. 10-11, 1972.
- (3) C.N. Ahlguist, J.R. Breivogel, T.J. Koo, J.L. McCollum, W.G. Oldham and A.L. Renniner; "A 16K dynamic RAM", ISSCC Dig. Tech. Papers, PP. 128-129, 1976.
- (4) P.R. Schröder and R.J. Proebsting; "A 16K x 1 bit dynamic RAM", ISSCC Dig. Tech. Papers, PP. 12-13, 1977.
- (5) H. Yoshimura, M. Hirai, T. Asaoka and H. Toyoda; "A 64K bit MOS RAM", ISSCC Dig. Tech. Papers, PP. 148-149, 1978.
- (6) D.V. Essl, R. Losehand and B. Rehn; "A 64Kb VMOS RAM", ISSCC Dig. Tech. Papers, PP. 148-149, 1979.
- (7) I. Lee, R.T. Yu, F.J. Smith, S. Wong and M.P. Embrathiry; "A 64Kb MOS Dynamic RAM", ISSCC Dig. Tech. Papers, PP. 146-147, 1979.
- (8) R.P. Cenker, D.G. Clemons, W.R. Huber, J.B. Petrizzi, F.J. Procyk and G.M. Trout; "A Fault-Tolerant 64K Dynamic RAM", ISSCC Dig. Tech. Papers, PP. 150-151, 1979.
- (9) K. Itoh, R. Hori, H. Masuda and Y. Kamigaki; "A single 5V 64K Dynamic RAM", ISSCC Dig. Tech. Papers, PP. 228-229, 1980.
- (10) L.S. White, J. Nagai, H. Hong, D.J. Redmine and G.R. Mohan Rao; "A 5V-only 64K Dynamic RAM", ISSCC Dig. Tech. Papers, PP. 230-231, 1980.

- (11) S.S.Eaton, D. Wooten, W. Slemmer and J. Brady; "A 100ns 64K dynamic RAM using redundancy techniques", ISSCC Dig. Tech. Papers, PP. 84-85, 1981.
- (12) S. Matsue, H. Yamamoto, K. Kobayashi, T. Wada, M. Tameda T. Okuda and Y. Inagaki; "A 256K Dynamic RAM", ISSCC Dig. Tech. Papers, PP. 232-233, 1980.
- (13) T. Mano, K. Takeya, T. Watanabe, K. Kiuchi, T. Ogawa and K. Hirata; "A 256K RAM Fabricated with Molybdenum-Poly-silicon Technology", ISSCC Dig. Tech. Papers, PP. 234-235, 1980.
- (14) K.U. Stein, A. Sihling and E. Deoring; "Storage array and sense/refresh circuit for single-transistor memory cells", IEEE J. Solid-State Circuits, vol. SC-7, No.5, PP. 336-340, 1972.
- (15) W.T. Lynch and H.J. Boll; "Optimization of the latching pulse for dynamic flip-flop sensors", IEEE J. Solid-State Circuits, vol. SC-9, No.2, PP. 49-55, 1974.
- (16) L.G. Geller, D.P. Spanpinate and L.Y. Yao; "High-sensitivity charge-transfer sense amplifier", IEEE J. Solid-State Circuits, vol. SC-11, No.5, PP. 596-601, 1976.
- (17) L.G. Heller; "Cross-coupled charge transfer sense amplifier", ISSCC Dig. Tech. Papers, PP. 20-21, 1979.
- (18) John J. Barnes and John Y. Chan; "A high performance sense amplifier for a 5V dynamic RAM", IEEE J. Solid-State Circuits, vol. SC-15, No.5, PP. 831-839, 1980.
- (19) P.K. Chatterjee, G.W. Taylor and M. Malwah; "Circuit Optimization of the Taper Isolated Dynamic Gain RAM cell for VLSI Memories", ISSCC Dig. Tech. Papers, PP. 22-23, 1979.

- (20) C.G. Sodini and T.I. Kamins; "Enhanced Capacitor for One-Transistor Memory Cell", IEEE Trans. Electron-Devices, vol. ED-22, No.4, PP. 1187-1189, 1976.
- (21) A.F. Tash, Jr., P.K. Chatterjee, H.S. Fu and T.C. Holloway; "The Hi-C RAM Cell Concept", IEEE Trans. Electron-Devices, vol. ED-25, No.1, PP. 33-42, 1978.
- (22) M. Yamada, M. Taniguchi, T. Yoshihara, S. Takano, H. Matsumoto, T. Nishimura, T. Nakano and Y. Gamou; "Soft error Improvement of Dynamic RAM with Hi-C Structure", IEDM Dig. Tech. Papers, PP. 578-581, 1980.
- (23) R.H. Dennard, F.H. Gaensslen, H.N. Yu, V. Rideout, E. Passous and A.R. Leblanc; "Design of ion-implanted MOSFET's with very small physical dimensions", IEEE J. Solid-State circuits, vol. SC-9, No.5, PP. 256-268, 1974.
- (24) T.C. May and M.H. Woods; "A New physical mechanism for soft error in dynamic memories", Proc. 1978 Int. Reliability Phys. Symp., PP. 33-40, 1978.
- (25) T.C. May and M.H. Woods; "Alpha-Particle-Induced Soft Errors in Dynamic Memories", IEEE Trans. Electron-Devices, vol. ED-26, No.1, PP. 2-9, 1979.
- (26) K. Mitsusada, H. Katto and T. Toyabe; "Design for Alpha Immunity of MOS dynamic RAM's", IEDM Dig. Tech. Papers, PP. 36-39, 1981.
- (27) S. Satoh, M. Denda and T. Fukumoto; "Soft error Improvement in MOS RAM's by the use of Epitaxial Substrate", 12th Conf. on Solid-State-Devices Tech. Dig., PP. 63-64, 1980.
- (28) 吉原, 高野, 谷口, 原田, 中野; "MOSダイナミックRAMのソフトエラー解析", 信学論(C), vol. J65-C, No.4, PP. 251-256, 1982.

- (29) H. Masuda, R. Hori, Y. Kamigaki, K. Itoh, H. Kawamoto and H. Katto; "A 5V-only 64K Dynamic RAM Based on High S/N Design", J. Solid-State Circuits, vol. SC-15, No.5, PP. 846-853, 1980.
- (30) N. Ieda, E. Arai, K. Kiuchi, Y. Ohomori and K. Takeya; "A 64K MOS RAM design", J. Japan Appl. Phys., vol. 17, No. 1, PP. 57-63, 1978.
- (31) 下酉, 長山, 中野; "ダイナミック MOS RAMのセンスアンプ感度", 信学論(C) vol. J61-C, No 6, PP. 399-401, 1978.
- (32) Y. Tarui, Y. Hayashi and T. Sekigawa; "Diffusion self-aligned MOST: A new approach for high speed device", Proc. 1st Conf. Solid-State Devices, Tokyo, 1969, Oyo Butsuri (J. Japan Soc. Appl. Phys.), vol. 39, Suppl., PP. 105-110, 1970.

第2章 MOSトランジスタの高性能化

2.1 序

ダイナミックMOS RAMの高性能化には、構成MOSトランジスタのコンダクタンスの増大が必要であり、その改良方法の1つとしてR.H.Dennard⁽¹⁾らによって提唱されたスケーリング則がある。一方、同種、同程度の製造技術で形成された通常のNMOSトランジスタに比べ、コンダクタンスの増大に必要なチャンネル長を微細化でき、高速動作が可能な拡散自己整合形(DSA:Diffusion Self Aligned)^{(2),(3)}MOSトランジスタが提案されている。しかし、LSIに適用し一層の高速、高集積化を達成するためには基本デバイス構造および製造方法の検討、改善が必要であり、新しいプロセス方式の研究、開発が望まれている。DSA MOS トランジスタは、p、n両不純物の拡散深さの差によりチャンネル長を決定し、1 μm 以下の実効チャンネル長を容易に実現できる利点をもっており、ドレイン耐圧の低下を招きにくく、MOS RAM の高速化の要件を満足している。しかし、DSA MOS トランジスタのしきい値電圧は、p、n両不純物の基板内における分布に依存し制御性に難があること、負荷容量の大きい回路では、駆動能力の面で短チャンネル特性の良さが十分発揮されないなどの問題点があり、MOS RAM への応用は困難とされてきた。本研究では以上の問題点に対し次の検討を行なっている。

2.2節においては、しきい値電圧制御性が優れている全イオン注入プロセス⁽⁴⁾の概要と、DSA MOSトランジスタの優れた短チャンネル^{(5),(6),(8)}特性について検討する。また、DSA MOSトランジスタをダイナミックMOS RAMに適用するに当たり、記憶保持時間を満足させるためのテール電流⁽⁷⁾や接合リーク電流⁽⁸⁾について検討する。更に、DSA MOSトランジスタをLSIに適用する場合に、そのデバイスが有する優れた特性が、LSIの特性にどのような効果をもたらすかについて検討する。

2.3節においては、ソース端の接合容量の低減が可能となる逆方向DSA MOSトランジスタ⁽⁹⁾を提案し、逆方向DSA MOSトランジスタの高性能性について明らかにする。

2.2 DSA MOSトランジスタのダイナミックMOS RAMへの適用

2.2.1 DSA MOSトランジスタの特性

2.2.1.1 基本デバイスのプロセス

従来、DSA MOSトランジスタにおける2重拡散領域の形成には不純物拡散法として熱拡散法が用いられ、又、素子間分離法はプレーナ方式、ゲート構造はアルミゲート構造が用いられて

(2),(3) きた。しかし、この構造では、ゲート電極とソース・ドレイン領域の相互位置が自己整合されていないこと、デバイス面積が大きく、またゲートとドレインのミラー容量が大きいため、さらにp型不純物拡散領域およびソース・ドレイン領域への不純物の導入が熱拡散で行なわれているため、不純物量の精密制御が困難となり、しきい値電圧や電気特性の再現性が乏しい欠点があった。そこで、これらのデバイス構造上の問題を解決するため、不純物導入を全てイオン注入で行ない高集積化が可能で、かつ一層微細化が容易な新しいデバイス構造を実現し、しきい値電圧等の精密制御を達成したのが、全イオン注入法による π プレーナ形シリコンゲート DSA MOS トランジスタである。表 2.1、図 2.1 に製造工程を示す。また、この製造工程は次のような特徴を有している。

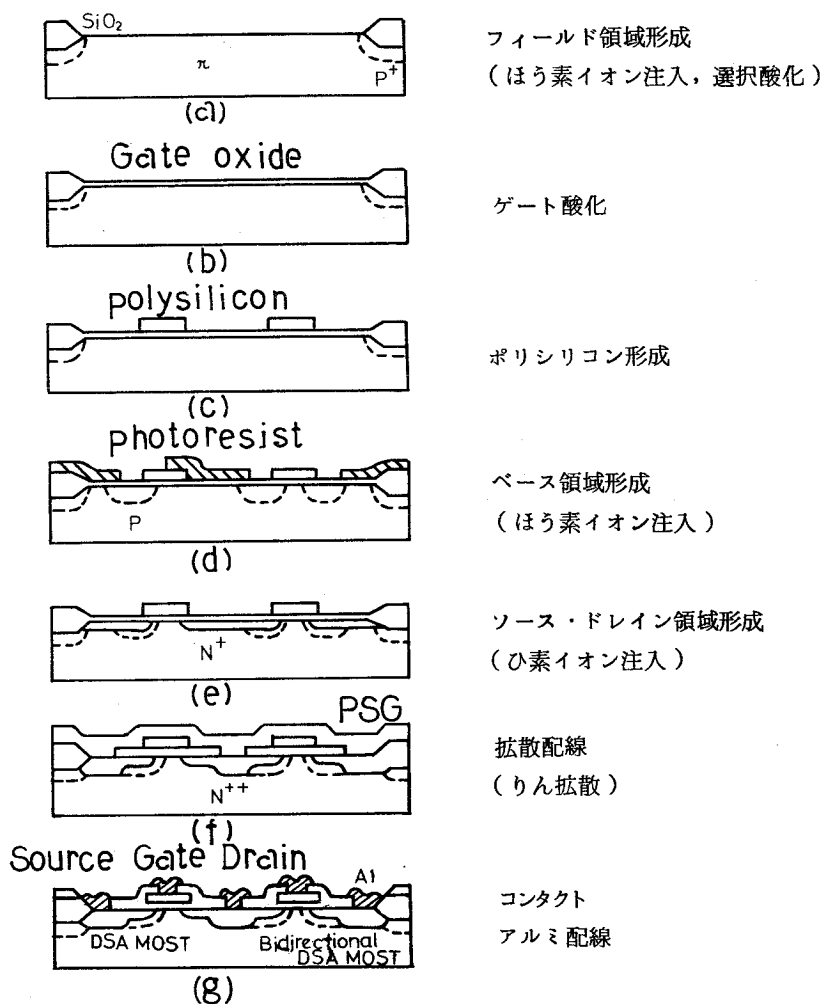


図 2.1 DSA MOS トランジスタの製造プロセス工程

表 2.1 全イオン注入法によるシリコンゲート DSA MOS
トランジスタの製造工程

○	窒化膜生成	
○	分離写真製版	
○	分離拡散（ほう素，イオン注入）	
○	分離酸化膜生成	図 2.1 (a)
○	ゲート酸化膜生成	図 2.1 (b)
○	多結晶シリコン膜生成	
○	多結晶シリコン写真製版	図 2.1 (c)
○	エンハンスメント拡散（ほう素イオン注入） （ベース領域形成）	図 2.1 (d)
○	ソース・ドレイン拡散（リン又は砒素イオン注入）	図 2.1 (e)
○	拡散配線写真製版	
○	リンガラス膜生成	
○	リン拡散	図 2.1 (f)
○	コンタクト写真製版	
○	アルミニウム蒸着	
○	アルミニウム写真製版	図 2.1 (g)

- (1) 分離酸化膜を選択酸化法で形成するため、分離酸化領域と分離拡散領域が自己整合され、高集積化がはかれると共に、デバイス表面の段差が軽減され、微細加工しやすい。
- (2) シリコンゲート構造であるため、ゲート電極と p 型不純物領域、ソース・ドレイン領域の相互位置が完全に自己整合され、ミラー容量が減少する。
- (3) 分離領域、デプレッション形負荷トランジスタのチャンネル領域、DSA MOS トランジスタの p 型不純物拡散領域、両トランジスタのソース・ドレイン領域形成時の不純物拡散には全てイオン注入法を用いているので不純物濃度の制御性が良く、しきい値電圧の制御性が良い。
- (4) ソース・ドレイン領域のゲート近傍以外のうすい酸化膜を除去し、分離酸化膜の一部となる厚いリンガラス（PSG）膜を形成し、この膜から高濃度のリン拡散を行なっているため、ゲート近傍は拡散深さが浅く、その他の部分は深い構造となっている。
- (a) 拡散配線部分は、PSG 膜からの拡散によって十分低抵抗な拡散層（ $10 \sim 20 \Omega/\square$ ）が形成されるため、ソース電圧の浮き上がり、ドレイン電圧の低下が防止できる。
- (b) ソース・ドレイン拡散領域とアルミニウム配線とのコンタクト部分の拡散深さはアルミニ

ウムの異常拡散による短絡を防止できる程度（ $1.0 \sim 1.5 \mu\text{m}$ ）に深く、一方、ソース・ドレインのゲート近傍の拡散深さは、後述の短チャンネル効果を制御するため浅くする（ $0.5 \mu\text{m}$ 程度）ことができる。

2.2.1.2 基本デバイスの特性

DSA MOSトランジスタの特徴は、ホウ素の拡散によるp形領域（ベース領域）によってチャンネル長が決められることであり、NMOSトランジスタよりも短チャンネル化が可能のため、十分大きなコンダクタンスの増大が可能となる。

図2.2に同一のゲート長を有するNMOSトランジスタとDSA MOSトランジスタの比較を示す。DSA MOSトランジスタの特性は、ベース領域をエンハンスメント形MOSトラン

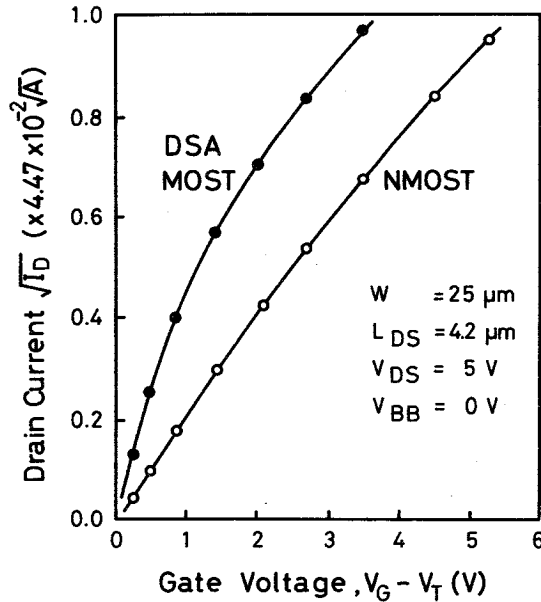


図2.2 DSA MOSトランジスタとNMOSトランジスタの比較

ジスタのチャンネル長、 π 領域をデプレッション形MOSトランジスタのチャンネル長とした2個のトランジスタの直列接続で近似するE/Dモデルで説明できることが知られている。⁽¹⁹⁾ ゲート電圧が低い領域では、エンハンスメント形MOSトランジスタで特性が支配され、NMOSトランジスタに比べて4倍程度の大きなドレイン電流が流れる。一方、ゲート電圧が大きくなるとチャンネル長の短いベース領域に電界が集中し、速度飽和を起すためにNMOSトランジスタに比べて I_D 値の変化量は小さくなる。しかし、図2.2に示したように同一のゲート長を有す

る場合には全ての電圧領域において、NMOSTランジスタに比べてコンダクタンスが大きい特性を示している。

DSA MOSトランジスタの構造としては、図2.3に示した3種類が提案されている。(a)は図2.2に示した特性を得た電圧の印加関係の場合、また(b)は、(a)と逆に、ベース領域をドレインとした電圧を印加した場合、(c)はソース・ドレインの両方向にベース領域を形成した構造になっている。また、それぞれの接続状態のときの静特性を図2.4に示す。2重拡散がなされている領域に接続した電極が高電位のときは、低電位側の電極に向って空乏層が広がりやすく、チャンネル長変調を受けていることがわかる。これは、片側にのみベース領域が形成されているDSA MOSトランジスタが、ソース・ドレインに関して対称な特性を必要とする転送ゲートに応用し

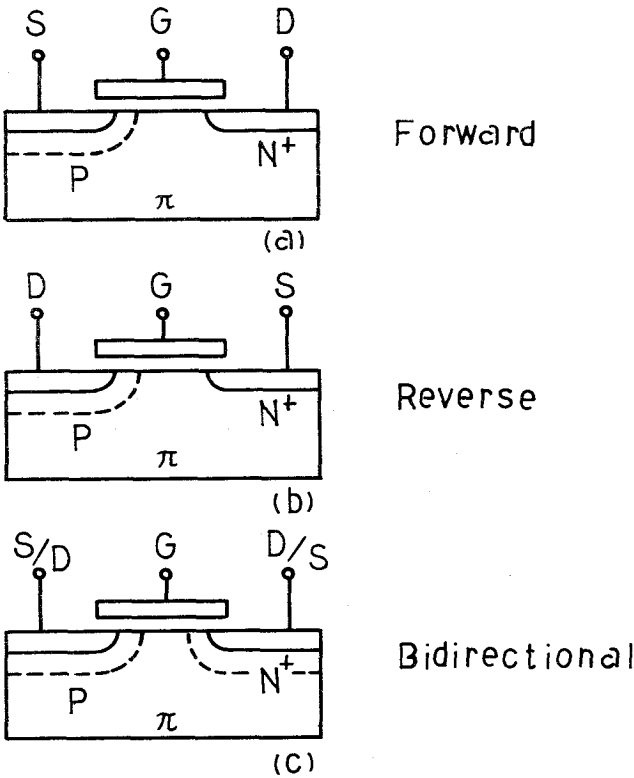
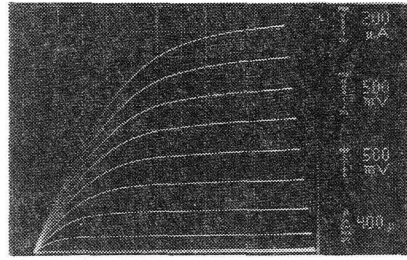
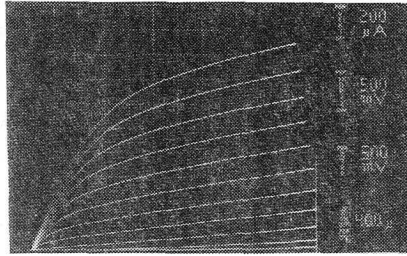


図2.3 DSA MOSトランジスタの構造

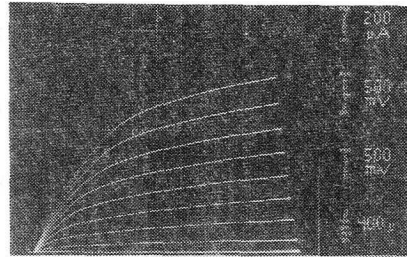
にくいことを意味している。従って、DSA MOSトランジスタの転送ゲートには、図2.3(c)で示した双方向DSA MOSトランジスタが適している。双方向DSA MOSトランジスタは、ベース領域がソース・ドレイン近傍の2個所に形成されるため、チャンネル長が2倍となり、ドレイン電流が1/2となる。しかし、パンチスルー電圧の向上がはかれる利点がある。また、



(a) 順方向DSA MOSトランジスタ



(b) 逆方向DSA MOSトランジスタ



(c) 双方向DSA MOSトランジスタ

図2.4 各種DSA MOSトランジスタの静特性

通常のDSA MOSトランジスタの製造方法では、ベース領域形成のときホトレジストの一端がポリシリコンゲートに重なるようにマスク合せする必要があり、重ね合せ精度の点から、ゲート長を短くするのが困難であるが、双方向DSA MOSトランジスタはマスク合せ精度が厳しくなると、ゲート長を小さくできる特徴もある。

図2.5は、順方向DSA MOSトランジスタと逆方向DSA MOSトランジスタの BV_J （接合ブレイクダウン）と BV_{DS} （ソースドレインブレイクダウン）のゲート電圧依存性を示している。 BV_{DS} はゲート電圧が低い領域では小さく、ゲート電圧が高くなると大きくなる。⁽¹⁰⁾一方 BV_J はゲートと基板間電圧が大きくなる程増大する。逆方向DSA MOSトランジスタでは、 $N^+-P-\pi$ 接合によって BV_J が小さくなるが、 BV_J が V_G によって制御される領域では、

V_G の小さな範囲を除いて BV_{DS} が BV_J に比例する。順方向 DSA MOS トランジスタについても BV_J の値が高い他は同じ傾向を示す。通常構造の NMOS トランジスタの降伏特性は、ラテラル npn トランジスタの BV_{CEO} と BV_{CBO} の関係に類似したアバランシェ降伏であると考えられている。⁽¹¹⁾ そこで、DSA MOS トランジスタにおいて、ゲート長、しきい値電圧を種々変えて同様の測定を行なった結果、 V_G が 8V 以上において $BV_{DS} = BV_J / \sqrt{h_{FE}}$ の関係が得られた。従って基板が高比抵抗 ($100 \sim 200 \Omega \cdot \text{cm}$) のとき $BV_{CEO} \approx BV_{DS}$ とでき、DSA MOS トランジスタにおいてもソース・ドレイン耐圧はバイポーラ動作によっていると考えられる。 $V_G = 8\text{V}$ における h_{FE} は、逆方向 DSA MOS トランジスタでは $h_{FE} = 6.2$ 、順方向 DSA MOS トランジスタでは $h_{FE} = 5.8$ であった。ゲート電圧が低いときの BV_{DS} の V_G に対する振舞は、 h_{FE} が V_G によって変調を受け実効的に小さくなったものと考えられるが、更に考察すべき現象である。

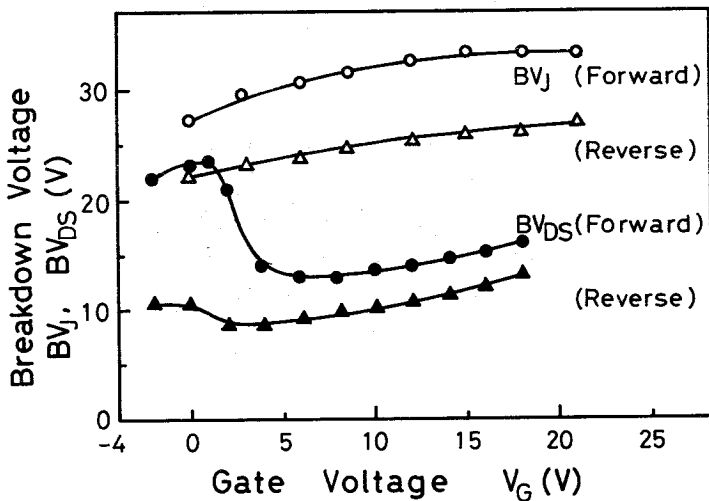


図 2.5 各種 DSA MOS トランジスタのブレイクダウン電圧特性

図 2.6 は、3 種の DSA MOS トランジスタのしきい値電圧の基板電位依存性を示している。逆方向 DSA MOS トランジスタの場合に、しきい値電圧の基板効果が最小となる。これは逆方向 DSA MOS トランジスタではしきい値電圧に最も影響を与えるソース端子近傍の基板不純物濃度が小さいためである。また、逆方向 DSA MOS トランジスタのソース端では基板に対する接合容量も小さくできることがわかる。

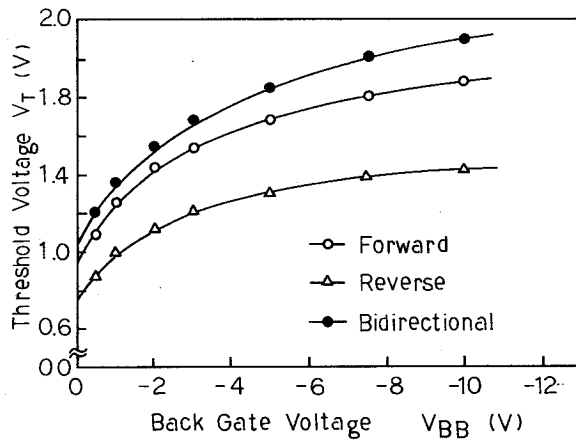


図2.6 各種DSA MOSトランジスタのしきい値電圧の基板電圧依存性

2.2.1.3 しきい値電圧の制御性

DSA MOSトランジスタは、しきい値電圧の制御上の困難さがあったため、しきい値電圧のばらつきに特性が大きく影響されるダイナミックMOS RAMには応用されてこなかった。

しかし、不純物の導入量を精密に制御できるイオン注入技術を応用することにより、不純物の濃度分布の制御性が向上し、しきい値電圧のばらつきが小さく押えられるようになり、ダイナミックMOS RAMへの適用の道が開かれた。しきい値電圧を決定するP（ベース）領域とそれに続くソース・ドレイン形成のための N^+ 領域の形成がイオン注入によっており、かつ、ゲート電極下のゲート酸化膜がサイドエッチされることがないので、ベース領域の不純物濃度分布の再現性、制御性が向上する。また、直接イオン注入がなされた部分はトランジスタのチャンネル部分とはならないので、イオン注入によってたとえ結晶に損傷が生じたとしてもデバイスのチャンネル移動度に影響を与えない。

表2.2は、ベース領域のみをイオン注入によった場合と、ベース、ソース、ドレイン両領域ともイオン注入によった場合のしきい値電圧のばらつきを示す。ベース領域はほう素、ソース・ド

表2.2 しきい値電圧の制御性の比較

プロセス	ベースイオン注入量	V_{th}	σ
熱拡散プロセス	$1 \times 10^{14} \text{ cm}^{-2}$	0.48V	0.23V
全イオン注入プロセス	$4 \times 10^{13} \text{ cm}^{-2}$	1.40V	0.10V
	$6 \times 10^{13} \text{ cm}^{-2}$	1.97V	0.15V

レイン領域はリンによって形成したが，両工程ともイオン注入を採用することによりしきい値電圧の制御性の向上が図られ，ダイナミックMOS RAMに適用できることがわかる。

2.2.1.4 DSA MOSトランジスタのテール電流

しきい値電圧の制御性とともダイナミック回路において考慮する必要のある量はテール電流である。テール電流はゲート直下のシリコンの弱反転によるドレイン電流であり，ゲート電圧に依存する。従って通常考えられているMOSトランジスタのしきい値電圧（例えば，ドレイン電流が $1\ \mu\text{A}$ になるときのゲート電圧）以下でも，わずかなゲート電圧の変動で大きな電流が流れ，動的に記憶しているドレイン端の電位を変化させ，記憶保持時間が短くなるという問題が生じる。DSA MOSトランジスタは，基板濃度がチャンネル長方向に不均一であり，基板濃度依存性をもつテール電流は通常のMOSトランジスタとは異なった値をとると予測されるが，まだ十分に検討されていない。ここでは，DSA MOSトランジスタのテール電流の解析よりダイナミックMOS RAMへの適合性について検討する。

通常のMOSトランジスタのテール電流は，林等⁽¹²⁾やBarron⁽¹³⁾によって下式のように求められている。

$$I_D = \frac{n_i q D_n W \cdot L_i e^{U_s}}{L e^{3U_F/2} \sqrt{U_s - 1}} (1 - e^{-\beta V_D}) \quad (2.1)$$

ここで， I_D はドレイン・ソース間電流， n_i は真性担体濃度， q は電気素量， D_n は拡散長， L_i は真性 デバイ長， U_s は規格化表面ポテンシャル， U_F は規格化フェルミポテンシャル， β はボルツマン因子， W はトランジスタのゲート幅， L はトランジスタのゲート長である。

DSA MOSトランジスタのテール電流に対する本式の有効性を調べるため，しきい値電圧の異なる二種類のDSA MOSトランジスタを試作した。試料のしきい値電圧（零外挿値）と同じしきい値電圧を与える通常のNMOSトランジスタの等価基板濃度を表2.3に示す。図2.7はこれら2つの試料に対するテール電流 I_D とゲート電圧 V_G の関係を示したものである。計算値は，基板不純物濃度を表2.3に示した等価基板濃度とし，チャンネル長をp形不純物拡散部分

表 2.3 試料のデバイス定数

試料番号	しきい値電圧	等価基板濃度
A	0.1 V	$2 \times 10^{15}\ \text{cm}^{-3}$
B	0.9 V	$8 \times 10^{15}\ \text{cm}^{-3}$

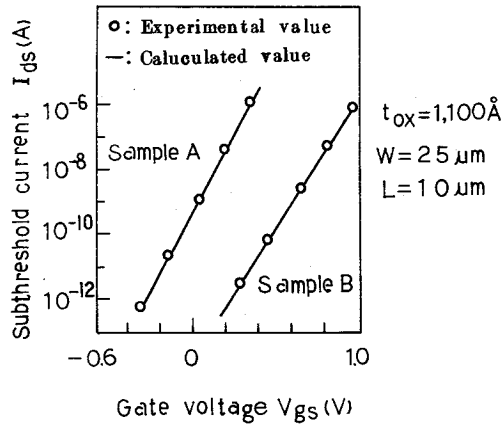


図 2.7 DSA MOSトランジスタのテール電流

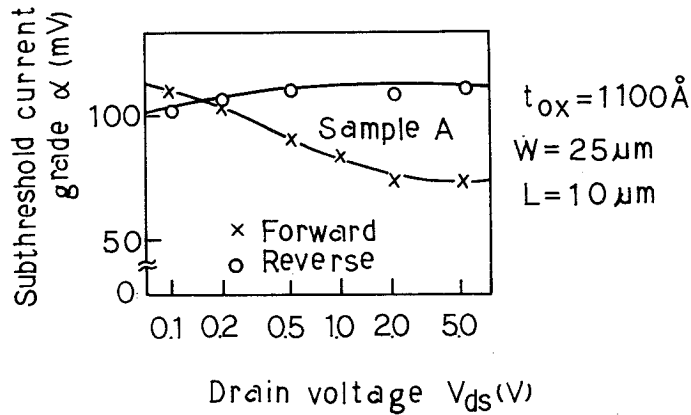


図 2.8 DSA MOSトランジスタのテール電流の勾配 α とドレイン電圧の関係

の長さとする通常のNMOSTランジスタとして求めたものである。計算値と実測値は、絶対値、勾配共にほぼ一致していることから、DSA MOSトランジスタのテール電流は、DSA MOSトランジスタのしきい値電圧と同じしきい値電圧を与える基板濃度をもち、p形不純物拡散部分の長さをチャンネル長とする通常のNMOSTランジスタのテール電流と同程度であることがわかる。

図 2.8 は、順方向 DSA MOSトランジスタと逆方向 DSA MOSトランジスタのテール電流の勾配、 α ($=dV_G/d\log I_D$) をドレイン電圧に対して測定した結果である。順方向 DSA MOSトランジスタの場合の勾配は、ドレイン電圧に依存しないが、逆方向 DSA MOSトランジスタの場合の勾配は、ドレイン電圧に大きく依存することがわかる。これはソースとドレインを逆に接続した場合、p形不純物拡散部分（ベース領域）方向に空乏層が伸びやすく、

しきい値電圧が小さくなり、等価的な基板濃度を小さくしたためと考えられる。

図 2.8 に示すように、テール電流領域でのゲート電圧に対する電流勾配は、ドレイン電圧の広い範囲にわたっておよそ一定で、約 100mV/decade の値をもっている。この値は、通常の NMOS トランジスタとほぼ等しい値である。

以上の実験結果と考察から、DSA MOS トランジスタのテール電流は、p 形不純物拡散領域の長さをチャンネル長とする通常の NMOS トランジスタと同様に与えられることがわかり、DSA MOS トランジスタをダイナミック MOS RAM に適用しても情報保持時間に対して特別な注意を払う必要のないことが明らかとなった。

2.2.1.5 DSA MOS 構造における接合リーク電流

DSA MOS トランジスタを用いたダイナミックメモリセルの構造と等価回路を図 2.9 に示す。ダイナミックメモリやセルの保持時間に大きく影響を与えると考えられるリーク電流として、 $N^+-P-\pi$ 接合におけるリーク電流、ゲート制御形ダイオードにおけるリーク電流および転送ゲートトランジスタのテール電流がある。転送ゲートトランジスタのテール電流については、前項において検討したのでここでは、前記二つのリーク電流について検討する。特に、全イオン注入プロセスによる DSA MOS トランジスタにおいては、高濃度イオン注入がなされているため、シリコン基板中に導入される欠陥の除去が重要な課題で、イオン注入による欠陥がその後の熱処理により完全に除去されているかどうかを確認し、ダイナミック MOS RAM に、このプロセスが適用可能かどうか検討する必要がある。

本実験に用いた試料の断面構造を図 2.10 に示す。試作した試料は p 形不純物拡散領域を $4 \times 10^{13}/\text{cm}^2$ のほう素、ソース・ドレインは $2 \times 10^{15}/\text{cm}^2$ のリンイオン注入で形成し、ソース・ドレ

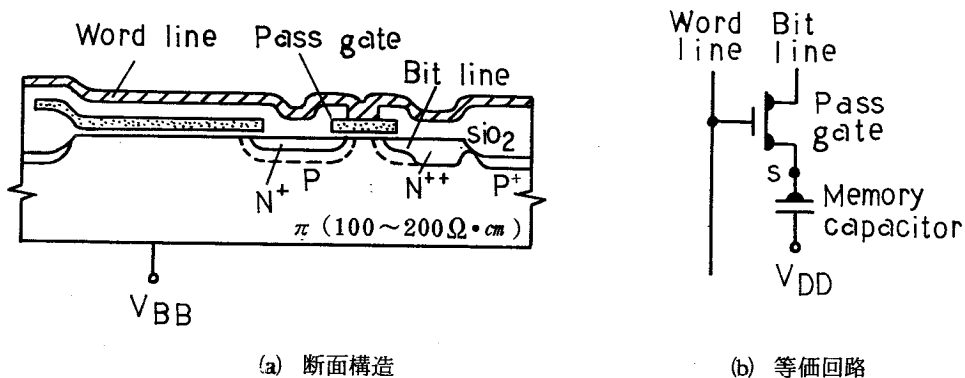


図 2.9 DSA MOS プロセスによるメモリセル

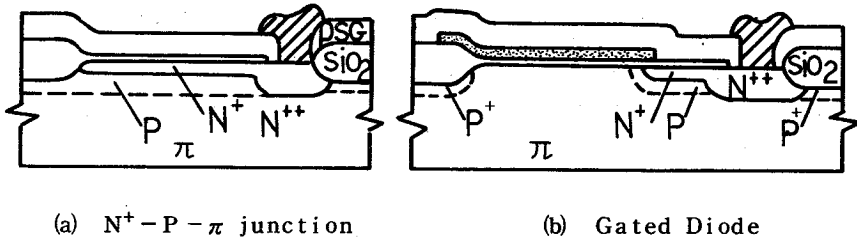


図 2.1 0 実験に用いた試料の断面図

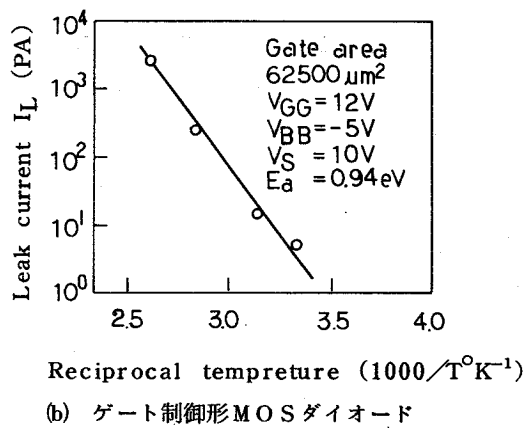
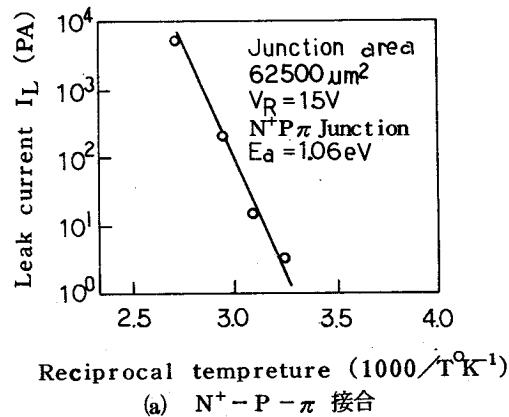


図 2.1 1 DSA MOS のリーク電流

インの x_j を $1 \mu m$, 実効チャンネル長 $0.6 \mu m$ としたものである。

図 2.1 1 (a) に $N^+ - P - \pi$ 接合のリーク電流の温度特性を示す。活性化エネルギーは $1.06 eV$, $100 \mu m^2$ 当りのリーク電流は $75^\circ C$ で $6 pA$ であった。 $N^+ - \pi$, $N^{++} - \pi$ 接合のリーク電流も同程度であった。図 2.1 1 (b) はゲート制御形 MOS ダイオードのリーク電流が示されている。

MOS容量は、電極面積を同じにして周辺長を種々変えた。電流値は周辺長に依存せず $100\mu\text{m}^2$ 当り 75°C で 0.96pA 、活性化エネルギーは 0.94eV であった。

MOS容量を C_S 、リーク電流を I_L とすると、図2.9(b)におけるノードSの電位が 10V から ΔV 降下する時間 t は次式で近似できる。

$$t = \frac{C_S \cdot \Delta V}{I_L} \quad (2.2)$$

$C_S = 0.19\text{pF}$ (面積は $420\mu\text{m}^2$)、 $\Delta V = 3\text{V}$ とし、 I_L としてはMOS容量の面積 $420\mu\text{m}^2$ 、 $\text{N}^+-\text{P}-\pi$ 接合部面積 $25\mu\text{m}^2$ の場合の値 5.53pA (75°C)を代入すると、 $t = 103\text{msec}$ が得られ、これは通常ダイナミックメモリの記憶保持時間として必要とされる 2msec を十分に満たしている。また、 $\text{N}^+-\text{P}-\pi$ 接合およびゲート制御形MOSダイオードのリーク電流から得られた活性化エネルギーは、シリコンのエネルギーギャップ 1.1eV とほぼ同じ値である。このことから、リーク電流は熱的なバンド間励起によるものと予想される。

以上の検討から全イオン注入プロセスにおける高濃度イオン注入時に導入された結晶欠陥は、その後の熱処理により除去され、深いレベルを有する結晶欠陥は消滅したと考えられるので、このプロセスをダイナミックMOS RAMに適用可能であることが明らかになった。

2.2.2 伝達特性とDSA MOSトランジスタの最適適用領域

ここでは、デプレッション形MOSトランジスタを負荷素子としたMOS-E/Dインバータ⁽¹⁴⁾の遅延時間および電力・遅延時間積について考察し、DSA MOSトランジスタの最適適用領域を明らかにする。図2.12は、E/Dインバータの負荷特性を示したものである。インバータ

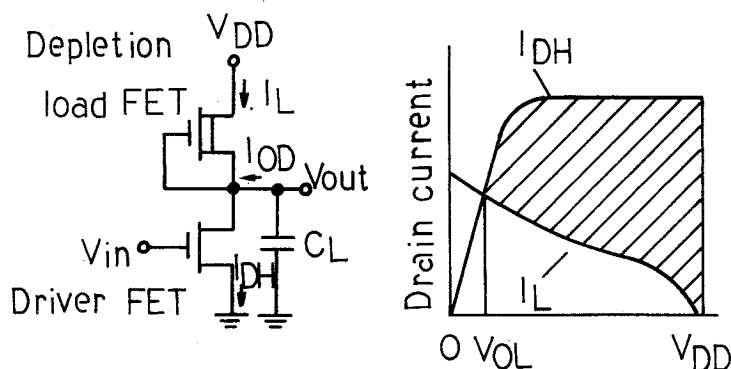


図 2.12 DSA E/D インバータの負荷特性

がターンオンするときの負荷容量 C_L から放電される電流 I_{OD} は図の斜線部で示され、次式で与えられる。

$$I_{OD} = I_{DH} - I_L \quad (2.8)$$

I_L は負荷 MOS トランジスタを流れる電流、 I_{DH} は駆動 MOS トランジスタを流れる電流である。ターンオフのときは、 C_L への充電電流 I_L に等しい。今、簡単のため I_L は定電流とし、出力電圧 V_{OUT} が高電位から低電位に遷移するときは、通常 I_{DH} が I_L より十分に大きいので I_L を無視し、かつ C_L は出力電圧に依存しないとすれば、1 ゲート当りの平均伝搬遅延時間 t_{pd} 、及び電力・遅延時間積 $t_{pd} \cdot P_d$ は次のように求められる。⁽¹⁴⁾

$$t_{pd} = \frac{C_L}{2 I_L} \cdot \left\{ (V_{th} - V_{OL}) + \sqrt[3]{\frac{3 I_L}{I_{DH}}} \cdot (V_{DD} - V_{th}) \right\} \quad (2.4)$$

$$t_{pd} \cdot P_d = \frac{C_L \cdot V_{DD}}{4} \cdot \left\{ (V_{th} - V_{OL}) + \sqrt[3]{\frac{3 I_L}{I_{DH}}} \cdot (V_{DD} - V_{th}) \right\} \quad (2.5)$$

式(2.4)、(2.5)は DSA MOS E/D インバータについても成立するが、デバイス固有の特徴を直接的に表わしていない。DSA MOS トランジスタを用いる場合の特徴は次のように考えることができる。

インバータに固有の不可避な浮遊容量(ゲート容量、ミラー容量など)を C_1 、配線などに伴う浮遊容量を C_2 とすると次式となる。

$$C_L = C_1 + C_2 \quad (2.6)$$

配線などの浮遊容量の大きい系では式(2.6)の C_1 が無視できる。このとき同一パターン設計基準で通常の NMOS トランジスタと DSA MOS トランジスタを比較すると、 C_2 の値が双方で同じになるから $t_{pd} \cdot P_d$ は等しい。そして、DSA MOS トランジスタの場合、駆動 MOS トランジスタの大きな電流駆動能力により負荷 MOS トランジスタの電流 I_L を大きくできるので式(2.4)から t_{pd} が小さくなり、その分だけ P_d が大きくなる。一方、消費電力が同じである設計においては、DSA MOS トランジスタの場合、トランジスタサイズを小さくすることから、 C_2 が通常の NMOS トランジスタより小さくなり、それだけ電力・遅延時間積を小さくできる。図 2.13 の領域 A、B が上述の 2 つの場合に対応している。

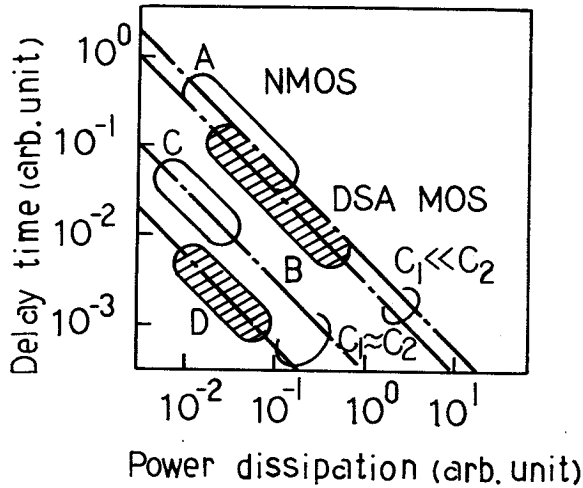


図 2.1 8 E/D インバータの浮遊容量と電力・遅延時間積の関係

領域 C, D は通常の NMOS トランジスタ, DSA MOS トランジスタ各々の C_1 が C_2 と同程度の系 (例えばレギュラーロジックなど) における電力・遅延時間積の占める領域を示す。この場合, C_1 の効果が大きく, DSA MOS トランジスタではインバータに不可避な浮遊量 C_1 の大幅な減少がトランジスタサイズの縮小, π 基板の採用などによって図れるので, 通常の NMOS トランジスタより大幅な電力・遅延時間積の改善が達成できる。

以上のことから, DSA E/D MOS IC は, 電力・遅延時間積の点において, C_2 の大小にかかわらず通常の NMOS トランジスタにまさるものであり, しかも消費電力が大きくなるが, 高速領域をカバーできる方式と考えられる。従って, 一般に C_2 が大きくなると考えられる MOS RAM においても, 高速性という面で大きな効果を発揮できることが想定できた。

2.2.3 DSA MOS トランジスタの 4K ダイナミック MOS RAM への適用とその電気特性

以上の実験結果から全イオン注入プロセスによる DSA MOS トランジスタはダイナミック MOS RAM に適用可能で, しかも高性能 MOS RAM が実現できる可能性のあることが明らかになった。ここでは, DSA MOS トランジスタを適用した 4K ダイナミック MOS RAM の試作により, 2.2.1, 2.2.2 項で得られた結論の妥当性を実証する。

図 2.1 4 は試作した 4K ワード $\times$ 1 ビットダイナミック MOS RAM の構成図である。2 つの 32×64 ビットメモリセルがセンスアンプの両側に位置され, データの入出力は, R/W 制御回路, I/O 制御回路を経由し, シングルエンド構成で行なわれる。又, A_0 から A_{11} までの 12 本のアドレス信号は, 同時に MOS RAM に供給される。デバイスは, 一層ポリシリコン

DSA MOSトランジスタである。メモリセルは1個のMOSトランジスタと1個のMOSキャパシタンスからなる、いわゆる1トランジスタ型であり、このMOSトランジスタとして双方向DSA MOSトランジスタを使用した。これは、メモリセルトランジスタが双方向性を必要とすることと、パンチスルーによる保持特性の劣化を防ぐためである。

回路設計に当って、MOS RAMにおいては一般にアドレスバッファにおける遅延時間、およびセンスアンプから出力回路への遅延時間が大きいことに注目してDSA E/D MOS方式の特徴を生かすために、一部デプレッション形MOSトランジスタを負荷素子として用いた。

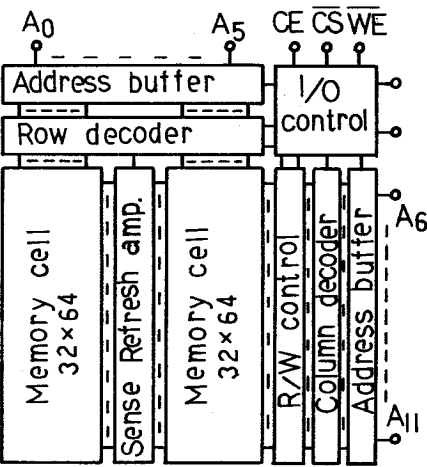


図 2.14 4Kワード×1ビットDSAダイナミックMOS RAMの構成図

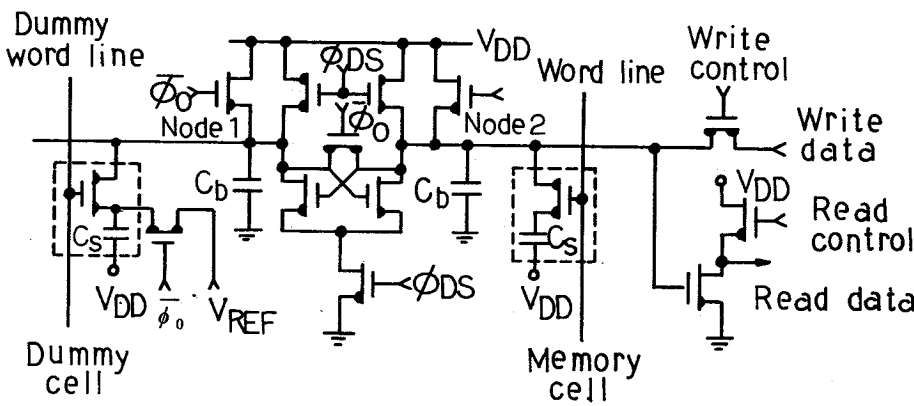


図 2.15 センスアンプ回路とメモリセルおよびダミーセル

図 2.1 5 にセンスアンプ回路とその左右に配置されたメモリセル及びダミーセルを示した。待機時においては、 $\overline{\phi}_0$ が高電位（約 12 V）でダミーセルに基準電圧 V_{ref} （約 5 V）を、また、ノード 1, 2 の浮遊容量 C_b を約 10 V に充電する。メモリチップが活性化されると、 $\overline{\phi}_0$ がまず低電位になり、ノード 1, 2 は 10 V の浮遊状態に、また、ダミーセルの容量 C_s は 5 V の浮遊状態になる。この状態において、メモリセルおよびダミーセルから信号を読み出すために、ワード線と行デコーダによって選択された行とセンスアンプに関して反対側にあるダミーワード線を高電位にする。これによってメモリセルおよびダミーセルの転送ゲートが導通し、記憶容量 C_s に蓄えられていた情報がビット線に読み出される。図 2.1 5 において、ソース・ドレイン両端にドットを付けた MOS トランジスタが、双方向 DSA MOS トランジスタである。メモリセルに V_s の電位が記憶されていたとすると情報の読み出し後、ビット線（ノード 1, 2）間に次式で表せる電位差が生ずる。

$$|\Delta V| = \frac{|V_{ref} - V_s|}{1 + C_b / C_s} \quad (2.7)$$

この電位差がノード 1, 2 に現われた後、 ϕ_{DS} を高電位にしてセンスアンプ回路を活性化し、電位差 ΔV の増幅を行なう。DSA MOS トランジスタの電流駆動能力が大きいので、ビット線の高速な放電と、ビット線への高速な再充電がなされる。周辺回路においても、このような高速化が達成され、消費電力は 950mV とやや大きい、アクセス時間 60 nsec, サイクル時間 180 nsec の高速性能が得られた。表 2.4 に性能一覧を示す。また、図 2.1 6 にチップ写真を示す。

表 2.4 4 K ダイナミック DSA MOS RAM の性能一覧

プ ロ セ ス	n-ch Si ゲート π プレーナ DSA-E/D MOS
チップサイズ	4.35 mm × 4.90 mm
語 構 成	4,096 語 × 1 ビット
セル 構 造	1 トランジスタ + 1 容量
供 給 電 源	$V_{DD} = 12V$, $V_{CC} = 5V$ $V_{SS} = 0V$, $V_{BB} = -5V$
信号レベル	クロック以外 TTL
クロックレベル	12 V
出力抵抗	20 Ω
読出しアクセス時間	60 ns
サイクル時間	180 ns
リフレッシュ時間	2 ms 以上
消費電力	950 mW

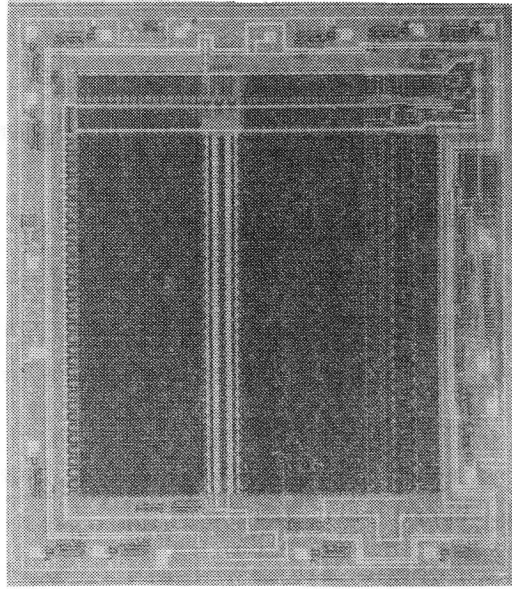


図 2.16 4K ダイナミック DSA MOS RAM のチップ写真

図 2.17 に種々な 4K ダイナミック MOS RAM の消費電力とアクセス時間の関係を示した。⁽¹⁶⁾
 4K ダイナミック DSA MOS RAM は $5\ \mu\text{m}$ 系の設計基準であるが、性能指数は $14\ \text{pJ}/\text{ビット}$ である。一方、市販されている各種の 4K ダイナミック MOS RAM は、 $24\ \text{pJ}/\text{ビット}$ 程度なので、およそ 1.7 倍の性能指数の改善がなされた。また、図 2.17 に示した 4K ダイナミック DSA MOS RAM の性能指数は、図 2.13 で示した領域 B に相当するので、DSA

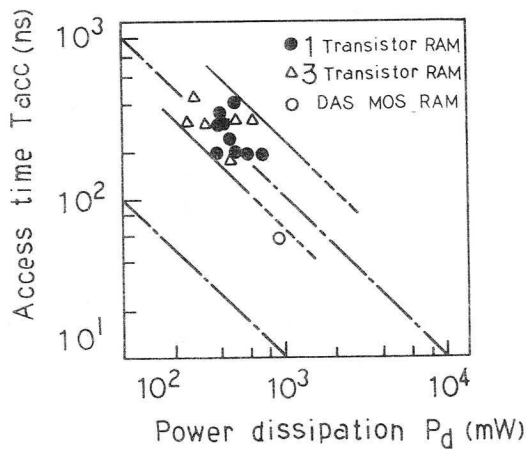


図 2.17 種々な 4K ダイナミック MOS RAM のアクセス時間と消費電力の関係

MOSトランジスタの高性能性を実証したと考えることができる。

2.3 DSA MOSトランジスタのスタティックMOS RAMへの適用

2.3.1 逆方向DSA MOSトランジスタによる高速化

DSA MOSトランジスタの特徴には、コンダクタンスの増大の他に浮遊容量低減の効果も(6), (17), (18) がある。それは図 2.8 に示したように順方向DSA MOSトランジスタの場合には、ドレイン端における接合容量を、 $N^+-\pi$ 接合のため低減できるからである。一方、逆方向DSA MOSトランジスタの場合には、ソース端の接合容量が減る。

図 2.18 にスタティックMOS RAMのメモリセル、ビット線とデータ線を示す。このようにメモリセルが構成されると、ビット線側のドレインもしくはソース端は、 $N^+-\pi$ 接合となり、ビット線容量は、双方向DSA MOSを用いた場合に比べ30%低減される。また、データ線においても、同様に逆方向DSA MOSトランジスタを用いることによって約30%の浮遊容量を低減できる。ダイナミックMOS RAMにおいては、双方向性が要求されるため、テール電流やパンチスルー電流特性の悪い逆方向DSA MOSトランジスタを転送ゲートに使用できなかった。しかし、スタティックMOS RAMにおいては、ダイナミックMOS RAM程テール電流やパンチスルー電流に敏感でないので、転送ゲートに使用可能となり高速化に有効なデバイスとなる。

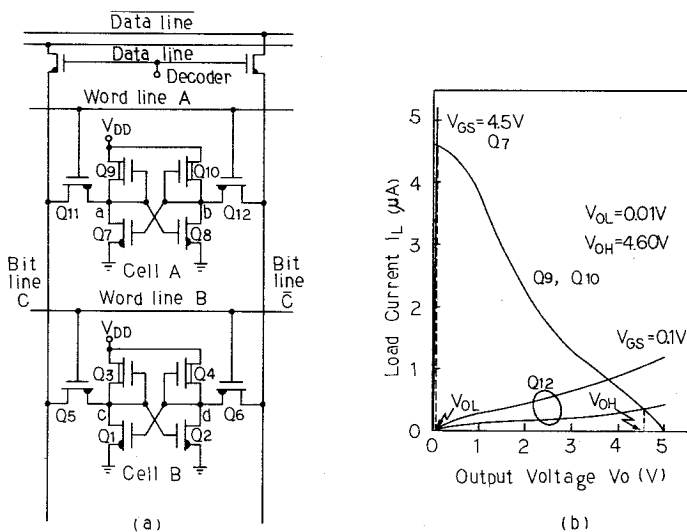


図 2.18 DSA MOSトランジスタの転送ゲート特性

2.2.1.2で逆方向DSA MOSトランジスタの解析結果を述べたが、 $V_{CC} = 5V$ 動作の場合、逆方向DSA MOSトランジスタと順方向DSA MOSトランジスタのドレイン特性はほぼ等しいことがわかっている。図2.18において、メモリセルBからの読み出し状態を考える。ここで、ノード“d”が“L”レベル、ノード“b”を“H”レベルとする。ワード線Bが選択されると、トランジスタ Q_2 がビット線 $\bar{C}$ を Q_6 、 Q_2 を通して放電させる。このとき Q_{12} はゲート電位が低い逆方向DSA MOSトランジスタの電位状態となる。 Q_{12} のパンチスルー電流が、ノード“b”を“H”レベルとして保持している負荷トランジスタの電流よりも大きいときデータは破壊される。しかし、図2.18(b)に示したように、パンチスルー電流に比べて負荷トランジスタの電流値が多いため、メモリセルの記憶情報を反転させることはない。

このようにスタティックMOS RAMの転送ゲートには、片方向DSA MOSトランジスタが使え、ビット線やデータ線の浮遊容量が30%程度軽減されるので高速化が容易になる。

2.3.2 DSA MOSトランジスタの4KスタティックMOS RAMへの適用とその電気特性

DSA MOSトランジスタは高速化に有利な実効チャンネル長の短縮と、浮遊容量を低減できることがわかった。そこで本節では、DSA MOSトランジスタの高速性を、4KスタティックDSA MOS RAMで実証した結果を述べる。

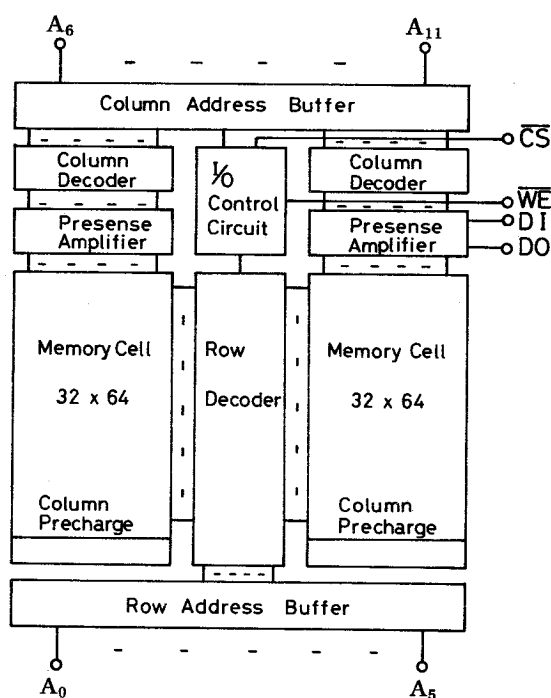


図2.19 4KスタティックDSA MOS RAMのブロック図

図 2.1 9 は 4 K スタティック MOS RAM のブロック図である。ロウデコーダ (Xデコーダ) がメモリアレイの中央に配置され、64ビット×64ビットの構成となっており、カラムデコーダ (Yデコーダ) とプリセンスアンプはカラムプリチャージ (Yプリチャージ) 回路の反対側に配置されている。メモリセルは標準的な 6 トランジスタによって構成され、セルサイズは $5.3\mu\text{m} \times 6.2\mu\text{m}$ である。

高性能性を達成するため、チップセレクト信号 ($\overline{\text{CS}}$) を用い、チップ内部で MOS レベルの信号を発生する回路構成となっている。 $\overline{\text{CS}}$ バッファ回路は、E/D インバータによって構成され、大きな負荷容量を駆動するため、4 分割されている。

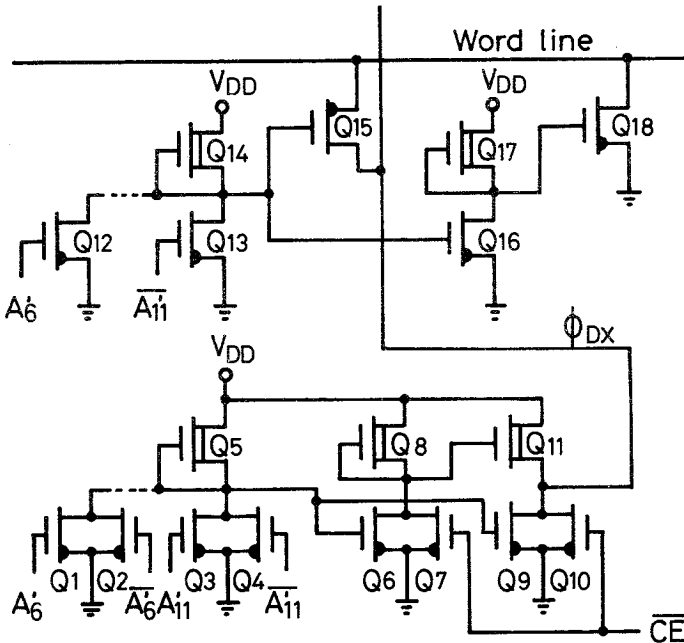


図 2.2 0 X デコーダと駆動回路

図 2.2 0 は、X デコーダと駆動回路を示している。待機時には、 $\overline{\text{CS}}$ 、 $\overline{\text{CE}}$ 信号は “H” レベルとなるが、アドレスデータ ($A_{\alpha'}$ 、 $\overline{A_{\alpha'}}$) はラッチ型のアдресバッファ回路で発生し、“L” レベルとなっている。そして、これらのアドレス信号は NOR ゲートの出力レベルを “H” に、 ϕ_{DX} とワード線を “L” に保持する。 ϕ_{DX} はチップセレクトサイクルの始めで、アドレス入力信号 A_{α} と対応した正しいデータに X アドレスが固定された後に “H” レベルに立ち上がる。そして、 Q_{15} を通して大きな抵抗 (また、大きな容量ももつ) のワード線を駆動し、読み出し動作が開始される。 ϕ_{DX} は、X デコーダ回路の両方向のワード線に対して供給する。 Q_{11} と Q_{15} のトランジスタのオン抵抗と比較して十分小さいワード線抵抗であれば、最遠方のメモリセルのアクセス時間

差はなくなる。もし、そうでなければ、この遅延時間はアクセス時間の大きな割合を占める。この遅延時間をシミュレーションした結果、ポリシリコン抵抗が $60\ \Omega/\square$ のときには 13 nsec 、 $20\ \Omega/\square$ のときには 6 nsec であった。従って、高速化を実現するためには、ポリシリコンワード線の抵抗の低減、容量の低減と MOS トランジスタの大きな電流駆動能力が必要である。

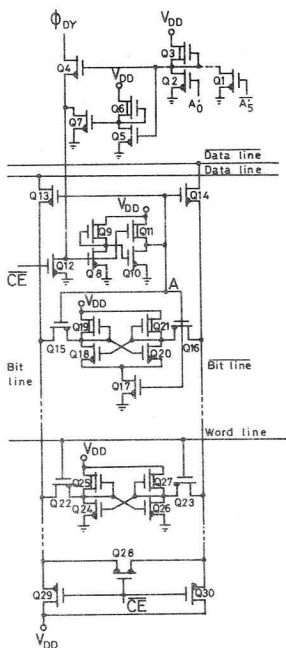


図 2.2 1 Y デコーダ, Y ドライバー, プリセンスアンプ, メモリセルとプリチャージ回路

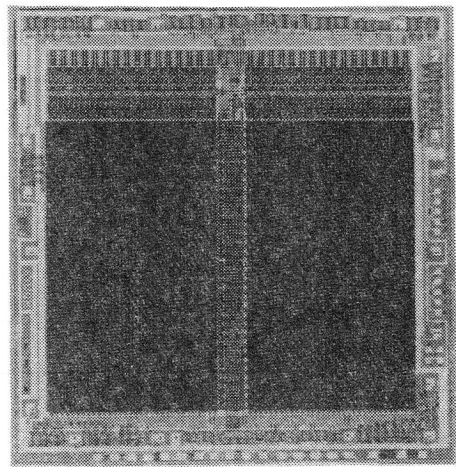


図 2.2 2 4K スタティック DSA MOS RAM のチップ写真

図 2.2 1 は、Y デコーダ、Y ドライバー、プリセンスアンプ、メモリセルとプリチャージ回路を示している。 ϕ_{DY} は ϕ_{DX} と同様に発生し、NOR ゲートの出力が “H” レベルであるとき、 $Q_8 \sim Q_{11}$ によって Y ドライバーを駆動する。その出力信号が、プリセンスアンプを活性化し、 ϕ_{DX} によってメモリセルからビット線に読み出された記憶データを増幅する。増幅された記憶データは、データ線に転送されフィードバック型の差動増幅器によって出力バッファ回路へ送られる。

図 2.2 2 に試作した 4K スタティック DSA MOS RAM のチップ写真を示す。また、性能一覧を表 2.5 に示す。アクセス時間は 50 nsec が得られ、回路シミュレーションの 65 nsec と比較的良く一致している。実測値とシミュレーション値との差は、ポリシリコン抵抗の見積り誤

差, DSA MOSトランジスタ静特性の回路シミュレーション値と実際のデバイスの誤差に起因していると考えられる。

このように, 4KスタティックDSA MOS RAMは, DSA MOSトランジスタによる短チャンネル性と, 浮遊容量の低減によって高性能性が達成されたと考えられる。

表 2.5 4KスタティックDSA MOS RAMの性能一覧

プロセス	N-ch Si ゲート π プレーナ DSA E/D MOS
チップサイズ	5.24 mm $\times$ 5.36 mm
セルサイズ	53 μ m $\times$ 62 μ m
電源電圧	5 V
信号レベル	All TTL
出力形式	Tri state
アクセス時間	50 ns
サイクル時間	120 ns
消費電力	630 mW

2.4 結 言

ダイナミックMOS RAMの高速化には, 構成MOSトランジスタの高性能化が必要である。それを実現するデバイスにDSA MOSトランジスタがあり, NMOSトランジスタに比べてコンダクタンスの増大が容易に得られることを示した。また, DSA MOSトランジスタには, 順方向, 逆方向, 双方向の3つの構成法があることを示し, 順方向DSA MOSトランジスタが最も高性能であることを明らかにした。逆方向DSA MOSトランジスタは, チャンネル長変調, しきい値電圧の低下がおこるので, 使い方が難しく, 双方向DSA MOSトランジスタは, 対称的な構造のため, コンダクタンスの増大はあまり期待できないが, 転送ゲートに適していることを明らかにした。また, 従来, 難かしいと考えられたDSA MOSトランジスタのしきい値電圧制御は, 全イオン注入プロセスとすることで解決できたことを示した。

DSA MOSトランジスタをダイナミックMOS RAMに適用するにあたり, テール電流が問題となる。しかし, DSA MOSトランジスタのテール電流はp型不純物拡散領域の長さをチャンネル長とした通常のNMOSトランジスタと同様に与えられることが明らかとなった。また, しきい値電圧の精密制御のため開発した全イオン注入法においては, 高濃度のイオン注入

工程があるが、この際発生する結晶欠陥は、その後の熱処理で完全に消滅しており、接合リークの原因とはならないことが明らかになった。E/Dインバータの解析から、DSA MOS ICは、電力・遅延時間積において、負荷容量の大小によらず通常のNMOSトランジスタより消費電力は大きくなるが、高速性を発揮できることを明らかとした。以上の結果に基づき、4Kダイナミック DSA MOS RAMを試作し、アクセス時間60 nsec、サイクル時間180 nsec消費電力950 mWを得た。アクセス時間と消費電力の積は、市販されている同一設計基準の通常のNMOSトランジスタを用いたMOS RAMに比べて1.7倍の性能向上が達成されていることが明らかとなった。

逆方向DSA MOSTランジスタをスタティックMOS RAMに適用するための検討を行った結果、メモリセルの転送ゲートとYセレクトトランジスタに適用することにより、ビット線、データ線容量を3割減らせることがわかり、高速化に適していることを明らかにした。また、これらの転送ゲートに用いても、スタティックMOS RAMでは動作に問題が起こらないことを明らかにした。この検討とDSA MOSTランジスタの高性能により、4KスタティックMOS RAMで50 nsecの高速アクセス時間が得られた。

以上のダイナミック、スタティックMOS RAMの試作を通してDSA MOSTランジスタは、高速性を要求される応用分野に有効な基本デバイスであることが明確になった。

また、高性能ダイナミックMOS RAMには、構成MOSTランジスタの高性能化、特にコンダクタンスの増大が必要であることを明らかにした。

参考文献

- (1) R.H. Dennard, F.H. Gaensslen, H.N. Yu, V.L. Ridenout, E. Bassous and A.R. LeBlanc; "Design of ion-implanted MOSFET's with very small physical dimensions", IEEE, J. Solid-State Circuits, vol. SC-9, No.5, PP. 256-268, 1974.
- (2) Y. Tarui, Y. Hayashi and T. Sekigawa; "Diffusion self-aligned MOST: A new approach for high speed device", Proc. 1st Conf. Solid State Devices, Tokyo, 1969, Oyo Butsuri (J. Japan Soc. Appl. Phys.), vol.39, Suppl., PP. 105-110, 1970.
- (3) Y. Tarui, Y. Hayashi and T. Sekigawa; "Diffusion self-aligned enhance depletion MOS-IC", Proc. 2nd Conf. Solid State Devices, Tokyo, 1970, Oyo Butsuri (J. Japan Soc. Appl. Phys.), vol.40 Suppl., PP. 193-198, 1971.
- (4) I. Ohkura, M. Ohmori, K. Shimotori, T. Nakano, Y. Hayashi and Y. Tarui; "Fully ion implanted DSA MOS IC", Proc. 8th Conf. Solid State Devices, Tokyo, 1976, Oyo Butsuri (J. Japan Soc. Appl. Phys.), vol.16, Suppl., PP. 167-171, 1977.
- (5) 下西, 穴見, 長山, 大倉, 大森, 中野, 林, 垂井; "ダイナミック DSA MOS RAM", 信学論(C), vol. J6I-C, No.7, PP. 448-454, 1978.
- (6) K. Shimotori, Y. Nagayama, M. Ohmori, I. Ohkura and T. Nakano; "A 50ns 4K Static DSA MOS RAM", IEEE J. Solid-State Circuits, vol. SC-13, No.5, PP. 639-646, 1978.
- (7) 穴見, 下西, 大倉, 大森, 中野, 林, 垂井; "DSA MOS FETのテール電流", 昭51 信学総合全国大会, P. 2-135.
- (8) 下西, 長山, 大森, 大倉, 中野, 林, 垂井; "ダイナミック DSA MOSメモリーのリーク電流", 昭52 信学総合全国大会, P. 2-148.
- (9) 下西, 長山, 大森, 大倉, 中野; "逆方向 DSA MOS トランジスタのスタティック RAMへの応用", 昭53 信学総合全国大会, P. 2-194.
- (10) L.M. Bateman, G.A. Armstrong and J.A. Magoman; "Drain voltage limitations of MOS transistors", Solid-State Electronics, vol. 17, PP. 539-550, 1974.

- (11) 増田, 中井, 久保; "2次元電界効果を考慮した MOS-FET の性能限界", 電子通信学会, 半導体トランジスタ研究会資料, SSD 76-34, PP. 71-79, 1976.
- (12) 林, 垂井; "MOST 形素子の指数関数電流と PN 接合の逆方向電流の劣化", 電子通信学会, 半導体トランジスタ研究会資料, SSD 67-6, 1967.
- (13) M.B. Barron; "Low level currents in insulated gate field effect transistor", Solid-State Electronics, vol. 15, PP. 293-302, 1972.
- (14) 林, 垂井, 橋本; "ED-MOS-IC の設計理論", 信学論(C), vol. 55-C, No. 7, PP. 337-344, 1972.
- (15) K. Shimotori, K. Anami, Y. Nagayama, I. Ohkura, M. Ohmori, T. Nakano, Y. Hayashi and T. Tarui; "Fully ion implanted 4096-bit high speed DSA MOS RAM", ISSCC Dig. Tech. Papers, PP. 76-77, 1977.
- (16) 杉原, 平野; "4K MOS RAM を総ざらいする", 日経エレクトロニクス, PP. 48-69, 昭50-04-7.
- (17) K. Takahashi, H. Ikejima, M. Morimoto, K. Yamada, S. Shirakawa, K. Kobayashi, H. Muta, S. Matsue and N. Kawamura; "High speed 4K Static RAM Using DSA MOST's", 9th Conf. Solid State Devices, Dig. Tech. Papers, PP. 21-22, 1977.
- (18) 下西, 長山, 大倉, 大森, 中野; "4K ビットスタティック DSA MOS RAM", 電子通信学会, 電子計算機研究会, EC 77-52, PP. 25-33, 1977.
- (19) 増田, 増原, 永田; "E/D ゲート MOS トランジスタ", 信学論(C), vol. J57-C, No. 2, PP. 37-44, 1974.

第3章 内因性遅延と高速化

3.1 序

ダイナミックMOS RAMは、高性能化、大容量化に向って研究・開発が進められている。高性能ダイナミックMOS RAMの実現には、回路技術もさることながら、デバイス技術、微細加工技術に負うところが大きく、これらの開発の推移がダイナミックMOS RAMの性能を律すると言える。特にダイナミックMOS RAMの基本デバイスとなるMOSトランジスタの高性能化はコンダクタンスの増大が必要であり、第2章で詳細に述べた。MOSトランジスタの開発の方向性は、Dennardらによって示されたスケーリング則であるが、その方向性に基づいて短チャンネルMOSトランジスタを実現するには、種々な技術的困難があり、そのまゝ適用できないので修正を加えた新しいMOSトランジスタ構造が提案されている⁽¹⁾^{(2),(3),(4),(5)}。しかし、これらのMOSトランジスタを具体的なダイナミックMOS RAMに適用した場合の検討は十分行なわれていない。

また、MOSトランジスタの高性能化には、コンダクタンスの増大ばかりでなく、寄生容量や抵抗の低減化も重要であり、その検討も必要である。本章では、配線容量や抵抗による遅延を外因性遅延とし、デバイスに固有の寄生容量、抵抗による遅延を内因性遅延としたとき、高速化と内因性遅延の関係について検討している。3.2節では、ゲート、ソース、ドレインの抵抗が回路動作に及ぼす影響について考察し、回路設計における寄生抵抗の影響と限界について明らかにし⁽⁶⁾⁽⁷⁾、3.3節では、高性能ダイナミックMOS RAMに必要なデバイスの3つの要素を明らかにする^{(8),(9)}。3.4節では、ダイナミックMOS RAMの性能を最大限引き出すための三重拡散型MOSトランジスタ(T.D.T:Triple Diffused MOS Transistor)を提案する^{(8),(9)}。また、短チャンネル効果、コンダクタンスの検討、寄生容量の検討から三重拡散型MOSトランジスタが従来のMOSトランジスタに比べて高性能化に適したデバイス構造であることを明らかにし、さらに、このデバイスにより高性能なダイナミックMOS RAMの実現が可能となることを明らかにする。3.5節では、T.D.Tの改良型でマスク枚数を低減でき、しかも寄生容量が低減できるSAGOS(Self Aligned Small Gate Overlap Structure)MOSトランジスタ構造を提案し⁽¹⁰⁾、そのMOSトランジスタの特性解析とダイナミックMOS RAMへの適用より、高性能化に適した特性を有することを明らかにする。

3.2 MOSトランジスタの寄生抵抗

MOSトランジスタの短チャンネル化に従って、MOSトランジスタ内部の寄生CR時定数が、回路動作に影響を与えることが予想される。スケーリング則からも短チャンネル化に従って、抵抗がスケールダウンされないためのCR時定数の劣化が指摘されている⁽¹⁾。シリコンゲートMOS

トランジスタのポリシリコン抵抗に対するゲート容量のCR時定数効果は、H.C.Lin⁽¹¹⁾らによって解析されている。

本節では、MOSトランジスタ内部のポリシリコン抵抗、拡散抵抗がMOSトランジスタ特性に及ぼす影響を明らかにし、TEG (Test Element Group)の解析より、寄生CR時定数の回路設計上の取り扱いについて明らかにする。

図3.1は、寄生CR時定数が回路動作に及ぼす影響を調べるためのデバイス構造のモデルである。また、寄生CR時定数を計算機解析するための等価回路としては、 π 形あるいはT型分割⁽¹²⁾がよく用いられているが、ここでは π 型分割を用いた。図3.2は π 型分割の一段分割単位の等価回路を示している。また、図3.3はMOSトランジスタをソースフォロワーで動作させたときの分割段数と一定時間における電圧の関係を示している。図3.3より明らかな通り、3段階分割であれば、十分厳密解に近い値が得られることがわかる。

厳密解に十分近いと考えられる6段階分割に対する各分割段数の誤差を求めた結果が図3.4である。ここで、0段階分割とは図3.2の等価回路で全抵抗をゼロとした場合である。拡散抵抗、ポリ

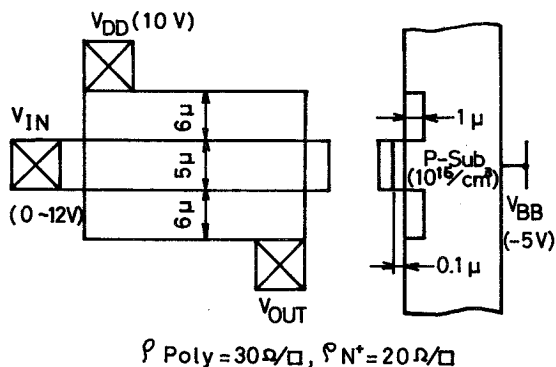


図3.1 素子構造のモデル

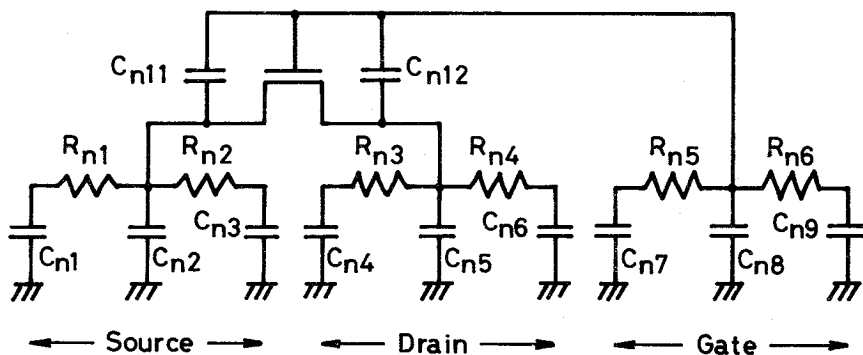


図3.2 計算機解析の等価回路

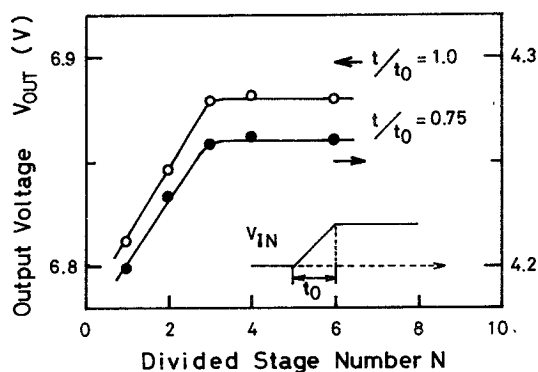


図 3.3 立ち上がり電位の分割段数依存性

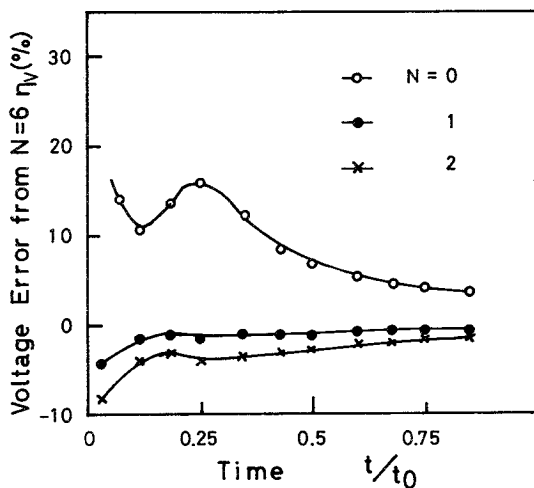


図 3.4 分割段数による誤差

シリコン抵抗を考慮した場合としない場合では、立ち上がり始めに大きな差が生じるが、少なくとも1段分割を用いることにより、6段分割からの誤差を4%以内に抑えることができる。図 3.5 は出力に 0.2 pF の負荷をつけ、MOS トランジスタのゲート幅を変えた場合の立ち上がり時間の遅れを拡散抵抗とポリシリコン抵抗の有無によって比較したものである。この結果から、ポリシリコン抵抗ばかりでなく拡散抵抗も大きな寄生 CR 時定数をもつことが明らかとなった。

このような計算機解析により得られた結果を実験で確かめるため、図 3.6 に示す素子を試作し、その特性を評価した。A タイプの MOS トランジスタには、ソース・ドレイン領域の全面に拡散層と Al とのコンタクトが設けてあり、一方、B タイプには、ソース・ドレイン領域の一部

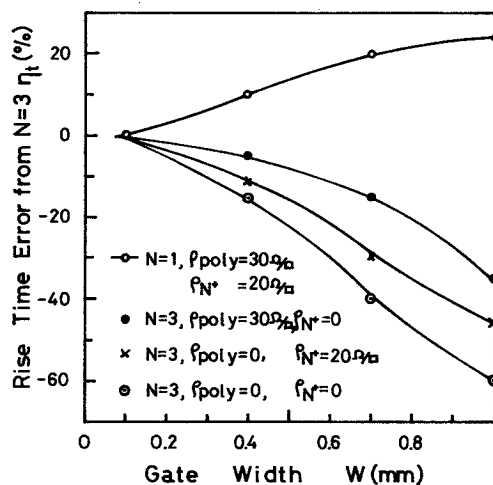


図 3.5 ゲート幅と分割段数の誤差

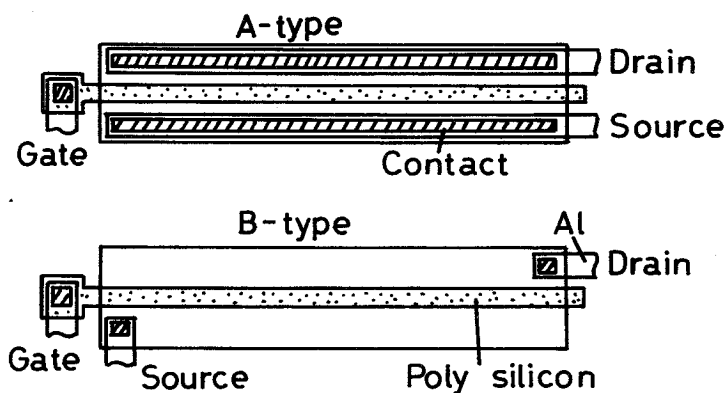


図 3.6 TEG (Test Element Group) の平面図

にコンタクトが設けてある。一層Alのプロセスを用いたダイナミックMOS RAMでは、チップ面積を小さくするためMOSトランジスタがAl配線と交差するレイアウトが頻繁に用いられる。即ち、このレイアウトが行なわれたとき、図3.6のBタイプの構成となる。これらのTEGの飽和領域におけるコンダクタンスを測定した結果を図3.7に示す。ソース・ドレインにコンタクトが設けていない場合には、ソース領域の寄生抵抗によりMOSトランジスタのゲート幅が大きくなってもコンダクタンスが増えず、逆に低下する傾向をもつ。また、図3.8にはソースフォロワー構成で、負荷容量80 pF、立ち上がり時間20 nsecのパルスにより測定した出力波形の20～80%値の立ち上がり時間を示している。Aタイプの立ち上がり時間は、0.5

mm以上のゲート幅で飽和している。これは、立ち上がり20 nsecのパルスを用いたことと、ゲートポリシリコンによる寄生CR時定数が原因であると考えられる。一方、Bタイプの立ち上がり時間は、0.2 mmのゲート幅ではAタイプに比べて5 nsec遅れ、ゲート幅が大きくなると逆に悪化している。これはMOSトランジスタのソース・ドレイン領域の抵抗がMOSトランジスタのコンダクタンスより大きくなるためである。このように、MOSトランジスタのソース・ドレイン領域、ゲートポリシリコンによる寄生抵抗が高速化の妨げになることが明らかになった。また、LSI設計においては、ソース・ドレイン領域に可能な限りコンタクトを設けることと、ゲート幅を適切な長さに制限することでソース・ドレイン領域の寄生抵抗を防止する必要があることが明らかになった。

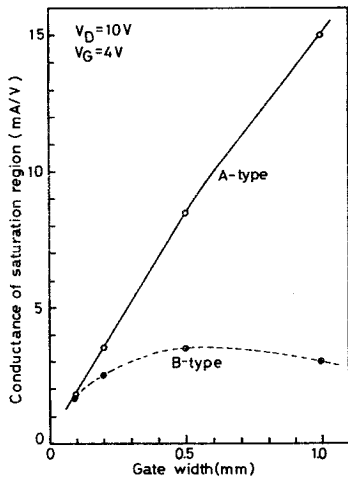


図 3.7 ゲート幅とコンダクタンス

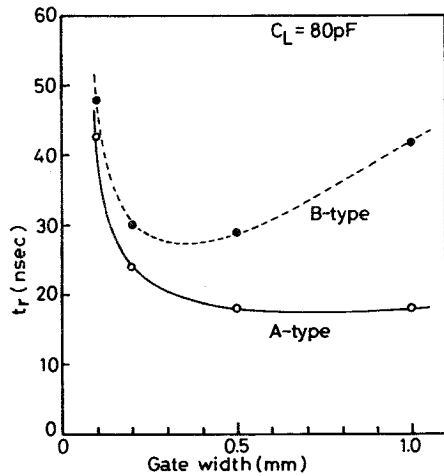


図 3.8 ゲート幅に対する立ち上がり時間

3.3 高性能ダイナミックMOS RAMと構成デバイスの具備条件

高性能ダイナミックMOS RAMを実現するためには、そのデバイス構造を決定するとき配慮しなければならない3つの重要な要素がある。それらは、MOSトランジスタ特性、ソース・ドレイン領域、ゲートポリシリコンの寄生抵抗と寄生容量である。

3.3.1 MOSトランジスタ特性（ゲート長の短チャンネル化）

高性能ダイナミックMOS RAMを実現するためには、MOSトランジスタのコンダクタンスの向上が重要であることは2章で詳しく述べた。コンダクタンスの向上には短チャンネル化が一番効果的であり、短チャンネル化したときのMOSトランジスタの最適構造を求めることが必

要である。しかし、ダイナミック MOS RAM に使用する MOS トランジスタにおいては、メモリセルや周辺回路の良い保持特性を得るために、テール電流の低減が必要である。また、昇圧回路の多用により、電源電圧以上の電位となることが多いので、ソース・ドレイン間耐圧の向上が必要である。このようにダイナミック MOS RAM に使用する MOS トランジスタは、他の LSI に比べて厳しい特性が要求される。

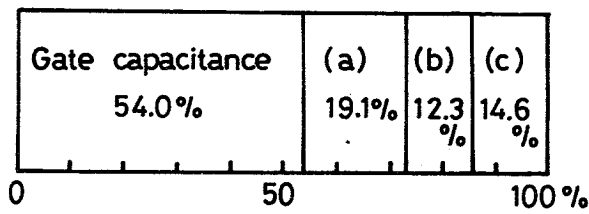
3.3.2 寄生抵抗（寄生CR時定数の低減）

ソース・ドレイン領域、ゲートポリシリコン抵抗の寄生CR時定数の回路動作に及ぼす影響は3.2節で述べたように大きな問題であり、これらの低減が必要である。また、一層Alプロセスでは、Al配線と交差する信号の配線抵抗が高速化の妨げとなる場合が多い。ダイナミック MOS RAM では複雑な周辺回路を使用するので、これらの配線抵抗によるタイミングのレーシングにより動作余裕度の低下がおこる。

3.3.3 寄生容量（負荷容量の低減）

ダイナミック MOS RAM の高性能化に対し、重要な第3の要素は寄生容量の大きさである。駆動回路の負荷容量は、主にゲート容量、Al配線容量、接合容量により構成されている。Al配線容量では、CVD酸化膜の厚み、接合容量では基板の濃度が支配的なパラメータであり、ゲート容量ではゲート酸化膜の厚さ、ゲート長が支配的なパラメータである。内因性遅延は、接合容量とゲート容量の寄生容量により発生するので、これらの低減が必要である。

また、ゲートとソース・ドレインの重なり容量はミラー容量にもなるので高速化の妨げになる。図3.9はダイナミック MOS RAM における負荷容量の要因分析結果を示す。ゲート容量は、MOS トランジスタに反転層ができたと考えたときのゲートとソース・ドレイン、チャンネル間の容量と定義した。この結果によると負荷容量の54.0%がゲート容量となり、約1/2を占める。



- (a) Al line capacitance
- (b) Junction capacitance
- (c) Others

図3.9 ダイナミック MOS RAM の負荷容量分析

その他の項は、ポリシリコンによる配線容量、拡散層、ポリシリコンと他の信号のA ℓ 配線間の容量である。また、電圧依存性のある容量は、対向電極を接地電位、自己電位を電源電圧として求めた。

ダイナミックMOS RAMのアクセス時間は、1つのインバータの立ち上がり時間 t_r と、インバータ数 n 段でアクセス (t_{acc}) 時間が決まると仮定すると簡単に次式で表わすことができる。
(13)

$$t_{acc} = \sum_{i=1}^n t_r(i) \quad (3.1)$$

また、一つのインバータの立ち上がり時間は、インバータ当りの負荷容量 C_L と駆動トランジスタのコンダクタンスで与えることができ次式となる。

$$t_r \approx \frac{C_L}{\beta(V_{CC} - V_{th})} \quad (3.2)$$

ここで、 β はコンダクタンス定数、 V_{CC} は電源電圧、 V_{th} は駆動トランジスタのしきい値電圧である。 C_L は単位ゲートの負荷容量であるが、ゲート容量を C_g 、接合容量を C_J 、A ℓ 配線容量を $C_{A\ell}$ とすると次式になる。また、 ℓ は C_J と $C_{A\ell}$ の和が C_g の何倍かを示す係数である。

$$C_L = C_g + C_J + C_{A\ell} = \ell \cdot C_g \quad (3.3)$$

ℓ は図3.8の要因分析によると $\ell \approx 2$ である。また、 C_g 、 β は更に具体的に記述すると次式となる。

$$C_g = W' \cdot L \cdot C_{ox} \quad (3.4)$$

$$\beta = \frac{W}{L_{eff}} \cdot \mu \cdot C_{ox} \quad (3.5)$$

ここで、 W' は負荷となるMOSトランジスタのゲート幅、 L はそのゲート仕上がり長、 C_{ox} は単位当りのゲート容量、 L_{eff} はMOSトランジスタの実効チャンネル長、 μ は電子移動度である。式(3.2)は式(3.3)～(3.5)より次のように書き直せる。

$$t_r \approx L \cdot L_{eff} \frac{\ell \cdot W'}{W \cdot \mu \cdot (V_{CC} - V_{th})} \quad (3.6)$$

従って、 t_f は $L \cdot L_{eff}$ の積に比例するので、高速ダイナミックMOS RAMを実現するためには、ポリシリコン仕上り長と L_{eff} の両方の短いデバイスが必要であることがわかる。

以上の検討結果から、高性能ダイナミックMOS RAMを実現するための基本MOSトランジスタは、ソース・ドレイン領域、ゲートポリシリコンが低抵抗であり、テール電流やソース・ドレイン間耐圧の低下などの短チャンネル効果を起こさず、コンダクタンスの増大が図れる特性を有する必要があることが明らかとなった。さらに、寄生容量を低減させるために、ゲートとソース・ドレインの重なり容量を低減したゲート長の短いMOSトランジスタが必要であることが明らかになった。

3.4 3重拡散型MOSトランジスタ(T. D. T)

3.4.1 デバイス構造とプロセス

高速ダイナミックMOS RAMを実現するための3つの重要な要素を3節で明らかにしたがここではそれらの重要な要素を満足させるデバイス構造、3重拡散型MOSトランジスタ(T. D. T; Triple Diffused MOS Transistor)を提案する。図3.10にプロセス工程図を示す。N領域はしきい値電圧、ブレークダウン電圧の短チャンネル効果の減少を図っている。N⁺領域は、ソース・ドレイン領域の低抵抗化を意図し、寄生CR時定数の低減を図っている。また、Al配線と他の信号線の交差部の低抵抗化にも役立つ。N⁺⁺領域はAlとN⁺⁺領域の内部接続の信頼性向上に役立つばかりでなく、信号線交差部の低抵抗化にも役立つ。このデバイス構造を得るには、ソース・ドレイン拡散工程において2枚のマスクを使う。

プロセスフローは次のようになっている。通常のプロセスにより厚い分離用の酸化膜、ゲート酸化膜、ゲート金属(ポリシリコン)を形成する。その後、N領域形成のため、全面に $1 \times 10^{15} / \text{cm}^2$ の濃度のAsを注入する。

図3.11に示すようにこの領域の接合深さは $0.2 \mu\text{m}$ であり、シート抵抗は $90 \Omega / \square$ である。次にマスクを用い、N領域を形成したい領域にのみレジストを設け、その後 $5 \times 10^{15} / \text{cm}^2$ のAsを注入する。従ってN⁺領域は $6 \times 10^{15} / \text{cm}^2$ 相当のAsが注入される。この領域の拡散深さは $0.45 \mu\text{m}$ 、シート抵抗は $25 \Omega / \square$ である。熱処理はN⁺領域形成後 1000°C 30分のアニールを行なう。更に、N⁺⁺層は形成する領域にマスクを用い酸化膜を取り、リンを添加したCVD膜を通して拡散し形成する。この領域は拡散深さ $2.3 \mu\text{m}$ シート抵抗 $15 \sim 20 \Omega / \square$ である。

N領域は、MOSトランジスタのゲート部に相当する領域以外は形成しない。また、N領域の形成においてはN領域の長さがコンダクタンスの低下から問題となる。N領域を自己制御方式で

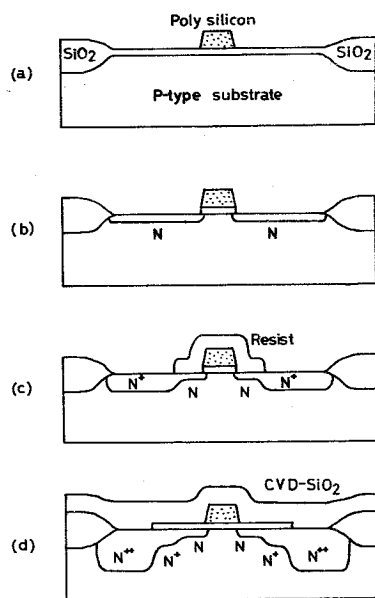


図 3.1 0 プロセス工程図

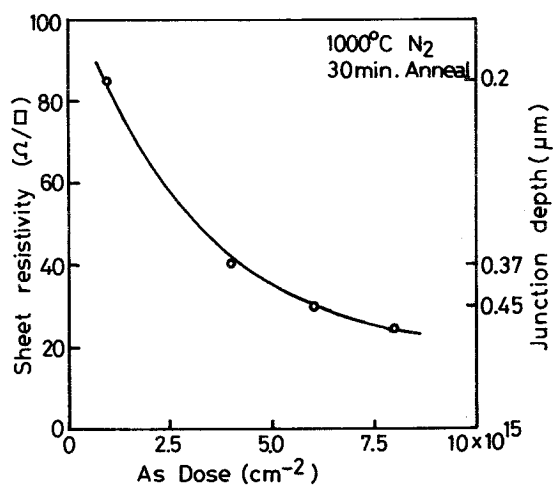


図 3.1 1 A_S 注入量とシート抵抗, x_j の関係

形成する方法も提案されているが、量産化を図るにはプロセス制御がしにくく適していない。マスクでN領域を制御する場合、N領域の長さの選定には、マスク合せ精度を考慮しなければならずマージンの確保が必要である。

3.4.2 3重拡散型MOSトランジスタの特性

3.4.2.1 電気特性

ダイナミックMOS RAMに使用可能なMOSトランジスタは、テール電流、ブレイクダウン電圧に優れている必要があり、三重拡散型MOSトランジスタ(T.D.T)についても詳細に検討した。 $V_D = 1.0\text{ V}$ において $I_D = 1\text{ }\mu\text{A}$ が流れるゲート電圧をしきい値電圧にしたときに、しきい値電圧のゲート長依存性を図3.12に示す。ここで述べるゲート長はポリシリコンの仕上り長である。通常のMOSトランジスタはN領域がなく N^+ 領域だけで、ソース・ドレイン領域を形成し、 $\rho_S = 25\Omega/\square$ 、 $x_j = 0.45\text{ }\mu\text{m}$ のデバイスである。図3.12より、T.D.Tは通常のMOSトランジスタに比べてゲート長で約 $0.4\text{ }\mu\text{m}$ 短チャンネル化が可能となる。また、図3.13はしきい値電圧のドレイン電圧依存性である。ダイナミックMOS RAMでは周辺回路においても $16\text{ }\mu\text{sec}$ 程度以上の保持時間を必要とするので、ドレイン電圧によるしきい値電圧の低下は、テール電流を増やし、保持時間を低下させるので好ましくない。

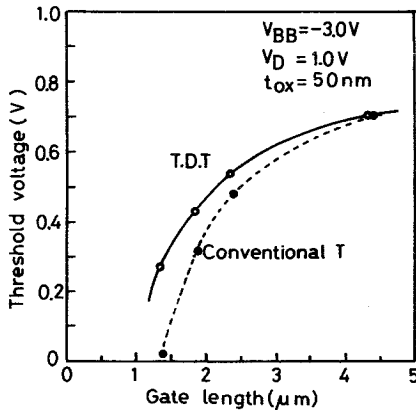


図 3.1 2 しきい値電圧のゲート長依存性

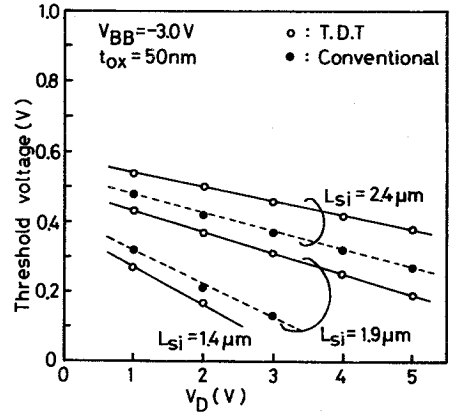


図 3.1 3 しきい値電圧のドレイン電圧依存性

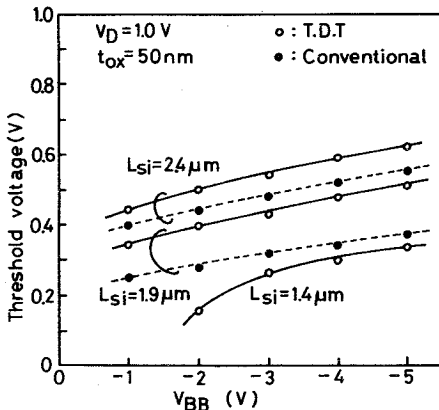


図 3.1 4 しきい値電圧の V_{BB} 電圧依存性

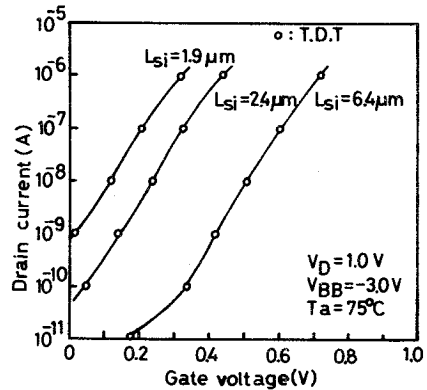


図 3.1 5 T.D.T のテール電流

図3.13より，ゲート長 $1.9\text{ }\mu\text{m}$ のT.D.Tでは $V_D = 5\text{ V}$ 時のしきい値電圧が 0.2 V であり，回路的にもPull-up回路を設けているので $16\text{ }\mu\text{sec}$ の保持時間は十分達成できる。また，高速アクセス時間を実現するには，負荷MOSトランジスタの電流駆動能力を高めるため，しきい値電圧の基板効果は小さい程良い。図3.14は，しきい値電圧の V_{BB} 電圧依存性を示している。基板の比抵抗は $20\text{ }\Omega\cdot\text{cm}$ ($7\times 10^{14}/\text{cm}^3$)であり，基板効果係数は $k = 0.18$ であった。従って，しきい値電圧のソース電位依存性は小さく，大きな電流駆動能力が発揮できる。図3.15は，ダイナミックMOS RAMでは重要な検討項目であるT.D.Tのテール電流を示している。ダイナミックMOS RAMは通常 $0^\circ\text{C}\sim 70^\circ\text{C}$ を動作範囲としている。しきい値電圧は温度依存性を持ち，高温になると下がるので， 70°C のテール電流を調べる必要がある。図3.15よりゲート長 $1.9\text{ }\mu\text{m}$ のT.D.Tは 75°C のときゲート電圧 0 V において 10^{-9} A のテール電流が流れる。ダイナミックMOS RAMの周辺回路において， 10^{-9} A の電流値で容量が 0.5 pF のときの保持時間 t は，

$$t = \frac{C \cdot V}{I} = \frac{0.5 \times 10^{-12} \times 5}{10^{-9}} = 2.5 \times 10^{-3} \text{ sec}$$

となり， $16\text{ }\mu\text{sec}$ 以上を有するので $1.9\text{ }\mu\text{m}$ のT.D.TをダイナミックMOS RAMに使用できることがわかる。また， $\alpha(dV_G/d\log I_D) \approx 100\text{ mV}$ は，通常のMOSトランジスタと同等であり，ゲート長が長くなっても変わらない。一方，メモリセルにおいては，メモリセルのしきい値電圧が 0.4 V のとき，十分長い保持時間が得られなくなるのでテール電流が問題となる。しかし，一般にメモリセルのMOSトランジスタは，狭チャンネル効果により周辺回路に使用したMOSトランジスタに比べて $0.3\sim 0.4\text{ V}$ 高いしきい値電圧となるので， 2 msec の保持時間は十分に保証できる。

ダイナミックMOS RAMでは基本信号発生回路に昇圧回路を用いているので，MOSトランジスタに印加される電圧は，そのデバイスの電源電圧の2倍近い値になる。そのため，ダイナミックMOS RAMに使用するMOSトランジスタは高耐圧の必要がある。図3.16はブレークダウン電圧とゲート長の関係を示している。T.D.Tのアバランシェブレークダウン電圧は通常のMOSトランジスタに比べて少し低いが，パンチスルーブレークダウン電圧は通常のMOSトランジスタに比べて高く，同一のブレークダウン電圧となるゲート長はT.D.Tが $0.5\text{ }\mu\text{m}$ 短チャンネル側に移行している。T.D.Tのアバランシェブレークダウン電圧が少し低い理由は， N^+ 層の接合深さが少し深くなるため，分離用 P^+ 層の接合耐圧が下がるためと考えられる。この結果より，パンチスルーブレークダウン領域においては，T.D.Tが通常MOSトランジスタに比べて $0.5\text{ }\mu\text{m}$ 余裕があり，同一のブレークダウン電圧ではT.D.Tが $0.5\text{ }\mu\text{m}$ 短チャンネル

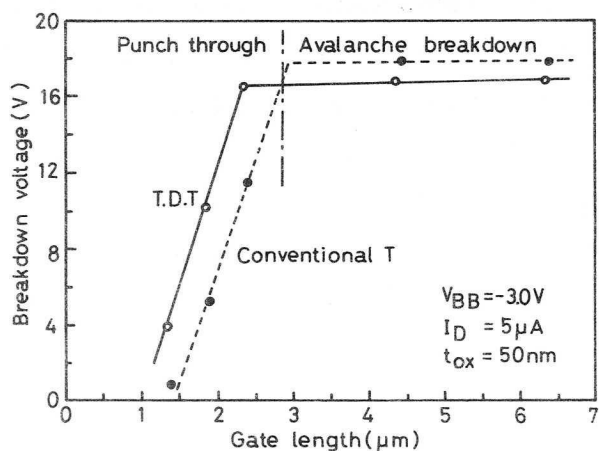


図3.16 ブレークダウン電圧のゲート長依存性

化できることが明らかになった。

このように、しきい値電圧，テール電流，ブレークダウン電圧共にT.D.Tはゲート長で0.4～0.5 μm 短チャンネル側に余裕があることが明らかになり，2.0 μm のゲート長であっても短チャンネル効果を起こしにくいことが明らかになった。図3.17はゲート長1.4 μm のT.D.Tと通常MOSトランジスタの静特性を示すが，T.D.Tはパンチスルーを起こしにくいことを示している。

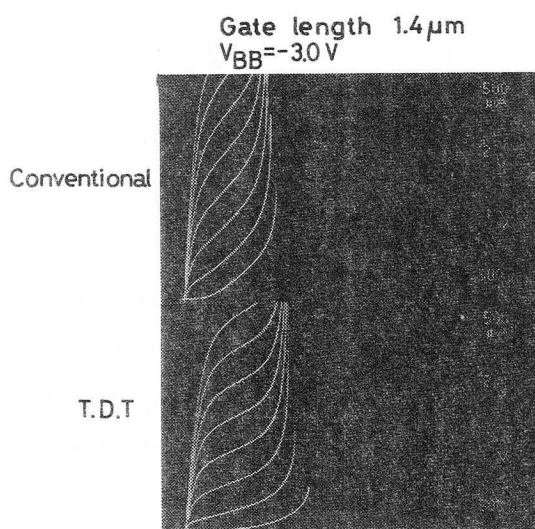


図3.17 静特性の比較

3.4.2.2 N領域とコンダクタンス

図3.10に示したように、N領域はマスクを用いて形成するため、N領域長の検討が必要である。N領域の長さは、マスク合せの制御性とN領域のシート抵抗の兼ね合いによって決まる。図3.18はN領域の長さと3極管領域におけるコンダクタンスを示している。ゲート長 $2.4\text{ }\mu\text{m}$ の場合には、N領域が $2.8\text{ }\mu\text{m}$ のとき、N領域が $0\text{ }\mu\text{m}$ に比べて4%のコンダクタンスの減少となり、N領域長 $1.3\text{ }\mu\text{m}$ では2%の減少となる。一方、ゲート長 $2.0\text{ }\mu\text{m}$ の場合には、N領域長が $3.1\text{ }\mu\text{m}$ のときN領域が $0\text{ }\mu\text{m}$ に比べて7.5%のコンダクタンスの減少となり、N領域長が $1.5\text{ }\mu\text{m}$ のときには4.0%の減少となる。従って、短チャンネルT.D.Tの場合にはN領域を短く設定しないと、実効的な3極管領域でのコンダクタンスの損失が大きくなることがわかる。

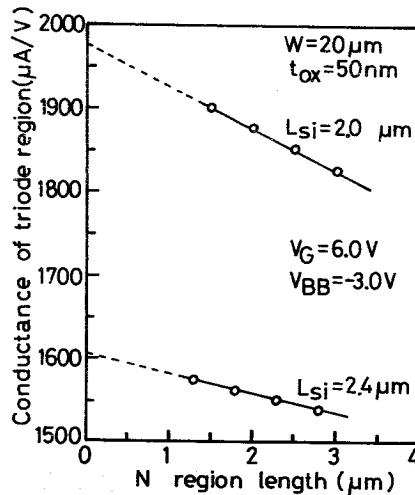


図3.18 コンダクタンスのN⁻領域長依存性

また、図3.19はT.D.Tと通常のMOSトランジスタの3極管領域におけるコンダクタンスとゲート長の関係を示している。N領域長 $2.8\text{ }\mu\text{m}$ のとき同一のコンダクタンスが得られるゲート長は、T.D.Tが $0.4\text{ }\mu\text{m}$ 短チャンネル側に移行する。従って、N領域が $2.8\text{ }\mu\text{m}$ の場合には、 $0.4\text{ }\mu\text{m}$ ゲート長を短くしないとT.D.Tのコンダクタンスは通常のMOSトランジスタのコンダクタンスに及ばない。この理由は、図3.18に示したようにN領域が3極管領域のコンダクタンスを低下させること、ソース・ドレイン領域の横方向拡散がT.D.Tと通常のMOSトランジスタで $0.3\text{ }\mu\text{m}$ 程度異なるためである。

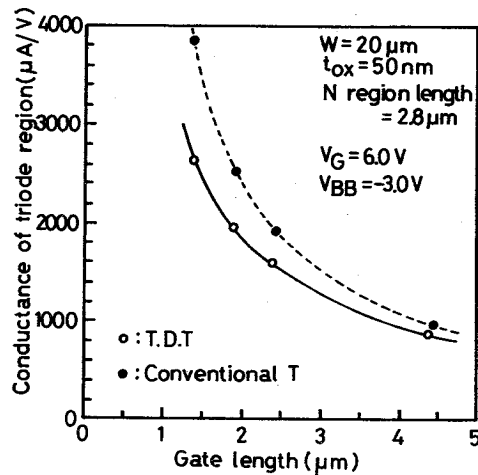


図 3.1 9 コンダクタンスのゲート長依存性

3.4.2.3 ゲートとソース・ドレインの重なり容量

式 (3.6) でインバータの t_r を決める因子の 1 つとしてゲート容量があることを示した。また, T.D.T と通常の MOS トランジスタを比較するとゲートとソース・ドレインの重なり容量が異なる。図 3.2 0 はチャンネルが形成されたときのゲート容量と, 散方向拡散長を SEM と飽和領域のコンダクタンスにより求め, ゲートとソース・ドレインの重なり容量を計算により求めた結果を示している。ゲート容量は, ゲート長に比例し, ゲート長 0 μm では 0 pF となる。しかし, 重なり容量は T.D.T と通常 MOS トランジスタで 2.5 倍異なり, T.D.T が小さな値となっていることを示している。また, ゲート容量は, ゲート長 2.4 μm と 2.0 μm で 17% 異なり, 負荷容量に対して約 9% の差が生じることを示唆している。

このように, T.D.T は重なり容量が小さいことから, 回路動作させた場合, 最大 2 倍の等価容量となるミラー容量が低減でき, 高速化に適したデバイスであることが明らかとなった。

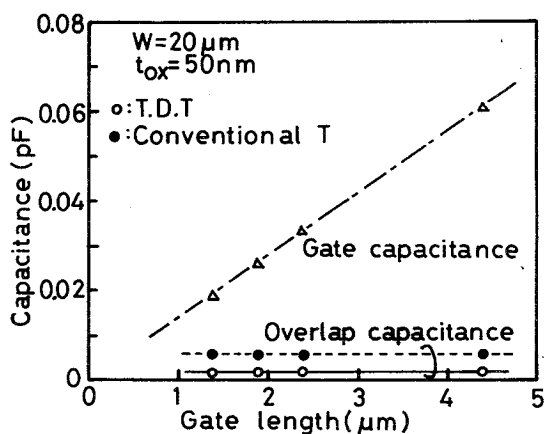


図 3.2.0 ゲート長と重なり容量

3.4.3 3重拡散型MOSトランジスタを用いた64KダイナミックMOS RAMとその電気特性

T.D.Tと通常のMOSトランジスタの性能差を定量的にダイナミックMOS RAMで調べるためにT.D.Tおよび通常のMOSトランジスタによる64KダイナミックMOS RAMを試作した。T.D.Tの優れた特性は、MOSトランジスタの短チャンネル効果が起こりにくいこと、ゲート容量、ゲートとソース・ドレインの重なり容量を低減できること、ソース・ドレインの寄生抵抗を低減できることである。従って、これらの効果を実際のダイナミックMOS RAMで実証する必要がある。図3.2.1にT.D.Tと通常のMOSトランジスタによる64KダイナミックMOS RAMの電源電流とゲート長の関係を示す。図3.2.1は、通常のMOSトランジスタではゲート長が短くなると動作電流が大きくなり、ゲート長2.4 μm 以下では実使用に耐え得ないことを示している。一方、T.D.Tはゲート長2.0 μm であっても動作電流の増加はあまり認められず、ゲート長2.0 μm でも実使用に耐え得ることを示している。また、図3.2.2は、同様に試作した64KダイナミックMOS RAMの待機電流を示している。図3.2.1と同様にT.D.Tはゲート長2.0 μm においても実動作に十分耐え得る値が得られており、通常のMOSトランジスタに比べて短チャンネル化が容易なことがわかる。これらのことから、通常のMOSトランジスタはゲート長2.4 μm が実使用に耐え得る下限であると言え、T.D.Tでは2.0 μm まで実使用に耐え得ることが明らかになった。

ダイナミックMOS RAMの高速化にはMOSトランジスタのコンダクタンスの増大が必要であることを第2章で示した。MOSトランジスタのコンダクタンスにはソース・ドレイン領域

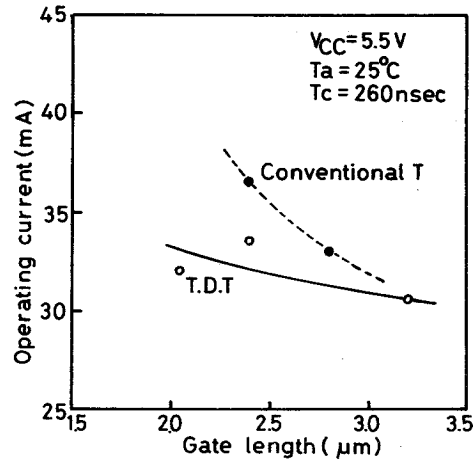


図 3.2 1 電源電流のゲート長依存性

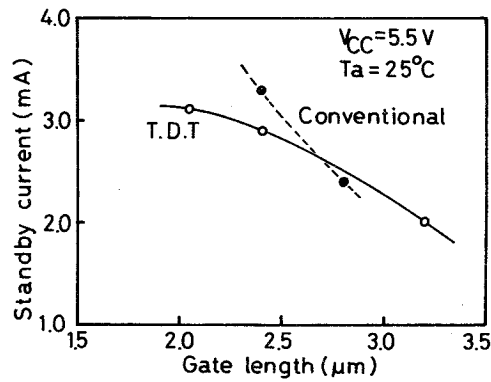


図 3.2 2 待機電流のゲート長依存性

の寄生抵抗が影響を与えるので、寄生抵抗の影響を含めたコンダクタンスの検討をする必要がある。また、コンダクタンスはゲート長に大きく依存するのでこの検討も必要である。

図 3.2 3 は、 $\overline{\text{RAS}}$ アクセス時間のゲート長依存性を示している。同一のゲート長に対しては

通常のMOSトランジスタの方が高速である。一方、図3.2.4は、3極管領域のコンダクタンスと $\overline{\text{RAS}}$ アクセス時間の関係を示している。図3.2.4は3極管のコンダクタンスが同一の場合にはT.D.Tの方が高速となることを示しているが、理由は3.4.4節で詳細に述べる。図3.2.4より $1800\mu\text{A/V}$ のコンダクタンスの場合、T.D.Tは通常MOSトランジスタと比べて13nsec(15%)高速である。また、リフレッシュ時間は、T.D.Tの場合、ゲート長が $2.0\mu\text{m}$ でも $T_a=75^\circ\text{C}$ 、 $V_{CC}=4.5\text{V}$ において500msec以上あり、実使用の2msecに対して十分余裕がある。動作最大電圧もT.D.Tの場合、ゲート長 $2.0\mu\text{m}$ で1.0.5V以上の値を有し、実使用で問題ない値である。

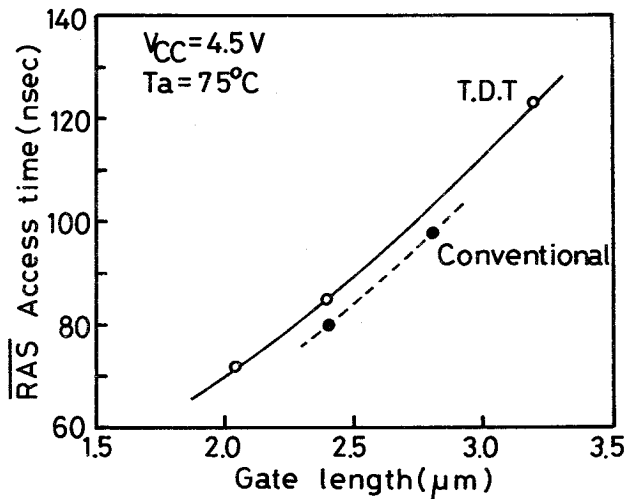


図3.2.3 アクセス時間のゲート長依存性

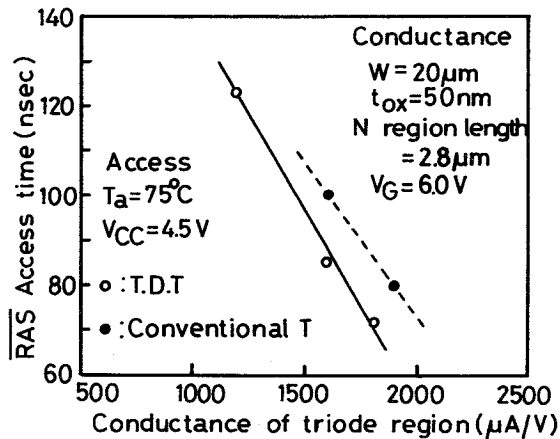


図3.2.4 アクセス時間のコンダクタンス(三極管領域)依存性

このようにT.D.Tでは2.0 μm のゲート長でも64KダイナミックMOS RAMの特性を劣化させることなく、実使用に耐え得る特性を有していることが明らかになった。また、これらの特性は、3.4.2で述べたT.D.Tの特性と対応しており、T.D.TがダイナミックMOS RAMの高性能化に有効なデバイスであることが明らかとなった。

なお、図3.25に示すようにゲート長2.0 μm のT.D.Tを用いることにより、標準RASアクセス時間55 nsec、CASアクセス時間32 nsecが得られた。

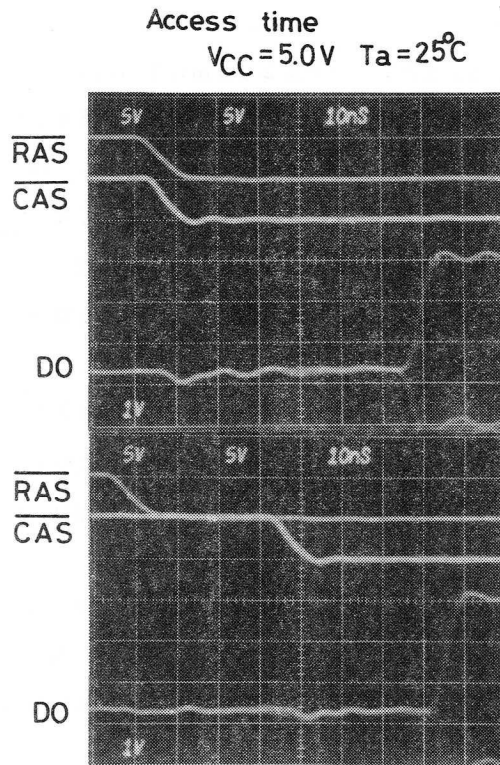


図3.25 $\overline{\text{RAS}}$, $\overline{\text{CAS}}$ 信号に対する出力波形（アクセス時間）

3.4.4 3重拡散型MOSトランジスタの高性能性

高性能ダイナミックMOS RAMを実現するためには、基本MOSトランジスタの高性能性を引き出す必要があり、T.D.Tを提案したが、通常のMOSトランジスタに比べて、高速化が容易な理由を本節で検討する。図3.18に示した3極管領域のコンダクタンスは、N領域の影響を大きく受ける。飽和領域においてはN領域抵抗のため、ソース端電圧が浮き上がる効果によりコンダクタンスの低下が起こるが、3極管領域のコンダクタンスに比べて影響は小さく、また、

実際の回路動作においても飽和領域で動作する時間が長いので、N領域の抵抗値は回路スピードにあまり大きな影響を与えていないと考えることができる。T.D.Tと通常のMOSトランジスタの各種ゲート長に対するデバイスパラメータの比較を表3.1に示す。ここで g_m は、 $V_G=3V$ 時での飽和領域のコンダクタンス、 C_g は $W=20\mu m$ のときのMOSトランジスタのゲート容量、 C_L はMOSトランジスタの負荷容量であり、ゲート長 $2.4\mu m$ のときゲート容量と他の容量が1:1になるとの仮定により求めた値である。また、 t_r は C_L/g_m により求めた立ち上がり時間である。表3.1は、ゲート長 $2.0\mu m$ のT.D.Tとゲート長 $2.4\mu m$ の通常のMOSトランジスタを比較すると、T.D.Tはコンダクタンスが大きく、一方、負荷容量が小さいので、 t_r では11%高速になる可能性のあることを示している。また、ゲート長 $2.0\mu m$ のT.D.Tとゲート長 $2.4\mu m$ の通常のMOSトランジスタの基本特性の比較を表3.2に示す。ゲート長 $2.0\mu m$ のT.D.Tとゲート長 $2.4\mu m$ の通常のMOSトランジスタの3極管領域のコンダクタンスは、通常のMOSトランジスタの方が大きい、飽和領域のコンダクタンスはT.D.Tが高くなっている。また、ゲートとソース・ドレインの重なり長は、T.D.Tでは $0.1\mu m$ であるに対して、通常のMOSトランジスタでは $0.25\mu m$ である。従って、T.D.Tの高性能化に対する特長は、浅い拡散領域をソース・ドレイン領域に用いることによって同一のチャンネル長であっても拡散層が浅いことにより、しきい値電圧やパンチスルーブレークダウン電圧の短チャンネル効果を起こしにくくでき、同一のしきい値電圧やパンチスルーブレークダウン電圧で比較すると $0.1\sim 0.2\mu m$ 程度の実効チャンネル長の短チャンネル化が可能なことである。また、他の特長は、同一の実効チャンネル長であってもゲート容量、ミラー容量を小さくできることである。

試作した64KダイナミックMOS RAMでは、ゲート長が $2.0\mu m$ のT.D.Tは、ゲート長が $2.4\mu m$ の通常MOSトランジスタの場合に比べて15%高速になっていた。しかし、表3.1に示した遅延計算では、11%の改善であり一致しない。この差の原因は、遅延計算で考慮していないミラー容量であると考えられる。このように、ソース・ドレイン領域を浅い拡散層と

表3.1 T.D.Tと通常MOSトランジスタ比較(1)

ゲート長 (μm)	T.D.T				通常MOSトランジスタ			
	$g_m(\mu A/V)$	$C_g(pF)$	$C_L(pF)$	$t_r(nsec)$	$g_m(\mu A/V)$	$C_g(pF)$	$C_L(pF)$	$t_r(nsec)$
2.0	640	0.029	0.063	0.098	—	—	—	—
2.4	570	0.034	0.068	0.120	620	0.034	0.068	0.110
2.8	520	0.040	0.074	0.142	550	0.040	0.074	0.134

表 3.2 T.D.Tと通常MOSトランジスタ (2)

		T.D.T	通常MOSトランジスタ
L_{si}	ゲートポリシリコン長	$2.0 \mu m$	$2.4 \mu m$
x_j	横方向の拡散長	$0.1 \mu m$	$0.25 \mu m$
L_{eff}	実効チャンネル長	$1.8 \mu m$	$1.9 \mu m$
g_m	飽和領域の コンダクタンス	$640 \mu A/V$	$620 \mu A/V$
g_{ds}	3極管領域の コンダクタンス	$1800 \mu A/V$	$1900 \mu A/V$
C_g	ゲート容量 ($20 \mu m$ のゲート幅)	$0.028 pF$	$0.034 pF$

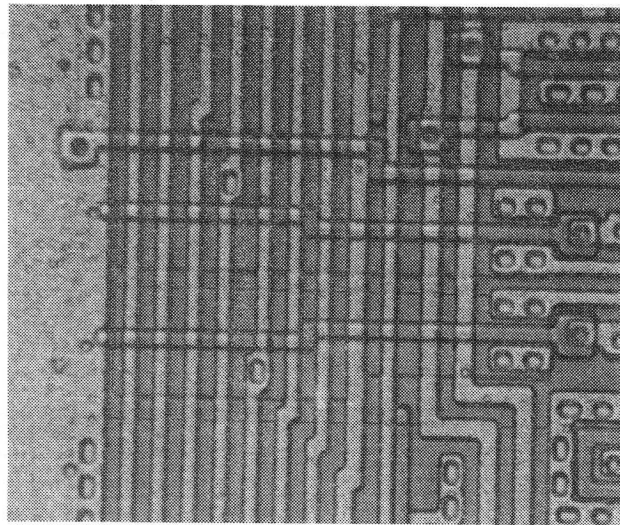


図 3.2 6 ダイナミックMOS RAMのパターンレイアウトの例
(部分拡大図)

したT.D.Tは、実効チャンネル長を短くできるばかりでなく、ゲート容量、ゲートとソース・ドレインの重なり容量を大幅に低減でき、これらの効果によって高性能化が達成されている。

また、T.D.Tは、拡散領域の抵抗を下げることで高速設計を可能にしている。

図 3.2 6はダイナミックMOS RAMのレイアウトの一部を示している。Al配線下はAl線と拡散層間のコンタクトが取れないので、3.2節で述べたソース・ドレイン領域の寄生抵抗に

より、コンダクタンスの低下が起るが、 N^+ 領域の低抵抗化によりコンダクタンスの低下を防止できる。また、 $A\ell$ と交差する信号線の N^+ 拡散抵抗を下げることによりダイナミックMOS RAMの動作余裕度を広げることができる。図3.27に N^+ 拡散層を $25\ \Omega/\square$ 、 N^{++} 拡散層を $15\ \Omega/\square$ としたT.D.Tと通常のMOSトランジスタで N^+ 拡散層を $40\ \Omega/\square$ で試作した64KダイナミックMOS RAMのSchmooプロットを示す。同一の回路、レイアウト設計で、アクセス時間がほぼ同一の例であるが、 $40\ \Omega/\square$ では動作マージンが非常に悪くなっている。これは、 $40\ \Omega/\square$ で広い動作マージンを得るには配線部の交差抵抗や、ソース・ドレイン領域における寄生抵抗による信号遅延を保証した回路設計にしなければならず、即ち高速化が困難になることを示している。このように、T.D.Tは3.3節で示した3つの重要な要素を満足する優れたデバイスであることが明らかになった。

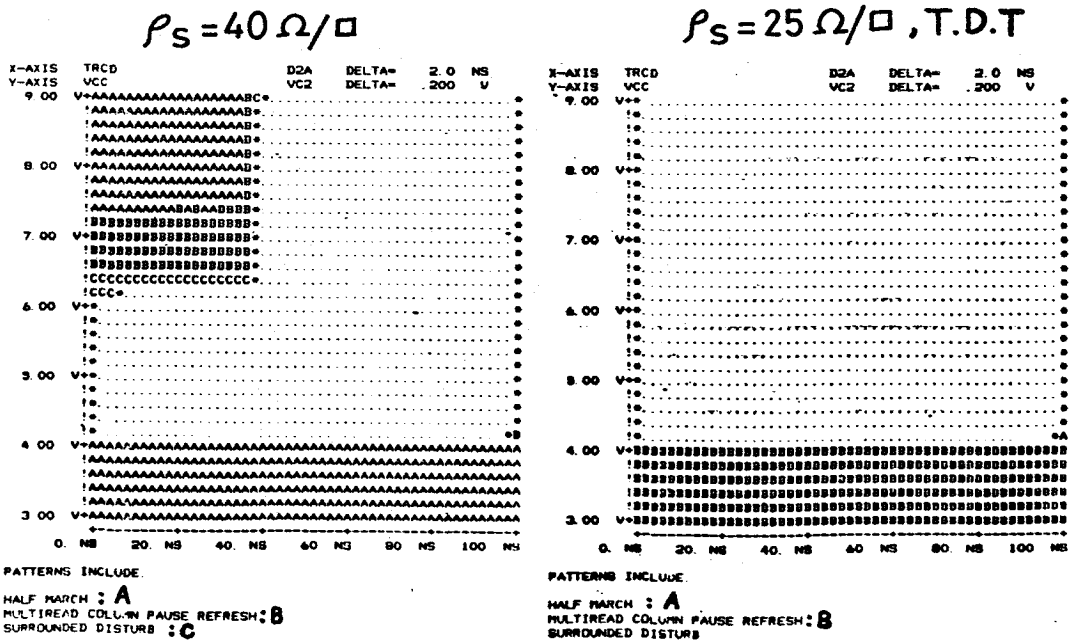


図3.27 N^+ 抵抗と動作マージン

3.5 ゲート重なり容量を低減化した (SAGOS) MOS トランジスタ

3.3 節で述べた高性能ダイナミック MOS RAM に必要な 3 つの重要な要素を満足させるデバイスとして、3.4 節で 3 重拡散型 MOS トランジスタ (T.D.T) を提案した。本節では、T.D.T の実用改良型であり、3 つの要素のうちの浮遊容量の低減化をねらった SAGOS (Self Aligned Small Gate Overlap Structure) MOS トランジスタを提案する。

3.5.1 デバイス構造とプロセス

短チャネル効果を防止しつつ、ポリシリコンゲート長を短くできる SAGOS MOS トランジスタの断面模式図を図 3.2.8 に示す。SAGOS MOS トランジスタは、ゲートポリシリコンのエッチング用レジスト膜をイオン注入用のマスクとしても使用することによってセルフアラインでゲートとソース・ドレイン間の重なり容量を小さくした MOS トランジスタであり、次のようなプロセス工程によって作られる。

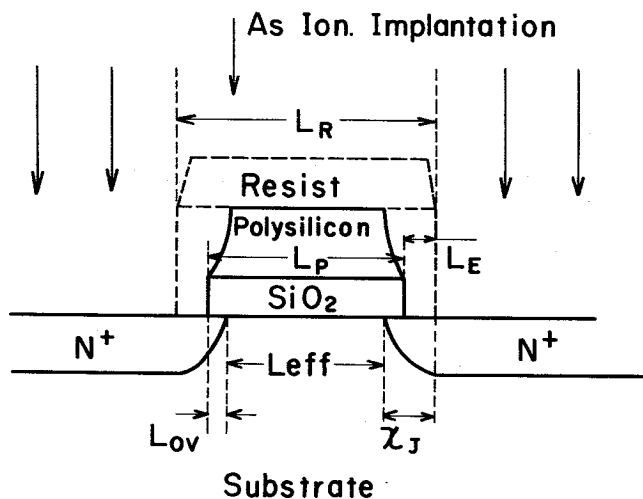


図 3.2.8 SAGOS MOS トランジスタの断面模式図

- (1) ゲート酸化膜上にポリシリコン層を成長させレジスト膜を塗布する。
- (2) ポリシリコンゲートマスクを用いてポリシリコンとゲート酸化膜をエッチングする。この時ポリシリコンのオーバーエッチを行なう。
- (3) レジスト膜を付着させたまま As イオンの注入を行なう。
- (4) レジスト膜を除去する。

ゲートポリシリコンのエッチング用レジスト膜を使用してソース・ドレイン領域のイオン注入を行なうため、MOS トランジスタの実効チャネル長はレジスト膜の寸法によって決定される。

ここで、レジスト膜を除去後イオン注入を行なう場合は通常のMOSトランジスタ構造となる。

図3.28において、レジスト寸法を L_R 、ポリシリコンゲート長を L_P 、ポリシリコンのオーバーエッチング量を L_E 、ソース・ドレイン領域の水平方向の拡散長を x_j 、実効チャンネル長を L_{eff} 、ゲートとソース・ドレインとのオーバーラップ長を L_{OV} とすると次式が成り立つ。

$$\begin{aligned} L_{eff} &= L_P - 2L_{OV} \\ &= L_P - 2(x_j - L_E) = L_R - 2x_j \end{aligned} \quad (3.7)$$

このように L_{eff} はレジスト寸法 L_R によって決定される。また、 $L_{OV} = x_j - L_E$ の関係から、 L_E を大きくすれば L_{OV} は小さくなる。 $L_{eff} = 2.3 \mu\text{m}$ 、 $x_j = 0.28 \mu\text{m}$ とした場合を考えると、通常のMOSトランジスタは $L_P \approx 2.86 \mu\text{m}$ となるが、SAGOS MOSトランジスタで $L_{OV} = 0 \mu\text{m}$ という理想的状態に L_E を制御した場合、 $L_P = 2.3 \mu\text{m}$ でよく、MOSトランジスタのゲート入力容量を約20%減少でき、ダイナミックMOS RAMの高速化に有効となる。

3.5.2 SAGOS MOSトランジスタの特性

SAGOS MOSトランジスタの特性を調べるため、通常のMOSトランジスタとSAGOS MOSトランジスタを異なる工程以外は同時に処理し、更に、 $L_R = 3.3 \mu\text{m}$ の一定値に対し、ポリシリコンのエッチング時間を変えることによって L_P を $2.3 \mu\text{m}$ から $3.2 \mu\text{m}$ まで変化させた。 L_P はゲートポリシリコン用レジスト膜を除去した後、微小寸法測定装置により測定した。図3.29は、しきい値電圧の L_P 依存性を示す。通常のMOSトランジスタでは L_P が短くなると短チャンネル効果によってしきい値電圧が低下している。一方、SAGOS MOSトランジスタでは、予測どおりしきい値電圧の低下はない。図3.30には、ソース・ドレイン間耐圧のゲート長依存性を示す。通常のMOSトランジスタでは、 $L_P = 2.6 \mu\text{m}$ 付近から急激に耐圧が低下している。これはいわゆるパンチスルー現象による耐圧低下である。

一方、SAGOS MOSトランジスタでは耐圧の低下は観測されなかった。

図3.31はコンダクタンス定数(β)のゲート長依存性を示している。ここでの β 値はトランジスタ幅 $20 \mu\text{m}$ の測定値を10分の1とした値として示した。通常のMOSトランジスタの β はほぼ次式を満足する。⁽¹⁴⁾

$$\beta \cdot L_{eff} = \beta \cdot (L_P - 2x_j) = \text{一定} \quad (3.8)$$

上式を用いて x_j を求めると次式となる。

$$x_j = \frac{L_{P2} \cdot \beta_2 - L_{P1} \cdot \beta_1}{2(\beta_2 - \beta_1)} \quad (3.9)$$

通常の MOS トランジスタの x_j を式 (3.9) を用いて求めると約 $0.21 \mu\text{m}$ となり, x_j の実測値約 $0.28 \mu\text{m}$ とはほぼ良い一致を示す。一方, SAGOS MOS トランジスタでは β の L_P 依存性は小さい。

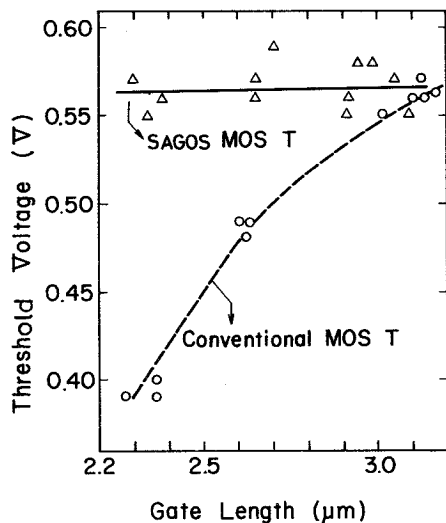


図 3.2.9 しきい値電圧のゲート長依存性

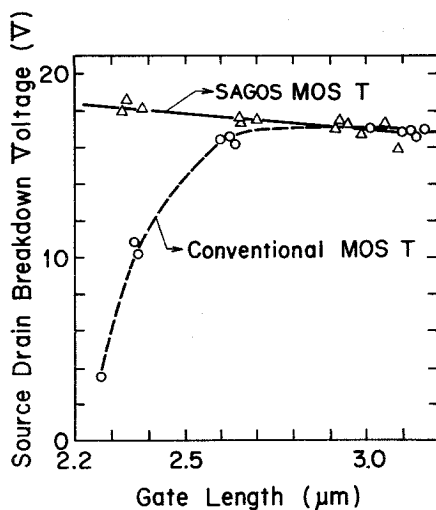


図 3.3.0 ブレークダウン電圧のゲート長依存性

SAGOS MOSトランジスタは、このように優れた特性を示すことがわかったが、 $L_E > x_j$ の領域でオフセットゲート効果によるしきい値電圧の上昇のないことは、予想以上の良好な特性である。また、SAGOS MOSトランジスタと通常のMOSトランジスタをSEMにより観測した結果、以下のことがわかった。

- (1) SAGOS MOSトランジスタのソース・ドレイン領域の端の形状は通常のMOSトランジスタに比較してゆるやかな勾配をもつ。
- (2) SAGOS MOSトランジスタは、ソース・ドレイン領域の形状が左右非対称である。
- (3) $L_P \approx 2.3 \mu\text{m}$ のSAGOS MOSトランジスタは $L_E > x_j$ 領域において $L_{OV} \approx 0 \mu\text{m}$ となり、理想的なトランジスタ構造を示す。

以上の解析結果によると実際のデバイスの断面は図3.32になる。レジスト膜の端の形状は薄くなっており、この部分を A_S イオンが突き抜けて、シリコン基板表面に薄く注入され、浅い接合を形成する。また、イオン注入の角度は垂直方向に対しわずかに約 8° 傾斜しており、これらがソース・ドレイン領域の左右非対称の原因になっている。

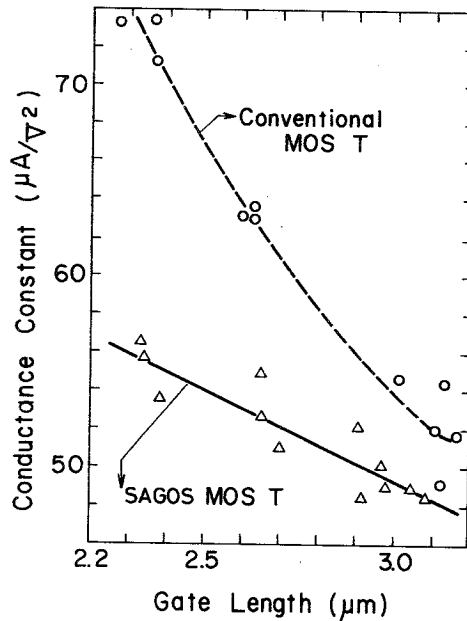


図3.31 コンダクタンス定数のゲート長依存性

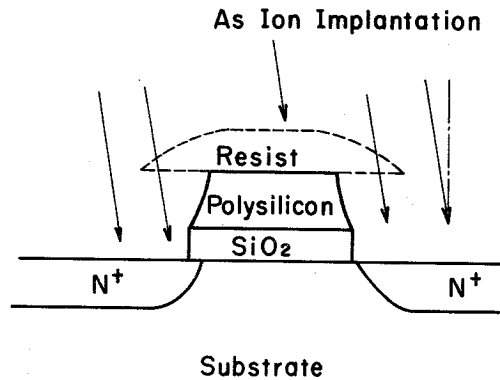


図 3.3 2 SAGOS MOSトランジスタの断面図

3.5.3 SAGOS MOSトランジスタの64KダイナミックMOS RAM への適用とその電気特性

ゲート入力容量が小さいSAGOS MOSトランジスタがダイナミックMOS RAMの高速化に有効であることを実証するため、64KダイナミックMOS RAMに適用した。

SAGOS MOSトランジスタは、ソース・ドレイン形状の非対称性がメモリセルから読み出される微小電圧を増幅するフリップフロップ回路の電圧感度⁽¹⁵⁾を低下させる恐れがあるため、2個のMOSトランジスタのドレインとソースの向きを一方方向に配置する工夫をした。他の回路については、この非対称性による影響は小さいと判断し、特別な配置上の工夫はしていない。

図 3.3 3 は、 $\overline{\text{CAS}}$ アクセス時間のゲート長(L_P)依存性を示す。同一の L_P に対し、SAGOS MOSトランジスタのアクセス時間が遅くなったのは実効チャンネル長が長いためである。また、 $L_R = L_P = 3.3 \mu\text{m}$ 付近では両方のトランジスタともほぼ同一のアクセス時間になっている。SAGOS MOSトランジスタで L_P が小さくなるほどアクセス時間が早くなる理由は、ゲート入力容量の減少と図 3.3 1 に示したコンダクタンス定数の増大の効果である。図 3.3 4 に $\overline{\text{CAS}}$ アクセス時間のコンダクタンス定数依存性を示す。同一の β 値に対しては同一 L_{eff} であり、両方のMOSトランジスタにおけるアクセス時間の差は、ゲート入力容量の減少による効果であると考えられる。特に L_P を短くした領域における効果は大きく、 $\beta = 56 \mu\text{A}/\text{V}^2$ においてSAGOS MOSトランジスタは同一 β 値の通常MOSトランジスタに比べて11%高速になっている。このとき、SAGOS MOSトランジスタの L_P は約 $2.3 \mu\text{m}$ で通常MOSトランジスタの L_P は約 $2.9 \mu\text{m}$ となり、SAGOS MOSトランジスタのゲート入力容量は、通常MOSトランジスタに比べて約20%小さくなる。チップ内配線容量がどちらもほぼ同一である点を考慮すると、ゲート入力容量が20%減少し、チップ全体で11%高速であることは妥当であると考えられる。

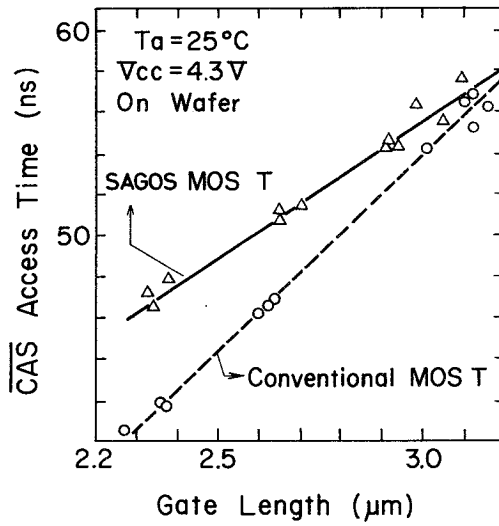


図 3.3 3 $\overline{\text{CAS}}$ アクセス時間のゲート長依存性

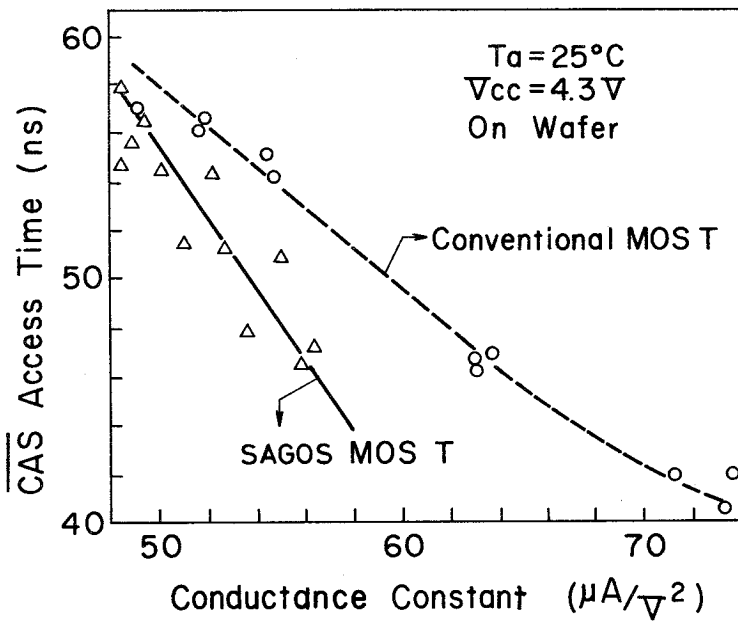


図 3.3 4 $\overline{\text{CAS}}$ アクセス時間のコンダクタンス定数依存性

また、試作した 64K ダイナミック MOS RAM のリフレッシュ時間は $L_p = 2.3\mu\text{m}$ で 400msec、最大動作電圧も $L_p \approx 2.3\mu\text{m}$ で 11V であり優れた特性を示した。

このようにゲート重なり容量を低減化した MOS トランジスタ (SAGOS) は、他の電気特性を劣化させることなく、高速化が達成できるデバイス構造であることが明らかになった。

3.6 結 言

MOSトランジスタの短チャンネル化に従って、ソース・ドレイン領域の拡散層やゲートポリシリコンの抵抗が回路動作に及ぼす影響を明らかにし、その回路設計上の取り扱いについて明らかにした。また、ダイナミックMOS RAMの高性能化を達成するために、その基本デバイスが満足する必要がある3つの重要な要素（高性能なMOSトランジスタ特性、寄生抵抗の低抵抗化、小さい寄生容量）を示した。この重要な要素を満足できる三重拡散型MOSトランジスタ(T.D.T)を提案し、その特性について通常のMOSトランジスタと比較検討した結果、ゲート長 $1.9\mu\text{m}$ のT.D.Tはしきい値電圧、ブレイクダウン電圧、テール電流の劣化はなく、実使用に耐え得る特性を有することを示した。また、T.D.TのN領域によるコンダクタンスの低下について検討した結果、N領域が $2.5\mu\text{m}$ 以下であればT.D.Tの短チャンネル特性が有効となることを示した。このT.D.Tを用いて64KダイナミックMOS RAMを試作した結果、ゲート長 $2.0\mu\text{m}$ のとき標準アクセス時間 55 nsec が得られた。通常のMOSトランジスタによるダイナミックMOS RAMと性能を比較した結果、T.D.Tの優れた特徴は、短チャンネル効果が起こりにくいことの外に、ゲート容量、ゲートとソース・ドレインの重なり容量が小さくなっていることであることがわかり、同一のコンダクタンスの場合には11%以上の高速性が得られることを理論的に確かめ、64KダイナミックMOS RAMの試作により15%の高速性が確認できた。さらに、T.D.Tによるソース・ドレイン、信号交差部の抵抗の低減により、広い動作領域が得られることも明らかにした。

また、上記T.D.Tの実用性を高めるため、マスク枚数を減らし、上記構造と類似しているSAGOS MOSトランジスタを提案し、その特性について解析した結果、このデバイスの特性はゲートポリシリコン長ではなく、ゲートポリシコンエッチング用のレジスト寸法で決定されることがわかり、ゲートポリシリコン長 $2.8\mu\text{m}$ までしきい値電圧、ソース・ドレイン間耐圧の低下を起こさないことを明らかにした。SAGOS MOSトランジスタを64KダイナミックMOS RAMに適用すると、ゲート入力容量の低減により通常のMOSトランジスタに比べて11%の高速化が達成できることを明らかにした。

参考文献

- (1) R.H. Dennard, F.H. Gaensslen, H.N. Yu, V.L. Rideout, E. Bassous and A. LeBlanc; "Design of ion-implanted MOSFET with very small physical dimensions", IEEE J. Solid-State Circuits, vol. SC-9, No.5, PP. 256-268, 1974.
- (2) 齊藤 和之; "Sub micron Lightly Doped Drain MOS FET", 電子通信学会, 半導体トランジスタ研究会, SSD 78-87, PP. 75-84, 1978.
- (3) S. Ogura, P.J. Tsang, W.W. Walker, D.L. Critchlow and J.F. Shepard; "Design and characteristics of the lightly doped drain-source (LDD) insulated gate field-effect transistor", IEEE Trans. Electron-Devices, vol. ED-27, No.8, PP. 1359-1367, 1980.
- (4) P.J. Tsang, S. Ogura, W.W. Walker, J.F. Shepard and D.L. Critchlow; "Fabrication of High-Performance LDDFET's with Oxide Sidewall-Spacer Technology", IEEE Trans. Electron-Devices, vol. ED-29, No.4, PP. 590-596, 1982.
- (5) H. Sunami, K. Shimohigashi and N. Hashimoto; "Characteristics of a Buried-Channel Graded Drain with Punching through Stopper (BCP) MOS Device", IEEE Trans. Electron-Devices, vol. ED-29, No.4, PP. 607-610, 1982.
- (6) 長山, 下西, 中野; "MOS トランジスタにおける寄生CR時定数の効果", 昭53 信学総合全国大会, P.2-29
- (7) 長山, 下西, 中野; "MOS トランジスタにおける寄生CR時定数の効果(2)", 昭54 信学総合全国大会, P.2-208.
- (8) Y. Nagayama, K. Ohbayashi, M. Taniguchi, T. Yoshihara and T. Nakano; "A 55nsec 64K Dynamic MOS RAM with Triple Diffused MOS Transistor", IEDM Dig. Tech. Papers, PP. 620-623, 1982.

- (9) Y. Nagayama, K. Ohbayashi, M. Taniguchi, T. Yoshihara and T. Nakano; "A 55nsec 64K Dynamic MOS RAM with Triple Diffused MOS Transistor", IEEE Trans. Electron-Devices, To be published.
- (10) 谷口, 長山, 佐藤, 畑中; "ゲート重なり容量を低減化したMOSTによる高性能64KビットダイナミックRAM", 信学論(C), vol. J65-C, No.7, PP. 569-575, 1982.
- (11) H.C. Lin, Y.F. Arzoumanian, J.L. Halsor, M.H. Giuliano and H.F. Benz; "Effect of Silicon-Gate Resistance on the Frequency Response of MOS Transistors", IEEE Trans. Electron-Devices, vol. ED-22, No.5, PP. 255-264, 1975.
- (12) 武谷, 家田; "MOS ICにおける配線遅延のモデル化の検討", 昭51信学総合全国大会, P.2-141.
- (13) 下東; "MOS メモリのアクセス時間の解析", 昭56信学総合全国大会, P. 2-165.
- (14) R.H. Crowford; "MOSFET in Circuit Design", Mc Graw-Hill. Book Company, P. 54.
- (15) 下西, 長山, 中野; "ダイナミックMOS RAMのセンスアンプ感度の解析", 信学論(C), vol. J61-C, No.6, PP. 399-401, 1978.

第4章 MOS RAMの動作余裕度

4.1 序

ダイナミックMOS RAMのメモリセルは、1トランジスタ型が一般に用いられているが、このメモリセルを用いると読み出される電位が数百mVと非常に小さいので、この微少な電位を安定に増幅するセンスアンプ回路の設計が重要となる。このため、センスアンプ回路の動作に関する種々な検討や新しいセンスアンプ回路の提案がなされている。^{(1),(2)}^{(3),(4)}

また、微細加工技術による大容量ダイナミックMOS RAMでは、1ビット当りの信号電荷量が小さくなる⁽⁵⁾ことがスケーリング則から導き出されるので、動作余裕度の低下が予想され、その拡大が必要になる。動作余裕度の拡大は、センスアンプ回路のS/N比の改善であり、読み出し電圧を増加させる方法の研究やセンスアンプ回路の高感度化の研究に集約することができる。^{(6),(7),(8),(9)}読み出し電圧を増す方法については、種々なメモリセルが提案されているが、センスアンプ回路の高感度化を図るための定量化は十分行なわれていない。

また、ダイナミックMOS RAMの動作余裕度を決定する因子としてソフトエラーがある。⁽¹⁰⁾1978年にMayらによってパッケージ材料に含まれている放射性物質により放射される α 線のためダイナミックMOS RAMにソフトエラーが発生するという現象が発表され、 α 線によるソフトエラーがダイナミックMOS RAMに重大な障害となることがわかった。ソフトエラー改善のため、パッケージ材料の精製、⁽¹¹⁾チップコートによる改善、^{(12),(13)}メモリセル構造の改良と回路設計の最適化の研究が行なわれ、⁽¹⁴⁾成果が上っている。^{(15),(16)}しかしながら、ソフトエラーが起こる場合のダイナミックMOS RAMの性能の改善度や、回路設計の中でもダミーセルサイズとソフトエラーの関係や、ワード線昇圧方式とソフトエラーの関係などについて明らかでない点が多く、研究課題は多い。

本章では、以上の問題に対して動作余裕度の拡大のため、以下の検討を行なっている。4.2節では、センスアンプ回路の感度をMOSトランジスタの特性式より解析的に求め、定式化し、⁽¹⁷⁾センスアンプ回路の高感度の方針を明らかにしている。4.3節では、スケーリング則に基づいて進展してきたダイナミックMOS RAMのデバイス・回路設計にソフトエラーが与えた影響を定量的に解析し、ソフトエラーを考慮した修正スケーリング則を提案する。⁽¹⁸⁾また、修正スケーリング則を適用したメモリ容量決定法を示し、高速化、高性能化を実現するための新しい回路構成法を提案する。⁽¹⁹⁾また、提案した修正スケーリング則の妥当性の検討を行なっている。4.4節では、回路設計技術によりソフトエラー率の改善を図るため、⁽²⁰⁾ダミーセルサイズやワード線昇圧方式とソフトエラーの関係について検討した結果を述べる。

4.2 センサンプ感度の定量化

1 トランジスタ型のメモリセルを用いたダイナミック MOS RAM のセンスアンプ感度の解析は、計算機解析のシミュレーションにより求められた例はあるが、動作特定式を用いて解析的に導びかれていない。ここでは、MOS トランジスタの動作特定式を用いて、センスアンプ感度を求め、デバイスパラメータに対する依存性を明らかにする。

また、計算機解析により、得られた式がセンスアンプ感度を良く表現していることを示す。

4.2.1 センスアンプ感度の導出

図 4.1 に示したような、完全ダイナミックセンスアンプを簡単化した回路について、センスアンプ感度を求めた。図 4.2 は、低電位信号を読み出すときの、センスアンプ回路のタイミングを示す。時刻 t_0 におけるビット線 A, B の電位 V_1, V_2 を、 ϕ_1, ϕ_2 によってプリチャージされた電位を V_P とし、MOS トランジスタ Q_1, Q_2 のしきい値電圧を V_{th1}, V_{th2} ($V_{th1} < V_{th2}$) とするとノード C は $V_S = V_P - V_{th1}$ に充電される。時刻 t_1 で記憶情報の読み出しがなされ、メモリセルに接続したビット線の電位 V_2 が $4V_{MR}$ 、ダミーセルに接続したビット線の電位 V_1

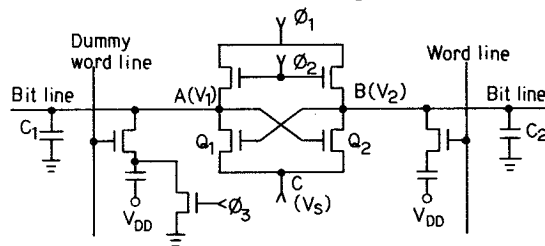


図 4.1 センスアンプ回路

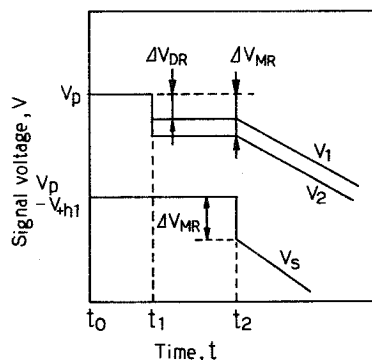


図 4.2 センスアンプ回路のタイミング図

が $\Delta V_{DR} (\Delta V_{MR} > \Delta V_{DR})$ だけ変化した場合を考えると、 V_1, V_2 は t_1 で次のように表わすことができる。

$$V_1 = V_P - \Delta V_{DR} \quad (4.1)$$

$$V_2 = V_P - \Delta V_{MR} \quad (4.2)$$

時刻 t_2 で V_S が $(V_P - V_{th1}) - \Delta V_{MR}; \Delta V_{MR} > V_{th2} - V_{th1} + \Delta V_{DR}$ に瞬時になったとすると、 Q_1, Q_2 は 5 極管領域で動作をはじめめる。このとき、 Q_1, Q_2 を流れる電流は次式で与えられる。

$$I_1 = -C_1 \frac{dV_1}{dt} = \frac{\beta_1}{2} \cdot (V_2 - V_S - V_{th1})^2 \quad (4.3)$$

$$I_2 = -C_2 \frac{dV_2}{dt} = \frac{\beta_2}{2} \cdot (V_1 - V_S - V_{th2})^2 \quad (4.4)$$

ここで、 C_1, C_2 はノード A, B に付随したビット線容量、 β_1, β_2 は Q_1, Q_2 のコンダクタンス定数である。時刻 t_2 以降は、 V_S が時間の経過に対して直線的に速度 K で減少する場合を考える。

$$V_S = (V_P - V_{th1}) - \Delta V_{MR} - K \cdot (t - t_2) \quad (4.5)$$

いま、センスアンプ回路を活性化し、読み出された微少電圧を増幅する短い時間を問題としているので、ノード A, B の電位は下降速度 K_1, K_2 で直線的に減少するものと近似することができる。

$$V_1 = V_P - \Delta V_{DR} - K_1 \cdot (t - t_2) \quad (4.6)$$

$$V_2 = V_P - \Delta V_{MR} - K_2 \cdot (t - t_2) \quad (4.7)$$

式 (4.3) ~ (4.7) によって次式が得られる。

$$2C_1 \cdot K_1 / \beta_1 = \{ (K - K_2) \cdot (t - t_2) \}^2 \quad (4.8)$$

$$2C_2 \cdot K_2 / \beta_2 = \{ (K - K_1) \cdot (t - t_2) + \Delta V_{MR} - \Delta V_{DR} - (V_{th2} - V_{th1}) \}^2 \quad (4.9)$$

ビット線 A, B の電位の下降速度 K_1, K_2 が等しいとき、メモリセル、ダミーセルから読み出

された電位差が一定のまま、 V_1, V_2 が減少する。 $K_1 = K_2 = \alpha K$ とおくと、時刻 t ($|V_S(t) - V_S(t_2)| \ll |V_S(t_2)|$ を満たす t) におけるビット線 A, B の電位差は式 (4.8), (4.9) より

$$\Delta V_{MR} - \Delta V_{DR} = \sqrt{\frac{2C_2\alpha K}{\beta_2}} - \sqrt{\frac{2C_1\alpha K}{\beta_1}} + (V_{th2} - V_{th1}) \quad (4.10)$$

と求められる。式 (4.10) が満たされるとき、読み出された電位差の増幅がなされない。従って、式 (4.10) で与えられる関係を満足する読み出し電位差が、読み出された記憶情報を正常なデータとして増幅するか、誤まったデータとして増幅するかの境界を与えるので、これを感度 ($\equiv \Delta V_{AS}$) と定義することができる。

式 (4.10) は、 $V_{th1} < V_{th2}$, $\Delta V_{MR} > (V_{th2} - V_{th1}) + \Delta V_{DR}$ の条件で導出されたが、ほかの条件においても同じ形に求められる。

次に ΔV_{AS} の最大値 ΔV_{ASmax} をデバイスパラメータの変動量に対応させて求める。 Q_1, Q_2 のコンダクタンス定数、しきい値電圧およびビット線容量の中心値を β_0, V_{th0}, C_0 とし、各々のばらつきを $\Delta\beta, \Delta V_{th}, \Delta C$ とすれば次式が得られる。

$$\begin{aligned} \Delta V_{ASmax} = & \sqrt{2\alpha \cdot K} \cdot \left(\sqrt{\frac{C_0 + \Delta C}{\beta_0 - \Delta\beta}} - \sqrt{\frac{C_0 - \Delta C}{\beta_0 + \Delta\beta}} \right) \\ & + (V_{th0} + \Delta V_{th}) - (V_{th0} - \Delta V_{th}) \end{aligned} \quad (4.11)$$

ダイナミック MOS RAM の製造条件を考えると、一般に $\Delta C/C_0 \ll 1, \Delta\beta/\beta_0 \ll 1$ であり、次式 (4.11) は次のように表わすことができる。

$$\Delta V_{ASmax} = \sqrt{\frac{2\alpha K C_0}{\beta_0}} \left(\frac{\Delta C}{C_0} + \frac{\Delta\beta}{\beta_0} \right) + 2 \Delta V_{th} \quad (4.12)$$

4.2.2 定量化したセンスアンプ感度の妥当性の検討

式 (4.12) を導出するに当り、 V_S が $t = t_2$ で瞬時に、 $(V_P - V_{th1}) - \Delta V_{MR}$ になると仮定したが、この妥当性を調べるために MOS トランジスタの動作特性を Pao・Sah の式で表わし、図 4.1 に示したセンスアンプ回路の計算機解析を行なった。図 4.3 は、 $\delta \equiv \Delta C/C_0$, $\gamma \equiv \Delta\beta/\beta_0$ をパラメータとしたときの計算機解析結果による感度 ΔV_{ASmax} と $\sqrt{2K \cdot C_0/\beta_0} \equiv \eta$ の関係を示している。図 4.3 より、 ΔV_{ASmax} は $0.7 < \eta < 5$ の範囲で η に比例し、又、 η が

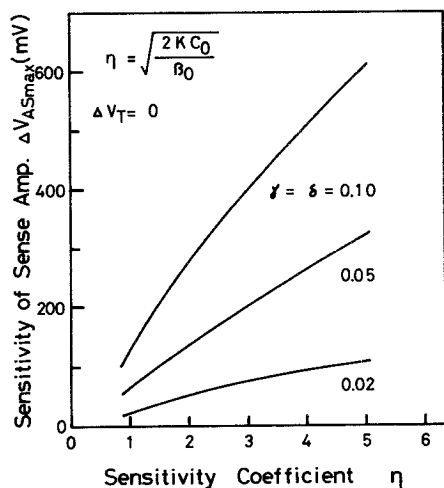


図 4.3 計算機による感度解析結果

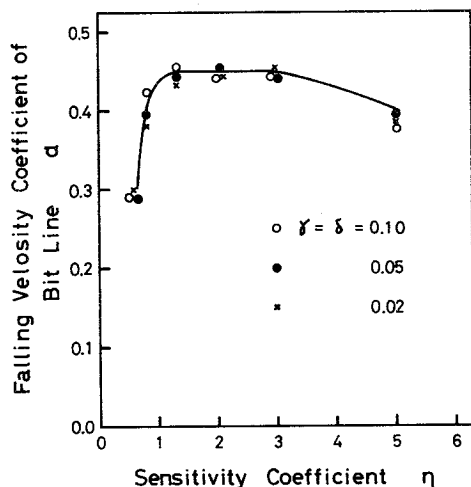


図 4.4 η と比例定数 α の関係

一定のとき θ , γ に比例していることがわかる。従って式 (4.1 2) は α が決められたときのセンスアンプ感度を与える解析式とみなすことができ、上述の仮定が感度の導出に当っては妥当であると考えることができる。

ΔV_{ASmax} が式 (4.1 2) で与えられるとき、図 4.3 の結果を用いた α の計算結果を図 4.4 に示す。 $1 < \eta < 3$ の範囲では α が 0.4 5 となり、ビット線電位の下降速度がセンスアンプのソース電位の下降速度の約 1/2 であると考えれば、式 (4.1 2) をセンスアンプ感度とすることができる。

このように、センスアンプ感度をビット線容量、センスアンプ回路の MOS トランジスタのコン

ダクタンス定数，ビット線のソース端下降速度と，ビット線容量，MOSトランジスタのコンダクタンス定数，しきい値電圧のばらつきで記述できることが明らかとなり，高感度化の方向性が明確となった。

4.3 ソフトエラーを考慮したダイナミックMOS RAMの回路設計

大容量ダイナミックMOS RAMの開発は、スケーリング⁽⁵⁾則に基づいて進展してきたが、⁽¹⁰⁾Mayらによってパッケージ材料に含まれている放射性物質より放出される α 線のため、ダイナミックMOS RAMにソフトエラーが発生するという現象が発表され、 α 線によるソフトエラーは、ダイナミックMOS RAMの大容量化に重大な障害となることがわかり、スケーリング則の単純適用は不可能となった。

しかし、スケーリング則は、大容量ダイナミックMOS RAMの開発指針を提示する基本的考えであり、ソフトエラーが発生するとしても全面的に変更する必要はなく、ソフトエラーを考慮した修正スケーリング則を提示することが、大容量ダイナミックMOS RAMの開発展開を方向づけるには重要であると考えられる。

本節では、大容量ダイナミックMOS RAMにスケーリング則を適用するに当たり、ソフトエラーがスケーリング則の律速条件になるという考え方に基づいた修正スケーリング則を示す。さらに、修正スケーリング則による欠点を打破するための新しいデバイス構造や、回路構成法を提案し、それらのデバイス、回路構成法を用いて5V単一電源16KダイナミックMOS RAMの設計、試作を行なった結果を述べる。また、スケーリング定数 $\cdot k=1$ として12V-16KダイナミックMOS RAM、スケーリング定数 $\cdot k=2$ として5V-16KダイナミックMOS RAMを考えたときの修正スケーリング則の満足度について検討した結果を述べる。

4.3.1 ソフトエラーを考慮したメモリセル容量の決定法

ダイナミックMOS RAMのソフトエラーは、メモリセル部で発生するモードとビット線部⁽²³⁾で発生するモードの2種類がある。ダイナミックMOS RAMで書き込み、読み出しを実行している場合には、第2のモードが支配的であり、ソフトエラーの解析においては、ビット線にメモリセルからの電荷が読み出され、センスアンプ回路が動作する過程を考えればよい。図4.5にセンスアンプ回路を示す。

(24)

センスアンプ回路が安定に動作するためには、次式が成立する必要がある。

$$\Delta V_R = m \cdot \Delta V_{ASmax} \quad , \quad m > 1 \quad (4.13)$$

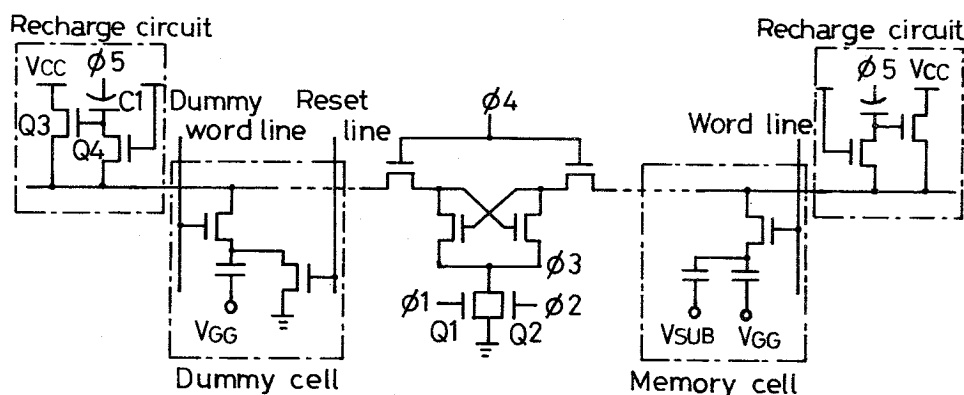


図 4.5 センスアンプ回路

ここで、 ΔV_R は読み出し電圧、 ΔV_{ASmax} はセンスアンプ感度、 m は安定動作の係数である。 m は、 ΔV_R 、 ΔV_{ASmax} がダイナミック MOS RAM の動作範囲を保証している外部条件（電源電圧、温度、外部信号のタイミング）で動作するための必要条件、 $\Delta V_R > \Delta V_{ASmax}$ を得るための標準条件における ΔV_R と ΔV_{ASmax} の比を表わしている。

式（4.13）は、ソフトエラーを考慮していないが、ソフトエラーを考慮すれば、センスアンプ回路の安定動作のためには次式を満足する必要がある。

$$\Delta V_R = m \cdot (\Delta V_{ASmax} + \Delta V_\alpha), \quad m > 1 \quad (4.14)$$

ここで、 ΔV_α は α 線がチップに入射した場合に、チップ内で発生する電子によってビット線に現われる電位である。また、ビット線の容量を C_b 、ビット線に収集された電子の電荷量を ΔQ_C とすると ΔV_α は次式で表わせる。

$$\Delta V_\alpha = \Delta Q_C / C_b \quad (4.15)$$

一方、ビット線のプリチャージ電位、ワード、ダミーワード線の電位が V_{CC} で、“1”読み出しと“0”読み出し電位がメモリセル、ダミーセルのしきい値電圧より小さく、 $2C_d = C_s$ （ C_d ：ダミーセル容量、 C_s ：メモリセル容量）が成り立つとき、記憶情報に関係せず、読み出し電圧、 ΔV_R は次式で表わせる。

$$\Delta V_R = \frac{V_{CC} - V_{thM}}{2 \cdot C_b / C_s} \quad (4.16)$$

従って、式 (4.14) ~ (4.16) よりメモリセル容量 C_S は次式で表わすことができる。

$$C_S = \frac{2 \cdot C_b}{V_{CC} - V_{thM}} \cdot m \cdot (\Delta V_{ASmax} + \frac{\Delta Q_C}{C_b}) \quad (4.17)$$

式 (4.17) は、係数 m 、 ΔQ_C が得られたとき、ソフトエラーを起こさないメモリセル容量 (C_S) を設定することができることを示している。ここで、 ΔQ_C はソフトエラーの臨界電荷量である。

4.3.2. 修正スケーリング則

Dennard⁽⁵⁾ らによって提案されたスケーリング則は大容量ダイナミック MOS RAM や他の VLSI の開発の方向づけを与える重要な考えである。しかし、May⁽¹⁰⁾ らによって指摘されたソフトエラーは、スケーリング則に制限を与えたと考えることができる。即ち、スケーリング則は、デバイスの物理定数を小さくすることによってダイナミック MOS RAM では 1 ビットの情報エネルギーを小さくできることを示唆しているが、ソフトエラーは、1 ビットの情報エネルギーに最小値があることを意味しているからである。

従って、ソフトエラーを考慮した場合には、メモリセルの 1 ビットの情報エネルギーに最小値があることから、スケーリング則を完全に適用できなくなると考えることができる。

ソフトエラーを考慮した修正スケーリング則は、スケーリング定数 $\cdot k=1$ において、ソフトエラーとして十分満足できる値が得られている回路、デバイスを設定したとき、メモリセルの蓄積電荷量 ($Q_S = C_S \cdot V_S$) がスケーリング定数に依存しない場合であると考えることができる。ソフトエラーを考慮したとき、スケーリング則が適用できない点は、メモリセルの設計であり、デバイス寸法、不純物濃度、電圧に対して修正する必要はない。メモリセル容量に対してスケーリング則を修正すると、メモリセル面積が一定となりワード線やビット線の容量は修正スケーリング則では $k=1$ となる。これらの容量を駆動し遅延時間をスケーリング則に従って高速化する条件を用いると電流は $k=1$ となり、周辺回路のトランジスタのゲート幅がスケーリング則からはずれ縮小できなくなるので周辺回路の容量は $k=1$ になる。従って、容量の修正スケーリング定数は、ソフトエラーによって決定されるメモリセルと RAM の高速性によって決定される周辺回路に分離して表わすことができ、遅延時間の修正スケーリング定数は周辺回路の容量によって決まると考えられる。以上の検討結果から、修正スケーリング則は表 4.1 で表わすことができる。また、 $P \cdot D$ 積/回路 ($P \cdot D$ 積/ビット) を性能指数と定義する。

表 4.1 修正スケーリング則

パラメータ	スケーリング則	修正スケーリング則
デバイス寸法 (t_{0X} , L , w)	$1/k$	$1/k$
不純物濃度 (N_A)	k	k
電 圧 (V)	$1/k$	$1/k$
電 流 (I)	$1/k$	1
容 量 ($\epsilon A / t_{0X}$)	$1/k$	k (メモリセル)
		I (周辺回路)
遅延時間/回路 (VC / I)	$1/k$	$1/k$
消費電力/回路 ($V \cdot I$)	$1/k^2$	$1/k$
$P \cdot D$ 積/回路 (性能指数)	$1/k^3$	$1/k^2$

4.3.3 修正スケーリング則による 5V-16K ダイナミック MOS RAM の回路設計

4.3.3.1 メモリセル容量の決定

ソフトエラーを考慮した修正スケーリング則を実証するため、12V-16K ダイナミック MOS RAM (12V, $\pm 5V$ 電源) をスケーリング定数 $\cdot k=1$ と設定し、スケーリング定数 $\cdot k=2$ の場合として、電源電圧は修正スケーリング則からずれるが、標準品である 5V-16K ダイナミック MOS RAM を設計した。

ここで提示する設計手法は、スケーリング定数 $\cdot k=1$ とスケーリング定数 $\cdot k=2$ のデバイスで、パッケージ材料やチップにコーティングした場合の材料は同一である場合に適用できる。

12V-16K ダイナミック MOS RAM の臨界電荷量は実験により求めることができ、図 4.6 に臨界電荷量とソフトエラー率の関係を示す。ダイナミック MOS RAM では一般に⁽²⁵⁾ 1000 FIT の故障率以下が求められているので、 10^6 device $\cdot$ hours 以上がソフトエラーの強さとして必要である。 $C_S = 0.04$ pF のとき、図 4.6 より臨界電荷量は 0.11 pC が得られる。また、式 (4.17) において簡単化のため標準条件 (電源電圧, 温度) において誤動作を防ぐことを条件とすると、メモリセル容量は次式を満足すればよい。

$$C_S > \frac{2 \cdot C_b}{V_{CC} - V_{thM}} (\Delta V_{ASmax} + \frac{\Delta Q_C}{C_b}) \quad (4.18)$$

$$\Delta Q_C = 0.11 \text{ pC}, C_b = 0.5 \text{ pF}, \Delta V_{ASmax} = 25 \text{ mV}, V_{CC} = 4.5 \text{ V}, V_{thM} = 1.8$$

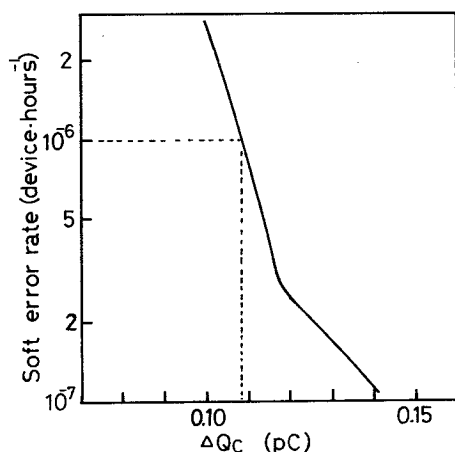


図4.6 臨界電荷 Q_C とソフトエラー率

Vのとき、 C_S を 0.091 pF 以上の値に設計すればソフトエラー率として $10^6 \text{ device}\cdot\text{hours}$ を満足できることがわかる。

4.3.3.2 メモリセルの設計

$k=2$ においてメモリセル容量は、約 0.091 pF 以上に設計する必要があることがわかった。メモリセル容量は、 $k=1$ に比べて酸化膜厚を薄くする方法と、更にHi-C構造をメモリセル⁽¹⁴⁾に採用することによって単位面積当りの容量を増した。図4.7にメモリセルの構造を示す。Hi-C構造とすることによって、 $t_{ox}=400 \text{ \AA}$ のとき $N_A=1 \times 10^{16}/\text{cm}^3$ の P^+ 濃度で、単位面積当り約3割の記憶容量の増加が得られた。この構造を採用した結果、セル面積 $12 \mu\text{m} \times 23 \mu\text{m}$ ($276 \mu\text{m}^2$)で $C_S=0.107 \text{ pF}$ が得られた。

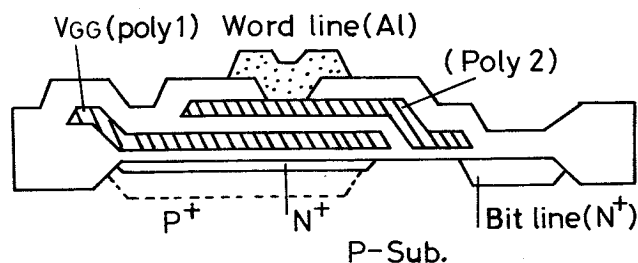


図4.7 メモリセル構造

4.3.3.3 デバイス・回路設計

修正スケーリング則によると性能指数は $1/k^2$ にスケールダウンされるだけであり、スケーリング則による $1/k^3$ の改善度より悪い結果となることが予想される。また、修正スケーリング則に従って電圧を下げると種々な問題が生じるので、その解決方法や高性能化の新しい技術が必要である。そこで、5V-16KダイナミックMOS RAMの設計において、高性能化を図るために次の新しいデバイス・回路技術を用いた。

- (1) メモリセル部で発生するソフトエラーモードを低減する回路構成
- (2) ビット線部で発生するソフトエラーモードを低減する回路構成
- (3) 低電圧でも高速化を達成するデバイス構造と回路構成
- (4) 低電圧でも高速化を達成する出力回路構成
- (5) 低消費電力化が達成できる基本クロック回路構成

4.3.3.3.1 メモリセル部で発生するソフトエラーモードを低減する回路構成

メモリセル部で発生するソフトエラーを低減するためには、 Q_S （メモリセルの蓄積電荷量）を大きくする必要がある。そのため、メモリセルへ V_{CC} 電圧を書き込み、再書き込みする方法を用いた。これは次の3つの回路技術によって達成した。

- (a) チップ内に $V_{GG}(V_{CC} + 2V_{th})$ 電源を内蔵
- (b) リチャージ回路で、メモリセルへ V_{CC} 電位を再書き込み
- (c) ワード線を約 $(V_{CC} + 2V_{th})$ の高い電位に昇圧。

図4.8に V_{GG} 発生回路を示す。 V_{BB} 発生回路で使用した9段のリング発振器の出力パルス(ϕ_{CP})と整流用MOSトランジスタ(Q_5, Q_6)、容量 C_2 を用いた昇圧回路により V_{GG} 電位を得ている。 $V_{CC}=5V$ で約7.1Vの V_{GG} 電位が発生している。図4.9は V_{GG} 、ワード線、ビット線の電位のシミュレーション波形図である。 V_{GG} は $(V_{CC} + 2V_{th})$ の電位を発生するため、 V_{GG} 電位を印加したメモリセルのゲートの表面電位は十分反転している。また、ワード線電位をメモリセルのMOSトランジスタのしきい値電圧以上に昇圧するので、メモリセルへ V_{CC} 電位を書き込むことができる。ワード線電位は、センスアンプ回路動作完了後に約 $(V_{CC} + 2V_{th})$ に昇圧している。一方、再書き込みは、センスアンプ回路動作時にカップリング容量や、センスアンプ回路の損失電流によって高電位となるべき側のビット線電位が僅かに下降するので、センスアンプ回路動作完了後、リチャージ回路を活性化し、高電位となるべき側の電位を V_{CC} に再充電している。リチャージ回路は図4.5の Q_3, Q_4, C_1 の3素子によって構成している。

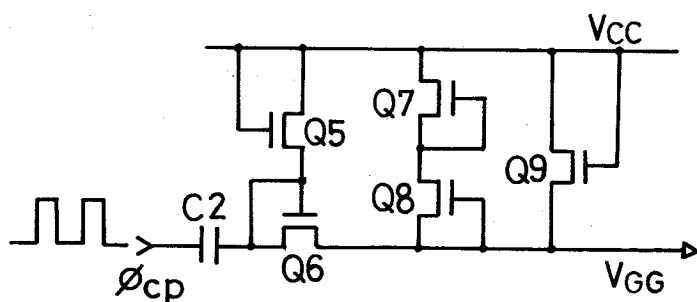


図 4.8 V_{GG} 発生回路

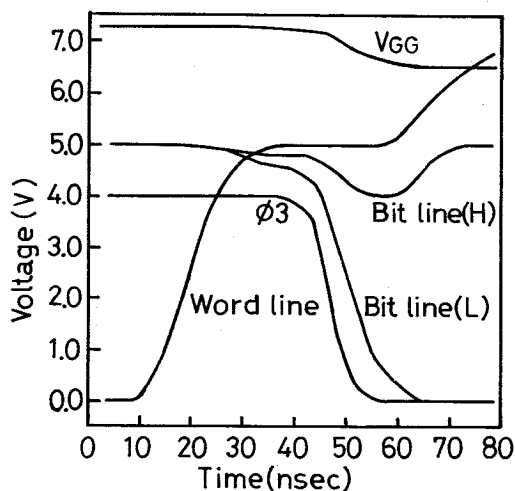


図 4.9 V_{GG} , ビット線, ワード線電位のシミュレーション波形図

4.3.3.3.2 ビット線部で発生するソフトウェアを低減する回路構成

ビット線部で発生するソフトウェアモードは、式 (4.14) で表わすことができ、 ΔV_{ASmax} を小さくすることによりソフトウェアの発生確率を小さくすることが期待できる。 ΔV_{ASmax} は式 (4.12) で表わすことができ、 ΔV_{ASmax} を小さくする回路構成要素はK (フリップフロップのソース端下降速度, ϕ_3) である。ここでは、フリップフロップソース端下降速度、および ϕ_3 波形の最適化について考察する。図 4.5 にはセンスアンプ回路とフリップフロップソース端波形 (ϕ_3) を変化させ得るパラメータが示されている。 ϕ_3 波形を変化させたパラメータは ϕ_1 のタイミングと Q_2 のゲート幅 (W_{Q2}) である。 W_{Q2} は W_{Q1} (Q_1 のゲート幅) に比べて非常に小さく、 ϕ_3 は2段階で接地する。 ϕ_1 のタイミングをパラメータとしたときの ϕ_3 波形を図 4.10 に示す。b は a に比べて約 1 nsec 遅延させた場合であり、C は更に b

より約2 nsec 遅延させた場合である。また、図4.1 1はセンスアンプ回路のソース端下降速度Kをパラメータとした ϕ_3 波形である。eはdにおける W_{Q2} を1/2とした波形である。ソフトエラーの改善度は、 $V_{CC}=4.5\text{ V}$ 、 $t_c=1\text{ }\mu\text{sec}$ において $^{241}\text{Am}\cdot 8.4\text{ }\mu\text{Ci}$ の α 線源による加速試験により求めた。表4.2の実験結果は、aおよびdの場合を基準とした正規化値で示した。センスタイミング ϕ_1 によるソフトエラーの改善度は、最大約8倍が得られている。これは、センス信号遅延による読み出し電荷量の増加によって達成されていると考えられる。一方、フリップフロップソース端下降速度Kによる改善度は殆んどなく、デバイスのバラツキに含まれ、この実験では悪くなっている。この原因は、フリップフロップソース端下降速度Kが式(4.1 2)の第1項にだけしか寄与していないことと、 $\Delta V_{AS\text{max}}$ が標準的な条件(電源電圧、温度)では ΔV_R に比べて非常に小さな値のためと考えられる。しかし、 ϕ_3 波形を最適化することによって、数倍のソフトエラー率の改善ができることが明らかになった。

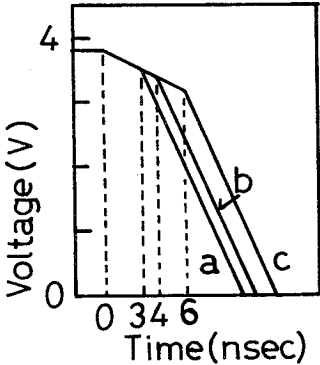


図4.1 0 ϕ_3 波形-1

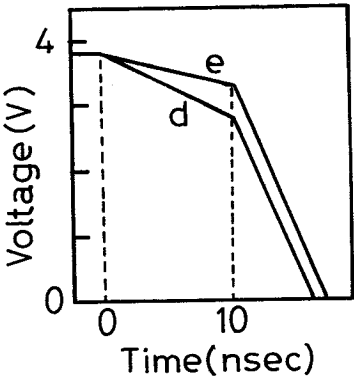


図4.1 1 ϕ_3 波形-2

表 4.2 ソフトエラーの改善度

ϕ_3 波 形	ソフトエラー改善度	ϕ_3 波 形	ソフトエラー改善度
a	1	d	1
b	1.3	e	0.96
c	2.7		

4.3.3.3 低電圧で高速化を達成するデバイス構造と回路構成

ダイナミック MOS RAM の高速化には、MOS トランジスタの電流駆動能力を上げることが必要である。このため、短チャンネル MOS トランジスタが一般的に用いられる。しかし、短チャンネル MOS トランジスタは、短チャンネル効果のため、しきい値電圧の低下、耐圧の低下を起こし、ダイナミック MOS RAM では致命的な欠点となる。5 V-1.6 K ダイナミック MOS RAM では、高性能 ダイナミック MOS RAM を実現するため、短チャンネル MOS トランジスタでも耐圧、しきい値電圧低下をあまり起こさない SAGOS MOS トランジスタを用いた。⁽²⁶⁾

また、メモリセルに V_{CC} 電位を書き込むためには、ワード線を昇圧しなければならない。5 V-1.6 K ダイナミック MOS RAM ではワード線を昇圧し、しかも立ち上がりを高速化するため、図 4.1 2 に示す昇圧回路を用いている。この昇圧回路は、昇圧用の大きな容量 (C_4) を Q_{12} より昇圧する前に充電しておき、ワード線の立ち上がりによって小さな容量 (C_3) を充電しながら、ワード線と C_4 間を導通し昇圧する方法であり、ワード線の立ち上がり時に大きな昇圧用容量を充電する必要がないので、高速にワード線を立ち上げることができる。従って、メモリセルの MOS トランジスタのターンオン時間を高速化でき、センスアンプ回路の動作時間を早くすることができるので高速化が可能となる。

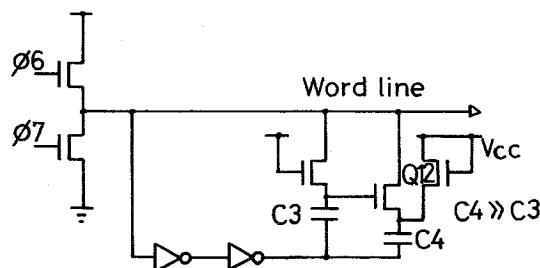


図 4.1 2 ワード線の昇圧回路

4.3.3.3.4 低電圧で高速化を達成する出力回路構成

ダイナミックMOS RAMを低電圧動作させると、出力のTTL互換性が問題となる。5V単一電源で、電源変動の10%を許容すれば、 V_{CC} 下限は4.5Vとなる。図4.13に出力回路を示す。出力回路に昇圧回路を用いなければ、A、B点は最大 V_{CC} 電圧にしかない。従って、Q10のMOSトランジスタのしきい値電圧が0.6Vであれば、DO端子電圧は3.9Vになる。しかしながら、ダイナミックMOS RAMでは、 $V_{OH} = 2.4V$ で $I_{OH} = -5mA$ が規格であり、Q10のMOSトランジスタは $V_{GS} = 1.5V$ のときに $-5mA$ を流し得るトランジスタサイズが最低必要である。5V-16KダイナミックMOS RAMに用いた出力回路は、図4.13(b)である。この回路は、フリップフロップ回路で構成した出力回路に昇圧回路を設け、C、D点の電位を $(V_{CC} + V_{th})$ 以上の電位に昇圧している。従って、DO端子電圧に対するしきい値電圧損失がなくなり、DO電圧の最大値は V_{CC} となり高速化に有効である。

Q11のトランジスタサイズが $W = 500\mu m$ のとき V_{CC} と I_{OH} の実測値を図4.14に示す。 $W = 1000\mu m$ としたときの I_{OH} は $W = 500\mu m$ の実測値の2倍とした値で示した。また、昇圧回路を用いない出力回路構成の実測値も示した。 $W = 500\mu m$ で昇圧回路有と $1000\mu m$ で昇圧回路無で比較するとQ11のトランジスタサイズが半分にも拘らず、ほぼ等しい I_{OH} が得られる。また、昇圧回路有でQ11のトランジスタサイズが $1000\mu m$ の場合には、非常に大きな I_{OH} が得られ、 $V_{CC} = 3.5V$ であっても $I_{OH} = -5mA$ は十分満足できる。

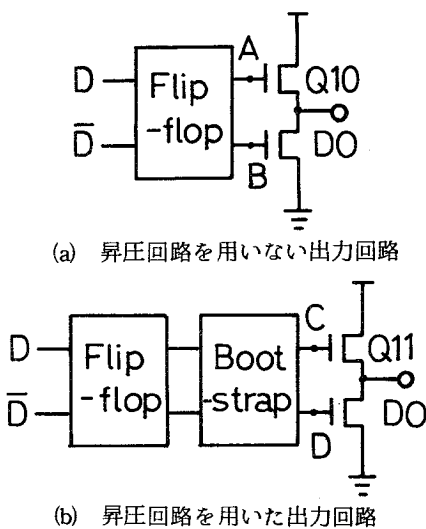


図4.13 出力回路

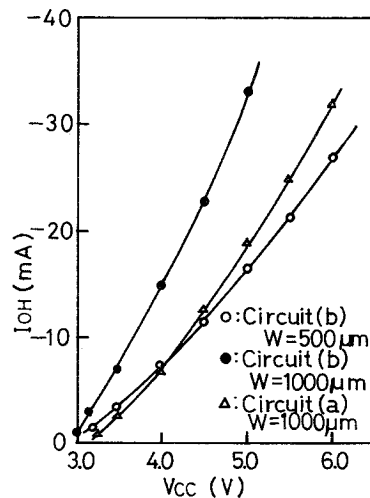


図4.14 V_{CC} と I_{OH} の関係

4.3.3.3.5 低消費電力を達成する基本クロック回路構成

ダイナミック MOS RAM の消費電力はメモリセルやセンスアンプ回路が充放電電流だけで動作しているから微小な電力しか消費しないので、殆んど周辺回路で消費される、従って、低消費電力化のためには、周辺回路に使用している基本クロック発生回路の構成が重要となる。周辺回路の基本クロック発生回路の構成を負荷が 5 pF のとき、回路の動作速度や $E1$ 、 $E2$ のピーク電流を最小にする条件から決定し図 4.15 に示した。

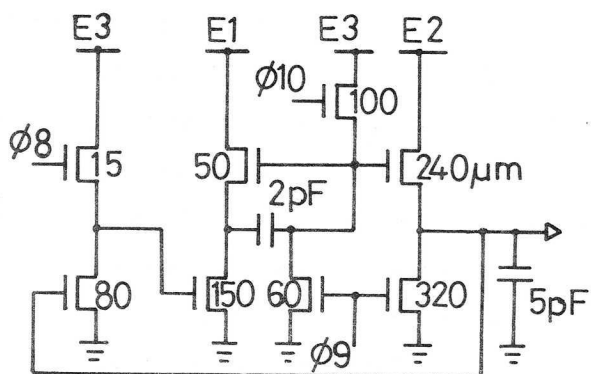


図 4.15 基本クロック回路

4.3.4 修正スケーリング則の妥当性の検討

試作した $5\text{ V}-16\text{ K}$ ダイナミック MOS RAM のチップ写真を図 4.16 に示す。チップサイズは $3.03\text{ mm} \times 4.90\text{ mm}$ である。

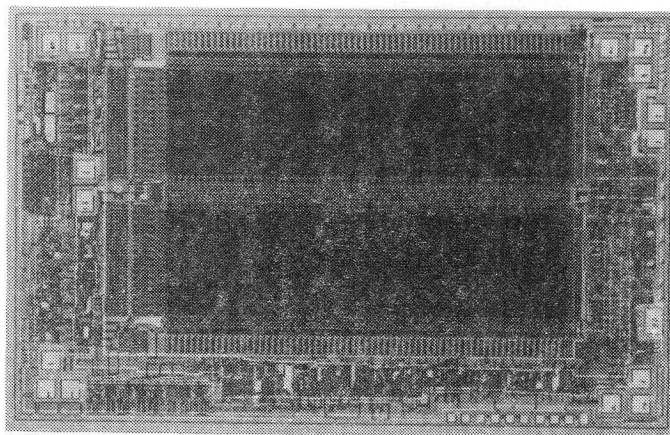


図 4.16 $5\text{ V}-16\text{ K}$ ダイナミック MOS RAM のチップ写真

(26)

ゲート長 $2.3\ \mu\text{m}$ の SAGOS MOS トランジスタの採用によって、アクセス時間 $87\ \text{nsec}$ ($V_{CC}=4.5\ \text{V}$, $T_a=75^\circ\text{C}$), 消費電流 $21\ \text{mA}$ ($V_{CC}=5.5\ \text{V}$, $T_a=25^\circ\text{C}$, $t_c=250\ \text{nsec}$) が得られた。ゲート長 $2.3\ \mu\text{m}$ の SAGOS MOS トランジスタは、チップの動作耐圧が $10.5\ \text{V}$ 以上あり、また、リフレッシュ時間も、 $150\ \text{msec}$ 以上あるので短チャネル MOS トランジスタの欠点を示さない。一方、ソフトエラー率は、 $t_c=1\ \mu\text{sec}$, チップコートなしの条件で $4 \times 10^7\ \text{device} \cdot \text{hours}$ が得られた。

スケーリング定数 $\cdot k=1$ として、 $12\ \text{V}-16\ \text{K}$ ダイナミック MOS RAM を設定し、スケーリング定数 $\cdot k=2$ として、 $5\ \text{V}-16\ \text{K}$ ダイナミック MOS RAM を考えたときのデバイスパラメータと性能を表 4.3 に示す。デバイスパラメータはスケーリング定数にはほぼ比例して小さくなっているが、高速アクセス時間を実現するために基板濃度は変えていない。また、電源電圧は標準化のため修正スケーリング則から得られる値以上に小さい。メモリセルサイズは、ソフトエラーのため修正スケーリング則に従い小さくできず、従ってチップサイズも小さくない。

$5\ \text{V}-16\ \text{K}$ ダイナミック MOS RAM の性能指数の実測値は、 $12\ \text{V}-16\ \text{K}$ ダイナミック MOS RAM の $1/4$ が得られ、修正スケーリング則と一致した。これは、電圧が修正スケーリング則以下であることなどの性能指数を悪化させる要因を、高速化、低消費電力化に対する新しいデバイスや回路構成によって補ったためと考えられる。以上のことから、ソフトエラーを考慮した回路設計を行なうとダイナミック MOS RAM における性能指数は、スケーリング則に従わないで、修正スケーリング則で近似できることを実証したと言える。また、この結果は、ソフトエラーを考慮した設計を行なうと、大容量ダイナミック MOS RAM においては、大幅な性能改善が困難になることを示している。

一方、ソフトエラー率は、回路構成上の工夫やメモリセル構造により、設計目標値 $\cdot 10^6\ \text{device} \cdot \text{hours}$ の 40 倍の強さが得られた。

表4.3 デバイスパラメータ，性能比較

パラメータ	k = 1 12V-16KMOS(D)RAM	k = 2 5V-16KMOS(D)RAM
t _{OX}	850 Å	500 Å (メモリセル400 Å)
L	5.0 μm	2.3 μm
N ⁺ 幅	5 μm	3 μm
N _A	7×10 ¹⁴ /cm ²	7×10 ¹⁴ /cm ²
電源電圧	12 V	5 V
基板電圧	-5 V	-3.5 V (チップ内発生)
メモリセルサイズ	347 μm ²	276 μm ²
チップサイズ	16.3 mm ²	14.8 mm ²
アクセス時間	135 nsec	87 nsec
電源電流	20 mA	21 mA
消費電力	270 mW	115.5 mW
サイクル時間	360 nsec	250 nsec
性能指数	2.3 pJ/bit	0.6 pJ/bit

4.4 ソフトエラーと回路設計

ダイナミック MOS RAM のソフトエラーには、メモリセル部で不良を発生するモードと、ビット線部で不良を発生するモードの 2 種類があるが、実際のメモリシステムでソフトエラーとして問題になっているのはビット線部で発生するモードであり、その対策が必要である。メモリセル部で発生するモードは、“H”→“L”不良(“H”はメモリセルに記憶されている電位が高いことを意味し、“L”は低いことを意味する)であり、低ソフトエラー率を実現するためにデバイス設計として対策が可能な方法は、蓄積電荷量の増大と α 線によって発生する電子の収集効率の⁽²⁷⁾低減である。一方、ビット線部で発生するモードには、“H”→“L”不良と“L”→“H”不良がありメモリセルの蓄積電荷量を増すことばかりでなく、センスアンプ回路や、回路設計上の技術でも対策が可能である。本節では、ソフトエラーを低減するための回路設計上の技法について明らかにする。

4.4.1 ソフトエラーとダミーセル容量

ビット線部で発生するソフトエラーには“H”→“L”不良と“L”→“H”不良があり、これらのバランスを取るためには、メモリセルサイズとダミーセルサイズの最適化が必要である。

メモリセルの形状とダミーセルの形状を等しくレイアウトすることは、面積が異なることから不可能であるので、形状効果による容量値の変動幅を小さくし、V-Bumpテスト（電圧を変動させてダイナミックMOS RAMの動作余裕度をテストする方法）による“L”→“H”不良をなくすため、ダミーセルサイズの最適化設定は重要である。図4.17は、ダミーセルサイズとソフトエラーの“H”→“L”と“L”→“H”不良の比を示している。ダミーセルサイズによりソフトエラーの“H”→“L”と“L”→“H”不良の比が変わり、その比が大きくなるとソフトエラーの絶対値も悪くなる。ここで述べるソフトエラーは、 $^{241}\text{Am} \cdot 8.4 \mu\text{Ci}$ による加速評価の結果であり、 $t_c = 1 \mu\text{sec}$ 、 $V_{CC} = 4.5 \text{ V}$ での値である。図4.17より、ダミーセルサイズの最適化は、改善効果は小さいが、ソフトエラー対策に有効であることがわかる。

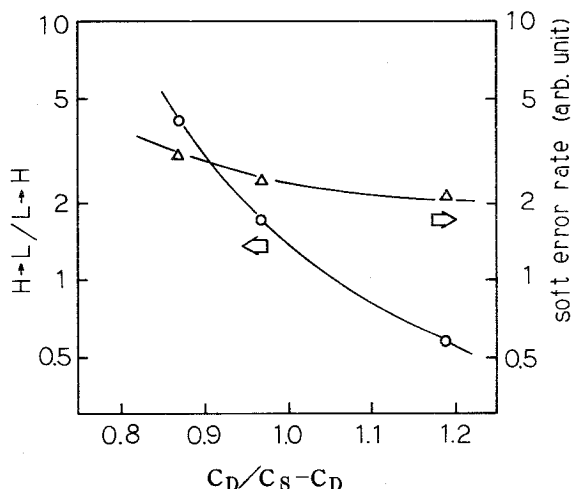


図4.17 ダミーセルサイズとソフトエラー

4.4.2 ソフトエラーとワード線電位

ビット線プリチャージレベルが V_{CC} の場合、選択されたメモリセルの電位を十分ビット線に読み出すためには、センスアンプ回路動作前のワード線を V_{CC} 以上に昇圧する必要がある、このため、一般にワード線昇圧方式が優れていると言われている。⁽²⁸⁾ワード線昇圧方式の欠点は、十分電荷を読み出すことと高速性が相反し、ワード線昇圧をして十分ワード線を立ち上げる動作を行うとワード線立ち上がりからセンスアンプ回路動作までの時間が長くなり高速化しにくくなることである。従って、ワード線昇圧方式では、ワード線の立ち上がりから昇圧までの時間を短くするメモリ構成法が必要である。図4.18は、ワード線昇圧方式のセンスタイミングと回路の構成例であり、ワード線にA ℓ 配線を用いたときの例であるが、ワード線の立ち上がりからセンスア

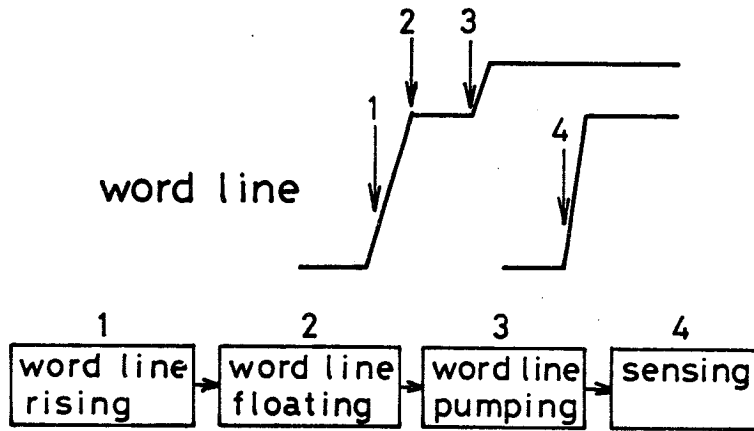


図 4.18 ワード線昇圧方式とセンスタイミング

ンプ回路動作までを30nsecの速さで処理しており，高速動作が可能な構成となっている。

一方，ワード線昇圧方式のとき，“H”レベルを再充電するためにリチャージ回路を用いるのが一般的である。リチャージ回路を用いないと，図4.19に示すタイミングのようにメモリセルの“H”電位が，ビット線電位より低くなり“H”→“L”不良を起こしやすくなる。これは，一般に V_{CC} プリチャージ方式では，“H”を記憶しているメモリセル側のビット線の電位が変化しないが，図4.19のタイミング図に示した場合は，ビット線からメモリセルに電流が流れ，ビット線の電位を下降させてしまうからである。図4.20は，リチャージ回路を用いないで，一定のワード線昇圧を行ない，メモリセルのしきい値電圧を変えて“H”→“L”不良と“L”→“H”不良の比を調べた結果である。しきい値電圧が下がった場合，“H”→“L”不良の比率が高くなり，前述の現象を起こしていると推定できる。しかし，しきい値電圧の設定によってはリチャージ回路を用いない場合でもワード線昇圧の効果は十分あり，図4.21に示すように，アクセス時間が100nsecのとき，ワード線昇圧によるソフトウェアの改善効果は約10倍あることが明らかとなった。

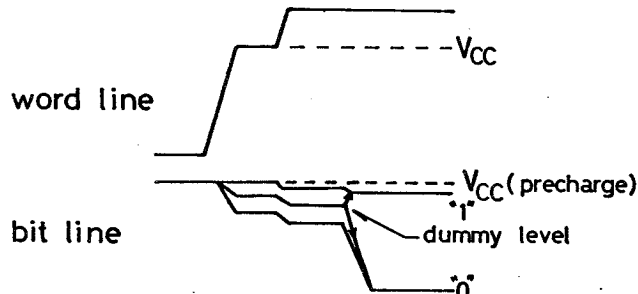


図 4.19 ワード線昇圧とビット線電位

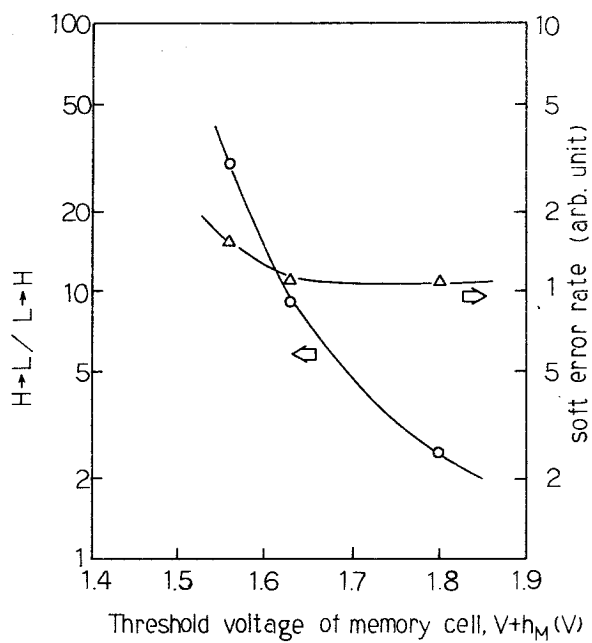


図4.20 しきい値電圧とソフトエラー

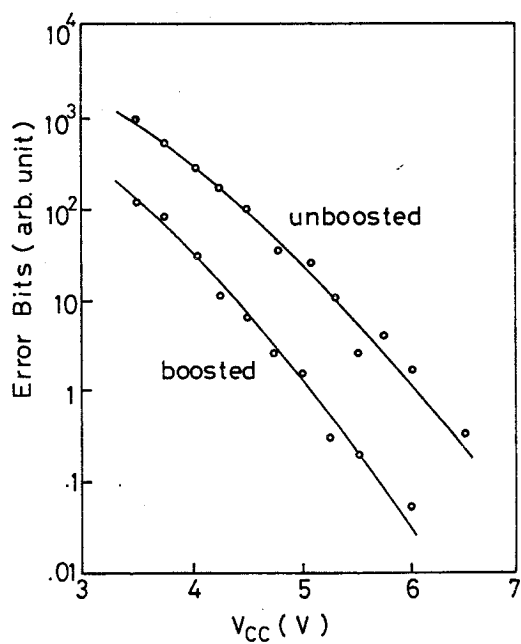


図4.21 ワード線昇圧とソフトエラー

4.5 結 言

ダイナミックMOS RAMは大容量化されるに従って、1ビット当りの信号電荷量が減るため、動作余裕度の低下が予測され、その向上を図るため動作余裕度拡大の解析を行なった。

ダイナミックMOS RAMに使用されているフリップフロップ型のセンスアップ回路の感度をMOSトランジスタの特性式を用いて解析的に求め、定式化し、センスアップ回路の高感度化に必要なプロセスパラメータや、回路構成上の要因について明らかにした。またその解析式が、センスアップ感度を示すことを計算機によるシミュレーションによって確認し、係数 α が約0.45となることを明らかにした。

さらに、ダイナミックMOS RAMの大容量化に対して、ソフトウェアがスケーリング則の律速条件になるという考え方に基づいた修正スケーリング則を示し、修正スケーリング則を適用したメモセル容量の決定方法を明らかにした。その結果、ソフトウェアを考慮した修正スケーリング則に従うと、ダイナミックMOS RAMの性能指数がスケーリング則を適用した場合に比べて悪化することが明らかになった。また、修正スケーリング則や低電圧電源を使用した場合に、高速、低消費電力、低ソフトウェア率を実現するための新しいデバイス、回路構成法に基づいて5V-16KダイナミックMOS RAMを設計・試作した結果0.6 pJ/bitの性能指数が得られ、ソフトウェア率もチップコートなしで 4×10^7 device·hoursを実現した。スケーリング定数 $\cdot k=1$ を12V-16KダイナミックMOS RAM、スケーリング定数 $\cdot k=2$ を5V-16KダイナミックMOS RAMに対応させると、電圧が修正スケーリング則以下にもかかわらず、高速低消費電力化に対する新しいデバイス、回路構成法により、性能指数で1/4が達成でき、修正スケーリング則と一致することを明らかにし、修正スケーリング則により性能指数が予測できることを明らかにした。

また、ソフトウェア率を十分満足させるデバイス、回路設計を行なうと、スケーリング則に従う性能指数の改善は得られず、修正スケーリング則で近似できることがわかり、ソフトウェアが大容量ダイナミックMOS RAMの高性能化に大きな障害となることを明らかにした。

一方、回路設計技法からのソフトウェアの改善は、ダミーセル容量の最適化により約1.5倍あり、また、ワード線昇圧方法によって10倍あることが明らかとなった。これらの個々の改善効果はあまり大きくないが、大容量ダイナミックMOS RAMでは、チップサイズの制限などによりメモセル容量を大きくできなくなるので回路設計技法からのソフトウェア改善が重要であることを明らかにした。

参考文献

- (1) W.T. Lynch and H.J. Boll; "Optimization of the latching pulse for dynamic flip-flop sensors", IEEE J. Solid-State Circuits, vol. SC-9, No.2, PP. 49-55, 1974.
- (2) John J. Barnes and John Y. Chau; "A high performance sense amplifier for a 5V dynamic RAM", IEEE J. Solid-State Circuits, vol. SC-15, No.5, PP. 831-839, 1980.
- (3) L.G. Heller; "Cross-coupled charge transfer sense amplifier", ISSCC Dig. Tech. Papers, PP. 20-21, 1979.
- (4) N. Ieda, E. Arai, K. Kiuchi, Y. Ohmori and K. Takeya; "A 64K MOS RAM design", J. Japan Appl. Phys., vol. 17, No.1, PP. 57-63, 1978.
- (5) R.H. Dennard, F.H. Gaeusslen, H.N. Yu, V. Rideout, E. Passous and A.R. Leblanc; "Design of ion-implanted MOS FET's with very small physical dimensions", IEEE J. Solid-State Circuits, vol. SC-9, No.5, PP. 256-267, 1974.
- (6) C.G. Sodini and T.I. Kamins; "Enhanced Capacitor for One-Transistor Memory Cell", IEEE Trans. Electron-Devices, vol. ED-22, No.4, PP. 1187-1189, 1976.
- (7) K. Ohta, K. Yamada, M. Satitoh, H. Shiraki, A. Nakamura, K. Shimizu, Y. Tarui and J. Nishizawa; "A Stacked High Capacitor RAM", ISSCC Dig. Tech. Papers, PP. 66-67, 1980.
- (8) P.K. Chatterjee, G.W. Taylor and M. Malwah; "Circuit Optimization of the Taper Isolated Dynamic Gain RAM cell for VLSI Memories", ISSCC Deg. Tech. Papers, PP. 22-23, 1979.
- (9) A.F. Tasch, Jr., P.K. Chatterjee, H.S. Fu and T.C. Holloway; "The Hi-C RAM Cell Concept", IEEE Trans. Electron-Devices, vol. ED-25, No.1, PP. 33-42, 1978.

- (10) T.C. May and M.H. Woods; "A New Physical Mechanism for Soft errors in Dynamic Memories", 16th Proceeding of 1978 International Reliability Physics Symposium, PP. 33-40, 1978.
- (11) 本間, 黒沢, 田中; "LSI 材料中の微量 U, Th の分析", 電子通信学会, 信頼性研究会, R 80-6, PP. 7-12, 1980.
- (12) 北出, 小山, 元木, 光定, 朝倉; "ポリイミド樹脂コーティングによるソフトエラー防止効果", 昭56 信学半導体・材料全国大会, P. 63.
- (13) 吉原, 高野, 谷口, 原田, 中野; "MOS ダイナミック RAM のソフトエラー解析", 信学論(C), vol. J 65-C, No. 4, PP. 251-256, 1982.
- (14) M. Yamada, M. Taniguchi, T. Yoshihara, S. Takano, H. Matsumoto, T. Nishimura, T. Nakano and Y. Gamou; "Soft error Improvement of Dynamic RAM with Hi-C Structure", IEDM Dig. Tech. Papers, PP. 578-581, 1980.
- (15) 白土, 渡部, 池田, 石本, 松江; "α粒子を考慮した 1TR 型 RAM のマージン", 昭54 信学総合全国大会, P. 2-191.
- (16) R.J. McPartland; "Circuit Simulations of Alpha-Particle-Induced Soft Errors in MOS Dynamic RAM's", IEEE J. Solid-State Circuits, vol. SC-16, No.1, PP. 31-34, 1981.
- (17) 下西, 長山, 中野; "ダイナミック MOS RAM のセンスアンプ感度の解析", 信学論(C), vol. J 61-C, No. 6, PP. 399-401, 1978.
- (18) 長山, 熊野谷, 山田, 吉原, 谷口; "ソフトエラーを考慮したダイナミック MOS RAM の回路設計", 信学論(C), vol. J 65-C, No. 7, PP. 522-529, 1982.
- (19) 長山, 吉原, 中野; "ダイナミック MOS RAM のセンスタイミングとソフトエラー", 昭56 信学半導体・材料全国大会, P. 58.
- (20) 吉原, 長山, 益子, 高野, 中野; "MOS ダイナミック RAM のソフトエラーに対する回路設計の影響", 信学論(C), 83-8 掲載予定
- (21) 矢野, 家田; "MOS メモリ用高感度センスアンプ", 昭52 信学総合全国大会, P. 2-136.
- (22) 渡部, 松江, 多田; "150 ns 16K RAM の設計", 電子通信学会, 半導体トランジスタ研究会, SSD 77-18, PP. 51-58, 1977.

- (23) D.S. Yaney, J.T. Nelson and L.L. Vanshike; "Alpha-particle tracks in silicon and their effect on-Dynamic MOS RAM reliability", IEEE Trans. Electron-Devices, vol. ED-26, No.1, PP. 10-16, 1979.
- (24) 長山, 吉原, 中野, 蒲生; "スケーリング法を適用した大容量ダイナミックMOS RAMの回路設計", 信学論C, vol. J 64-C, No. 2, PP. 61-68, 1982.
- (25) W.P. Tohn and J.E. Thomas; "Parametric Influence on system 50ft error rates", 18th Annual proceeding reliability physics, PP. 255-260, 1980.
- (26) 谷口, 長山, 佐藤, 畑中; "ゲート重なり容量を低減化したMOSTによる高性能64KビットダイナミックRAM", 信学論C, vol. J 65-C, No. 7, PP. 569-575, 1982.
- (27) S. Satoh, M. Denda and T. Fukumoto; "Soft Error Improvement in MOS RAM's by the use of Epitaxial Substrate", 12th Conf. Solid-State Devices Dig. Tech. Papers, PP. 63-64, 1980.
- (28) M. Taniguchi, T. Yoshihara, M. Yamada, K. Shimotori, T. Nakano and Y. Gamou; "Fully Boosted 64K Dynamic RAM with Automatic and Self-Refresh", IEEE J. Solid-State Circuits, vol. SC-16, No.5, PP. 492-498, 1981.

第5章 MOS RAMの最適構成

5.1 序

大容量ダイナミックMOS RAMの集積度の向上は、製造、デバイス、回路技術の改良、改善に負うところが大きい。製造技術では、1ビット当りの占有面積を減らすための微細パターン技術の開発、デバイス技術では、短チャンネルMOSトランジスタ構造の最適化、および大容量ダイナミックMOS RAMに適したメモリセル構造の開発、また、回路技術面ではセンスアンプ回路の高感度化、ダイナミック回路の低電圧化、高速化、低消費電力化が必要不可欠である。

大容量ダイナミックMOS RAMのメモリセルは1トランジスタ型が一般に用いられている。⁽¹⁾ このメモリセルは、素子数が少ないため、大容量化に適している反面、メモリセルから読み出される記憶情報が微小電圧であり、その電圧を増幅するセンスアンプ回路の設計が難しい欠点がある。しかし、大容量ダイナミックMOS RAMの動作特性を向上させ、安定動作を図るためには、センスアンプ回路の設計が重要であり、センスアンプ回路に関する研究が活発に行なわれて^{(2),(3),(4),(5),(6)}いる。しかしながら、大容量ダイナミックMOS RAMのセンスアンプ回路の設計においては、製造、デバイス、回路技術を同時に包含する設計手法が必要であり、まだ、その設計手法は確立していない。また、製造、デバイス、回路技術の特徴や制限から、ダイナミックMOS RAMの高性能性を引き出す最適構成があると考えられるが、いまだ明らかでない。

一方、ダイナミックMOS RAMの高速化は、重要なテーマであるが、高速アクセスを実現⁽⁷⁾するためのモデルはあまり提案されておらず、その定量的解析も十分成されていないので、高速化の指針が明確でない。

本章では、製造、デバイス、回路技術を一元化し、1トランジスタ型メモリセルを用いたダイナミック形センスアンプ回路の感度とメモリセルからの読み出し電圧、動作領域を決める係数 m の解析を行ない、大容量ダイナミックMOS RAMのセンスアンプ回路が安定動作するための^{(8),(9)}条件と設計指針について明らかにし、大容量ダイナミックMOS RAMの最適構成法を示すため、5.2節では安定動作の条件式を明らかにする。また、5.3節では、デバイスパラメータのばらつきを定量的に分析する。5.4節では、微細パターン製造技術の設計理論を明らかにし、5.5節では本設計指針を基に、64KダイナミックMOS RAMを試作した結果、広い動作領域が得られ、設計指針の妥当性が確認されたことを明らかにする。

さらに、5.6節では、基本信号発生回路の遅延時間の解析とセンス時間の解析により、アクセス時間解析のモデルを提案する。⁽¹⁰⁾ 本モデルによるアクセス時間と64KダイナミックMOS RAMにおける実測値の検討により、本モデルの妥当性を明らかにする。

また、アクセス時間の感度分析により、高速化の指針を明らかにする。

5.7節ではダイナミックMOS RAMに2層A ℓ 構造を適用することにより得られる高性能性⁽¹¹⁾について述べ、VLSIにおいて、2層A ℓ 構造が優れた特性を有することを明らかにする。

5.2 安定動作の条件式

ダイナミックMOS RAMが安定動作するためには、 ΔV_R (読み出し電圧) と ΔV_{ASmax} ⁽¹²⁾ (センスアンプ感度) の間に次式が成り立たねばならない。

$$\Delta V_R = m \cdot \Delta V_{ASmax}, \quad m > 1 \quad (5.1)$$

本節では、安定動作の係数 m について吟味する。ここでは、標準使用条件を $T_a = 20^\circ\text{C}$ 、 $V_{DD} = 7\text{V}$ 、 $V_{BB} = -2\text{V}$ とし、外部条件を $V_{BB} = -2\text{V}$ のとき $V_{DD} = 3.5 \sim 10\text{V}$ 、 $T_a = 0 \sim 70^\circ\text{C}$ とした。図5.1は、しきい値電圧、コンダクタンス定数、接合容量の電圧依存性を示す。 V_{th} 、 β_0 、 C_J の電圧依存性だけを考慮し、 ΔV_{ASmax} に対する $2 \cdot \Delta V_{th}$ と他の項の寄与率が $V_{DD} = 7\text{V}$ で等しいとき、 $V_{DD} = 3.5\text{V}$ で $\Delta V_R = \Delta V_{ASmax}$ が成り立つためには、 $m = 2.3$ が必要である。図5.2は、 V_{th} 、 β_0 、 C_J の温度依存性を示す。パラメータの温度特性より、標準電源電圧条件で標準温度に対する 70°C の m は1.2である。従って、 V_{th} 、 β_0 、 C_J の電圧温度依存性を考慮すると、ダイナミックMOS RAMの温度、電源電圧条件を満足させるためには、 m は約3以上の値に設計する必要がある。

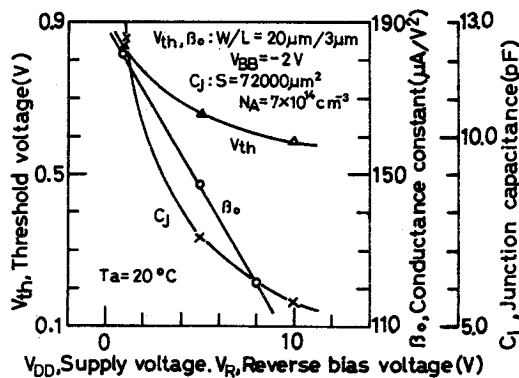


図 5.1 パラメータの電圧依存性

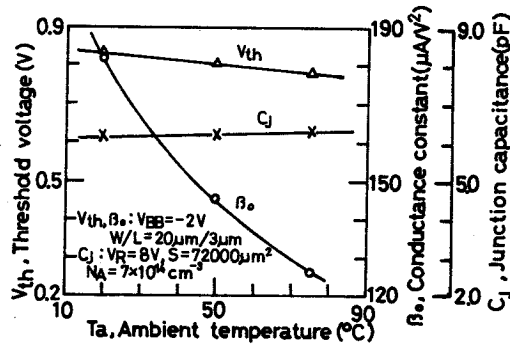


図 5.2 パラメータの温度依存性

5.3 デバイスパラメータの製造上のばらつき

V_{th} , β_0 , C_b のばらつきが生じる原因としては、微細加工精度のばらつきと半導体表面近傍の正孔、電子濃度、および表面準位のばらつき、更にレイアウトに起因したマスク合せずれの3点が考えられる。第2のばらつきは、製造条件が決まれば一定値に抑えられ、第3のばらつきは、マスク合せずれに対してレイアウト上の工夫により補えるので、ここでは第1のばらつきだけに注目した。

(13)

しきい値電圧は、Yauの短チャンネル効果のモデルを用いると次のように書ける。

$$V_{th} = \frac{t_{OX}}{\epsilon_{OX}} [-Q_{eff} + \sqrt{2\epsilon_{Si} q N_A (2\phi_F + |V_{BB}|)}] + \Delta W_f + 2\phi_F$$

$$- \frac{x_j}{L} \cdot \frac{t_{OX}}{\epsilon_{OX}} \cdot \sqrt{2\epsilon_{Si} q N_A (2\phi_F + |V_{BB}|)}$$

$$\cdot \left[\sqrt{1 + \frac{2}{x_j} \cdot \sqrt{\frac{2\epsilon_{Si}}{q N_A (2\phi_F + |V_{BB}|)}}} - 1 \right] \quad (5.2)$$

ここで、 t_{OX} , ϵ_{OX} はそれぞれゲート酸化膜の厚さと誘電率、 N_A , ϵ_{Si} はそれぞれ Si 基板の不純物濃度と誘電率、 q は電子の電荷、 Q_{eff} は実効的な酸化膜と Si 基板界面の電荷、 $2\phi_F$ は $V_{BB} = 0V$ で強反転となるときの Si 基板表面のバンドの曲がり、 ΔW_f はゲート金属と Si 基板の仕事関数差、 x_j はソース・ドレインの拡散層の深さ、 L は MOS トランジスタのチャンネル長である。

V_{th} のばらつきを誘起するパラメータは t_{ox} , L であり, V_{th} のばらつき ΔV_{th} は次のように表わすことができる。

$$\Delta V_{th} = \frac{\partial V_{th}}{\partial t_{ox}} \cdot \Delta t_{ox} + \frac{\partial V_{th}}{\partial L} \cdot \Delta L \quad (5.3)$$

従って, ΔV_{th} は具体的に次式で与えられる。

$$\Delta V_{th} = \frac{\Delta t_{ox}}{t_{ox}} (V_{th} - \Delta w_f - 2\phi_F) - \frac{\Delta L}{L} (V_{th} - V_{thlong}) \quad (5.4)$$

V_{thlong} は, 短チャンネル効果を起こさない長チャンネル MOS トランジスタのしきい値電圧であり次式で与えられる。

$$V_{thlong} = \frac{t_{ox}}{\epsilon_{ox}} [-Q_{eff} + \sqrt{2\epsilon_{si} q N_A (2\phi_F + |V_{BB}|)}] + \Delta w_f + 2\phi_F \quad (5.5)$$

又, コンダクタンス定数 β_0 は次式で与えられる。

$$\beta_0 = \frac{W}{L} \cdot \mu_n \cdot \frac{\epsilon_{ox}}{t_{ox}} \quad (5.6)$$

ここで, W はセンスアンプ回路に使用したフリップフロップ用 MOS トランジスタのチャンネル幅, μ_n は電子移動度である。 β_0 のばらつきを誘起するパラメータは, L , t_{ox} であり, β_0 のばらつき $\Delta \beta_0$ は次式で与えられる,

$$\Delta \beta_0 = \beta_0 \left(-\frac{\Delta L}{L} - \frac{\Delta t_{ox}}{t_{ox}} \right) \quad (5.7)$$

ビット線に N^+ 拡散層を用いたダイナミック MOS RAM のビット線容量の主な成分は, Si 基板, および分離用 P^+ 拡散層とビット線 N^+ 拡散層による接合容量であり, C_b は次式で近似できる。

$$C_b \approx \sqrt{\frac{\epsilon_{si} q N_A}{2(V_R + 2\phi_F)}} \cdot \ell \cdot (w + 2 \cdot \sqrt{\frac{N_{AI}}{N_A}} \cdot x_j) \quad (5.8)$$

ここで, ℓ はビット線の長さ, w はビット線の幅, N_{AI} は分離用 P^+ 拡散層の不純物濃度,

V_R は接合の逆バイアス電圧である。 C_b のばらつきを誘起するパラメータは w であり、 C_b のばらつき ΔC_b は次式で与えられる。

$$\Delta C_b = [C_b - 2 \cdot \sqrt{\frac{\epsilon_{Si} q N_A}{2(V_R + 2\phi_F)}} \cdot \ell \cdot x_j] \cdot \frac{\Delta w}{w} \quad (5.9)$$

このように、センスアンプ回路の感度を決定する V_{th} 、 β_0 、 C_b のばらつきは、長さの単位をもつパラメータのLSI製造の加工精度に起因するばらつきで表現できる。

5.4 微細パターン製造技術を用いたダイナミックMOS RAMの設計理論

ダイナミックMOS RAMを安定動作させるためには、製造技術の習熟度によらず式(5.1)が満足されねばならず、時間の因子(タイミング)を考慮しないとき、式(5.1)がセンスアンプ回路設計の必要十分条件となる。

本節では、高集積MOS LSIの高性能化に対する指導原理(スケーリング則)⁽¹⁴⁾に従って、加工精度のばらつきが短チャンネルMOSトランジスタを用いた微細パターン製造技術によってスケールダウンされる場合と、されない場合に分けて、 ΔV_{th} 、 $\Delta \beta_0$ 、 ΔC_b を検討した。スケーリング定数 $\cdot k$ は、12V-16KダイナミックMOS RAMに用いられている設計基準を1($\sim 6\mu m$)とした。さらに、式(5.1)の関係について、ビット線当りのメモリセル数を64個に固定した場合と、ビット線当りのメモリセル数がスケーリング定数に比例して増す場合に分けて検討した。

5.4.1 加工精度のばらつきがスケールダウンされない場合の設計理論

加工精度のばらつきが、微細加工の程度によっても変化しない場合、 $\Delta V_{th}'$ 、 $\Delta \beta_0'$ 、 $\Delta C_b'$ (添字'は、加工精度のばらつきがスケールダウンされない場合を表す)は、それぞれ式(5.10)～(5.12)で表わすことができる。ここでは、MOSトランジスタのテール電流が、⁽¹⁴⁾スケーリング則からはずれるため、⁽¹⁵⁾しきい値電圧を低くできないので、スケーリング則を修正し、しきい値電圧はスケールダウンしないものとした。また、 ΔV_{th} 、 $\Delta \beta_0$ 、 ΔC_b 、 ΔV_{ASmax} 、 ΔV_R は $k=1$ のときの値である。

$$\Delta V_{th}' = \frac{\Delta t_{ox}}{t_{ox}/k} (V_{th} - \Delta w_f - 2\phi_F) - \frac{\Delta L}{L/k} (V_{th} - V_{thlong}) = k \cdot \Delta V_{th}$$

(5.10)

$$\Delta \beta_0' = k \cdot \beta_0 \left(-\frac{\Delta L}{L/k} - \frac{\Delta t_{OX}}{t_{OX}/k} \right) = k^2 \cdot \Delta \beta_0 \quad (5.11)$$

$$\Delta C_b' = \left[C_b/k - \sqrt{\frac{e_S \Gamma q \cdot k \cdot N_{AI}}{2(V_R/k + 2\phi_F)}} \cdot \ell/k \cdot x_j/k \right] \frac{\Delta w}{w/k} = \Delta C_b \quad (5.12)$$

5.4.1.1 ビット線当りのメモリセル数を64個に固定した場合

(128リフレッシュ方式の64KダイナミックMOS RAMに相当)

ビット線当りのメモリセル数を固定してデバイスパラメータをスケールダウンしたとき、メモリセルの記憶容量は次式となる。

$$C_S' = C_S/k \quad (5.13)$$

従って、スケールダウン後の読出し電圧 $\Delta V_R'$ は次式となる。

$$\Delta V_R' = \frac{(V_{DD}/k - V_{th})}{2 \cdot (C_b/k) / (C_S/k)} \approx \Delta V_R/k \quad (5.14)$$

一方、センスアンプ回路のフリップフロップソース端下降速度 K は、スケールダウンされないので、 $\Delta V_{ASmax}'$ は次式で表せる。

$$\begin{aligned} \Delta V_{ASmax}' &= \sqrt{\frac{2 \cdot \alpha \cdot K \cdot (C_b/k)}{k \cdot \beta_0}} \left(\frac{\Delta C_b}{C_b/k} + \frac{k^2 \cdot \Delta \beta_0}{k \cdot \beta_0} \right) + 2k \cdot \Delta V_{th} \\ &= \Delta V_{ASmax} + 2 \cdot \Delta V_{th} (k-1) \end{aligned} \quad (5.15)$$

従って、このとき係数 m' は次式で与えられる。

$$m' = k^{-1} \cdot \frac{\Delta V_R}{\Delta V_{ASmax} + 2 \cdot \Delta V_{th} (k-1)} \quad (5.16)$$

5.4.1.2 ビット線当りのメモリセル数がスケーリング定数と共に増す場合

(256リフレッシュ方式の64KダイナミックMOS RAMに相当)

スケーリング定数に比例してビット線当りのメモリセル数が増し、かつ、デバイスパラメータがスケールダウンされた場合には、ビット線容量は次式になる。

$$C_b' \approx \sqrt{\frac{\epsilon_{Si} \cdot q \cdot k \cdot N_A}{2(V_R/k + 2\phi_F)}} \cdot \frac{k \cdot \ell}{k} \cdot (w/k + 2 \cdot \sqrt{\frac{k \cdot N_A I}{k \cdot N_A}} \cdot x_j/k) \approx C_b \quad (5.17)$$

従って、加工精度のばらつきがスケールダウンされる場合には、 $\Delta C_b'$ は次式となる。

$$\Delta C_b' = k \cdot \Delta C_b \quad (5.18)$$

このとき、 $\Delta V_R'$ 、 $\Delta V_{ASmax}'$ 、 m' はそれぞれ次式で表せる。

$$\Delta V_R' = \frac{(V_{DD}/k - V_{th})}{2 \cdot C_b / (C_s/k)} \approx \frac{\Delta V_R}{k^2} \quad (5.19)$$

$$\Delta V_{ASmax}' = \sqrt{k} [\Delta V_{ASmax} + 2 \cdot \Delta V_{th} (\sqrt{k} - 1)] \quad (5.20)$$

$$m' = k^{-\frac{5}{2}} \cdot \frac{\Delta V_R}{\Delta V_{ASmax} + 2 \cdot \Delta V_{th} (\sqrt{k} - 1)} \quad (5.21)$$

5.4.2 加工精度のばらつきがスケールダウンされる場合の設計理論

微細パターン製造技術で、加工精度のばらつきがスケールダウンされる場合には、 $\Delta V_{th}''$ 、 $\Delta \beta_0''$ 、 $\Delta C_b''$ (添字''は加工精度のばらつきがスケールダウンされる場合を示す)は、それぞれ次式で表わせる。

$$\Delta V_{th}'' = \Delta V_{th} \quad (5.22)$$

$$\Delta \beta_0'' = k \cdot \Delta \beta_0 \quad (5.23)$$

$$\Delta C_b'' = \Delta C_b / k \quad (5.24)$$

5.4.2.1 ビット線当りのメモリセル数を64個に固定した場合

(128リフレッシュ方式の64KダイナミックMOS RAMに相当)

ビット線当りのメモリセル数を固定してデバイスパラメータをスケールダウンしたとき、 $\Delta V_{ASmax}''$ 、 m'' は次式で与えられる。

$$\begin{aligned}\Delta V_{ASmax}'' &= \sqrt{\frac{2 \cdot \alpha \cdot k \cdot (C_b/k)}{k \cdot \beta_0}} \left(\frac{\Delta C_b/k}{C_b/k} + \frac{k \cdot \Delta \beta_0}{k \cdot \beta_0} \right) + 2 \cdot \Delta V_{th} \\ &= k^{-1} [\Delta V_{ASmax} + 2 \cdot \Delta V_{th} (k-1)]\end{aligned}\quad (5.25)$$

$$m'' = \frac{\Delta V_R}{\Delta V_{ASmax} + 2 \cdot \Delta V_{th} (k-1)} \quad (5.26)$$

5.4.2.2 ビット線当りのメモリセル数がスケーリング定数と共に増す場合

(256リフレッシュ方式の64KダイナミックMOS RAMに相当)

スケーリング定数に比例して、ビット線当りのメモリセル数が増し、かつ、デバイスパラメータがスケールダウンされる場合には、 $\Delta C_b''$ は次式となる。

$$\Delta C_b'' = \Delta C_b \quad (5.27)$$

このとき、 $\Delta V_{ASmax}''$ 、 m'' は次式で表わせる。

$$\Delta V_{ASmax}'' = k^{-\frac{1}{2}} [\Delta V_{ASmax} + 2 \cdot \Delta V_{th} (\sqrt{k}-1)] \quad (5.28)$$

$$m'' = k^{-\frac{3}{2}} \cdot \frac{\Delta V_R}{\Delta V_{ASmax} + 2 \cdot \Delta V_{th} (\sqrt{k}-1)} \quad (5.29)$$

5.4.3 64KダイナミックMOS RAMのリフレッシュ方式の検討

デバイスパラメータをスケールダウンしたときの係数 m' 、 m'' をスケーリング定数 k と $k=1$ における ΔV_R 、 ΔV_{ASmax} 、 ΔV_{th} で表わせた。 $k=1$ (12V-16KダイナミックMOS RAM)で、 $\Delta V_R=270\text{mV}$ 、 $\Delta V_{ASmax}=25\text{mV}$ 、 $\Delta V_{th}=8\text{mV}$ が実測されたので、スケールダウン後の係数 m' 、 m'' は、加工精度のばらつきがスケールダウンされない場合とされる場合、それぞれ図5.3、図5.4に表わすことができる。

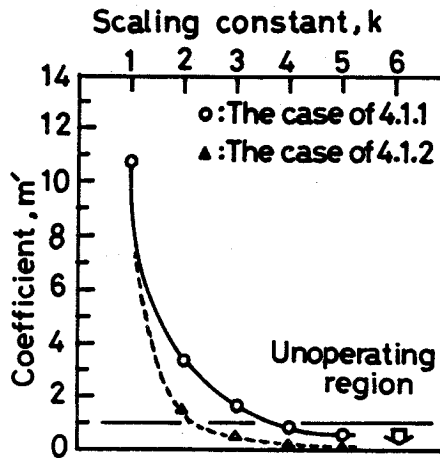


図 5.3 係数 m' のスケーリング定数依存性

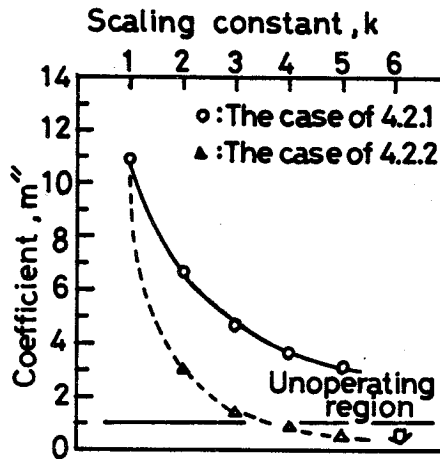


図 5.4 係数 m'' のスケーリング定数依存性

図 5.3 は、加工精度のばらつきがスケールダウンされず、ビット線当りのメモリセル数を 64 個に固定した場合には、 $k=2$ で $m'=3.3$ であり、ダイナミック MOS RAM の外部条件を満足する限界 ($m \approx 3$) に近い m' しか得られないことを示している。また、図 5.4 は加工精度のばらつきがスケールダウンされ、ビット線当りのメモリセル数が増す場合には、 $k=2$ の微細パターンを用いたダイナミック MOS RAM では、外部使用条件を満足させられる限界に近い m'' しか得られないことと、メモリセル数を 64 個に固定した場合には、 $k=2$ で $m''=6.6$ が得られるので、広い動作領域のダイナミック MOS RAM が製造可能であることを示している。

従って、ビット線当りのメモリセル数が128個の場合(256リフレッシュ方式の64KダイナミックMOS RAMに相当)には、ばらつきがスケールダウンされる場合に限り、十分注意した設計をすることによって広い動作領域の64KダイナミックMOS RAMが製造可能である。一方、ビット線当りのメモリセル数が64個の場合(128リフレッシュ方式の64KダイナミックMOS RAMに相当)には、ばらつきがスケールダウンされる場合、されない場合共に、注意を払った設計をすることによって広い動作領域の64KダイナミックMOS RAMが製造可能である。このように、製造、デバイス、回路の特徴により、広い動作領域を得るための最適構成が存在することが明らかとなった。

5.4.4 64KダイナミックMOS RAMの設計指針

スケールリング定数 k を16KダイナミックMOS RAMに相当するパターン技術に対して $k=1$ とし、64KダイナミックMOS RAMに相当するパターン技術に対して $k=2$ としたときに、同一製造条件で作成した多数の試料により調べたパラメータの実測値を表5.1に示す。表中の添字 e は、実測値を意味している。 N_A は $k=1, 2$ に対して変化させていないが、しきい値電圧の制御はMOSトランジスタのチャンネル部へのイオン注入によって行なった。表5.1は $k=2$ の微細パターン製造技術を用いたとき、加工精度のばらつきが、 $k=1$ の製造技術に比べて縮小されず、ばらつきの絶対値がほとんど変化しないことを示している。これは、5.4.1で述べた理論解析に対応し、64KダイナミックMOS RAMでは、ビット線当りのメモリセル数を64個にしなければ動作領域の広いダイナミックMOS RAMの設計、製造が困難なことを示している。

また、表5.1に示したばらつきから式(5.4)、(5.7)、(5.9)を用いて計算した ΔV_{the} 、 $\Delta \beta_{0e}$ 、 ΔC_{be} と ΔV_{the} 、 $\Delta \beta_{0e}$ の実測値の対応を表5.2に示す。 ΔV_{the} 、 $\Delta \beta_{0e}$ は $k=2$ に相当する微細パターンの場合に $k=1$ に相当する場合に比べてばらつきの絶対値が大きくなっている。計算値と実測値の差は、計算式に用いたMOSトランジスタのモデルが実際のデバイスと厳密に一致していないことと、表5.1に示したように必ずしもデバイスパラメータがスケールリング定数 k に比例していないためである。

このように微細パターンの程度と共に加工精度のばらつきがスケールダウンできないことは、大容量ダイナミックMOS RAMの集積度向上に対する制限項目の1つと考えられ、加工精度の向上がダイナミックMOS RAMの動作領域を広め、安定動作させるための重要な項目の1つであることが明らかになった。

表 5.1 パラメータの実測値 (括弧内は平均値)

スケーリング定数	Δt_{oxe} (Å)	ΔL_e (μm)	Δw_e (μm)	N_{Ae} (cm^{-3})	x_{je} (μm)
k = 1 (16K MOS(D)RAM)	18.2 (852)	0.144 (5.67)	0.205 (4.88)	7×10^{14}	1.2
k = 2 (64K MOS(D)RAM)	16.6 (517)	0.197 (3.12)	0.252 (3.16)	7×10^{14}	0.5

表 5.2 ΔV_{the} , $\Delta \beta_{0e}$, ΔC_{be} の実測値と計算値
(括弧内は平均値)

スケーリング定数		ΔV_{the} (V)	$\Delta \beta_{0e}$ ($\mu A/V^2$)	ΔC_{be} (pF)
k = 1 (16K MOS(D)RAM)	実測値	0.07 (1.075)	22.2 (360.9)	— (0.857)
	計算値	0.023	-17.0	0.021
k = 2 (64K MOS(D)RAM)	実測値	0.104 (0.815)	58.8 (368.5)	— (0.305)
	計算値	0.041	-34.0	0.014

以上の検討結果より大容量ダイナミック MOS RAM の設計指針として次の 5 項目が導かれる。

- (1) メモリセルへの書き込み電圧がスケールダウンされない。
- (2) ビット線当りのメモリセル数が増えない(ビット線容量を減らす)。
- (3) メモリセルの単位面積当りの容量を増やす。
- (4) センスアンプ回路のフリップフロップソース端の電位下降速度を遅くする。
- (5) フリップフロップ MOS トランジスタの β_0 を大きくする。

5.5 設計理論の64KダイナミックMOS RAMへの適用とその電気特性

設計理論の妥当性を検証するため、64KダイナミックMOS RAMを設計試作した。設計指針の5項目については以下の方法による対策をとった。(1)に対しては、 $L=3\mu\text{m}$ のMOSトランジスタのソース・ドレイン間耐圧が15Vであり、 $V_{CC}=7\text{V}$ として、 $k=2$ より算出される電源電圧($k=1$ のとき $V_{DD}=12\text{V}$)より大きな値を用いることによって、メモリセルへの書き込み電圧がスケールダウンされないようにした。(2)に対しては、ビット線当りのメモリセル数を64個とし、16KダイナミックMOS RAMの場合と同一にした。(3)に対しては、新構造のメモリセルは用いず、16KダイナミックMOS RAMの製造工程に従って、デバイスパラメータをスケールダウンして用いたので、メモリセルはビット長が長くならないようにワード線方向に対して長くとり、記憶容量を増した。(4)に対しては、 $\Delta V_{AS\text{max}}$ を小さくするため、センスアンプ回路のソース端下降速度を遅くした。(5)に対しては、フリップフロップMOSトランジスタのコンダクタンス定数をビット線容量の大きさを考慮して許容できる限り大きくし、 $W=40\mu\text{m}$ とした。また、図5.5よりMOSトランジスタのチャンネル長が短くなるに従って、 ΔV_{th} が大きくなるため、センスアンプ回路のフリップフロップMOSトランジスタは $L=4\mu\text{m}$ で設計し、 ΔV_{th} を極力小さくする方法をとった。

図5.6は、試作した64KダイナミックMOS RAMのチップ写真であり、表5.3は性能一覧である。また、図5.7は、マーチのテストパターンによる $V_{DD}-V_{BB}$ の動作領域を示している。標準電源電圧条件($V_{BB}=-2\text{V}$)の V_{DD} 下限は3.8Vである。また、上限は9Vであり、70°Cでも図5.7とはほぼ等しい広い動作領域が得られた。試作した64KダイナミックMOS

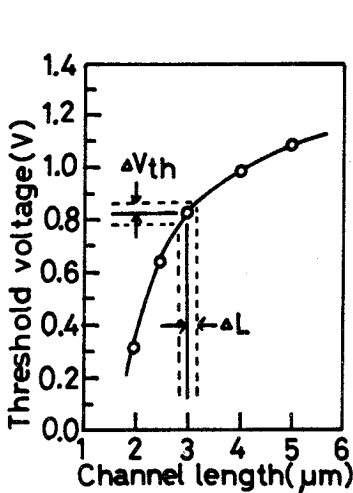


図 5.5 V_{th} のチャンネル長依存性

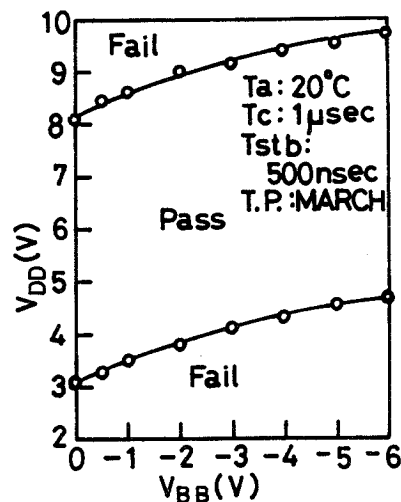


図 5.7 $V_{DD}-V_{BB}$ 電圧マージン図

RAMでは $\Delta V_R = 185\text{ mV}$ ， $\Delta V_{AS\text{max}} = 26\text{ mV}$ が実測され， $m = 7.1$ が得られた。この値は図5.3より得られる $m' = 3.3$ の約2倍であり，5.4で示した設計指針に従って設計した結果であると言え，設計指針の妥当性が確認された。

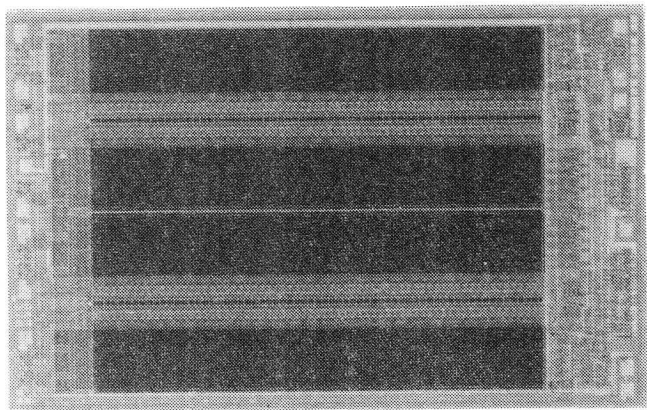


図5.6 64KダイナミックMOS RAMのチップ写真

表5.3 64KダイナミックMOS RAMの性能一覧

製 造 技 術	nチャンネルシリコンゲート ダブルポリシリコン
ワード構成	64K語×1bit
パッケージ	16ピン，300ミルDIP
電源電圧	7V，-2V
動作電流	30mA ($T_C = 350\text{ ns}$)
スタンバイ電流	2mA
$\overline{\text{RAS}}$ アクセス時間	160ns
$\overline{\text{CAS}}$ アクセス時間	100ns
サイクル時間(T_C)	350ns
リフレッシュ方式	128サイクル / 2ms
チップサイズ	4.28mm×6.92mm
セルサイズ	10 μm ×19 μm
入出力レベル	TTL

5.6 ダイナミックMOS RAMのアクセス時間の解析

5.6.1 アクセス時間解析のモデル

64KダイナミックMOS RAMの基本信号のタイミングを図5.8に示す。また、各機能毎の時間配分を表5.4に示す。この結果は、RASアクセス時間83nsecの約1/2がメモリセルの読み出しとセンス時間に要していることを示している。即ち、ワード線立ち上がりからセンスアンプ回路動作完了までに43nsecを費やしている。また、プリアンプ回路の動作、出力アンプ回路の動作に19nsecを要している。この時間を含めると、75%となる。従って、ダイナミックMOS RAMでは、メモリセルから読み出される微小な電位差を十分増幅するためにアクセス時間の大部分を費やすと言える。

ダイナミックMOS RAMの回路を細かく調べると、各基本信号回路の速度だけでなく、各機能ブロック毎にその機能が完了するまで信号を遅延させる時間を設けている部分はあるが、全体的に考えると各基本信号回路の速度とメモリセルから読み出される信号を増幅するに要する時間に大別できる。従って、RASアクセス時間は次式で表現できる。

$$T_{acc} = T_s + \sum_{i=1}^n T_d(i) \quad (5.30)$$

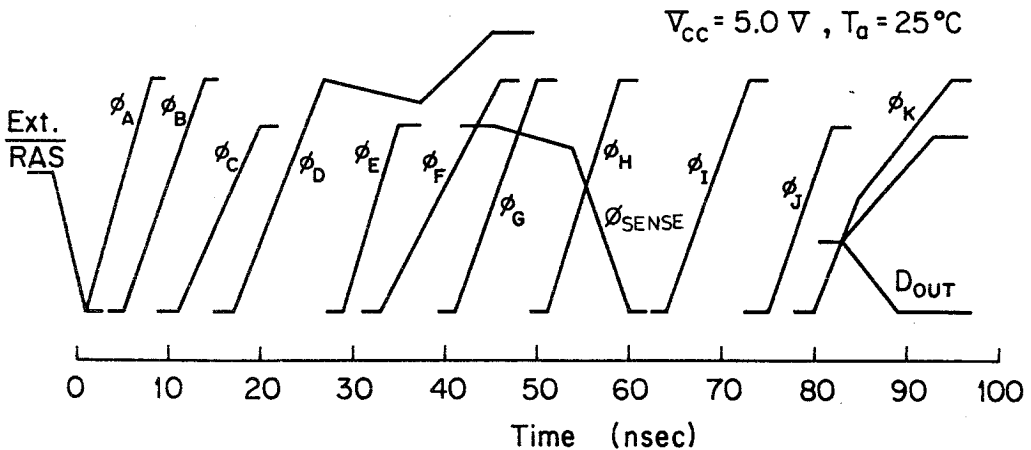


図5.8 基本信号のタイミング

表 5.4 $\overline{\text{RAS}}$ アクセス時間の時間配分

動作の内容	信号名	時 間	
クロック回路	$E_{\text{xt.}} \overline{\text{RAS}} \sim \phi_B$	5nsec	
アドレスバッファ回路	$\phi_B \sim \phi_C$	6nsec	
Xデコーダセット時間	$\phi_C \sim \phi_D$	6nsec	
ワード線の立ち上がりと読み出し時間	$\phi_D \sim \phi_G$	24nsec	43nsec
センス時間	$\phi_G \sim \phi_H$	19nsec	
センスアンプ回路動作の保証時間	$\phi_H \sim \phi_{I'}$	4nsec	
プリアンプ回路動作時間	$\phi_{I'} \sim \phi_K$	11nsec	19nsec
出力アンプ回路動作時間	$\phi_K \sim D_{\text{OUT}}$	8nsec	
計	$E_{\text{xt.}} \overline{\text{RAS}} \sim D_{\text{OUT}}$	83nsec	

ここで、 T_S はワード線の立ち上がり遅延、ビット線遅延、センスアンプ回路の感度保証時間であり、第2項は、アクセス時間を決定している基本信号の遅延の和である。従って、 T_S は更には次のように書き直すことができる。

$$T_S = T_{W \cdot B} + T_{S \cdot A} = C_W \cdot R_W + C_B \cdot R_B + T_{S \cdot A} \quad (5.31)$$

ここで、 C_W はワード線の容量、 R_W はワード線の抵抗、 C_B はビット線の容量、 R_B はビット線の抵抗、 $T_{S \cdot A}$ はセンスアンプ回路の感度保証に要する時間である。

5.6.2 ワード線、ビット線の遅延

5.6.1 より $\overline{\text{RAS}}$ アクセス時間の約 50 % がメモリセルからの読み出し動作で占められることがわかった。この動作は、ワード線電位を高速に立ち上げ、ビット線にメモリセルから電位を読み出し、センスアンプ回路が動作し、メモリセルのリフレッシュ動作が完了するまでの時間である。この動作の高速化とダイナミック MOS RAM の動作余裕度の拡大を追求することは、相反事象であり、最適化が必要である。即ち、高速性を追求すると動作余裕度の係数⁽⁸⁾ m を悪化させる。この理由は、高速にすると十分電位を読み出す前にセンスアンプ回路動作を始める必要があり、 ΔV_R が小さくなるためである。また、高速動作にすると、センスアンプ回路の活性化信号をなだら

かに下降させる時間も短くなるので、 ΔV_{ASmax} も悪くなる。このように、高速アクセス時間と動作余裕度が矛盾するため、高速でも動作余裕度を低下させない工夫が必要である。動作余裕度を確保しながらセンスアンプ回路の高速化を図るための目安は、式(5.30)、(5.31)より得られる。ワード線の立ち上がりの高速化には、ワード線電位を発生させる回路上の高速化ばかりでなく、ワード線やビット線の構成法によるところも大きい。式(5.31)の $T_{W \cdot B}$ はそれを示している。従って、これらのワード線、ビット線遅延を最小化した構成法が高速化には必要である。

(16)
ダイナミックMOS RAMにおけるビット線、ワード線構成法には、オープンビット線方式(17)とフォールディッドビット線方式があり、64KダイナミックMOS RAMを例に $T_{W \cdot B}$ を計算すると表5.5となる。この結果からオープンビット線方式は、プロセス上の大きな変更を行わずとも高速ダイナミックMOS RAMに適合していると言える。一方、フォールディッドビット線方式は、高速性に対して非常に障害が大きく、オープンビット線と同一の高速性を得るには $\rho_{RW} = 5 \Omega/\square$ が必要となる。

表 5.5 $T_{W \cdot B}$ の計算値

	オープンビット線方式	フォールディッドビット線方式		備 考
		$\rho_{RW}=30\Omega/\square$	$\rho_{RW}=10\Omega/\square$	
R_W	85 Ω	10.8 K Ω	3.6 K Ω	
C_W	5 pF	2 pF	2 pF	
R_B	6.1 K Ω	25 Ω	25 Ω	$\rho_{N^+}=30 \Omega/\square$
C_B	0.5 pF	0.5 pF	0.5 pF	
$T_{W \cdot B}$	3.4 nsec	22 nsec	7 nsec	

図 5.9 はオープンビット線方式の 64KダイナミックMOS RAMのレイアウトを示している。ワード線はA点より立ち上がりB点まで伝達される。また、ビット線に対しては、最遠方のメモセルから読み出された電位が、C点からD点に伝達される。このそれぞれの最遠点動作余裕度の低下をもたらすと考えられるので、 α 線源による加速試験によってソフトエラーの発生位置依存性を調べた。その結果を図 5.10 に示す。測定条件は、 $V_{CC} = 5V$ 、 $t_c = 1 \mu sec$ 、 α 線源は $^{241}Am \cdot 11 \mu Ci$ である。ワード線遅延に対してソフトエラーの明確な有意差はなく、逆に予想と反した結果になっている。この理由は測定したデバイスがワード線昇圧方式を用いているため、ワード線がフローティング時にA点側での電位の落ち込みが大きいためであると推定できる。一方、ビット線遅延におけるソフトエラーは明らかに依存性が存在する。この結果は、

ダイナミック MOS RAMのV-Bumpテストによる不良発生位置関係と対応する。ビット線方向の不良発生数は、位置により2〜3倍差があり、比較的大きい。これは、オープンビット線の場合、ビット線方向の遅延が大きいかと対応している。

従って、高速化を行う場合、ワード線、ビット線遅延を十分考慮しないと動作余裕度を低下させることがわかる。

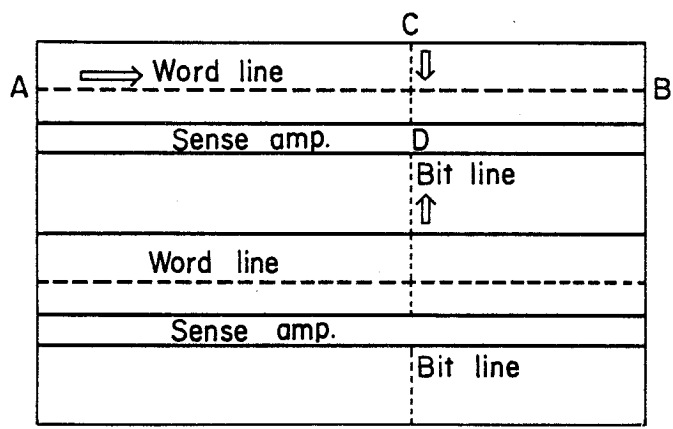


図 5.9 オープンビット線方式のレイアウト

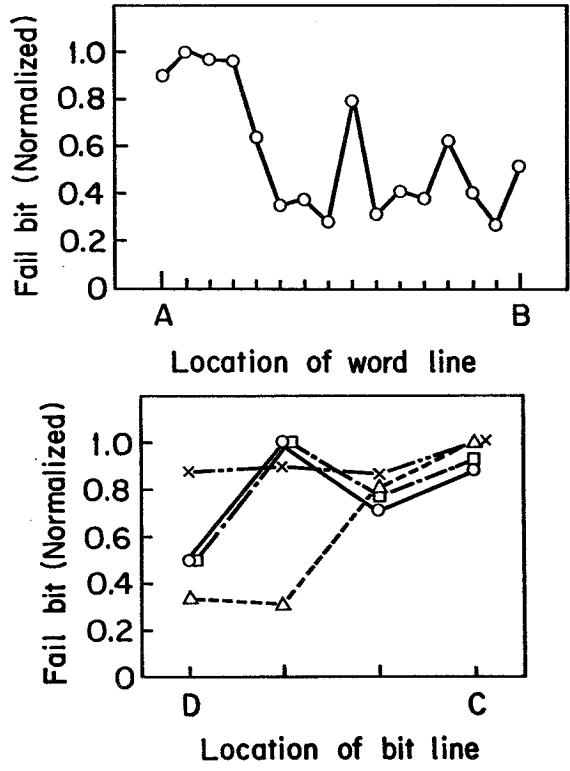


図 5.1 0 ソフトエラーの位置依存性

5.6.3 センスアンプ感度保証時間

センスアンプ回路の感度保証時間は、メモリセルからの信号電荷量が小さくなるに従って、センスアンプ感度を向上させる必要があるため、短縮は難しくなる。それは、センスアンプ感度⁽¹²⁾を決定させる因子、K（センスアンプのソース端下降速度）を小さくする必要があるためである。

5.6.4 高速化の要因

ダイナミックMOS RAMのアクセス時間を式(5.30)で近似した。式(5.30)の第2項は、各基本信号の立ち上がり時間が等しく設計されたとき、次式で表わすことができる。

$$T_{acc} = C_W \cdot R_W + C_B \cdot R_B + T_{S \cdot A} + n \cdot T_d \quad (5.32)$$

ここで、nは図5.8より出力回路を含めて13とすることができる。

また、 T_d は図5.11の基本クロック回路とタイミング図より次式で表わすことができる。⁽⁹⁾

$$T_d = \frac{2C_2}{\beta_2(V_{CC} - V_{th})} + \frac{4V_{th}C_1}{\beta_3(V_{CC} - 2V_{th}) \left\{ V_{CC} - 2V_{th} \left(\frac{C_B + C_1}{C_B} \right) \right\}} + \frac{\sqrt{\frac{6C_1}{K_1\beta_1}}(V_{CC} - V_{th})^2 - \frac{3C_1}{\beta_1}(V_{CC} - V_{th})}{(V_{CC} - V_{th})^2 - \sqrt{\frac{6C_1K_1}{\beta_1}}(V_{CC} - V_{th}) + \frac{3C_1K_1}{\beta_1}} \quad (5.33)$$

ここで、 K_1 は基本クロック回路に入力する ϕ_1 の立ち上がり速度である。

これらのアクセス時間の解析より、高速化の要因として次の8点が挙げられる。

- (1) ワード線遅延の減少（フォールディッドビット線の場合、この問題が大きくなる）。
- (2) ビット線遅延の減少（オープンビット線の場合、この問題が大きくなる）。
- (3) センスアンプ感度の確保。
- (4) 信号回路の段数の低減。
- (5) コンダクタンスの増加。
- (6) V_{th} を下げる。
- (7) V_{CC} を高く設定する。
- (8) 浮遊容量の低減を図る。

(11)
(1)、(2)については、最終的には、2層A ℓ 構造か、A ℓ に非常に近いシート抵抗材料を

用いることが必要である。(3)については現在用いられているフリップフロップ型に替わる高感度センサンプ回路の出現が待たれるが、プロセスパラメータのばらつきを小さくすることで高速化が図れる。(4)が回路設計上非常に重要である。新機能付のダイナミックMOS RAMの市場要求が高く、回路が複雑化されてきているが、高速化のためには、周辺回路の簡素化が必要である。(5)が高速化には最大の効果があり、MOSトランジスタの短チャンネル化が必須技術である。(6)については、ダイナミックMOS RAMにおいてロングサイクルテストやリフレッシュ時間の制約が厳しくMOSトランジスタのテール電流が大きな問題となるので、回路を構成する全てのMOSトランジスタのしきい値電圧を下げるのではなく、高速化に効果があり、他の特性に影響を与えないMOSトランジスタのしきい値電圧を下げる方法がある。(7)は現実的に不可能である。ダイナミックMOS RAMは大容量化されるに従って、短チャンネルMOSトランジスタが用いられ、耐圧の低下や、電源電圧の標準化のため任意の電源電圧が用いられないためである。(8)については、デバイスの縦構造を厚くすることによって対策がとれる。また、分離材料の誘電率も大きな問題となる。

このように、高速化にはデバイス構造やプロセス技術に負うところが多いが、設計的には回路の簡素化が重要であることが明らかになった。

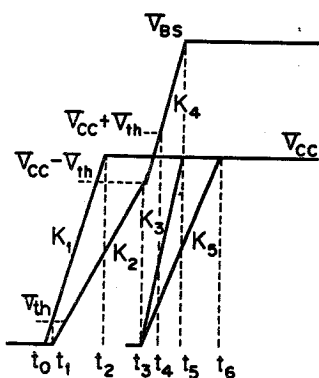
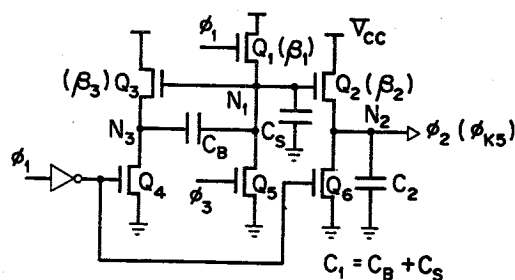


図 5.11 基本クロック回路と基本クロック回路のタイミング図

5.7 2層Al構造による高性能化

2層Al構造は高密度化を図りつつ、低抵抗配線が可能であり、優れた特性を示すことは良く知られている⁽¹⁸⁾。本節では、ダイナミックMOS RAMに2層Al構造を適用することによる高性能性について述べる。

5.7.1 2層Al構造のダイナミックMOS RAMの試作

2層Al構造の高性能性を検証するため、2種類のダイナミックMOS RAMを試作した。1層Al構造のデバイス(SAMC; Single Aluminum Memory Cell)と2層Al構造(DAMC; Double Aluminum Memory Cell)のデバイスであり、それぞれの構成を表5.6に示す。SAMCは、 N^+ 拡散ビット線と2層ポリシリコンプロセスによる通常構造であり、DAMCは、Alビット線構造になっている。DAMCの断面を図5.12に示す。DAMCは、1層Alをビット線に、2層Alをワード線に用いているので、ビット線、ワード線の抵抗を低減できること、また、メモリセル容量を大きくできること、さらに、ビット線の浮遊容量を低下させられる特徴がある。一方、周辺回路においても、この2層Al構造を用いることにより、クロスアンダー部の抵抗を低減できること、電源ラインの抵抗を下げられる特徴もある。

DAMCプロセスは、SAMCに比べて2枚のマスクを多く用いる。それは1層Alと2層Alを短絡するためのスルーホールと、2層Alのパターニング用であるが、1層Al工程まではSAMCとDAMCは全く等しいプロセスである。また、1層Alと2層Alの層間絶縁膜にはSiNを用いた。

表5.6 SAMCとDAMCの構造の差

メモリセル構造	2層Al	1層Al
ビット線	1st Al	N^+ 拡散層
ワード線	2nd Al	Al
周辺回路	1st Al	Al
クロスアンダーライン	2nd Al	N^+ 拡散層
VCC, VSSライン	1st & 2nd Al	Al
セル面積	176 μm^2	
チップ面積	29.3 mm^2	

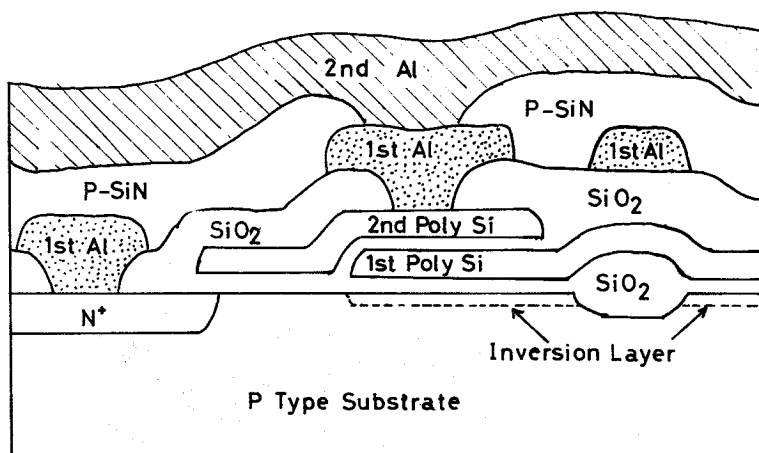


図 5.1 2 DAMCの断面図

5.7.2. 電気特性の比較

DAMCのメモリセルの記憶容量は、SAMCに比べて、 N^+ 拡散ビット線領域が、蓄積容量として有効に使用でき、約15%増やすことができた。このため、ダイナミックMOS RAMの動作余裕度が増し、ソフトウェアに対しても大幅な改善が得られた。図5.13にDAMCとSAMCのソフトウェアの比較結果を示すが、約10倍DAMCが優れていることがわかった。また、図5.14は、チップ内部の V_{CC} 電源のノイズを示している。DAMCはSAMCに比べて約1/2のノイズ量に減少している。これは2層Al構造によって、チップ内部の電源ライン

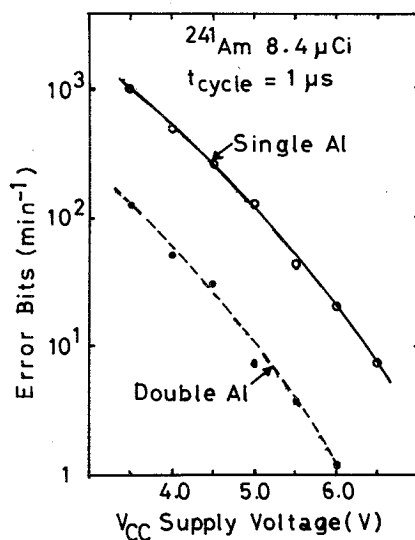


図5.13 DAMCとSAMCのソフトウェア差

のインピーダンスを下げた効果である。電源ラインの電圧低下が避けられるので、高速化が期待できる。図 5.1 5 は、DAMCとSAMCのアクセス時間を示しているが、 $V_{CC} = 4.5\text{ V}$ で約 16 nsec DAMC が高速であり、高性能化が容易なことを示している。

このように、DAMC構造のダイナミックMOS RAMは、メモリセルの記憶容量を大きくできること、配線抵抗を下げられること、電源ラインのノイズを低減できることが明らかになり、高性能ダイナミックMOS RAMに適した構成法であることが明らかになった。

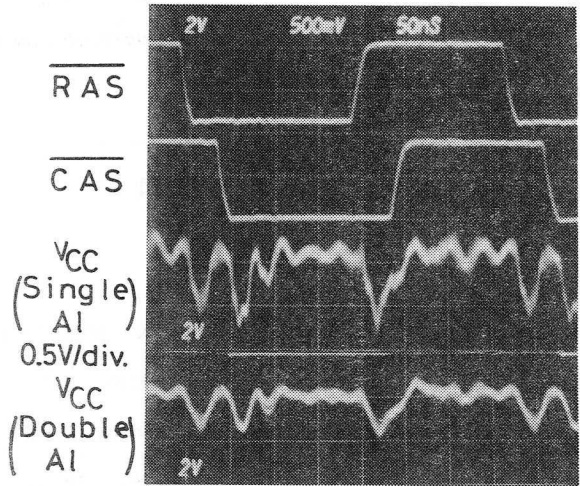


図 5.1 4 DAMCとSAMCの電源ノイズの差

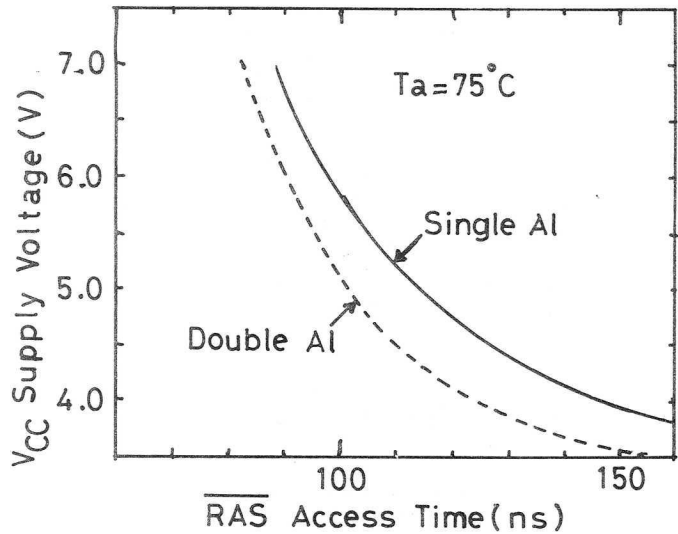


図 5.1 5 DAMCとSAMCのアクセス時間の差

5.8 結 言

本章では、大容量ダイナミックMOS RAMの動作余裕度を拡大するための最適構成法を検討した結果、以下の結論を得た。

製造、デバイス、回路技術を考慮した大容量ダイナミックMOS RAM用センスアンプ回路の設計において、読み出し電圧、センスアンプ回路の感度より、動作領域を決める係数 m を定量化し、 m の最小値を明らかにした。また、センスアンプ感度を決定するパラメータのばらつきについて検討したところ、これらのばらつきが微細加工精度のばらつきによって決まることを理論的に明らかにし、微細パターン製造技術を用いた大容量ダイナミックMOS RAMの設計では、デバイスパラメータの加工精度によるばらつきが大きな障害となることを明らかにした。

さらに、64KダイナミックMOS RAMの最適構成について検討したところ、現在の製造技術ではばらつき量のスケールダウンがなされないので、広い動作領域を得るためには、ビット線に64個のメモリセルを接続した128リフレッシュ方式が、ビット線に128個のメモリセルを接続した256リフレッシュ方式に比べて、優れていることを明らかにした。

これらの検討結果よりセンスアンプ回路の設計指針を導き出し、その設計指針に基づいて、64KダイナミックMOS RAMを設計、試作した結果、 $m=7.1$ が得られ、本節で述べた微細パターン製造技術を用いた大容量ダイナミックMOS RAMの設計手法の妥当性が確認された。

さらに、ダイナミックMOS RAMの高速アクセス時間を得るための最適構成について検討し、アクセス時間解析のモデルを提案した。ダイナミックMOS RAMのアクセス時間の約50%がセンス動作に費やされており、この高速化がダイナミックMOS RAMの高速化に必須であることを明らかにし、その実現には、ワード線遅延とビット線遅延の和が最小になる構成法が必要であることを明らかにした。また、高速ダイナミックMOS RAMを実現するための要因を明らかにし、高速化の指針を示した。この結果、回路構成上の問題として回路の簡素化が必要であることを明らかにした。

また、2層A ℓ 構造を用いたダイナミックMOS RAMは、メモリセルの記憶容量の増大、配線抵抗の低下、電源ラインのノイズの低減が可能となることを明らかにし、高性能化に適した構成法であることを明らかにした。

参考文献

- (1) R. Schröder and R.J. Proebsting; "A 16K x 1-bit Dynamic RAM", ISSCC Dig. Tech. Papers, PP. 12-13, 1977.
- (2) W.T. Lynch and H.J. Boll; "Optimization of the latching pulse for dynamic flip-flop sensors", IEEE J. Solid-State Circuits, vol. SC-9, No.2, PP. 49-55, 1974.
- (3) L.G. Geller, D.P. Spampinate and L.Y. Yao; "High-sensitivity charge-transfer sense amplifier", IEEE J. Solid-State Circuits, vol. SC-11, PP. 596-601, 1976.
- (4) L.G. Heller; "Cross-coupled charge transfer sense amplifier", ISSCC Dig. Tech. Papers, PP. 20-21, 1979.
- (5) John J. Barnes and John Y. Chan; "A high performance sense amplifier for a 5V dynamic RAM", IEEE J. Solid-State Circuits, vol. SC-15, PP. 831-839, 1980.
- (6) N. Ieda, E. Arai, K. Kiuchi, Y. Ohmori and K. Takeya; "A 64K MOS RAM design", J. Japan Appl. Phys., vol. 17, No.1, PP.57-63, 1978.
- (7) 下東; "MOSメモリのアクセス時間の解析", 昭56信学総合全国大会, P. 2-165.
- (8) 長山, 吉原, 中野, 蒲生; "スケーリング法を適用した大容量ダイナミックMOS RAMの回路設計", 信学論(C), vol. J64-C, No.2, PP. 61-68, 1981.
- (9) 長山, 益子, 吉原, 中野; "ダイナミックMOS RAMのアクセス時間解析", 信学論(C), 83-5掲載予定.
- (10) 長山, 吉原, 中野, 蒲生; "スケーリング法を適用した大容量ダイナミックMOS RAMの回路設計", 電子通信学会, 電子計算機研究会, EC 79-46, PP. 31-41, 1979.

- (11) M. Taniguchi, Y. Ohbayashi, M. Yamada, Y. Nagayama, S. Sato and T. Nakano; "High Performance Dynamic RAM using Double Aluminum Layer", VLSI Symposium Dig. Tech. Papers, PP. 62-63, 1982.
- (12) 下西, 長山, 中野; "ダイナミック MOS RAMのセンスアンブ感度の解析", 信学論C, vol. J 61-C, No. 6, PP. 399-401, 1978.
- (13) L.D. Yau; "A simple theory to predict the threshold voltage of short-channel IG FET's", Solid-State Electronics, vol. 17, PP. 1059-1063, 1974.
- (14) R.H. Dennard, F.H. Gaensslen, H.N. Yu, V. Rideout, E. Passous and A.R. Leblanc; "Design of ion-implanted MOS FET's with very small physical dimensions", IEEE J. Solid-State Circuits, vol. SC-9, No. 5, PP. 256-267, 1974.
- (15) 増原, 足達, 永田, 橋本; "低電圧ダイナミック MOS メモリ", 信学論C, vol. J 57-C, No. 8, PP. 271-278, 1974.
- (16) R.C. Foss; "The Design of MOS Dynamic RAMs", ISSCC Dig. Tech. Papers, PP. 140-141, 1979.
- (17) K. Itoh, R. Hori, H. Masuda and Y. Kamigaki; "A Single 5V 64K Dynamic RAM", ISSCC Dig. Tech. Papers, PP. 228-229, 1980.
- (18) I. Ohkura, O. Tomisawa, M. Nakaya, Y. Ohbayashi and T. Nakano; "A multi-level metallized DSA MOS masterslice", IEEE J. Solid-State Circuits, vol. SC-14, PP. 764-766, 1979.

第6章 高性能64KダイナミックMOS RAMへの工学的応用

6.1 序

大容量ダイナミックMOS RAMを高性能化し、動作余裕度の拡大を図るための具体的項目である高速化、低消費電力化、動作余裕度の解析、MOS RAMの最適構成法、信頼性の向上について、各々の問題点を抽出し、その改善方法について検討を行なった。第2章においては、微細加工技術を用いなくとも短チャンネル化が実現できるDSA MOSトランジスタのダイナミック、スタティックMOS RAMへの適用について述べ、MOS RAMの高性能化にはMOSトランジスタの短チャンネル化が必要であることを述べた。第3章では、ゲートとソース・ドレイン間の重なり容量とソース・ドレイン領域の寄生抵抗が低減できる3重拡散型MOSトランジスタ(T.D.T)と、T.D.Tの実用化上の変形であるゲートとソース・ドレインの重なり容量を低減したSAGOS MOSトランジスタの特性について述べ、ダイナミックMOS RAMの高性能化に寄生容量や抵抗の低減が必要であることを述べた。第4章では、動作余裕度を拡大するためにセンスアンプ感度の定量化と、ソフトエラーの解析について述べ、動作余裕度を拡大する方法について述べた。また、第5章では、動作余裕度を拡大するためのMOS RAMの最適構成について述べ、高速化を達成するための最適構成について述べた。

本章では、第2章～第5章の研究成果を高性能64KダイナミックMOS RAMに適用し、その工学的応用効果を明らかにする。

6.2 64KダイナミックMOS RAMの構成

6.2.1 64KダイナミックMOS RAMの仕様

64KダイナミックMOS RAMをはじめとする汎用LSIは、製造会社のピン配置を統一するためにJEDEC(The Joint Electron Device Engineering Council)が設けられ、世界的に標準化されている。64KダイナミックMOS RAMのピン配置は図6.1に決定されている。

外部クロック信号は $\overline{RAS}$ (Row Address Strobe)と $\overline{CAS}$ (Column Address Strobe)であり、アドレス端子は8つである。64KダイナミックMOS RAMには65536ビットあり、16本のアドレスでなければランダムアクセスできないので、1つのアドレス端子から2つのアドレス情報を入力している。図6.2に標準的な使用条件のタイミング図を示す。また、図6.3にダイナミックMOS RAMの回路ブロック図を示す。 $\overline{RAS}$ 信号の変化時に、8本のアドレス端子から8つのロウアドレス情報を入力し、ロウデコーダ回路を動作させ、1本の

ワード線を駆動する。一方、 $\overline{\text{CAS}}$ 信号の変化時に 8 つのカラムアドレス情報を入力し、カラムデコーダ回路を動作させ、65536 ビットの 1 ビットを選択する。従って、アドレス端子へは、 $\overline{\text{RAS}}$ 信号から $\overline{\text{CAS}}$ 信号までの間に、2 つの有効なアドレスを入力しなければならない。

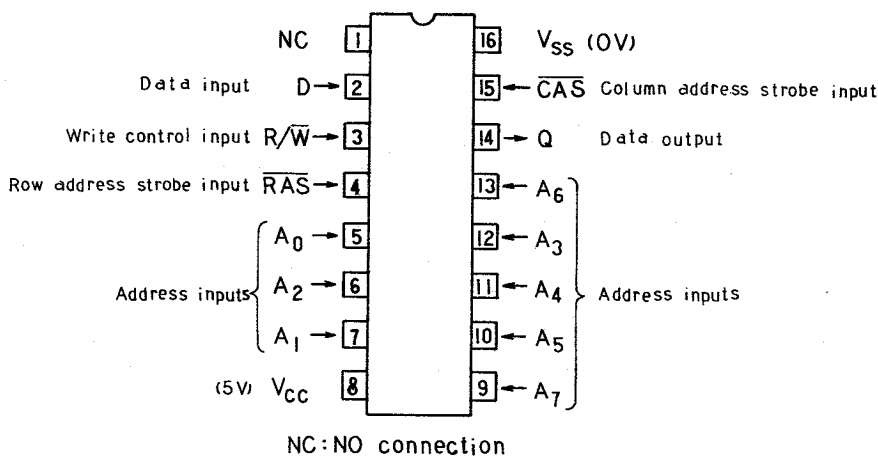


図 6.1 64KダイナミックRAMのピン配置

$\overline{\text{RAS}}$ -Only Refresh Cycle

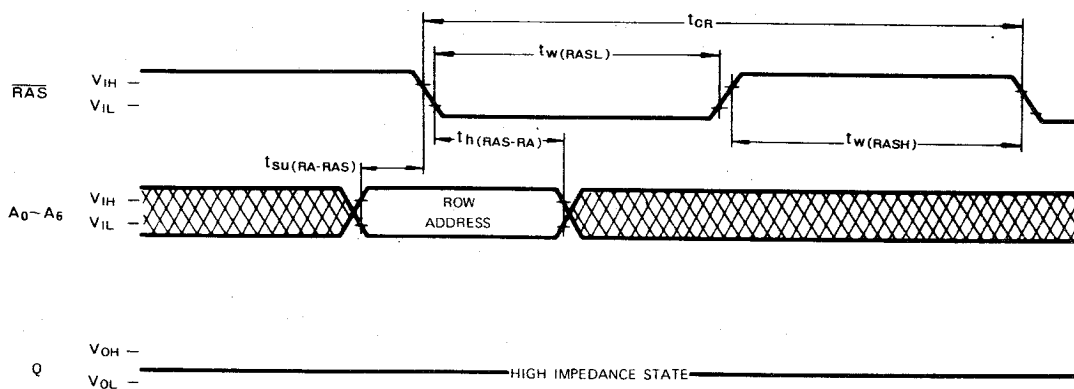
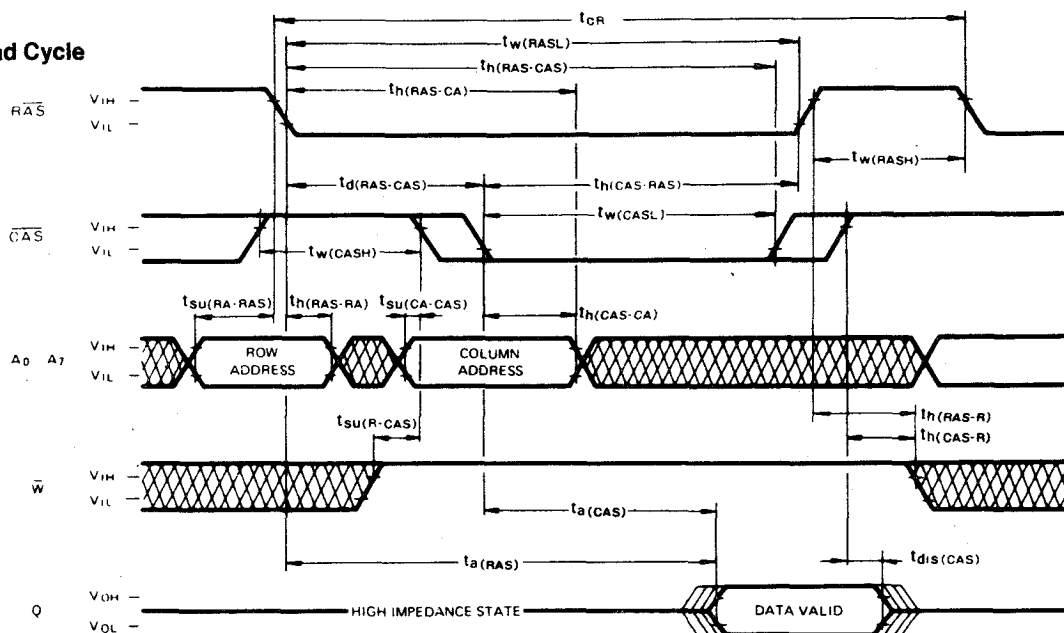


図 6.2 使用タイミング

Read Cycle



Write Cycle (Early Write)

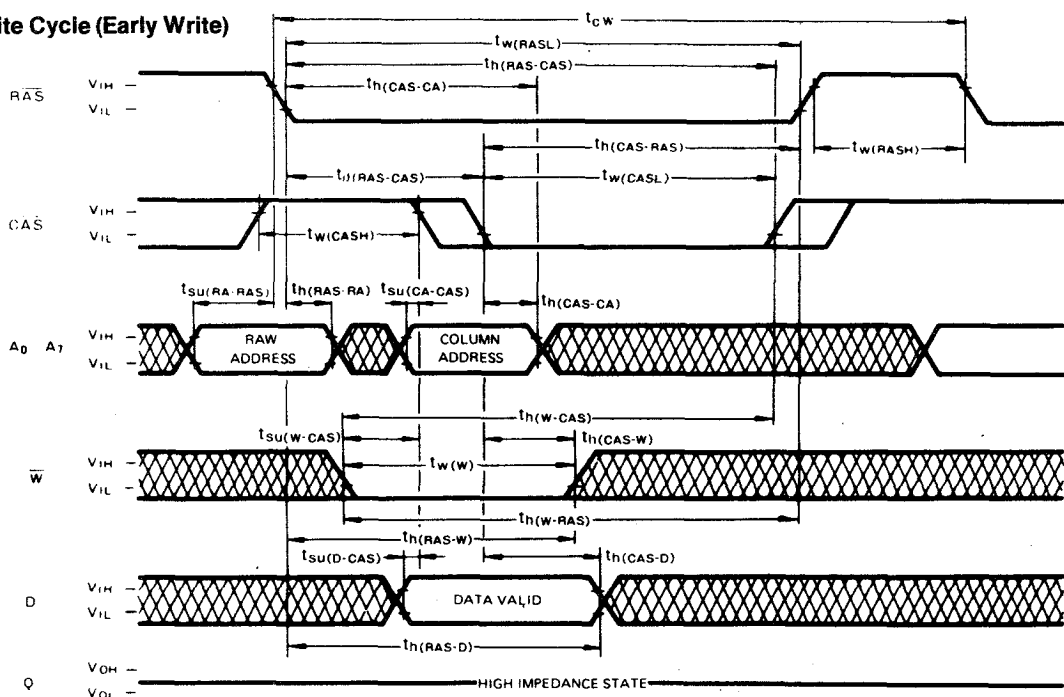


図 6.2 使用タイミング

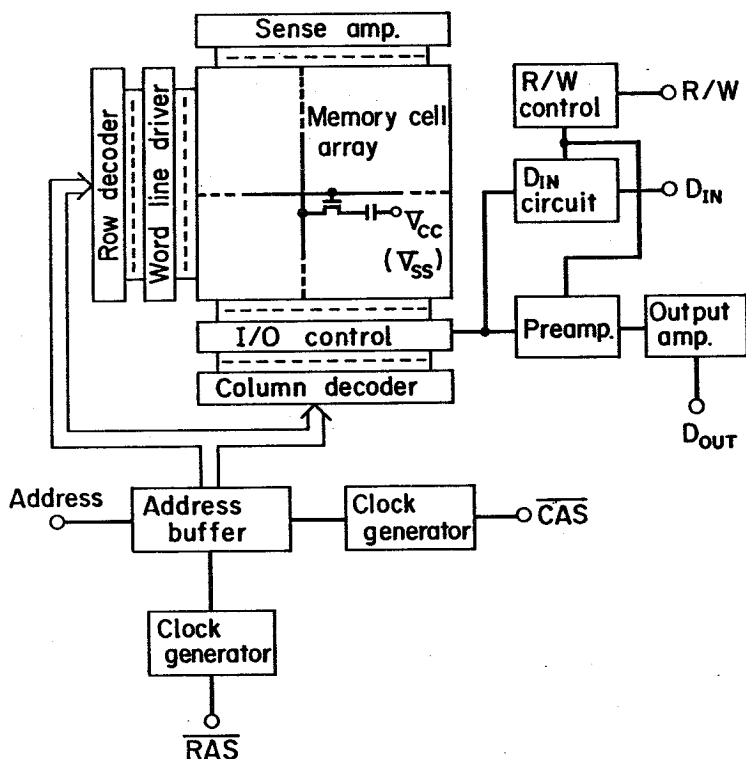


図 6.3 ダイナミック MOS RAM の回路ブロック図

読み出しは、カラムデコーダ回路により選択された I/O コントロール回路を通してプリアンプ回路、出力アンプ回路へメモリセル信号を伝達し、Dout 端子に読み出す。RAS 信号の変化からデータ出力までの時間を $\overline{\text{RAS}}$ アクセス時間、CAS 信号の変化からデータ出力までの時間を $\overline{\text{CAS}}$ アクセス時間とよび、 $\overline{\text{RAS}}$ アクセス時間と $\overline{\text{CAS}}$ アクセス時間の比が 2 : 1 になるのが一般的である。⁽¹⁾

一方、書き込みは、R/W 端子を変化させたときの D_{IN} 端子の情報を選択されたメモリセルへ書き込む。書き込みサイクルと読み出しサイクルの違いは、R/W 端子の電位だけである。

大容量ダイナミック MOS RAM には、1 トランジスタ型のメモリセルが用いられ、リフレッシュ動作が必要である。リフレッシュはロウデコーダにより、1 つのワード線が選択されると、1 つのワード線に接続している 256 ビットがリフレッシュされる。これは、通常の読み出し、書き込みサイクルでも行えるが、CAS 信号は変化させず RAS 信号だけを変化させることによってリフレッシュが行え、RAS オンリーリフレッシュと呼ばれている。

64K ダイナミック MOS RAM に使用されている電源は、1 つであり V_{CC} (5V) と呼ば

れる。これは、16KダイナミックMOS RAMの12V、±5Vの3電源に比べて大きな違いである。回路を動作させる電源が12Vから5Vに変わったことは、ダイナミックMOS RAMに使用するデバイスの耐圧が下がったことや、単一電源化(TTLとの互換性)をするために必然的なことである。しかし、負の電源を省くことは、大きな技術課題であった。負の電源を用いることの重要性は、主に次の3つである。

- (a) 入力端子からの負のアンダーシュートがあっても、接合を順バイアス状態にせず、少数キャリアの注入を起こさせない。
- (b) 接合の浮遊容量を低減し、動作の安定性と高速化を実現する。
- (c) MOSトランジスタのしきい値電圧の基板効果を最小にし、コンダクタンスの向上を図る。

このため、負の電源をチップ内で発生する方法を用いている。しかし、チップ内で発生する V_{BB} 電源は内部インピーダンスが高く、チップの動作によって変動(Bounce)を受け、チップの動作余裕度を下げるので、それを最小化する平滑コンデンサ⁽³⁾を用いた。また、図6.4に示すように V_{BB} 発生回路に使用している発振回路の発振周期とチップの動作周期が一致すると V_{BB} 電圧に特異点が生じるので、これらの周期が動作電圧範囲で一致しない設計としている。⁽⁴⁾

表6.1に64KダイナミックMOS RAMの仕様を示す。⁽⁵⁾
また、1ピンにREF信号を与え、自動的にリフレッシュする機能をもった64KダイナミックMOS RAMも試作し、良好な結果を得た。

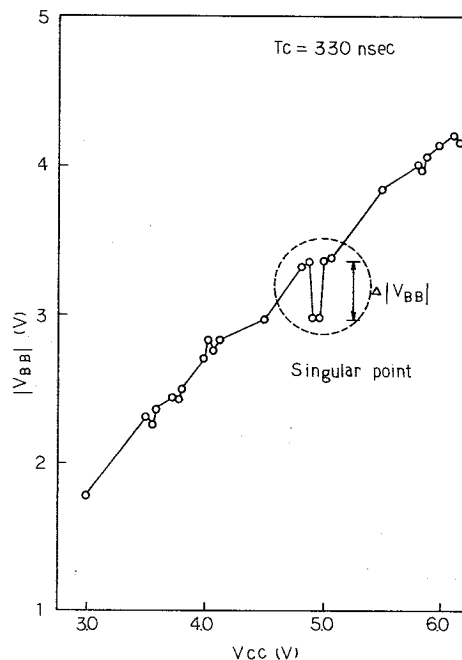


図6.4 V_{cc} 電圧と $|V_{BB}|$ 電圧の関係

表 6.1 64KダイナミックMOS RAMの仕様

ワード構成	65536ワード×1ビット
使用電源電圧	5V±10%
RASアクセス時間	最大 120 nsec
CASアクセス時間	# 60 nsec
動作消費電力	# 250 mW
スタンバイ時消費電力	# 22 mW
リフレッシュ時間	128サイクル/2msec

6.2.2 チップ構成

6.2.2.1 メモリセルアレイとチップ構成

図 6.5 は 64KダイナミックMOS RAMのチップ写真である。また、図 6.6 はそのチップ構成図である。メモリセルは、64×256ビット単位の細長い4ブロックに分割され、256

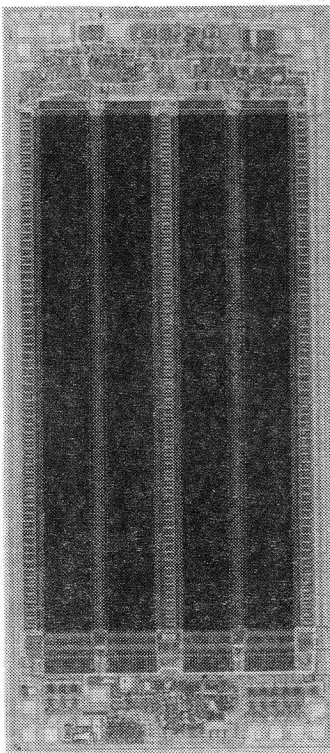


図 6.5 チップ写真

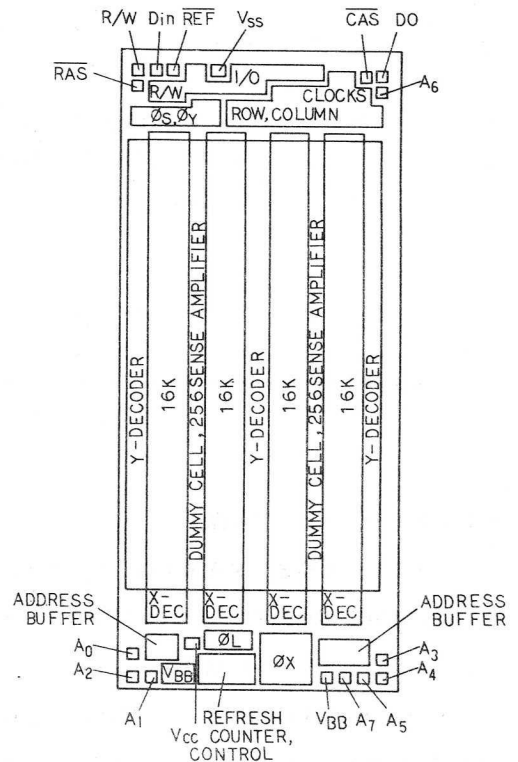


図 6.6 チップ構成

個のセンスアンプ回路が2ブロック、メモリセルブロックの中央に配置され、センスアンプ回路の位置と反対側のビット線端に256個のカラムデコーダ回路が3つ配置されている。

この構成は、第5章の設計指針によって得られたものである。即ち、1つのビット線に64個のメモリセルを接続し、128リフレッシュ方式とすることによって、動作余裕度を大きくした。また、カラムデコーダ回路を3つ配置することはチップ面積が少し大きくなるが、ビット線の容量 C_b を小さくでき、第5章の設計指針と一致する。

6.2.2.2 メモリセル構造

図6.7はメモリセルの断面図である。第4章で述べたようにHi-Cメモリセル構造は、メモリセル容量を30%増すことができ、動作余裕度の拡大とソフトエラー改善から非常に有効なデバイス構造である。メモリセルの大きさは、 $7.2 \times 19.8 \mu m^2$ であり、ビット線方向に非常に短い構造になっている。これは、第5章の設計指針に従って、ビット線容量 C_b を小さくするためである。

また、ビット線は N^+ 拡散層を用い、ワード線に Al を用いている。この組み合わせは、第5章で述べたように、高速ダイナミックMOSRAMを実現するために適した構成法である。

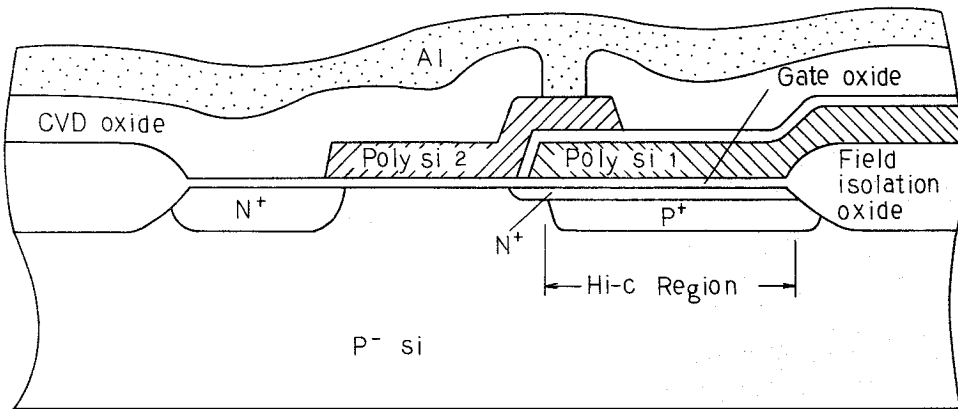


図6.7 メモリセルの断面図

6.2.2.3 センスアンプ回路

ダイナミックMOSRAMでは、センスアンプ回路の設計が重要であり、第4章、第5章でその設計指針を明らかにした。図6.8は64KダイナミックMOSRAMのセンスアンプ回路、メモリセル、ダミーセルの構成を示している。

メモリセル容量 C_s はHi-C構造により 0.06 pF である。また、ダミーセル容量 C_d は、第4章の結論から、最適化し、 0.028 pF であり、ソフトエラーの“H”→“L”不良と“L”→

“H”不良の比率は約2:1である。この比を1:1にしない理由は、ダイナミックMOS RAM特有のV-Bumpテストに対して余裕をもたせるためである。

また、センスアンプ回路のソース端下降速度は第5章の結果よりQ2のトランジスタサイズを最適化し、7 nsecで約1 V下降させてセンスアンプ感度を上げ、ソフトウェアの改善をしている。また、センスアンプ回路のフリップフロップトランジスタQ4、Q5は、第5章の結果から、ゲート長を3.5 μm に設計し、しきい値電圧のばらつきによるセンスアンプ感度の低下を防ぎ、ゲート幅も3.8 μm を用いコンダクタンス定数を大きくし、センスアンプ感度を上げている。

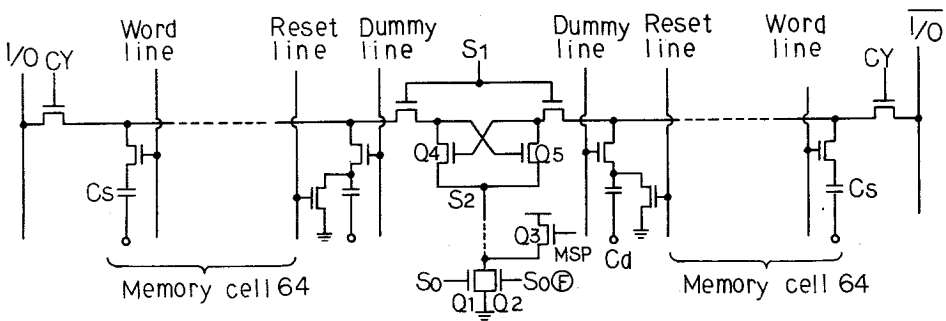


図 6.8 センスアンプ回路の構成

さらに、第4章の結果により、ワード線をセンスアンプ回路が動作する前に昇圧し、読み出し電圧を大きくし、動作余裕度の拡大、ソフトウェアの改善をしている。

Q3のトランジスタは重要な役割をしている。図6.9はS₂のプリチャージレベルとオフタイム⁽⁶⁾(RASの“H”時間)の改善度を示している。また、図6.10はS₂のプリチャージ電圧とV-Bump値の改善度を示しているが、いずれもS₂のプリチャージレベルを上げるとオフタイム、V-Bumpが改善されることを示している。この結果は、S₂のプリチャージ電圧を高くするとセンスアンプ感度が増大していることを示している。その理由として次の2点が考えられる。

- (1) センスアンプ駆動信号に負方向のノイズがのこることにより起こる「早すぎるセンス」を防止し、センスアンプ回路のノイズに対する余裕度を向上させる。
- (2) センスアンプ回路を構成するペアトランジスタ特性のばらつきに起因するセンスアンプ回路のアンバランスを緩和し、プロセス変動に対する余裕度を向上させる。

このため、S₂のプリチャージレベルは、設計上容易に実現できるV_{CC}プリチャージ方式を採用している。

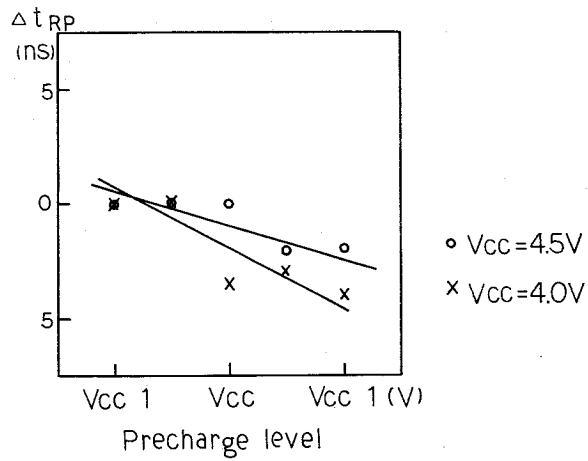


図6.9 S_2 プリチャージ電圧と t_{RP} の関係

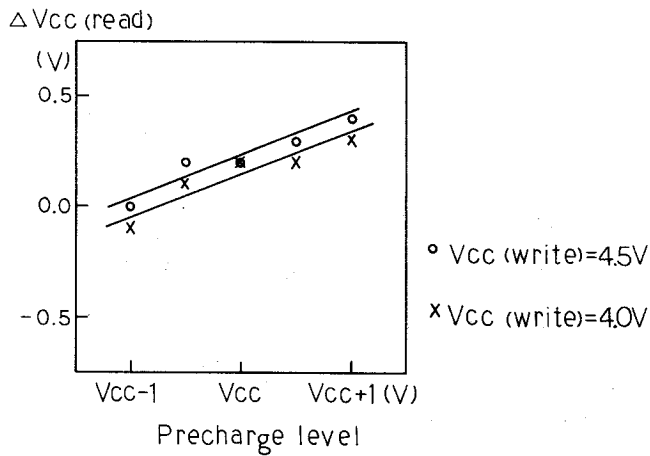


図6.10 S_2 プリチャージ電圧とパンプ電圧の関係

6.2.2.4 周辺回路

ダイナミックMOS RAMは、メモリセルの情報ばかりでなく、周辺回路においても、待機時間における保持特性が要求される。メモリセルの保持時間は製品規格として2msecを保証しているが、ダイナミックMOS RAMにおいては出力ホールド時間を無限大保証している製

品があり、本試作品もこの規格を満足させる設計となっている。このとき、テール電流とチップ内ノイズがこの保持特性を妨げる現象が起⁽⁹⁾こる。このため、周辺回路においてもテール電流を考慮した設計をする必要があり、次の4つの対策を行なっている。

- (1) 回路が動作するときの内部ノイズを低減すること。
- (2) 長時間“L”を保持する回路のノードは、ノイズが入っても回路に誤動作を与えないためラッチ機能を持たせること。
- (3) 長時間“H”を保持する回路のノードは、レベルを保証する回路を設けること。
- (4) 長時間“H”を保持する回路のドライバーMOSトランジスタのしきい値電圧は、他のMOSトランジスタのそれより高いしきい値電圧を用いること。

6.3 64KダイナミックMOS RAMの性能と信頼性

6.3.1 製造プロセス

64KダイナミックMOS RAMの試作は、第3章で示した3重拡散型MOSトランジスタ(T.D.T)を用いた。このときゲート長は $2.0\ \mu\text{m}$ である。

また、第5章の結論より、大容量ダイナミックMOS RAMの動作余裕度の拡大には、加工精度の向上が不可欠である。加工精度を向上させるために、マスクはEB露光により作られ、マスク材料に石英を用いることによって、マスク寸法精度の向上と耐熱、耐歪の特性向上を図っている。さらに、製造プロセスでは、加工精度を向上させるため、ポリシリコンやコンタクト工程にドライエッチ技術や10:1縮小露光装置を用いている。特に、しきい値電圧やコンダクタンス定数のアンバランスを起し易いゲートポリシリコンは、これらの最新の製造技術によって作られた。

ソフトエラー対策としてチップコーティングは有効である。^{(7),(8)}第4章で示したように1000FIT以下のソフトエラー率を得るには $0.09\ \text{pF}$ 以上のメモリセル容量が必要である。しかし、チップサイズの制限や、ゲート酸化膜の信頼性の制限より試作した64KダイナミックMOS RAMのメモリセル容量は、 $0.06\ \text{pF}$ であり、目標値を大幅に下まわっている。このため、 $20\ \mu\text{m}$ の有機樹脂によるスピコートを実施して、ソフトエラーの改善を行なった。

5 MeVのエネルギーをもつ α 粒子の飛程距離は、有機樹脂中で $30\sim 50\ \mu\text{m}$ と短かく、シリコンチップ表面に有機樹脂の層を $40\sim 50\ \mu\text{m}$ 塗布すれば、外来の α 粒子はほとんど遮断できる。 $13\ \mu\text{m}$ の膜厚で約 $1/1000$ にソフトエラー率の改善が期待できるので、 $20\ \mu\text{m}$ の厚みのPIXコーティングで十分である。一方、外来の α 粒子を完全に遮断できても、PIXコーティング材料や、製造プロセスで発生する α 粒子があると十分な改善効果は得られない。本研究

で採用したコーティング材料や他の材料は、グリッド電離箱 (Gridded Ionization Chamber) の測定によると、測定限界の $0.005 \alpha / \text{cm}^2$ 時間以下を示し、パッケージ材料の $1/10$ 以下の α 粒子の発生率であり、実使用上問題ないことを確認している。コーティング技術によって 1000 FIT 以下のソフトエラー率が期待できる。

6.3.2 電気性能

表 6.2 に試作した 64 K ダイナミック MOS RAM の性能を示す。ゲート長 $2.0 \mu\text{m}$ の 3 重拡散型 MOS トランジスタによって $\overline{\text{RAS}}$ アクセス時間 70 nsec をはじめ、優れた特性が得られた。また、電源電流も 260 nsec のサイクル時間で 30 mA であり、低消費電力である。リフレッシュ時間は、Hi-C セルの採用で悪化が考えられたが 200 msec 以上あり、実使用の 2 msec に比べて十分余裕があり、最大動作電圧も製品規格の 7 V に対して十分余裕がある。

また、ソフトエラーは、 $^{241}\text{Am} \cdot 8.4 \mu\text{Ci}$ の放射線源を用いて加速試験した結果、 $V_{\text{CC}} = 5.0 \text{ V}$ 、 $1 \mu\text{sec}$ のサイクル時間で $2 \times 10^6 \text{ device} \cdot \text{hours}$ が得られ、 1000 FIT 以下が得られた。これは、Hi-C メモリセル、ワード線の昇圧、センスアンプ回路の最適化、チップコートによって達成されたと考えられる。

本試作で得られた 64 K ダイナミック MOS RAM の性能指数は、 0.18 pJ/ビット であり、従来の 64 K ダイナミック MOS RAM に比べて 2.5 倍の改善がなされ、 1 K ビットダイナミック MOS RAM に比べると 300 倍以上の改善がなされている。

また、デバイスの動作電圧下限は 2.8 V であり、 $2.8 \text{ V} \sim 10.5 \text{ V}$ の V_{CC} 電圧範囲で動作し、大きな動作余裕度を有していることも確認した。これは 5 章で述べた m 値を 7 に設計したためであると考えられる。また、出力ホールド時間も無限大を保証できている。

表 6.2 64KダイナミックMOS RAMの性能一覧

ワード構成	65536ワード×1ビット
チップサイズ	3.2 mm × 7.38 mm
メモリセルサイズ	7.2 μm × 19.8 μm
プロセス	Nチャンネルシリコンゲート
電源電圧	5V単一, V _{BB} 電圧内蔵
RAS アクセス時間	70 nsec (4.5V, 75℃)
CAS アクセス時間	40 nsec (4.5V, 75℃)
動作電流	30 mA (5.5V, 25℃)
スタンバイ電流	2.8 mA (5.5V, 25℃)
リフレッシュ時間	200msec 以上(75℃)
最大動作電圧	10.5 V 以上
リフレッシュ方式	128サイクル/2msec

6.3.3 信頼性

64KダイナミックMOS RAMでは、ソフトエラーの改善のため、Hi-C セル構造やチップコーティングの新しい技術、また、スケーリング則によってゲート酸化膜の薄膜化、ゲート長の短チャンネル化、フィールドトランジスタの短チャンネル化など、従来の16KダイナミックMOS RAMに比較して厳しいデバイス設計を行っているので信頼性の十分な検討が必要である。

表 6.3 は、64KダイナミックMOS RAMの信頼性試験結果を示している。動作寿命試験では、ホット・エレクトロンによるアクセス時間のドリフトを調べるために低温(−10℃)の試験も行っている。また、ゲート酸化膜が400 Åであるので、その信頼性を十分調べるため、高温動作寿命試験を強化している。

表 6.4 は64KダイナミックMOS RAMのソフトエラーの実施評価結果である。ソフトエラーは目標の1000 FIT (10⁶ device・hours) 以下を十分達成している。

表 6.3 信頼性試験結果

試験項目		試験条件	チェック項目	試料数	不良数
高温動作寿命試験		$T_a = 125^\circ\text{C}$	直流及び交流電	50	0
				50	0
		$V_{CC} = 6.0\text{ V}$	気特性	50	0
				50	1*
		1,000時間		50	0
低温動作寿命試験		$T_a = -10^\circ\text{C}$	直流及び交流電	50	0
		$V_{CC} = 7.0\text{ V}$	気特性	50	0
		1,000時間		50	0
高温保存		$T_a = 150^\circ\text{C}$	直流及び交流電	50	0
		1,000時間	気特性	50	0
熱的シリーズ試験	ハンダ耐熱	260°C, 10秒	直流及び交流電 気 性	150×4 ロット 計 600	0
	熱 衝 撃	-55°C~125°C 15サイクル			0
	温度サイクル	-55°C~150°C 100サイクル			0
プレッシャー クッカー試験		120°C, 29.4PSI	直流及び交流電	50	0
		500時間	気特性	50 50	0 0
耐湿性試験		85°C/85%	直流及び交流電	50	0
		$V_{CC} = 5.5\text{ V}$ 1000時間	気特性	50	0

注 * シリコン酸化膜不良（ハードエラー）

表 6.4 ソフトエラー実装評価結果

試験項目	試験条件	不良判定方法	試料数	不良発生数
システム動作 寿命試験	$T_a = 25^\circ\text{C}$ $V_{CC} = 4.5\text{ V}$ $t = 3000\text{ Hrs}$	連続読み出し動作を 行いながらすべての 出力レベルを判定す る。	100	1*
			100	
			100	
			100	
	$T_a = 25^\circ\text{C}$ $V_{CC} = 4.5\text{ V}$ $t = 1000\text{ Hrs}$		500	0
	$T_a = 20^\circ\text{C}$ $V_{CC} = 5.0\text{ V}$ $t = 1134\text{ Hrs}$	実使用条件 (中型計算機 COSMO-700)	1152	0

* 1ビットエラー(ソフトエラー)

6.4 結 言

64KダイナミックMOS RAMの高性能化, 広い動作余裕度を得るために, 3重拡散型MOSトランジスタ, Hi-C メモリセル, ワード線昇圧方式, 128リフレッシュ方式を採用し, さらに, センスアンプ回路の最適化を行なった。その結果, $\overline{\text{RAS}}$ アクセス時間70 nsec, 消費電力150 mW, 性能指数として0.18 pJ/ビットが得られ, 大幅な高性能化が達成できた。また, m値を7に設計したため, $V_{CC} = 2.8\text{ V} \sim 1.05\text{ V}$ の間で動作し, 広い動作余裕度も達成できた。

一方, 信頼性のデータより, スケールダウンデバイスを用いたにも拘らず, ハードエラーとして100FIT以下, ソフトエラーとして1000FIT以下が確認され, 本研究の成果は工学的応用効果の高いことが明らかになった。

参考文献

- (1) 岡部; "収穫期を迎える 64 K ダイナミック RAM", 日経エレクトロニクス, 1982. 8. 30, PP. 147-168.
- (2) Yogishwar Puri; "Substrate voltage Bounce in NMOS Self-Biased Substate", IEEE J. Solid-State Circuits, vol. SC-13, No.4, PP. 515-519, 1978.
- (3) 谷口, 山田, 態野谷, 小林, 中野; "ダイナミック MOS RAM の基板電圧平滑コンデンサ", 信学論(C), vol. J 65-C, No.7, PP. 530-536, 1982.
- (4) 長山, 宮本, 吉原, 中野; "V_{BB} 電圧の特異現象について", 昭57 信学総合全国大会, P. 2-210.
- (5) M. Taniguchi, T. Yoshihara, M. Yamada, K. Shimotori, T. Nakano and Y. Gamou; "Fully Boosted 64K dynamic RAM with Automatic and Self-Refresh", IEEE J. Solid-State Circuits, vol. SC-16, No.5, PP. 492-498, 1981.
- (6) 益子, 長山, 吉原, 中野; "センスアンプ駆動信号に関する一考慮", 昭57 信学総合全国大会, P.2-205.
- (7) 吉原, 高野, 谷口, 原田, 中野; "MOS ダイナミック RAM のソフトエラー解析", 信学論(C), vol. J 65-C, No.4, PP. 251-256, 1982.
- (8) 北出, 小山, 元木, 光定, 朝倉; "ポリイミド樹脂コーティングによるソフトエラー防止効果", 昭56 信学半導体・材料全国大会, P. 63.
- (9) K. Mashiko, M. Yamada, Y. Nagayama, T. Yoshihara and T. Nakano; "An Effect of the subthreshold Current on Scaled down MOS Dynamic RAM's", IEEE J. Solid-State Circuit Correspondence, To be published.

第7章 結 論

MOS RAMの高速、低消費電力化と動作余裕度の拡大に関する基礎的研究を第2章から第6章にわたって述べた。本章では、本研究で得られた結果を総括して以下に示した。

- (1) 微細パターンを用いずに短チャンネルMOSトランジスタが実現できるDSA MOSトランジスタには、順方向、逆方向、双方向の3つの構成法があることを示し、順方向DSA MOSトランジスタが最も高性能であり、逆方向DSA MOSトランジスタは、使い方に工夫が必要であり、双方向DSA MOSトランジスタは転送トランジスタに適していることを明らかにした(第2章)。
- (2) DSA MOSトランジスタのテール電流、接合リーク電流は通常のMOSトランジスタと同程度であり、全イオン注入法によるDSA MOSプロセスがダイナミックMOS RAMに適用できることを明らかにした(第2章)。
- (3) DSA MOSトランジスタにより性能指数の改善が図られることをE/Dインバータの解析より明らかにし、4KビットダイナミックMOS RAMの試作により、同一設計ルールの通常のMOSトランジスタに比べて1.7倍性能が向上することを明らかにした(第2章)。
- (4) 逆方向DSA MOSトランジスタは、スタティックMOS RAMの転送ゲートに適用可能であり、接合容量の低減から高速化に適した特性を有することを明らかにした(第2章)。
- (5) MOSトランジスタを短チャンネル化したときに、ソース・ドレイン領域の N^+ 拡散層の抵抗、ゲートのポリシリコン抵抗が回路動作に及ぼす影響を明らかにし、その回路設計上の取り扱いを明らかにした(第3章)。
- (6) ダイナミックMOS RAMの高性能化を達成するための重要な3つの要素(ゲート容量、ソース・ドレインの寄生抵抗、MOSトランジスタのコンダクタンス)を明らかにし、これらの要素が満足される3重拡散型MOSトランジスタ(T.D.T)を提案し、通常のMOSトランジスタに比べて $0.4\mu\text{m}$ の短チャンネル化が可能であることを明らかにした。
- (7) 3重拡散型MOSトランジスタをダイナミックMOS RAMに適用すると同一のコンダクタンスの場合、通常のMOSトランジスタに比べて11%以上の高速化が達成できることを明らかにした(第3章)。
- (8) 短チャンネル効果を起こしにくく、ゲート入力容量を小さくできるSAGOS MOSトランジスタを提案し、64KダイナミックMOS RAMに適用した結果、ゲート入力容量の低減により、通常のMOSトランジスタに比べて11%の高速性が得られることを明らかにした(第3章)。
- (9) ダイナミックMOS RAMのセンスアンプ回路の感度をMOSトランジスタの特性式を

用いて解析的に求め、定式化し、センスアンプ回路の高感度化に必要なプロセスパラメータや回路構成上の要因について明らかにした(第4章)。

(10) ソフトエラーがスケーリング則の律速条件になるという考え方に基づいた修正スケーリング則を示し、ソフトエラーを考慮した修正スケーリング則では、ダイナミックMOS RAMの性能指数がスケーリング則に比べて悪化することを示した(第4章)。

(11) 高速、低消費電力、低ソフトエラー率を実現するための新しいデバイス、回路設計法により設計・試作した5V-16KダイナミックMOS RAMの性能指数改善度の実測値と、修正スケーリング則の性能指数改善度がよく一致することから、ソフトエラー率を十分満足させるデバイス・回路設計を行なったときには、修正スケーリング則により性能指数が予測できることを明らかにした(第4章)。

(12) ダミーセルサイズの最適化により約1.5倍、ワード線昇圧法により約10倍のソフトエラー改善が達成できることを示し、大容量ダイナミックMOS RAMでは、回路設計技法からのソフトエラー改善が重要になることを明らかにした(第4章)。

(13) ダイナミックMOS RAMのセンスアンプ回路の設計で、読み出し電圧、センスアンプ回路の感度より動作領域を決める係数 m を定量化し、広い動作領域を得るためには $m=3$ 以上が必要であることを示した。また、デバイスパラメータのばらつきが、微細加工精度のばらつきによって決まることを理論的に明らかにし、微細パターン製造技術を用いた大容量ダイナミックMOS RAMの設計では、デバイスパラメータの加工精度によるばらつきが大きな障害となることを明らかにした(第5章)。

(14) 広い動作領域の64KダイナミックMOS RAMを得るためには、ビット線に64個のメモリセルを接続した128リフレッシュ方式がビット線に128個のメモリセルを接続した256リフレッシュ方式よりも適していることを明らかにした(第5章)。

(15) ダイナミックMOS RAMのアクセス時間の約50%がセンス動作に費やされており、センス時間の高速化がダイナミックMOS RAMの高速化に重要であることを示し、その実現には、ワード線遅延とビット線遅延の和が最小になる回路構成法が必要であり、2層A ℓ によるメモリセル構造が適していることを明らかにした(第5章)。

(16) 本研究で得られた研究成果を64KダイナミックMOS RAMに適用した結果、RASアクセス時間70nsec、消費電力150mW、性能指数として0.18pJ/ビットが得られ、高性能化が達成できた。また、 m 値を7にしたので $V_{CC}=2.8V\sim10.5V$ の間で動作し、広い動作領域が得られた。一方、信頼性でもハードエラー100FIT、ソフトエラー1000

FIT 以下が達成でき、本研究の成果は、工学的応用効果が高いことを明らかにした(第6章)。

最後に、本研究で得られた性能指数の改善を図7.1に示した。本研究の成果により、性能指数は各世代のダイナミックMOS RAMと比較すると2～5倍改善され、そしてその値は、次世代の性能指数とほぼ等しい値まで改善された。

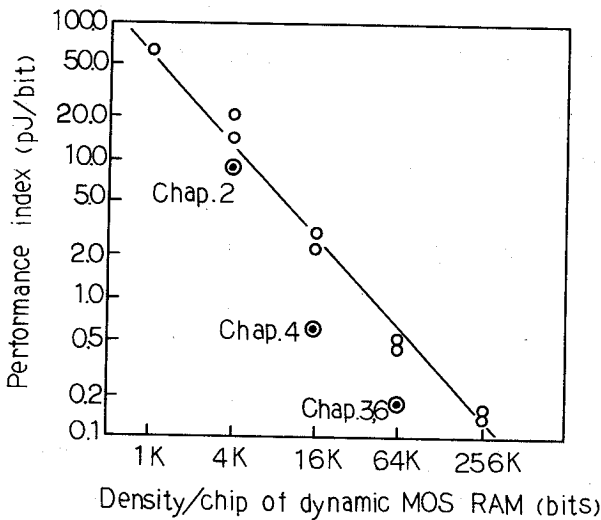


図 7.1 本研究で得られた性能指数の改善度

謝

辞

本論文を結ぶにあたり、本研究を通じて終始親切な御指導と御討論を賜った大阪大学工学部 中井順吉教授に衷心より御礼の言葉を申し上げます。

本研究の遂行および論文作成にあたり、数々の有益な御教示と御忠告をいただいた大阪大学工学部 寺田浩詔教授、滑川敏彦教授、小山次郎教授、埴輝雄教授、中村勝吾教授、裏克己教授に厚く御礼申し上げます。本研究の遂行にあたって、御教示と御鞭撻を賜り、また本研究の機会を与えていただいた三菱電機株式会社 L S I 研究所所長 岡久雄博士、同設計技術部部長 蒲生容仁博士、同プロセス技術部部長 中田秀文博士に厚く御礼申し上げます。

また、本研究の遂行、および論文の作成にあたり数々の御教示、御援助をいただいた三菱電機株式会社 L S I 研究所設計技術部次長 中野隆生博士に厚く御礼申し上げます。

また、本研究のまとめの機会と援助をいただいた三菱電機株式会社北伊丹製作所副所長 柴山恭一博士、第 3 製造部部長 土佐雅宣氏、同設計Ⅲ課課長 樫本裕三氏に厚く御礼申し上げます。

また、本研究の遂行、および論文の作成にあたり、熱心な御討論を通じて数々の有益な御教示、御忠告をいただいた三菱電機株式会社北伊丹製作所主事 谷口真博士、同 L S I 研究所ゲートウェイ設計センターグループマネージャー 大倉五佐雄博士、主事 下西和博氏、主事 吉原務氏をはじめ、L S I 研究所、北伊丹製作所の方々に心から感謝いたします。

研究業績目録

発表論文

- (1) "ダイナミック DSA MOS RAM", 信学論(C), vol. 61-C, No. 7, PP. 448-454, 1978.
- (2) "A 50ns 4K Static DSA MOS RAM", IEEE J. Solid-State Circuits, vol. SC-13, No. 5, PP. 639-646, 1978.
- (3) "スケーリング法を適用した大容量ダイナミック MOS RAM の回路設計", 信学論(C), vol. 64-C, No. 2, PP. 61-68, 1981.
- (4) "ソフトエラーを考慮したダイナミック MOS RAM の回路設計", 信学論(C), vol. 65-C, No. 7, PP. 522-529, 1982.
- (5) "ゲート重なり容量を低減化した MOST による高性能 64K ビットダイナミック RAM", 信学論(C), vol. 65-C, No. 7, PP. 569-575, 1982.
- (6) "Diffusion Length Measurement using Dynamic MOS RAM", J. Japan Appl. Phys., vol. 22, Suppl. 22-1, PP. 95-98, 1983.
- (7) "A 55nsec 64K Dynamic MOS RAM with triple diffused MOS transistor", IEEE Trans. Electron-Devices, To be published.
- (8) "ダイナミック MOS RAM のアクセス時間 解析", 信学論(C), 83-5 掲載予定.
- (9) "MOS ダイナミック RAM のソフトエラーに対する回路設計の影響", 信学論(C), 83-8 掲載予定

ショートノート

- (1) "ダイナミック MOS RAM のセンスアンプ感度の解析", 信学論(C), vol. 61-C, No. 6, PP. 399-401, 1978.
- (2) "An Effect of the Subthreshold current on scaled down MOS Dynamic RAM's", J. Solid-State Circuits Correspondence, To be published.

研究会資料シンポジウム

- (1) "4Kビットスタティック DSA MOS RAM", 電子通信学会, 電子計算機研究会, EC 77-12, PP. 25-34, 1977.
- (2) "スケーリング法を適用した大容量ダイナミック MOS RAM の回路設計", 電子通信学会, 電子計算機研究会, EC 79-46, PP. 31-41, 1979.

学会報告

- (1) "Fully Ion Implanted 4096-Bit High speed DSA MOS RAM", ISSCC Dig. Tech. Papers, PP. 76-77, 1977.
- (2) "Diffusion length Measurement using Dynamic MOS RAM", 14th Cont. Solid-State Devices, PP. 61-62, 1982.
- (3) "High performance Dynamic RAM using Double Aluminum Layer", VLSI symposium Dig. Tech. Papers, PP. 62-63, 1982.
- (4) "A 55nsec 64K Dynamic MOS RAM with triple diffused MOS transistor", IEDM Dig. Tech. Papers, PP. 620-623, 1982.
- (5) "ダイナミック DSA MOS メモリのリーク電流", 昭 52 信学総合全国大会, P. 2-148.
- (6) "MOS トランジスタにおける寄生 CR 時定数の効果", 昭 53 信学総合全国大会, P. 2-29.
- (7) "逆方向 DSA MOS トランジスタのスタティック RAM への応用", 昭 53 信学総合全国大会, P. 2-194.
- (8) "MOS トランジスタにおける寄生 CR 時定数の効果(2)", 昭 54 総合全国大会, P. 2-208.
- (9) "ダイナミック MOS RAM のセンスタイミングとソフトエラー", 昭 56 信学半導体・材料全国大会, P. 58.
- (10) "センスアンプ駆動信号に関する一考慮", 昭 57 信学総合全国大会, P. 2-205.
- (11) " V_{BB} 電位の特異現象について", 昭 57 信学総合全国大会, P. 2-210.