

Title	MOS RAMの高速・低消費電力化と動作余裕度の拡大に 関する基礎的研究	
Author(s)	長山, 安治	
Citation	大阪大学, 1983, 博士論文	
Version Type	VoR	
URL	https://hdl.handle.net/11094/2341	
rights		
Note		

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

# MOS RAMの高速・低消費電力化と 動作余裕度の拡大に関する基礎的研究

# 1983年5月

長 山 安 治

# MOS RAMの高速・低消費電力化と 動作余裕度の拡大に関する基礎的研究

# 1983年5月

山安 長 治

# 内 容 梗 概

本論文は,著者が昭和50年三菱電機株式会社に入社以来,LSI開発センター及びLSI研 究所において行なってきた半導体メモリに関する研究のうち,高速・低消費電力化に関する研究 と動作余裕度の拡大に関する研究をまとめたもので,本文は,7章より構成されている。

第1章 序 論

絶縁ゲート形電界効果トランジスタ(IGFET-MOSFET)を用いた,任意読み出し書き 込み可能なメモリ(<u>Random Access Memory</u>, RAM)の開発経緯と,大容量化およ び MOS RAM の最大重要性能指数である高速・低消費電力化に関する半導体デバイス,回路 設計技術上の研究と,工業的応用上重要な意味をもつ動作余裕度に関する研究の沿革と現状につ いて述べ,本研究の目的と意義を明らかにする。

第2章 MOSトランジスタの高性能化

MOS RAMの高性能化のキーデバイスであるMOSトランジスタの性能向上には、MOSト ランジスタのチャンネル幅、チャンネル長、および物理定数(酸化膜の誘電率、Si中のキャリ ア移動度)と電圧に依存し、構造と電圧が決まれば、チャンネル幅とチャンネル長に依存するコ ンダクタンスの増大が必要である。本研究ではチャンネル形成に微細パターン技術を用いなくて もコンダクタンスを向上できるデバイスとして拡散自己整合形(DSA: Diffusion Self Aligned) MOSトランジスタをとりあげる。本章では、DSA MOSトランジスタの特性. DSA MOSトランジスタををくりあげる。本章では、DSA MOSトランジスタの特性. DSA MOSトランジスタをダイナミック MOS RAM に適用するにあたって問題となるテール 電流、リーク電流の解析を行ない、ダイナミック MOS RAM への適用の可能性を明らかにする。 また、ソース・ドレインを逆接続して動作させる逆方向 DSA MOSトランジスタの解析を行 ない、スタティック MOS RAM への適用の可能性を明らかにする。さらに、4Kビットダイ ナミック MOS RAM およびスタティック MOS RAM の試作・研究を通して、DSA MOSトランジスタの高性能性を実証する。

第3章 内因性遅延と高速化

MOS RAMの動作速度の解析においては、真性トランジスタによる内因性遅延と外部負荷 による外因性遅延に分離して検討する必要がある。本章では、MOS RAMの高速化に対し内 因性遅延を検討する。内因性遅延の主な原因は、ゲート容量が MOS RAMの負荷容量の50 %を占めること、ゲートとソース・ドレイン間の重なり容量がミラー容量として働くこと、さらに寄生 抵抗による遅延であることを明らかにする。本章では、ゲートとソース・ドレイン間の重なり容 量を低減化し、ソース・ドレインの寄生抵抗も低減化した8重拡散型MOSトランジスタ(T.D.T; Triple Diffused MOS Transistor)を提案し、超LSIの基本デバイスとして の有用性を明らかにする。また、T.D.T の実用改良型のSAGOS(Self Aligned Small Gate Overlap Structure)MOS トランジスタの提案を行ない、その特性解析から 有用性を明らかにする。

## 第4章 MOS RAMの動作余裕度

本章では、MOS RAM の回路動作上重要な意味をもつセンスアンプ回路の感度をMOSト ランジスタの特性より解析的に求め、その感度とデバイスパラメータの対応を定式化し、センス アンプ回路を高感度化するための方針を明らかにする。また、比例縮小則(スケーリング則)に 基づいて進展してきたMOS RAMのデバイス、回路設計に、パッケージ及びデバイス構成材 料から放射されるα線によりMOS RAMが誤動作するソフトエラーが与えた影響を定量的に 解析し、ソフトエラーを考慮した修正スケーリング則を提案する。さらに、修正スケーリング則 を適用したメモリ容量決定法を示し、高速化、高性能化を実現するための新しい回路構成法を提 案する。提案した修正スケーリング則の妥当性を、12V-16KダイナミックMOS RAM と 5V-16KダイナミックMOS RAM の比較により明らかにする。

### 第5章 MOS RAMの最適構成

MOS RAM用センスアンプ回路の設計において,読み出し電圧,センスアンプ回路の感度, 動作領域を決める係数をデバイスパラメータの変動を含めて定量化し,センスアンプ回路の設計 指針を明らかにする。さらに,MOS RAMの安定動作にとって,デバイスパラメータの加工 精度によるばらつきが非常に大きな障害となっていることを明らかにし,64Kダイナミック MOS RAMでは128リフレッシュ方式が十分広い動作領域を得るためには有利であること を明らかにする。また,アクセス時間解析のモデルを提案し,高速化のための最適構成法と指針 を明らかにする。

第6章 高性能64KダイナミックMOS RAMへの工学的応用

本章では,第2~第5章の研究成果を高性能64KダイナミックMOS RAMに適用し,その工学的応用効果を,電気特性評価,信頼性特性評価により明らかにする。

# 第7章 結 論

MOS RAMの高速,低消費電力化と動作余裕度の拡大に関する基礎的研究の第2章から第 6章までの研究成果を総括して,本研究の結論とする。

第1章 序 論	1
1.1 関連分野の研究の歴史的概要 ·····	1
1.2 問題点の概要と本研究の目的	6
第2章 MOSトランジスタの高性能化	12
2.1 序	12
2.2 DSA MOSトランジスタのダイナミックMOS RAMへの適用	12
2.2.1 DSA MOSトランジスタの特性	12
2.2.2 伝達特性とDSA MOSトランジスタの最適適用領域	24
2.2.3 DSA MOSトランジスタの4KダイナミックMOS RAMへの適用と	
その電気特性	26
2.3 DSA MOSトランジスタのスタティックMOS RAMへの適用	30
2.3.1 逆方向DSA MOSトランジスタによる高速化	30
2.3.2 DSA MOS トランジスタの4KスタティックMOS RAM への適用と	
その電気特性	31
2.4 結 言	34

第3章 内因性遅延と高速化	38
8.1 序	38
8.2 MOSトランジスタの寄生抵抗	38
8.8 高性能ダイナミックMOS RAMと構成デバイスの具備条件	42
3.3.1 MOSトランジスタ特性(ゲート長の短チャンネル化)	42
<b>3.3.2 寄生抵抗(寄生CR時定数の低減)</b>	43
3.3.3 寄生容量(負荷容量の低減)	43
8.4 3重拡散型MOSトランジスタ(T.D.T)	45
3.4.1 デバイス構造とプロセス	45
3.4.2 3 重拡散型MOSトランジスタの特性	47
3.4.3 3重拡散型MOSトランジスタを用いた64KダイナミックMOS RAMと	
その電気特性	52

344	3 重拡散型 MOSトランジスタの高姓能性	 5	5
U. I. I		· · · ·	v

- 8.5 ゲート重なり容量を低減化した(SAGOS)MOSトランジスタ ………… 59

  - 3.5.3 SAGOS MOSトランジスタの64KダイナミックMOS RAMへの適用

第4章 MOS RAMの動作余裕度	68
4.1 序	68
4.2 センスアンプ感度の定量化	69
4.2.1 センスアンプ感度の導出	69
4.2.2 定量化したセンスアンプ感度の妥当性の検討	71
4.3 ソフトエラーを考慮したダイナミックMOS RAMの回路設計	73
4.3.1 ソフトエラーを考慮したメモリセル容量の決定法	73
4.3.2 修正スケーリング則	75
4.3.3 修正スケーリング則による5V-16KダイナミックMOS RAMの回路設計	76
4.3.4 修正スケーリング則の妥当性の検討	83
4.4 ソフトエラーと回路設計	85
4.4.1 ソフトエラーとダミーセル容量	85
4.4.2 ソフトエラーとワード線電位	86
4.5 結 言	89
第5章 MOS RAMの最適構成	93
5.1 序	93
5.2 安定動作の条件式	94
5.3 デバイスパラメータの製造上のばらつき	95
5.4 微細パターン製造技術を用いたダイナミックMOS RAMの設計理論	97
5.4.1 加工精度のばらつきがスケールダウンされない場合の設計理論	97
5.4.2 加工精度のばらつきがスケールダウンされる場合の設計理論	99

- 5.4.3 64KダイナミックMOS RAMのリフレッシュ方式の検討 …………… 100
- 5.4.4 64KダイナミックMOS RAMの設計指針 ………………………………………………………102

5.5 設計理論の64KダイナミックMOS RAMへの適用とその電気特性	104
5.6 ダイナミックMOS RAMのアクセス時間の解析	106
5.6.1 アクセス時間解析のモデル	106
5.6.2 ワード線, ビット線の遅延	107
5.6.3 センスアン プ感度保証時間	110
5.6.4 高速化の要因	110
5.7 2 層 A ℓ 構造による高性能化	112
5.7.1 2層Aℓ 構造のダイナミックMOS RAMの試作	112
5.7.2 電気特性の比較	113
5.8 結 言	115
第6章 高性能64KダイナミックMOS RAMへの工学的応用	118
6.1 序	118
6.2 64KダイナミックMOS RAMの構成	118
6.2.1 64KダイナミックMOS RAMの仕様	118
6.2.2 チップ構成	123
6.3 64 KダイナミックMOS RAMの性能と信頼性	127
6.3.1 製造プロセス	127
6.3.2 電気性能	128
6.3.3 信頼性	129
6.4 結 言	131
第7章 結 論	133

謝	辞		136
研究美	<b>č績</b> 目錡	ŧ	137

# 第1章 序 論

# 1.1 関連分野の研究の歴史的概要

大規模集積回路(LSI)の開発は,チップ当りの機能の向上と高性能化による付加価値の 向上の歴史であると言っても過言ではない。チップ当りの機能の向上は,集積密度の向上を必 要とし,電子機器の高実装密度化,高性能化に大きな役割を果たし、高性能化はチップの消費電 力の低減や高速化であり,電子機器の高性能化に大きな役割を果たしている。一方,チップ当り のコストは,強い市場要求により低下し,LSIの新しい応用分野につながっている。特に,チ ップ当りのコスト低下は,集積密度の向上と1対1に対応するため,高集積化技術の研究,開発 は強力に推進されている。

このようなLSI開発の歴史は、MOS LSI特にダイナミックMOS RAMにおいてよ り鮮明に現われている。表1.1にダイナミックMOS RAMの研究開発の技術推移を示す。高 集積化についてみると1チップ当りのビット数の増加がほぼ3年で4倍の割合で増大しており、 現在では256KダイナミックMOS RAMの研究・開発が行なわれている。

表1.1 ダイナミック MOS RAMの技術推移

(1)(3トランジスタメモリセル) 1KダイナミックMOS RAM 1970年 (2)4KダイナミックMOS RAM (1トランジスタメモリセル) 1972年 (3) 16KダイナミックMOS RAM (アドレス多重化, 2層ポリシ 1976年 (9), (10), (11) (5), (6), (7), (8) (5V単1電源) 1978年 64 KダイナミックMOS RAM (12), (13) (ゲート材料の低低抗化) 1980年 256KダイナミックMOS RAM

これらの高集積化は、主に1ビットを構成するメモリセルのトランジスタ数を3個から1個に減 (2) らしたことや、微小信号を増幅するセンスアンプ回路などの回路技術の進歩と、デバイス寸法の 微細化、三次元方向への集積化、チップの大型化など製造技術の進歩により達成されている。1 トランジスタ型のダイナミックメモリセルは、1個のトランジスタと1個のMOSキャパシタか らなり、実用化されている記憶素子の最小の大きさとなっているが、更に高集積化を達成するた (19) め、1トランジスタのみによって構成されるメモリセルの研究も行なわれている。また、三次元 方向の集積化では、1トランジスタ型メモリセルの場合、1層ポリシリコンセルから2層ポリシ (3) リコンセルへ進展し、3層ポリシリコンによるメモリセルや、接合容量を上手く使ったメモリセ (2) ルの実用化が行なわれている。図1.1は集積密度とメモリセルサイズの関係を示している。4K ダイナミックMOS RAMでは、1層ポリシリコンメモリセルで1400/am<sup>2</sup>の面積であった



図1.1 ダイナミックMOS RAM のメモリセル面積推移



図 1.2 ダイナミック MOS RAM のチップ面積推移

が,64KダイナミックMOS RAM では2層ポリシリコンと微細化により180 µm<sup>2</sup>が実現 されている。一方,1つのチップに集積化するメモリセル数が増すとチップ面積が増大する傾向 がある。図1.2はその様子を示している。チップ面積の増大が可能になったのは、LSI内のパ ターン欠陥密度を低下させた超清浄化技術の発展と、同一シリコンウエハから得られるチップ数 の増大が期待できるシリコンウエハの大口径化技術の進歩によるところが大きい。これらの技術 開発により、64KダイナミックMOS RAMでは29 mdのチップが歩留良く生産されてい る。

ダイナミックMOS RAMの高集積化は,材料技術,製造技術,デバイス技術,回路技術, システム技術の総合的な発展により達成されたものであるが,中でもイオン注入技術,ドライ加 工技術,電子ビーム露光技術,縮小投影露光技術の開発などの製造技術の発展が,デバイスの精 密加工,微細加工を可能とし,高集積化の原動力となっている。

また,高性能化の歴史についてみると、1KダイナミックMOS RAMで800nsecであったアクセス時間は、最近の64KダイナミックMOS RAMでは120nsecと2.5倍の改善がなされ、消費電力でも420mWから250mWへと約2倍の改善が達成されている。その推移を図1.3と図1.4に示す。ダイナミックMOS RAMの高性能化の歴史は、1ビットが消費するエネルギーを示すビット当りの消費電力・遅延時間積(P・D積)の低減の歴史であるということができる。本研究ではP・D積/ビットを性能指数と定義している。高集積化と性能指数改善の推移を図1.5に示す。1KダイナミックMOS RAMでは65pJ/ビットであった



図1.3 ダイナミックMOS RAMのアクセス時間推移



ダイナミックMOS RAMの消費電力推移 図 1.4

RAMでは0.45pJ/ビットに150倍改善され ものが,最近の64KダイナミックMOS ている。これらの高性能化は,微細加工技術による高集積化,高速,低消費電力の回路設計技術 の進展、プロセスの清浄化技術、イオン注入技術によるPチャンネルMOSトランジスタから移 動度の3倍大きいNチャンネルMOSトランジスタへの移行,素子の精密加工,拡散の制御性の 向上による電源電圧の低減(4K,16K:12V→64K:5V)によって達成されている。



Density/chip of dynamic MOS RAM (bits)

#### 性能指数の改善度 図 1.5

一方,コスト/ビットの低下の推移を図1.6に示す。ビット当りの単価はこの10年で約1/ 100に低下している。この単価の低下は,微細加工技術や,メモリセルサイズを低下させたデ バイス技術,微小信号を安定に処理できる回路技術等による高集積化と,大口径ウェハによる量 産ラインの整備によって達成されている。このコスト/ビットの低下は,ダイナミックMOS RAMの新しい応用分野の拡大に大きく寄与している。頭初,ダイナミックMOS RAMの応



図1.6 ダイナミックMOS RAMのビット価格の推移

用分野は計算機関係に限定されていたが、最近ではオフィスオートメーション機器としてのワー ドプロセッサーや電子タイプライター、更に民生機器のテレビゲームにも使用され、その需要は 指数関数的に増大している。具体的には、4KダイナミックMOS RAMが、1978年に8 千万個、16KダイナミックMOS RAMが1981年に25千万個使用されており、64K ダイナミックMOS RAMでは、1985年に70千万個の需要が予測されている。

このように、高集積化(大容量化)と高性能化、および低価格化の3つの大きな柱によって大容量ダイナミックMOS RAM の開発は進展し、電子機器の経済性の向上、性能向上により、更に広範な応用分野の拡大を可能とし、情報化時代の担い手として増々その地位は産業全般の中で 重要になってくると考えられる。

一方、ダイナミックMOS RAMの開発を技術的にとらえると、ダイナミックMOS RAM の重要な技術開発項目は、微細加工技術、ウエハの大口径化技術、高性能デバイス 技

術,回路技術である。高集積化,高性能化を可能とする基本的考えは,Dennardらに よって提唱されたスケーリング則に則っている。この考えを基本として,メモリセル面 積の縮小がなされ,高集積化が達成され,また,1ビットの性能指数の向上が達成された と考えることができる。

しかしながら、ダイナミックMOS RAMの開発の歴史の中で、1978年にT.C May らによって発表されたパッケージおよびデバイス構成材料から放出されるα粒子によるダイナミ ックMOS RAMのソフトエラーは非常に大きな衝撃を与える事柄であった。それ以来、ソフ トエラーは高集積ダイナミックMOS RAMの重要な技術開発項目となり、チップ自身のα粒 (20,60,60) 子耐量の強化、パッケージ材料からのα粒子発生の低減、チップコーティングによる遮へい効果 の研究が活発に行なわれている。

また、ダイナミックMOS RAMの微細化による高性能化は、メモリセルの情報エネルギー が小さくなり、ダイナミックMOS RAMの動作余裕度の低下を引きおこすことが予測され、 いかに拡大を図るかという研究も行なわれている。そのための研究項目は、基板電位発生回路の <sup>(30)</sup> オンチップ化による基板ノイズの研究、センスアンプ感度の向上の研究とメモリセル蓄積電荷量 増大の研究である。

## 1.2 問題点の概要と本研究の目的

1.1節で述べた大容量ダイナミックMOS RAMの開発の歴史を熟考すると、デバイス構造、 デバイス特性に関して、高性能化、大容量化するための律速条件は何かを明確にする必要がある こと、動作余裕度を拡大するために、動作余裕度の定量化が必要であることがわかる。そこで、 本研究は、大容量ダイナミックMOS RAMの高性能化と大容量化、更に動作余裕度の拡大に 関して、その問題点を明確化すると共に、改善の方法を提案することを目的としている。

1.1節でダイナミックMOS RAMの高性能化,高集積化を達成するためには,材料,製造, デバイス,回路などの各技術の総合的な発展が必要であることを述べたが,本研究では,これら の各技術の中で,デバイス,回路技術による高性能化,大容量化の達成方法と,動作余裕度の拡 大に関して回路技術より得られる改善手段について検討している。

第2章では、高性能ダイナミックMOS RAMを達成するために必要な構成MOSトランジ スタの高性能化の研究を行なっている。MOSトランジスタの高性能化は、コンダクタンスの増 大であり、微細加工技術を用いなくともコンダクタンスを増大できる拡散自己整合形(DSA: Diffusion Self Aligned) MOSトランジスタの特性の解析を行ない、その性能を明らか にする。また、DSA MOS トランジスタのダイナミックMOS RAM やスタティックMOS RAMへの適用の可能性を明らかにする。

第3章では,高性能ダイナミックMOS RAMを達成するために必要な内因性遅延の減少の 研究を行なっている。内因性遅延は,寄生容量や寄生抵抗によって発生するので,それらを低減 化した3重拡散型MOSトランジスタ(T.D.T:<u>T</u>riple <u>D</u>iffused MOS <u>T</u>ransistor) の提案を行ない,デバイス特性の解析から高性能化に適合していることを明らかにする。また, 3重拡散型MOSトランジスタの実用改良版である寄生容量を低減できるSAGOS(<u>S</u>elf <u>A</u>ligned Small <u>Gate Overlap Structure</u>)MOSトランジスタを提案し,特性解析か ら高性能性を有していることを明らかにする。

第4章では,微小エネルギーを取り扱う高集積ダイナミックMOS RAMの動作余裕度を拡 大するために動作余裕度を決定している因子の解析を行ない,その問題点を明らかにする。また, ソフトエラーが動作余裕度を低下させるのでその研究を行ない,ソフトエラーを考慮した指導原 理,修正スケーリング則を提案しその実証を行なっている。

第5章では、動作余裕度を拡大するための大容量MOS RAMの最適構成の研究を行なっている。動作余裕度を定量的に考察し、動作余裕度のモデルを提案する。また、このモデルとスケーリング則を結合した大容量ダイナミックMOS RAMの設計理論を提案し、その理論の実証を行なっている。

第6章では,第2章~第5章において得られた結論を,64KダイナミックMOS RAMに 適用し,本研究で得られた成果が,工学的応用上問題がないことを明らかにする。

第7章では,第2章~第6章で得られた結論を総括的に述べる。

# 参 考 文 献

- W. Regitz and J. Karp; "A three transistor cell, 1024 bit, 500ns MOS RAM", ISSCC Dig. Tech. Papers, PP.42-43, 1970.
- (2) J.A. Karp, W.M. Regitz and S. Chou; "A 4096 bit dynamic MOS RAM", ISSCC Dig. Tech. Papers, PP. 10-11, 1972.
- C.N. Ahlguist, J.R. Breivogel, T.J. Koo, J.L. McCollum,
   W.G. Oldham and A.L. Renniner; "A 16K dynamic RAM",
   ISSCC Dig. Tech. Papers, PP. 128-129, 1976.
- P.R. Schröeder and R.J. Proebsting; "A 16K x 1 bit dynamic RAM", ISSCC Dig. Tech.Papers, PP. 12-13, 1977.
- H. Yoshimura, M. Hirai, T. Asaoka and H. Toyoda; "A 64K bit MOS RAM", ISSCC Dig. Tech. Papers, PP. 148-149, 1978.
- (6) D.V. Essl, R. Losehand and B. Rehn; "A 64Kb VMOS RAM", ISSCC Dig. Tech. Papers, PP. 148-149, 1979.
- (7) I. Lee, R.T. Yu, F.J. Smith, S. Wong and M.P. Embrathiry;
  "A 64Kb MOS Dynamic RAM", ISSCC Dig. Tech. Papers, PP. 146-147, 1979.
- (8) R.P. Cenker, D.G. Clemons, W.R. Huber, J.B. Petrizzi, F.J. Procyk and G.M. Trout; "A Fault-Tolerant 64K Dynamic RAM", ISSCC Dig. Tech. Papers, PP. 150-151, 1979.
- K. Itoh, R. Hori, H. Masuda and Y. Kamigaki; "A single 5V 64K Dynamic RAM", ISSCC Dig. Tech. Papers, PP. 228-229, 1980.
- L.S. White, J. Nagai, H. Hong, D.J. Redmine and G.R. Mohan Rao; "A 5V-only 64K Dynamic RAM", ISSCC Dig. Tech. Papers, PP. 230-231, 1980.

- 8 -

- (11) S.S.Eaton, D. Wooten, W. Slemmer and J. Brady; "A 100ns 64K dynamic RAM using redundancy techniques", ISSCC Dig. Tech. Papers, PP. 84-85, 1981.
- S. Matsue, H. Yamamoto, K. Kobayashi, T. Wada, M. Tameda T. Okuda and Y. Inagaki; "A 256K Dynamic RAM", ISSCC Dig. Tech. Papers, PP. 232-233, 1980.
- (13) T. Mano, K. Takeya, T. Watanabe, K. Kiuchi, T. Ogawa and K. Hirata; "A 256K RAM Fabricated with Molybdenum-Polysilicon Technology", ISSCC Dig. Tech. Papers, PP. 234-235, 1980.
- (14) K.U. Stein, A. Sihling and E. Deoring; "Storage array and sense/refresh circuit for single-transistor memory cells", IEEE J. Solid-State Circuits, vol. SC-7, No.5, PP. 336-340, 1972.
- (15) W.T. Lynch and H.J. Boll; "Optimization of the latching pulse for dynamic flip-flop sensors", IEEE J. Solid-State Circuits, vol. SC-9, No.2, PP. 49-55, 1974.
- (16) L.G. Geller, D.P. Spanpinate and L.Y. Yao; "High-sensitivity charge-transfer sense amplifier", IEEE J. Solid-State Circuits, vol. SC-11, No.5, PP. 596-601, 1976.
- (17) L.G. Heller; "Cross-coupled charge transfer sense amplifier", ISSCC Dig. Tech. Papers, PP. 20-21, 1979.
- (18) John J. Barnes and John Y. Chan; "A high performance sense amplifier for a 5V dynamic RAM", IEEE J. Solid-State Circuits, vol. SC-15, No.5, PP. 831-839, 1980.
- (19) P.K. Chatterjee, G.W. Taylor and M. Malwah; "Circuit Optimization of the Taper Isolated Dynamic Gain RAM cell for VLSI Memories", ISSCC Dig. Tech.Papers, PP. 22-23, 1979.

- 9 -

- (20) C.G. Sodini and T.I. Kamins; "Enhanced Capacitor for One-Transistor Memory Cell", IEEE Trans. Electron-Devices, vol. ED-22, No.4, PP. 1187-1189, 1976.
- (21) A.F. Tash, Jr., P.K. Chatterjee, H.S. Fu and T.C. Holloway; "The Hi-C RAM Cell Concept", IEEE Trans. Electron-Devices, vol. ED-25, No.1, PP. 33-42, 1978.
- M. Yamada, M. Taniguchi, T. Yoshihara, S. Takano,
  H. Matsumoto, T. Nishimura, T. Nakano and Y. Gamou; "Soft error Improvement of Dynamic RAM with Hi-C Structure", IEDM Dig. Tech. Papers, PP. 578-581, 1980.
- R.H. Dennard, F.H. Gaensslen, H.N. Yu, V. Rideout,
  E. Passous and A.R. Leblanc; "Design of ion-implanted MOSFET's with very small physical dimensions", IEEE J. Solid-State circuits, vol. SC-9, No.5, PP. 256-268, 1974.
- (24) T.C. May and M.H. Woods; "A New physical mechanism for soft error in dynamic memories", Proc. 1978 Int. Reliability Phys. Symp., PP. 33-40, 1978.
- (25) T.C. May and M.H. Woods; "Alpha-Particle-Induced Soft Errors in Dynamic Memories", IEEE Trans. Electron-Devices, vol. ED-26, No.1, PP. 2-9, 1979.
- (26) K. Mitsusada, H. Katto and T. Toyabe; "Design for Alpha Immunity of MOS dynamic RAM's", IEDM Dig. Tech. Papers, PP. 36-39, 1981.
- (27) S. Satoh, M. Denda and T. Fukumoto; "Soft error Improvement in MOS RAM's by the use of Epitaxial Substrate", 12th Conf. on Solid-State-Devices Tech. Dig., PP. 63-64, 1980.
- (28) 吉原,高野,谷口,原田,中野; "MOSダイナミックRAMのソフトエラー解折",信学論(C), vol. J65--C, №4, PP. 251-256, 1982.

- (29) H. Masuda, R. Hori, Y. Kamigaki, K. Itoh, H. Kawamoto and H. Katto; "A 5V-only 64K Dynamic RAM Based on High S/N Design", J. Solid-State Circuits, vol. SC-15, No.5, PP. 846-853, 1980.
- (30) N. Ieda, E. Arai, K. Kiuchi, Y. Ohomori and K. Takeya; "A 64K MOS RAM design", J.Japan Appl. Phys., vol. 17, No. 1, PP. 57-63, 1978.
- (31) 下酉,長山,中野; "ダイナミック MOS RAMのセンスアンプ感度",信学論(C)
   vol.J61-C, Na6, PP. 399-401, 1978.
- (32) Y. Tarui, Y. Hayashi and T. Sekigawa; "Diffusion selfaligned MOST: A new approach for high speed device", Proc. 1st Conf. Solid-State Devices, Tokyo, 1969, Oyo Butsuri (J. Japan Soc. Appl. Phys.), vol. 39, Suppl., PP. 105-110, 1970.

# 第2章 MOSトランジスタの高性能化

# 2.1 序

ダイナミックMOS RAMの高性能化には、構成MOSトランジスタのコンダクタンスの増 大が必要であり、その改良方法の1つとしてR.H.Dennard らによって提唱されたスケーリン グ則がある。一方、同種、同程度の製造技術で形成された通常のNMOSトランジスタに比べ、 コンダクタンスの増大に必要なチャンネル長を微細化でき、高速動作が可能な拡散自己整合形 (2),(3) (DSA: Diffusion Self Aligned) MOSトランジスタが提案されている。しかし、LSI に適用し一層の高速、高集積化を達成するためには基本デバイス構造および製造方法の検討、改 善が必要であり、新しいプロセス方式の研究、開発が望まれている。DSA MOS トランジスタ は、p、n両不純物の拡散深さの差によりチャンネル長を決定し、1  $\mu$ m 以下の実効チャンネル 長を容易に実現できる利点をもっており、ドレイン耐圧の低下を招きにくく、MOS RAM の高 速化の要件を満足している。しかし、DSA MOS トランジスタのしきい値電圧は、p、n両不 純物の基板内における分布に依存し制御性に難があること、負荷容量の大きい回路では、駆動能 力の点で短チャンネル特性の良さが十分発揮されないなどの問題点があり、MOS RAM への応 用は困難とされてきた。本研究では以上の問題点に対し次の検討を行なっている。

2.2節においては、しきい値電圧制御性が優れている全イオン注入プロセスの概要と、DSA MOSトランジスタの優れた短チャンネル特性について検討する。また、DSA MOSト ランジスタをダイナミックMOS RAMに適用するに当り、記憶保持時間を満足させるための テール電流や接合リーク電流について検討する。更に、DSA MOSトランジスタをLSIに 適用する場合に、そのデバイスが有する優れた特性が、LSIの特性にどのような効果をもたら すかについて検討する。

2.8節においては、ソース端の接合容量の低減が可能となる逆方向DSA MOSトランジスタ を提案し、逆方向DSA MOSトランジスタの高性能性について明らかにする。

# 2.2 DSA MOSトランジスタのダイナミックMOS RAMへの適用

### 2.2.1 DSA MOSトランジスタの特性

2.2.1.1 基本デバイスのプロセス

従来, DSA MOSトランジスタにおける2重拡散領域の形成には不純物拡散法として熱拡散 法が用いられ,又,素子間分離法はプレーナ方式,ゲート構造はアルミゲート構造が用いられて (2),(3) きた。しかし、この構造では、ゲート電極とソース・ドレイン領域の相互位置が自己整合されて いないこと、デバイス面積が大きく、またゲートとドレインのミラー容量が大きいこと、さらに p型不純物拡散領域およびソース・ドレイン領域への不純物の導入が熱拡散で行なわれているた め、不純物量の精密制御が困難となり、しきい値電圧や電気特性の再現性が乏しい欠点があった。 そこで、これらのデバイス構造上の問題を解決するため、不純物導入を全てイオン注入で行ない 高集積化が可能で、かつ一層微細化が容易な新しいデバイス構造を実現し、しきい値電圧等の精 密制御を達成したのが、全イオン注入法によるπプレーナ形シリコンゲートDSA MOSトラ ンジスタである。表 2.1、図 2.1 に製造工程を示す。また、この製造工程は次のような特徴を有 している。



図 2.1 DSA MOSトランジスタの製造プロセス工程

# 表 2.1 全イオン注入法によるシリコンゲートDSA MOS トランジスタの製造工程

 $\bigcirc$ 窒化膜生成 分離写真製版 Ο Ο 分離拡散(ほう素,イオン注入) Ο 分離酸化膜生成 🖾 2.1 (a) Ó ゲート酸化膜生成 図.2.1 (b) Ó 多結晶シリコン膜生成 O 多結晶シリコン写真製版 図 2.1 (c) 0 エンハンスメント拡散(ほう素イオン注入) 🕅 2.1 (d) | (ベース領域形成) Ο ソース・ドレイン拡散(リン又は砒素イオン注入) 図2.1(e) 拡散配線写真製版 Ο Ο リンガラス膜牛成 Ó リン拡散 図 2.1(f) Ò コンタクト写真製版 Ó アルミニウム蒸着 Ο アルミニウム写真製版 🖾 2.1 (g)

- (1) 分離酸化膜を選択酸化法で形成するため、分離酸化領域と分離拡散領域が自己整合され、高 集積化がはかれると共に、デバイス表面の段差が軽減され、微細加工しやすい。
- (2) シリコンゲート構造であるため、ゲート電極とp型不純物領域、ソース・ドレイン領域の相互位置が完全に自己整合され、ミラー容量が減少する。
- (3) 分離領域,デプレッション形負荷トランジスタのチャンネル領域,DSA MOSトランジ スタのp型不純物拡散領域,両トランジスタのソース・ドレイン領域形成時の不純物拡散には 全てイオン注入法を用いているので不純物濃度の制御性が良く,しきい値電圧の制御性が良い。
- (4) ソース・ドレイン領域のゲート近傍以外のうすい酸化膜を除去し、分離酸化膜の一部となる 厚いリンガラス(PSG)膜を形成し、この膜から高濃度のリン拡散を行なっているため、ゲ ート近傍は拡散深さが浅く、その他の部分は深い構造となっている。
  - (a) 拡散配線部分は、PSG膜からの拡散によって十分低抵抗な拡散層(10~20Ω/□) が形成されるため、ソース電圧の浮き上がり、ドレイン電圧の低下が防止できる。
  - (b) ソース・ドレイン拡散領域とアルミニウム配線とのコンタクト部分の拡散深さはアルミニ

-14-

ウムの異常拡散による短絡を防止できる程度(1.0 ~1.5 μm)に深く,一方,ソース・ド レインのゲート近傍の拡散深さは,後述の短チャンネル効果を制御するため浅くする(0.5 μm 程度)ことができる。

2.2.1.2 基本デバイスの特性

DSA MOSトランジスタの特徴は、ホウ素の拡散によるp形領域(ベース領域)によって チャンネル長が決められることであり、NMOSトランジスタよりも短チャンネル化が可能なた め、十分大きなコンダクタンスの増大が可能となる。

図2.2に同一のゲート長を有するNMOSトランジスタとDSA MOSトランジスタの比較 を示す。DSA MOSトランジスタの特性は、ベース領域をエンハンスメント形MOSトラン



図 2.2 DSA MOS トランジスタとNMOS トランジスタの比較

ジスタのチャンネル長,  $\pi$ 領域をデプレッション形MOSトランジスタのチャンネル長とした2 (19) 個のトランジスタの直列接続で近似するE/Dモデルで説明できることが知られている。 ゲート電圧が低い領域では,エンハンスメント形MOSトランジスタで特性が支配され,NMOSト ランジスタに比べて4倍程度の大きなドレイン電流が流せる。一方,ゲート電圧が大きくなると チャンネル長の短かいベース領域に電界が集中し,速度飽和を起こすためにNMOSトランジス タに比べて ID値の変化量は小さくなる。しかし,図2.2に示したように同一のゲート長を有す る場合には全ての電圧領域において,NMOSトランジスタに比べてコンダクタンスが大きい特性を示している。

DSA MOSトランジスタの構造としては,図2.3 に示した3種類が提案されている。(a)は 図2.2 に示した特性を得た電圧の印加関係の場合,また(b)は,(a)と逆に,ベース領域をドレイン とした電圧を印加した場合,(c)はソース・ドレインの両方向にベース領域を形成した構造になっ ている。また,それぞれの接続状態のときの静特性を図2.4 に示す。2 重拡散がなされている領 域に接続した電極が高電位のときは,低電位側の電極に向って空乏層が広がりやすく,チャンネ ル長変調を受けていることがわかる。これは,片側にのみベース領域が形成されているDSA MOSトランジスタが,ソース・ドレインに関して対称な特性を必要とする転送ゲートに応用し



図2.3 DSA MOS トランジスタの構造

にくいことを意味している。従って、DSA MOSトランジスタの転送ゲートには、図2.3(c) で示した双方向DSA MOSトランジスタが適している。双方向DSA MOSトランジスタ は、ベース領域がソース・ドレイン近傍の2個所に形成されるため、チャンネル長が2倍となり、 ドレイン電流が1/2となる。しかし、パンチスルー電圧の向上がはかれる利点がある。また、

-16-



(a) 順方向DSA MOSトランジスタ



(b) 逆方向DSA MOSトランジスタ



(c) 双方向DSA MOSトランジスタ

図2.4 各種DSA MOSトランジスタの静特性

通常のDSA MOSトランジスタの製造方法では、ベース領域形成のときホトレジストの一端 がポリシリコンゲートに重なるようにマスク合せする必要があり、重ね合せ精度の点から、ゲー ト長を短くするのが困難であるが、双方向DSA MOSトランジスタはマスク合せ精度が厳し くなると、ゲート長を小さくできる特徴もある。

図 2.5は、順方向DSA MOSトランジスタと逆方向DSA MOSトランジスタのBVJ (接合ブレークダウン)とBVDS(ソースドレインブレークダウン)のゲート電圧依存性を示し (10) ている。BVDSはゲート電圧が低い領域では小さく、ゲート電圧が高くなると大きくなる。一方 BVJ はゲートと基板間電圧が大きくなる程増大する。逆方向DSA MOSトランジスタでは、 N<sup>+</sup>-P-\pi 接合によってBVJ が小さくなるが、BVJがVG によって制御される領域では、  $V_{G}$ の小さな範囲を除いて  $BV_{DS}$ が  $BV_{J}$ に比例する。順方向 D S A MO S トランジスタについても  $BV_{J}$ の値が高い他は同じ傾向を示す。通常構造の N MO S トランジスタの降伏特性は、 ラテラル n p n トランジスタの  $BV_{CEO}$  と  $BV_{CBO}$ の関係に類似したアバランシェ降伏であると考えられている。そこで、DSA MOS トランジスタにおいて、ゲート長、しきい値電圧を種々変えて同様の測定を行なった結果、 $V_{G}$ が 8V 以上において  $BV_{DS} = BV_{J} / \sqrt{h_{FE}}$ の関係が得られた。従って基板が高比抵抗(100~200Ω·cm)のとき  $BV_{CEO} \approx BV_{DS}$ とでき、DSA MOS トランジスタにおいても  $y - \chi$ ・ドレイン耐圧はバイポーラ動作によっていると考えられる。  $V_{G} = 8V$ における  $h_{FE}$ は、逆方向 D S A MOS トランジスタでは  $h_{FE} = 6.2$ 、順方向 D S A MO S トランジスタでは  $h_{FE} = 5.8$ であった。ゲート電圧が低いときの  $BV_{DS}$ の  $V_{G}$ に対する振舞は、 $h_{FE}$ が $V_{G}$ によって変調を受け実効的に小さくなったものと考えられるが、更に考察すべき現象である。



図2.5 各種DSA MOSトランジスタのブレイクダウン電圧特性

図 2.6 は、3 種のDSA MOSトランジスタのしきい値電圧の基板電位依存性を示している。 逆方向DSA MOSトランジスタの場合に、しきい値電圧の基板効果が最小となる。これは逆 方向DSA MOSトランジスタではしきい値電圧に最も影響を与えるソース端子近傍の基板不 純物濃度が小さいためである。また、逆方向DSA MOSトランジスタのソース端では基板に 対する接合容量も小さくできることがわかる。

-18-



図2.6 各種DSA MOSトランジスタのしきい値電圧の基板電圧依存性

2.2.1.3 しきい値電圧の制御性

DSA MOSトランジスタは、しきい値電圧の制御上の困難さがあったため、しきい値電圧 のばらつきに特性が大きく影響されるダイナミックMOS RAMには応用されてこなかった。

しかし,不純物の導入量を精密に制御できるイオン注入技術を応用することにより,不純物の 濃度分布の制御性が向上し,しきい値電圧のばらつきが小さく押えられるようになり,ダイナミ ックMOS RAMへの適用の道が開かれた。しきい値電圧を決定するP (ベース)領域とそれ に続くソース・ドレイン形成のためのN<sup>+</sup> 領域の形成がイオン注入によっており,かつ,ゲート 電極下のゲート酸化膜がサイドエッチされることがないので,ベース領域の不純物濃度分布の再 現性,制御性が向上する。また,直接イオン注入がなされた部分はトランジスタのチャンネル部 分とはならないので,イオン注入によってたとえ結晶に損傷が生じたとしてもデバイスのチャン ネル移動度に影響を与えない。

表 2.2 は、ベース領域のみをイオン注入によった場合と、ベース、ソース、ドレイン両領域と もイオン注入によった場合のしきい値電圧のばらつきを示す。ベース領域はほう素、ソース・ド

プロセス	ベースイオン注入量	$v_{th}$	Ø
熱拡散プロセス	$1 imes 10^{14}$ cm $^{-2}$	0.48V	0.23V
全イオン注入プロセス	$4 imes 10^{13}$ cm $^{-2}$	1.40V	0.10V
	$6 imes 1  0^{13}$ cm <sup>-2</sup>	1.97V	0.15V

表 2.2 しきい値電圧の制御性の比較

レイン領域はリンによって形成したが、両工程ともイオン注入を採用することによりしきい値電 圧の制御性の向上が図られ、ダイナミックMOS RAMに適用できることがわかる。

2.2.1.4 DSA MOS トランジスタのテール電流

しきい値電圧の制御性とともにダイナミック回路において考慮する必要のある量はテール電流 である。テール電流はゲート直下のシリコンの弱反転によるドレイン電流であり、ゲート電圧に 依存する。従って通常考えられているMOSトランジスタのしきい値電圧(例えば、ドレイン電 流が1µAになるときのゲート電圧)以下でも、わずかなゲート電圧の変動で大きな電流が流れ、 動的に記憶しているドレイン端の電位を変化させ、記憶保持時間が短くなるという問題が生じる。 DSA MOSトランジスタは、基板濃度がチャンネル長方向に不均一であり、基板濃度依存性をも つテール電流は通常のMOSトランジスタとは異なった値をとると予測されるが、まだ十分に検 討されていない。ここでは、DSA MOSトランジスタのテール電流の解析よりダイナミック MOS RAMへの適合性について検討する。

(12) (13) 通常のMOSトランジスタのテール電流は,林等や Barron によって下式のように求められ ている。

$$I_{D} = \frac{n_{i} q D_{n} W \cdot L_{i} e^{U_{S}}}{L_{e}^{3U_{F}/2} \cdot \sqrt{U_{S}-1}} (1 - e^{-\beta V_{D}})$$
(2.1)

ここで、 $I_D$ はドレイン・ソース間電流、 $n_i$ は真性担体濃度、qは電気素量、 $D_n$ は拡散長、  $L_i$ は 真性 デバイ長、 $U_S$  は規格化表面ポテンシャル、 $U_F$  は規格化フェルミポテンシャル、 $\beta$ はボルツマン因子、Wはトランジスタのゲート幅、Lはトランジスタのゲート長である。

DSA MOSトランジスタのテール電流に対する本式の有効性を調べるため、しきい値電圧 の異なる二種類のDSA MOSトランジスタを試作した。試料のしきい値電圧(零外挿値)と 同じしきい値電圧を与える通常のNMOSトランジスタの等価基板濃度を表 2.3 に示す。図 2.7 はこれら 2 つの試料に対するテール電流 IDとゲート電圧 VGの関係を示したものである。計算 値は、基板不純物濃度を表 2.3 に示した等価基板濃度とし、チャンネル長を p形不純物拡散部分

試料番号	しきい値電圧	等価基板濃度
A	0.1 V	$2 \times 10^{15}$ cm <sup>-3</sup>
В	0.9 V	$8 \times 10^{15}$ cm <sup>-3</sup>

表 2.3 試料のデバイス定数



8 8

図2.7 DSA MOSトランジスタのテール電流



Drain voltage V<sub>ds</sub>(V)

図2.8 DSA MOSトランジスタのテール電流の勾配αとドレイン電圧の関係

の長さとする通常のNMOSトランジスタとして求めたものである。計算値と実測値は,絶対値, 勾配共にほぼ一致していることから,DSA MOSトランジスタのテール電流は,DSA MOSトランジスタのしきい値電圧と同じしきい値電圧を与える基板濃度をもち,p形不純物拡 散部分の長さをチャンネル長とする通常のNMOSトランジスタのテール電流と同程度であるこ とがわかる。

図2.8は、順方向DSA MOSトランジスタと逆方向DSA MOSトランジスタのテール 電流の勾配,  $\alpha$  (= dV<sub>G</sub>/dlog I<sub>D</sub>)をドレイン電圧に対して測定した結果である。順方向 DSA MOSトランジスタの場合の勾配は、ドレイン電圧に依存しないが、逆方向DSA MOSトランジスタの場合の勾配は、ドレイン電圧に大きく依存することがわかる。これはソー スとドレインを逆に接続した場合、p形不純物拡散部分(ベース領域)方向に空乏層が伸びやすく、 しきい値電圧が小さくなり、等価的な基板濃度を小さくしたためと考えられる。

図2.8に示すように、テール電流領域でのゲート電圧に対する電流勾配は、ドレイン電圧の広 い範囲にわたっておよそ一定で、約100mV/decadeの値をもっている。この値は、通常の NMOSトランジスタとほぼ等しい値である。

以上の実験結果と考察から、DSA MOSトランジスタのテール電流は、p形不純物拡散領 域の長さをチャンネル長とする通常のNMOSトランジスタと同様に与えられることがわかり、 DSA MOSトランジスタをダイナミックMOS RAMに適用しても情報保持時間に対して 特別な注意を払う必要のないことが明らかとなった。

2.2.1.5 DSA MOS構造における接合リーク電流

DSA MOSトランジスタを用いたダイナミックメモリセルの構造と等価回路を図 2.9 に示 す。ダイナミックメモリやセルの保持時間に大きく影響を与えると考えられるリーク電流として、 N<sup>+</sup> - P- $\pi$  接合におけるリーク電流,ゲート制御形ダイオードにおけるリーク電流および転送ゲ ートトランジスタのテール電流がある。転送ゲートトランジスタのテール電流については,前項 において検討したのでここでは,前記二つのリーク電流について検討する。特に,全イオン注入 (4) プロセスによるDSA MOSトランジスタにおいては,高濃度イオン注入がなされているため、 シリコン基板中に導入される欠陥の除去が重要な課題で,イオン注入による欠陥がその後の熱処 理により完全に除去されているかどうか確認し,ダイナミックMOS RAMに,このプロセス が適用可能かどうか検討する必要がある。

本実験に用いた試料の断面構造を図 2.10 に示す。試作した試料は p形不純物拡散領域を 4 ×  $10^{13}$ /afのほう素、ソース・ドレインは 2 ×  $10^{15}$ /afのリンイオン注入で形成し、ソース・ドレ



図 2.9 DSA MOSプロセスによるメモリセル



(a)  $N^+ - P - \pi$  junction





図2.10 実験に用いた試料の断面図

インのxjを1 µm,実効チャンネル長0.6 µm としたものである。

図 2.1 1(a)にN<sup>+</sup>-P- $\pi$ 接合のリーク電流の温度特性を示す。活性化エネルギーは 1.0 6 eV, 100 $\mu$ m<sup>2</sup> 当りのリーク電流は 75 °C °C 6 pA であった。N<sup>+</sup>- $\pi$ , N<sup>++</sup>- $\pi$  接合のリーク電流 も同程度であった。図 2.1 1(b)はゲート制御形 MOSダイオードのリーク電流が示されている。 MOS容量は、電極面積を同じにして周辺長を種々変えた。電流値は周辺長に依存せず100 $\mu$ m<sup>2</sup> 当り75Cで0.96 pA,活性化エネルギーは0.94 eVであった。

 $MOS 容量をC_S, リーク電流を I_L とすると、図 2.9(b)におけるノード S の電位が <math>10V b$ ら  $\Delta V$ 降下する時間 t は次式で近似できる。

$$t = \frac{C_{\rm S} \cdot \Delta V}{I_{\rm L}} \tag{2.2}$$

 $C_{S} = 0.19 \text{ pF}$ (面積は 420  $\mu$ m<sup>2</sup>),  $\Delta V = 3 V \& U$ ,  $I_{L} \& U$  ct MOS容量の面積 420  $\mu$ m<sup>2</sup>, N<sup>+</sup>- P -  $\pi$  接合部面積 25  $\mu$ m<sup>2</sup>の場合の値 5.53 pA(75 C)を代入すると, t = 103 m sec が得られ, これは通常ダイナミックメモリの記憶保持時間として必要とされる 2 m sec を充分 に満たしている。また, N<sup>+</sup>-P -  $\pi$ 接合およびゲート制御形 MOSダイオードのリーク電流から 得られた活性化エネルギーは、シリコンのエネルギーギャップ 1.1 eV とほぼ同じ値である。こ のことから、リーク電流は熱的なバンド間励起によるものと予想される。

以上の検討から全イオン注入プロセスにおける高濃度イオン注入時に導入された結晶欠陥は, その後の熱処理により除去され,深いレベルを有する結晶欠陥は消滅したと考えられるので,こ のプロセスをダイナミックMOS RAMに適用可能であることが明らかになった。

### 2.2.2 伝達特性とDSA MOSトランジスタの最適適用領域

(14) ここでは,デプレッション形MOSトランジスタを負荷素子としたMOS-E/Dインバータ の遅延時間および電力・遅延時間積について考察し,DSA MOSトランジスタの最適適用領 域を明らかにする。図2.12は,E/Dインバータの負荷特性を示したものである。インバータ



図 2.1 2 DSA E/Dインバータの負荷特性

がターンオンするときの負荷容量 C<sub>L</sub>から放電される電流 I<sub>OD</sub>は図の斜線部で示され,次式で与えられる。

$$I_{OD} = I_{DH} - I_L$$
 (2.3)

 $I_L$ は負荷MOSトランジスタを流れる電流, $I_{DH}$ は駆動MOSトランジスタを流れる電流で ある。ターンオフのときは、 $C_L$ への充電電流  $I_L$ に等しい。今、簡単のため $I_L$ は定電流と し、出力電圧  $V_{OUT}$ が高電位から低電位に遷移するときは、通常 $I_{DH}$ が $I_L$ より十分に大 きいので $I_L$ を無視し、かつ $C_L$ は出力電圧に依存しないとすれば、1 ゲート当りの平均伝搬遅延 時間 $t_{pd}$ 、及び電力・遅延時間積 $t_{pd}$ ・ $P_d$ は次のように求められる。

$$t_{pd} = \frac{C_L}{2I_L} \cdot \left\{ (V_{th} - V_{OL}) + \sqrt[3]{\frac{3I_L}{I_{DH}}} \cdot (V_{DD} - V_{th}) \right\}$$
(2.4)

$$t_{pd} \cdot P_{d} = \frac{C_{L} \cdot V_{DD}}{4} \cdot \left\{ (V_{th} - V_{OL}) + \sqrt[3]{\frac{3I_{L}}{I_{DH}}} \cdot (V_{DD} - V_{th}) \right\} \quad (2.5)$$

式(2.4),(2.5)はDSA MOS E/Dインバータについても成立するが,デバイス固有の特徴を直接的に表わしていない。DSA MOSトランジスタを用いる場合の特徴は次のように考えることができる。

インバータに固有の不可避な浮遊容量(ゲート容量,ミラー容量など)をC<sub>1</sub>,配線などに伴う 浮遊容量をC<sub>2</sub>とすると次式となる。

 $C_{L} = C_{1} + C_{2}$  (2.6)

配線などの浮遊容量の大きい系では式(2.6)の $C_1$ が無視できる。 このとき同一パターン設計基準で通常のNMOSトランジスタとDSA MOSトランジスタを比較すると、 $C_2$ の値が 双方で同じになるから $t_{pd}$ · $P_d$ は等しい。そして、DSA MOSトランジスタの場合、 駆動 MOSトランジスタの大きな電流駆動能力により負荷MOSトランジスタの電流 ILを大きくで きるので式(2.4)から $t_{pd}$ が小さくなり、その分だけ $P_d$ が大きくなる。一方、消費電力が 同じである設計においては、DSA MOSトランジスタの場合、トランジスタサイズを小さく できることから、 $C_2$ が通常の NMOS トランジスタより小さくなり、それだけ電力・遅延時間 積を小さくできる。図2.13の領域A、Bが上述の2つの場合に対応している。



Power dissipation (arb. unit)

図2.13 E/Dインバータの浮遊容量と電力・遅延時間積の関係

領域C,Dは通常のNMOSトランジスタ,DSA MOSトランジスタ各々の $C_1$ が $C_2$ と同 程度の系(例えばレギュラーロジックなど)における電力・遅延時間積の占める領域を示す。 Cの場合,C1の効果が大きく,DSA MOSトランジスタではインバータに不可避な浮遊量 $C_1$ の大幅な減少がトランジスタサイズの縮小,π基板の採用などによって図れるので,通常の NMOSトランジスタより大幅な電力・遅延時間積の改善が達成できる。

以上のことから、DSA E/D MOS ICは、電力・遅延時間積の点において、 $C_2$ の 大小にかかわらず通常のNMOSトランジスタにまさるものであり、しかも消費電力が大きくな るが、高速領域をカバーできる方式と考えられる。従って、一般に $C_2$ が大きくなると考えられ るMOS RAMにおいても、高速性という面で大きな効果を発揮できることが想定できた。

2.2.3 DSA MOSトランジスタの4KダイナミックMOS RAMへの適用とその電気特性
 以上の実験結果から全イオン注入プロセスによるDSA MOSトランジスタはダイナミック
 MOS RAMに適用可能で、しかも高性能MOS RAMが実現できる可能性のあることが明
 らかになった。ここでは、DSA MOSトランジスタを適用した4KダイナミックMOS

 (15)
 RAMの試作により、2.2.1、2.2.2項で得られた結論の妥当性を実証する。

図2.14は試作した4Kワード×1ビットダイナミックMOS RAMの構成図である。2つの32×64ビットメモリセルがセンスアンプの両側に位置され,データの入出力は,R/W制 御回路,I/O制御回路を経由し,シングルエンド構成で行なわれる。又,A<sub>0</sub>からA<sub>11</sub>までの 12本のアドレス信号は,同時にMOS RAMに供給される。デバイスは,一層ポリシリコン

-26-

DSA MOSトランジスタである。メモリセルは1個のMOSトランジスタと1個のMOSキ \*パシタンスからなる,いわゆる1トランジスタ型であり,このMOSトランジスタとして双方 向DSA MOSトランジスタを使用した。これは、メモリセルトランジスタが双方向性を必要 とすることと、パンチスルーによる保持特性の劣化を防ぐためである。

回路設計に当って、MOS RAMにおいては一般にアドレスパッファにおける遅延時間,お よびセンスアンプから出力回路への遅延時間が大きいことに注目してDSA E/D MOS 方式 の特徴を生かすために、一部デプレッション形MOSトランジスタを負荷素子として用いた。



図2.14 4Kワード×1ビットDSAダイナミックMOS RAMの構成図



図 2.15 センスアンプ回路とメモリセルおよびダミーセル
図2.15にセンスアンプ回路とその左右に配置されたメモリセル及びダミーセルを示した。待機時においては、 $\phi_0$ が高電位(約12V)でダミーセルに基準電圧 $V_{ref}$ (約5V)を,また、 ノード1,2の浮遊容量 $C_b$ を約10Vに充電する。メモリチップが活性化されると、 $\phi_0$ がま ず低電位になり、ノード1,2は10Vの浮遊状態に、また、ダミーセルの容量 $C_s$ は5Vの浮 遊状態になる。この状態において、メモリセルおよびダミーセルから信号を読み出すために、ワ ード線と行デコーダによって選択された行とセンスアンプに関して反対側にあるダミーワード線 を高電位にする。これによってメモリセルおよびダミーセルの転送ゲートが導通し、記憶容量 $C_s$ に蓄えられていた情報がビット線に読み出される。図2.15において、ソース・ドレイン両端に ドットを付けたMOSトランジスタが、双方向DSA MOSトランジスタである。メモリセル に $V_s$ の電位が記憶されていたとすると情報の読み出し後、ビット線(ノード1,2)間に次式 で表せる電位差が生ずる。

$$|\Delta V| = \frac{|V_{ref} - V_S|}{1 + C_b / C_S}$$
(2.7)

この電位差がノード1,2に現われた後、 $\phi_{DS}$ を高電位にしてセンスアンプ回路を活性化し、 電位差4Vの増幅を行なう。DSA MOSトランジスタの電流駆動能力が大きいので、ビット 線の高速な放電と、ビット線への高速な再充電がなされる。周辺回路においても、このような高 速化が達成され、消費電力は950mV とやや大きいが、アクセス時間60 nsec、サイクル時 間180 nsec の高速性能が得られた。表 2.4 に性能一覧を示す。また、図2.16にチップ写 真を示す。

n-ch Si ゲート πプレーナ DSA-E/D MOS
4.35 mm × 4.90 mm
4,096語×1ビット
1トランジスタ + 1容量
$v_{DD} = 12v$ , $v_{CC} = 5v$
$V_{SS} = 0V$ , $V_{BB} = -5V$
クロック以外TTL
1 2 V
20Ω
60ns
180ns
2 ms 以上
950mW

表 2.4 4 KダイナミックDSA MOS RAM の性能一覧



図 2.16 4K ダイナミックDSA MOS RAMのチップ写真

(16) 図 2.17に種々な4KダイナミックMOS RAMの消費電力とアクセス時間の関係を示した。 4KダイナミックDSA MOS RAMは5 $\mu$ m系の設計基準であるが、性能指数は14pJ/ ビットである。一方、市販されている各種の4KダイナミックMOS RAMは、24pJ/ビッ ト程度なので、およそ1.7倍の性能指数の改善がなされた。また、図 2.17に示した4Kダイナ ミックDSA MOS RAMの性能指数は、図 2.13で示した領域Bに相当するので、DSA



図2.17 種々な4KダイナミックMOS RAMのアクセス時間と消費電力の関係

MOSトランジスタの高性能性を実証したと考えることができる。

# 2.3 DSA MOSトランジスタのスタティックMOS RAMへの適用

#### 2.3.1 逆方向DSA MOSトランジスタによる高速化

DSA MOSトランジスタの特徴には、コンダクタンスの増大の他に浮遊容量低減の効果も (6),(17),(18) ある。それは図 2.3 に示したように順方向DSA MOSトランジスタの場合には、ドレイン端 における接合容量を、N<sup>+</sup>- $\pi$  接合のため低減できるからである。一方、逆方向DSA MOS トランジスタの場合には、ソース端の接合容量が減る。

図 2.18にスタティックMOS RAMのメモリセル,ビット線とデータ線を示す。 このようにメモリセルが構成されると、ビット線側のドレインもしくはソース端は、N<sup>+</sup>ーπ 接合 となり、ビット線容量は、双方向DSA MOSを用いた場合に比べ30%低減される。また、 データ線においても、同様に逆方向DSA MOSトランジスタを用いることによって約30% の浮遊容量を低減できる。ダイナミックMOS RAMにおいては、双方向性が要求されるため、 テール電流やパンチスルー電流特性の悪い逆方向DSA MOSトランジスタを転送ゲートに使 用できなかった。しかし、スタティックMOS RAMにおいては、ダイナミックMOS RAM 程テール電流やパンチスルー電流に敏感でないので、転送ゲートに使用可能となり高速化に有効 なデバイスとなる。



図2.18 DSA MOSトランジスタの転送ゲート特性

-30-

2.2.1.2 で逆方向DSA MOSトランジスタの解析結果を述べたが、 $V_{CC} = 5 V$ 動作の場 合、逆方向DSA MOSトランジスタと順方向DSA MOSトランジスタのドレイン特性は ほぼ等しいことがわかっている。図2.18において、メモリセルBからの読み出し状態を考える。 ここで、ノード "d"が "L"レベル、ノード "b"を "H"レベルとする。ワード線Bが選択 されると、トランジスタQ2 がビット線CをQ6、Q2を通して放電させる。このときQ12はゲー ト電位が低いが逆方向DSA MOSトランジスタの電位状態となる。Q12のパンチスルー電流 が、ノード "b"を "H"レベルとして保持している負荷トランジスタの電流よりも大きいとき データは破壊される。しかし、図2.18(b)に示したように、パンチスルー電流に比べて負荷トラ ンジスタの電流値が多いため、メモリセルの記憶情報を反転させることはない。

このようにスタティックMOS RAMの転送ゲートには、片方向DSA MOSトランジス タが使え、ビット線やデータ線の浮遊容量が30%程度軽減されるので高速化が容易になる。

2.3.2 DSA MOSトランジスタの4KスタティックMOS RAMへの適用とその電気特性 DSA MOSトランジスタは高速化に有利な実効チャンネル長の短縮と,浮遊容量を低減で きることがわかった。そこで本節では,DSA MOSトランジスタの高速性を,4Kスタティ ックDSA MOS RAMで実証した結果を述べる。



図2.19 4KスタティックDSA MOS RAMのブロック図

-31-

図 2.1 9は4 Kスタティック MOS RAMのブロック図である。ロウデコーダ(Xデコーダ) がメモリアレイの中央に配置され、64ビット×64ビットの構成となっており、カラムデコー ダ(Yデコーダ)とプリセンスアンプはカラムプリチャージ(Yプリチャージ)回路の反対側に 配置されている。メモリセルは標準的な6トランジスタによって構成され、セルサイズは53µm ×62 µmである。

高性能性を達成するため、チップセレクト信号(CS)を用い、チップ内部でMOSレベルの 信号を発生する回路構成となっている。CSバッファ回路は、E/Dインバータによって構成さ れ、大きな負荷容量を駆動するため、4分割されている。



図 2.20 X デコーダと駆動回路

図 2.20は、X デコーダと駆動回路を示している。待機時には、CS、CE 信号は"H"レベル となるが、アドレスデータ( $A_{\alpha'}$ ,  $\overline{A_{\alpha'}}$ )はラッチ型のアドレスバッファ回路で発生し、"L" レベルとなっている。そして、これらのアドレス信号はNORゲートの出力レベルを"H"に、  $\phi_{DX}$  とワード線を"L"に保持する。 $\phi_{DX}$  はチップセレクトサイクルの始めで、アドレス入 力信号  $A_{\alpha}$  と対応した正しいデータにXアドレスが固定された後に"H"レベルに立ち上がる。 そして、 $Q_{15}$ を通して大きな抵抗(また、大きな容量ももつ)のワード線を駆動し、読み出し動 作が開始される。 $\phi_{DX}$ は、Xデコーダ回路の両方向のワード線に対して供給する。 $Q_{11} \ge Q_{15}$ のトランジス タのオン抵抗と比較して十分小さいワード線抵抗であれば、最遠方のメモリセルのアクセス時間 差はなくなる。もし、そうでなければ、この遅延時間はアクセス時間の大きな割合を占める。この遅延時間をシミュレーションした結果、ポリシリコン抵抗が60Ω/ロのときには13nsec, 20Ω/ロのときには6nsecであった。従って、高速化を実現するためには、ポリシリコンワード線の抵抗の低減、容量の低減とMOSトランジスタの大きな電流駆動能力が必要である。





図2.21 Yデコーダ、Yドライバー、プリセ 図2.22 4KスタティックDSA MOS ンスアンプ、メモリセルとプリチャ RAMのチップ写真 ージ回路

図 2.21は、Yデコーダ、Yドライバー、プリセンスアンプ、メモリセルとプリチャージ回路 を示している。 $\phi_{DY}$ は $\phi_{DX}$ と同様に発生し、NORゲートの出力が "H"レベルであるとき、  $Q_{6} \sim Q_{11}$ によってYドライバーを駆動する。その出力信号が、プリセンスアンプを活性化し。  $\phi_{DX}$ によってメモリセルからビット線に読み出された記憶データを増幅する。増幅された記憶デ ータは、データ線に転送されフィードバック型の差動増幅器によって出力バッファ回路へ送られる。

図2.22に試作した4KスタティックDSA MOS RAMのチップ写真を示す。また,性能一覧を表2.5に示す。アクセス時間は50nsecが得られ,回路シミュレーションの65nsecと比較的良く一致している。実測値とシミュレーション値との差は,ポリシリコン抵抗の見積り誤

差,DSA MOSトランジスタ静特性の回路シミュレーション値と実際のデバイスの誤差に起因していると考えられる。

このように、4KスタティックDSA MOS RAMは、DSA MOSトランジスタによる短チャンネル性と、浮遊容量の低減によって高性能性が達成されたと考えられる。

プロセス	N-ch Siゲート πプレーナDSA E/D MOS	
チップサイズ	5.2~4 mm $ imes 5.3~6$ mm	
セルサイズ	53 $\mu$ m $\times$ 62 $\mu$ m	
電源電圧	5 V	
信号レベル	All TTL	
出力形式	Tri state	
アクセス時間	50 n s	
サイクル時間	120ns	
消費電力	630mW	

表 2.5 4 K スタティック D S A M O S R A M の 性能一覧

### 2.4 結 言

ダイナミックMOS RAMの高速化には、構成MOSトランジスタの高性能化が必要である。 それを実現するデバイスにDSA MOSトランジスタがあり、NMOSトランジスタに比べて コンダクタンスの増大が容易に得られることを示した。また、DSA MOSトランジスタには、 順方向、逆方向、双方向の3つの構成法があることを示し、順方向DSA MOSトランジスタには、 「順方向、逆方向、双方向の3つの構成法があることを示し、順方向DSA MOSトランジスタ が最も高性能であることを明らかにした。逆方向DSA MOSトランジスタは、チャンネル長 変調、しきい値電圧の低下がおこるので、使い方が難かしく、双方向DSA MOSトランジス タは、対称的な構造のため、コンダクタンスの増大はあまり期待できないが、転送ゲートに適し ていることを明らかにした。また、従来、難かしいと考えられたDSA MOSトランジスタの しきい値電圧制御は、全イオン注入プロセスとすることで解決できたことを示した。

DSA MOSトランジスタをダイナミックMOS RAMに適用するにあたり,テール電流 が問題となる。しかし,DSA MOSトランジスタのテール電流はp型不純物拡散領域の長さ をチャンネル長とした通常のNMOSトランジスタと同様に与えられることが明らかとなった。 また,しきい値電圧の精密制御のため開発した全イオン注入法においては,高濃度のイオン注入

-34-

工程があるが、この際発生する結晶欠陥は、その後の熱処理で完全に消滅しており、接合リーク の原因とはならないことが明らかになった。E/Dインバータの解析から、DSA MOS IC は、電力・遅延時間積において、負荷容量の大小によらず通常のNMOSトランジスタより消費 電力は大きくなるが、高速性を発揮できることを明らかとした。以上の結果に基づき、4Kダイ ナミック DSA MOS RAMを試作し、アクセス時間60 nsec、サイクル時間180 nsec 消費電力950 mWを得た。アクセス時間と消費電力の積は、市販されている同一設計基準の通 常のNMOSトランジスタを用いたMOS RAMに比べて1.7倍の性能向上が達成されている ことが明らかとなった。

逆方向DSA MOSトランジスタをスタティックMOS RAMに適用するための検討を行 なった結果、メモリセルの転送ゲートとYセレクトトランジスタに適用することにより、ビット 線、データ線容量を3割減らせることがわかり、高速化に適していることを明らかにした。また、 これらの転送ゲートに用いても、スタティックMOS RAMでは動作に問題が起こらないこと を明らかにした。この検討とDSA MOSトランジスタの高性能により、4Kスタティック MOS RAMで50nsecの高速アクセス時間が得られた。

以上のダイナミック,スタティックMOS RAMの試作を通してDSA MOSトランジス タは、高速性を要求される応用分野に有効な基本デバイスであることが明確になった。

また,高性能ダイナミックMOS RAMには,構成MOSトランジスタの高性能化,特にコンダクタンスの増大が必要であることを明らかにした。

## 参考文献

- R.H. Dennard, F.H. Gaensslen, H.N. Yu, V.L. Ridenout,
  E. Bassous and A.R. LeBlanc; "Design of ion-implanted MOSFET's with very small physical dimensions", IEEE, J. Solid-State Circuits, vol. SC-9, No.5, PP. 256-268, 1974.
- (2) Y. Tarui, Y. Hayashi and T. Sekigawa; "Diffusion selfaligned MOST: A new approach for high speed device", Proc. 1st Conf. Solid State Devices, Tokyo, 1969, Oyo Butsuri (J. Japan Soc. Appl. Phys.), vol.39, Suppl., PP. 105-110, 1970.
- (3) Y. Tarui, Y. Hayashi and T. Sekigawa; "Diffusion selfaligned enhance depletion MOS-IC", Proc. 2nd Conf. Solid State Devices, Tokyo, 1970, Oyo Butsuri (J. Japan Soc. Appl. Phys.), vol. 40 Suppl., PP. 193-198, 1971.
- (4) I. Ohkura, M. Ohmori, K. Shimotori, T. Nakano, Y. Hayashi and Y. Tarui; "Fully ion implanted DSA MOS IC", Proc. 8th Conf. Solid State Devices, Tokyo, 1976, Oyo Butsuri (J. Japan Soc. Appl. Phys.), vol.16, Suppl., PP. 167-171, 1977.
- (5) 下酉, 穴見, 長山, 大倉, 大森, 中野, 林, 垂井; "ダイナミックDSA MOS RAM", 信学論(O, vol. J61-C, №7, PP. 448-454, 1978.
- (6) K. Shimotori, Y. Nagayama, M. Ohmori, I. Ohkura and
  T. Nakano; "A 50ns 4K Static DSA MOS RAM", IEEE J. Solid-State Circuits, vol. SC-13, No.5, PP. 639-646, 1978.
- (7) 穴見,下酉,大倉,大森,中野,林,垂井; "DSA MOS FETのテール電流",昭51
   信学総合全国大会, P. 2-135.
- (8) 下酉,長山,大森,大倉,中野,林,垂井; "ダイナミックDSA MOSメモリーのリーク
   電流 ",昭52信学総合全国大会, P. 2-148.
- (9) 下酉,長山,大森,大倉,中野; "逆方向DSA MOSトランジスタのスタティックRAMへの応用",昭53信学総合全国大会, P. 2-194.
- (10) L.M. Bateman, G.A. Armstrong and J.A. Magoman; "Drain voltage limitations of MOS transistors", Solid-State Electronics, vol. 17, PP. 539-550, 1974.

-36-

- (11) 増田,中井,久保; "2次元電界効果を考慮した MOS-FETの性能限界",電子通信学会、
   半導体トランジスタ研究会資料,SSD 76-34, PP. 71-79, 1976.
- (12) 林,垂井; "MOST形素子の指数関数電流とPN接合の逆方向電流の劣化",電子通信学会, 半導体トランジスタ研究会資料,SSD 67-6,1967.
- M.B. Barron; "Low level currents in insulated gate field effect transistor", Solid-State Electronics, vol. 15, PP. 293-302, 1972.
- (14) 林, 垂井, 橋本; "ED-MOS-ICの設計理論", 信学論(○, vol.55-C, №7, PP. 337-344, 1972.
- K. Shimotori, K. Anami, Y. Nagayama, T. Ohkura, M. Ohmori, T. Nakano, Y. Hayashi and T. Tarui; "Fully ion implanted 4096-bit high speed DSA MOS RAM", ISSCC Dig. Tech. Papers, PP. 76-77, 1977.
- (16) 杉原,平野; "4K MOS RAMを総ざらいする",日経エレクトロニクス, PP. 48-69, 昭50-04-7.
- (17) K. Takahashi, H. Ikejima, M. Morimoto, K. Yamada,
  S. Shirakawa, K. Kobayashi, H. Muta, S. Matsue and
  N. Kawamura; "High speed 4K Static RAM Using DSA MOST's".
  9th Conf. Solid State Devices, Dig. Tech. Papers, PP. 21-22, 1977.
- (18) 下酉,長山,大倉,大森,中野; "4KビットスタティックDSA MOS RAM",電子通信学
   会,電子計算機研究会, EC 77-52, PP. 25-33, 1977.
- (19) 増田,増原,永田; "E/DゲートMOSトランジスタ",信学論(O, vol. J57-C, № 2, PP.37-44、1974.

# 第3章 内因性遅延と高速化

3.1 序

ダイナミック MOS RAMは,高性能化,大容量化に向って研究・開発が進められている。 高性能ダイナミック MOS RAMの実現には,回路技術もさることながら,デバイス技術,微 細加工技術に負うところが大きく,これらの開発の推移がダイナミック MOS RAMの性能を 律すると言える。特にダイナミック MOS RAMの基本デバイスとなる MOSトランジスタの 高性能化はコンダクタンスの増大が必要であり,第2章で詳細に述べた。MOSトランジスタの (1) 開発の方向性は,Dennardらによって示されたスケーリング則であるが,その方向性に基づい て短チャンネル MOSトランジスタを実現するには,種々な技術的困難があり,そのまゝ適用で きないので修正を加えた新しい MOSトランジスタ構造が提案されている。しかし,これらの MOSトランジスタを具体的なダイナミック MOS RAMに適用した場合の検討は十分行なわ れていない。

また, MOSトランジスタの高件能化には, コンダクタンスの増大ばかりでなく, 寄牛容量や 抵抗の低減化も重要であり,その検討も必要である。本章では,配線容量や抵抗による遅延を外 因性遅延とし、デバイスに固有の寄生容量、抵抗による遅延を内因性遅延としたとき、高速化と 内因性遅延の関係について検討している。3.2節では、ゲート、ソース、ドレインの抵抗が回路 動作に及ぼす影響について考察し、回路設計における寄生抵抗の影響と限界について明らかにし、 (8), (9)3.3節では、高性能ダイナミックMOS RAMに必要なデバイスの3つの要素を明らかにする。 3.4節では、ダイナミックMOS RAMの性能を最大限引き出すための三重拡散型MOSトラ (8), (9) ンジスタ (T.D.T:Triple Diffused MOS Transistor)を提案する。また,短チャンネ ル効果,コンダクタンスの検討,寄生容量の検討から三重拡散型MOSトランジスタが従 来のMOSトランジスタに比べて高性能化に適したデバイス構造であることを明らか にし、さらに、このデバイスにより高性能なダイナミックMOS RAMの実現が可能とな ることを明らかにする。3.5節では、T.D.Tの改良型でマスク枚数を低減でき、しかも寄生容 量が低減できるSAGOS (Self Aligned Small Gate Overlap Structure)MOSト ランジスタ構造を提案し、そのMOSトランジスタの特性解析とダイナミックMOS RAMヘ の適用より、高性能化に適した特性を有することを明らかにする。

## 3.2 MOSトランジスタの寄生抵抗

MOSトランジスタの短チャンネル化に従って,MOSトランジスタ内部の寄生CR時定数が, (1) 回路動作に影響を与えることが予想される。スケーリング則からも短チャンネル化に従って,抵 抗がスケールダウンされないためのCR時定数の劣化が指摘されている。シリコンゲートMOS (11) トランジスタのポリシリコン抵抗に対するゲート容量のCR時定数効果は,H.C.Lin らによ って解析されている。

本節では、MOSトランジスタ内部のポリシリコン抵抗,拡散抵抗がMOSトランジスタ特性 に及ぼす影響を明らかにし、TEG(Test Element Group)の解析より、寄生CR時定数 の回路設計上の取り扱いについて明らかにする。

図 3.1 は、寄生CR時定数が回路動作に及ぼす影響を調べるためのデバイス構造のモデルであ (12) る。また、寄生CR時定数を計算機解析するための等価回路としては、π形あるいはT型分割が よく用いられているが、ここではπ型分割を用いた。図 3.2 はπ型分割の一段分割単位の等価回 路を示している。また、図 3.3 はMOSトランジスタをソースフォロワーで動作させたときの分 割段数と一定時間における電圧の関係を示している。図 3.3 より明らかな通り、3 段分割であれ ば、十分厳密解に近い値が得られることがわかる。

厳密解に十分近いと考えられる6段分割に対する各分割段数の誤差を求めた結果が図8.4である。ここで、0段分割とは図8.2の等価回路で全抵抗をゼロとした場合である。拡散抵抗,ポリ



Poly=30Ω/□, PN\*=20Ω/□

図 3.1素子構造のモデル



図 3.2 計算機解析の等価回路



図 3.3 立ち上がり電位の分割段数依存性



図 3.4 分割段数による誤差

シリコン抵抗を考慮した場合としない場合では、立ち上がり始めに大きな差が生じるが、少なく とも1段分割を用いることにより、6段分割からの誤差を4%以内に抑えることができる。図 8.5は出力に0.2 pFの負荷をつけ、MOSトランジスタのゲート幅を変えた場合の立ち上がり 時間の遅れを拡散抵抗とポリシリコン抵抗の有無によって比較したものである。この結果から、 ポリシリコン抵抗ばかりでなく拡散抵抗も大きな寄生CR時定数をもつことが明らかとなった。

このような計算機解析により得られた結果を実験で確かめるため,図8.6に示す素子を試作し, その特性を評価した。A-タイプのMOSトランジスタには、ソース・ドレイン領域の全面に拡 散層とAℓとのコンタクトが設けてあり、一方、B-タイプには、ソース・ドレイン領域の一部

-40-



図 3.5 ゲート幅と分割段数の誤差



図 3.6 TEG (Test Element Group)の平面図

にコンタクトが設けてある。一層 A  $\ell$ のプロセスを用いたダイナミックMOS RAMでは、チ ップ面積を小さくするためMOSトランジスタが A  $\ell$  配線と交差するレイアウトが頻繁に用いら れる。即ち、このレイアウトが行なわれたとき、図 3.6の Bタイプの構成となる。これらの TEGの飽和領域におけるコンダクタンスを測定した結果を図 3.7に示す。ソース・ドレインに コンタクトが設けていない場合には、ソース領域の寄生抵抗によりMOSトランジスタのゲート 幅が大きくなってもコンダクタンスが増えず、逆に低下する傾向をもつ。また、図 3.8にはソー スフォロワー構成で、負荷容量 80 pF,立ち上がり時間 20 nsec のパルスにより測定した出 力波形の 20~80%値の立ち上がり時間を示している。A ータイプの立ち上がり時間は、0.5 m以上のゲート幅で飽和している。これは,立ち上がり20nsecのパルスを用いたことと,ゲ ートポリシリコンによる寄生CR時定数が原因であると考えられる。一方,Bータイプの立ち上 がり時間は,0.2mmのゲート幅ではAータイプに比べて5nsec遅れ,ゲート幅が大きくなると 逆に悪化している。これはMOSトランジスタのソース・ドレイン領域の抵抗がMOSトランジ スタのコンダクタンスより大きくなるためである。このように,MOSトランジスタのソース・ ドレイン領域,ゲートポリシリコンによる寄生抵抗が高速化の妨げになることが明らかになった。 また,LSI設計においては、ソース・ドレイン領域に可能な限りコンタクトを設けることと、 ゲート幅を適切な長さに制限することでソース・ドレイン領域の寄生抵抗を防止する必要のある ことが明らかになった。



# 3.3 高性能ダイナミックMOS RAMと構成デバイスの具備条件

高性能ダイナミックMOS RAMを実現するためには、そのデバイス構造を決定するとき配慮しなければならない3つの重要な要素がある。それらは、MOSトランジスタ特性、ソース・ドレイン領域、ゲートポリシリコンの寄生抵抗と寄生容量である。

#### 3.3.1 MOSトランジスタ特性(ゲート長の短チャンネル化)

高性能ダイナミックMOS RAMを実現するためには、MOSトランジスタのコンダクタン スの向上が重要であることは2章で詳しく述べた。コンダクタンスの向上には短チャンネル化が 一番効果的であり、短チャンネル化したときのMOSトランジスタの最適構造を求めることが必

-42-

要である。しかし、ダイナミックMOS RAMに使用するMOSトランジスタにおいては、メ モリセルや周辺回路の良い保持特性を得るために、テール電流の低減が必要である。また、昇圧 回路の多用により、電源電圧以上の電位となることが多いので、ソース・ドレイン間耐圧の向上 が必要である。このようにダイナミックMOS RAMに使用するMOSトランジスタは、他の LSIに比べて厳しい特性が要求される。

#### 3.3.2 寄生抵抗(寄生CR時定数の低減)

ソース・ドレイン領域,ゲートポリシリコン抵抗の寄生CR時定数の回路動作に及ぼす影響は 3.2節で述べたように大きな問題であり,これらの低減が必要である。また,一層Aℓプロセス では,Aℓ配線と交差する信号の配線抵抗が高速化の妨げとなる場合が多い。ダイナミックMOS RAMでは複雑な周辺回路を使用するので,これらの配線抵抗によるタイミングのレーシングに より動作余裕度の低下がおこる。

#### 3.3.3 寄生容量(負荷容量の低減)

ダイナミックMOS RAMの高性能化に対し,重要な第3の要素は寄生容量の大きさである。 駆動回路の負荷容量は,主にゲート容量,Aℓ配線容量,接合容量により構成されている。Aℓ 配線容量では,CVD酸化膜の厚み,接合容量では基板の濃度が支配的なパラメータであり, ゲート容量ではゲート酸化膜の厚さ,ゲート長が支配的なパラメータである。内因性遅延は,接 合容量とゲート容量の寄生容量により発生するので,これらの低減が必要である。

また,ゲートとソース・ドレインの重なり容量はミラー容量にもなるので高速化の妨げになる。 図 3.9 はダイナミック MOS RAMにおける負荷容量の要因分析結果を示す。ゲート容量は, MOSトランジスタに反転層ができたと考えたときのゲートとソース・ドレイン,チャンネル間 の容量と定義した。この結果によると負荷容量の54.0%がゲート容量となり,約1/2を占め る。



(c) Others

図 3.9 ダイナミック MOS RAMの負荷容量分析 --43その他の項は、ポリシリコンによる配線容量、拡散層、ポリシリコンと他の信号のA ℓ 配線間 の容量である。また、電圧依存性のある容量は、対向電極を接地電位、自己電位を電源電圧とし て求めた。

ダイナミックMOS RAMのアクセス時間は、1つのインバータの立ち上がり時間 t<sub>r</sub>と、 インバータ数 n 段でアクセス(t<sub>acc</sub>)時間が決まると仮定すると簡単に次式で表わすことがで (13) きる。

$$t_{acc} = \sum_{i=1}^{n} t_{r}(i)$$
 (3.1)

また,一つのインバータの立ち上がり時間は,インバータ当りの負荷容量 C<sub>L</sub> と駆動トランジ スタのコンダクタンスで与えることができ次式となる。

$$t_{\rm r} \approx \frac{C_{\rm L}}{\beta (V_{\rm CC} - V_{\rm th})} \tag{3.2}$$

ここで、 $\beta$ はコンダクタンス定数、 $V_{CC}$ は電源電圧、 $V_{th}$ は駆動トランジスタのしきい値電 圧である。 $C_L$ は単位ゲートの負荷容量であるが、ゲート容量を $C_g$ 、接合容量を $C_J$ 、 $A\ell$ 配 線容量を $C_{A\ell}$ とすると次式になる。また、 $\ell$ は $C_J$ と $C_{A\ell}$ の和が $C_g$ の何倍かを示す係数であ る。

$$C_{L} = C_{g} + C_{J} + C_{A\ell} = \ell \cdot C_{g}$$

$$(3.3)$$

 $\ell$ は図 8.8の要因分析によると $\ell \approx 2$ である。また、 $C_g$ 、 $\beta$ は更に具体的に記述すると次式となる。

$$C_{\sigma} = W' \cdot L \cdot C_{OX} \tag{3.4}$$

$$\beta = \frac{W}{L_{eff}} \cdot \mu \cdot C_{OX}$$
 (3.5)

ここで, W'は負荷となるMOS トランジスタのゲート幅,Lはそのゲート仕上がり長,Cox は単位当りのゲート容量,L<sub>eff</sub>はMOSトランジスタの実効チャンネル長,μは電子移動度で ある。式(3.2)は式(3.3)~(3.5)より次のように書き直せる。

$$t_{r} \approx L \cdot L_{eff} \frac{\ell \cdot W'}{W \cdot \mu \cdot (V_{CC} - V_{th})}$$
(3.6)

従って、 $t_r \, t \, L \cdot L_{eff}$ の積に比例するので、高速ダイナミックMOS RAMを実現するためには、ポリシリコン仕上り長と $L_{eff}$ の両方の短かいデバイスが必要であることがわかる。

以上の検討結果から,高性能ダイナミックMOS RAMを実現するための基本MOSトラ ンジスタは,ソース・ドレイン領域,ゲートポリシリコンが低抵抗であり,テール電流やソース・ドレ イン間耐圧の低下などの短チャンネル効果を起こさず,コンダクタンスの増大が図れる特性を有 する必要のあることが明らかとなった。さらに,寄生容量を低減させるために,ゲートとソース ・ドレインの重なり容量を低減したゲート長の短かいMOSトランジスタが必要であることが明 らかになった。

# 3.4 3重拡散型MOSトランジスタ(T.D.T)

#### 3.4.1 デバイス構造とプロセス

高速ダイナミックMOS RAMを実現するための3つの重要な要素を3節で明らかにしたがここで はそれらの重要な要素を満足させるデバイス構造、3重拡散型MOSトランジスタ(T.D.T; <u>Triple Diffused MOS Transistor</u>)を提案する。図3.10にプロセス工程図を示す。N 領域はしきい値電圧、ブレークダウン電圧の短チャンネル効果の減少を図っている。N<sup>+</sup> 領域は、 ソース・ドレイン領域の低抵抗化を意図し、寄生CR時定数の低減を図っている。また、Al 配 線と他の信号線の交差部の低抵抗化にも役立つ。N<sup>++</sup>領域はAl とN<sup>++</sup> 領域の内部接続の信頼 性向上に役立つばかりでなく、信号線交差部の低抵抗化にも役立つ。このデバイス構造を得るに は、ソース・ドレイン拡散工程において2枚のマスクを使う。

プロセスフローは次のようになっている。通常のプロセスにより厚い分離用の酸化膜,ゲート酸化膜,ゲート金属(ポリシリコン)を形成する。その後,N領域形成のため,全面に1×10<sup>15</sup> / c#の濃度のAs を注入する。

図 3.1 1 に示すようにこの領域の接合深さは 0.2  $\mu$  m であり、シート抵抗は 9 0  $\Omega$ /□である。 次にマスクを用い、N 領域を形成したい領域にのみレジストを設け、その後 5 × 1 0<sup>15</sup>/ cf の A<sub>S</sub>を注入する。従ってN<sup>+</sup>領域は 6 × 1 0<sup>15</sup>/ cf 相当の A<sub>S</sub> が注入される。この領域の拡散深さ は 0.4 5  $\mu$ m、シート抵抗は 2 5  $\Omega$ /□である。熱処理は N<sup>+</sup> 領域形成後 1 0 0 0 °C 3 0 分のア ニールを行なう。更に、N<sup>++</sup>層は形成する領域にマスクを用い酸化膜を取り、リンを添加した C V D 膜を通して拡散し形成する。この領域は拡散深さ 2.3  $\mu$ m シート抵抗 1 5 ~ 2 0  $\Omega$ /□で ある。

N領域は,MOSトランジスタのゲート部に相当する領域以外は形成しない。また,N領域の 形成においてはN領域の長さがコンダクタンスの低下から問題となる。N領域を自己制御方式で

-45-



図 8.10 プロセス工程図



図3.11 As注入量とシート抵抗, xjの関係

形成する方法も提案されているが、量産化を図るにはプロセス制御がしにくく適していない。マ スクでN領域を制御する場合、N領域の長さの選定には、マスク合せ精度を考慮しなければなら ずマージンの確保が必要である。

#### 3.4.2 3重拡散型MOSトランジスタの特性

## 3.4.2.1 電気特性

ダイナミックMOS RAMに使用可能なMOSトランジスタは、テール電流、ブレークダ ウン電圧に優れている必要があり、三重拡散型MOSトランジスタ(T.D.T)についても詳細 に検討した。 $V_D = 1.0$  Vにおいて $I_D = 1 \mu A$  が流れるゲート電圧をしきい値電圧にしたとき に、しきい値電圧のゲート長依存性を図3.12に示す。ここで述べるゲート長はポリシリコンの 仕上り長である。通常のMOSトランジスタは N 領域がなく N<sup>+</sup> 領域だけで、ソース・ドレイ ン領域を形成し、 $\rho_S = 25 \Omega / \Box$ ,  $x_j = 0.45 \mu m$ のデバイスである。図3.12より、T.D.Tは 通常のMOSトランジスタに比べてゲート長で約0.4  $\mu m$ 短チャンネル化が可能なことがわかる。 また、図3.13はしきい値電圧のドレイン電圧依存性である。ダイナミックMOS RAMでは 周辺回路においても16  $\mu sec$ 程度以上の保持時間を必要とするので、ドレイン電圧によるしき い値電圧の低下は、テール電流を増やし、保持時間を低下させるので好ましくない。



図 3.1 2 しきい値電圧のゲート長依存性



図 3.1 4 しきい値電圧の V<sub>BB</sub> 電圧依存性



図 3.13 しきい値電圧のドレイン電圧依存性





図 8.1 3 より, ゲート長 1.9  $\mu$ mのT.D.Tでは V<sub>D</sub> = 5V 時のしきい値電圧が 0.2 Vであり, 回路的にも Pull-up 回路を設けているので 16  $\mu$ secの保持時間は十分達成できる。また,高 速アクセス時間を実現するには,負荷 MOSトランジスタの電流駆動能力を高めるため,しきい 値電圧の基板効果は小さい程良い。図 8.1 4 は,しきい値電圧の V<sub>BB</sub> 電圧依存性を示している。 基板の比抵抗は 2 0  $\Omega$ ・cm (7×10<sup>14</sup>/c<sup>4</sup>) であり,基板効果係数は k = 0.1 8 であった。従 って,しきい値電圧のソース電位依存性は小さく,大きな電流駆動能力が発揮できる。図 3.1 5 は、ダイナミック MOS RAMでは重要な検討項目である T.D.Tのテール電流を示している。 ダイナミック MOS RAMには重要な検討項目である T.D.Tのテール電流を示している。 ゲート長 1.9  $\mu$ mの T.D.Tは 7 5 Cのときゲート電圧 0 Vにおいて 1 0<sup>-9</sup>Aのテール電流が流 れる。ダイナミック MOS RAMの周辺回路において, 10<sup>-9</sup>Aの電流値で容量が 0.5 pFの ときの保持時間 t は、

t = 
$$\frac{C \cdot V}{I}$$
 =  $\frac{0.5 \times 10^{-12} \times 5}{10^{-9}}$  = 2.5 × 10<sup>-3</sup> sec

となり,16  $\mu$ sec以上を有するので 1.9  $\mu$ mのT.D.TをダイナミックMOS RAMに使用 できることがわかる。また, $\alpha(dV_G/d\log I_D) \approx 100$  mVは,通常のMOSトランジスタ と同等であり,ゲート長が長くなっても変わらない。一方,メモリセルにおいては、メモリセル のしきい値電圧が 0.4 Vのとき、十分長い保持時間が得られなくなるのでテール電流が問題とな る。しかし、一般にメモリセルのMOSトランジスタは、狭チャンネル効果により周辺回路に使 用した MOSトランジスタに比べて 0.3 ~ 0.4 V高いしきい値電圧となるので、2m secの保持 時間は十分に保証できる。

ダイナミックMOS RAMでは基本信号発生回路に昇圧回路を用いているので、MOSトラ ンジスタに印加される電圧は、そのデバイスの電源電圧の2倍近い値になる。そのため、ダイナ ミックMOS RAMに使用するMOSトランジスタは高耐圧の必要がある。図 3.1 6 はブレー クダウン電圧とゲート長の関係を示している。T.D.Tのアバランシェブレークダウン電圧は通 常のMOSトランジスタに比べて少し低いが、パンチスルーブレークダウン電圧は通常のMOS トランジスタに比べて高く、同一のブレークダウン電圧となるゲート長はT.D.Tが0.5  $\mu$ m 短チャンネル側に移行している。T.D.Tのアバランシェブレークダウン電圧が少し低い理由は、 N<sup>+</sup> 層の接合深さが少し深くなるため、分離用 P<sup>+</sup> 層の接合耐圧が下がるためと考えられる。こ の結果より、パンチスルーブレークダウン領域においては、T.D.Tが通常MOSトランジスタ に比べて 0.5  $\mu$ m 短チャンネル



図3.16 ブレークダウン電圧のゲート長依存性

化できることが明らかになった。

このように、しきい値電圧、テール電流、ブレークダウン電圧共にT.D.T はゲート長で0.4~0.5  $\mu$ m短チャンネル側に余裕があることが明らかになり、2.0  $\mu$ mのゲート長であっても短チャン ネル効果を起こしにくいことが明らかになった。図3.17はゲート長1.4  $\mu$ mのT.D.Tと通常 MOSトランジスタの静特性を示すが、T.D.Tはパンチスルーを起こしにくいことを示してい る。



図 3.1 7 静特性の比較

-49-

3.4.2.2 N領域とコンダクタンス

図3.10に示したように、N領域はマスクを用いて形成するため、N領域長の検討が必要である。 N領域の長さは、マスク合せの制御性とN領域のシート抵抗の兼ね合いによって決まる。図3.18 はN領域の長さと3極管領域におけるコンダクタンスを示している。ゲート長2.4  $\mu$ mの場合に は、N領域が2.8  $\mu$ mのとき、N領域が0  $\mu$ mに比べて4%のコンダクタンスの減少となり、N 領域長1.3  $\mu$ mでは2%の減少となる。一方、ゲート長2.0  $\mu$ mの場合には、N領域長が3.1  $\mu$ mのときN領域が0  $\mu$ mに比べて7.5%のコンダクタンスの減少となり、N領域長が1.5  $\mu$ m のときN領域が0  $\mu$ mに比べて7.5%のコンダクタンスの減少となり、N領域長が1.5  $\mu$ m のときには4.0%の減少となる。従って、短チャンネルT.D.Tの場合にはN領域を短く設定し ないと、実効的な3極管領域でのコンダクタンスの損失が大きくなることがわかる。



図 3.1 8 コンダクタンスの N<sup>-</sup> 領域長依存性

また,図3.19はT.D.Tと通常のMOSトランジスタの8極管領域におけるコンダクタンス とゲート長の関係を示している。N領域長2.8 µmのとき同一のコンダクタンスが得られるゲー ト長は,T.D.Tが0.4 µm短チャンネル側に移行する。従って,N領域が2.8 µmの場合には, 0.4 µmゲート長を短くしないとT.D.Tのコンダクタンスは通常のMOSトランジスタのコン ダクタンスに及ばない。この理由は,図3.18に示したようにN領域が3極管領域のコンダクタ ンスを低下させること,ソース・ドレイン領域の横方向拡散がT.D.Tと通常のMOSトランジ スタで 0.8 µm程度異なるためである。



図3.19 コンダクタンスのゲート長依存性

3.4.2.3 ゲートとソース・ドレインの重なり容量

式(3.6)でインバータの  $t_r$ を決める因子の1つとしてゲート容量があることを示した。ま た、T.D.Tと通常のMOSトランジスタを比較するとゲートとソース・ドレインの重なり容量 が異なる。図 3.20はチャンネルが形成されたときのゲート容量と、散方向拡散長をSEMと飽 和領域のコンダクタンスにより求め、ゲートとソース・ドレインの重なり容量を計算により求め た結果を示している。ゲート容量は、ゲート長に比例し、ゲート長0 $\mu$ mではOpFとなる。し かし、重なり容量はT.D.Tと通常MOSトランジスタで2.5倍異なり、T.D.Tが小さな値と なっていることを示している。また、ゲート容量は、ゲート長2.4 $\mu$ mと2.0 $\mu$ mで17%異な り、負荷容量に対して約9%の差が生じることを示唆している。

このように, T.D.Tは重なり容量が小さいことから,回路動作させた場合,最大2倍の等価 容量となるミラー容量が低減でき,高速化に適したデバイスであることが明らかとなった。



図 8.20 ゲート長と重なり容量

# 3.4.3 3重拡散型MOSトランジスタを用いた64KダイナミックMOS RAMとその電気 特性

T.D.Tと通常のMOSトランジスタの性能差を定量的にダイナミックMOS RAMで調べ るためにT.D.Tおよび通常のMOSトランジスタによる64KダイナミックMOS RAMを 試作した。T.D.Tの優れた特性は、MOSトランジスタの短チャンネル効果が起こりにくいこ と、ゲート容量、ゲートとソース・ドレインの重なり容量を低減できること、ソース・ドレイン の寄生抵抗を低減できることである。従って、これらの効果を実際のダイナミックMOS RAM で実証する必要がある。図3.21にT.D.Tと通常のMOSトランジスタによる64Kダイナミ ックMOS RAMの電源電流とゲート長の関係を示す。図3.21は,通常のMOSトランジス タではゲート長が短くなると動作電流が大きくなり、ゲート長 2.4 μm以下では実使用に耐え得 ないことを示している。一方, T.D.Tはゲート長2.0 μmであっても動作電流の増加はあまり 認められず、ゲート長2.0 μmでも実使用に耐え得ることを示している。また、図3.22は、同様 に試作した64KダイナミックMOS RAMの待機電流を示している。図3.21と同様にT. D.Tはゲート長2.0 µmにおいても実動作に十分耐え得る値が得られており,通常のMOSト ランジスタに比べて短チャンネル化が容易なことがわかる。これらのことから、通常のMOSト ランジスタはゲート長 2.4 μmが実使用に耐え得る下限であると言え, T.D.Tでは 2.0 μmま で実使用に耐え得ることが明らかになった。

ダイナミックMOS RAMの高速化にはMOSトランジスタのコンダクタンスの増大が必要 であることを第2章で示した。MOSトランジスタのコンダクタンスにはソース・ドレイン領域

-52-



図3.21 電源電流のゲート長依存性



図 3.2 2 待機電流のゲート長依存性

の寄生抵抗が影響を与えるので,寄生抵抗の影響を含めたコンダクタンスの検討をする必要があ る。また,コンダクタンスはゲート長に大きく依存するのでこの検討も必要である。

図 3.2 3は, RAS アクセス時間のゲート長依存性を示している。同一のゲート長に対しては

通常のMOSトランジスタの方が高速である。一方,図3.24は、3極管領域のコンダクタンス とRASアクセス時間の関係を示している。図3.24は3極管のコンダクタンスが同一の場合に はT.D.Tの方が高速となることを示しているが、理由は3.4.4節で詳細に述べる。図3.24よ り1800 $\mu$ A/V のコンダクタンスの場合,T.D.Tは通常MOSトランジスタと比べて13 nsec(15%)高速である。また、リフレッシュ時間は,T.D.Tの場合、ゲート長が2.0 $\mu$ mでもT<sub>a</sub>=75°C,V<sub>CC</sub>=4.5Vにおいて500msec以上あり、実使用の2msecに対して +分余裕がある。動作最大電圧もT.D.Tの場合、ゲート長2.0 $\mu$ mで10.5V以上の値を有し、 実使用で問題ない値である。





図 3.2 4 アクセス時間のコンダクタンス (三極管領域)依存性

このようにT.D.Tでは2.0 μmのゲート長でも64KダイナミックMOS RAMの特性を 劣化させることなく,実使用に耐え得る特性を有していることが明らかになった。また,これら の特性は,3.4.2 で述べたT.D.Tの特性と対応しており,T.D.TがダイナミックMOS RAMの高性能化に有効なデバイスであることが明らかとなった。

なお、図 3.2 5 に示すようにゲート長 2.0  $\mu$ mのT.D.Tを用いることにより、標準 $\overline{RAS}$ ア クセス時間 55 nsec,  $\overline{CAS}$  アクセス時間 32 nsecが得られた。



図 3.25 RAS, CAS 信号に対する出力波形(アクセス時間)

#### 3.4.4 3重拡散型MOSトランジスタの高性能性

高性能ダイナミックMOS RAMを実現するためには、基本MOSトランジスタの高性能性 を引き出す必要があり、T.D.Tを提案したが、通常のMOSトランジスタに比べて、高速化が 容易な理由を本節で検討する。図 3.18に示した3極管領域のコンダクタンスは、N領域の影響 を大きく受ける。飽和領域においてはN領域抵抗のため、ソース端電圧が浮き上がる効果によ りコンダクタンスの低下が起こるが、3極管領域のコンダクタンスに比べて影響は小さく、また、

実際の回路動作においても飽和領域で動作する時間が長いので、N領域の抵抗値は回路スピード にあまり大きな影響を与えていないと考えることができる。T.D.Tと通常のMOSトランジスタの 各種ゲート長に対するデバイスパラメータの比較表を表 8.1に示す。ここで9mは、VG=3V時での飽 和領域のコンダクタンス,CgはW=20 µmのときの MOSトランジスタのゲート容量,CLはMOS トラ ンジスタの負荷容量であり、ゲート長2.4μmのときゲート容量と他の容量が1:1になるとの仮 定により求めた値である。また、 $t_r$ は $C_L / g_m$ により求めた立ち上がり時間である。表 3.1は,ゲート長 2.0 μmのT.D.Tとゲート長 2.4 μmの通常のMOSトランジスタを比較すると, T.D.Tはコンダクタンスが大きく,一方,負荷容量が小さいので,tr では11%高速になる 可能性のあることを示している。また,ゲート長 2.0 μmのT.D.Tとゲート長 2.4 μmの通常 のMOSトランジスタの基本特性の比較を表 3.2 に示す。ゲート長 2.0 µmのT.D.Tとゲート 長2.4 µmの通常のMOSトランジスタの3極管領域のコンダクタンスは,通常のMOSトラン ジスタの方が大きいが,飽和領域のコンダクタンスはT . D . T が高くなっている。また,ゲート とソース・ドレインの重なり長は,T.D.Tでは0.1 µmであるに対して,通常のMOSトラン ジスタでは 0.2 5 μm である。従って, Τ.D.Tの高性能化に対する特長は, 浅い拡散領域をソ ース・ドレイン領域に用いることによって同一のチャンネル長であっても拡散層が浅いことによ り、しきい値電圧やパンチスルーブレークダウン電圧の短チャンネル効果を起こしにくくでき、 同一のしきい値電圧やパンチスルーブレークダウン電圧で比較すると 0.1 ~0.2 µm程度の実効 チャンネル長の短チャンネル化が可能なことである。また、他の特長は、同一の実効チャンネル 長であってもゲート容量、ミラー容量を小さくできることである。

試作した64KダイナミックMOS RAMでは、ゲート長が2.0 μmのT.D.Tは、ゲート 長が2.4 μmの通常MOSトランジスタの場合に比べて15%高速になっていた。しかし、表 8.1に示した遅延計算では、11%の改善であり一致しない。この差の原因は、遅延計算で考慮 していないミラー容量であると考えられる。このように、ソース・ドレイン領域を浅い拡散層と

ゲート長	T.D.T			通常MOSトランジスタ			д	
(µm)	$\mathscr{G}_{m}(\mu A/V)$	$C_{g}(pF)$	$C_L(pF)$	tr(nsec)	<b>9</b> <sub>m</sub> (μΑ/V)	$C_g(pF)$	C <sub>L</sub> (pF)	t <sub>r</sub> (nsec)
2.0	640	0.029	0.063	0.098	_	_		_
2.4	570	0.034	0.068	0.120	620	0.034	0.068	0.110
2.8	520	0.040	0.074	0.142	550	0.040	0.074	0.134

表3.1 T.D.Tと通常MOSトランジスタ比較(1)

		T.D.T	通常MOSトランジスタ
L <sub>si</sub>	ゲートポリシリコン長	2.0 µm	2.4 µm
x j	横方向の拡散長	0.1 µm	0.25 μm
L <sub>eff</sub>	実効チャンネル長	1.8 µm	1.9 μm
9 <sub>m</sub>	飽和領域の コンダクタンス	640 µA/V	6 2 0 µA/V
₿ <sub>ds</sub>	3 極管領域の コンダクタンス	1800 µA/V	1900 µA/V
Cg	ゲート容量 (20μmのゲート幅)	0.028 pF	0.034 pF

表 3.2 T.D.Tと通常MOSトランジスタ(2)



図 3.2 6 ダイナミック MOS RAMのパターンレイアウトの例 (部分拡大図)

したT.D.Tは,実効チャンネル長を短くできるばかりでなく,ゲート容量,ゲートとソース・ ドレインの重なり容量を大幅に低減でき,これらの効果によって高性能化が達成されている。

また, T.D.Tは, 拡散領域の抵抗を下げることにより高速設計を可能にしている。

図3.26はダイナミックMOS RAMのレイアウトの一部を示している。Al 配線下はAl 線と拡散層間のコンタクトが取れないので,3.2節で述べたソース・ドレイン領域の寄生抵抗に より、コンダクタンスの低下が起こるが、N<sup>+</sup> 領域の低抵抗化によりコンダクタンスの低下を防止できる。また、Aℓと交差する信号線のN<sup>+</sup> 拡散抵抗を下げることによりダイナミックMOS RAMの動作余裕度を広げることができる。図 3.27にN<sup>+</sup> 拡散層を25Ω/ロ,N<sup>++</sup> 拡散層 を15Ω/ロとしたT.D.Tと通常のMOSトランジスタでN<sup>+</sup> 拡散層を40Ω/ロで試作した 64KダイナミックMOS RAMのSchmooプロットを示す。同一の回路、レイアウト設計 で、アクセス時間がほぼ同一の例であるが、40Ω/ロでは動作マージンが非常に悪くなってい る。これは、40Ω/ロで広い動作マージンを得るには配線部の交差抵抗や、ソース・ドレイン 領域における寄生抵抗による信号遅延を保証した回路設計にしなければならず、即ち高速化が困 難になることを示している。このように、T.D.Tは3.3節で示した3つの重要な要素を満足す る優れたデバイスであることが明らかになった。



図 3.27 N<sup>+</sup> 抵抗と動作マージン

-58-

# 3.5 ゲート重なり容量を低減化した(SAGOS)MOSトランジスタ

 3.3節で述べた高性能ダイナミック MOS RAMに必要な3つの重要な要素を満足させるデバイスとして、3.4節で3重拡散型 MOSトランジスタ(T.D.T)を提案した。本節では、T.D.Tの実用改良型であり、3つの要素のうちの浮遊容量の低減化をねらったSAGOS(<u>Self Aligned</u> Small Gate Overlap Structure) MOS トランジスタを提案する。

#### 3.5.1 デバイス構造とプロセス

短チャンネル効果を防止しつつ,ポリシリコンゲート長を短くできるSAGOS MOSトラ ンジスタの断面模式図を図3.28に示す。SAGOS MOSトランジスタは,ゲートポリシリ コンのエッチング用レジスト膜をイオン注入用のマスクとしても使用することによってセルフア ラインでゲートとソース・ドレイン間の重なり容量を小さくしたMOSトランジスタであり,次 のようなプロセス工程によって作られる。



# Substrate

図 3.28 SAGOS MOS トランジスタの断面模式図

- (1) ゲート酸化膜上にポリシリコン層を成長させレジスト膜を塗布する。
- (2) ポリシリコンゲートマスクを用いてポリシリコンとゲート酸化膜をエッチングする。この時
   ポリシリコンのオーバーエッチを行なう。
- (3) レジスト膜を付着させたまゝAsイオンの注入を行なう。
- (4) レジスト膜を除去する。

ゲートポリシリコンのエッチング用レジスト膜を使用してソース・ドレイン領域のイオン注入 を行なうため、MOSトランジスタの実効チャンネル長はレジスト膜の寸法によって決定される。 ここで、レジスト膜を除去後イオン注入を行なう場合は通常のMOSトランジスタ構造となる。

図 3.2 8 において, レジスト寸法を $L_R$ , ポリシリコンゲート長を $L_P$ , ポリシリコンのオーバ ーエッチング量を $L_E$ , ソース・ドレイン領域の水平方向の拡散長を $x_j$ , 実効チャンネル長を  $L_{eff}$ , ゲートとソース・ドレインとのオーバーラップ長を $L_{OV}$ とすると次式が成り立つ。

 $L_{eff} = L_P - 2L_{OV}$ 

$$= L_{\rm P} - 2(x_{\rm i} - L_{\rm E}) = L_{\rm R} - 2x_{\rm i}$$
(3.7)

このように  $L_{eff}$  はレジスト寸法  $L_R$ によって決定される。また,  $L_{OV} = x_j - L_E$ の関係から,  $L_E$ を大きくすれば  $L_{OV}$  は小さくなる。  $L_{eff} = 2.3 \ \mu m$ ,  $x_j = 0.2.8 \ \mu m$  とした場合を考えると, 通常のMOSトランジスタは  $L_P \approx 2.8.6 \ \mu m$  となるが, SAGOS MOS トランジスタで  $L_{OV} = 0 \ \mu m$ という理想的状態に  $L_E$ を制御した場合,  $L_P = 2.3 \ \mu m$  でよく, MOSトランジスタのゲート入力容量を約20%減少でき,ダイナミックMOS RAMの高速化に有効となる。

#### 3.5.2 SAGOS MOSトランジスタの特性

SAGOS MOS トランジスタの特性を調べるため、通常のMOSトランジスタとSAGOS MOSトランジスタを異なる工程以外は同時に処理し、更に、 $L_R = 3.3 \mu m$ の一定値に対し、 ポリシリコンのエッチング時間を変えることによって $L_P を 2.3 \mu m$ から  $3.2 \mu m$ まで変化させ た。 $L_P はゲートポリシリコン用レジスト膜を除去した後、微小寸法測定装置により測定した。$ 図 <math>3.2 9は、しきい値電圧の $L_P$  依存性を示す。通常のMOSトランジスタでは $L_P$  が短くなる と短チャンネル効果によってしきい値電圧が低下している。一方、SAGOS MOSトランジスタ では、予測どおりしきい値電圧の低下はない。図 3.30には、ソース・ドレイン間耐圧のゲート 長依存性を示す。通常のMOSトランジスタでは、 $L_P = 2.6 \mu m$ 付近から急激に耐圧が低下 している。これはいわゆるパンチスルー現象による耐圧低下である。

一方, SAGOS MOSトランジスタでは耐圧の低下は観測されなかった。

図3.31はコンダクタンス定数(β)のゲート長依存性を示している。ここでのβ値はトラン ジスタ幅20μmの測定値を10分の1とした値として示した。 通常のMOSトランジスタのβ (14) はほぼ次式を満足する。

 $\beta \cdot L_{eff} = \beta \cdot (L_P - 2x_i) = -\hat{z}$ (3.8)

$$-60-$$

上式を用いて xjを求めると次式となる。

$$\mathbf{x}_{j} = \frac{\mathbf{L}_{\mathbf{P}_{2}} \cdot \beta_{2} - \mathbf{L}_{\mathbf{P}_{1}} \cdot \beta_{1}}{2(\beta_{2} - \beta_{1})}$$
(3.9)

通常のMOSトランジスタの $x_j$ を式(3.9)を用いて求めると約0.21 $\mu$ m となり、 $x_j$ の 実測値約0.28 $\mu$ mとほぼ良い一致を示す。一方、SAGOS MOS トランジスタでは $\beta$ の $L_P$  依存性は小さい。



図 3.2 9 しきい値電圧のゲート長依存性





-61-

SAGOS MOSトランジスタは、このように優れた特性を示すことがわかったが、 $L_E > x_j$ の領域でオフセットゲート効果によるしきい値電圧の上昇のないことは、予想以上の良好な特性である。また、SAGOS MOSトランジスタと通常のMOSトランジスタをSEMにより観測した結果、以下のことがわかった。

- SAGOS MOSトランジスタのソース・ドレイン領域の端の形状は通常のMOSトランジスタに比較してゆるやかな勾配をもつ。
- (2) SAGOS MOSトランジスタは、ソース・ドレイン領域の形状が左右非対称である。
- (3)  $L_P \approx 2.3 \mu m O SAGOS MOSトランジスタは L_E > x_j 領域において L_O V \approx 0 \mu m$ となり、理想的なトランジスタ構造を示す。

以上の解析結果によると実際のデバスの断面は図 3.32 になる。レジスト 膜の端の形状は薄くなっっており、この部分をAsイオンが突き抜けて、シリコン基板表面に薄く注入され、浅い接合を 形成する。また、イオン注入の角度は垂直方向に対しわずかに約8°傾斜しており、これらがソ ース・ドレイン領域の左右非対称の原因になっている。



図3.31 コンダクタンス定数のゲート長依存性





# 3.5.3 SAGOS MOSトランジスタの64KダイナミックMOS RAM への適用とその電気特性

ゲート入力容量が小さいSAGOS MOSトランジスタがダイナミックMOS RAMの高 速化に有効であることを実証するため、64KダイナミックMOS RAMに適用した。 SAGOS MOSトランジスタは、ソース・ドレイン形状の非対称性がメモリセルから読み出 (15) される微小電圧を増幅するフリップフロップ回路の電圧感度を低下させる恐れがあるため、2個 のMOSトランジスタのドレインとソースの向きを一方向に配置する工夫をした。他の回路につ いては、この非対称性による影響は小さいと判断し、特別な配置上の工夫はしていない。

図 3.3 3 は、 $CAS アクセス時間のゲート長(L_P) 依存性を示す。同一のLP に対し、$ SAGOS MOSトランジスタのアクセス時間が遅くなったのは実効チャンネル長が長いため $である。また、L<sub>R</sub>=L<sub>P</sub>= 3.3 <math>\mu$ m 付近では両方のトランジスタともほぼ同一のアクセス時間 になっている。SAGOS MOSトランジスタで L<sub>P</sub> が小さくなるほどアクセス時間が早くな る理由は、ゲート入力容量の減少と図 3.3 1 に示したコンダクタンス定数の増大の効果である。 図 3.3 4 に  $\overline{CAS}$ アクセス時間のコンダクタンス定数依存性を示す。同一のβ値に対しては同一 L<sub>eff</sub>であり、両方のMOSトランジスタにおけるアクセス時間の差は、ゲート入力容量の減少 による効果であると考えられる。特にL<sub>P</sub>を短くした領域における効果は大きく、 $\beta$ =56 $\mu$ A/ V<sup>2</sup>において SAGOS MOSトランジスタは同一β値の通常MOSトランジスタに比べて 1 1%高速になっている。このとき、SAGOS MOSトランジスタのL<sub>P</sub>は約 2.3  $\mu$ mで通 常MOSトランジスタのL<sub>P</sub>は約 2.9  $\mu$ mとなり、SAGOS MOSトランジスタのゲート入 力容量は、通常MOSトランジスタに比べて約20%減少し、チップ全体で1 1%高速であ ることは妥当であると考えられる。


図 3.3 4 CAS アクセス時間のコンダクタンス定数依存性

また、試作した64KダイナミックMOS RAMのリフレッシュ時間は $L_P=2.3 \mu m$ で 400msec,最大動作電圧も $L_P\approx 2.3 \mu m$ で11Vであり優れた特性を示した。

このようにゲート重なり容量を低減化したMOSトランジスタ(SAGOS)は,他の電気特性 を劣化させることなく,高速化が達成できるデバイス構造であることが明らかになった。

## 3.6 結 言

MOSトランジスタの短チャンネル化に従って、ソース・ドレイン領域の拡散層やゲートポリ シリコンの抵抗が回路動作に及ぼす影響を明らかにし、その回路設計上の取り扱いについて明ら かにした。また、ダイナミックMOS RAMの高性能化を達成するために、その基本デバイス が満足する必要のある3つの重要な要素(高性能なMOSトランジスタ特性,寄生抵抗の低抵抗化, 小さい寄生容量 ) を示した。この重要な要素を満足できる三重拡散型 MOSトランジスタ(T.D. T)を提案し、その特性について通常のMOSトランジスタと比較検討した結果、ゲート長1.9 μmのT.D.Tはしきい値電圧,ブレークダウン電圧,テール電流の劣化はなく,実使用に耐え得る 特性を有することを示した。また、T.D.TのN領域によるコンダクタンスの低下について検討した結 果, N領域が2.5 μm以下であればT.D.Tの短チャンネル特性が有効となることを示した。このT.D. Tを用いて64KダイナミックMOS RAMを試作した結果,ゲート長20μmのとき標準ア クセス時間55nsecが得られた。通常の MOSトランジスタによるダイナミック MOS RAM と性能を比較した結果,T.D.Tの優れた特徴は,短チャンネル効果が起こりにくいことの外に, ゲート容量、ゲートとソース・ドレインの重なり容量が小さくなっていることであることがわか り、同一のコンダクタンスの場合には11%以上の高速性が得られることを理論的に確かめ、 64KダイナミックMOS RAMの試作により15%の高速性が確認できた。さらに、T.D. Tによるソース・ドレイン,信号交差部の抵抗の低減により,広い動作領域が得られることも明 らかにした。

また,上記T.D.Tの実用性を高めるため、マスク枚数を減らし、上記構造と類似している SAGOS MOSトランジスタを提案し、その特性について解析した結果、このデバイスの特性 はゲートポリシリコン長ではなく、ゲートポリシコンエッチング用のレジスト寸法で決定されるこ とがわかり、ゲートポリシリコン長2.3 µmまでしきい値電圧、ソース・ドレイン間耐圧の低下 を起こさないことを明らかにした。SAGOS MOSトランジスタを64Kダイナミック MOS RAMに適用すると、ゲート入力容量の低減により通常のMOSトランジスタに比べて 11%の高速化が達成できることを明らかにした。

## 参考文献

- R.H. Dennard, F.H. Gaensslen, H.N. Yu, V.L. Rideout,
   E. Bassous and A. LeBlanc; "Design of ion-implanted MOSFET with very small physical dimensions", IEEE J. Solid-State Circuits, vol. SC-9, No.5, PP. 256-268, 1974.
- (2) 斉藤 和之; "Sub micron Lightly Doped Drain MOS FET",電子通信学会, 半導体トランジスタ研究会,SSD 78-37, PP. 75-84、1978.
- (3) S. Ogura, P.J. Tsang, W.W. Walker, D.L. Critchlow and J.F. Shepard; "Design and characteristics of the lightly doped drain-source (LDD) insulated gate field-effect transistor", IEEE Trans.Electron-Devices, vol. ED-27, No.8, PP. 1359-1367, 1980.
- P.J. Tsang, S. Ogura, W.W. Walker, J.F. Shepard and D.L. Critchlow; "Fabrication of High-Performance LDDFET's with Oxide Sidewall-Spacer Technology", IEEE Trans. Electron -Devices, vol. ED-29, No.4, PP. 590-596, 1982.
- H. Sunami, K. Shimohigashi and N. Hashimoto; "Characteristics of a Buried-Channel Graded Drain with Punching through Stopper (BGP) MOS Device", IEEE Trans. Electron -Devices, vol. ED-29, No.4, PP. 607-610, 1982.
- (6) 長山,下酉,中野; "MOSトランジスタにおける寄生CR時定数の効果",昭58信学総合 全国大会, P.2-29
- (7) 長山,下酉,中野; "MOSトランジスタにおける寄生CR時定数の効果(2)",昭54信学総 合全国大会, P.2-208.
- (8) Y. Nagayama, K. Ohbayashi, M. Taniguchi, T. Yoshihara and T. Nakano; "A 55nsec 64K Dynamic MOS RAM with Triple Diffused MOS Transistor", IEDM Dig. Tech. Papers, PP. 620-623, 1982.

- (9) Y. Nagayama, K. Ohbayashi, M. Taniguchi, T. Yoshihara and T. Nakano; "A 55nsec 64K Dynamic MOS RAM with Triple Diffused MOS Transistor", IEEE Trans. Electron-Devices, To be published.
- (10) 谷口,長山,佐藤,畑中; "ゲート重なり容量を低減化した MOSTによる高性能64KビットダイナミックRAM",信学論(C), vol. J65-C, №7, PP. 569-575, 1982.
- H.C. Lin, Y.F. Arzoumanian, J.L. Halsor, M.H. Giuliano and H.F. Benz; "Effect of Silicon-Gate Resistance on the Frequency Response of MOS Transistors", IEEE Trans. Electron-Devices, vol. ED-22, No.5, PP. 255-264, 1975.
- (12) 武谷,家田; "MOS ICにおける配線遅延のモデル化の検討",昭51信学総合全国大会.
   P.2-141.
- (13) 下東; "MOS メモリのアクセス時間の解析",昭56信学総合全国大会, P. 2-165.
- (14) R.H. Crowford; "MOSFET in Circuit Design", Mc Graw-Hill. Book Company, P. 54.
- (15) 下酉,長山,中野; "ダイナミック MOS RAMのセンスアンプ感度の解析", 信学論(C), vol. J 61-C, № 6, PP. 399-401、1978.

# 第4章 MOS RAMの動作余裕度

## 4.1 序

ダイナミックMOS RAMのメモリセルは、1トランジスタ型が一般に用いられているが、 このメモリセルを用いると読み出される電位が数百mVと非常に小さいので、この微少な電位を 安定に増幅するセンスアンプ回路の設計が重要となる。このため、センスアンプ回路の動作に関 (1),(2) (3),(4) する種々な検討や新しいセンスアンプ回路の提案がなされている。

また,微細加工技術による大容量ダイナミックMOS RAMでは,1ビット当りの信号電荷 (5) 量が小さくなることがスケーリング則から導き出されるので,動作余裕度の低下が予想され、そ の拡大が必要になる。動作余裕度の拡大は、センスアンプ回路のS/N比の改善であり,読み出 し電圧を増加させる方法の研究やセンスアンプ回路の高感度化の研究に集約することができる。 (6),(7),(8),(9) 読み出し電圧を増す方法については,種々なメモリセルが提案されているが,センスアンプ回路 の高感度化を図るための定量化は十分行なわれていない。

また、ダイナミックMOS RAMの動作余裕度を決定する因子としてソフトエラーがある。 (10) 1978年にMayらによってパッケージ材料に含まれている放射性物質により放射されるα線 のためダイナミックMOS RAMにソフトエラーが発生するという現象が発表され、α線によ るソフトエラーがダイナミックMOS RAMに重大な障害となることがわかった。ソフトエラ (11) 一改善のため、パッケージ材料の精製、チップコートによる改善、メモリセル構造の改良と回路 (15)、(16) 設計の最適化の研究が行なわれ、成果が上っている。しかしながら、ソフトエラーが起こる場合 のダイナミックMOS RAMの性能の改善度や、回路設計の中でもダミーセルサイズとソフト エラーの関係や、ワード線昇圧方式とソフトエラーの関係などについて明らかでない点が多く、 研究課題は多い。

本章では、以上の問題に対して動作余裕度の拡大のため、以下の検討を行なっている。4.2 節では、センスアンプ回路の感度をMOSトランジスタの特性式より解析的に求め、定式化し、 (17) センスアンプ回路の高感度の方針を明らかにしている。4.3節では、スケーリング則に基づいて進展 してきたダイナミックMOS RAMのデバイス・回路設計にソフトエラーが与えた影響を定量的 (18) に解析し、ソフトエラーを考慮した修正スケーリング則を提案する。また、修正スケーリング則 を適用したメモリ容量決定法を示し、高速化、高性能化を実現するための新しい回路構成法を提 (19) 案する。また、提案した修正スケーリング則の妥当性の検討を行なっている。4.4節では、回路 設計技術によりソフトエラー率の改善を図るため、ダミーセルサイズやワード線昇圧方式とソフ (2)

## 4.2 センスアンプ感度の定量化

1トランジスタ型のメモリセルを用いたダイナミックMOS RAMのセンスアンプ感度の解 (21),(22) 析は,計算機解析のシミュレーションにより求められた例はあるが,動作特定式を用いて解析的 に導びかれていない。ここでは,MOSトランジスタの動作特定式を用いて,センスアンプ感度 を求め,デバイスパラメータに対する依存性を明らかにする。

また、計算機解析により、得られた式がセンスアンプ感度を良く表現していることを示す。

#### 4.2.1 センスアンプ感度の導出

図4.1 に示したような、完全ダイナミックセンスアンプを簡単化した回路について、センスア ンプ感度を求めた。図4.2 は、低電位信号を読み出すときの、センスアンプ回路のタイミング を示す。時刻 t<sub>0</sub> におけるビット線A,Bの電位 V<sub>1</sub>,V<sub>2</sub>を、 $\phi_1$ , $\phi_2$ によってプリチャージさ れた電位をV<sub>P</sub>とし、MOSトランジスタQ<sub>1</sub>,Q<sub>2</sub> のしきい値電圧をV<sub>tb1</sub>,V<sub>th2</sub>(V<sub>th1</sub><V<sub>th2</sub>) とするとノードCはV<sub>S</sub>=V<sub>P</sub>-V<sub>th1</sub> に充電される。時刻 t<sub>1</sub> で記憶情報の読み出しがなされ、 メモリセルに接続したビット線の電位 V<sub>2</sub> が dV<sub>MB</sub>,ダミーセルに接続したビット線の電位 V<sub>1</sub>



図4.1 センスアンプ回路



図 4.2 センスアンプ回路のタイミング図

が  $\Delta V_{DR}$  ( $\Delta V_{MR} > \Delta V_{DR}$ ) だけ変化した場合を考えると、 $V_1$ ,  $V_2$  は  $t_1$  で次のように表わす ことができる。

$$\mathbf{V}_1 = \mathbf{V}_{\mathbf{P}} - \Delta \mathbf{V}_{\mathbf{DR}} \tag{4.1}$$

$$\mathbf{V}_2 = \mathbf{V}_{\mathbf{P}} - \Delta \mathbf{V}_{\mathbf{MR}} \tag{4.2}$$

時刻  $t_2 \ \sigma V_S$ が (  $V_P - V_{thl}$ )  $- \Delta V_{MR}$ ;  $\Delta V_{MR} > V_{th2} - V_{th1} + \Delta V_{DR}$  に瞬時になった とすると、 $Q_1$ ,  $Q_2$ は5極管領域で動作をはじめる。このとき、 $Q_1$ ,  $Q_2$ を流れる電流は次式で 与えられる。

$$I_{1} = -C_{1} \frac{dV_{1}}{dt} = \frac{\beta_{1}}{2} \cdot (V_{2} - V_{S} - V_{th1})^{2}$$
 (4.3)

$$I_{2} = -C_{2} \frac{dV_{2}}{dt} = \frac{\beta_{2}}{2} \cdot (V_{1} - V_{S} - V_{th 2})^{2} \qquad (4.4)$$

ここで、 $C_1$ 、 $C_2$ はノードA、Bに付随したビット線容量、 $\beta_1$ 、 $\beta_2$ は $Q_1$ 、 $Q_2$ のコンダク タンス定数である。時刻  $t_2$  以降は、 $V_S$ が時間の経過に対して直線的に速度Kで減少する場合 を考える。

$$V_{S} = (V_{P} - V_{th1}) - \Delta V_{MR} - K \cdot (t - t_{2})$$
(4.5)

いま、センスアンプ回路を活性化し、読み出された微少電圧を増幅する短い時間を問題としているので、ノードA,Bの電位は下降速度K<sub>1</sub>,K<sub>2</sub>で直線的に減少するものと近似することができる。

$$V_1 = V_P - \Delta V_{DR} - K_1 \cdot (t - t_2)$$
 (4.6)

$$V_2 = V_P - \Delta V_{MR} - K_2 \cdot (t - t_2)$$
 (4.7)

式(4.3)~(4.7)によって次式が得られる。

$$2C_1 \cdot K_1 / \beta_1 = \{ (K - K_2) \cdot (t - t_2) \}^2$$
(4.8)

$$2C_2 \cdot K_2 / \beta_2 = \{ (K - K_1) \cdot (t - t_2) + \Delta V_{MR} - \Delta V_{DR} - (V_{th2} - V_{th1}) \}^2$$
(4.9)

ビット線A,Bの電位の下降速度K1,K2が等しいとき、メモリセル、ダミーセルから読み出

された電位差が一定のまま、 $V_1$ , $V_2$ が減少する。 $K_1 = K_2 = \alpha K$ とおくと、時刻 t ( $|V_S(t) - V_S(t_2)| \ll |V_S(t_2)|$ を満たす t )におけるビット線A,Bの電位差は式 (4.8), (4.9)より

$$\Delta \mathbf{V}_{\rm MR} - \Delta \mathbf{V}_{\rm DR} = \sqrt{\frac{2 \, C_2 \, \alpha \, \mathrm{K}}{\beta_2}} - \sqrt{\frac{2 \, C_1 \, \alpha \, \mathrm{K}}{\beta_1}} + ( \, \mathbf{V}_{\rm th\,2} - \mathbf{V}_{\rm th\,1} ) \qquad ( \, 4.1 \, 0 \, )$$

と求められる。式(4.10)が満たされるとき,読み出された電位差の増幅がなされない。従って,式(4.10)で与えられる関係を満足する読み出し電位差が,読み出された記憶情報を 正常なデータとして増幅するか,誤まったデータとして増幅するかの境界を与えるので,これを 感度(ΞΔVAS)と定義することができる。

式 ( 4.10 )は、 $V_{th1} < V_{th2}$ 、  $\Delta V_{MR} > (V_{th2} - V_{th1}) + \Delta V_{DR}$ の条件で導出されたが、ほかの条件においても同じ形に求められる。

次に  $\Delta V_{AS}$ の最大値  $\Delta V_{ASmax}$  をデバイスパラメータの変動量に対応させて求める。 $Q_1$ ,  $Q_2$ のコンダクタンス定数,しきい値電圧およびビット線容量の中心値を $\beta_0$ ,  $V_{th0}$ ,  $C_0$ とし、 各々のばらつきを  $\Delta \beta$ ,  $\Delta V_{th}$ ,  $\Delta C$ とすれば次式が得られる。

$$\Delta \mathbf{v}_{ASmax} = \sqrt{2\alpha \cdot K} \cdot \left( \sqrt{\frac{C_0 + \Delta C}{\beta_0 - \Delta \beta}} - \sqrt{\frac{C_0 - \Delta C}{\beta_0 + \Delta \beta}} + \left( \mathbf{v}_{th0} + \Delta \mathbf{v}_{th} \right) - \left( \mathbf{v}_{th0} - \Delta \mathbf{v}_{th} \right)$$
(4.11)

ダイナミックMOS RAMの製造条件を考えると、一般に $\Delta C/C_0 \ll 1, \Delta \beta / \beta_0 \ll 1$ であり、次式(4.11)は次のように表わすことができる。

$$\Delta \mathbf{V}_{ASmax} = \sqrt{\frac{2\alpha KC_0}{\beta_0}} \left(\frac{\Delta C}{C_0} + \frac{\Delta \beta}{\beta_0}\right) + 2 \Delta \mathbf{V}_{th}$$
(4.12)

#### 4.2.2 定量化したセンスアンプ感度の妥当性の検討

式 (4.12)を導出するに当り、 $V_S$ が $t = t_2$ で瞬時に、( $V_P - V_{th1}$ )- $\Delta V_{MR}$ になると 仮定したが、この妥当性を調べるためにMOSトランジスタの動作特性を Pao・Sah の式で表 わし、図4.1に示したセンスアンプ回路の計算機解析を行なった。図4.3は、 $\delta \equiv \Delta C/C_0$ 、  $\gamma \equiv \Delta \beta / \beta_0$ をパラメータとしたときの計算機解析結果による感度  $\Delta V_{ASmax}$  と  $\sqrt{2K \cdot C_0 / \beta_0}$   $\equiv \eta$ の関係を示している。図4.3 より、 $\Delta V_{ASmax}$  は 0.7  $< \eta < 5$ の範囲で  $\eta$  に比例し、又、 $\eta$  が

-71-



一定のときδ, γに比例していることがわかる。従って式(4.12)はαが決められたときの センスアンプ感度を与える解析式とみなすことができ、上述の仮定が感度の導出に当っては妥当 であると考えることができる。

 $\Delta V_{ASmax}$ が式(4.12)で与えられるとき、図4.8の結果を用いた  $\alpha$ の計算結果を図 4.4 に示す。 $1 < \eta < 3$ の範囲では $\alpha$ が 0.45となり、ビット線電位の下降速度がセンスアンプ のソース電位の下降速度の約 1/2 であると考えれば、式(4.12)をセンスアンプ感度とす ることができる。

このように、センスアンプ感度をビット線容量、センスアンプ回路のMOSトランジスタのコン

ダクタンス定数,ビット線のソース端下降速度と,ビット線容量,MOSトランジスタのコンダク タンス定数,しきい値電圧のばらつきで記述できることが明らかとなり,高感度化の方向性が明 確となった。

## 4.3 ソフトエラーを考慮したダイナミックMOS RAMの回路設計

(5) 大容量ダイナミックMOS RAMの開発は、スケーリング則に基づいて進展してきたが、 (10) May 5 によってパッケージ材料に含まれている放射性物質より放出されるα線のため、ダイナ ミックMOS RAMにソフトエラーが発生するという現象が発表され、α線によるソフトエラ ーは、ダイナミックMOS RAMの大容量化に重大な障害となることがわかり、スケーリング 即の単純適用は不可能となった。

しかし、スケーリング則は、大容量ダイナミックMOS RAMの開発指針を提示する基本的 考えであり、ソフトエラーが発生するとしても全面的に変更する必要はなく、ソフトエラーを考 慮した修正スケーリング則を提示することが、大容量ダイナミックMOS RAMの開発展開を 方向づけるには重要であると考えられる。

本節では、大容量ダイナミック MOS RAMにスケーリング則を適用するに当たり、ソフト エラーがスケーリング則の律速条件になるという考え方に基づいた修正スケーリング則を示す。 さらに、修正スケーリング則による欠点を打破するための新しいデバイス構造や、回路構成法を 提案し、それらのデバイス、回路構成法を用いて5V単一電源16KダイナミックMOS RAM の設計,試作を行なった結果を述べる。また、スケーリング定数・k=1として12V-16K ダイナミックMOS RAM、スケーリング定数・k=2として5V-16Kダイナミック MOS RAMを考えたときの修正スケーリング則の満足度について検討した結果を述べる。

## 4.3.1 ソフトエラーを考慮したメモリセル容量の決定法

ダイナミックMOS RAMのソフトエラーは、メモリセル部で発生するモードとビット線部 (23) で発生するモードの2種類がある。ダイナミックMOS RAMで書き込み、読み出しを実行し ている場合には、第2のモードが支配的であり、ソフトエラーの解析においては、ビット線にメ モリセルからの電荷が読み出され、センスアンプ回路が動作する過程を考えればよい。図4.5に センスアンプ回路を示す。

センスアンプ回路が安定に動作するためには、次式が成立する必要がある。

 $\Delta V_{\rm R} = m \cdot \Delta V_{\rm AS\,max} , m > 1$  (4.13)



図 4.5 センスアンプ回路

ここで、 $dV_R$ は読み出し電圧、 $dV_{ASmax}$ はセンスアンプ感度、mは安定動作の係数で ある。mは、 $dV_R$ 、 $dV_{ASmax}$ がダイナミックMOS RAMの動作範囲を保証している外 部条件(電源電圧、温度、外部信号のタイミング)で動作するための必要条件、 $dV_R >$  $dV_{ASmax}$ を得るための標準条件における $dV_R \ge dV_{ASmax}$ の比を表わしている。

式(4.13)は、ソフトエラーを考慮していないが、ソフトエラーを考慮すれば、センスアンプ回路の安定動作のためには次式を満足する必要がある。

$$\Delta \mathbf{V}_{\mathbf{R}} = \mathbf{m} \cdot (\Delta \mathbf{V}_{\mathbf{AS}} + \Delta \mathbf{V}_{\alpha}) , \quad \mathbf{m} > 1$$
(4.14)

ここで、 $\Delta V_{\alpha}$ は $\alpha$ 線がチップに入射した場合に、チップ内で発生する電子によってビット線 に現われる電位である。また、ビット線の容量を $C_b$ 、ビット線に収集された電子の電荷量を  $\Delta Q_C$ とすると $\Delta V_{\alpha}$ は次式で表わせる。

$$\Delta V_{\alpha} = \Delta Q_{\rm C} / C_{\rm b} \tag{4.15}$$

一方、ビット線のプリチャージ電位、ワード、ダミーワード線の電位が $V_{CC}$ で、"1"読み 出しと"0"読み出し電位がメモリセル、ダミーセルのしきい値電圧より小さく、 $2C_d = C_S$ ( $C_d$ : ダミーセル容量、 $C_S$ : メモリセル容量)が成り立つとき、記憶情報に関係せず、読み 出し電圧、 $\Delta V_R$ は次式で表わせる。

$$\Delta V_{\rm R} = \frac{V_{\rm C} \, c - V_{\rm th} \, M}{2 \cdot C_{\rm b} / C_{\rm S}} \tag{4.16}$$

従って,式( 4.1 4 )~ ( 4.1 6 )よりメモリセル容量 Cs は次式で表わすことができる。

$$C_{S} = \frac{2 \cdot C_{b}}{V_{CC} - V_{thM}} \cdot m \cdot (\Delta V_{ASmax} + \frac{\Delta Q_{C}}{C_{b}}) \qquad (4.17)$$

式 ( 4.17 )は,係数m, *dQ*c が得られたとき,ソフトエラーを起こさないメモリセル容量 (C<sub>S</sub>)を設定することができることを示している。ここで,*dQ*c はソフトエラーの臨界電荷量である。

## 4.3.2. 修正スケーリング則

Dennard らによって提案されたスケーリング則は大容量ダイナミックMOS RAMや他の (10) VLSIの開発の方向づけを与える重要な考えである。しかし、May らによって指摘されたソ フトエラーは、スケーリング則に制限を与えたと考えることができる。即ち、スケーリング則は、 デバイスの物理定数を小さくすることによってダイナミックMOS RAMでは1ビットの情報 エネルギーを小さくできることを示唆しているが、ソフトエラーは、1ビットの情報エネルギー に最小値があることを意味しているからである。

従って,ソフトエラーを考慮した場合には、メモリセルの1ビットの情報エネルギーに最小値 があることから、スケーリング則を完全に適用できなくなると考えることができる。

ソフトエラーを考慮した修正スケーリング則は、スケーリング定数・k=1において、ソフト エラーとして十分満足できる値が得られている回路、デバイスを設定したとき、メモリセルの蓄積 電荷量( $Q_S = C_S \cdot V_S$ )がスケーリング定数に依存しない場合であると考えることができる。 ソフトエラーを考慮したとき、スケーリング則が適用できない点は、メモリセルの設計であり、 デバイス寸法、不純物濃度、電圧に対して修正する必要はない。メモリセル容量に対してスケー リング則を修正すると、メモリセル面積が一定となりワード線やビット線の容量は修正スケーリ ング則ではk=1となる。これらの容量を駆動し遅延時間をスケーリング則に従って高速化する 条件を用いると電流はk=1となり、周辺回路のトランジスタのゲート幅がスケーリング則から はずれ縮小できなくなるので周辺回路の容量はk=1になる。従って、容量の修正スケーリング 定数は、ソフトエラーによって決定されるメモリセルとRAMの高速性によって決定される周辺 回路に分離して表わすことができ、遅延時間の修正スケーリング定数は周辺回路の容量によって 決まると考えられる。以上の検討結果から、修正スケーリング則は表 4.1 で表わすことができ る。また、P・D積/回路(P・D積/ビット)を性能指数と定義する。

パラメータ	スケーリング則	修正スケーリング則
デバイス寸法(t <sub>OX</sub> , L, w)	1⁄k	1⁄k
不純物濃度 (N <sub>A</sub> )	k	k
電 圧 (V)	1/k	1⁄k
電流(I)	1/k	1
容 量( <i>e</i> A/t <sub>0X</sub> )	1⁄k	k(メモリセル)
		I(周辺回路)
遅延時間/回路(VC/I)	1/k	1⁄k
消費電力/回路(V・I)	1/k <sup>2</sup>	1⁄k
P・D積/回路(性能指数)	1/k <sup>3</sup>	1 / k <sup>2</sup>

表4.1 修正スケーリング則

**4.3.3 修正スケーリング則による5V-16KダイナミックMOS RAMの回路設計** 4.3.3.1 メモリセル容量の決定

ソフトエラーを考慮した修正スケーリング則を実証するため、12V-16Kダイナミック MOS RAM(12V,  $\pm 5V$ 電源)をスケーリング定数・k = 1と設定し、スケーリング定 数・k = 2の場合として、電源電圧は修正スケーリング則からずれるが、標準品である5V - 16KダイナミックMOS RAMを設計した。

ここで提示する設計手法は,スケーリング定数・k=1とスケーリング定数・k=2のデバイスで, パッケージ材料やチップにコーティングした場合の材料は同一である場合に適用できる。

12V-16KダイナミックMOS RAMの臨界電荷量は実験により求めることができ、図 4.6に臨界電荷量とソフトエラー率の関係を示す。ダイナミックMOS RAMでは一般に (25) 1000 FIT の故障率以下が求められているので、10<sup>6</sup> device・hours 以上がソフトエラー の強さとして必要である。 $C_{S} = 0.04 \text{ pF}$ のとき、図4.6より臨界電荷量は0.11 pC が得ら れる。また、式(4.17)において簡単化のため標準条件(電源電圧,温度)において誤動作 を防ぐことを条件とすると、メモリセル容量は次式を満足すればよい。

$$C_{S} > \frac{2 \cdot C_{b}}{V_{CC} - V_{thM}} \left( \Delta V_{ASmax} + \frac{\Delta Q_{C}}{C_{b}} \right)$$
 (4.18)

 $\Delta Q_{C} = 0.11 \text{ pC}$ ,  $C_{b} = 0.5 \text{ pF}$ ,  $\Delta V_{ASmax} = 25 \text{ mV}$ ,  $V_{CC} = 4.5 \text{ V}$ ,  $V_{thM} = 1.8$ 

-76-



図4.6 臨界電荷量Qcとソフトエラー率

Vのとき、 $C_S \approx 0.091 \text{ pF以上の値に設計すればソフトエラー率として10<sup>6</sup> device hours}$ を満足できることがわかる。

4.3.3.2 メモリセルの設計

k=2においてメモリセル容量は、約0.091 pF 以上に設計する必要があることがわかった。 メモリセル容量は、k=1に比べて酸化膜厚を薄くする方法と、更にHi -C 構造をメモリセル (14) に採用することによって単位面積当りの容量を増した。図4.7にメモリセルの構造を示す。Hi -C構造とすることによって,  $t_{ox}$ =400Åのとき $N_A$ =1×10<sup>16</sup>/cdのP<sup>+</sup> 濃度で、単位 面積当り約3割の記憶容量の増加が得られた。この構造を採用した結果、セル面積12 $\mu$ m× 23 $\mu$ m(276 $\mu$ m<sup>2</sup>)でC<sub>S</sub>=0.107pFが得られた。



## 図4.7 メモリセル構造

-77-

4.3.3.3 デバイス・回路設計

修正スケーリング則によると性能指数は $1/k^2$ にスケールダウンされるだけであり、スケーリ ング則による $1/k^3$ の改善度より悪い結果となることが予想される。また、修正スケーリング則 に従って電圧を下げると種々な問題が生じるので、その解決方法や高性能化の新しい技術が必要 である。そこで、5V-16KダイナミックMOS RAMの設計において、高性能化を図るた めに次の新しいデバイス・回路技術を用いた。

- (1) メモリセル部で発生するソフトエラーモードを低減する回路構成
- (2) ビット線部で発生するソフトエラーモードを低減する回路構成
- (3) 低電圧でも高速化を達成するデバイス構造と回路構成
- (4) 低電圧でも高速化を達成する出力回路構成
- (5) 低消費電力化が達成できる基本クロック回路構成

4.3.3.3.1 メモリセル部で発生するソフトエラーモードを低減する回路構成

メモリセル部で発生するソフトエラーを低減するためには、Q<sub>S</sub> (メモリセルの蓄積電荷量) を大きくする必要がある。そのため、メモリセルへV<sub>CC</sub> 電圧を書き込み、 再書き込みする方法 を用いた。これは次の3つの回路技術によって達成した。

- (a) チップ内に $V_{GG}(V_{CC} + 2V_{th})$ 電源を内蔵
- (b) リチャージ回路で、メモリセルへVcc 電位を再書き込み
- (c) ワード線を約( $V_{CC} + 2V_{th}$ )の高い電位に昇圧。

図4.8にV<sub>GG</sub>発生回路を示す。V<sub>BB</sub>発生回路で使用した9段のリング発振器の出力パルス ( $\phi_{CP}$ )と整流用MOSトランジスタ(Q5,Q6),容量C<sub>2</sub>を用いた昇圧回路によりV<sub>GG</sub> 電位を得ている。V<sub>CC</sub>=5Vで約7.1VのV<sub>GG</sub>電位が発生している。図4.9はV<sub>GG</sub>,ワード 線,ビット線の電位のシミュレーション波形図である。V<sub>GG</sub>は(V<sub>CC</sub>+2V<sub>th</sub>)の電位を発生 するため、V<sub>GG</sub>電位を印加したメモリセルのゲートの表面電位は十分反転している。また、ワ ード線電位をメモリセルのMOSトランジスタのしきい値電圧以上に昇圧するので、メモリセル へV<sub>CC</sub>電位を書き込むことができる。ワード線電位は、センスアンプ回路動作完了後に約(V<sub>CC</sub>+ 2V<sub>th</sub>)に昇圧している。一方、再書き込みは、センスアンプ回路動作時にカップリング容量や、 センスアンプ回路の損失電流によって高電位となるべき側のビット線電位が僅かに下降するので、セ ンスアンプ回路動作完了後、リチャージ回路を活性化し、高電位となるべき側の電位をV<sub>CC</sub>に再充 電している。リチャージ回路は図4.5のQ<sub>3</sub>、Q<sub>4</sub>、C<sub>1</sub>の8素子によって構成している。



図 4.8 VGG 発生回路



図4.9 VGG,ビット線,ワード線電位のシミュレーション波形図

4.3.3.3.2 ビット線部で発生するソフトエラーを低減する回路構成

ビット線部で発生するソフトエラーモードは,式( 4.14)で表わすことができ,

 $\Delta V_{ASmax}$ を小さくすることによりソフトエラーの発生確率を小さくすることが期待できる。  $\Delta V_{ASmax}$ は式(4.12)で表わすことができ、 $\Delta V_{ASmax}$ を小さくする回路構成要素はK (フリップフロップのソース端下降速度、 $\phi_3$ )である。ここでは、フリップフロップソース端 下降速度、および  $\phi_3$  波形の最適化について考察する。図4.5にはセンスアンプ回路とフリップ フロップソース端波形( $\phi_3$ )を変化させ得るパラメータが示されている。 $\phi_3$  波形を変化させた パラメータは  $\phi_1$ のタイミングと  $Q_2$ のゲート幅( $W_{Q2}$ )である。 $W_{Q2}$ は $W_{Q1}$ ( $Q_1$ のゲート 幅)に比べて非常に小さく、 $\phi_3$ は2段階で接地する。 $\phi_1$ のタイミングをパラメータとしたと きの  $\phi_3$  波形を図4.10に示す。bはaに比べて約1 nsec 遅延させた場合であり、Cは更にb

-79-

より約2 nsec 遅延させた場合である。また、図4.11はセンスアンプ回路のソース端下降速度Kを パラメータとした  $\phi_3$  波形である。eはdにおける $W_{Q2}$ を 1/2とした波形である。ソフトエラ ーの改善度は、 $V_{CC}$ =4.5 V, tc=1  $\mu$  sec において <sup>241</sup>Am · 8.4  $\mu$ Ciの $\alpha$ 線源による加速 試験により求めた。表4.2の実験結果は、aおよびdの場合を基準とした正規化値で示した。セ ンスタイミング  $\phi_1$ によるソフトエラーの改善度は、最大約3倍が得られている。これは、セン ス信号遅延による読み出し電荷量の増加によって達成されていると考えられる。一方、フリップ フロップソース端下降速度Kによる改善度は殆んどなく、デバイスのパラツキに含まれ、この実験で は悪くなっている。この原因は、フリップフロップソース端下降速度Kが式(4.12)の第1 項にだけしか寄与していないことと、 $dV_{ASmax}$ が標準的な条件(電源電圧、温度)では $dV_{R}$ に比べて非常に小さな値のためと考えられる。しかし、 $\phi_3$  波形を最適化することによって、数 倍のソフトエラー率の改善ができることが明らかになった。



図4.10 Ø3波形-1



 Ø3 波形
 ソフトエラー改善度

 a
 1

 b
 1.3

 c
 2.7

表4.2 ソフトエラーの改善度

4.3.3.3.3. 低電圧で高速化を達成するデバイス構造と回路構成

ダイナミックMOS RAMの高速化には,MOSトランジスタの電流駆動能力を上げること が必要である。このため、短チャンネルMOSトランジスタが一般的に用いられる。しかし、短 チャンネルMOSトランジスタは、短チャンネル効果のため、しきい値電圧の低下,耐圧の低下 を起こし、ダイナミックMOS RAMでは致命的な欠点となる。5V-16Kダイナミック MOS RAMでは、高性能ダイナミックMOS RAMを実現するため、短チャンネル MOSトランジスタでも耐圧,しきい値電圧低下をあまり起こさないSAGOS MOSトラン (26) ジスタを用いた。

また、メモリセルに $V_{CC}$  電位を書き込むためには、 ワード線を昇圧しなければならない。5 V-16KダイナミックMOS RAMではワード線を昇圧し、しかも立ち上がりを高速化する ため、図4.12に示す昇圧回路を用いている。この昇圧回路は、昇圧用の大きな容量(C4)を  $Q_{12}$ より昇圧する前に充電しておき、ワード線の立ち上がりに従って小さな容量(C3)を充電 しながら、ワード線とC4間を導通し昇圧する方法であり、ワード線の立ち上がり時に大きな昇 圧用容量を充電する必要がないので、高速にワード線を立ち上げることができる。従って、メモ リセルのMOSトランジスタのターンオン時間を高速化でき、センスアンプ回路の動作時間を早 くすることができるので高速化が可能となる。



図 4.1 2 ワード線の昇圧回路

-81-

4.3.3.3.4 低電圧で高速化を達成する出力回路構成

ダイナミックMOS RAMを低電圧動作させると、出力のTTL互換性が問題となる。5V 単一電源で、電源変動の10%を許容すれば、 $V_{CC}$ 下限は4.5Vとなる。 図4.13に出力回路 を示す。出力回路に昇圧回路を用いなければ、A、B点は最大 $V_{CC}$ 電圧にしかならない。従っ て、Q10のMOSトランジスタのしきい値電圧が0.6Vであれば、DO端子電圧は3.9Vにな る。しかしながら、ダイナミックMOS RAMでは、 $V_{OH} = 2.4$ Vで $I_{OH} = -5$  mA が規 格であり、Q10のMOSトランジスタは $V_{GS} = 1.5$ Vのときに-5 mA を流し得るトランジ スタサイズが最低必要である。5V-16KダイナミックMOS RAMに用いた出力回路は、 図4.13(b)である。この回路は、フリップフロップ回路で構成した出力回路に昇圧回路を設け、 C、D点の電位を( $V_{CC} + V_{th}$ )以上の電位に昇圧している。従って、DO端子電圧に対する しきい値電圧損失がなくなり、DO電圧の最大値は $V_{CC}$ となり高速化に有効である。

Q11のトランジスタサイズがW=500  $\mu$ mのときV<sub>CC</sub>とI<sub>OH</sub>の実測値を図4.14に示す。 W=1000  $\mu$ mとしたときのI<sub>OH</sub>はW=500  $\mu$ m の実測値の2倍とした値で示した。また、 昇圧回路を用いない出力回路構成の実測値も示した。W=500  $\mu$ mで昇圧回路有と1000  $\mu$ m で昇圧回路無で比較するとQ11のトランジスタサイズが半分にも拘らず、ほぼ等しいI<sub>OH</sub> が 得られる。また、昇圧回路有でQ11のトランジスタサイズが1000  $\mu$ mの場合には、非常に 大きな I<sub>OH</sub> が得られ、V<sub>CC</sub>=8.5 VであってもI<sub>OH</sub>=-5 mAは十分満足できる。





図4.14 V<sub>CC</sub> と I<sub>OH</sub>の関係

-82-

4.3.3.3.5 低消費電力を達成する基本クロック回路構成

ダイナミックMOS RAMの消費電力はメモリセルやセンスアンプ回路が充放電電流だけで動作 しているから微小な電力しか消費しないので,殆んど周辺回路で消費される,従って,低消費電 力化のためには,周辺回路に使用している基本クロック発生回路の構成が重要となる。周辺回路 の基本クロック発生回路の構成を負荷が5pFのとき,回路の動作速度やE1,E2のピーク電 流を最小にする条件から決定し図4.15に示した。



図4.15 基本クロック回路

## 4.3.4 修正スケーリング則の妥当性の検討

試作した 5V - 16Kダイナミック MOS RAMのチップ写真を図 4.16に示す。チップサ イズは 3.03 m×4.90 mである。



図 4.1 6 5V-16Kダイナミック MOS RAM のチップ写真

(26) ゲート長 2.3  $\mu$ mのSAGOS MOSトランジスタの採用によって、アクセス時間 87 nsec (V<sub>CC</sub>=4.5 V, T<sub>a</sub>=75°C),消費電流 21 mA(V<sub>CC</sub>=5.5 V, T<sub>a</sub>=25°C, t<sub>c</sub>= 250 nsec)が得られた。ゲート長 2.3  $\mu$ mのSAGOS MOSトランジスタは、チップの 動作耐圧が 10.5 V以上あり、また、リフレッシュ時間も、150 msec 以上あるので短チャ ンネル MOSトランジスタの欠点を示さない。一方、ソフトエラー率は、t<sub>c</sub>=1  $\mu$ sec、チッ プコートなしの条件で4×10<sup>7</sup> device・hours が得られた。

スケーリング定数・k=1として、12V-16KダイナミックMOS RAMを設定し、ス ケーリング定数・k=2として、5V-16KダイナミックMOS RAMを考えたときのデバ イスパラメータと性能を表4.8に示す。デバイスパラメータはスケーリング定数にほぼ比例して 小さくなっているが、高速アクセス時間を実現するために基板濃度は変えていない。また、電源 電圧は標準化のため修正スケーリング則から得られる値以上に小さい。メモリセルサイズは、 ソフトエラーのため修正スケーリング則に従い小さくできず、従ってチップサイズも小さくない。

5 V-16KダイナミックMOS RAMの性能指数の実測値は、12V-16KダイナミックMOS RAMの1/4 が得られ、修正スケーリング則と一致した。これは、電圧が修正スケーリング則以下であることなどの性能指数を悪化させる要因を、高速化、低消費電力化に対する新しいデバイスや回路構成によって補ったためと考えられる。以上のことから、ソフトエラーを考慮した回路設計を行なうとダイナミックMOS RAMにおける性能指数は、スケーリング則に従わないで、修正スケーリング則で近似できることを実証したと言える。また、この結果は、ソフトエラーを考慮した設計を行なうと、大容量ダイナミックMOS RAMにおいては、大幅な性能改善が困難になることを示している。

一方、ソフトエラー率は、回路構成上の工夫やメモリセル構造により、設計目標値・ $10^6$  device hours の40倍の強さが得られた。

-84-

パラメータ	k = 1 12V-16KMOS(D)RAM	k = 2 5V-16KMOS(D)RAM
t <sub>OX</sub>	850 Å	500Å(メモリセル400Å)
L	5.0 <i>µ</i> m	2.3 µm
N <sup>+</sup> 幅	5 <i>µ</i> m	3 μm
NA	$7 imes 10$ $^{14}$ / cm <sup>2</sup>	$7 imes 1 \ 0 \ ^{14}$ / cnt
電源電圧	12 V	5 V
基板電圧	-5 V	-3.5 V (チップ内発生)
メモリセルサイズ	$347 \mu m^2$	$276 \ \mu m^2$
チップサイズ	16.3 mm <sup>2</sup>	14.8 mm <sup>2</sup>
アクセス時間	135 nsec	87 nsec
電源電流	20 mA	21 mA
消費電力	270 mW	115.5 mW
サイクル時間	360 nsec	250 nsec
性能指数	2.3pJ/bit	0.6pJ/bit

表4.3 デバイスパラメータ,性能比較

## 4.4 ソフトエラーと回路設計

ダイナミックMOS RAMのソフトエラーには、メモリセル部で不良を発生するモードと、ビット線部で不良を発生するモードの2種類があるが、実際のメモリシステムでソフトエラーとして問題になっているのはビット線部で発生するモードであり、その対策が必要である。メモリセル 部で発生するモードは、"H"→"L"不良("H"はメモリセルに記憶されている電位が高いことを意味し、"L"は低いことを意味する)であり、低ソフトエラー率を実現するためにデバイス設計として対策が可能な方法は、蓄積電荷量の増大とα線によって発生する電子の収集効率の (27) 低減である。一方、ビット線部で発生するモードには、"H"→"L"不良と"L"→"H"不良がありメモリセルの蓄積電荷量を増すことばかりでなく、センスアンプ回路や、回路設計上の技術でも対策が可能である。 本節では、ソフトエラーを低減するための回路設計上の技法について明らかにする。

#### 4.4.1 ソフトエラーとダミーセル容量

ビット線部で発生するソフトエラーには"H" → "L" 不良と"L" → "H" 不良があり、これらのバランスを取るためには、メモリセルサイズとダミーセルサイズの最適化が必要である。

-85-

メモリセルの形状とダミーセルの形状を等しくレイアウトすることは、面積が異なることから 不可能であるので、形状効果による容量値の変動幅を小さくし、V-Bumpテスト(電圧 を変動させてダイナミックMOS RAMの動作余裕度をテストする方法)による"L"→"H" 不良をなくすため、ダミーセルサイズの最適化設定は重要である。図4.17は、ダミーセルサイ ズとソフトエラーの"H"→"L" と"L"→"H"不良の比を示している。ダミーセルサイズに よりソフトエラーの"H"→"L"と"L"→"H"不良の比が変わり、その比が大きくなるとソフ トエラーの絶対値も悪くなる。ここで述べるソフトエラーは、<sup>241</sup>Am・8.4  $\mu$ Ciによる加速評価 の結果であり、t<sub>c</sub>=1 $\mu$ sec, V<sub>CC</sub>=4.5V での値である。図4.17より、ダミーセルサイ ズの最適化は、改善効果は小さいが、ソフトエラー対策に有効であることがわかる。



図4.17 ダミーセルサイズとソフトエラー

## 4.4.2 ソフトエラーとワード線電位

ビット線プリチャージレベルがV<sub>CC</sub>の場合,選択されたメモリセルの電位を十分ビット線に 読み出すためには、センスアンプ回路動作前のワード線をV<sub>CC</sub>以上に昇圧する必要があり、 (28) このため、一般にワード線昇圧方式が優れていると言われている。ワード線昇圧方式の欠点は、 十分電荷を読み出すことと高速性が相反し、ワード線昇圧をして十分ワード線を立ち上げる動作 を行うとワード線立ち上がりからセンスアンプ回路動作までの時間が長くなり高速化しにくくなるこ とである。従って、ワード線昇圧方式では、ワード線の立ち上がりから昇圧までの時間を短くす るメモリ構成法が必要である。図4.18は、ワード線昇圧方式のセンスタイミングと回路の構成 例であり、ワード線にAℓ配線を用いたときの例であるが、ワード線の立ち上がりからセンスア

-86-



図4.18 ワード線昇圧方式とセンスタイミング

ンプ回路動作までを30nsecの速さで処理しており、高速動作が可能な構成となっている。

一方,ワード線昇圧方式のとき, "H"レベルを再充電するためにリチャージ回路を用いるの が一般的である。リチャージ回路を用いないと,図4.19に示すタイミングのようにメモリセル の"H"電位が,ビット線電位より低くなり"H"→"L"不良を起こしやすくなる。これは, 一般に V<sub>CC</sub> プリチャージ方式では, "H"を記憶しているメモリセル側のビット線の電位が変 化しないが,図4.19のタイミング図に示した場合は,ビット線からメモリセルに電流が流れ, ビット線の電位を下降させてしまうからである。図4.20は,リチャージ回路を用いないで,一 定のワード線昇圧を行ない,メモリセルのしきい値電圧を変えて"H"→"L"不良と"L"→ "H"不良の比を調べた結果である。しきい値電圧が下がった場合, "H"→"L"不良の比率 が高くなり,前述の現象を起こしていると推定できる。しかし,しきい値電圧の設定によっては リチャージ回路を用いない場合でもワード線昇圧の効果は十分あり,図4.21に示すように,ア クセス時間が100 n secのとき,ワード線昇圧によるソフトエラーの改善効果は約10倍ある ことが明らかとなった。



図4.19 ワード線昇圧とビット線電位



図4.20 しきい値電圧とソフトエラー



図 4.2 1 ワード線昇圧とソフトエラー

-88-

## 4.5 結 言

ダイナミックMOS RAMは大容量化されるに従って、1ビット当りの信号電荷量が減るため、動作余裕度の低下が予測され、その向上を図るため動作余裕度拡大の解析を行なった。

ダイナミックMOS RAMに使用されているフリップフロップ型のセンスアップ回路の感度 をMOSトランジスタの特性式を用いて解析的に求め、定式化し、センスアンプ回路の高感度化 に必要なプロセスパラメータや、回路構成上の要因について明らかにした。またその解析式が、 センスアンプ感度を示すことを計算機によるシミュレーショによって確認し、係数αが約0.45 となることを明らかにした。

さらに、ダイナミックMOS RAMの大容量化に対して、ソフトエラーがスケーリング則の 律速条件になるという考え方に基づいた修正スケーリング則を示し、修正スケーリング則を適用 したメモリセル容量の決定方法を明らかにした。その結果、ソフトエラーを考慮した修正スケー リング則に従うと、ダイナミックMOS RAMの性能指数がスケーリング則を適用した場合に 比べて悪化することが明らかになった。また、修正スケーリング則や低電圧電源を使用した場合 に、高速、低消費電力、低ソフトエラー率を実現するための新しいデバイス、回路構成法に基づ いて5V-16KダイナミックMOS RAMを設計・試作した結果 0.6 pJ/bit の性能指数 が得られ、ソフトエラー率もチップコートなしで4×10<sup>7</sup> device・hours を実現した。ス ケーリング定数・k=1を12V-16KダイナミックMOS RAM、スケーリング定数・k =2を5V-16KダイナミックMOS RAMに対応させると、電圧が修正スケーリング即以 下にもかかわらず、高速低消費電力化に対する新しいデバイス、回路構成法により、性能指数で1/4 が達成でき、修正スケーリング則と一致することを明らかにし、修正スケーリング則により性能 指数が予測できることを明らかにした。

また,ソフトエラー率を十分満足させるデバイス,回路設計を行なうと,スケーリング則に従う 性能指数の改善は得られず,修正スケーリング則で近似できることがわかり,ソフトエラーが大 容量ダイナミックMOS RAMの高性能化に大きな障害となることを明らかにした。

一方,回路設計技法からのソフトエラーの改善は、ダミーセル容量の最適化により約1.5倍あ り、また、ワード線昇圧方法によって10倍あることが明らかとなった。これらの個々の改善効 果はあまり大きくないが、大容量ダイナミックMOS RAMでは、チップサイズの制限などに よりメモリセル容量を大きくできなくなるので回路設計技法からのソフトエラー改善が重要であ ることを明らかにした。

## 参考文献

- W.T. Lynch and H.J. Boll; "Optimization of the latching pulse for dynamic flip-flop sensors", IEEE J. Solid-State Circuits, vol. SC-9, No.2, PP. 49-55, 1974.
- (2) John J. Barnes and John Y. Chau; "A high performance sense amplifier for a 5V dynamic RAM", IEEE J. Solid-State Circuits, vol. SC-15, No.5, PP. 831-839, 1980.
- (3) L.G. Heller; "Cross-coupled charge transfer sense amplifier", ISSCC Dig. Tech. Papers, PP. 20-21, 1979.
- N. Ieda, E. Arai, K. Kiuchi, Y. Ohmori and K. Takeya; "A 64K MOS RAM design", J. Japan Appl. Phys., vol. 17, No.1, PP. 57-63, 1978.
- (5) R.H. Dennard, F.H. Gaeusslen, H.N. Yu, V. Rideout, E. Passous and A.R. Leblanc; "Design of ion-implanted MOS FET's with very small physical dimensions", IEEE J. Solid-State Circuits, vol. SC-9, No.5, PP. 256-267, 1974.
- (6) C.G. Sodini and T.I. Kamins; "Enhanced Capacitor for One-Transistor Memory Cell", IEEE Trans. Electron-Devices, vol. ED-22, No.4, PP. 1187-1189, 1976.
- K. Ohta, K. Yamada, M. Satitoh, H. Shiraki, A, Nakamura,
   K. Shimizu, Y. Tarui and J. Nishizawa; "A Stacked High Capacitor RAM", ISSCC Dig. Tech. Papers, PP. 66-67, 1980.
- (8) P.K. Chatterjee, G.W. Taylor and M. Malwah; "Circuit Optimization of the Taper Isolated Dynamic Gain RAM cell for VLSI Memories", ISSCC Deg. Tech. Papers, PP. 22-23, 1979.
- (9) A.F. Tasch, Jr., P.K. Chatterjee, H.S. Fu and T.C. Holloway;
   "The Hi-C RAM Cell Concept", IEEE Trans. Electron-Devices, vol. ED-25, No.1, PP. 33-42, 1978.

-90 -

- (10) T.C. May and M.H. Woods; "A New Physical Mechanism for Soft erros in Dynamic Memories", 16th Proceeding of 1978 International Reliability Physics Symposium, PP. 33-40, 1978.
- (11) 本間,黒沢,田中; "LSI 材料中の微量 U. Th の分析 ",電子通信学会,信頼性研究会, R 80-6, PP. 7-12, 1980.
- (12) 北出,小山,元木,光定,朝倉; "ポリイミド樹脂コーティングによるソフトエラー防止効
   果 ",昭56信学半導体・材料全国大会, P. 63.
- (13) 吉原,高野,谷口,原田,中野; "MOSダイナミックRAMのソフトエラー解析", 信学論(C), vol. J65-C, № 4, PP. 251-256, 1982.
- M. Yamada, M. Taniguchi, T. Yoshihara, S. Takano,
   H. Matsumoto, T. Nishimura. T. Nakano and Y. Gamou; "Soft error Improvement of Dynamic RAM with Hi-C Structure", IEDM Dig. Tech. Papers, PP. 578-581, 1980.
- (15) 白土,渡部,池田,石本,松江; "α粒子を考慮した1TR型RAMのマージン",
   昭54信学総合全国大会, P. 2-191.
- (16) R.J. McPartland; "Circuit Simulations of Alpha-Particle-Induced Soft Errors in MOS Dynamic RAM's", IEEE J. Solid-State Circuits, vol. SC-16, No.1, PP. 31-34, 1981.
- (17) 下酉,長山,中野; "ダイナミック MOS RAMのセンスアンプ感度の解析",信学論(C), vol、J61-C,No6, PP. 399-401, 1978.
- (18) 長山,態野谷,山田,吉原,谷口; "ソフトエラーを考慮したダイナミックMOS RAMの 回路設計",信学論(C), vo1. J 65-C, №7, PP. 522-529、1982.
- (19) 長山,吉原,中野; "ダイナミック MOS RAMのセンスタイミングとソフトエラー",
   昭 56 信学半導体・材料全国大会, P. 58.
- (20) 吉原,長山,益子,高野,中野; "MOSダイナミックRAMのソフトエラーに対する回路設計の影響",信学論(C),83-8掲載予定
- (21) 矢野,家田; "MOSメモリ用高感度センスアンプ",昭52信学総合全国大会,P. 2-136。
- (22) 渡部,松江,多田; "150ns 16K RAMの設計", 電子通信学会, 半導体トランジスタ 研究会, SSD 77-18, PP. 51-58、1977.

- (23) D.S. Yaney, J.T. Nelson and L.L. Vanshike; "Alpha-particle tracks in silicon and their effect on Dynamic MOS RAM reliability", IEEE Trans. Electron-Devices, vol. ED-26, No.1, PP. 10-16, 1979.
- (24) 長山,吉原,中野,蒲生; "スケーリング法を適用した大容量ダイナミックMOS RAMの
   回路設計 ",信学論(O, vol.J64-C, №2, PP. 61-68, 1982.
- (25) W.P. Tohn and J.E. Thomas; "Parametric Influence on system 50ft error rates", 18th Annual proceeding reliability physics, PP. 255-260, 1980.
- (26) 谷口,長山,佐藤,畑中; "ゲート重なり容量を低減化した MOSTによる高性能 64 Kビット ダイナミック RAM ",信学論(O, vol. J 65-C, № 7, PP. 569-575, 1982.
- (27) S. Satoh, M. Denda and T. Fukumoto; "Soft Error Improvement in MOS RAM's by the use of Epitaxial Substrate", 12th Conf. Solid-State Devices Dig. Tech. Papers, PP. 63-64, 1980.
- M. Taniguchi, T. Yoshihara, M. Yamada, K. Shimotori,
   T. Nakano and Y. Gamou; "Fully Boosted 64K Dynamic RAM with Automatic and Self-Refresh", IEEE J. Solid-State Circuits, vol. SC-16, No.5, PP. 492-498, 1981.

-92-

# 第5章 MOS RAMの最適構成

## 5.1 序

大容量ダイナミックMOS RAMの集積度の向上は,製造,デバイス,回路技術の改良,改 善に負うところが大きい。製造技術では,1ビット当りの占有面積を減らすための微細パターン 技術の開発,デバイス技術では,短チャンネルMOSトランジスタ構造の最適化,および大容量 ダイナミックMOS RAMに適したメモリセル構造の開発,また,回路技術面ではセンスアン プ回路の高感度化,ダイナミック回路の低電圧化,高速化,低消費電力化が必要不可欠である。 (1) 大容量ダイナミックMOS RAMのメモリセルは1トランジスタ型が一般に用いられている。

このメモリセルは、素子数が少ないため、大容量化に適している反面、メモリセルから読み出さ れる記憶情報が微小電圧であり、その電圧を増幅するセンスアンプ回路の設計が難しい欠点があ る。しかし、大容量ダイナミックMOS RAMの動作特性を向上させ、安定動作を図るために は、センスアンプ回路の設計が重要であり、センスアンプ回路に関する研究が活発に行なわれて (2),(3),(4),(5),(6) いる。しかしながら、大容量ダイナミックMOS RAMのセンスアンプ回路の設計においては、 製造、デバイス、回路技術を同時に包含する設計手法が必要であり、まだ、その設計手法は確立 していない。また、製造、デバイス、回路技術の特徴や制限から、ダイナミックMOS RAM の高性能性を引き出す最適構成があると考えられるが、いまだ明らかでない。

一方,ダイナミックMOS RAMの高速化は,重要なテーマであるが,高速アクセスを実現 (7) するためのモデルはあまり提案されておらず,その定量的解析も十分成されていないので,高速 化の指針が明確でない。

本章では、製造、デバイス、回路技術を一元化し、1トランジスタ型メモリセルを用いたダイ ナミック形センスアンプ回路の感度とメモリセルからの読み出し電圧、動作領域を決める係数m の解析を行ない、大容量ダイナミックMOS RAMのセンスアンプ回路が安定動作するための (8),(9) 条件と設計指針について明らかにし、大容量ダイナミックMOS RAMの最適構成法を示すた め、5.2節では安定動作の条件式を明らかにする。また、5.3節では、デバイスパラメータのば らつきを定量的に分析する。5.4節では、微細パターン製造技術の設計理論を明らかにし、5.5 節では本設計指針を基に、64KダイナミックMOS RAMを試作した結果、広い動作領域が 得られ、設計指針の妥当性が確認されたことを明らかにする。

さらに,5.6節では,基本信号発生回路の遅延時間の解析とセンス時間の解析により,アクセ (1) ス時間解析のモデルを提案する。本モデルによるアクセス時間と64KダイナミックMOS RAMにおける実測値の検討により,本モデルの妥当性を明らかにする。

また、アクセス時間の感度分析により、高速化の指針を明らかにする。

5.7節ではダイナミックMOS RAMに2層Aℓ構造を適用することにより得られる高性能性 (11) について述べ、VLSIにおいて、2層Aℓ構造が優れた特性を有することを明らかにする。

## 5.2 安定動作の条件式

(12) ダイナミックMOS RAMが安定動作するためには、 $\Delta V_R$ (読み出し電圧)と $\Delta V_{ASmax}$ (センスアンプ感度)の間に次式が成り立たねばならない。

$$\Delta V_{R} = m \cdot \Delta V_{AS max}, \quad m > 1$$
(5.1)

本節では、安定動作の係数mについて吟味する。ここでは、標準使用条件をT<sub>a</sub>=20℃、 V<sub>DD</sub>=7V、V<sub>BB</sub>=-2Vとし、外部条件をV<sub>BB</sub>=-2VのときV<sub>DD</sub>=3.5~10V、T<sub>a</sub>= 0~70℃とした。図5.1は、しきい値電圧、コンダクタンス定数、接合容量の電圧依存性を示 す。V<sub>th</sub>、 $\beta_0$ 、C<sub>J</sub>の電圧依存性だけを考慮し、 $dV_{AS\,max}$ に対する2・ $dV_{th}$ と他の項の寄 与率がV<sub>DD</sub>=7Vで等しいとき、V<sub>DD</sub>=3.5Vで $dV_R = dV_{AS\,max}$ が成り立つためには、m = 2.3が必要である。図5.2は、V<sub>th</sub>、 $\beta_0$ 、C<sub>J</sub>の温度依存性を示す。パラメータの温度特性よ り、標準電源電圧条件で標準温度に対する70℃のmは1.2である。従って、V<sub>th</sub>、 $\beta_0$ 、C<sub>J</sub>の電圧温度依存性を考慮すると、ダイナミックMOS RAMの温度、電源電圧条件を満足させ るためには、mは約3以上の値に設計する必要がある。



図 5.1 パラメータの電圧依存性



図 5.2 パラメータの温度依存性

## 5.3 デバイスパラメータの製造上のばらつき

 $V_{th}$ ,  $\beta_0$ ,  $C_b$  のばらつきが生じる原因としては, 微細加工精度のばらつきと半導体表面近傍の正孔, 電子濃度, および表面準位のばらつき, 更にレイアウトに起因したマスク合せずれの 8 点が考えられる。第2のばらつきは, 製造条件が決まれば一定値に抑えられ, 第3のばらつき は, マスク合せずれに対してレイアウト上の工夫により補えるので, ここでは第1のばらつきだ けに注目した。

(13) しきい値電圧は、Yauの短チャンネル効果のモデルを用いると次のように書ける。

$$\mathbf{v}_{th} = \frac{\mathbf{t}_{OX}}{\varepsilon_{OX}} \left[ -\mathbf{Q}_{eff} + \sqrt{2\varepsilon_{si}q\mathbf{N}_{A}(2\phi_{F} + |\mathbf{v}_{BB}|)} \right] + \Delta \mathbf{W}_{f} + 2\phi_{F}$$

$$-\frac{x_{j}}{L}\cdot\frac{t_{OX}}{\varepsilon_{OX}}\cdot\sqrt{2\varepsilon_{si}q_{N_{A}}(2\phi_{F}+|V_{BB}|)}$$

• 
$$\left(\sqrt{1+\frac{2}{x_{j}}} \cdot \sqrt{\frac{2\varepsilon_{si}}{qN_{A}(2\phi_{F}+|V_{BB}|)}} -1\right)$$
 (5.2)

ここで、 $t_{OX}$ 、 $e_{OX}$ はそれぞれゲート酸化膜の厚さと誘電率、 $N_A$ 、 $e_{Si}$  はそれぞれsi 基板の不純物濃度と誘電率、qは電子の電荷、 $Q_{eff}$ は実効的な酸化膜とSi 基板界面の電荷、  $2 \phi_F dV_{BB} = 0 V$ で強反転となるときのSi 基板表面のバンドの曲がり、 $\Delta W_f$  はゲート金属 とSi 基板の仕事関数差、 $x_j$ はソース・ドレインの拡散層の深さ、LはMOSトランジスタの チャンネル長である。

-95-

 $V_{th}$ のばらつきを誘起するパラメータは $t_{0X}$ , Lであり、 $V_{th}$ のばらつき $4V_{th}$ は次のように表わすことができる。

$$\Delta V_{th} = \frac{\partial V_{th}}{\partial t_{0X}} \cdot \Delta t_{0X} + \frac{\partial V_{th}}{\partial L} \cdot \Delta L \qquad (5.3)$$

従って、 *4* V<sub>th</sub> は具体的に次式で与えられる。

$$\Delta v_{th} = \frac{\Delta t_{0X}}{t_{0X}} (v_{th} - \Delta w_f - 2 \phi_F) - \frac{\Delta L}{L} (v_{th} - v_{th \, long}) \quad (5.4)$$

 $V_{thlong}$ は、短チャンネル効果を起こさない長チャンネルMOSトランジスタのしきい値電 圧であり次式で与えられる。

$$\mathbf{V}_{\text{thlong}} = \frac{\mathbf{t}_{\text{OX}}}{\varepsilon_{\text{OX}}} \left[ -\mathbf{Q}_{\text{eff}} + \sqrt{2\varepsilon_{\text{si}} q \mathbf{N}_{\text{A}} (2\phi_{\text{F}} + |\mathbf{V}_{\text{BB}}|)} \right] + \Delta \mathbf{w}_{\text{f}} + 2\phi_{\text{F}}$$

## (5.5)

又,コンダクタンス定数β0 は次式で与えられる。

$$\beta_0 = \frac{W}{L} \cdot \mu_n \cdot \frac{\varepsilon_{OX}}{t_{OX}}$$
(5.6)

ここで、Wはセンスアンプ回路に使用したフリップフロップ用MOSトランジスタのチャンネル幅,  $\mu_n$  は電子移動度である。 $\beta_0$  のばらつきを誘起するパラメータは、L,t<sub>OX</sub> であり、 $\beta_0$  のば らつき  $\Delta\beta_0$  は次式で与えられる、

$$\Delta \beta_0 = \beta_0 \left( -\frac{\Delta L}{L} - \frac{\Delta t_{OX}}{t_{OX}} \right)$$
 (5.7)

ビット線にN<sup>+</sup> 拡散層を用いたダイナミックMOS RAMのビット線容量の主な成分は, Si 基板,および分離用 P<sup>+</sup> 拡散層とビット線 N<sup>+</sup> 拡散層による接合容量であり, C<sub>b</sub> は次式で 近似できる。

$$C_{b} \approx \sqrt{\frac{\varepsilon_{S_{i}} q N_{A}}{2(V_{R} + 2\phi_{F})}} \cdot \ell \cdot (w + 2 \cdot \sqrt{\frac{N_{AI}}{N_{A}}} \cdot x_{j})$$
(5.8)

ここで、 $\ell$ はビット線の長さ、wはビット線の幅、 $N_{AI}$ は分離用  $P^+$  拡散層の不純物濃度 、

 $V_{\rm R}$ は接合の逆バイアス電圧である。  $C_{\rm b}$  のばらつきを誘起するパラメータはwであり、 $C_{\rm b}$  のばらつき  $\Delta C_{\rm b}$  は次式で与えられる。

$$\Delta C_{b} = \left[ C_{b} - 2 \cdot \sqrt{\frac{\varepsilon_{S_{i}} q N_{A}}{2 (V_{R} + 2 \phi_{F})}} \cdot \ell \cdot x_{j} \right] \cdot \frac{\Delta w}{w}$$
(5.9)

このように、センスアンプ回路の感度を決定する $V_{th}$ ,  $\beta_0$ ,  $C_b$ のばらつきは、長さの単位を もつパラメータのLSI製造の加工精度に起因するばらつきで表現できる。

### 5.4 微細パターン製造技術を用いたダイナミックMOS RAMの設計理論

ダイナミックMOS RAMを安定動作させるためには,製造技術の習熟度によらず式(5.1) が満足されねばならず、,時間の因子(タイミング)を考慮しないとき,式(5.1)がセンスア ンプ回路設計の必要十分条件となる。

本節では、高集積MOS LSIの高性能化に対する指導原理(スケーリング則)に従っ て、加工精度のばらつきが短チャンネルMOSトランジスタを用いた微細パターン製造技術によ ってスケールダウンされる場合と、されない場合に分けて、 $dV_{th}$ 、 $d\beta_0$ 、 $dC_b$  を検討した。 スケーリング定数・kは、12V-16KダイナミックMOS RAMに用いられている設計基 準を1(~6µm)とした。さらに、式(5.1)の関係について、ビット線当りのメモリセル 数を64個に固定した場合と、ビット線当りのメモリセル数がスケーリング定数に比例して増す 場合に分けて検討した。

#### 5.4.1 加工精度のばらつきがスケールダウンされない場合の設計理論

加工精度のばらつきが、微細加工の程度によっても変化しない場合、 $\Delta V_{th}'$ 、 $\Delta \beta_0'$ ,  $\Delta C_b'$ (添字'は、加工精度のばらつきがスケールダウンされない場合を表す)は、それぞれ式 (5.10)~(5.12)で表わすことができる。ここでは、MOSトランジスタのテール電流が、 <sup>(14)</sup> スケーリング則からはずれるため、しきい値電圧を低くできないので、スケーリング則を修 正し、しきい値電圧はスケールダウンしないものとした。また、 $\Delta V_{th}$ 、 $\Delta \beta_0$ 、 $\Delta C_b$ 、  $\Delta V_{ASmax}$ ,  $\Delta V_R$ はk=1のときの値である。

$$\Delta \mathbf{v}_{th}' = \frac{\Delta \mathbf{t}_{OX}}{\mathbf{t}_{OX}/\mathbf{k}} \left( \mathbf{v}_{th} - \Delta \mathbf{w}_{f} - 2\phi_{F} \right) - \frac{\Delta \mathbf{L}}{\mathbf{L}/\mathbf{k}} \left( \mathbf{v}_{th} - \mathbf{v}_{thlong} \right) = \mathbf{k} \cdot \Delta \mathbf{v}_{th}$$

$$\Delta \beta_{0}' = \mathbf{k} \cdot \beta_{0} \left( -\frac{\Delta \mathbf{L}}{\mathbf{L}/\mathbf{k}} - \frac{\Delta \mathbf{t}_{0X}}{\mathbf{t}_{0X}/\mathbf{k}} \right) = \mathbf{k}^{2} \cdot \Delta \beta_{0}$$
(5.11)  
$$\Delta \mathbf{C}_{\mathbf{b}}' = \left[ \mathbf{C}_{\mathbf{b}}/\mathbf{k} - \sqrt{\frac{\varepsilon_{\mathbf{S}_{1}} \mathbf{q} \cdot \mathbf{k} \cdot \mathbf{N}_{\mathbf{A}\mathbf{I}}}{2 \left( \mathbf{V}_{\mathbf{R}}/\mathbf{k} + 2 \phi_{\mathbf{F}} \right)} \cdot \ell/\mathbf{k} \cdot \mathbf{x}_{j}/\mathbf{k} \right] \frac{\Delta \mathbf{w}}{\mathbf{w}/\mathbf{k}} = \Delta \mathbf{C}_{\mathbf{b}}$$

(5.12)

5.4.1.1 ビット線当りのメモリセル数を64個に固定した場合

(128リフレッシュ方式の64KダイナミックMOS RAMに相当) ビット線当りのメモリセル数を固定してデバイスパラメータをスケールダウンしたとき,メモ リセルの記憶容量は次式となる。

$$C_{\rm S}' = C_{\rm S} / k$$
 (5.13)

従って、スケールダウン後の読出し電圧 **Δ V** R' は次式となる。

$$\Delta V_{\rm R}' = \frac{(V_{\rm DD}/k - V_{\rm th})}{2 \cdot (C_{\rm b}/k)/(C_{\rm S}/k)} \approx \Delta V_{\rm R}/k$$
(5.14)

一方、センスアンプ回路のフリップフロップソース端下降速度Kは、スケールダウンされないので、  $\Delta V_{ASmax}'$ は次式で表せる。

$$\Delta \mathbf{V}_{ASmax}' = \sqrt{\frac{2 \cdot \alpha \cdot \mathbf{K} \cdot (\mathbf{C}_{b}/\mathbf{k})}{\mathbf{k} \cdot \beta_{0}}} \left(\frac{\Delta \mathbf{C}_{b}}{\mathbf{C}_{b}/\mathbf{k}} + \frac{\mathbf{k}^{2} \cdot \Delta \beta_{0}}{\mathbf{k} \cdot \beta_{0}}\right) + 2\mathbf{k} \cdot \Delta \mathbf{V}_{th}$$

$$= \Delta V_{ASmax} + 2 \cdot \Delta V_{th} (k-1)$$
 (5.15)

従って、このとき係数m' は次式で与えられる。

$$\mathbf{m}' = \mathbf{k}^{-1} \cdot \frac{\Delta \mathbf{V}_{\mathbf{R}}}{\Delta \mathbf{V}_{\mathrm{AS}\max} + 2 \cdot \Delta \mathbf{V}_{\mathrm{th}} (\mathbf{k} - 1)}$$
(5.16)

5.4.1.2 ビット線当りのメモリセル数がスケーリング定数と共に増す場合

(256リフレッシュ方式の64KダイナミックMOS RAMに相当) スケーリング定数に比例してビット線当りのメモリセル数が増し,かつ,デバイスパラメータ がスケールダウンされた場合には、ビット線容量は次式になる。

$$C_{b}' \approx \sqrt{\frac{\varepsilon_{S_{i}} \cdot q \cdot k \cdot N_{A}}{2(V_{R}/k + 2\phi_{F})}} \cdot \frac{k \cdot \ell}{k} \cdot (w/k + 2 \cdot \sqrt{\frac{k \cdot N_{AI}}{k \cdot N_{A}}} \cdot x_{j}/k) \approx C_{b}$$

(5.17)

従って,加工精度のばらつきがスケールダウンされる場合には, ΔCb<sup>4</sup>は次式となる。

$$\Delta C_{b}' = \mathbf{k} \cdot \Delta C_{b} \tag{5.18}$$

このとき、 $\Delta V_{R'}$ ,  $\Delta V_{AS max'}$ , m' はそれぞれ次式で表せる。

$$\Delta V_{R}' = \frac{(V_{DD}/k - V_{th})}{2 \cdot C_{b}/(C_{s}/k)} \approx \frac{\Delta V_{R}}{k^{2}}$$
(5.19)

$$\Delta \mathbf{v}_{\mathrm{AS}\,\mathrm{max}}' = \sqrt{k} \left[ \Delta \mathbf{v}_{\mathrm{AS}\,\mathrm{max}} + 2 \cdot \Delta \mathbf{v}_{\mathrm{th}} \left( \sqrt{k} - 1 \right) \right] \tag{5.20}$$

$$\mathbf{m}' = \mathbf{k} \frac{-\frac{5}{2}}{\Delta \mathbf{V}_{ASmax} + 2 \cdot \Delta \mathbf{V}_{th} (\sqrt{\mathbf{k}} - 1)}$$
(5.21)

# 5.4.2 加工精度のばらつきがスケールダウンされる場合の設計理論

微細パターン製造技術で,加工精度のばらつきがスケールダウンされる場合には, $\Delta V_{th}$ ",  $\Delta \beta_0$ ",  $\Delta C_b$ " (添字"は加工精度のばらつきがスケールダウンされる場合を示す)は,それ ぞれ次式で表わせる。

- $\Delta \mathbf{V}_{\mathbf{t}\mathbf{h}}'' = \Delta \mathbf{V}_{\mathbf{t}\mathbf{h}}$ (5.22)  $\Delta \beta_0'' = \mathbf{k} \cdot \Delta \beta_0$ (5.23)
- $\Delta C_b'' = \Delta C_b / k \qquad (5.24)$

-99-
5.4.2.1 ビット線当りのメモリセル数を64個に固定した場合

(128リフレッシュ方式の64KダイナミックMOS RAMに相当) ビット線当りのメモリセル数を固定してデバイスパラメータをスケールダウンしたとき、 *A*V<sub>AS max</sub>", m" は次式で与えられる。

$$m'' = \frac{\Delta V_R}{\Delta V_{ASmax} + 2 \cdot \Delta V_{th} (k-1)}$$
(5.26)

5.4.2.2 ビット線当りのメモリセル数がスケーリング定数と共に増す場合

(256リフレッシュ方式の64KダイナミックMOS RAMに相当) スケーリング定数に比例して、ビット線当りのメモリセル数が増し、かつ、デバイスパラメー タがスケールダウンされる場合には、4Cb″は次式となる。

$$\Delta C_{\mathbf{b}}'' = \Delta C_{\mathbf{b}} \tag{5.27}$$

このとき、 $\Delta V_{ASmax}''$ , m'' は次式で表わせる。

$$\Delta V_{ASmax}'' = k^{-\frac{1}{2}} \left[ \Delta V_{ASmax} + 2 \cdot \Delta V_{th} \left( \sqrt{k} - 1 \right) \right]$$
 (5.28)

$$m'' = k^{-\frac{3}{2}} \cdot \frac{\Delta V_R}{\Delta V_{AS \max} + 2 \cdot \Delta V_{th} (\sqrt{k} - 1)}$$
(5.29)

# 5.4.3 64KダイナミックMOS RAMのリフレッシュ方式の検討

デバイスパラメータをスケールダウンしたときの係数m', m"をスケーリング定数kとk= 1における  $\Delta V_R$ ,  $\Delta V_{ASmax}$ ,  $\Delta V_{th}$  で表わせた。k=1(12V-16Kダイナミック MOS RAM)で,  $\Delta V_R = 270 \text{ mV}$ ,  $\Delta V_{ASmax} = 25 \text{ mV}$ ,  $\Delta V_{th} = 8 \text{ mV}$  が実測されたので, スケールダウン後の係数m', m"は,加工精度のばらつきがスケールダウンされない場合とされる場合,それぞれ図5.3,図5.4に表わすことができる。



図 5.3 係数 m'のスケーリング定数依存性



図 5.4 係数 m"のスケーリング定数依存性

図 5.3 は、加工精度のばらつきがスケールダウンされず、ビット線当りのメモリセル数を 64個に固定した場合には、k = 2 cm' = 3.3 cm, ダイナミックMOS RAMの外部条 件を満足する限界( $m \approx 3$ )に近い m'しか得られないことを示している。また、図 5.4 は加工 精度のばらつきがスケールダウンされ、ビット線当りのメモリセル数が増す場合には、k = 2 om微細パターンを用いたダイナミックMOS RAMでは、外部使用条件を満足させられる限界に 近い m' しか得られないことと、メモリセル数を64個に固定した場合には、k = 2 cm'' = 6.6が得られるので、広い動作領域のダイナミックMOS RAMが製造可能であることを示し ている。 従って、ビット線当りのメモリセル数が128個の場合(256リフレッシュ方式の64Kダ イナミックMOS RAMに相当)には、ばらつきがスケジュールダウンされる場合に限り、十 分注意した設計をすることによって広い動作領域の64KダイナミックMOS RAMが製造可 能である。一方、ビット線当りのメモリセル数が64個の場合(128リフレッシュ方式の64 KダイナミックMOS RAMに相当)には、ばらつきがスケールダウンされる場合、されない 場合共に、注意を払った設計をすることによって広い動作領域の64KダイナミックMOS RAMが製造可能である。このように、製造、デバイス、回路の特徴により、広い動作領域を得 るための最適構成が存在することが明らかとなった。

### 5.4.4 64KダイナミックMOS RAMの設計指針

スケーリング定数 k を 1 6 K ダイナミック MOS RAMに相当するパターン技術に対して k = 1 とし、6 4 K ダイナミック MOS RAMに相当するパターン技術に対して k = 2 としたと きに、同一製造条件で作成した多数の試料により調べたパラメータの実測値を表 5.1 に示す。表 中の添字 e は、実測値を意味している。N<sub>A</sub> は k = 1, 2 に対して変化させていないが、しきい 値電圧の制御は MOS トランジスタのチャンネル部へのイオン注入によって行なった。表 5.1 は k = 2 の微細パターン製造技術を用いたとき、加工精度のばらつきが、k = 1 の製造技術に比べ て縮小されず、ばらつきの絶対値がほとんど変化しないことを示している。これは、5.4.1 で述 べた理論解析に対応し、6 4 K ダイナミック MOS RAMでは、ビット線当りのメモリセル数 を 6 4 個にしなければ動作領域の広いダイナミック MOS RAMの設計、製造が困難なことを 示している。

また,表 5.1 に示したばらつきから式(5.4),(5.7),(5.9)を用いて計算したdVthe,  $d\beta_{0e}$ ,  $dC_{be} \geq dV_{the}$ ,  $d\beta_{0e}$  の実測値の対応を表 5.2 に示す。 $dV_{the}$ ,  $d\beta_{0e}$  は k = 2に相当する微細パターンの場合にk = 1に相当する場合に比べてばらつきの絶対値が大き くなっている。計算値と実測値の差は、計算式に用いた MOSトランジスタのモデルが実際のデ バイスと厳密に一致していないことと、表 5.1 に示したように必ずしもデバイスパラメータがス ケーリング定数 k に比例していないためである。

このように微細パターンの程度と共に加工精度のばらつきがスケールダウンできないことは, 大容量ダイナミックMOS RAMの集積度向上に対する制限項目の1つと考えられ,加工精度 の向上がダイナミックMOS RAMの動作領域を広め,安定動作させるための重要な項目の1 つであることが明らかになった。

-102-

スケーリング宝数	⊿toxe	⊿L <sub>e</sub>	⊿we	NAe	х <sub>је</sub>
	(Å)	(µm)	(µm)	(cma <sup>-3</sup> )	(µm)
k = 1 (16K)	1 8.2	0.144	0.205	$7 imes10^{14}$	1.2
MOS(D)RAM)	(852)	(5.67)	(4.88)		
k=2~(~64K	1 6.6	0.197	0.252	$7  imes 10^{14}$	0.5
MOS(D)RAM)	(517)	(.3.12)	(3.16)		

表 5.1 パラメータの実測値 (括弧内は平均値)

表 5.2 ΔV<sub>the</sub>, Δβ<sub>0e</sub>, ΔC<sub>be</sub>の実測値と計算値 (括弧内は平均値)

スケーリング定数		∆v <sub>the</sub> (v)	Δβ <sub>0e</sub> (μΑ/V <sup>2</sup> )	⊿C <sub>be</sub> (pF)
k = 1 ( 16K	実測値	0.07 (1.075)	2 2.2 (360.9)	(0.857)
MOS(D)RAM)	計算値	0.023	-1 7.0	0.0 2 1
k = 2 (64K) $MOS(D)RAM$	実測値	0.104 (0.815)	58.8 (368.5)	(0.305)
	計算値	0.041	-34.0	0.014

以上の検討結果より大容量ダイナミックMOS RAMの設計指針として次の5項目が導かれる。

- (1) メモリセルへの書き込み電圧がスケールダウンされない。
- (2) ビット線当りのメモリセル数が増えない(ビット線容量を減らす)。
- (3) メモリセルの単位面積当りの容量を増やす。
- (4) センスアンプ回路のフリップフロップソース端の電位下降速度を遅くする。
- (5) フリップフロップMOSトランジスタのβoを大きくする。

## 5.5 設計理論の64KダイナミックMOS RAMへの適用とその電気特性

設計理論の妥当性を検証するため、64KダイナミックMOS RAMを設計試作した。設計 指針の5項目については以下の方法による対策をとった。(1)に対しては、L=3µmのMOS トランジスタのソース・ドレイン間耐圧が15Vであり、V<sub>CC</sub>=7Vとして、k=2より算出 される電源電圧(k=1のときV<sub>DD</sub>=12V)より大きな値を用いることによって、メモリセル への書き込み電圧がスケールダウンされないようにした。(2)に対しては、ビット線当りのメモリ セル数を64個とし、16KダイナミックMOS RAMの場合と同一にした。(3)に対しては、 新構造のメモリセルは用いず、16KダイナミックMOS RAMの場合と同一にした。(3)に対しては、 新構造のメモリセルは用いず、16KダイナミックMOS RAMの製造工程に従って、デバイ スパラメータをスケールダウンして用いたので、メモリセルはビット長が長くならないようにワ ード線方向に対して長くとり、記憶容量を増した。(4)に対しては、 $dV_{ASmax}$ を小さくするた め、センスアンプ回路のソース端下降速度を遅くした。(5)に対しては、フリップフロップMOSトラン ジスタのコンダクタンス定数をビット線容量の大きさを考慮して許容できる限り大きくし、W= 40µmとした。また、図5.5よりMOSトランジスタのチャンネル長が短くなるに従って、  $dV_{th}$ が大きくなるため、センスアンプ回路のフリップフロップMOSトランジスタはL=4µmで設 計し、 $dV_{th}$ を極力小さくする方法をとった。

図 5.6 は,試作した 6 4 Kダイナミック MOS RAMのチップ写真であり,表 5.3 は性能一覧である。また,図 5.7 は、マーチのテストパターンによる  $V_{DD} - V_{BB}$ の動作領域を示している。標準電源電圧条件( $V_{BB} = -2V$ )の $V_{DD}$ 下限は 3.8 Vである。また、上限は 9 Vであり、70℃でも図 5.7 とほぼ等しい広い動作領域が得られた。試作した 6 4 Kダイナミック MOS



図 5.5 V<sub>th</sub> のチャンネル長依存性



図 5.7 V<sub>DD</sub>-V<sub>BB</sub> 電圧マージン図

RAMでは $\Delta V_R = 185 \text{ mV}$ ,  $\Delta V_{AS \max} = 26 \text{ mV}$  が実測され, m = 7.1が得られた。この 値は図 5.3 より得られるm' = 3.3 の約2倍であり, 5.4 で示した設計指針に従って設計した結 果であると言え,設計指針の妥当性が確認された。



図 5.6 64 Kダイナミック MOS RAMのチップ写真

	A REAL PROPERTY AND A REAL
製造技術	n チャンネルシリコンゲート ダブルポリシリコン
ワード構成	64K語×1bit
パッケージ	16ピン, 300ミルDIP
電源電圧	7 V, -2 V
動作電流	$30 \text{ mA} (T_c = 350 \text{ ns})$
スタンドバイ電流	2 mA
RASアクセス時間	160 n s
CASアクセス時間	100 n s
サイクル時間(T <sub>c</sub> )	350 n s
リフレッシュ方式	128サイクル / 2 ms
チップサイズ	4.28 mm × 6.92 mm
セルサイズ	10 $\mu$ m $ imes$ 19 $\mu$ m
入出力レベル	TTL

表 5.3 64KダイナミックMOS RAMの性能一覧

# 5.6 ダイナミックMOS RAMのアクセス時間の解析

### 5.6.1 アクセス時間解析のモデル

64KダイナミックMOS RAMの基本信号のタイミングを図5.8に示す。また,各機能毎 の時間配分を表5.4に示す。この結果は,RASアクセス時間83nsecの約1/2がメモリセ ルの読み出しとセンス時間に要していることを示している。即ち,ワード線立ち上がりからセン スアンプ回路動作完了までに43nsecを費やしている。また,プリアンプ回路の動作,出力ア ンプ回路の動作に19nsecを要している。この時間を含めると,75%となる。従って,ダイ ナミックMOS RAMでは,メモリセルから読み出される微小な電位差を十分増幅するために アクセス時間の大部分を費やすと言える。

ダイナミックMOS RAMの回路を細かく調べると、各基本信号回路の速度だけでなく、各 機能ブロック毎にその機能が完了するまで信号を遅延させる時間を設けている部分はあるが、全 体的に考えると各基本信号回路の速度とメモリセルから読み出される信号を増幅するに要する時 間に大別できる。従って、RAS アクセス時間は次式で表現できる。

$$T_{acc} = T_s + \sum_{i=1}^{n} T_d (i)$$
 (5.30)



### 図 5.8 基本信号のタイミング

動作の内容	信号名	時	間
クロック回路	$E_{xt}.\overline{RAS} \sim \phi_B$	5 n :	sec
アドレスバッファ回路	ø <sub>B</sub> ~ø <sub>C</sub>	6nsec	
X デコーダセット時間	¢ c ~¢ D	6n :	sec
ワード線の立ち上がりと 読み出し時間	ø <sub>D</sub> ∼ø <sub>G</sub>	24nsec	43nsec
センス時間	$\phi_{\rm G} \sim \phi_{\rm H}$	19nsec	101000
センスアンプ回路動作の 保証時間	$\phi_{\rm H} \sim \phi_{\rm I}'$	4nsec	
プリアンプ回路動作時間	∲ I′ ~∮ <sub>K</sub>	11nsec	
出力アンプ回路動作時間	$\phi_{\rm K} \sim {\rm D}_{\rm OUT}$	8nsec 19nsec	
計	Ext. RAS~DOUT	83n	sec

表 5.4 RAS アクセス時間の時間配分

ここで、T<sub>S</sub>はワード線の立ち上がり遅延,ビット線遅延,センスアンプ回路の感度保証時間であり、第2項は、アクセス時間を決定している基本信号の遅延の和である。従って、T<sub>S</sub>は更に次のように書き直すことができる。

$$T_{S} = T_{W \cdot B} + T_{S \cdot A} = C_{W} \cdot R_{W} + C_{B} \cdot R_{B} + T_{S \cdot A}$$
(5.31)

ここで、 $C_W$ はワード線の容量、 $R_W$ はワード線の抵抗、 $C_B$ はビット線の容量、 $R_B$ はビット線の抵抗、 $T_{S-A}$ はセンスアンプ回路の感度保証に要する時間である。

### 5.6.2 ワード線、ビット線の遅延

5.6.1 より RAS アクセス時間の約50%がメモリセルからの読み出し動作で占められること がわかった。この動作は、ワード線電位を高速に立ち上げ、ビット線にメモリセルから電位を読 み出し、センスアンプ回路が動作し、メモリセルのリフレッシュ動作が完了するまでの時間であ る。この動作の高速化とダイナミック MOS RAMの動作余裕度の拡大を追求することは、相 反事象であり、最適化が必要である。即ち、高速性を追求すると動作余裕度の係数mを悪化させ る。この理由は、高速にすると十分電位を読み出す前にセンスアンプ回路動作を始める必要があり、  $\Delta V_R$ が小さくなるためである。また、高速動作にすると、センスアンプ回路の活性化信号をなだら かに下降させる時間も短くなるので、 $4 V_{ASmax}$ も悪くなる。このように、高速アクセス時間と動 作余裕度が矛盾するため、高速でも動作余裕度を低下させない工夫が必要である。動作余裕度を 確保しながらセンスアンプ回路の高速化を図るための目安は、式(5.30),(5.81)より得られる。 ワード線の立ち上がりの高速化には、ワード線電位を発生させる回路上の高速化ばかりでなく、 ワード線やビット線の構成法によるところも大きい。式(5.31)のTw・B はそれを示して いる。従って、これらのワード線、ビット線遅延を最小化した構成法が高速化には必要である。 (16) ダイナミックMOS RAMにおけるビット線、ワード線構成法には、オープンビット線方式 (17) とフォールディッドビット線方式があり、64KダイナミックMOS RAMを例に Tw・B を 計算すると表 5.5 となる。この結果からオープンビット線方式は、プロセス上の大きな変更を行 なわずとも高速ダイナミックMOS RAMに適合していると言える。一方、フォールディッド ビット線方式は、高速性に対して非常に障害が大きく、オープンビット線と同一の高速性を得る には $\rho_{Rw} = 5 \Omega/\square$ が必要となる。

	オープンビット	フォールディ	选 · · · · · · · · · · · · · · · · · · ·	
	線方式	ρ <sub>Rw</sub> =30Ω/□	ρ <sub>RW</sub> =10Ω/□	
RW	85Ω	10.8 ΚΩ	3.6 KΩ	
Cw	5 p F	2 pF	2 pF	
R <sub>B</sub>	6.1 KΩ	25 Ω	25 Ω	$\rho_{\rm N^+} = 30 \ \Omega \swarrow \Box$
C <sub>B</sub>	0.5 pF	0.5 pF	0.5 pF	
T <sub>W</sub> .B	3.4 nsec	22 nsec	7 nsec	

表 5.5 Tw.B の計算値

図 5.9 はオープンビット線方式の 6 4 K ダイナミック MOS RAMのレイアウトを示してい る。ワード線はA点より立ち上がりB点まで伝達される。また、ビット線に対しては、最遠方の メモリセルから読み出された電位が、C点からD点に伝達される。このそれぞれの最遠方点が動 作余裕度の低下をもたらすと考えられるので、a線源による加速試験によってソフトエラーの発生 位置依存性を調べた。その結果を図 5.10 に示す。測定条件は、Vcc=5V、tc=1  $\mu$ sec、 a線源は <sup>241</sup>Am・11 $\mu$ Ciである。 ワード線遅延に対してソフトエラーの明確な有意差はなく、 逆に予想と反した結果になっている。この理由は測定したデバイスがワード線昇圧方式を用いて いるため、ワード線がフローティング時にA点側での電位の落ち込みが大きいためであると推定 できる。一方、ビット線遅延におけるソフトエラーは明らかに依存性が存在する。この結果は、 ダイナミックMOS RAMのV-Bumpテストによる不良発生位置関係と対応する。ビット 線方向の不良発生数は、位置により2~3倍差があり、比較的大きい。これは、オープンビット 線の場合、ビット線方向の遅延が大きいことと対応している。

従って,高速化を行う場合,ワード線,ビット線遅延を十分考慮しないと動作余裕度を低下さ せることがわかる。





図 5.9 オープンビット線方式のレイアウト

#### 5.6.3 センスアンプ感度保証時間

センスアンプ回路の感度保証時間は、メモリセルからの信号電荷量が小さくなるに従って、センスアン (12) プ感度を向上させる必要があるため、短縮は難しくなる。それは、センスアンプ感度を決定させ る因子、K(センスアンプのソース端下降速度)を小さくする必要があるためである。

### 5.6.4 高速化の要因

ダイナミックMOS RAMのアクセス時間を式(5.30)で近似した。式(5.30)の 第2項は,各基本信号の立ち上がり時間が等しく設計されたとき,次式で表わすことができる。

$$T_{acc} = C_W \cdot R_W + C_B \cdot R_B + T_{S \cdot A} + n \cdot T_d \qquad (5.32)$$

ここで,nは図 5.8より出力回路を含めて13とすることができる。
(9) また,T<sub>d</sub>は図 5.11の基本クロック回路とタイミング図より次式で表わすことができる。

$$T_{d} = \frac{2C_{2}}{\beta_{2} (V_{CC} - V_{th})} + \frac{4V_{th}C_{1}}{\beta_{3} (V_{CC} - 2V_{th}) (V_{CC} - 2V_{th}(\frac{C_{B} + C_{1}}{C_{B}}))}$$

$$+\frac{\sqrt{\frac{6C_{1}}{K_{1}\beta_{1}}}(V_{CC}-V_{th})^{2}-\frac{3C_{1}}{\beta_{1}}(V_{CC}-V_{th})}{(V_{CC}-V_{th})^{2}-\sqrt{\frac{6C_{1}K_{1}}{\beta_{1}}}(V_{CC}-V_{th})+\frac{3C_{1}K_{1}}{\beta_{1}}}$$
(5.33)

ここで、K<sub>1</sub> は基本クロック回路に入力する ∮<sub>1</sub> の立ち上がり速度である。 これらのアクセス時間の解析より、高速化の要因として次の8点が挙げられる。

(1) ワード線遅延の減少(フォールディドビット線の場合,この問題が大きくなる)。

(2) ビット線遅延の減少(オープンビット線の場合,この問題が大きくなる)。

- (3) センスアンプ感度の確保。
- (4) 信号回路の段数の低減。
- (5) コンダクタンスの増加。
- (6) V<sub>th</sub>を下げる。
- V<sub>CC</sub>を高く設定する。
- (8) 浮遊容量の低減を図る。

(11) (1),(2)については,最終的には,2層Aℓ構造か,Aℓに非常に近いシート抵抗材料を 用いることが必要である。(3)については現在用いられている フリップフロップ型に替わる高感度 センスアンプ回路の出現が待たれるが,プロセスパラメータのばらつきを小さくすることで高速化 が図れる。(4)が回路設計上非常に重要である。新機能付のダイナミックMOS RAMの市場要 求が高く,回路が複雑化されてきているが,高速化のためには,周辺回路の簡素化が必要である。 (5)が高速化には最大の効果があり,MOSトランジスタの短チャンネル化が必須技術である。(6) については,ダイナミックMOS RAMにおいてロングサイクルテストやリフレッシュ時間の 制約が厳しくMOSトランジスタのテール電流が大きな問題となるので,回路を構成する全ての MOSトランジスタのしきい値電圧を下げるのではなく,高速化に効果があり,他の特性に影響 を与えないMOSトランジスタのしきい値電圧を下げる方法がある。(7)は現実的に不可能である。 ダイナミックMOS RAMは大容量化されるに従って,短チャンネルMOSトランジスタが用 いられ,耐圧の低下や,電源電圧の標準化のため任意の電源電圧が用いられないためである。(8) については、デバイスの縦構造を厚くすることによって対策がとれる。また,分離材料の誘電率 も大きな問題となる。

このように,高速化にはデバイス構造やプロセス技術に負うところが多いが,設計的には回路 の簡素化が重要であることが明らかになった。





図 5.1 1 基本クロック回路と基本クロック回路のタイミング図

# 5.7 2層AI構造による高性能化

2 層Aℓ構造は高密度化を図りつつ,低抵抗配線が可能であり,優れた特性を示すことは良く (18) 知られている。本節では,ダイナミックMOS RAMに2層Aℓ構造を適用することによる高 性能性について述べる。

# 5.7.1 2層AI構造のダイナミックMOS RAMの試作

2 層A  $\ell$ 構造の高性能性を検証するため、2種類のダイナミックMOS RAMを試作した。 1 層A  $\ell$ 構造のデバイス(SAMC; Single Aluminum Memory Cell)と2層A  $\ell$ 構造 (DAMC; Double Aluminum Memory Cell)のデバイスであり、それぞれの構成を 表5.6 に示す。SAMCは、N<sup>+</sup> 拡散ビット線と2層ポリシリコンプロセスによる通常構造であ り、DAMCは、A  $\ell$ ビット線構造になっている。DAMCの断面を図5.12に示す。DAMC は、1層A  $\ell$ をビット線に、2層A  $\ell$ をワード線に用いているので、ビット線、ワード線の抵抗 を低減できること、また、メモリセル容量を大きくできること、さらに、ビット線の浮遊容量を 低下させられる特徴がある。一方、周辺回路においても、この2層A  $\ell$ 構造を用いることにより、 クロスアンダー部の抵抗を低減できること、電源ラインの抵抗を下げられる特徴もある。

DAMCプロセスは、SAMCに比べて2枚のマスクを多く用いる。それは1層A $\ell$ と2層 A $\ell$ を短絡するためのスルーホールと、2層A $\ell$ のパターニング用であるが、1層A $\ell$ 工程まで はSAMCとDAMCは全く等しいプロセスである。また、1層A $\ell$ と2層A $\ell$ の層間絶縁膜に はSiNを用いた。

メモリセル構造	2層 Aℓ	1層 Aℓ	
ビット線	lst Al	N <sup>+</sup> 拡散層	
ワード線	2nd Al	Αℓ	
周辺回路	lst Aℓ	Αℓ	
クロスアンダーライン	2nd Al	N <sup>+</sup> 拡散層	
V <sub>CC</sub> , V <sub>SS</sub> ライン	1st & 2nd A $\ell$	Al	
セル面積	176,	<i>u</i> m <sup>2</sup>	
チップ面積	2 9.3 mm <sup>2</sup>		

表 5.6 SAMCとDAMCの構造の差



図 5.1 2 DAMCの断面図

# 5.7.2. 電気特性の比較

DAMCのメモリセルの記憶容量は、SAMCに比べて、N<sup>+</sup> 拡散ビット線領域が、蓄積容量 として有効に使用でき、約15%増やすことができた。このため、ダイナミックMOS RAM の動作余裕度が増し、ソフトエラーに対しても大幅な改善が得られた。図5.13にDAMCと SAMCのソフトエラーの比較結果を示すが、約10倍DAMCが優れていることがわかった。 また、図5.14は、チップ内部の $V_{CC}$ 電源のノイズを示している。DAMCはSAMCに比べ て約1/2のノイズ量に減少している。これは2層Aℓ構造によって、チップ内部の電源ライン



図5.13 DAMCとSAMCのソフトエラー差

のインピーダンスを下げた効果である。電源ラインの電圧低下が避けられるので、高速化が期待 できる。図 5.1 5 は、DAMCとSAMCのアクセス時間を示しているが、 $V_{CC} = 4.5 V$ で約 16 n sec DAMC が高速であり、高性能化が容易なことを示している。

このように、DAMC構造のダイナミックMOS RAMは、メモリセルの記憶容量を大きく できること、配線抵抗を下げられること、電源ラインのノイズを低減できることが明らかになり、 高性能ダイナミックMOS RAMに適した構成法であることが明らかになった。



図 5.14 DAMCとSAMCの電源ノイズの差



図 5.1 5 DAMCとSAMCのアクセス時間の差

### 5.8 結 言

本章では,大容量ダイナミックMOS RAMの動作余裕度を拡大するための最適構成法を検 討した結果,以下の結論を得た。

製造,デバイス,回路技術を考慮した大容量ダイナミックMOS RAM用センスアンプ回路の設計 において,読み出し電圧,センスアンプ回路の感覚より,動作領域を決める係数mを定量化し,mの最 小値を明らかにした。また,センスアンプ感度を決定するパラメータのばらつきについて検討し たところ,これらのばらつきが微細加工精度のばらつきによって決まることを理論的に明らかに し,微細パターン製造技術を用いた大容量ダイナミックMOS RAMの設計では,デバイスパ ラメータの加工精度によるばらつきが大きな障害となることを明らかにした。

さらに、64KダイナミックMOS RAMの最適構成について検討したところ、現在の製造 技術ではばらつき量のスケールダウンがなされないので、広い動作領域を得るためには、ビット線 に64個のメモリセルを接続した128リフレッシュ方式が、ビット線に128個のメモリセル を接続した256リフレッシュ方式に比べて、優れていることを明らかにした。

これらの検討結果よりセンスアンプ回路の設計指針を導き出し、その設計指針に基づいて、64Kダ イナミックMOS RAMを設計、試作した結果、m=7.1が得られ、本節で述べた微細パター ン製造技術を用いた大容量ダイナミックMOS RAMの設計手法の妥当性が確認された。

さらに、ダイナミックMOS RAMの高速アクセス時間を得るための最適構成について検討 し、アクセス時間解析のモデルを提案した。ダイナミックMOS RAMのアクセス時間の約 50%がセンス動作に費やされており、この高速化がダイナミックMOS RAMの高速化に必 須であることを明らかにし、その実現には、ワード線遅延とビット線遅延の和が最小になる構成 法が必要であることを明らかにした。また、高速ダイナミックMOS RAMを実現するための 要因を明らかにし、高速化の指針を示した。この結果、回路構成上の問題として回路の簡素化が 必要であることを明らかにした。

また,2層Aℓ構造を用いたダイナミックMOS RAMは,メモリセルの記憶容量の増大, 配線抵抗の低下,電源ラインのノイズの低減が可能となることを明らかにし,高性能化に適した 構成法であることを明らかにした。

## 参考文献

- R. Schröeder and R.J. Proebsting; "A 16K x 1-bit Dynamic RAM", ISSCC Dig. Tech. Papers, PP. 12-13, 1977.
- W.T. Lynch and H.J. Boll; "Optimization of the latching pulse for dynamic flip-flop sensors", IEEE J. Solid-State Circuits, vol. SC-9, No.2, PP. 49-55, 1974.
- (3) L.G. Geller, D.P. Spampinate and L.Y. Yao; "High-sensitivity charge-transfer sense amplifier", IEEE J. Solid-State Circuits, vol. SC-11, PP. 596-601, 1976.
- (4) L.G. Heller; "Cross-coupled charge transfer sense amplifier", ISSCC Dig. Tech. Papers, PP. 20-21, 1979.
- (5) John J. Barnes and John Y. Chan; "A high performance sense amplifier for a 5V dynamic RAM", IEEE J. Solid-State Circuits, vol. SC-15, PP. 831-839, 1980.
- N. Ieda, E. Arai, K. Kiuchi, Y. Ohmori and K. Takeya; "A 64K MOS RAM design", J. Japan Appl. Phys., vol. 17, No.1, PP.57-63, 1978.
- (7) 下東; "MOSメモリのアクセス時間の解析",昭56信学総合全国大会, P. 2-165.
- (8) 長山,吉原,中野,蒲生; "スケーリング法を適用した大容量ダイナミック MOS RAMの
   回路設計 ",信学論(C), vol. J64-C, №2, PP. 61-68, 1981.
- (9) 長山,益子,吉原,中野; "ダイナミック MOS RAMのアクセス時間解析",
   信学論(C),83-5掲載予定.
- (10) 長山,吉原,中野,蒲生; "スケーリング法を適用した大容量ダイナミック MOS RAMの
   回路設計 ",電子通信学会,電子計算機研究会,EC 7 9-46, PP. 31-41, 1979.

- (11) M. Taniguchi, Y. Ohbayashi, M. Yamada, Y. Nagayama, S. Sato and T. Nakano; "High Performance Dynamic RAM using Double Aluminum Layer", VLSI Symposium Dig. Tech. Papers, PP. 62-63, 1982.
- (12) 下酉,長山,中野; "ダイナミック MOS RAMのセンスアンプ感度の解析",
   信学論(C), vol. J 61-C, № 6, PP. 399-401, 1978.
- (13) L.D. Yau; "A simple theory to predict the threshold voltage of short-channel IG FET's", Solid-State Electronics, vol.17, PP. 1059-1063, 1974.
- R.H. Dennard, F.H. Gaensslen, H.N. Yu, V. Rideout,
  E. Passous and A.R. Leblanc; "Design of ion-implanted MOS FET's with very small physical dimensions", IEEE J. Solid-State Circuits, vol. SC-9, No.5, PP. 256-267, 1974.
- (15) 増原,足達,永田,橋本; "低電圧ダイナミックMOSメモリ",信学論C, vol. J57-C, No.8, PP. 271-278, 1974.
- (16) R.C. Foss; "The Design of MOS Dynamic RAMs", ISSCC Dig. Tech. Papers, PP. 140-141, 1979.
- K. Itoh, R. Hori, H. Masuda and Y. Kamigaki; "A Single 5V
   64K Dynamic RAM", ISSCC Dig. Tech. Papers, PP. 228-229, 1980.
- (18) I. Ohkura, O. Tomisawa, M. Nakaya, Y. Ohbayashi and
   T. Nakano; "A multi-level metallized DSA MOS masterslice",
   IEEE J. Solid-State Circuits, vol. SC-14, PP. 764-766, 1979.

-117-

# 第6章 高性能64KダイナミックMOS RAMへの工学的応用

6.1 序

大容量ダイナミックMOS RAMを高性能化し、動作余裕度の拡大を図るための具体的項目 である高速化,低消費電力化,動作余裕度の解析,MOS RAMの最適構成法,信頼性の向 上について,各々の問題点を抽出し,その改善方法について検討を行なった。第2章においては, 微細加工技術を用いなくとも短チャンネル化が実現できるDSA MOSトランジスタのダイナ ミック,スタティックMOS RAMへの適用について述べ,MOS RAMの高性能化には MOSトランジスタの短チャンネル化が必要であることを述べた。第8章では,ゲートとソース・ ・ドレイン間の重なり容量とソース・ドレイン領域の寄生抵抗が低減できる8重拡散型MOSト ランジスタ(T.D.T)と,T.D.Tの実用化上の変形であるゲートとソース・ドレインの重な り容量を低減したSAGOS MOSトランジスタの特性について述べ,ダイナミックMOS RAMの高性能化に寄生容量や抵抗の低減が必要であることを述べた。第4章では,動作余裕度 を拡大するためにセンスアンプ感度の定量化と,ソフトエラーの解析について述べ,動作余裕度 を拡大する方法について述べた。また,第5章では,動作余裕度を拡大するためのMOS RAM の最適構成について述べ,高速化を達成するための最適構成について述べた。

本章では,第2章~第5章の研究成果を高性能64KダイナミックMOS RAMに適用し, その工学的応用効果を明らかにする。

## 6.2 64KダイナミックMOS RAMの構成

### 6.2.1 64KダイナミックMOS RAMの仕様

64Kダイナミック MOS RAMをはじめとする汎用 LSIは, 製造会社のピン配置を統一する ために JEDEC (The <u>Joint Electron Device Engineering</u> <u>Council</u>)が設け られ,世界的に標準化されている。64KダイナミックMOS RAMのピン配置は図 6.1 に決定 されている。

外部クロック信号はRAS(Row Address Strobe)とCAS(Column Address Strobe)であり、アドレス端子は8つである。64 KダイナミックMOS RAMには65536ビットあり、16本のアドレスでなければランダムアクセスできないので、1つのアドレス端子 から2つのアドレス情報を入力している。図6.2に標準的な使用条件のタイミング図を示す。ま た、図6.3にダイナミックMOS RAMの回路ブロック図を示す。RAS信号の変化時に、8 本のアドレス端子から8つのロウアドレス情報を入力し、ロウデコーダ回路を動作させ、1本の ワード線を駆動する。一方, CAS信号の変化時に 8 つのカラムアドレス情報を入力し, カラム デコーダ回路を動作させ, 65536 ビットの1 ビットを選択する。従って, アドレス端子へは, RAS信号からCAS信号までの間に, 2 つの有効なアドレスを入力しなければならない。







**RAS**-Only Refresh Cycle

図6.2 使用タイミング



図 6.2 使用タイミング



図6.3 ダイナミックMOS RAMの回路ブロック図

読み出しは、カラムデコーダ回路により選択された I/Oコントロール回路を通してプリアンプ回路、 出力アンプ回路へメモリセル信号を伝達し、Dout 端子に読み出す。RAS信号の変化からデー タ出力までの時間をRASアクセス時間、CAS信号の変化からデータ出力までの時間をCAS アクセス時間とよび、RASアクセス時間とCASアクセス時間の比が2:1 になるのが一般的 である。

一方,書き込みは,R/W端子を変化させたときのD<sub>IN</sub>端子の情報を選択されたメモリセル へ書き込む。書き込みサイクルと読み出しサイクルの違いは,R/W端子の電位だけである。

大容量ダイナミックMOS RAMには、1トランジスタ型のメモリセルが用いられ、リフレ ッシュ動作が必要である。リフレッシュはロウデコーダにより、1つのワード線が選択されると、 1つのワード線に接続している256ビットがリフレッシュされる。これは、通常の読み出し、 書き込みサイクルでも行えるが、CAS信号は変化させずRAS信号だけを変化させることによ ってもリフレッシュが行え、RASオンリーリフレッシュと呼ばれている。

64KダイナミックMOS RAMに使用されている電源は、1つでありV<sub>CC</sub>(5V)と呼ば

れる。これは、16KダイナミックMOS RAMの12V、 $\pm$ 5Vの3電源に比べて大きな違いである。回路を動作させる電源が12Vから5Vに変わったことは、ダイナミックMOS RAMに使用するデバイスの耐圧が下がったことや、単一電源化(TTLとの互換性)をするために必然的なことである。しかし、負の電源を省くことは、大きな技術課題であった。負の電源を用いることの重要性は、主に次の3つである。

- (a) 入力端子からの負のアンダーシュートがあっても,接合を順バイアス状態にせず,小数キ +リアの注入を起こさせない。
- (b) 接合の浮遊容量を低減し,動作の安定性と高速化を実現する。
- (c) MOSトランジスタのしきい値電圧の基板効果を最小にし、コンダクタンスの向上を図る。

このため、負の電源をチップ内で発生する方法を用いている。しかし、チップ内で発生する (2)  $V_{BB}$  電源は内部インピーダンスが高く、チップの動作によって変動(Bounce)を受け、チッ (3) プの動作余裕度を下げるので、それを最小化する平滑コンデンサーを用いた。また、図 6.4 に 示すように $V_{BB}$  発生回路に使用している発振回路の発振周期とチップの動作周期が一致すると (4)  $V_{BB}$  電圧に特異点が生じるので、これらの周期が動作電圧範囲で一致しない設計としている。 表 6.1 に 6 4 KダイナミックMOS RAM の仕様を示す。

また、1ピンにREF信号を与え、自動的にリフレッシュする機能をもった64KダイナミックMOS RAMも試作し、良好な結果を得た。



図 6.4 Vcc 電圧と VBB 電圧の関係

ワード構成	65 536 ワード×1 ビット
使用電源電圧	5 V $\pm$ 1 0 %
RAS アクセス時間	最大 120 nsec
CAS アクセス時間	// 60 nsec
動作消費電力	″ 250 mW
スタンバイ時消費電力	∥ 2.2 m₩
リフレッシュ時間	128サイクル/2msec

表 6.1 64 KダイナミックMOS RAMの仕様

## 6.2.2 チップ構成

6.2.2.1 メモリセルアレイとチップ構成

図 6.5 は 6 4 Kダイナミック MOS RAMのチップ写真である。また,図 6.6 はそのチップ 構成図である。メモリセルは,64×256ビット単位の細長い4ブロックに分割され,256



図 6.5 チップ写真

図 6.6 チップ構成

個のセンスアンプ回路が2ブロック,メモリセルブロックの中央に配置され,センスアンプ回路 の位置と反対側のビット線端に256個のカラムデコーダ回路が3つ配置されている。

この構成は、第5章の設計指針によって得られたものである。即ち、1つのビット線に64個 のメモリセルを接続し、128リフレッシュ方式とすることによって、動作余裕度を大きくした。 また、カラムデコーダ回路を3つ配置することはチップ面積が少し大きくなるが、ビット線の容 量 Cbを小さくでき、第5章の設計指針と一致する。

## 6.2.2.2 メモリセル構造

図 6.7 はメモリセルの断面図である。第4章で述べたようにHi-C メモリセル構造は、メモ リセル容量を30%増すことができ、動作余裕度の拡大とソフトエラー改善から非常に有効なデバイ ス構造である。メモリセルの大きさは、7.2×19.8µm<sup>2</sup>であり、ビット線方向に非常に短かい構造 になっている。これは、第5章の設計指針に従って、ビット線容量 Cb を小さくするためである。

また、ビット線は N<sup>+</sup> 拡散層を用い、ワード線にA $\ell$ を用いている。この組み合せは、第5章 で述べたように、高速ダイナミックMOS RAMを実現するために適した構成法である。



図 6.7 メモリセルの断面図

### 6.2.2.3 センスアンプ回路

ダイナミックMOS RAMでは,センスアンプ回路の設計が重要であり,第4章,第5章で その設計指針を明らかにした。図 6.8は64KダイナミックMOS RAMのセンスアンプ回路, メモリセル,ダミーセルの構成を示している。

メモリセル容量  $C_S$  は  $H_i - C$  構造により 0.0 6 pF である。また、ダミーセル容量  $C_d$  は、 第4章の結論から、最適化し、 0.0 2 8 pF であり、ソフトエラーの "H"→"L"不良と"L"→

"H"不良の比率は約2:1である。この比を1:1にしない理由は、ダイナミックMOS RAM 特有のV-Bump テストに対して余裕をもたせるためである。

また,センスアンプ回路のソース端下降速度は第5章の結果よりQ2のトランジスタサイズを 最適化し,7nsecで約1V下降させてセンスアンプ感度を上げ,ソフトエラーの改善をしてい る。また,センスアンプ回路のフリップフロップトランジスタQ4,Q5は,第5章の結果から, ゲート長を3.5μmに設計し,しきい値電圧のばらつきによるセンスアンプ感度の低下を防ぎ, ゲート幅も38μmを用いコンダクタンス定数を大きくし,センスアンプ感度を上げている。



図 6.8 センスアンプ回路の構成

さらに、第4章の結果により、ワード線をセンスアンプ回路が動作する前に昇圧し、読み出し 電圧を大きくし、動作余裕度の拡大、ソフトエラーの改善をしている。

Q3のトランジスタは重要な役割をしている。図6.9はS2のプリチャージレベルとオフタイム(RASの"H"時間)の改善度を示している。また、図6.10はS2のプリチャージ電圧と V-Bump値の改善度を示しているが、いずれもS2のプリチャージレベルを上げるとオフタイム、V-Bumpが改善されることを示している。この結果は、S2のプリチャージ電圧を高くするとセンスアンプ感度が増大していることを示している。その理由として次の2点が考えられる。

- (1) センスアンプ駆動信号に負方向のノイズがのこることにより起こる「早すぎるセンス」を
   防止し、センスアンプ回路のノイズに対する余裕度を向上させる。
- (2) センスアンプ回路を構成するペアトランジスタ特性のばらつきに起因するセンスアンプ回路のアンバランスを緩和し、プロセス変動に対する余裕度を向上させる。

このため、 S<sub>2</sub> のプリチャージレベルは,設計上容易に実現できる V<sub>CC</sub> プリチャージ方式を 採用している。



図6.9 S2 プリチャージ電圧とt<sub>RP</sub>の関係



図 6.10 S2 プリチャージ電圧とバンプ電圧の関係

6.2.2.4 周辺回路

ダイナミックMOS RAMは、メモリセルの情報ばかりでなく、周辺回路においても、待機時間における保持特性が要求される。メモリセルの保持時間は製品規格として2msec を保証しているが、ダイナミックMOS RAMにおいては出力ホールド時間を無限大保証している製

品があり,本試作品もこの規格を満足させる設計となっている。このとき,テール電流とチップ (9) 内ノイズがこの保持特性を妨げる現象が起こる。このため,周辺回路においてもテール電流を考 慮した設計をする必要があり,次の4つの対策を行なっている。

- (1) 回路が動作するときの内部ノイズを低減すること。
- (2) 長時間 "L"を保持する回路のノードは、ノイズが入っても回路に誤動作を与えないため ラッチ機能を持たせること。
- (3) 長時間"H"を保持する回路のノードは、レベルを保証する回路を設けること。
- (4) 長時間 "H"を保持する回路のドライバーMOSトランジスタのしきい値電圧は,他の MOSトランジスタのそれより高いしきい値電圧を用いること。

# 6.3 64K ダイナミックMOS RAMの性能と信頼性

### 6.3.1 製造プロセス

64KダイナミックMOS RAMの試作は、第3章で示した3重拡散型MOSトランジスタ (T.D.T)を用いた。このときゲート長は2.0 $\mu$ mである。

また,第5章の結論より,大容量ダイナミックMOS RAMの動作余裕度の拡大には,加工 精度の向上が不可欠である。加工精度を向上させるために,マスクはEB露光により作られ,マ スク材料に石英を用いることによって,マスク寸法精度の向上と耐熱,耐歪の特性向上を図って いる。さらに,製造プロセスでは,加工精度を向上させるため,ポリシリコンやコンタクト工程 にドライエッチ技術や10:1縮小露光装置を用いている。特に,しきい値電圧やコンダクタン ス定数のアンバランスを起こし易いゲートポリシリコンは,これらの最新の製造技術によって作 られた。

(7).(8) フフトエラー対策としてチップコーティングは有効である。第4章で示したように1000 FIT以下のフフトエラー率を得るには0.09 pF以上のメモリセル容量が必要である。しかし、 チップサイズの制限や、ゲート酸化膜の信頼性の制限より試作した64KダイナミックMOS RAMのメモリセル容量は、0.06 pF であり、目標値を大幅に下まわっている。このため、 20  $\mu$ mの有機樹脂によるスピンコートを実施して、ソフトエラーの改善を行なった。

5 MeVのエネルギーをもつ α粒子の飛程距離は,有機樹脂中で30~50 μmと短かく,シ リコンチップ表面に有機樹脂の層を40~50 μm塗布すれば,外来のα粒子はほとんど遮断で きる。13 μmの膜厚で約1/1000にソフトエラー率の改善が期待できるので,20 μmの厚 みのPIXコーティングで十分である。一方,外来のα粒子を完全に遮断できても,PIXコー ティング材料や,製造プロセスで発生するα粒子があると十分な改善効果は得られない。本研究 で採用したコーティング材料や他の材料は、グリッド電離箱(Gridded Ionization Chamber)の測定によると、測定限界の  $0.005\alpha/cm$ 時間以下を示し、パッケージ材料の 1/10以下の $\alpha$ 粒子の発生率であり、実使用上問題ないことを確認している。コーティング技 術によって 1000 FIT以下のソフトエラー率が期待できる。

### 6.3.2 電気性能

表 6.2 に試作した 6 4 Kダイナミック MOS RAMの性能を示す。ゲート長 2.0  $\mu$ mの 8 重拡散型 MOSトランジスタによって RASアクセス時間 7 0 nsecをはじめ、優れた特性が得 られた。また、電源電流も 2 6 0 nsec のサイクル時間で 3 0 mAであり、低消費電力である。 リフレッシュ時間は、Hi - C セルの採用で悪化が考えられたが 2 0 0 mesc 以上あり、実使用 の 2 msec に比べて十分余裕があり、最大動作電圧も製品規格の 7 V に対して十分余裕がある。

また、ソフトエラーは、 $^{241}$ Am・8.4  $\mu$ Ci の放射線源を用いて加速試験した結果、V<sub>CC</sub> = 5.0 V、1  $\mu$ sec のサイクル時間で2×10<sup>6</sup> device・hours が得られ、1000 FIT 以下が得られた。これは、Hi-Cメモリセル、ワード線の昇圧、センスアンプ回路の最適化、チップコートによって達成されたと考えられる。

本試作で得られた64KダイナミックMOS RAMの性能指数は、0.18pJ/ビットであ り、従来の64KダイナミックMOS RAMに比べて2.5倍の改善がなされ、1Kビットダイ ナミックMOS RAMに比べると300倍以上の改善がなされている。

また,デバイスの動作電圧下限は2.8 Vであり,2.8 V ~10.5 Vの V<sub>CC</sub> 電圧範囲で動作し,大きな動作余裕度を有していることも確認した。これは5章で述べたm値を7に設計したためであると考えられる。また,出力ホールド時間も無限大を保証できている。

ヮード構成	65536ワード × 1ビット		
チップサイズ	3.2 mm × 7.3 8 mm		
メモリセルサイズ	7.2 $\mu$ m $\times$ 1 9.8 $\mu$ m		
プロセス	Nチャンネルシリコンゲート		
	5V単一,VBB電圧内蔵		
RAS アクセス時間	70 nsec (4.5V, 75℃)		
CAS アクセス時間	40 nsec (4.5V, 75℃)		
動作電流	30 mA (5.5V, 25℃)		
スタンドバイ電流	2.8 mA (5.5V, 25℃)		
リフレッシュ時間	200msec 以上(75°C)		
最大動作電圧	10.5 V 以上		
リフレッシュ方式	128サイクル/2msec		

表 6.2 64KダイナミックMOS RAMの性能一覧

### 6.3.3 信頼性

64KダイナミックMOS RAMでは、ソフトエラーの改善のため、Hi-C セル構造やチ ップコーティングの新しい技術、また、スケーリング則によってゲート酸化膜の薄膜化、ゲート 長の短チャンネル化、フィールドトランジスタの短チャンネル化など、従来の16Kダイナミッ クMOS RAMに比較して厳しいデバイス設計を行っているので信頼性の十分な検討が必要で ある。

表 6.3 は、6 4 Kダイナミック MOS RAMの信頼性試験結果を示している。動作寿命試験 では、ホット・エレクトロンによるアクセス時間のドリフトを調べるために低温(-10℃)の 試験も行っている。また、ゲート酸化膜が400Åであるので、その信頼性を十分調べるため、 高温動作寿命試験を強化している。

表 6.4 は 6 4 K ダイナミック MOS RAMのソフトエラーの実施評価結果である。ソフトエ ラーは目標の1000 FIT (10<sup>6</sup> device  $\cdot$  hours)以下を十分達成している。

	試験項目	試験条件	チェック項目	試料数	不良数
高温動作寿命試験		$T_a = 125 ℃$ $V_{CC} = 6.0 V$ 1,000時間	直流及び交流電 気特性	50 50 50 50 50	0 0 0 1* 0
低加	显動作寿命試験	T <sub>a</sub> = −10 ℃ V <sub>CC</sub> = 7.0 V 1,0 0 0時間	直流及び交流電 気特性	50 50 50	0 0 0
高	温保存	T <sub>a</sub> = 150℃ 1,000時間	直流及び交流電 気特性	50 50	0 0
熱的シリーズ試験	ハンダ耐熱	260℃,10秒	直流及び交流電 気 性		0
	熱衝撃	ー55℃~125℃ 15サイクル		150×4 □ット	0
	温度サイクル	−55℃~150℃ 100サイクル			0
プリ	ィッシャー クッカー試験	120℃, 29.4PSI 500時間	直流及び交流電 気特性	50 50 50	0 0 0
耐	湿性試験	85℃/85% V <sub>CC</sub> =5.5 V 1000時間	直流及び交流電 気特性	50 50	0 0

表 6.3 信頼性試験結果

注 \*シリコン酸化膜不良(ハードエラー)

試験項目	試験条件	不良判定方法	試料数	不良発生数
システム動作 寿命試験	$T_{a} = 25 °C$ $V_{CC} = 4.5 V$ $t = 3000 H r s$ $T_{a} = 25 °C$ $V_{CC} = 4.5 V$ $t = 1000 H r s$	連続読み出し動作を 行いながらすべての 出力レベルを判定す る。	100 100 100 100 100	1* 0
	Ta = 20 °C $V_{CC} = 5.0 V$ t = 1134 H r s	実使用条件 ( 中型計算機 COSMO-700 )	1152	0

表 6.4 ソフトエラー実装評価結果

\*1ビットエラー(ソフトエラー)

## 6.4 結 言

64 KダイナミックMOS RAMの高性能化,広い動作余裕度を得るために、3重拡散型 MOSトランジスタ、Hi-C メモリセル、ワード線昇圧方式、128リフレッシュ方式を採用 し、さらに、センスアンプ回路の最適化を行なった。その結果、RASアクセス時間70 nsec、 消費電力150 mW、性能指数として 0.18 pJ / ビットが得られ、大幅な高性能化が達成でき た。また、m値を7に設計したため、 $V_{CC} = 2.8 V \sim 10.5 V$ の間で動作し、広い動作余裕度 も達成できた。

一方,信頼性のデータより,スケールダウンデバイスを用いたにも拘らず,ハードエラーとして 100FIT以下,ソフトエラーとして1000FIT以下が確認され,本研究の成果は工学的 応用効果の高いことが明らかになった。

## 参考文献

- (1) 岡部; "収穫期を迎える 64 KダイナミックRAM", 日経エレクトロニクス, 1982.8.30, PP.147-168.
- Yogishwar Puri; "Substrate voltage Bounce in NMOS Self-Biased Substate", IEEE J. Solid-State Circuits, vol. SC-13, No.4, PP. 515-519, 1978.
- (3) 谷口,山田,態野谷,小林,中野; "ダイナミック MOS RAMの基板電圧平滑コンデンサ",
   信学論(C), vol. J 65-C, №7, PP. 530-536, 1982.
- (4) 長山,宮本,吉原,中野; "V<sub>BB</sub>電圧の特異現象について",昭57信学総合全国大会,
   P. 2-210.
- M. Taniguchi, T. Yoshihara, M. Yamada, K. Shimotori,
  T. Nakano and Y. Gamou; "Fully Boosted 64K dynamic RAM with Automatic and Self-Refresh", IEEE J. Solid-State Circuits, vol. SC-16, No.5, PP. 492-498, 1981.
- (6) 益子,長山,吉原,中野; "センスアンブ駆動信号に関する一考慮",昭57信学総合全国 大会, P.2-205.
- (7) 吉原,高野,谷口,原田,中野; "MOSダイナミックRAMのソフトエラー解析",
   信学論(○, vol. J 65-C, № 4, PP. 251-256, 1982.
- (8) 北出,小山,元木,光定,朝倉; "ポリィミド樹脂コーティングによるソフトエラー防止効 果",昭56信学半導体・材料全国大会,P.63.
- (9) K. Mashiko, M. Yamada, Y. Nagayama, T. Yoshihara and T. Nakano; "An Effect of the subthreshold Current on Scaled down MOS Dynamic RAM's", IEEE J. Solid-State Circuit Correspondence, To be published.

# 第7章 結 論

MOS RAMの高速,低消費電力化と動作余裕度の拡大に関する基礎的研究を第2章から第 6章にわたって述べた。本章では,本研究で得られた結果を総括して以下に示した。

- (1) 微細パターンを用いずに短チャンネルMOSトランジスタが実現できるDSA MOSト ランジスタには、順方向、逆方向、双方向の3つの構成法があることを示し、順方向DSA MOSトランジスタが最も高性能であり、逆方向DSA MOSトランジスタは、使い方に 工夫が必要であり、双方向DSA MOSトランジスタは転送トランジスタに適しているこ とを明らかにした(第2章)。
- (2) DSA MOSトランジスタのテール電流,接合リーク電流は通常のMOSトランジスタ と同程度であり、全イオン注入法によるDSA MOSプロセスがダイナミックMOS RAMに適用できることを明らかにした(第2章)。
- (3) DSA MOSトランジスタにより性能指数の改善が図られることをE/Dインバータの 解析より明らかにし、4KビットダイナミックMOS RAMの試作により、同一設計ルー ルの通常のMOSトランジスタに比べて1.7倍性能が向上することを明らかにした(第2章)。
- (4) 逆方向DSA MOSトランジスタは、スタティックMOS RAMの転送ゲートに適用可能であり、接合容量の低減から高速化に適した特性を有することを明らかにした(第2章)。
- (5) MOSトランジスタを短チャンネル化したときに、ソース・ドレイン領域のN<sup>+</sup> 拡散層の 抵抗、ゲートのポリシリコン抵抗が回路動作に及ぼす影響を明らかにし、その回路設計上の 取り扱いを明らかにした(第3章)。
- (6) ダイナミックMOS RAMの高性能化を達成するための重要な3つの要素(ゲート容量, ソース・ドレインの寄生抵抗,MOSトランジスタのコンダクタンス)を明らかにし、これ らの要素が満足される3重拡散型MOSトランジスタ(T.D.T)を提案し、通常のMOS トランジスタに比べて0.4 µmの短チャネル化が可能なことを明らかにした。
- (7) 3重拡散型MOSトランジスタをダイナミックMOS RAMに適用すると同一のコンダ クタンスの場合,通常のMOSトランジスタに比べて11%以上の高速化が達成できること を明らかにした(第3章)。
- (8) 短チャンネル効果を起こしにくく、ゲート入力容量を小さくできるSAGOS MOSト ランジスタを提案し、64KダイナミックMOS RAMに適用した結果、ゲート入力容量 の低減により、通常のMOSトランジスタに比べて11%の高速性が得られることを明らか にした(第3章)。
- (9) ダイナミックMOS RAMのセンスアンプ回路の感度をMOSトランジスタの特性式を

用いて解析的に求め、定式化し、センスアンプ回路の高感度化に必要なプロセスパラメータ や回路構成上の要因について明らかにした(第4章)。

- (10) ソフトエラーがスケーリング則の律速条件になるという考え方に基づいた修正スケーリング則を示し、ソフトエラーを考慮した修正スケーリング則では、ダイナミックMOS RAM の性能指数がスケーリング則に比べて悪化することを示した(第4章)。
- (1) 高速,低消費電力,低ソフトエラー率を実現するための新しいデバイス,回路設計法により設計・試作した5V-16KダイナミックMOS RAMの性能指数改善度の実測値と, 修正スケーリング則の性能指数改善度がよく一致することから,ソフトエラー率を十分満足 させるデバイス・回路設計を行なったときには,修正スケーリング則により性能指数が予測 できることを明らかにした(第4章)。
- (2) ダミーセルサイズの最適化により約1.5倍、ワード線昇圧法により約10倍のソフトエラ 一改善が達成できることを示し、大容量ダイナミックMOS RAMでは、回路設計技法か らのソフトエラー改善が重要になることを明らかにした(第4章)。
- (3) ダイナミックMOS RAMのセンスアンプ回路の設計で,読み出し電圧,センスアンプ 回路の感度より動作領域を決める係数mを定量化し,広い動作領域を得るためにはm=3以 上が必要であることを示した。また,デバイスパラメータのばらつきが,微細加工精度のばらつ きによって決まることを理論的に明らかにし,微細パターン製造技術を用いた大容量ダイナ ミックMOS RAMの設計では,デバイスパラメータの加工精度によるばらつきが大きな 障害となることを明らかにした(第5章)。
- (4) 広い動作領域の64KダイナミックMOS RAMを得るためには、ビット線に64個の メモリセルを接続した128リフレッシュ方式がビット線に128個のメモリセルを接続した256リフレッシュ方式よりも適していることを明らかにした(第5章)。
- (15) ダイナミックMOS RAMのアクセス時間の約50%がセンス動作に費やされており、 センス時間の高速化がダイナミックMOS RAMの高速化に重要であることを示し、その 実現には、ワード線遅延とビット線遅延の和が最小になる回路構成法が必要であり、2層 A l によるメモリセル構造が適していることを明らかにした(第5章)。
- (16) 本研究で得られた研究成果を64KダイナミックMOS RAMに適用した結果, RAS アクセス時間70nsec, 消費電力150mW, 性能指数として0.18pJ/ビットが得ら れ, 高性能化が達成できた。また, m値を7にしたのでV<sub>CC</sub>=2.8V~10.5Vの 間で動作し,広い動作領域が得られた。一方, 信頼性でもハードエラー100FIT, ソフトエラー1000

FIT以下が達成でき,本研究の成果は,工学的応用効果が高いことを明らかにした(第6章)。

最後に、本研究で得られた性能指数の改善を図7.1に示した。本研究の成果により、性能指数 は各世代のダイナミックMOS RAMで比較すると2~5倍改善され、そしてその値は、次世 代の性能指数とほぼ等しい値まで改善された。



図 7.1 本研究で得られた性能指数の改善度
本論文を結ぶにあたり,本研究を通じて終始親切な御指導と御討論を賜った大阪大学工学部 中井順吉教授に衷心より御礼の言葉を申し上げます。

本研究の遂行および論文作成にあたり,数々の有益な御教示と御忠告をいただいた大阪大学工 学部 寺田浩詔教授,滑川敏彦教授,小山次郎教授,塙輝雄教授,中村勝吾教授,裏克己教授に 厚く御礼申し上げます。本研究の遂行にあたって,御教示と御鞭撻を賜り,また本研究の機会を 与えていただいた三菱電機株式会社LSI研究所所長 岡久雄博士,同設計技術部部長 蒲生容 仁博士,同プロセス技術部部長 中田秀文博士に厚く御礼申し上げます。

また,本研究の遂行,および論文の作成にあたり数々の御教示,御援助をいただいた三菱電機 株式会社LSI研究所設計技術部次長 中野隆生博士に厚く御礼申し上げます。

また,本研究のまとめの機会と援助をいただいた三菱電機株式会社北伊丹製作所副所長 柴山 恭一博士,第3製造部部長 土佐雅宣氏,同設計Ⅲ課課長 樫本裕三氏に厚く御礼申し上げます。

また,本研究の遂行,および論文の作成にあたり,熱心な御討論を通じて数々の有益な御教示, 御忠告をいただいた三菱電機株式会社北伊丹製作所主事 谷口真博士,同LSI研究所ゲートア レイ設計センターグループマネージャー 大倉五佐雄博士,主事 下酉和博氏,主事 吉原務氏 をはじめ、LSI研究所,北伊丹製作所の方々に心から感謝いたします。

## 研究業績目録

## 発表論文

- "ダイナミックDSA MOS RAM",信学論(C),vol.61-C,Na7, PP. 448-454, 1978.
- (2) "A 50ns 4K Static DSA MOS RAM", IEEE J. Solid-State Circuits, vol. SC-13, No.5, PP. 639-646, 1978.
- (3) "スケーリング法を適用した大容量ダイナミック MOS RAMの回路設計",信学論(C), vol.64-C,№2, PP. 61-68, 1981.
- (4) "ソフトエラーを考慮したダイナミックMOS RAMの回路設計",信学論(C),vol.65-C, № 7, PP. 522-529, 1982.
- (5) "ゲート重なり容量を低減化した MOST による高性能 64KビットダイナミックRAM ", 信学論(C), vol. 65-C, Na7, PP. 569-575, 1982.
- (6) "Diffusion Length Measurement using Dynamic MOS RAM",J. Japan Appl. Phys., vol. 22, Suppl. 22-1, PP. 95-98, 1983.
- (7) "A 55nsec 64K Dynamic MOS RAM with triple diffused MOS transistor", IEEE Trans. Electron-Devices, To be published.
- (8) "ダイナミック MOS RAM のアクセス時間 解析",信学論(C),83-5掲載予定.
- (9) "MOSダイナミックRAMのソフトエラーに対する回路設計の影響",信学論(C),83-8
  掲載予定

ショートノート

- "ダイナミック MOS RAMのセンスアンプ感度の解析",信学論(C),vol.61-C,N.6, PP. 399-401、1978、
- (2) "An Effect of the Subthreshold current on scaled down MOS Dynamic RAM's", J. Solid-State Circuits Correspondence, To be published.

## 研究会資料シンポジウム

- "4KビットスタティックDSA MOS RAM",電子通信学会,電子計算機研究会, EC 77-12, PP. 25-34, 1977.
- (2) "スケーリング法を適用した大容量ダイナミックMOS RAMの回路設計",電子通信学会, 電子計算機研究会,EC 79-46, PP. 31-41, 1979.

学会報告

- "Fully Ion Implanted 4096-Bit High speed DSA MOS RAM", ISSCC Dig. Tech. Papers, PP. 76-77, 1977.
- "Diffusion length Measurement using Dynamic MOS RAM",
  14th Cont. Solid-State Devices, PP. 61-62, 1982.
- (3) "High performance Dynamic RAM using Double Aluminum Layer", VLSI symposium Dig. Tech. Papers, PP. 62-63, 1982.
- (4) "A 55nsec 64K Dynamic MOS RAM with triple diffused MOS transistor", IEDM Dig. Tech. Papers, PP. 620-623, 1982.
- (5) "ダイナミックDSA MOSメモリのリーク電流",昭52信学総合全国大会,P. 2-148.
- (6) "MOSトランジスタにおける寄生CR時定数の効果",昭53信学総合全国大会,P2-29.
- (7) "逆方向DSA MOSトランジスタのスタティックRAMへの応用",昭53信学総合全国大会, P. 2-194.
- (8) "MOSトランジスタにおける寄生CR時定数の効果(2)",昭54総合全国大会,
  P. 2-208.
- (9) "ダイナミックMOS RAMのセンスタイミングとソフトエラー",昭56信学半導体・材料 全国大会, P. 58.
- (10) "センスアンプ駆動信号に関する一考慮",昭57信学総合全国大会, P. 2-205.
- (11) "V<sub>BB</sub>電位の特異現象について",昭57信学総合全国大会, P. 2-210.