

Title	大容量半導体メモリの高性能化に関する基礎的研究
Author(s)	山田, 通裕
Citation	
Issue Date	
Text Version	ETD
URL	http://hdl.handle.net/11094/2380
DOI	
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名・(本籍)	やま 山	だ 田	みち 通	ひろ 裕
学位の種類	工	学	博	士
学位記番号	第	6311	号	
学位授与の日付	昭和59年2月15日			
学位授与の要件	学位規則第5条第2項該当			
学位論文題目	大容量半導体メモリの高性能化に関する基礎的研究			
論文審査委員	(主査)			
	教授 浜川 圭弘			
	(副査)			
	教授 難波 進 教授 藤澤 和男 教授 末田 正			
	教授 成田信一郎			

論 文 内 容 の 要 旨

本論文は、電荷結合素子型メモリ（CCDメモリ）と絶縁ゲート型電界効果トランジスタによるダイナミック・ランダムアクセスメモリ（ダイナミック MOS RAM）の2種類を用いて、半導体メモリの大容量化と高性能化に関して行った研究成果をまとめたもので、本文は8章から構成されている。

第1章は序論であり、本研究に関する関連分野のこれまでの研究経緯と技術開発動向について述べ、本研究を始めた動機及び目的と意義を明らかにし、本論文の構成について説明したものである。

第2章は低速・大容量半導体メモリ（CCDメモリ）の高性能化への方策について述べたもので、CCDメモリにおいて単位面積当りのメモリの充填密度を格段と高める目的で、メモリの構造及び駆動方式に独特の改良を加えて電極当りのビット数を増加させる2つの方式を提案した。すなわち、i) CCDメモリが本質的にはアナログ素子であることを巧妙に利用した多値蓄積方式（MLS-Multilevel Storage）、ii) 駆動方式としては単位ビット電極方式（E/B-Electrode per Bit）の検討を行い、その設計上の最適化について検討した。

第3章では、大容量64KビットCCDメモリの設計とその試作について論述した。すなわち、第2章で得た最適化設計の概念を大容量64KビットCCDメモリに適用し、これを試作すると共に、その性能、動作機能を計測し、実用技術として耐え得る新デバイスであることを確認した。

第4章はダイナミック MOS RAM（中速・大容量半導体メモリ）の高性能化に関する研究成果をまとめた章であり、ダイナミック MOS RAMの実使用における使い易さ及び応用面の拡大を計る目的で行った2つの設計上の試みについて論じた。すなわち、i) ダイナミック MOS RAM の特性向上のために半導体基板に印加される基板電圧をメモリチップ上で発生することによる単一電源化、ii) ダイナミ

ック MOS RAM を従来使いにくいものにしていたりフレッシュ操作を極めて容易にするリフレッシュ機能の内蔵化の検討を行い、その設計上の問題点と解決策について論述した。

第5章では、大容量 64 K ビットダイナミック MOS RAM の設計とその特性について論述した。すなわち、第4章で提案したチップ内での基板電圧発生回路の内蔵化とリフレッシュ機能の内蔵の概念を大容量 64 K ビットダイナミック MOS RAM に適用し、その実用性を確認した。さらに、この素子の動作特性を測定、解析しその性能指数の characterization を行うと共に、従来の素子と比べていかに優れているかを明らかにした。

第6章では、CCDメモリとダイナミック MOS RAM の性能比較について論述した。すなわち、CCDメモリとダイナミック MOS RAM のいずれが大容量化に適しているかということ、大容量化に対する最大の制限要因であるソフトエラーの観点から比較検討を行った。その結果、ソフトエラーに対する強さを表わす臨界電荷量において、ダイナミック MOS RAM が大容量化に適していることを明らかにした。

第7章は、ダイナミック MOS RAM の大容量化に対する技術的打開策について検討した章である。すなわち、第6章の結論に基づき、ダイナミック MOS RAM の大容量化を更に計るために必要な i) ソフトエラー、ii) ホットエレクトロン効果という2つの物理的制約に対する技術的打開策の検討を行い、新しく改善策を提案し、今後の問題点を明確にした。

第8章は、本論文の結論であり、CCDメモリとダイナミック MOS RAM の高性能化に関する第2章から第7章までの研究成果を総括した。

論文の審査結果の要旨

近来、情報処理の巨大化に伴って“より早く”、“より多く”の情報処理を行なうハードウェアの開発が最先端技術の進歩を決める必須の技術となっている。本論文は、CCDメモリ（電荷結合素子型メモリ）ならびにダイナミック MOS RAM（絶縁ゲート型電界効果トランジスタによるランダムアクセスメモリ）を用いた半導体メモリの大容量化と高性能化に関して行なった一連の研究成果をまとめたものである。

CCDメモリは、単位面積当りの集積密度が高くできる特長を持つメモリ素子であるが、本研究では CCDメモリの機能が本質的にはアナログ型動作をすることを巧妙に利用して、蓄積電荷を2ビット分に分配することにより4段階の情報を記憶できるようにした多値蓄積方式を考案し、さらに、これを順序よく駆動する回路方式を案出して、その動作原理の検討を行なうと共に、設計上の最適化について検討した。次いで、これらの回路を応用した64 Kビット CCDメモリを試作し、その性能、動作機能を解析すると共に、実用技術として耐え得る新デバイスであることを明らかにした。

いまひとつの際立った研究成果は、ダイナミック MOS RAM の性能向上に関する研究である。これは、従来この素子の動作上問題とされてきたリフレッシュ機能について、これを行なう回路を集積化

してチップ内に内蔵することにより、回路設計上極めて容易に、しかも確実にリフレッシュ操作ができる新デバイスを開発した。さらに、この概念を64KビットダイナミックMOS RAMに適用し、素子の動作特性を測定、解析すると共に、実用素子として充分耐え得る新デバイスであることを明らかにした。

本論文では、こうして開発された2種類の新デバイスについてその動作性能をあらゆる観点で分析比較し、両デバイスがどの程度の大容量化に適するかなど、集積化メモリの将来について重要な示唆を含む議論を展開している。また、将来とも大容量化をはばむ要因として、ソフトエラーとホットエレクトロン効果をめぐる技術的打開策の検討を行ない、その改善策を提案し、今後の問題点を明確にしている。

以上のように、本論文は現在最先端技術としてしのぎを削っている集積化メモリの大容量化に関する新しい提案を行なうと共に、この分野の技術を格段と進歩させるための基礎的問題の幾つかを解決し、技術の進歩に貢献した。よって工学博士の学位論文として価値あるものと認める。