



Title	大容量半導体メモリの高性能化に関する基礎的研究
Author(s)	山田, 通裕
Citation	大阪大学, 1984, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/2380
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

大容量半導体メモリの高性能化 に関する基礎的研究

1983年

山 田 通 裕

大容量半導体メモリの高性能化 に関する基礎的研究

1 9 8 3 年

山 田 通 裕

内 容 梗 概

本論文は、電荷結合素子型メモリ（CCDメモリ）と絶縁ゲート型電界効果トランジスタによるダイナミック・ランダムアクセスメモリ（ダイナミック MOS RAM）の2種類を用いて、半導体メモリの大容量化と高性能化に関して行った研究成果をまとめたもので、本文は8章から構成されている。

第1章は序論であり、本研究に関する関連分野のこれまでの研究経緯と技術開発動向について述べ、本研究を始めた動機及び目的と意義を明らかにし、本論文の構成について説明したものである。

第2章は低速・大容量半導体メモリ（CCDメモリ）の高性能化への方策について述べたもので、CCDメモリにおいて単位面積当りのメモリの充填密度を格段と高める目的で、メモリセルの構造及び駆動方式に独特の改良を加えて電極当りのビット数を増加させる2つの方式を提案した。すなわち、①CCDメモリが本質的にはアナログ素子であることを巧妙に利用した多値蓄積方式（MLS—Multilevel Storage）、②駆動方式としては単位ビット電極方式（E/B—Electrode per Bit）の検討を行い、その設計上の最適化について検討した。

第3章では、大容量64KビットCCDメモリの設計とその試作について論述した。すなわち、第2章で得た最適化設計の概念を大容量64KビットCCDメモリに適用し、これを試作すると共に、その性能、動作機能を計測し、実用技術として耐え得る新デバイスであることを確認した。

第4章はダイナミック MOS RAM（中速・大容量半導体メモリ）の高性能化に関する研究成果をまとめた章であり、ダイナミック MOS RAMの実使用における使い易さ及び応用面の拡大を計る目的で行った2つの設計上の試みについて論じた。すなわち、①ダイナミック MOS RAMの特性向上のために半導体基板に印加される、基板電圧をメモリチップ上で発生することによる単一電源化、②ダイナミック MOS RAMを従来使いにくいものにしていたりフレッシュ操作を極めて容易にするリフレッシュ機能の内蔵化の検討を行い、その設計上の問題点と解決策について論述した。

第5章では、大容量64Kビットダイナミック MOS RAMの設計とその特性について論述した。すなわち、第4章で提案したチップ内での基板電圧発生回路の内蔵化とリフレッシュ機能の内蔵の概念を大容量64Kビットダイナミック MOS RAMに適用し、その実用性を確認した。さらに、この素子の動作特性を測定、解析しその性能指数のcharacterizationを行うと共に、従来の素子と比べていかに優れているかを明らかにした。

第6章では、CCDメモリとダイナミック MOS RAMの性能比較について論述した。すなわち、CCDメモリとダイナミック MOS RAMのいずれが大容量化に適しているかということを、

大容量化に対する最大の制限要因であるソフトエラーの観点から比較検討を行った。その結果、ソフトエラーに対する強さを表わす臨界電荷量において、ダイナミック MOS RAM が大容量化に適していることを明らかにした。

第7章は、ダイナミック MOS RAM の大容量化に対する技術的打開策について検討した章である。すなわち、第6章の結論に基づき、ダイナミック MOS RAM の大容量化を更に計るために必要な①ソフトエラー、②ホットエレクトロン効果という2つの物理的制約に対する技術的打開策の検討を行い、新しく改善策を提案し、今後の問題点を明確にした。

第8章は、本論文の結論であり、CCDメモリとダイナミック MOS RAM の高性能化に関する第2章から第7章までの研究成果を総括した。

用語表

ALM		交互マルチプレクス (<u>A</u> lternate <u>M</u> ultiplex)
A-D		<u>A</u> nalog to <u>D</u> igital
CAS		列アドレスストローブ (<u>C</u> olumn <u>A</u> ddress <u>S</u> trobe)
C _B		ビット線の容量
CCD		電荷結合素子 (<u>C</u> harge <u>C</u> oupled <u>D</u> evice)
CE		チップ活性信号 (<u>C</u> hip <u>E</u> nable)
C _S		メモリセル容量
D-A		<u>D</u> igital to <u>A</u> nalog
D _{IN}		データ入力 (<u>D</u> ata- <u>i</u> n)
DIP		<u>D</u> ual <u>i</u> n-line <u>p</u> ackage
D _{OUT}		データ出力 (<u>D</u> ata- <u>o</u> ut)
EB		電子線 (<u>E</u> lectron <u>B</u> eam)
E/B		単位ビット電極 (<u>E</u> lectrode <u>p</u> er <u>B</u> it)
ϵ_{OX}		ゲート酸化膜の誘電率
ϵ_{Si}		シリコン基板の誘電率
FET		電界効果トランジスタ (<u>F</u> ield <u>E</u> ffect <u>T</u> ransistor)
Hi-C		<u>H</u> igh <u>C</u> apacitance
I _{DD} , I _{CC}		電源電流
L		MOS トランジスタのチャネル長
L _{eff}		MOS トランジスタの実効チャネル長
MLS		多値蓄積 (<u>M</u> ultilevel <u>S</u> torage)
MOS		絶縁ゲート型 (<u>M</u> etal <u>O</u> xide <u>S</u> emiconductor)
Q _{crit}		臨界電荷量
q		素電荷
RAM		ランダムアクセスメモリ (<u>R</u> andom <u>A</u> ccess <u>M</u> emory)
RAS		行アドレスストローブ (<u>R</u> ow <u>A</u> ddress <u>S</u> trobe)
REF		リフレッシュ機能制御信号 (<u>R</u> efresh <u>C</u> ontrol <u>S</u> ignal)
SE		センス活性信号 (<u>S</u> ense <u>E</u> nable)
SYNC		同期信号 (<u>S</u> ynchronize)
T, T _a		周囲温度

t_c		サイクル時間
t_{ox}		ゲート酸化膜厚
t_{ref}		リフレッシュ時間
TTL		<u>T</u> ransistor <u>T</u> ransistor <u>L</u> ogic
V_{BB}		基板電圧
V_{BI}		p-n接合の built-in ポテンシャル
V_{CC}, V_{DD}		供給電源
V_{DS}		ドレイン電圧
V_{GG}		メモリセルプレート電圧
V_{GS}		ゲート電圧
V_{SS}		接地電源 (= 0 V)
V_{TH}		MOSトランジスタの閾値電圧
V_{WL}		ワード線の電圧
W		MOSトランジスタのチャネル幅
WE		書き込み活性信号 (<u>W</u> rite <u>E</u> nable)
ΔV_S		センスアンプ感度
η		転送効率

大容量半導体メモリの高性能化 に関する基礎的研究

目 次

第1章 序 論	1
1.1 関連分野の歴史的背景	1
1.2 本研究の目的	5
1.3 本研究の内容	7
第2章 低速・大容量半導体メモリ(CCDメモリ)の高性能化への方策	13
2.1 序	13
2.2 多値蓄積方式(Multilevel Storage-MLS)によるCCDメモリ	16
2.2.1 MLS方式の基本動作	16
2.2.2 テストデバイス	22
2.2.3 MLS方式の問題点	25
2.3 単位ビット電極方式(Electrode per Bit-E/B)によるCCDメモリ	27
2.3.1 転送方法	27
2.3.2 転送クロックの内蔵	28
2.4 結 言	36
第3章 大容量64KビットCCDメモリの設計とその試作	42
3.1 序	42
3.2 メモリの基本構成	42
3.2.1 チップ構成	42
3.2.2 256ビットループの構成	44
3.2.3 センスアンプ回路	46
3.3 入出力マルチプレクス	47
3.3.1 電荷分離入力法	47
3.3.2 交互マルチプレクス構造(Alternate Multiplex-ALM)	49
3.3.3 4チャンネルマルチプレクス	50

3.4	メモリチップの特性	52
3.4.1	周波数特性	52
3.4.2	消費電力	53
3.4.3	電源マージン	55
3.4.4	特性のまとめ	55
3.5	結 言	56
第4章	ダイナミック MOS RAM (中速・大容量半導体メモリ)の高性能化	59
4.1	序	59
4.2	基板電圧の発生回路	62
4.2.1	微視的時間の基板電圧の変動とオンチップ平滑コンデンサ	62
4.2.2	巨視的時間の基板電圧の変動と V_{BB} リークパス回路	70
4.3	リフレッシュ機能の設計	78
4.3.1	リフレッシュ機能の概要	78
4.3.2	リフレッシュ回路設計上の問題点	82
4.4	結 言	88
第5章	大容量 64 Kビットダイナミック MOS RAM の設計とその特性	94
5.1	序	94
5.2	メモリの基本構成	94
5.2.1	チップ構成	94
5.2.2	メモリセル構造	95
5.2.3	オンチップ平滑コンデンサの配置	100
5.3	高性能昇圧回路	102
5.3.1	完全昇圧型センスアンプ回路	102
5.3.2	スイッチド昇圧回路	103
5.4	メモリチップの特性	106
5.4.1	リフレッシュ機能の特性	106
5.4.2	電気的特性	107
5.5	結 言	109

第6章	CCDメモリとダイナミック MOS RAM の性能比較	111
6.1	ソフトエラーの概念	111
6.2	ソフトエラーからみた CCDメモリとダイナミック MOS RAM	112
6.2.1	臨界電荷量の算出	112
6.2.2	臨界電荷量の計算例	115
6.2.3	臨界電荷量を増加させる手段	117
第7章	ダイナミック MOS RAM の大容量化に対する技術的打開策	120
7.1	序	120
7.2	ソフトエラーとその要因分析	122
7.2.1	ソフトエラーを考慮したメモリセル構造	122
7.2.2	ソフトエラーを考慮した回路設計	127
7.2.3	ソフトエラー改善のまとめ	131
7.3	ホットエレクトロン効果とその抑制策	132
7.3.1	64 K(D)RAMによる長時間ストレス	132
7.3.2	テストデバイスによる長時間ストレス	134
7.3.3	実用的モデル	137
7.4	結 言	141
第8章	結 論	146
謝 辞		150
研究業績目録		151

第1章 序 論

1.1 関連分野の歴史的背景

半導体集積回路（IC，LSI）の技術開発は情報化社会の進展，各種電子機器のエレクトロニクス化の進展と共にその発展を支えるキーデバイスとして，その重要性をますます増大させてきている。昭和58年日本のIC産業の規模は1兆円を越えると予測されており，ICの原型が世の中に出現してから約30年でも急成長してきたのは，IC，LSIが電子機器を小型軽量化，高性能化，高信頼性化する上で著しい成果をあげてきただけでなく，その優れた量産性に伴う低価格化をも同時に実現してきたためであり，コスト／チップの低下による経済性の向上が新しい応用分野の拡大を促してきたといっても過言ではない。すなわち，コスト／チップの低下を求める市場要求に，量産性の向上機能の付加を果たしてきた生産側の努力が今日の大発展の礎となった。

このようなIC，LSIの発展の経緯は，ダイナミックMOSRAMを代表格とする半導体メモリの高集積化においては一層顕著である。半導体メモリは1970年に1KダイナミックMOSRAMが発表⁽¹⁾されて以来，その優れた性能及び量産性をもって急速に進展し，1970年半ばには計算機の主メモリとして従来使われていたコア（磁心）メモリはダイナミックMOSRAMに完全に取って代わられた。半導体メモリと他メモリの使用用途を，メモリの主応用分野である計算機システムで考えてみると，半導体メモリは図1.1に示す階層記憶構成の頂点に位置しており，半導体メモリの性能が計算機の性能を左右するといっても過言ではない。

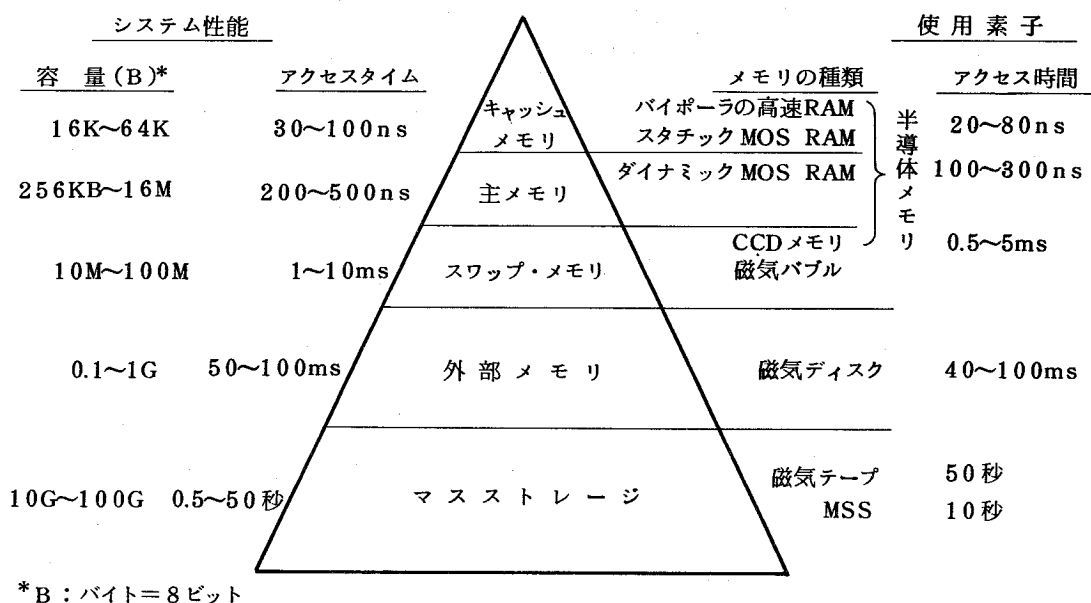


図1-1 計算機の階層記憶構成

一時記憶、過渡記憶用途には（キャッシュメモリ、スクラッチパッド）、バイポーラの高速RAMが全面的に採用され、一部には経済性の理由により高速のスタチックMOSRAMが使用されている。

計算機本体の主メモリとしては、ダイナミックMOSRAMが全面的に使用されており、ダイナミックMOSRAMの大容量化、高性能化は計算機の性能に直接関係する。このため、計算機システムの半導体メモリの大容量化、高速化に対する要求は強く、これに答えるべく半導体技術革新の全てをダイナミックMOSRAMにそそぎ、この要求に答えてきた。すなわち、最先端の半導体集積回路技術は常にダイナミックMOSRAMの大容量化、高性能化という具体的なターゲットをもちながら進展してきたといっても良い。従って、ダイナミックMOSRAMの大容量化、高性能化についての研究は、IC、LSIの高集積化そのものと考えられ、製造プロセス、デバイス、回路上の検討は極めて重要である。

スワップメモリは、主メモリのアクセス時間 $1\mu\text{s}$ 以下と外部メモリとしての磁気ディスクのアクセス時間数 10ms の間（これをアクセスギャップと呼ぶ）を埋めるものとして、早くからその必要性が強調されていたものである。CCD（Charge Coupled Device）メモリがこの必要性に応えるものとして注目され、技術的にはダイナミックMOSRAMとほとんど同一の製造プロセスを使用して製作できるという最大の利点を有していたため、急速にCCDメモリの大容量化が進んだ。

外部メモリ、マスストレージは現時点では、磁気ディスク、磁気テープが使用されているが、超LSIの進展と共にかなりの部分は半導体メモリで置き換えられるであろう。

図1.2にダイナミックMOSRAMとCCDメモリの開発の技術推移を示す。

ダイナミックMOSRAMのチップ当りのビット数の増加はほぼ3年で4倍、すなわち1.6倍/年の割合で大容量化がなされており、現在もその傾向は続いている。^{(1)~(6)}CCDメモリもほぼ同じ割合で大容量化が進展した。^{(7)~(11)}但し、CCDそのものは1970年にW.S.Boyle等⁽¹²⁾によって発表された新しい半導体デバイスであり、1974年から1976年にかけての初期には急激な立ち上りをみせている。

図1.2より明かなように、集積度の点では、同一年代つまり同一レベルの製造プロセス技術であれば、CCDメモリの方が、ダイナミックMOSRAMよりも2~4倍高集積化可能である。

これは、①CCDメモリはメモリ部にコンタクト孔、拡散領域がないために高集積化に向けた構造であること、②ダイナミックMOSRAMは図1.3(a),(b)に示すようにランダムアクセスが可能であり、必要データを入出力するのに高速アクセス時間であるのに対し、CCDメモリは図1.3(c),(d)に示すようにシリアルアクセスであり、低速アクセス時間になるという欠点をもつ。この欠点を補うにはビット当りのコストを下げるしかなく、このために高集積化を計るメモリセルの

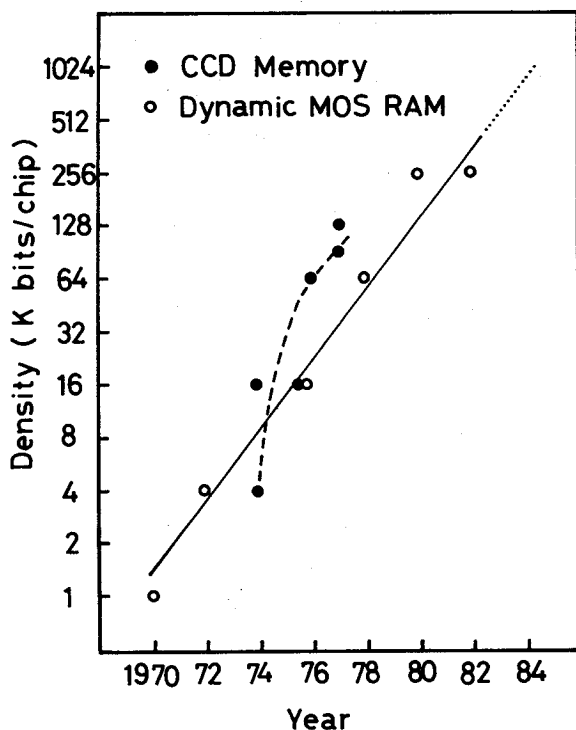


図 1.2 ダイナミック MOS RAM と CCD メモリの開発の技術推移

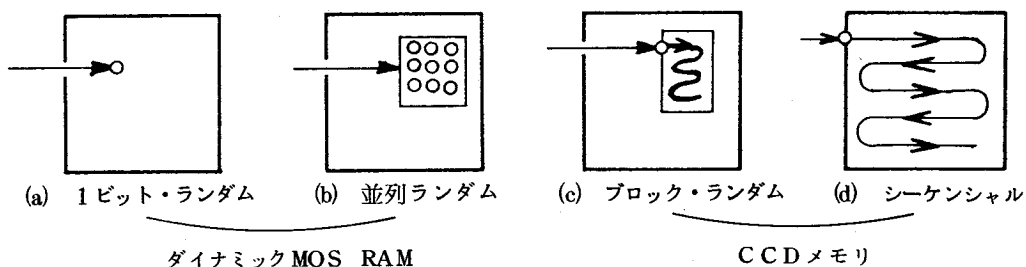


図 1.3 アクセス形式

構造，駆動方式に工夫がなされたこと，の理由によっている。

以上のようなダイナミック MOS RAM と CCD メモリの大容量化を可能にしたのは，両者のメモリが本質的に MOS (Metal Oxide Semiconductor) デバイスであり，従って MOS トランジスタそのものの微細加工技術の進展によるといえる。表 1.1 は MOS トランジスタの微細化に対する，ダイナミック MOS RAM と CCD メモリの大容量化の関係を示し，MOS トランジスタのチャンネル長が $2/3$ になる毎に，チップ当りのビット数は 4 倍になっていることが分かる。

MOSTランジスタは構造、製造工程が簡単であるという面でバイポーラ素子に比べて高集積化に適しているが、ゲートとソース・ドレイン領域が自己整合できるポリシリコンゲートのMOSTランジスタ⁽¹⁵⁾の出現により、一段と有利性を高めた。さらにイオン注入、選択酸化を用いた分離法などの製造プロセス技術の進歩により、移動度の大きなNチャネルMOSTランジスタの製作が容易となり、今日の高速でしかも高集積なMOS集積回路の原形ができ上った。

表 1.1 MOSトランジスタの微細化と半導体メモリの容量

MOSTランジスタ のチャネル長	ダイナミックMOS RAM	CCDメモリ	使用電源電圧
7.5 μm	4 Kビット	16 Kビット	12 V
5 μm	16 Kビット	64 Kビット	12 V
3 μm	64 Kビット	—	5 V
2 μm	256 Kビット	—	5 V

ポリシリコンゲートのMOSTランジスタは、ダイナミックMOSRAM、CCDメモリの高集積化にとって画期的なものであり、自己整合できることでMOSデバイスの動作速度を制限していた一つの要因である、ゲート重なり容量の低減が達成された。さらに、従来金属アルミニウムと拡散層だけが配線材料として用いられていたが、ポリシリコンをもう一つの配線材料として用いることができ、パターンレイアウト上の自由度が増したことも高集積化に拍車をかけた。

一方、回路技術からMOSTランジスタの微細化を考えると、物理定数、使用電源電圧を比例させて縮小する、いわゆるスケーリング則がR.H.Dennard等⁽¹⁶⁾によって提案されている。この原理によって、基本となる特性の概略が把握でき、MOSTランジスタの微細化における指導原理として有用視されている。すなわち、素子寸法の微細化により、集積度が向上するのみならず、性能指数の向上も達成されることが導出されている。実際、このスケーリング則に基づいて、ダイナミックMOSRAM、CCDメモリの高集積化、高性能化が達成されてきた。

しかしながら、1978年にT.C.May等⁽¹⁷⁾によって発表された α 粒子によるソフトエラーは、従来の概念を大きく変える必要性を提案した。このソフトエラーはパッケージ材料などに含まれるウランやトリウムなどから放射される α 粒子によってシリコン基板内に生成される電荷による誤動作で、信号電荷量の少い微細化されたメモリセル程、その影響を急激に受け易くなっていることが判明した。従って、ソフトエラーの克服が半導体メモリの大容量化の鍵となり、ソフトエラーに対する有効な対策手段を見い出せなかったCCDメモリは、これを契機に図1.2に示すように開発が衰退している。今後更に、大容量半導体メモリとして本命たるダイナミックMOSRAMの大容量化を計るためには、ソフトエラーを克服しながらメモリセルの微細化を達成する検討が、

MOSトランジスタ自体の微細化に伴う、ホットエレクトロン⁽¹⁸⁾⁽¹⁹⁾効果等の物理的制約の検討と共に重要な研究テーマになっている。

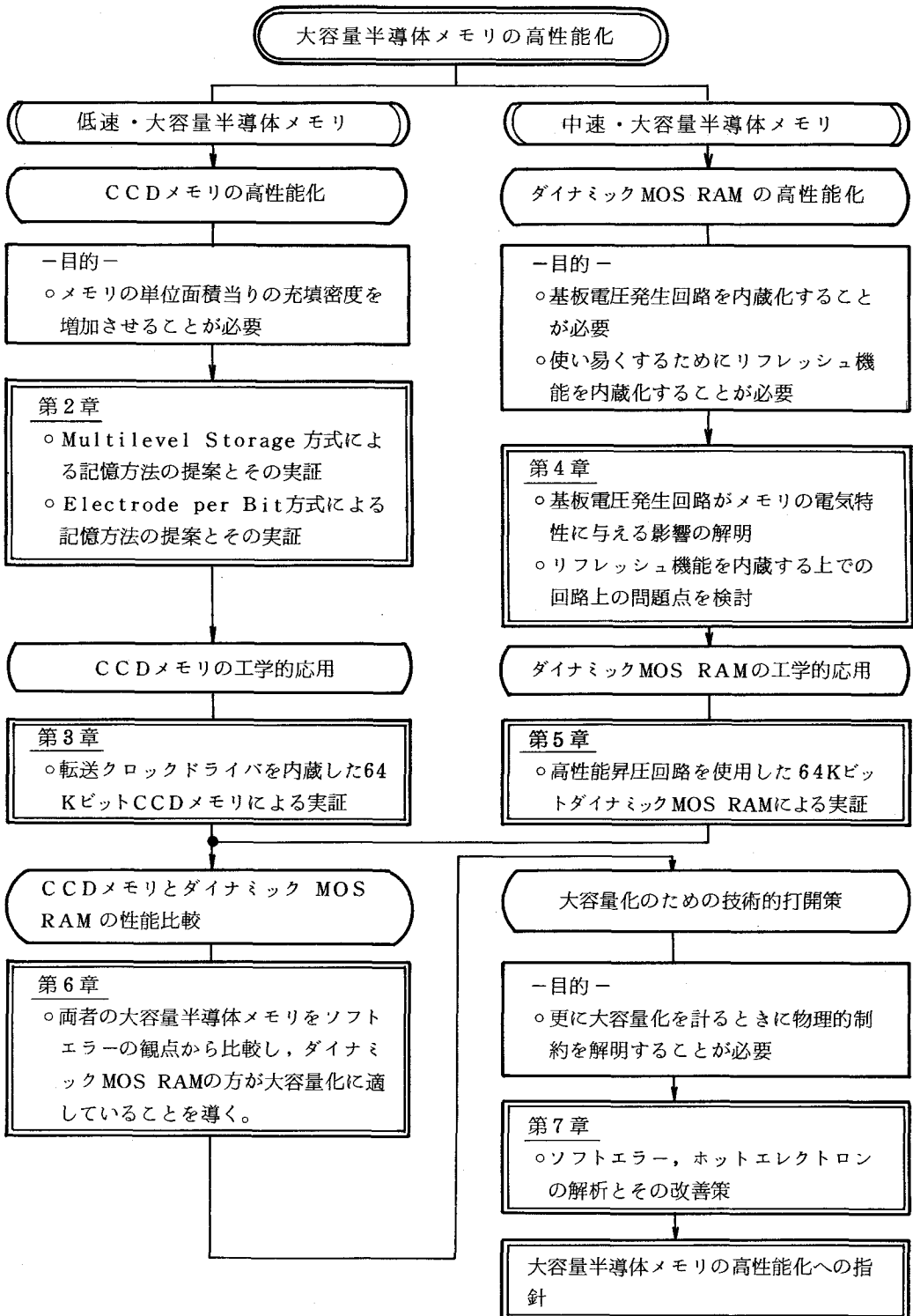
1.2 本研究の目的

本研究は、1.1節で述べた大容量半導体メモリとしてのダイナミック MOS RAMとCCDメモリの開発の経緯を踏まえ、まず両者の半導体メモリの高性能化を制限している要素について、各内容を分析し定量化すると共に、その改善策について具体的方策を提案することを目的としている。

次に、1.1節で述べたように、両者の大容量半導体メモリの高集積化、高性能化はスケーリング則に基づいて進展してきたが、メモリセルの微細化に伴い α 粒子によるソフトエラーが大きな問題となってきた。このため、従来のスケーリング則をそのまま適用することが難しくなっており、ソフトエラーの観点からダイナミック MOS RAMとCCDメモリを比較検討する。そして、更なる大容量化を計るための技術的打開策を検討し、大容量半導体メモリの高性能化への指針を得ることを本研究の目的とする。

表 1.2 に本研究の目的及びその構成を示す。

表 1.2 本研究の目的及びその構成



1.3 本研究の内容

本研究は、CCDメモリとダイナミック MOS RAM という大容量化に対して圧倒的に有利な2種類の半導体メモリをとりあげている。両者の大容量半導体メモリは、ほとんど同一の製造プロセスを使用して製作することができ、共通する回路技術及びデバイス技術は多い。

しかし、CCDメモリはシリアルアクセスであり、ダイナミック MOS RAM はランダムアクセスであるという異質な部分もあり、各々独自の高性能化のための工夫が必要である。本研究では、回路技術及びデバイス技術の両面から、大容量半導体メモリの大容量化、高性能化を達成すべく以下の項目について研究を行った。

- 1) 一つのメモリセルに4段階の電荷充填状態を与えて2ビット分を記憶させる Multilevel Storage (MLS) 方式による CCDメモリの研究。
- 2) 多相の転送クロックによって空のポテンシャル井戸を移してゆく方法で、メモリの充填密度を増加させる Electrode per Bit (E/B) 方式による CCDメモリの研究と、多相の転送クロックを内蔵する上での回路技術に関する研究。
- 3) CCDメモリの入出力部のマルチプレクス動作を容易にする構造の提案と、64Kビット CCDメモリによるその工学的応用。
- 4) 内蔵された基板電圧発生回路がダイナミック MOS RAM の電気的特性に与える影響の研究。
- 5) リフレッシュ機能を内蔵したダイナミック MOS RAM の回路技術に関する研究と、64Kビットダイナミック MOS RAM によるその工学的応用。
- 6) CCDメモリとダイナミック MOS RAM を比較し、その結果、大容量化に適しているダイナミック MOS RAM に対して、更に大容量化を計るための物理的要因の研究。

本論文は、以上の研究成果を8章に分けて構成している。

第1章 序 論

本章は、本研究に関する関連分野のこれまでの研究経緯と技術開発動向について述べ、本研究の目的を明らかにする。

第2章 低速・大容量半導体メモリ (CCDメモリ) の高性能化への方策

CCDメモリはメモリセル部にコンタクト孔、拡散領域がない簡単な構造であるため、メモリセル面積をダイナミック MOS RAM より小さくできる可能性があるが、CCDメモリがビット当りのコストにおいて圧倒的な格差を達成するには、メモリの充填密度をさらに増加させる必要がある。

本章では、この目的のためにCCDメモリが本質的にはアナログ素子である点に注目し、一つのメモリセルに4段階の電荷充填状態を与えて2ビット分を記憶させるMultilevel Storage (MLS)方式を提案する。この動作をテストデバイスによって実証し、MLS方式の問題点は転送効率と多値化された情報の検出回路にあることを明らかにする。

また、本章では、8相の転送クロックによって空のポテンシャル井戸を移してゆく方法でメモリの充填密度を増加させる新規なElectrode per Bit(E/B)方式を提案すると共に、8相の転送クロックを内蔵することを検討し、実装上使い易いCCDメモリを実現する一つの方向を示す。

第3章 大容量64KビットCCDメモリの設計とその試作

本章では、第2章の研究成果を大容量64KビットCCDメモリに適用し、その工学的効果を明らかにする。

CCDメモリを駆動するのに必要な転送クロックの有する数百pFもの大きな入力容量が、従来CCDメモリを実装上使いにくいものにしてきたが、試作した64KビットCCDメモリにおいては、全ての転送クロックドライバを内蔵すると共に、新規なマルチプレクス方式を採用して効率の良いパターンレイアウトを実現している。

第4章 ダイナミックMOSRAM(中速・大容量半導体メモリ)の高性能化

ダイナミックMOSRAMにおいては、その大容量化に伴い、スケーリング則に則って電源電圧を12Vから5Vに下げただけでなく、使い易さ及び応用面の拡大という点から、多機能化も追求されてきている。この目的のために、本章では基板電圧発生回路とリフレッシュ機能を内蔵することを検討する。

すなわち、内蔵された基板電圧発生回路がダイナミックMOSRAMの電気的特性に与える影響を、特に電源電圧を変動させたとき容量結合で生じるVoltage-Bumpに与える影響を解明する。その結果、基板電圧変動を減少させるためにチップ上に設けた平滑コンデンサ、及び基板電圧が平衡値よりもより負電圧になったとき、平衡値に戻すための V_{BB} リークパス回路がVoltage-Bumpに有効であることを定量化して実証する。

また本章では、ダイナミックMOSRAMが有する新しい機能としてのリフレッシュ機能をチップ上で実現する上での回路上の問題点を検討し、その結果実用レベルのものが実現できることを明らかにする。

第5章 大容量64KビットダイナミックMOS RAMの設計とその特性

本章では、第4章の研究成果を大容量64KビットダイナミックMOS RAMに適用し、その工学的効果を明らかにする。

第4章の研究成果から基板電圧用平滑コンデンサとして、チップ周辺のアルミ配線の下を利用することによってチップ面積を増加させることなしに約660 pFの容量を形成した。また、リフレッシュ機能を内蔵することによるチップ面積の増分が1.6%、スタンバイ電流の増分が0.3 mAであり、工学的応用上、問題のないことを実証する。

第6章 CCDメモリとダイナミックMOS RAMの性能比較

CCDメモリとダイナミックMOS RAMのいずれかが大容量化に適しているかということをソフトエラーの観点から比較検討を行う。その結果、CCDメモリにおいてはソフトエラーが、大容量化に対して障害となり得るのに対し、ダイナミックMOS RAMではメモリセル構造の工夫によりソフトエラーをひき起こす臨界電荷量を増すことが可能であり、結論としてダイナミックMOS RAMが大容量化に適していることを明らかにする。

第7章 ダイナミックMOS RAMの大容量化に対する技術的打開策

本章は、第6章の結論に基づき、ダイナミックMOS RAMの大容量化を更に計るために必要な、物理的制約に対するいくつかの技術的打開策を検討する。すなわち、物理的制約のうち、技術的打開策が極めて強く要求される、ソフトエラー、ホットエレクトロン効果に注目して解析を行い、さらにその改善策を提案する。

第8章

本研究で得られた成果を総括する。

参考文献

- (1) W.M.Regitz and J.A.Karp, "A three transistor cell, 1024 bit 500ns MOS RAM", ISSCC Dig. Tech. Papers, Feb. 1970, pp. 42-43.
- (2) J.A.Karp, W.M.Regitz and S.Chou, "A 4096 bit dynamic MOS RAM", ISSCC Dig. Tech. Papers, Feb. 1972, pp. 10-11.
- (3) C.N.Ahlquist, J.R.Breivogel, J.T.Koo, J.L.McCollum, W.G.Oldham and A.L.Renninger, "A 16K dynamic RAM", ISSCC Dig. Tech. Papers, Feb. 1976, pp. 128-129.
- (4) H.Yoshimura, M.Hirai, T.Asaoka and H.Toyoda, "A 64K bit MOS RAM", ISSCC Dig. Tech. Papers, Feb. 1978, pp. 148-149.
- (5) M.Taniguchi, T.Yoshihara, M.Yamada, K.Shimotori, T.Nakano and Y.Gamou, "Fully Boosted 64K dynamic RAM with Automatic and Self-Refresh", IEEE J. Solid-State Circuits, vol. SC-16, pp. 492-498, 1981.
- (6) S.Matsue, H.Yamamoto, K.Kobayashi, T.Wada, M.Tameda, T.Okuda and Y.Inagaki, "A 256K dynamic RAM", ISSCC Dig. Tech. Papers, Feb. 1980, pp. 232-233.
- (7) R.H.Krambeck, T.F.Retajczyk, Jr., D.J.Silversmith and R.J.Strain, "A 4160-bit C4D serial memory", IEEE J. Solid-State Circuits, vol. SC-9, pp. 436-443, 1974.
- (8) S.Chou, "Design of a 16384-Bit Serial Charge-Coupled Memory Device", IEEE Trans. Electron Devices, vol. ED-23, pp. 78-86, 1976.
- (9) A.M.Mohsen, R.W.Bower, E.M.Wilder and D.M.Erb, "A 64 K-bit Block-Addressed Charge-Coupled Memory Device", ISSCC Dig. Tech. Papers, Feb. 1976, pp. 180-181.

- (10) Y.Gamou, M.Yamada, K.Fujishima, T.Tada and S.Takano,
 " All TTL Compatible CCD Memory with CCD Clock
 Generator ", IEEE J.Solid-State Circuits, vol. SC-15,
 pp. 881-886, 1980.
- (11) M.Yamada, K.Fujishima, K.Nagasawa and Y.Gamou, " A New
 Multi-Level Storage Structure for High Density CCD
 Memory ", Digest of Tech. Papers of The 9th Conference
 on Solid State Devices, pp. 77-78 (Tokyo, 1977).
- (12) W.S.Boyle and G.E.Smith, " Charge coupled semiconductor
 devices ", Bell Syst.Tech. J., vol. 49, pp. 587-593, 1970.
- (13) D.R.Collins, J.B.Barton, D.D.Buss, A.R.Kmetz and J.E.
 Schroeder, " CCD memory options ", ISSCC Dig.Tech.Papers,
 Feb.1973, pp. 136-137.
- (14) M.Yamada, K.Fujishima, K.Nagasawa and Y.Gamou, " A New
 Multilevel Storage Structure for High Density CCD Memory ",
 IEEE J. Solid-State Circuits, vol. SC-13, pp. 688-693,
 1978.
- (15) L.L.Vadasz, A.S.Grove, T.A.Rowe and G.E.Moore, " Silicon-
 Gate Technology ", IEEE Spectrum, vol.6, No.10, pp. 28-35,
 Oct.1969.
- (16) R.H.Dennard, F.H.Gaensslen, H.N.Yu, V.L.Rideout, E.
 Basseous and A.R.Le Blanc, " Design of ion implanted
 MOS FET's with very small physical dimensions ", IEEE
 J. Solid-State Circuits, vol.SC-9, pp. 256-268, 1974.
- (17) T.C.May and M.H.Woods, " A New Physical Mechanism for
 Soft Error in Dynamic Memories ", in Proc.1978 Int.
 Reliability Phys. Symp. Apr. 1978, pp. 33-40.

- (18) S.A.Abbas and R.C.Dockerty, "N-Channel IGFET Design Limitations due to Hot Electron Trapping", IEEE IEDM Tech.Digest, pp. 35-38.
(Washington D.C., 1975).
- (19) M.Yamada, H.Matsumoto, T.Kobayashi, M.Kumanoya, M.Taniguchi and T.Nakano, "Hot-Electron Trapping Effects of Short Channel 64K Dynamic MOS RAM", Jpn. J. Appl. Phys., vol.22 Supplement 22-1, pp. 59-62, 1983.

第2章 低速・大容量半導体メモリ（CCDメモリ）の高性能化への方策

2.1 序

Charge Coupled Device（CCD，電荷結合素子）は1970年にBoyle等⁽¹⁾によって発表された半導体デバイスであり、その基本的な構造はMOS（Metal Oxide Semiconductor）構造と同一であるため、ダイナミック MOS RAM の技術の進展と共に急激に進展してきた。そして現在、CCDは本質的にアナログデバイスである特徴を活かした撮像素子の分野で不動の地位を築こうとしている。

一方、デジタルメモリの分野に適用した場合（以下、これをCCDメモリと呼ぶ）、CCDメモリは電荷の転送に基づくシフトレジスタであり、つまり本質的にシリアルアクセスであるためランダムアクセスメモリ（RAM）のような高速アクセス時間を期待できない。従って、CCDをデジタルメモリに応用する場合には、コストが安いことが必要であり、特にほとんど同一の製造プロセスを使用して製作されるダイナミック MOS RAM のコスト低減に対抗していけるか否かが重要な鍵となる。

表 2.1 に CCDメモリの開発の技術推移を示す。1974年は、CCDメモリの黎明期とでもいうべき年であり、この時点では未だダイナミック MOS RAM の方が高集積であった。その後、急速にCCDメモリの研究は活発になり、1976年において各種方式による16KビットCCDメモリが発表され、集積度の点ではダイナミック MOS RAM と肩を並べた。さらに同年には、64Kビット、1977年には92Kビット、128KビットとCCDメモリの高集積化が進み、集積度の点でダイナミック MOS RAM の2～4倍までに至った。

このように、CCDメモリはダイナミック MOS RAM の技術がそのまま適用できるという大

表 2.1 CCDメモリの開発の技術推移

1974年	4 KビットCCDメモリ ⁽²⁾⁽³⁾
1976年	16 KビットCCDメモリ ^{(4)～(8)}
1976年	64 KビットCCDメモリ ^{(9)～(10)}
1977年	92 KビットCCDメモリ ⁽¹¹⁾
同 年	128 KビットCCDメモリ ⁽¹²⁾

きな利点を活かして急速に大容量化を進めたが、逆にこの利点が、ダイナミック MOS RAM との価格競争を必然的に避けられないものとした。図 2.1 は各種メモリにおける、アクセス時間に対するビット当りのコストを示す。図 2.1 から明らかな通り、CCDメモリはシリアルメモリであり、ランダムアクセス可能なダイナミック MOS RAM に比較してほぼ $1/3 \sim 1/5$ 程度のコストを維持することが必要となってくる。図 2.1 より分かるように、CCDメモリは、主メモリとしてのダイナミック MOS RAM のアクセス時間 $1 \mu s$ 以下と外部メモリとしての磁気ディスクのアクセス時間数 $10 ms$ の間（これをアクセスギャップと呼ぶ）を埋めるものとして、いわゆるスワップメモリとして、早くからその成長が期待されていた。また、スワップメモリのほかにも、デ

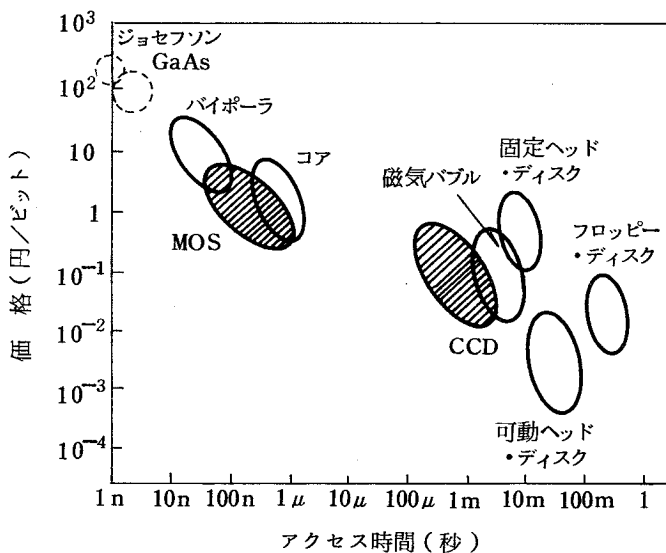


図 2.1 各種メモリのアクセス時間と価格（○は予想）

ィスプレイ用メモリ、伝送用バッファメモリなど幅広い応用分野を有している。実際、上記の応用分野に対してはダイナミック MOS RAM は過剰性能であり、CCDメモリのコストが下がりさえすれば、その性能は上記応用分野によく適合するものである。

もともと CCDメモリは、メモリセルサイズがダイナミック MOS RAM の約 $1/2$ であること、メモリ部にコンタクト孔、拡散領域がない簡単な構造であることなど、面積的、構造的見地から低コストとなる土台がある。とはいえ、CCDメモリがコスト・パフォーマンス面でダイナミック MOS RAM に対して圧倒的な格差を達成するにはメモリの充填密度をさらに増加させる必要がある。

CCDメモリを高集積化するには、④微細加工を推し進める、⑤メモリの構造及び駆動方式に改

良を加える、の2つの方向が考えられる。しかし、②の方向はCCDの優位性を特に増すものではない。むしろ、できるだけ容易なパターン設計基準を使い、製造プロセスはダイナミック MOS RAMより簡便化を計りながら、高集積化をめざす①の方向をとる必要がある。

メモリの構造及び駆動方式に工夫を加えて電極当りのビット数を増加させる有力な手段として、

- ① 多値蓄積方式 (Multilevel Storage-MLS)⁽¹⁹⁾
- ② 単位ビット電極方式 (Electrode per Bit-E/B)⁽²⁰⁾

が考えられている。図2.2に従来の4相クロック駆動のメモリセルとE/B方式のメモリセル及びMLS方式のメモリセルの比較を示す。図2.2(c)に示すMLS方式はCCDのアナログシフトレジスタとしての性質を利用するもので、ポテンシャル井戸下に多数段階の電荷充填状態を与えて、電

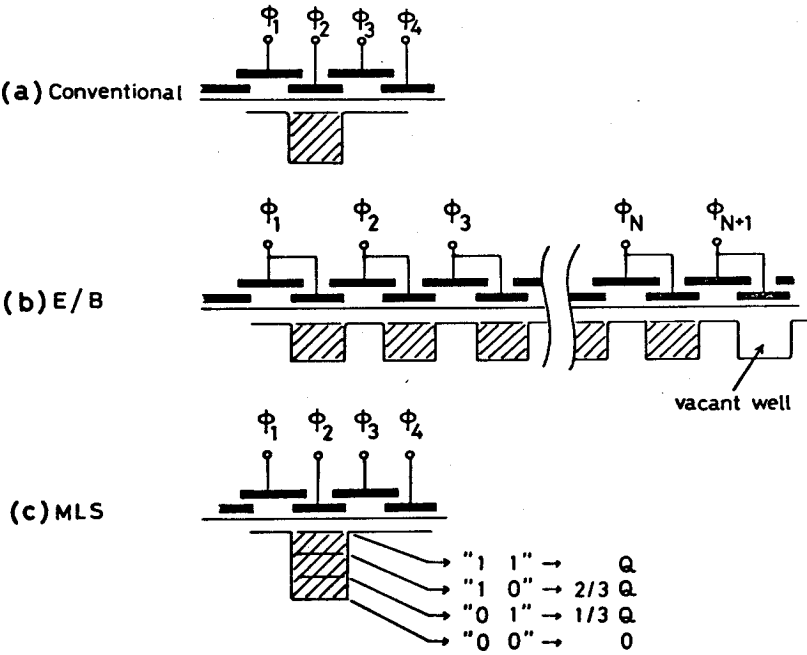


図2.2 各種駆動方式の比較

極当りのビット数を増大させる方式である。図2.2(c)は4段階の電荷充填状態を与えて、一つのポテンシャル井戸下に2ビット分の情報を蓄積する例で、これを4相クロック駆動する場合、電極当りのビット数は、図2.2(a)の従来方式に比べて2倍となる。

一方、図2.2(b)に示すE/B方式は(N+1)個のポテンシャル井戸のうち、N個にデータを蓄積し、(N+1)個ごとに設けられた空のポテンシャル井戸を(N+1)相の転送クロックによりデータを移してゆく方式である。図2.2(b)の場合の電極当りのビット数は、図2.2(a)の従来方式に

比べて $2N/(N+1)$ 倍となる ($N \rightarrow \infty$ で 2 倍)。

本章では、まず上記①と関連して、MLS方式によるCCDメモリを構成する上での問題点を検討する。MLS方式は大容量のCCDメモリを実現する有望な手段として古くから考えられていたが、⁽¹⁹⁾具体的な実験的検証がなされていなかった。その主な理由は、入力回路および検出回路の複雑さにあった。本章では、MLS方式による新規な入力回路及び新規な検出回路を提案し^{(21)~(23)}、その有効性をテストデバイスによって実証する。その結果、MLS方式の問題点は、CCDシフトレジスタの転送効率にあることを明らかにする。

次に、本章では、上記②と関連して、E/B方式によるCCDメモリを構成する上での問題点を検討する。E/B方式は、多数の転送クロックを必要とし、さらに、もし多数の転送クロックを外部から印加するとすれば、転送クロックの有する数百 pF ^{(10) (12) (24)}の入力容量が問題となってくる。数百 pF もの入力容量を有するメモリの使用にあたっては、大きなドライブ能力を有するトランジスタ回路が必要となり、結果として実装上使いにくいものになるからである。従って、本章ではE/B方式に最適な転送クロックをCCDメモリのチップ上に内蔵することを検討する。すなわち、4ストレージセルに3ビットを記憶する新規なE/B方式を検討し、その結果、8相の転送クロックを発生させるのに必要な信号は、入力容量が5.0 pFのTTL (Transistor Transistor Logic) レベルの2本の信号で済ませることができ、実装上きわめて使い易いCCDメモリを実現する一つの方向を示す。⁽¹⁵⁾⁽¹⁶⁾

2.2 多値蓄積方式 (Multilevel Storage-MLS) によるCCDメモリ

2.2.1 MLS方式の基本動作

(1) 概 要

MLS方式の基本動作は、入力デジタル信号の2ビット分をひとまとめにして、4段階の電荷充填状態に変換する入力回路でのD-A変換の動作、入力された信号電荷をCCDシフトレジスタによって転送する動作、及びこの信号電荷から再びデジタル信号に変換する検出回路でのA-D変換動作からなる。

4段階の電荷充填状態は図2.2(c)に示すように2ビット分のデジタル信号に対応している。すなわち、デジタル信号の“1, 1”は電荷量の「満タン」状態Qに、“1, 0”は電荷量の $2/3$ Qに、“0, 1”は電荷量の $1/3$ Qに、“0, 0”は電荷量の空の状態に対応している。これらの対応を表2.2にまとめて掲げる。ここで厳密に言えば、“0, 0”の場合には、「満タン」Qの5~15%程度の電荷量がファットゼロとして注入される。

以下に、上記の3つの基本動作を行う構造と駆動方式を提案し、あわせてダミーCCDについて

ふれる。

表 2.2 2 ビット分のデジタル信号に対応する 4 段階の電荷充填状態

The 1st data	The 2nd data	Stored charge level
1	1	1
1	0	2/3
0	1	1/3
0	0	0

(2) 入力回路

入力回路は図 2.3 (a)に示すように ϕ_T , I , M , S の 4 電極からなる入力ゲートで構成され、入力データはソース拡散領域 (Input node) に順次印加される。ここで入力デジタル信号のうち、" 1 , 0 " と " 0 , 1 " を区別するため、次のような工夫がしてある。入力ゲート S の面積を入力ゲート I の面積の 2 倍にして、S の下に蓄積される電荷量は、I の下に蓄積される電荷量の 2 倍にする。そして、最初にくる論理 " 1 " か " 0 " かのデータ (以下 1st データと呼ぶ) に対応する電荷を入力ゲート S の下に蓄積し、2 番目にくる論理信号 (以下 2nd データと呼ぶ) に対応する電荷を入力ゲート I の下に蓄積する。この両方の電荷を混ぜると入力デジタル信号 " 1 , 1 " は電荷量 Q に、" 1 , 0 " は $2/3 Q$ に、" 0 , 1 " は $1/3 Q$ に、" 0 , 0 " は電荷量 0 に対応する。このように、" 1 , 0 " と " 0 , 1 " とは区別できる。

各入力ゲートに印加されるパルスのタイミングダイアグラム (図 2.4) にもとづいて、上記の入力動作を説明する。ただし、入力ゲート I には V_{DD} レベルの DC 電圧が印加されている。図 2.3 (b) に各時刻における電荷の蓄積状態を示す。

まず、1st データはすべての入力ゲートがオンしている 1st I/O サイクルの間に注入される。論理 " 1 " の時には Input node は V_{SS} レベルとなるので電荷は S の下まで注入される。一方、論理 " 0 " の時には V_{SS} レベルから high レベルになるので S の下には M と S の表面ポテンシャルの差に対応するファットゼロ電荷だけが残る ($t = D$) 。そして、1st データのサンプリングは M がオフすると ($t = E$) 完了し、S の下に 1st データに対応する電荷量が残る。

再び、2nd I/O サイクルの間に ϕ_T をオンして、1st データと同様の方法で 2nd データを注入する ($t = H$) 。そして、2nd データのサンプリングは ϕ_T がオフすると ($t = I$) 完了し、I の下には 2nd データに対応する電荷量が残ることになる。以上の動作が完了したら M をオンし、1st データに対応する電荷 (S の下の電荷) と 2nd データに対応する電荷 (I の下の電荷) を混合し ($t = J$) 、次に M をオフして再び分離する ($t = K$) 。結果として、 $t = K$ におい

てSの下に入力デジタル信号を4段階の電荷充填状態に変換した信号電荷が蓄積される。

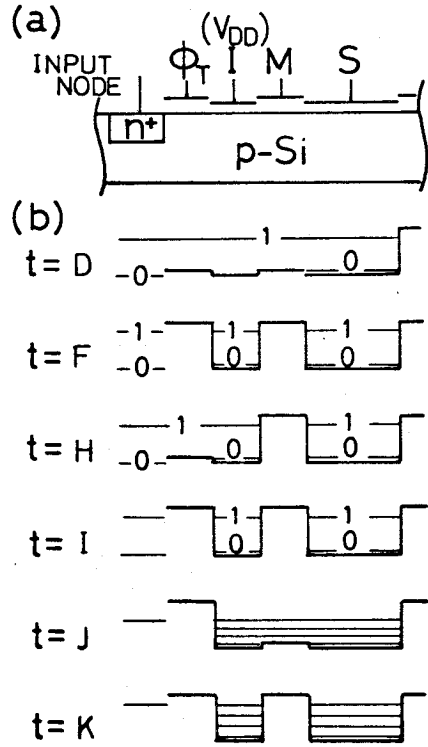


図 2.3 (a) 入力回路の構造
(b) 各時刻における電荷の蓄積状態

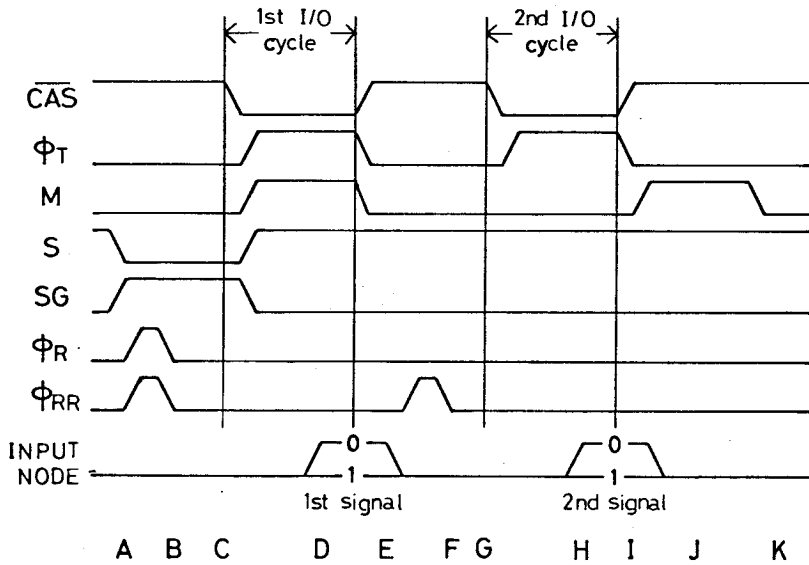


図 2.4 入力回路及び検出回路で使われるパルス
のタイミングダイアグラム

(3) 転送方法

CCDシフトレジスタは表面チャネル、ダブルポリシリコンゲート構造であり、これを4相の転送クロックで駆動する。MLS方式では4段階の電荷充填状態間の差が大きいことが検出回路、動作マージンの点から要求され、したがって転送可能な電荷量を増す必要がある。しかし、このために転送部のゲート面積を増すことは、MLS方式の長所を損うことになる。これを解決するために図2.5に示すような4相の転送クロックを用いた。この駆動方式では、信号電荷はつねに複数の電極にまたがって転送されるので、転送ゲート面積を増すことなく転送可能な電荷量を増すことができる。

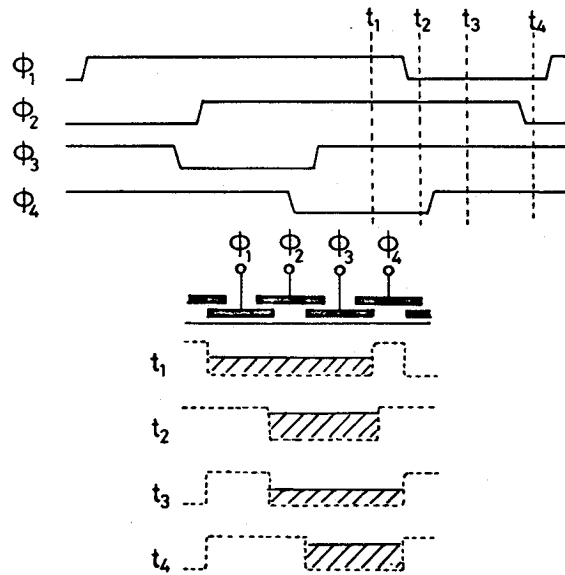


図 2.5 4相の転送クロック

(4) 検出回路

検出回路の原理を図2.6に示す。CCDシフトレジスタから転送されてきた信号電荷レベルは Q 、 $2/3Q$ 、 $1/3Q$ 、 0 の4つの値のいずれかである。そのうち、1st データが論理“1”ならば電荷量は Q か $2/3Q$ である。したがって、まず $1/2Q$ の電荷量の基準信号と比較する。この比較結果から1st データの論理“1”か“0”かが判定される。そして、1st データが論理“1”なら次は $5/6Q$ の基準信号と再び比較し、論理“0”なら $1/6Q$ の基準信号と比較して2nd データの論理“1”か“0”かを判定する。

このような検出動作を実現する回路を図2.7に示す。Output node と Reference node をリセットするMOSトランジスタ(T_1 、 T_2)、基準信号を発生するダミーCCD、及

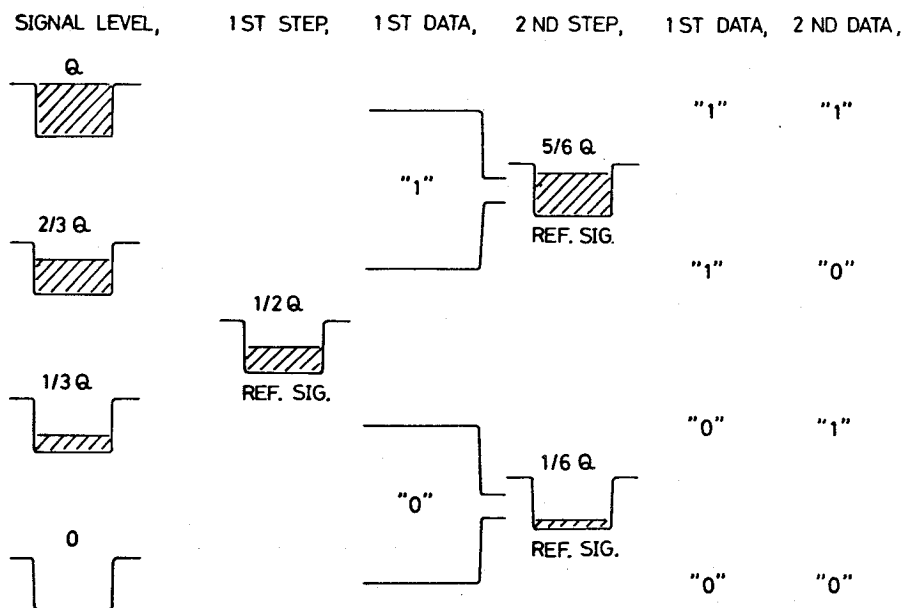


図 2.6 検出回路の原理

びフリップフロップ形のセンスアンプから構成されている。センスアンプには、電荷量を電圧に変換するバッファとして、ソースフォロアが用いられている。

まず、Output node と Reference node を ϕ_R 及び ϕ_{RR} のパルスでリセットした後、Output node には信号電荷が、Reference node には電荷量 $1/2 Q$ の基準信号が移される。次に、トランスファ・トランジスタ (T_3 , T_4) がオンするとセンスアンプが動作し、1st データの検出が行われる。その判定結果は CCD シフトレジスタの入力に伝えられて、データの再生を行うと同時に、ダミー CCD にも簡単なバッファを通じて伝えられ ($\bar{Q}_D$, $\bar{Q}_D'$ 信号)、次に与える新しい基準信号を $5/6 Q$ にするか、 $1/6 Q$ にするかを決定する。次に Reference node だけを ϕ_{RR} のパルスでリセットして、新しい基準信号 $5/6 Q$ または $1/6 Q$ と信号電荷を再び比較して 2nd データの判定を行う。

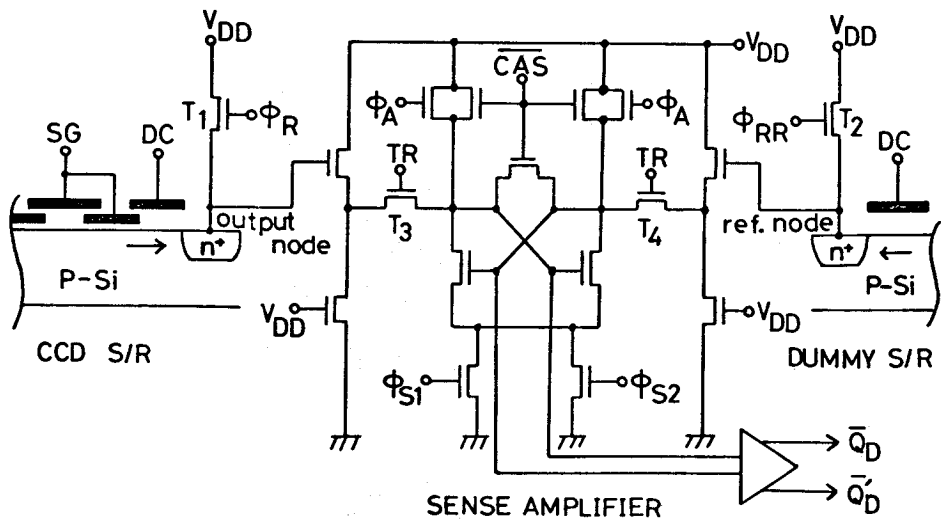


図 2.7 検出回路

(5) ダミー-CCD

基準信号を発生するダミー-CCDの構造を図 2.8 に示す。ダミー-CCD は 3 つの入力チャネルを有し、入力される電荷量は各々の入力ゲートによって制御される。入力された電荷は Charge-splitting ゲート下で 2 つの電荷に分離され、一方は Reference node に移されて基準信号となる。他の一方は、 V_{DD} 電源に流れ込む。上記の 3 つのチャネルを経由して入力される電荷量は、図 2.8 の上から Q 、 $1/2 Q$ 及び Q であり、Charge-splitting ゲート下で 1 : 2 の比で電荷が分離される。2 つの入力ゲート $\bar{Q}_D$ 、 $\bar{Q}_D'$ は前述のセンスアンプとバッファを通じて接続されている。

1st I/O サイクルが始まる前には 2 つの入力ゲートが自動的にオンして、 $3/2 Q$ の電荷量が注入される。そして注入された電荷は Charge-splitting ゲート下で分離され、 $1/2 Q (= 3/2 Q \times 1/3)$ の基準信号が発生する。

1st データの検出が行れると、 $\bar{Q}_D$ 及び $\bar{Q}_D'$ は 1st データの結果に応じて、high レベルか V_{SS} レベルに設定される。1st データが論理 "1" ならば、すべての入力ゲートがオンし、 $5/2 Q$ の電荷量が注入され、Charge-splitting ゲート下で分離され、 $5/6 Q (= 5/2 Q \times 1/3)$ の基準信号が発生する。一方、1st データが論理 "0" ならば、ただひとつの入力ゲートがオンし、 $1/2 Q$ の電荷量が注入され、同様の動作により $1/6 Q (1/2 Q \times 1/3)$ の基準信号が発生する。

このように、ダミー-CCD においても注入した電荷を混合・分離する方法を用いて、適切な電荷量の基準信号を発生させることを可能にしている。

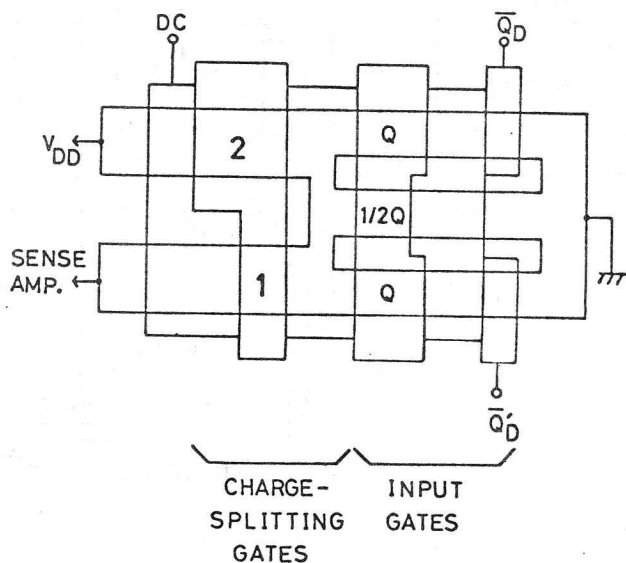


図 2.8 ダミーCCD (DUMMY S/R) の構造

2.2.2 テストデバイス

以上のMLS方式における入力動作，検出動作を確認するために，図 2.9 に示すテストデバイスを製作した。テストデバイスには 8，64 及び 128 ステージのCCDシフトレジスタが含まれている。1 ステージは 4 電極から構成され，ここに 2 ビットを蓄積できる。さらに，信号電荷量をモニタするためにアナログ出力回路を有する 64 ステージのCCDシフトレジスタを設けてある。このアナログ出力回路を図 2.10 に示すが，初段のソースフォロアは図 2.7 に示す検出回路のソースフォロアと同一サイズに作成されており，直接Output node での信号レベルを測定できる。

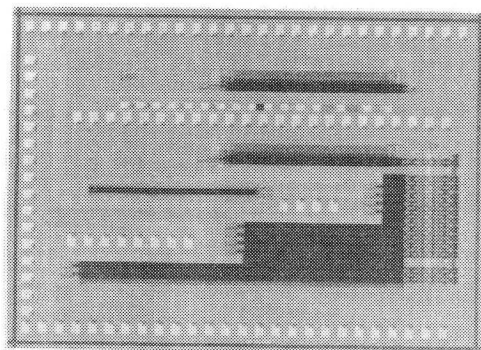


図 2.9 テストデバイスのチップ写真

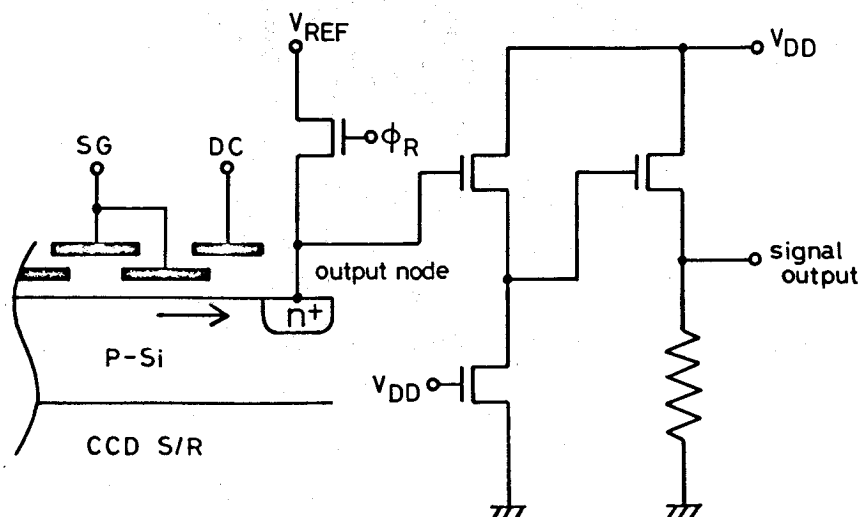


図 2.1 0 64 ステージの CCD シフトレジスタにおけるアナログ出力回路

なお、転送部のサイズとして(図 2.5 参照), ϕ_1 と ϕ_3 に接続される下層ゲートのチャネル長を $11\mu\text{m}$, ϕ_2 と ϕ_4 に接続される上層ゲートのチャネル長を $5\mu\text{m}$, チャネル幅を $8\mu\text{m}$, 分離幅を $5\mu\text{m}$ を採用しているので, ビット当りのメモリセルサイズは $208\mu\text{m}^2$ となる。

製造プロセスは 16K ビットダイナミック MOS RAM とほとんど同一の N チャネルのダブルポリシリコンゲートプロセスで P-Si (100) $20\Omega\text{-cm}$ の基板を使用した。

駆動に必要なパルスはすべて外部から印加し, パルスの high レベルは V_{DD} に等しく, low レベルは V_{SS} に等しい。通常の動作条件は, $V_{DD}=12\text{V}$, $V_{BB}=-5\text{V}$, $V_{SS}=0\text{V}$ である。

図 2.1 1 に上記 64 ステージの CCD シフトレジスタからのアナログ出力を示す。1st データと 2nd データの組合せとして, “0, 0” のなかに 4 つの連続した “0, 1”, “1, 0” 及び “1, 1” を入力した。図 2.1 1 より入力回路は正常に動作しており, 64 ステージの転送後も 4 段階の電荷充填状態を区別できる程に転送効率がよいことが分かる。アナログ出力回路の入出力伝達特性を考慮して, 4 段階の電荷充填状態に対応する Output node での信号レベルを求めた結果を表 2.3 に示す。表 2.3 には, 同時に一次元の解析による電荷量の計算を示すが, 計算と実測値はよく一致していることが分かる。

図 2.1 2 に図 2.1 1 に示す出力データパターンに対する, 検出回路からのデジタル出力を示す。このデジタル出力は図 2.1 1 のアナログ出力と一致しており, 検出回路が正常に動作していることを示す。なお, デジタル出力は ϕ_T が high レベルの時有効である。

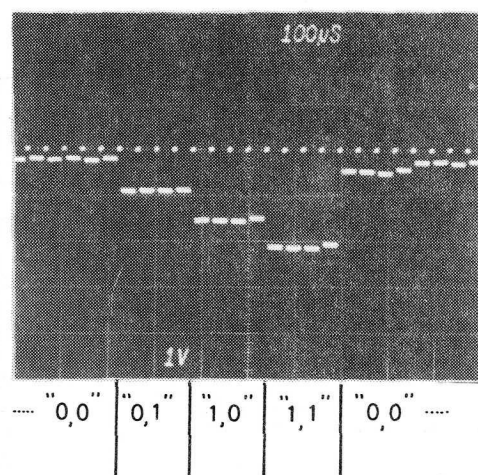


図 2.1 1 64 ステージの CCD シフトレジスタにおけるアナログ出力波形

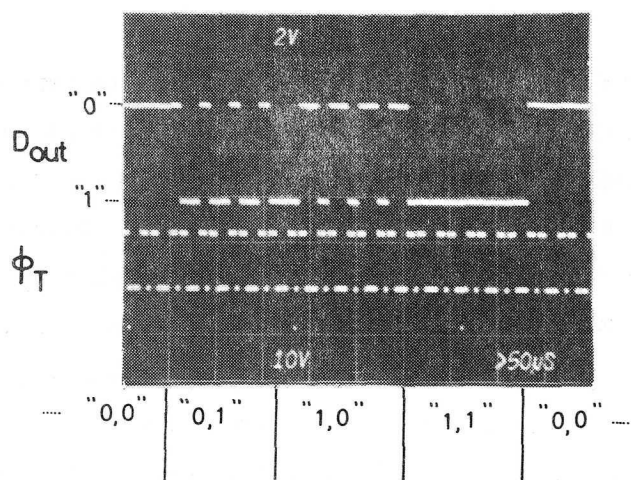


図 2.1 2 64 ステージの CCD シフトレジスタにおけるデジタル出力波形

表 2.3 4 段階の電荷充填状態に対応する蓄積電荷量—実測と計算

Combination of the first and second data	Experiment		Calculation	
	signal amplitude on the output node [V]	stored charge level in the unit of full charge	stored charge level [pC]	stored charge level in the unit of full charge
" 1 , 1 "	5.2	1.00	0.41	1.00
" 1 , 0 "	3.4	0.65	0.28	0.67
" 0 , 1 "	2.0	0.38	0.15	0.38
" 0 , 0 "	0.25	0.05	0.02	0.05

2.2.3 M L S方式の問題点

(1) 転 送 効 率

入力された信号電荷は，C C Dシフトレジスタを転送される間に，時間的に以前に入力された信号電荷の影響を受ける。これは，転送効率^{*1} η が1でない結果によっている。転送効率が1でない影響を次のように単純化して考える。つまり，連続した“0”の後の“1”は $\alpha = \eta^n$ （ n はゲート電極数）で与えられる割合で信号電荷量が減少し，一方，連続した“1”の後の“0”は $(1 - \alpha)$ で与えられる割合で，信号電荷量が増加するものと考えられる。表 2.4 に，転送効率に対する α の値をC C Dシフトレジスタのステージ数をパラメータにして示す。

図 2.1 3 に示すように，設計では y の値であるべき信号電荷量のレベルが，前に続くデータによってある幅を持つようになる。最悪の場合として，大きくなる方は“1，1”の連続の後，小さくなる方は“0，0”の連続の後と考えられる。実際の α の値について，図 2.1 4 に信号電荷量のレベルの変化を，ダミーC C Dからの電荷量のレベルと共に示す。

表 2.4 転送効率に対する α の値

転 送 効 率 η	$\alpha = \eta^n$ （ n はゲート電極数）		
	1 2 8 ステージ	6 4 ステージ	3 2 ステージ
	（ 5 1 2 ゲート電極）	（ 2 5 6 ゲート電極）	（ 1 2 8 ゲート電極）
0.9992	—	—	0.903
0.9993	—	—	0.914
0.9994	—	0.858	0.926
0.9995	0.774	0.880	0.938
0.9996	0.815	0.903	0.950
0.9997	0.858	0.926	0.962
0.9998	0.903	0.950	0.975
0.9999	0.950	0.975	0.987

注）*1 あるゲート電極下に蓄積されていた信号電荷が100%隣接するゲート電極下に転送されることは物理的に不可能である。ゲート電極毎に，転送された信号電荷量のもとの信号電荷量に対する割合を転送効率 η という。この η の値によって信号電荷を何回くらい転送できるかが決まるため，この η はC C Dの特性上もっとも重要なパラメータである。

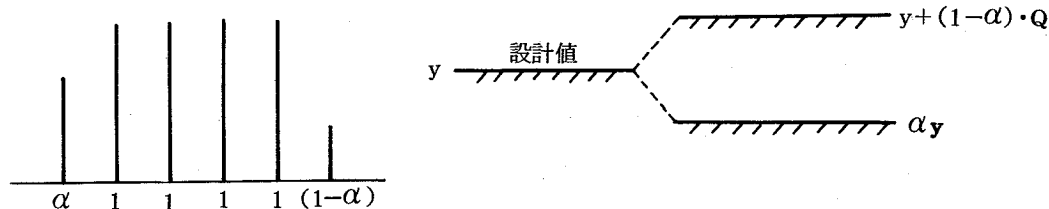


図 2.1 3 転送効率の影響

$\alpha = 0.92$ の場合の最も厳しい判定は $2/3 Q$ と $1/3 Q$ ，すなわち“1，0”か“0，1”かの判定である。この場合にはセンスアンプで 350 mV の差を判定することになるが，これは容易である。しかし， $\alpha = 0.88$ の場合には，センスアンプで 120 mV の差を判定することになり，安定にセンスアンプを動作させるためには，この値が限界である。従って， $\alpha = 0.88$ が M L S 方式における C C D シフトレジスタのステージ数を決める目安を与えられられる。現状の製造プロセス技術では，転送効率が 99.95% 前後なので表 2.4 より，現状では 64 ステージが M L S 方式における C C D シフトレジスタの長さということになる。

実際，2.2.2 節におけるテストデバイスの測定結果でも，8 及び 64 ステージの C C D シフトレジスタは正常に動作をしたが，128 ステージの場合しばしば誤動作した。これは 128 ステージの転送後に 4 段階の電荷充填状態を区別できる程には，転送効率がよくないことを意味している。

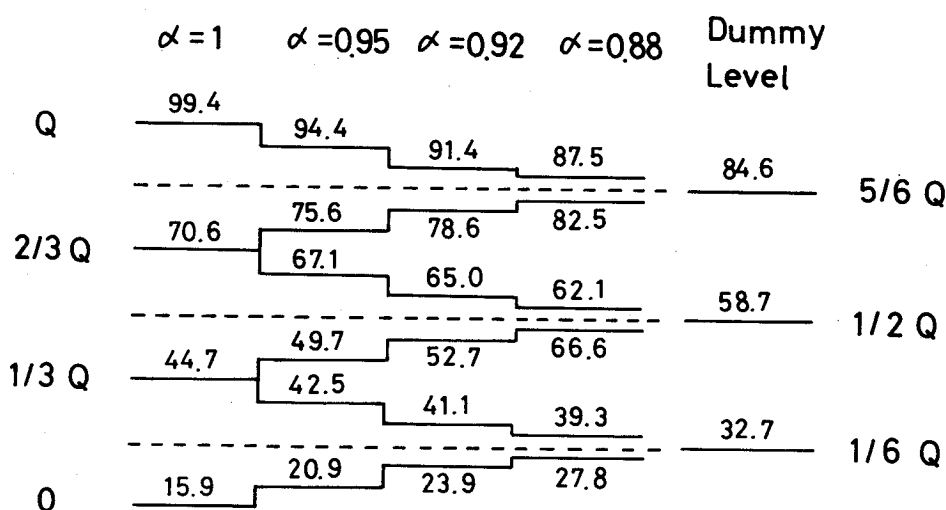


図 2.1 4 信号電荷量のレベルの変化とダミーレベル

(数値はゲート電極の面積 μm^2 を表わしている)

(2) 検出回路

図 2.7 の検出回路の構成、図 2.8 のダミー CCD の構造から分かるように、回路設計面からみた M L S 方式の問題点は検出回路が複雑な点である。従って、検出回路が占める面積は CCD シフトレジスタに比較して大きくなり、64 ステージの場合、検出回路が占める面積は CCD シフトレジスタの 38% にもなる。しかし、転送効率がさらに良く 99.99% 以上になれば、ステージ数を 128~256 にとりうるので、検出回路の占める面積の割合は減少してゆき、128 ステージでは 19%、256 ステージでは 9% となる。

以上のように、M L S 方式による CCD メモリの構成は、転送効率に大きく依存し、転送効率さえ良ければ自由度が広がり効率の良い CCD シフトレジスタの配置が可能となる。清浄化製造プロセスがさらに進むと考えられる将来、M L S 方式は CCD メモリの大容量化の過程で大きな役割を演じるといえよう。

2.3 単位ビット電極方式 (Electrode per Bit—E/B) による CCD メモリ

2.3.1 転送方法

E/B 方式は 2.1 節で述べたように、 $(N+1)$ 個のポテンシャル井戸を設け、 $(N+1)$ 相の転送クロックにより空のポテンシャル井戸を逆方向に順次移してゆく方式である。そのため、多数の転送クロックを要すること及び $(N+1)$ 個のパルスが加わって始めてデータが 1 ビット分だけ移動するため、データの読み出し速度 (データレート) が遅くなるという欠点を生じる。さらに、図 2.2 (b) に示した E/B 方式では、上層ゲートと下層ゲートのポテンシャルの差に対応する分しか転送可能な電荷量として使えないので、信号電荷量を大きくできない欠点がある。従って、E/B 方式の特徴を活かす場合、すなわち電極当りのビット数を増加させる場合、適切な転送クロックの相数を選ぶと共に、信号電荷量を大きくする工夫を行う必要がある。

上記の要求を満たすべく、本研究では、8 相クロック駆動により 4 ストレージセルで 3 ビットを記憶する新規な E/B 方式を検討した。この方式による電荷転送の様子を図 2.15 に示す。1 ステージは、ストレージセルが 4 つ ($\phi_1 \sim \phi_4$)、転送ゲートが 4 つ ($\phi_{12} \sim \phi_{41}$) の 8 電極から成っており、3 ビットを記憶している。図 2.15 では、 ϕ_2 の下に蓄積されていた電荷が ϕ_3 の下へ転送される様子を示しており、空のポテンシャル井戸が逆に ϕ_3 から ϕ_2 の下へ転送されている。

この転送方式を用いたために、電極当りのビット数は図 2.2 (a) の従来方式に比べて 1.5 倍にできた。さらに、転送可能な電荷量は 0.20 pC と十分確保され、後で述べる転送クロックパルスのノイズや電源変動に対するマージンを考慮した信号電荷量として、0.16 pC という値が得られた。なお、CCD シフトレジスタは表面チャネル、ダブルポリシリコンゲート構造であり、製造プロセ

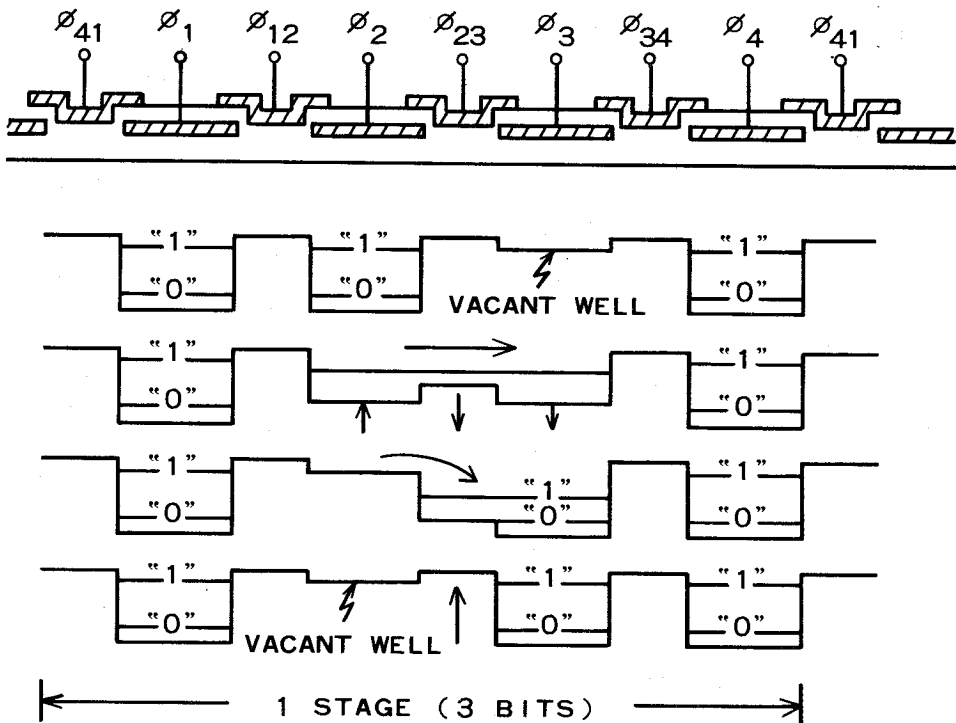


図 2.15 3ビット/4 ストレージセル転送方式

セスは16Kビットダイナミック MOS RAM とほとんど同一で、P-Si(100) $20\Omega\text{-cm}$ の基板を使用している。

この転送部のサイズとして、ストレージセルのチャンネル長を $7.65\mu\text{m}$ 、転送ゲートのチャンネル長を $3.40\mu\text{m}$ 、チャンネル幅を $5.95\mu\text{m}$ 、分離幅を $4.25\mu\text{m}$ を採用しているの、ビット当りのメモリセルサイズは $150\mu\text{m}^2$ となる。

2.3.2 転送クロックの内蔵

(1) 転送クロック発生回路

E/B方式では多数の転送クロックが必要であり、これを外部から印加するのは、転送クロックのタイミング調整が複雑なだけでなく、転送クロックの有する数百pFの入力容量が実装上使いにくいものにする欠点を生じる。従って、2.3.1節で述べた新規なE/B方式と関連して、これに必要な8相の転送クロックをCCDシフトレジスタのチップ上で発生させる方法について検討する。

クロックドライバをオンチップで構成する場合、④できるだけ低消費電力にすることと、⑤転送電極がダブルポリシリコンの重ね合わせ構造であることからくるクロックパルスの遅延と容量カップリングノイズを考慮することが必要である。転送クロック発生回路の構成を図2.16に示す。回

路は次の3つの部分から成っている。

- ① 外部から入力されるTTL信号SE, SYNCをMOSレベルに変換するバッファ回路。
- ② 入力信号SEの $1/2$ 及び $1/4$ の周波数のパルスが発生するための分周回路。
- ③ 分周されたパルスを組み合わせて8相の転送クロックを発生するドライブ回路。

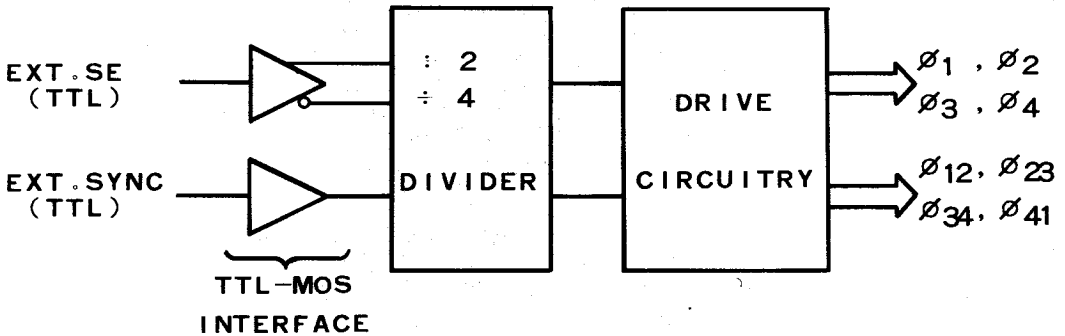


図 2.1 6 転送クロック発生回路の構成

(2) 内部発生 of 転送クロック波形

図 2.1 5 に示した 3 ビット / 4 ストレージセル転送方式を行うには、8 相の転送クロックを必要とする。すなわち、ストレージセルに印加するクロックパルス $\phi_1, \phi_2, \phi_3, \phi_4$ の 4 相と、それらの間に位置する転送ゲートに印加するクロックパルス $\phi_{12}, \phi_{23}, \phi_{34}, \phi_{41}$ の 4 相の計 8 相である。2 相の TTL 入力信号波形 SE, SYNC と共に、オンチップで発生された 8 相の転送クロック波形写真を図 2.1 7 に示す。入力信号 SE の $1/4$ の周波数の転送クロックが発生されている。立ち上り及び立ち下り時間は 200 ns 程度になるように設計され、入力信号 SE の最大周波数を 1 MHz に設定している。

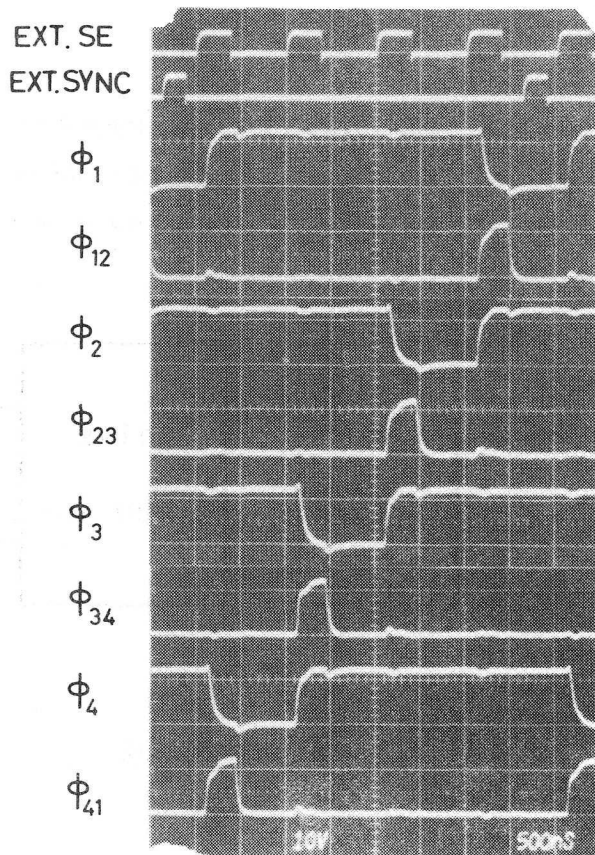


図 2.17 8 相の転送クロック波形

(H : 500ns/div. V : 10V/div.)

(3) 消費電力

クロックドライバの消費電力は、図 2.16 の①バッファ回路、②分周回路、③ドライブ回路での消費電力に分かれる。①の電力は、TTL-MOS インターフェイス回路での消費電力であり、供給電源 V_{DD} から供給される電流 I_{DD} は、直流的に流れ周波数によらず数 mA である。従って、クロックドライバの低消費電力化は、②と③の回路のダイナミック回路化にかかっている。ここでは新たに考案したダイナミック分周回路を採用して、②と③のダイナミック回路化を実現したので、②と③の回路自体で消費される電力はほとんど無視できる。そのために、クロックドライバの消費電力においては、ストレージセルと転送ゲートの転送電極が有する容量負荷を充電するために流れる充電電流が主な成分となる。この充電電流は、取り去れないものであり、転送回数を少なくした、従って、充電すべき転送電極の少ない E/B 方式の場合は大変有利である。

図 2.18 は、第 3 章で述べる 64 K ビット CCD メモリに適用した場合の、8 相の転送クロックの等価回路である。

ストレージセル ($\phi_1 \sim \phi_4$) は第1ポリシリコン層で形成されており、基板に対する負荷容量 C_A は1相当り420 pFになる。転送ゲート ($\phi_{12} \sim \phi_{41}$) は第2ポリシリコン層で形成されており、負荷容量 C_B は1相当り100 pFである。また、転送電極は重ね合わせ構造をしているので、転送電極間に容量結合がある。この結合容量 C_C は8相共に1相当り隣りの電極に対して90 pFずつである。

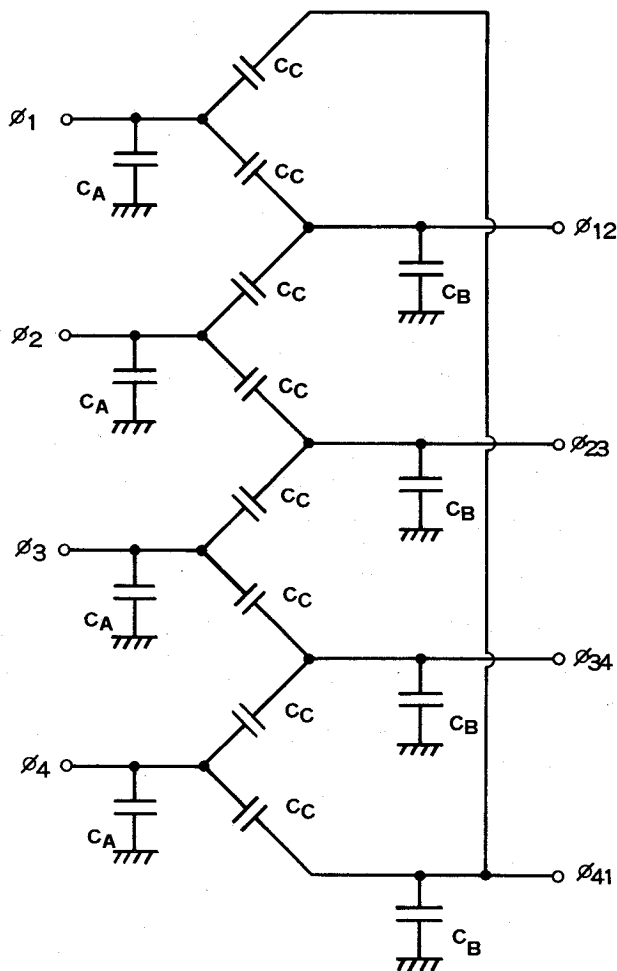


図 2.18 転送クロックの等価回路

$$C_A = 420 \text{ pF} \quad C_B = 100 \text{ pF} \quad C_C = 90 \text{ pF}$$

(64 KビットCCDメモリの場合)

ほとんど同時に立ち上がるクロック間の結合容量は、充電する必要がないことを考慮して、1周期に充電する必要のある負荷容量 C_T は8相の合計で 2800 pF ($C_T = 4C_A + 4C_B + 8C_C$) になる。容量負荷の充電に要する電力 P_C は、周波数に比例し次式で与えられる。

$$P_C = \frac{1}{2} \cdot C_T V_C^2 f_C \quad (2-1)$$

ここで V_C はクロックパルスの振幅であり、 f_C は転送クロックの周波数である。入力信号 SE の周波数を f_{SE} とすると

$$f_C = \frac{1}{4} \cdot f_{SE} \quad (2-2)$$

の関係が成り立つ。

今、入力信号 SE として 1 MHz を考えると、 $f_C = 250 \text{ KHz}$ になり、供給電源 V_{DD} は 1.2 V であり、 $V_C = 1.2 \text{ V}$ を代入して $P_C = 1/2 \times (2800 \times 10^{-12}) \times 1.2^2 \times (250 \times 10^3) = 0.050 \text{ W}$ (50 mW) となる。

実際のメモリチップでの内蔵クロックドライバの消費電力を求めるために、クロック発生回路へ V_{DD} を供給しているアルミ配線をレーザ光線で切断し、 I_{DD} の大きさを比較した。図 2.19(a) はレーザ光線による切断前の I_{DD} 波形を示し、クロックドライバが動作している状態である。一方、図 2.19(b) は、レーザカット後の I_{DD} 波形を示し、クロックドライバが停止している状態である。図 2.19(a) と (b) を比較すると、入力信号 SE が立ち上ってから 100 ns から 400 ns の間でのみ I_{DD} 波形が変化しており、これは転送クロックの立ち上り、あるいは立ち下り時期と一致している(図 2.17 参照)。

入力信号 SE の周波数が 1 MHz の時の平均電源電流は、クロックドライバが動作している場合は 13.5 mA 、一方、動作していない場合は 9.2 mA であった。従って、転送クロック発生回路による消費電力は $(13.5 - 9.2) \times 1.2 = 5.16 \text{ mW}$ となり、負荷容量の評価から計算した値 50 mW とよく一致している。このことから、内蔵されたクロックドライバの低消費電力化は理想的に行われていると結論される。

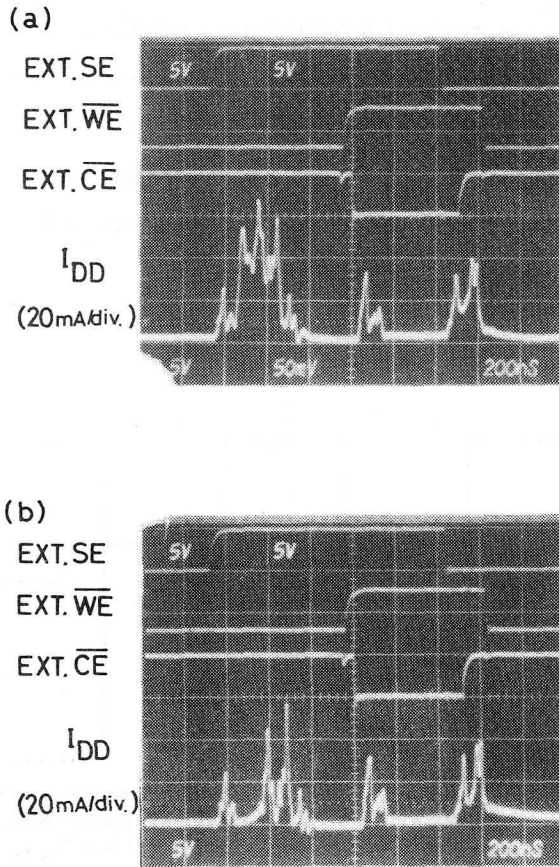


図 2.19 (a) クロックドライバ動作時の I_{DD} 波形（レーザカット前）

(b) クロックドライバ停止時の I_{DD} 波形（レーザカット後）

(4) パルスの遅延とクロストーク

すでに述べたように、転送電極は重ね合わせ構造のダブルポリシリコンで形成されており、そのために生じる転送クロックパルスの遅延とクロストーク（カップリングノイズ）が電荷転送に悪い影響を及ぼしうる。問題となるカップリングノイズは、ストレージセルに印加しているクロックの high レベルの凹みと転送ゲートに印加しているクロックの low レベルの持ち上がりである。前者は、ストレージセルの蓄積能力を低下させ、後者は、転送ゲートのバリアを下げるので、はなはだしい場合は信号の間に混信が生じる。遅延の問題は、クロックパルスの適当な立ち上がり時間及び立ち下り時間の設定と適当な電極の分割によって避けることができる。

カップリングノイズの大きさは、1層目と2層目のポリシリコン間の酸化膜厚と、電極の重なり面積で決まる結合容量、ポリシリコンゲートの抵抗値、クロック発生回路のインピーダンス、そ

して原因となるクロックパルスの立ち上がり時間及び立ち下り時間によって決定される。

クロストークを減少させるには、クロックドライバのインピーダンスは低い方が良く、一方、立ち上がり時間及び立ち下り時間は長い方が良いので、図 2.20 に示すように、ドライブ回路（図 2.16 参照）におけるパルスの立ち上げ、立ち下げは適当なサイズの MOS トランジスタにより行ない、問題となるカップリングを受けるタイミングにはインピーダンスが十分低いようにカップリング吸収用の MOS トランジスタをオンするという方法を用いた。

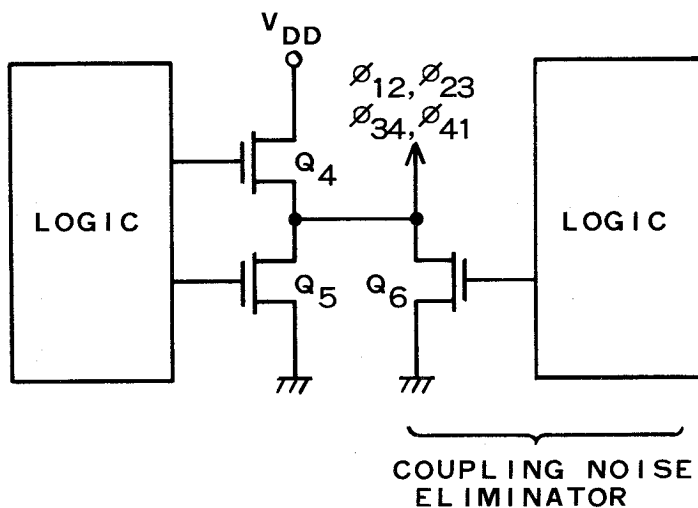
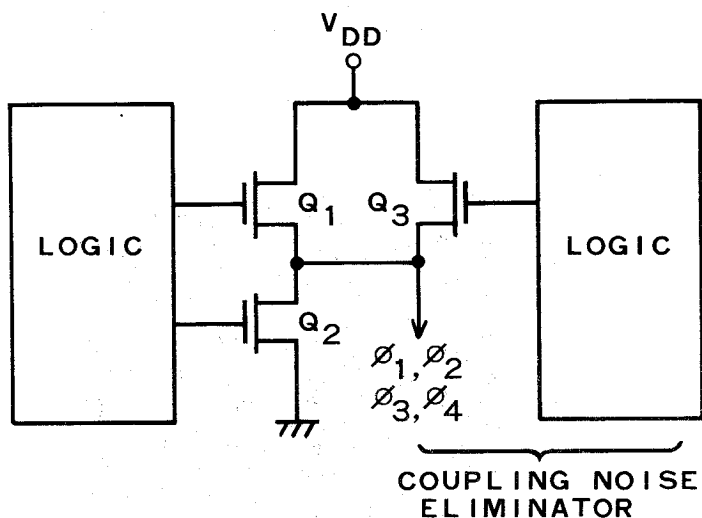
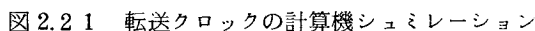


図 2.20 ドライブ回路

以上のように、低消費電力でカップリングノイズの小さい転送クロックをオンチップで発生させることを検討し、その結果、8相の転送クロックを発生させるのに5 pFと低入力容量で、かつTTLレベルの2本の入力信号で済ませられることが分かり、実装上きわめて使い易いCCDメモリを実現する一つの方向であることが示された。



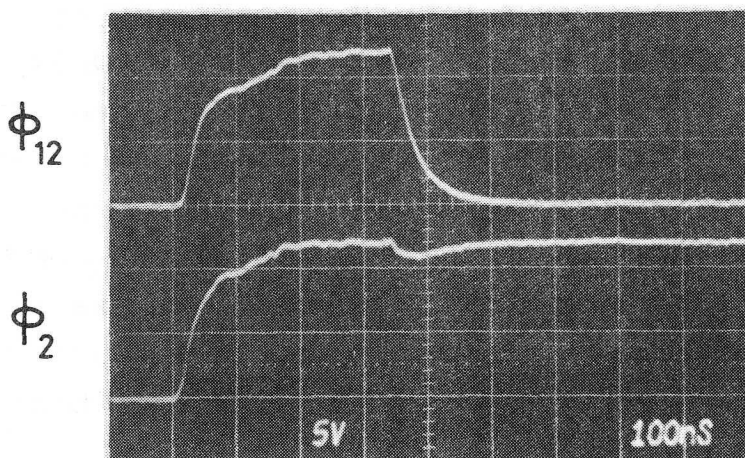


図 2.2.2 転送クロックのクロストーク

2.4 結 言

本章では、CCDメモリを高集積化するために、メモリセルの構造及び駆動方式に改良を加えて電極当りのビット数を増加させる2つの方式、すなわち、①MLS (Multilevel Storage) 方式、②E/B (Electrode per Bit) 方式を検討した。

まず、MLS方式については、一つのメモリセルに4段階の電荷充填状態を与えて、2ビット分を記憶させる方式で、ビット充填密度を従来の2倍にすることを検討した。その結果、MLS方式に伴う回路的な困難さを克服する、新規な入力回路及び新規な検出回路を提案し、その有効性をテストデバイスによって実証した。すなわち、入力方法として、面積比が2:1の2つの入力ゲート下に、各々1ビット分の信号電荷を蓄積した後、両入力ゲートの電荷を混合、分離することにより、精度よく4段階の電荷充填状態を得る方式を開発した。検出には、フリップフロップ型のセンスアンプを使用し、この基準信号 (V_{ref}) をまず1/2のレベルにして第1ビットを検出し、その結果により V_{ref} を5/6あるいは1/6のレベルにして、第2ビットの検出を行う方式を開発した。

転送効率が99.95%の現状では、64ステージがMLS方式によるCCDシフトレジスタの長さであり、この場合、検出回路が複雑なため、この回路が占める面積はメモリ部の38%にもなっている。従って、MLS方式の問題点は転送効率にあり、転送効率さえ良ければ自由度が広がり、チップ利用効率の高いCCDメモリを構成できることを示した。

次に、E/B方式については、8相クロック駆動による4ストレージセルで3ビットを記憶する新規なE/B方式で、ビット充填密度を1.5倍にすることを検討した。このE/B方式では、従来のE/B方式のもつ少ない信号電荷量という欠点をなくし、信号電荷量を0.16 pCと大きくとれ、

ビット当りのメモリセルサイズを $150\mu\text{m}^2$ と小さくできることを示した。

さらに、8相の転送クロックをオンチップで発生させることを検討し、その結果、ダイナミック回路の全面的採用により 51.6mW （周波数 250KHz ）と低消費電力であり、かつクロックドライバ出力段の工夫により、 1.5V 以下の小さなカップリングノイズしかのらない転送クロックの発生が実現できた。この転送クロックの内蔵により、従来転送クロックの有する数百 pF もの入力容量が、実装上 CCD メモリを使いにくいものにしていたという欠点を解決することができた。

参 考 文 献

- (1) W.S.Boyle and G.E.Smith, "Charge coupled semiconductor devices", Bell Syst. Tech.J., vol.49, pp. 587-593, 1970.
- (2) R.H.Krambeck, T.F.Retajczyk, Jr., D.J.Silversmith and R.J.Strain, "A 4160-bit C4D serial memory", IEEE J. Solid-State Circuits, vol. SC-9, pp. 436-443, 1974.
- (3) W.E.Tchon, B.R.Elmer, A.J.Denboer, S.Negishi, K.Hirabayashi, I.Nojima and S.Kohyama, "4096-Bit Serial Decoded Multiphase Serial-Parallel-Serial CCD Memory", IEEE Trans. Electron Devices, vol. ED-23, pp. 93-101, 1976.
- (4) S.Chou, "Design of a 16 384-Bit Serial Charge-Coupled Memory Device", IEEE Trans. Electron Devices, vol. ED-23, pp. 78-86, 1976.
- (5) M.R.Guidry, G.F.Amelio and J.M.Early, "A Sense Amplifier for a Low Clock Capacitance 16 K CCD Memory", ISSCC Dig. Tech. Papers, Feb. 1976, pp. 190-191.
- (6) S.D.Rosenbaum, C.H.Chan, J.T.Caves, S.C.Poon and R.W.Wallace, "A 16 384-Bit High-Density CCD Memory", IEEE Trans. Electron Devices, vol. ED-23, pp. 101-108, 1976.
- (7) A.M.Mohsen, M.F.Tompsett, E.N.Fuls and E.J.Zimany, Jr., "A 16-kbit Block Addressed Charge-Coupled Memory Device", IEEE Trans. Electron Devices, vol. ED-23, pp. 108-116, 1976.

- (8) 長沢, 山田, 藤島, 蒲生 “CCDメモリの試作”, 電子通信学会技報(電子計算機研究会) EC76-55, 1976.
- (9) A.M.Mohsen, R.W.Bower, E.M.Wilder and D.M.Erb, “A 64 K-Bit Block-Addressed Charge-Coupled Memory Device”, ISSCC Dig. Tech. Papers, Feb. 1976, pp.180-181.
- (10) A.M.Mohsen, R.W.Bower, E.M.Wilder and D.M.Erb, “A 64-k bit Block Addressed Charge-Coupled Memory”, IEEE Trans. Electron Devices, vol. ED-23, pp.117-126, 1976.
- (11) S.Kohyama, H.Hatano, T.Tanaka and N.Kubota, “A New Multiplexed Electrode-per-Bit Structure for CCD Memory”, IEEE IEDM Tech. Digest, pp.11-14 (Washington D.C., 1976).
- (12) S.Kohyama, H.Hatano, T.Tanaka and N. Kubota, “A New Multiplexed Electrode-Per-Bit Structure for a 64-kbit Charge-Coupled-Device Memory”, IEEE J. Solid-State Circuits, vol. SC-12, pp.335-343, 1977.
- (13) J.B.Barton, A.F.Tasch and T.E.Hasty, “A Cost-Effective 64 K CCD Memory”, IEEE International Convention (Electro '77), 19-1, pp. 1-3, Apr. 1977.
- (14) 石本, 和田, 幸田, 菊池, 酒井, 稲垣 “64 K ビットCCDの試作”, 昭52年度電子通信学会半導体部門全国大会講演論文集, S1-10.
- (15) 藤島, 山田, 多田, 高野, 米田 “クロックドライバ内蔵CCDメモリの構成と性能”, 電子通信学会技報(半導体トランジスタ研究会資料) SSD79-3, 1979.

- (16) Y. Gamou, M. Yamada, K. Fujishima, T. Tada and S. Takano, " All TTL Compatible CCD Memory with CCD Clock Generator " IEEE J. Solid-State Circuits, vol. SC-15, pp. 881-886, 1980.
- (17) B. R. Elmer, W. E. Tchon, A. J. Denboer, R. Frommer, S. Kohyama, K. Hirabayashi and I. Nojima, " Fault Tolerant 92160 Bit Multiphase CCD Memory ", ISSCC Dig. Tech. Papers, Feb. 1977, pp. 116-117.
- (18) M. Yamada, K. Fujishima, K. Nagasawa and Y. Gamou, " A New Multi-Level Storage Structure for High Density CCD Memory ", Digest of Tech. Papers of The 9 th Conference on Solid State Devices, pp. 77-78 (Tokyo, 1977).
- (19) L. M. Terman and L. G. Heller, " Overview of CCD Memory ", IEEE Trans. Electron Devices, vol. ED-23, pp. 72-78, 1976.
- (20) D. R. Collins, J. B. Barton, D. D. Buss, A. R. Kmetz and J. E. Schroeder, " CCD Memory Options ", ISSCC Dig. Tech. Papers, Feb. 1973, pp. 136-137.
- (21) M. Yamada, K. Fujishima, K. Nagasawa and Y. Gamou, " A New Multilevel Storage Structure for High Density CCD Memory ", Jpn. J. Appl. Phys., vol. 17 Supplement 17-1, pp. 263-268, 1978.
- (22) M. Yamada, K. Fujishima, K. Nagasawa and Y. Gamou, " A New Multilevel Storage Structure for High Density CCD Memory ", IEEE J. Solid-State Circuits, vol. SC-13, pp. 688-693, 1978.

- ② 山田, 藤島, 長沢, 蒲生 " Multilevel Storage (MLS) 方式による CCD
メモリ ", 電子通信学会技報 (半導体トランジスタ研究会資料) SSD 78-4,
1978.
- ④ R.C.Varshney and K.Venkataswaran, " A Block Organized
64 K-bit CCD Memory ", IEEE J. Solid-State Circuits,
vol. SC-13, pp. 681-687, 1978.

第3章 大容量64KビットCCDメモリの設計とその試作

3.1 序

低速・大容量半導体メモリとして有望視されているCCDメモリの高性能化を計る具体的な項目として、Multilevel Storage (MLS)方式によるCCDメモリと、Electrode per Bit (E/B)方式によるCCDメモリの検討を行った。すなわち、第2章では、MLS方式の基本構成要素である入力回路及び検出回路に新規な回路を提案し、その有効性をテストデバイスによって実証した。その結果、MLS方式の問題点は、CCDシフトレジスタの転送効率にあることを解明した。また、E/B方式に必要な多数の転送クロックを、チップ上に内蔵することを検討し、その結果、5 pFと低入力容量でTTLレベルの2本の入力信号により、8相の転送クロックを低消費電力でチップ上に発生させることが可能なことを示し、実装上使い易いCCDメモリを実現する一つの方向を明らかにした。

本章では、第2章の研究成果を64KビットCCDメモリに適用し、その工学的応用効果を明らかにする。⁽¹⁾⁽²⁾すなわち、CCDメモリの基本方式として、転送効率99.95%以上が要求されるMLS方式は、製造プロセスに対する制約が多いので、実用的見地から転送効率に対して緩い条件でよい(99.8%以上)第2章で述べた新規なE/B方式を採用している。また、効率のよいCCDシフトレジスタの配置を行うために、4本のCCDシフトレジスタに対して1個のセンスアンプを共用する、交互マルチプレクス構造(Alternate Multiplex-ALM)と名付けた新規なマルチプレクス方式を提案し、その効果を明らかにする。⁽³⁾

3.2 メモリの基本構成

3.2.1 チップ構成

図3.1は、64KビットCCDメモリの顕微鏡拡大写真であり、図3.2はそのチップ構成図を示す。メモリチップは16KビットダイナミックMOS RAMとほとんど同一のNチャネルのダブルポリシリコンゲートプロセスにより製作されている。設計寸法として、5.0 μm デザインルールを使用している。

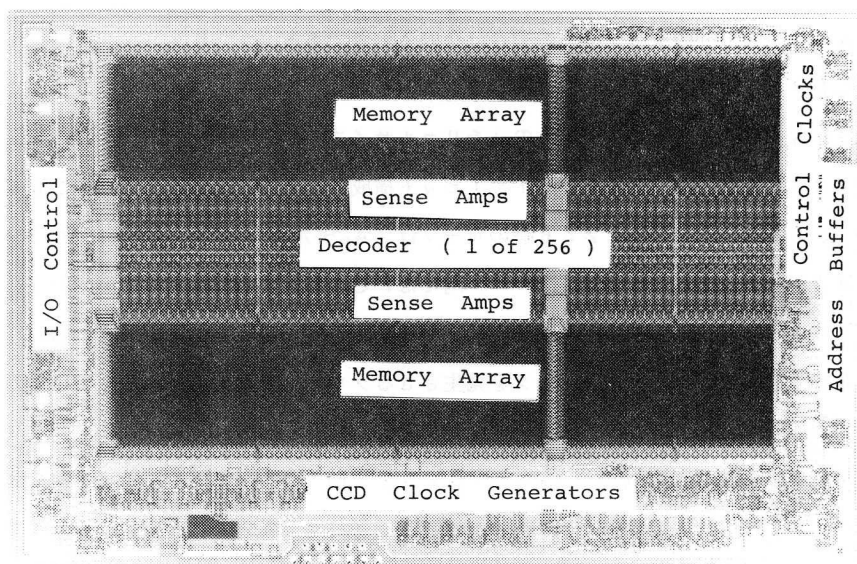


図 3.1 64 KビットCCDメモリの顕微鏡写真

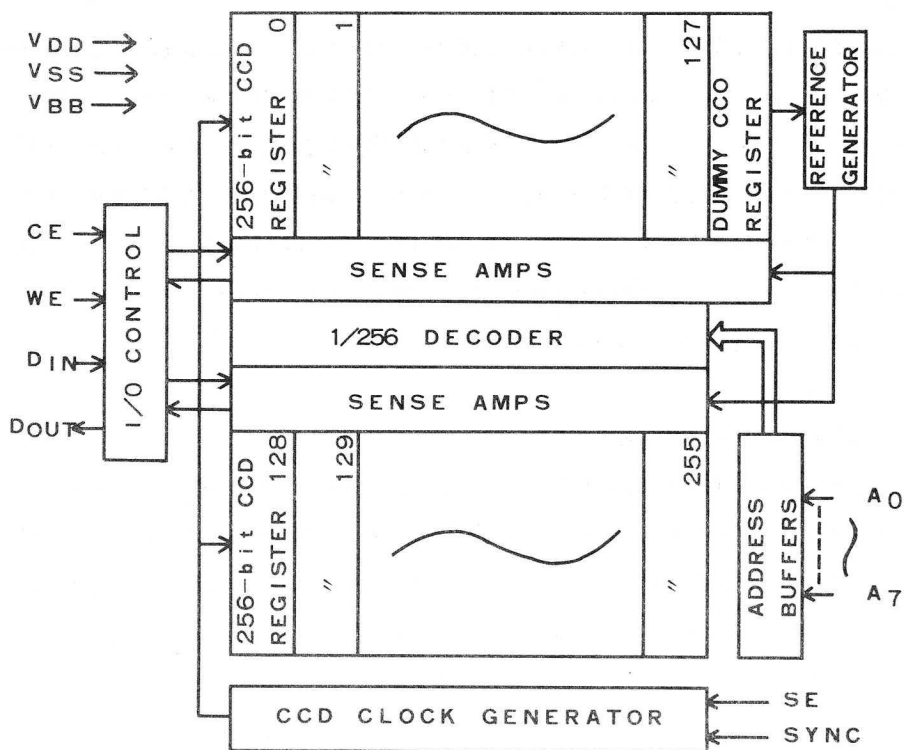


図 3.2 64 KビットCCDメモリのチップ構成図

試作したCCDメモリのチップ構成の要点は次のとおりである。

- ① CCDメモリの基本方式として、図2.15に示した3ビット/4ストレージセルによるE/B方式を採用しており、ビット当りのメモリセルサイズを $150\mu\text{m}^2$ と小さくできる。
- ② 図3.2に示すように、64Kワード×1ビット構成で、メモリ部は256個の256ビットループから構成されている。256個のループは、 $A_0\sim A_7$ のアドレス信号によりランダムアクセスされ、そして各256ビットループ内では、CCDシフトレジスタであるので、シリアルアクセスされる。従って、比較的短いアクセス時間($\sim 130\mu\text{s}$)が得られる。
- ③ 2.3節で述べた8相の転送クロックを発生させるクロックドライバを内蔵しているので、入力はすべて低入力容量のTTLコンパチブルである。
- ④ 使用電源は V_{DD} (12V)と V_{BB} (-5V)の2個で、256個のループを選択するのに用いるアドレス信号 $A_0\sim A_7$ 、センスアンプ回路を動作させると共に、転送クロックを発生させるための入力信号SE(Sense Enable)とSYNC(Synchronize)、データの入出力を制御する $\overline{CE}$ (Chip Enable)、 $\overline{WE}$ (Write Enable)、 D_{IN} (Data-in)、 D_{OUT} (Data-out)、及びグランド端子(V_{SS})を必要としている。
- ⑤ 図3.2に示すように、メモリ部と同じ転送段数を有するダミーCCDを設けて、基準電圧(Reference Voltage)を発生している。この基準電圧はセンスアンプ回路のフリップフロップの一端にダミーセルを通じて基準電荷(図3.3参照)として入力され、電源電圧、製造プロセス、周囲温度等の変動に対して安定なセンス動作を行わせるのに有効である。
- ⑥ チップサイズは $7.1\text{mm}\times 4.7\text{mm}$ で、メモリ部はチップ全体の40%、転送クロック発生回路は13%を占めており、標準の(300-mil幅)18ピンDIP(Dual in-line package)に収納されている。

3.2.2 256ビットループの構成

1個の256ビットループの構成図を図3.3に示す。図3.3に示すように、256ビットのループは、それぞれ64ビットを有するCCDシフトレジスタ4本から成り、4つのチャンネル間を出入力ステージでマルチプレクスすることによって実現されている。これについては次節で詳説する。

64ビットのCCDシフトレジスタは、入出力のマルチプレクスを行うための入力ステージと、出力ステージの待機セル(Holding Cell)による1ビット分と転送部の63ビットから成っている。

4チャンネルのマルチプレクスは、入力ステージにおいては、各チャンネルの入力ゲートを順次オンして、入力待機セルにデータを取り込むことで行う。続いて、トランスファクロックにより転送部

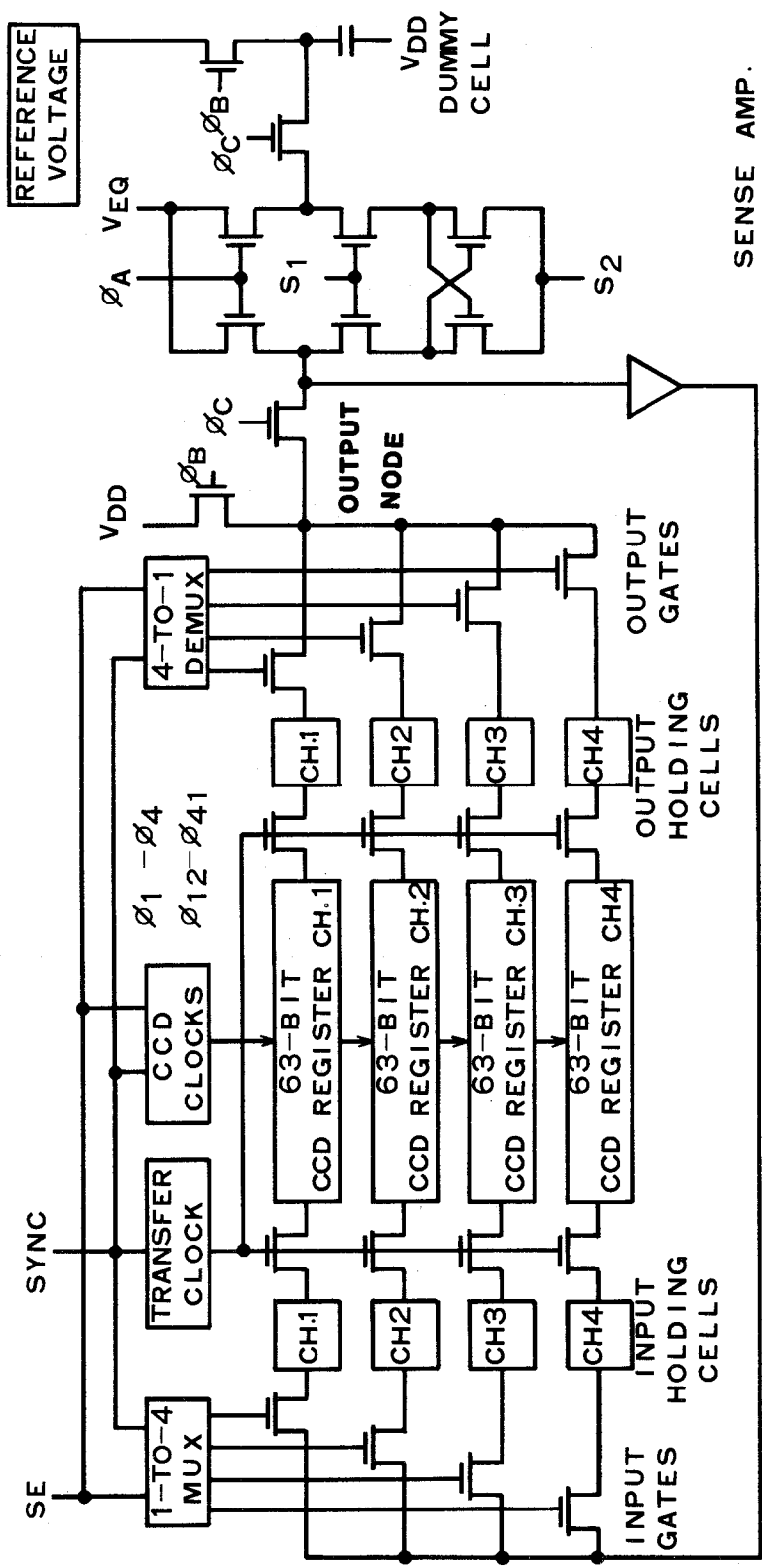


図 3.3 256ビットループの構成図

にいったいに転送し、転送部では4チャンネル並列で転送される。一方、出力ステージにおいては、トランスファクロックによって転送部からいったいに出力待機セルに転送した後、順次出力ゲートをオンしてセンスアンプ回路により、信号電荷の検出が行われる。この4チャンネルのマルチプレクスによって、ダイナミック MOS RAM で用いられているフリップフロップ型の高感度なセンスアンプ回路の配置が可能になり、効率のよい CCD シフトレジスタの配置が実現できた。なぜなら、64ビット1本の CCD シフトレジスタ毎にセンスアンプ回路を設けたのでは、メモリ部に対するセンスアンプ回路の面積が大きくなり、集積度が低下するからである。

3.2.3 センスアンプ回路

図 3.3 にフリップフロップ型のセンスアンプ回路を示し、その動作タイミングを図 3.4 に示す。フリップフロップの一端は、クロック ϕ_C で制御される MOS トランジスタを介して Output node に接続され、他端は同じくダミーセルに接続され、ダミーセルにはオンチップで発生している基準電圧が印加されている。

センスアンプ回路の動作は、まず ϕ_B のパルスにより、Output node が $V_{DD} - V_{TH}$ (V_{TH} ; 閾値電圧) にプリチャージされると共に、ダミーセルには基準電圧が書き込まれて、基準電荷となる ($t=A$)。 ϕ_B がオフすると、クロック I1 (4つの出力ゲートに印加されるクロックのうち、第1チャンネルに印加されるもの) が立ち上がり、第1チャンネルの CCD シフトレジスタを転送されてきた信号電荷が、Output node に移される ($t=B$)。また、 ϕ_A のパルスにより、フリップフロップの両端が V_{EQ} ($=V_{DD}$) にプリチャージされる ($t=C$)。次に、 $t=D$ で ϕ_C がオンすると、Output node の信号電荷がフリップフロップの一端に転送される

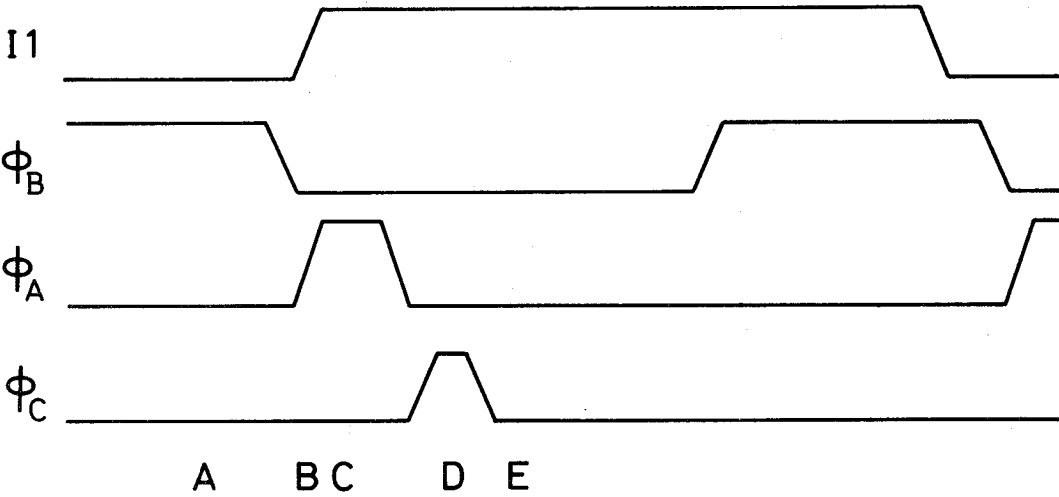


図 3.4 センスアンプ回路の動作タイミング図

と同時に、ダミーセルの基準電荷がフリップフロップの他端に転送される。 ϕ_C がオフした後に、 S_2 が high レベルから 0 V に降下し、センスアンプ回路が活性化されて信号電荷の検出が行われる ($t = E$)。このセンス動作時には、 ϕ_C がオフしているので、フリップフロップの両端の容量バランスが保たれており、高感度なセンス動作を可能にしている。センスアンプ回路による判定結果はバッファを通じ、アルミ配線によって CCD シフトレジスタの入力ステージ (この場合は、第 1 チャンネルの入力ステージ) に伝えられ、CCD シフトレジスタとしてのループが構成されている。

3.3 入出力マルチプレクス

3.3.1 電荷分離入力法

入力のマルチプレクス動作における留意点は、①チャンネル間で電荷の混信がないこと、②入力ステージの構造が集積度の低下をまねかないこと、③信号電荷量がチャンネル間で均一であること、④信号電荷量が適切であり、メモリ部の大部分を占める転送部の高集積化の障害とならないこと、⑤^{*1}ファットゼロの入力が可能な構造であること、である。

ここで、新たに採用した電荷分離入力法は、以上の 5 つの条件を満たすのに適切な構造をしている。まず、電荷分離入力法について説明する。図 3.5 (a) は電荷分離入力法が適用される入力ステージの断面図を示し、図 3.5 (b) は各時刻における電荷の蓄積状態を示す。

入力ステージは、①ファットゼロ電荷注入用のバリアを形成するためのイオン注入領域を有する入力ゲート (I ゲート)、②入力された電荷を一時待機させる入力待機セル (H セルあるいは Holding Cell、ゲート電極は V_{DD} に接続されている)、③H セルとの面積の比に分割された信号電荷を蓄積する結合セル (C セル、ゲート電極は転送クロック ϕ_2 に接続されている)、④H セルと C セルとの間に位置して電荷の分離動作を行う分離ゲート (S ゲート) から成っている。

まず、 $t = T_1$ において (図 3.5 参照)、Input node を 0 V にして H セルに電荷を注入する。次に $t = T_2$ において、入力データが Input node に印加される。“1” を書き込む時は Input node は 0 V のままに保たれ、一方、“0” を書き込む時は Input node は high レベルになるので、このとき H セルと I ゲートのポテンシャルの差に対応した電荷がファットゼロとして H セルに残される。⁽⁴⁾ 次に $t = T_3$ において、I ゲートがオフされ、入力データの“1”，“0”に対応した量の電荷が H セルに取り込まれる。続いて、 $t = T_4$ において、S ゲートがオン

注) *1 デジタル信号“0”のとき、信号電荷量として完全なゼロではなく、いくらかの電荷量を転送すると、ゲート酸化膜近傍のトラップを埋めて転送効率が良くなる。この“0”におけるいくらかの電荷をファットゼロという。

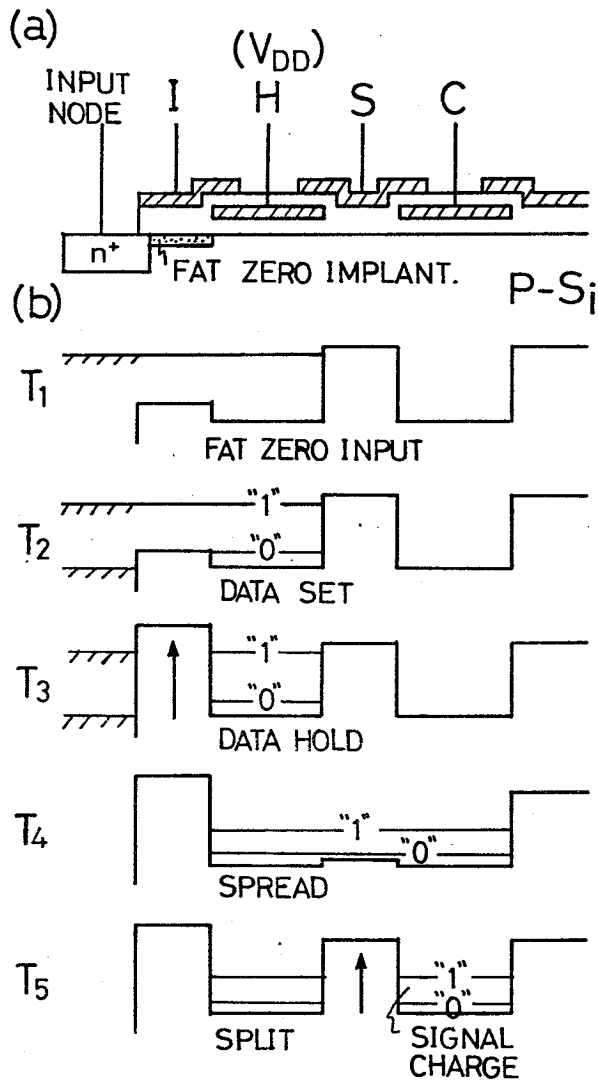


図 3.5 (a) 入力ステージの構造
(b) 電荷分離入力法の動作説明

してHセルに待機していた入力電荷がCセルまでに広げられる。しかる後、 $t = T_5$ において、Sゲートがオフすると電荷がHセルとCセルとに面積の比で分離される。ここで、Cセルに蓄積された電荷のみが信号電荷として転送される。

この電荷分離入力法は、HセルとCセルの面積を適当に設定することで、任意の量の信号電荷を入力でき、入力ステージのパターンレイアウトに自由度を与えるので、高集積のCCDメモリの入力マルチプレクスに適用することにより、その特徴を発揮することができる。

3.3.2 交互マルチプレクス構造 (Alternate Multiplex - ALM)

図 3.5 に示した電荷分離入力法を用いて、入出力マルチプレクスを行う上で、有効なパターンレイアウトとして ALM (Alternate Multiplex) 構造と名付けた構成法を採用した。

図 3.6 に ALM 構造の構成図を示す。ALM 構造では、隣り合う 2 個の 256 ビットループが互いに交差している配置になっている。すなわち、隣り合う 2 つのチャネルの入出力 N^+ 拡散領域を共通にし、さらに、アルミ配線によって 1 ブロックを飛びこして接続し、A, B 2 個の 256 ビットループを交差して配置した。そのために、隣り合う入出力ゲートをすべて共通にすることが可能になり、入出力ゲートを互い違いに配列することと共に、有効なパターンレイアウトが実現された。

図 3.7 は、ALM 構造のパターンレイアウト写真である。出力ステージでは、4 つのチャネル間の浮遊容量のアンバランスとクロストークによるノイズに注意を払っている。出力ゲートに印加すべきクロックパルス (I1 ~ I4) は、入力ゲートからのアルミ配線で与えている。このため、センスアンプ回路には、クロック I1 ~ I4 のクロストークによるノイズは入らない。

このように、電荷分離入力法を用いると、HセルとCセルとの面積の自由な設定が可能で、ALM 構造が採用できることが分かった。

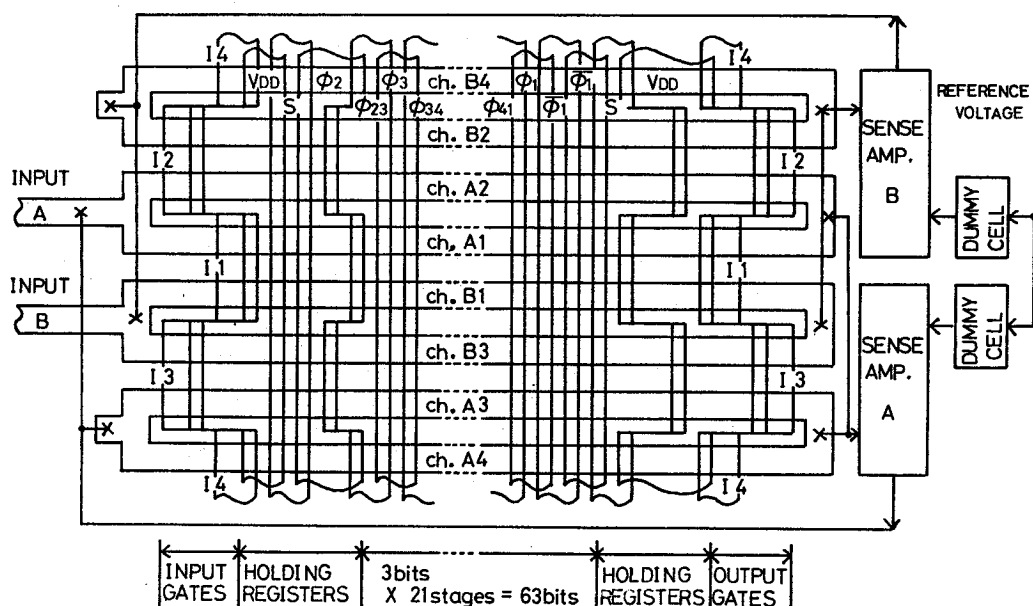


図 3.6 ALM 構造の構成図

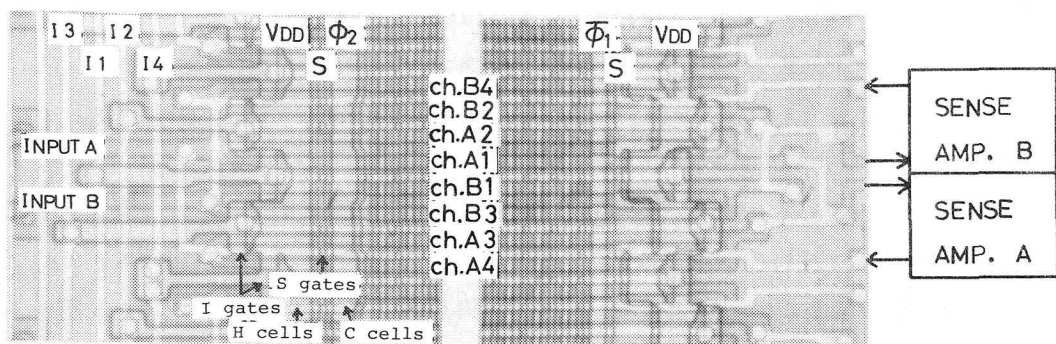


図 3.7 ALM構造のパターンレイアウト写真

3.3.3 4チャンネルマルチプレクス

メモリチップ上で発生された、4チャンネルのマルチプレクス動作を行うためのクロックパルス波形を図3.8に示す。入力ステージでは、各入力ゲートに印加されるクロックI1～I4が順次オンすることにより、4つの入力データは各チャンネルのHセルに取り込まれる。次に、クロックSがオンすると入力電荷は、HセルとCセルに広がり、そしてクロックSがオフすると分離する。一方、出力ステージでは、クロックSがhighレベルからlowレベルになると、いっせいに信号電荷は出力待機セル（ゲート電極はVDDに接続されている）に転送される。そして、各出力ゲートに印加されるクロックI1～I4（入力ゲートに印加されるクロックと同じ）が順次オンすることにより、信号電荷がセンスアンプ回路によって検出されてゆく。

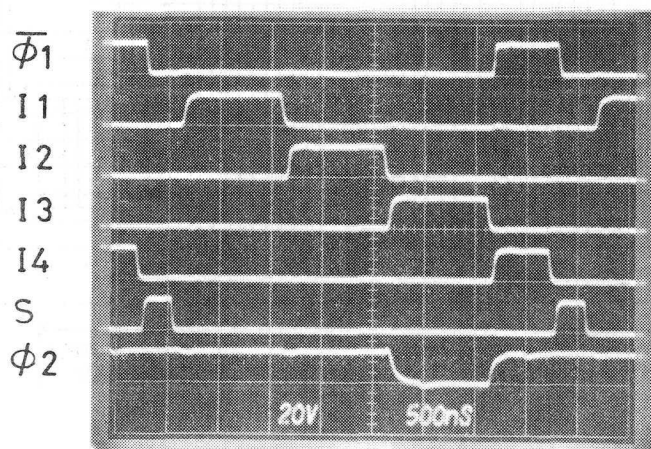


図 3.8 マルチプレクス動作を行うためのクロックパルス波形

以上のALM構造による入出力マルチプレクス動作を確認するために、アナログ出力回路を有する、メモリチップと同一のALM構造のCCDシフトレジスタを製作した。

4つのチャンネルからのアナログ出力を図3.9に示す。表3.1に、入力ステージのHセルとCセルの面積と、計算による信号電荷量、及び図3.9の実験値を4つのチャンネルそれぞれについて示す。これから、電荷分離入力法を用いたALM構造によるマルチプレクス動作が、チャンネル間で電荷の混信がなく、かつ信号電荷量がチャンネル間で均一であり、正常に行われていることが示された。

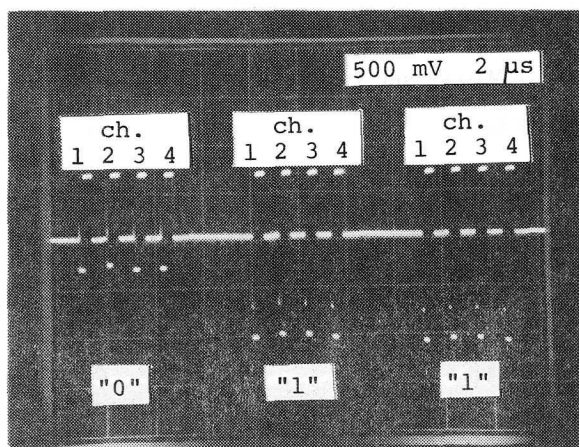


図3.9 4チャンネルのマルチプレクス動作
(アナログ出力)

表3.1 ALM構造における信号電荷量

	H cell (μm^2)	C cell (μm^2)	Calculated signal charge (pC)	Output voltage (V)
Ch.1	84.5	82.0	0.16	1.10
Ch.2	129.0	61.5	0.16	1.05
Ch.3	129.0	61.5	0.16	1.05
Ch.4	84.5	82.0	0.16	1.10

3.4 メモリチップの特性

3.4.1 周波数特性

メモリチップの動作周波数は、電源 $V_{DD}=12V\pm 10\%$ 、 $V_{BB}=-5V\pm 10\%$ の条件で、 $20^{\circ}C$ のとき、 $f_{SE}=0.5KHz\sim 1MHz$ 、 $75^{\circ}C$ のとき、 $f_{SE}=50KHz\sim 1MHz$ である。これはリフレッシュ時間 $t_{ref}(20^{\circ}C)=500ms$ 、 $t_{ref}(75^{\circ}C)=5ms$ に対応する。

図 3.1 0 にメモリチップからの出力波形を示す。 $V_{DD}=12V$ 、 $V_{BB}=-5V$ 、 $T=20^{\circ}C$ のとき、 $\overline{CE}$ からのアクセス時間は、 $t_{acc}(\overline{CE})=125ns$ で、 $V_{DD}=10.8V$ 、 $V_{BB}=-5.5V$ 、 $T=75^{\circ}C$ のとき $t_{acc}(\overline{CE})=165ns$ である。

以上より、動作周囲温度 $0\sim 70^{\circ}C$ において、データレートは、シリアル・モードで最大 $1Mbit/sec$ 、ページモードで最大 $3Mbit/sec$ であり、 $t_{ref}(70^{\circ}C)=4ms$ つまり、 $f_{SE}=50KHz\sim 1MHz$ を保証する。

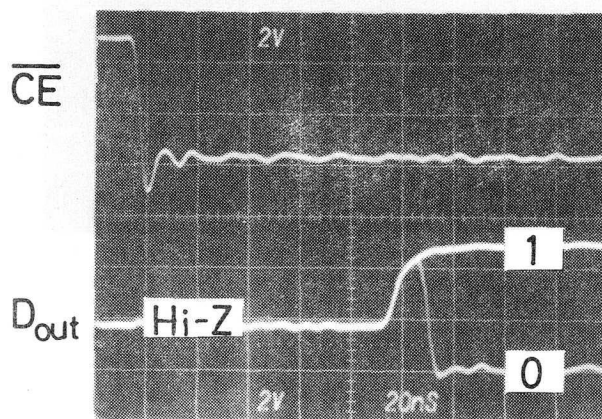


図 3.1 0 データ出力 (D_{out}) 波形

($V_{DD}=12V$ 、 $V_{BB}=-5V$ 、 $T=20^{\circ}C$)

図 3.1 1 は $f_{SE}=1MHz$ における、入力信号 SE 、 $SYNC$ 、 $\overline{CE}$ に同期して連続的に読み出される (シリアル・モード) データ出力 (D_{OUT}) の例を示している。

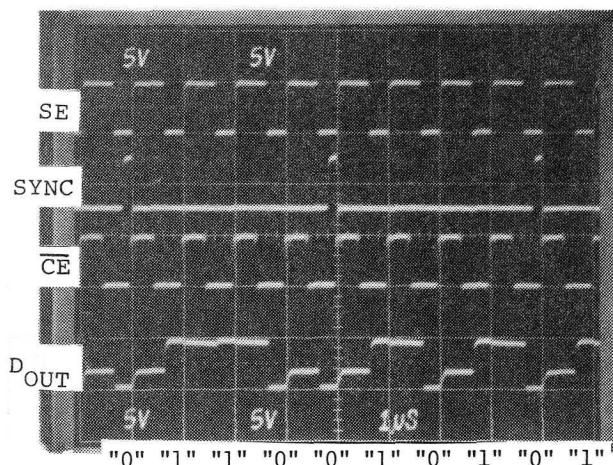


図 3.1 1 64 K ビット CCD メモリのデータ出力

3.4.2 消費電力

図 3.1 2 に、 $V_{DD}=12\text{ V}$ 、 $V_{BB}=-5\text{ V}$ 、 $T=20^{\circ}\text{C}$ の場合における平均電源電流 I_{DD} を示す。各種の動作モードの中で、シリアル・モードの場合が消費電力が最も多く、図より $f_{SE}=1\text{ MHz}$ の時 205 mW である。リサーキュレート・モードは、入出力動作を行わず、チップ内でデータをリフレッシュしているモードで、 $f_{SE}=50\text{ KHz}$ の時 40 mW である。これがスタンバイ時の消費電力である。また、2.3 節で述べた方法により、転送クロック発生回路の部分だけで消費される電力を求めた結果も同図に示している。

転送クロック発生に要する電力は、 $f_{SE}=1\text{ MHz}$ の場合、シリアル・モードで全消費電力の 25% を占め、リサーキュレート・モードで 31% を占めている。動作周波数が下がるにつれて、その割合は減少して行く。そして、TTL から MOS レベルに変換するバッファ回路で消費される電力が主成分になってくる。

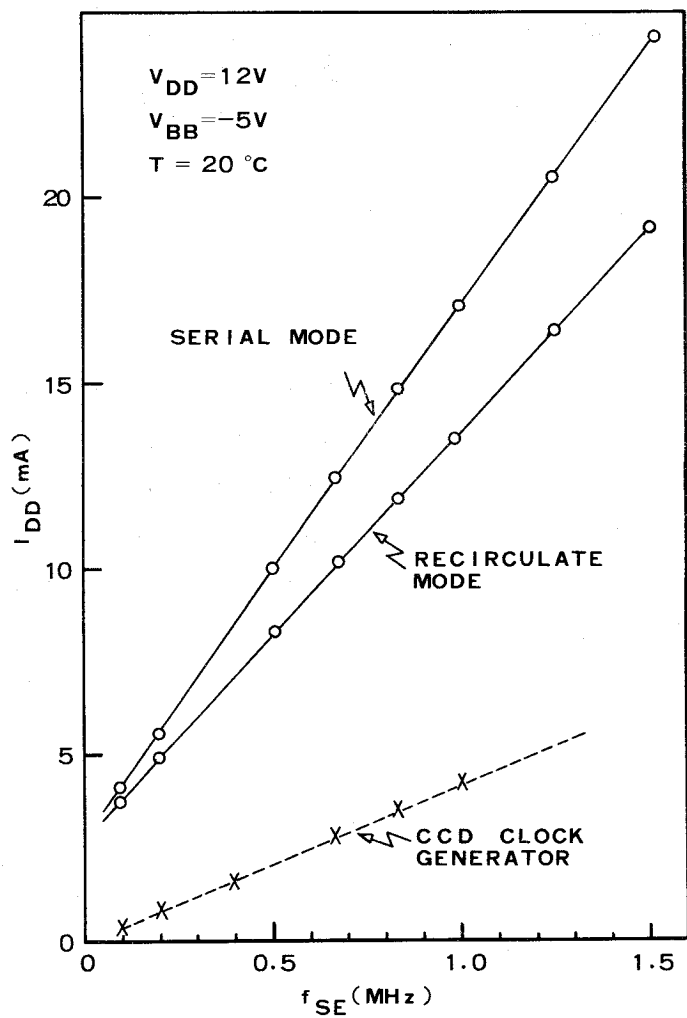


図 3.1 2 平均電源電流の周波数依存性

3.4.3 電源マージン

シリアルモード（ $f_{SE}=500\text{ KHz}$ ）での電源電圧マージンの測定例を図 3.1 3 に示す。電源電圧動作マージンのデータパターン依存性はほとんどなく、動作周囲温度（ 20°C と 70°C ）による差異もほとんどない。テストデバイスによる転送効率の測定結果は、 10% 以上のファットゼロで、 $99.90\sim 99.94\%$ であり、非転送効率による不良はないと言える。また、ダミーCCDを用いた基準電圧発生が、正常に行われていることと対応している。 $V_{DD}=12\text{ V}\pm 10\%$ 、 $V_{BB}=-5\text{ V}\pm 10\%$ の範囲を十分満たしていることが分かる。

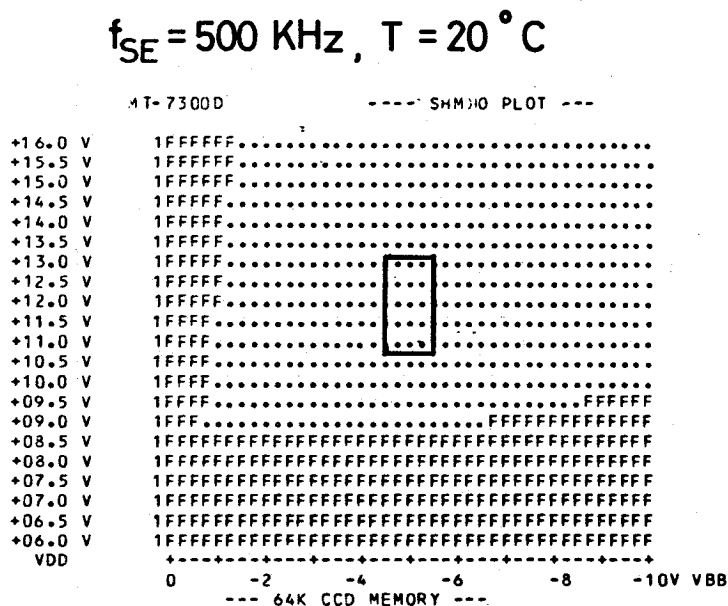


図 3.1 3 電源電圧動作マージン

3.4.4 特性のまとめ

表 3.2 に試作した 64 K ビット CCD メモリの諸特性のまとめを示す。これらの諸特性は、工学的応用に対し、何等问题なく、非常に良好なものである。

表 3.2 64 KビットCCDメモリの電気的特性

特 性 項 目	特 性
プ ロ セ ス	NチャネルMOS ダブルポリシリコン 表面チャネル型
動作周囲温度	0～70℃
メ モ リ 構 成	64 Kワード×1ビット (256ビット×256)
電 源	$V_{DD} = 12V \pm 10\%$ $V_{BB} = -5V \pm 10\%$ $V_{SS} = 0V$
チ ッ プ サ イ ズ	$7.1 \times 4.7 \text{ mm}^2$
パ ッ ケ ー ジ	18ピンセラミック
ア ク セ ス 時 間	平均130 μs (1 MHz)
デ ー タ レ ー ト	最大3 Mbit/s (ページ) 最大1 Mbit/s (シリアル)
リフレッシュ時間	4 ms (70℃)
消 費 電 力	205 mW (シリアル) 40 mW (スタンバイ)

3.5 結 言

本章では、CCDメモリの高性能化のために行った、

- ① 8相の転送クロックによる新規なE/B方式
- ② 8相の転送クロックの内蔵
- ③ 電荷分離入力法を用いたALM (Alternate Multiplex) 構造

の研究成果を64 KビットCCDメモリに適用した結果について述べた。

その結果、次の特徴を有するCCDメモリを実現することができた。

- 1) 転送クロックを含め、全入力が低入力容量のTTLコンパチブルで使い易い。
- 2) クロックドライバを内蔵しているので信頼性が高い。
- 3) 5.0 μm デザインルールでありながら、ビット当りのメモリセルサイズは150 μm^2 と小さ

く、一方、信号電荷量は 0.16 pC と大きい。

- 4) 平均アクセス時間が $130 \mu\text{s}$ ($f_{SE} = 1 \text{ MHz}$) と比較的高速である。
- 5) クロックドライバを内蔵しながら、 205 mW ($f_{SE} = 1 \text{ MHz}$) と低消費電力である。このうち、転送クロック発生に要する電力は、全消費電力の 25% である。
- 6) チップサイズは $7.1 \text{ mm} \times 4.7 \text{ mm}$ で、メモリ部はチップ全体の 40% 、転送クロック発生回路は 13% を占めており、標準の 18 ピン DIP (Dual in-line package) に収納されているので高密度実装に適している。

以上の性能は、工学的応用に対し何等問題なく、本研究成果は工学的応用効果の高いことが示された。

参 考 文 献

- (1) Y. Gamou, M. Yamada, K. Fujishima, T. Tada and S. Takano,
"All TTL Compatible CCD Memory with CCD Clock Generator",
IEEE J. Solid-State Circuits, vol. SC-15, pp. 881-886,
1980.
- (2) 藤島, 山田, 多田, 高野, 米田 "クロックドライバ内蔵CCDメモリの構成と性能", 電子
通信学会技報(半導体トランジスタ研究会資料) SSD79-3, 1979.
- (3) K. Fujishima, M. Yamada, T. Tada, S. Takano, M. Yoneda and
Y. Gamou, "A New Multiplex Input Technique for High
Density CCD Memory", Jpn. J. Appl. Phys., Vol. 19 Supplement
19-1, pp. 259-263, 1980.
- (4) 藤島, 山田, 長沢 "CCDにおける fat zero 電荷の入力法", 第37回応用物理学会
1976年秋季(51年), 3a-W-9.

第4章 ダイナミックMOS RAM（中速・大容量半導体メモリ）の高性能化

4.1 序

ダイナミック MOS RAM（以下（D）RAMと略す）の発展は、半導体メモリの歴史と言ってよいほど集積度の向上、性能改善において目を見張るものがある。1チップ当りのビット数の増加は、ほぼ3年で4倍、すなわち1.6倍／年の割合で大容量化がなされている。表4.1にダイナミック MOS RAMの開発の技術推移を示す。表4.2に、各世代のダイナミック MOS RAMに使用されている基本構成技術を示す。デバイス技術としては、PチャネルMOS電界効果トランジスタ（以下MOS FETあるいはMOSTランジスタと略す）でスタートし、ソース・ドレイン領域を自己整合により位置決めするシリコンゲートのMOS FETの採用により高集積化を達成してきた。さらに、イオン注入技術の進歩により、移動度の大きなNチャネル MOS FET⁽¹⁷⁾の実用化が可能になったことも、ダイナミック MOS RAM の高密度化をいっそう進展させた。また、16Kビットダイナミック MOS RAM（以下16K（D）RAM）で採用したダブルポリシリコンゲートプロセスは、メモリセルサイズの小型化に非常に有効であった。

表 4.1 ダイナミック MOS RAM の開発の技術推移

1970	1Kビット	ダイナミック MOS RAM ⁽¹⁾
1972	4Kビット	ダイナミック MOS RAM ⁽²⁾
1976	16Kビット	ダイナミック MOS RAM ⁽³⁾⁽⁴⁾
1978	64Kビット	ダイナミック MOS RAM ^{(5)~(8)}
1980	5V単一電源 64Kビット	ダイナミック MOS RAM ^{(9)~(13)}
1980	256Kビット	ダイナミック MOS RAM ⁽¹⁴⁾⁽¹⁵⁾

このようなダイナミック MOS RAM の大容量化と共に、使い易さ及び応用面の拡大という点から多機能化もそれ以上に追求されてきている。一例として、図4.1に16K（D）RAMと64K（D）RAMのピン配置を示し、さらに表4.3に両者の相違点を比較して示す。

表 4.2 各世代のダイナミック MOS RAM の使用技術

ビット数	セル面積 (相対比)	チップ面積 (相対比)	設 計 寸法値	プロセス	新 技 術
1 K	$51 \times 67 \mu\text{m}^2$ (17.0)	$2.77 \times 3.5 \text{mm}^2$ (0.3)	$10 \mu\text{m}$	Pチャネル Si-Gate	・ 3 トランジスタセル ・ シリコンゲート MOS
4 K	$35 \times 40 \mu\text{m}^2$ (7.0)	$3.45 \times 4.51 \text{mm}^2$ (0.4)	$7.5 \mu\text{m}$	Nチャネル Si-Gate	・ Nチャネル Si-Gate
16 K	$13 \times 27 \mu\text{m}^2$ (1.7)	$3.14 \times 5.19 \text{mm}^2$ (0.51)	$5.0 \mu\text{m}$	Nダブル Si-Gate	・ 1 トランジスタセル ・ ダブル Si-Gate ・ 投影型マスクアライナ
64 K	$10 \times 20 \mu\text{m}^2$ (1.0)	$4.31 \times 7.36 \text{mm}^2$ (1.0)	$3.0 \mu\text{m}$	Nダブル Si-Gate	・ 全拡散工程イオン注入 ・ DSW型マスクアライナ ・ EBマスク作製

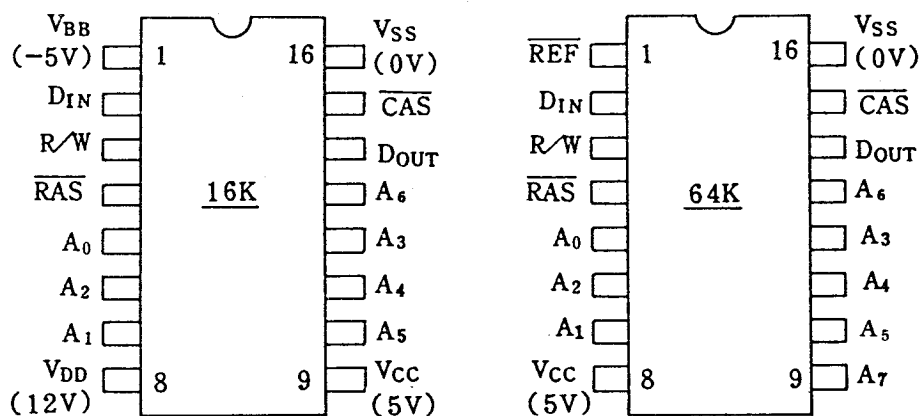


図 4.1 16 K と 64 K (D) RAM のピン配置

表 4.3 16K(D)RAMと64K(D)RAMの仕様比較

比 較 項 目	16K(D)RAM	64K(D)RAM
ワ ー ド 構 成	16,384 ワード×1ビット	65,536 ワード×1ビット
使 用 電 源 電 圧	12V, 5V, -5V各±10%	5V±10%
$\overline{\text{RAS}}$ アクセス時間	最大 150 ns	最大 150 ns
$\overline{\text{CAS}}$ アクセス時間	最大 100 ns	最大 75 ns
動 作 時 消 費 電 力	最大 450 mW	最大 250 mW
スタンバイ時消費電力	最大 20 mW	最大 22 mW
オート/セルフリフレッシュ機能	な し	あ り

16K(D)RAMから64K(D)RAMへと大容量化が行われたとき、表 4.3 より分かるように、使い易さ及び多機能化という観点から大きく変わったのは次の3点である。

- ① 使用電源電圧が12VからTTL(Transistor Transistor Logic)ICと共通の電源で使用可能な5Vに下がっている。
- ② ダイナミックMOSRAMでは、特性向上のため半導体基板(以下、単に基板と呼ぶ)に負の基板電圧を印加している。16K(D)RAMでは1ピンを通じて、外部から-5Vを印加していたが、64K(D)RAMではオンチップで発生しており、すなわち、基板電圧発生回路を内蔵することにより、外部の負電源を減らしている。
- ③ このため、1ピンが空くので1ピンをリフレッシュ^{*1}制御端子として利用できる可能性がでてきた。

本章では、まず上記②と関連して、基板電圧発生回路を内蔵する上で問題となる、基板電圧変動について検討する。ダイナミックMOSRAMの基板電圧は微視的時間で見れば(数nsの桁)、センスアンプ回路、デコーダ回路等の各節の充放電によって大きな変動を起こし、特性を劣化させるが、大容量化と共にその変動による特性劣化は無視できないものになっている。

このため、本章では、基板電圧発生回路を内蔵した5V単一電源64K(D)RAMを使用して、

注)*1 ダイナミックMOSRAMにおいては、メモリ内容を保持するために定期的にメモリ内容を読み出し、信号を再生して同一のメモリセルに再書き込みする操作が必要であり、この操作をリフレッシュ操作(あるいは単にリフレッシュ)と呼んでいる。

特性劣化をセンスアンプ感度の観点から考察し、メモリセルプレートを使用したセンスアンプ感度測定法により微視的時間の基板電圧変動とセンスアンプ感度の関係を定量化する。一方、ダイナミック MOS RAM の基板電圧は巨視的時間で見れば（数百 μ s の桁）、電源電圧の変動に伴って変動を起こす。特に電源電圧を故意に変化させて、特性劣化を見る V-バンブテスト（Voltage Bump Test）においては、電源ラインと基板間にできる寄生容量の容量結合によって、基板電圧は大きな変動を起こす。このため、本章では、巨視的時間の基板電圧変動を制御する役目をもつ、すなわち、基板電圧が平衡値よりもより負電圧になった時に、平衡値に戻す役目をもつ V_{BB} リークパス回路について考察し、本回路が V-バンブ特性に与える効果を定量化する。

次に本章では、上記③と関連して、基板電圧発生回路の内蔵化に伴い、空ピンとなった 1 ピンをリフレッシュ制御端子に利用することを検討する。特定のピンにリフレッシュ機能をもたせる発想は古く、既に 16 K (D) RAM において、その提案がなされている。これはダイナミック MOS RAM を使用する上で、不可欠なリフレッシュ操作がスタチック RAM に比較して、ダイナミック MOS RAM を使いにくいものになっている欠点を軽減する目的であった。64 K (D) RAM においても、リフレッシュ機能内蔵の考え方は継承され、この文献のなかでリフレッシュ機能の概念及びその有用性が示されている。すなわち、後述するオートリフレッシュとセルフリフレッシュの 2 種類の 1 ピンのリフレッシュ機能の概念が示されている。しかし、回路設計の立場から、1 ピンのリフレッシュ機能を実現する上での、回路上の注意点及び問題点に触れたものは少い。本章では、これらの回路上の問題点のうち、特にオンチップでリフレッシュアドレスを提供するカウンタと、セルフリフレッシュ時に使われるタイマについての検討結果を述べ、より使い易いダイナミック MOS RAM を実現する一つの方向を示す。

4.2 基板電圧の発生回路

4.2.1 微視的時間の基板電圧の変動とオンチップ平滑コンデンサ

(1) 変動要因の定量化

使用したテストデバイスの 64 K (D) RAM は、試料 A と試料 B であり、試料 A はチップ上に平滑コンデンサを含むもので、試料 B はレーザ光線により、平滑コンデンサを切り離したものである。

試料 A に使用された基板電圧発生回路と基板容量の等価回路を図 4.2 に示す。基板電圧 (V_{BB}) の変動要因を定量化するため、全基板容量を構成要素別に $C_1 \sim C_6$ に分割した。 C_1 は接地電源 (V_{SS}) や供給電源 (V_{CC}) 間にできる寄生容量、 C_2 は全ビット線との間の結合容量、 C_3 は全行 (Row) デコーダ回路との間の結合容量、 C_4 は全列 (Column) デコーダ回路との間の結合

容量， C_5 はメモリセルプレート及び充放電する他の回路との間の結合容量， C_6 はチップ上に形成された V_{BB} 用平滑コンデンサである。

図 4.3 に使用したセンスアンプ回路と動作タイミング図を示す。メモリセルプレート電源 (V_{GG}) は通常はチップ上で発生した $V_{CC} + 2V_{TH}$ (V_{TH} ; 閾値電圧) の電源を使用するが，外部端子でも制御が可能のように設計されている。

このセンスアンプ回路のビット線は，プリチャージ期間に V_{CC} レベルまで充電され，動作時に半分のビット線が放電される。従って，ビット線による試料 B の基板電圧の変動 $\Delta V_{BB(2)}$ は次式で求まる。

$$\Delta V_{BB(2)} = V_{CC} \frac{C_2/2}{C_{TB}} \quad (4.1)$$

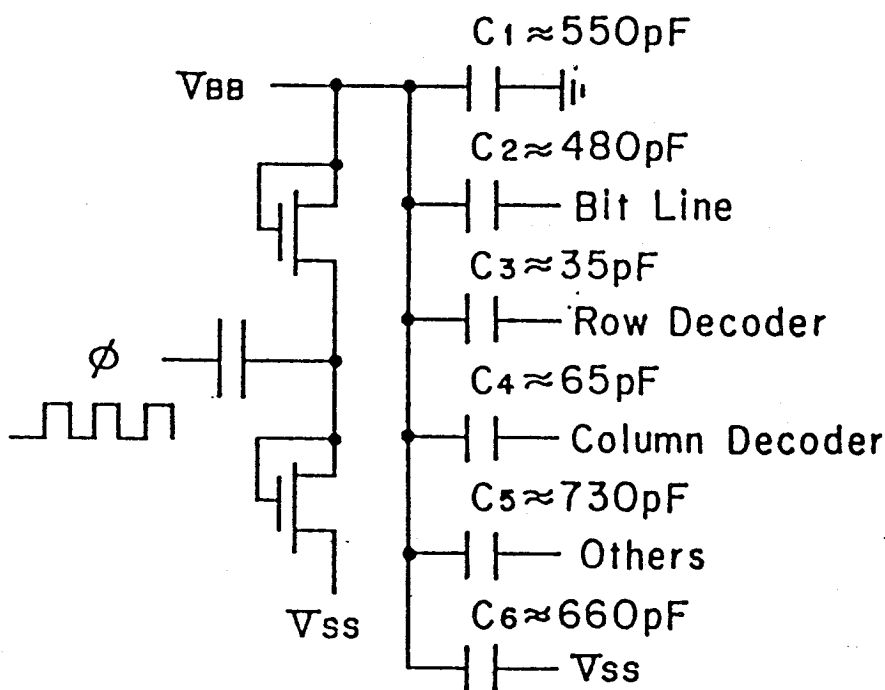


図 4.2. 基板電圧発生回路と平滑コンデンサ

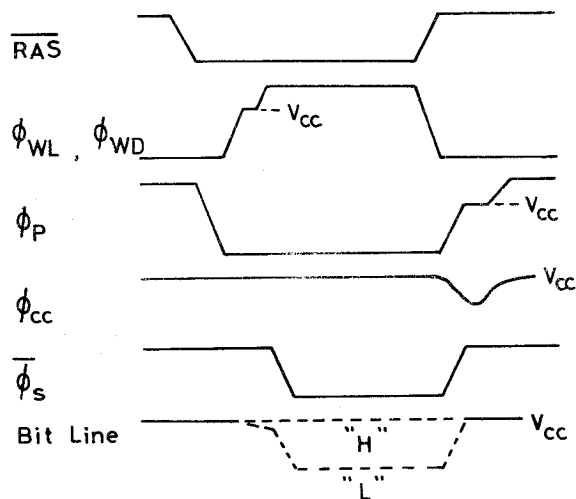
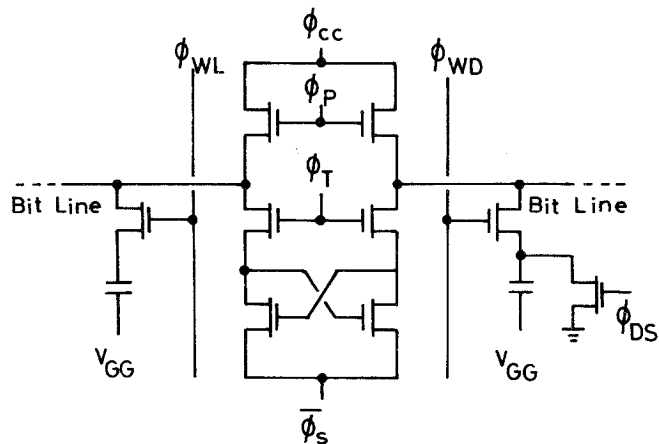


図 4.3 センスアンプ回路とタイミング図

$$C_{TB} = C_1 + C_2 + C_3 + C_4 + C_5$$

$V_{CC} = 5\text{ V}$ での $\Delta V_{BB(2)}$ の計算値は 0.65 V となる。

デコーダ回路のプリチャージレベルは、 $V_{CC} - V_{TH}$ であり、その大部分が放電するため、 C_3 と C_4 による V_{BB} の変動 $\Delta V_{BB(3,4)}$ は次式で求まる。

$$\Delta V_{BB(3,4)} = (V_{CC} - V_{TH}) \frac{C_3 + C_4}{C_{TB}} \quad (4.2)$$

$V_{CC} = 5\text{ V}$ 、 $V_{TH} = 0.6\text{ V}$ での $\Delta V_{BB(3,4)}$ の計算値は 0.24 V となる。

図 4.4 に $V_{CC} = 5\text{ V}$ における試料 B の微視的時間の基板電圧の変動波形を示す。 $\overline{\text{RAS}}$ (Row Address Strobe) 信号の立ち下りから、 70 ns 後に観測される 0.70 V のノイズがビット線の放電によるノイズであり、計算値 0.65 V と良く一致している。また、 $\overline{\text{RAS}}$ 信号の立ち上り直前と立ち下り直前の基板電圧の変動差 ΔV_{BB} は約 1.00 V であり、 $\Delta V_{BB(2)}$ と $\Delta V_{BB(3,4)}$ の和 0.89 V は、この値の約 90% を占めている。このことは、 C_5 による変動は立ち上りと立ち下りによってほとんど相殺され、 ΔV_{BB} に対して寄与していないことを意味している。すなわち、供給電源 V_{CC} が一定であるとき、基板電圧変動の約 90% がビット線及びデコーダ回路の充放電によって引き起こされることが示された。

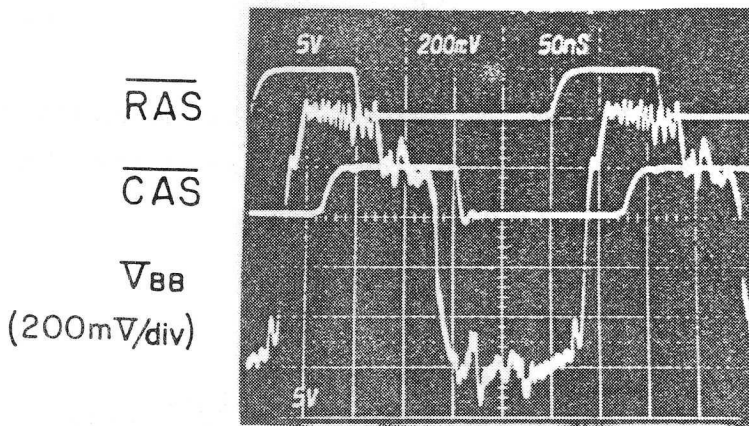


図 4.4 試料 B の基板電圧変動波形 ($V_{CC} = 5\text{ V}$)

(2) 特性劣化項目の定量化

基板電圧の変動によるダイナミック MOS RAM の特性劣化項目は、種々考えられるが、^{(21), (22)}ここではノイズに敏感なセンスアンプ回路の感度への影響に注目して定量化する。⁽²³⁾

図 4.5 に試料 A, B のメモリセルの断面図とその等価回路を示す。メモリセル構造には接合容量 (C_J) を増す Hi-C (High Capacitance) ⁽²⁴⁾セルを採用している。メモリセルのトランジスタ (トランスファゲートとも呼ばれている) (T_1) を制御するワード線 (ϕ_{WL}) は動作時に “H” レベルとなり、ビット線がプリチャージされる直前に “L” レベルとなって T_1 をオフする。このため、動作時に書き込まれたメモリセルの “L” レベルはプリチャージ期間には ΔV_{BB} によって次式のように正方向の変動 ΔV_{SLJ} を受ける。

$$\Delta V_{SLJ} = \Delta V_{BB} \frac{C_J}{C_G + C_J} \quad (4.3)$$

一方、ダミーセルは ϕ_{DS} 信号によって V_{SS} レベルに放電されるため、メモリセルの“L”レベルは ΔV_{SLJ} 分だけ、マージンが減少したことになる。試料Bのメモリセル容量に占める C_J の割合は82%であるため、 $V_{CC} = 5V$ における ΔV_{SLJ} は図4.4と(4.3)式から約0.32Vとなる。

図4.5のメモリセルプレート電源 V_{GG} を使用して、メモリセルの“L”レベルのマージンは、次の方法で測定できる。まず、 V_{CC} および V_{GG1} を固定し、メモリセルに“L”レベルを書き込み、次に V_{GG} のみを正方向の値 V_{GG2} に変化させて、メモリセルの“L”レベルを読み出す。このとき、メモリセルの“L”レベルは V_{GG} によって次式のように正方向の変動 ΔV_{SLG} を受ける。

$$\Delta V_{SLG} = (V_{GG2} - V_{GG1}) \frac{C_G}{C_G + C_J} \quad (4.4)$$

V_{GG2} を大きくしていくと、メモリセルの“L”レベルは“H”として読み出される。このときの $(V_{GG2} - V_{GG1})$ を ΔV_{GG} とすると、この ΔV_{GG} の値によってメモリセルの“L”レベルのマージンが測定できる。²⁵⁾

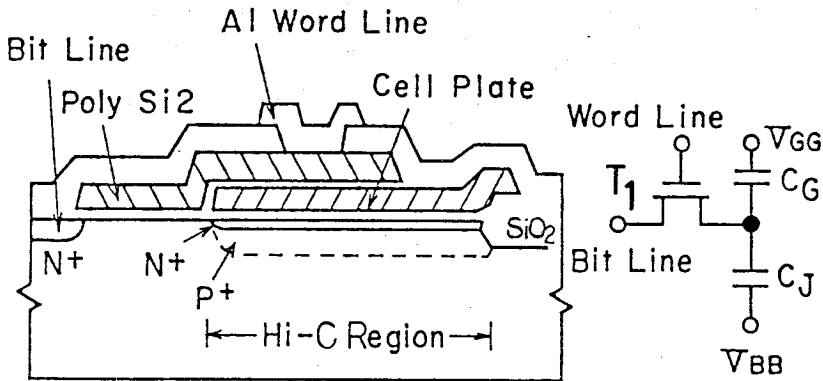


図4.5 メモリセルの断面図と等価回路

さて、基板電圧の変動 ΔV_{BB} は、外部平滑コンデンサによって小さくすることができ、図4.6は試料Bの外部平滑容量値を変化させたときの ΔV_{BB} と ΔV_{GG} を実験的に求めたものである。外部平滑容量値が C_{D1} のときに ΔV_{BB1} 、 ΔV_{GG1} となり、(4.3)式、(4.4)式よりそれぞれ ΔV_{SLJ1} 、 ΔV_{SLG1} が求まる。外部平滑容量値を C_{D2} としたとき、同様に ΔV_{BB2} 、 ΔV_{GG2} 、 ΔV_{SLJ2} 、 ΔV_{SLG2} が求まる。このセンスアンプ回路の感度は同一と考えられるので、次式が成立する。

$$\Delta V_{SLJ1} - \Delta V_{SLJ2} = \Delta V_{SLG2} - \Delta V_{SLG1} \quad (4.5)$$

(4.5)式に(4.3)式, (4.4)式を代入すると次の関係となる。

$$\frac{\Delta V_{GG2} - \Delta V_{GG1}}{\Delta V_{BB1} - \Delta V_{BB2}} = \frac{C_J}{C_G} \quad (4.6)$$

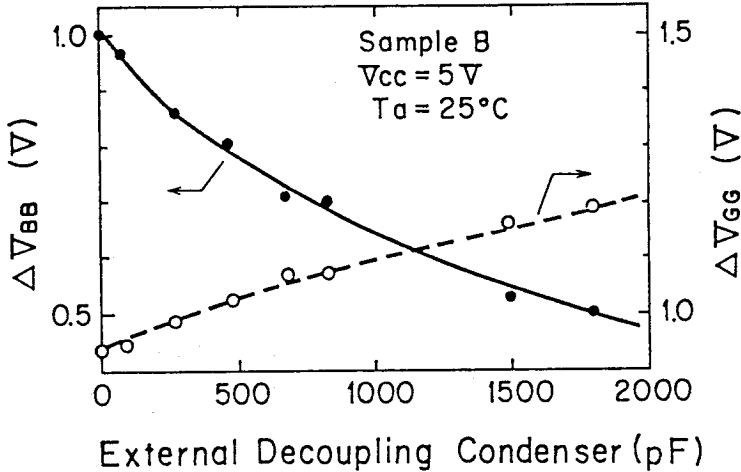


図 4.6 ΔV_{BB} (基板電圧変動) および ΔV_{GG} (V_{GG} 電圧変動) の外部平滑コンデンサの依存性

図 4.7 に試料 B に対して実験的に求めた ΔV_{BB} の改善値 ($\Delta V_{BB1} - \Delta V_{BB2}$) と ΔV_{GG} の改善値 ($\Delta V_{GG2} - \Delta V_{GG1}$) の関係を示したが、勾配は約 0.47 となり、試料 B の C_J/C_G の計算値 0.47 と良く一致している。

$V_{CC} = 5\text{ V}$ における基板電圧変動によるセンスアンプ感度の低下する割合を試料 B について求める。図 4.6 と図 4.7 より外部平滑コンデンサが無いとき、 ΔV_{GG1} は 0.93 V であり、外部平滑コンデンサにより ΔV_{GG2} は約 1.40 V である、したがって

$$\frac{\Delta V_{GG2} - \Delta V_{GG1}}{\Delta V_{GG2}} = 0.34 \quad (4.7)$$

となり、試料 B は基板電圧変動によりセンスアンプ感度が 34% 劣化していることがわかる。すなわち、微視的時間の基板電圧の変動を減少させるために、チップ上に平滑コンデンサを設けること

はセンスアンプ感度の低下を防ぐために有効であることが示された。

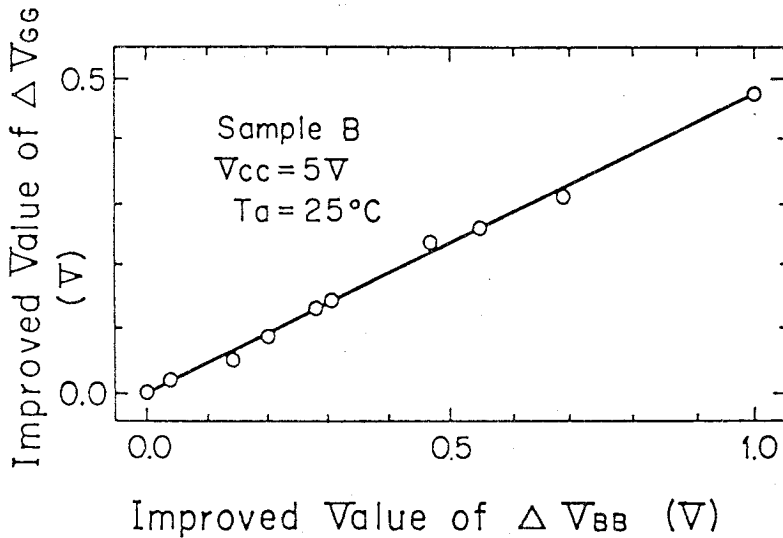


図 4.7 ΔV_{BB} の改善値と ΔV_{GG} の改善値の関係

(3) オンチップ平滑コンデンサ

試料Bの基板電圧変動を50%減少させるための平滑コンデンサは、図4.6から約1,800 pFとなり、このように大きな容量をチップ上で形成するためには、構造および配置について工夫が必要である。図4.8に示したのは、試料Aに使用された平滑コンデンサ C_6 の断面図であるが、基板及び第2ポリシリコン層を V_{BB} に接続し、第1ポリシリコン層を V_{SS} に接続した三層構造としている。

第1ポリシリコン層下の基板に P^+ 層をイオン注入により形成している点を特徴とする。⁽²⁶²⁷⁾ 試料Aの平滑コンデンサ C_6 は約660 pF ($C_{TA} = C_1 + C_2 + C_3 + C_4 + C_5 + C_6$ の27%)である。

図4.9は試料A(試料Bと同一チップで C_6 切断前のもの)の基板電圧変動波形であり、 ΔV_{BB} は約0.70 Vである。また、 ΔV_{GG} を求めたところ、約1.05 Vとなり、これらの数値を図4.6にあてはめると、ほぼ680 pFの外部平滑コンデンサのところに相当している。したがって、チップ上で形成された平滑コンデンサも、外部平滑コンデンサと同等の働きをしていると考えられ、基板電圧変動を約30%減少させている。

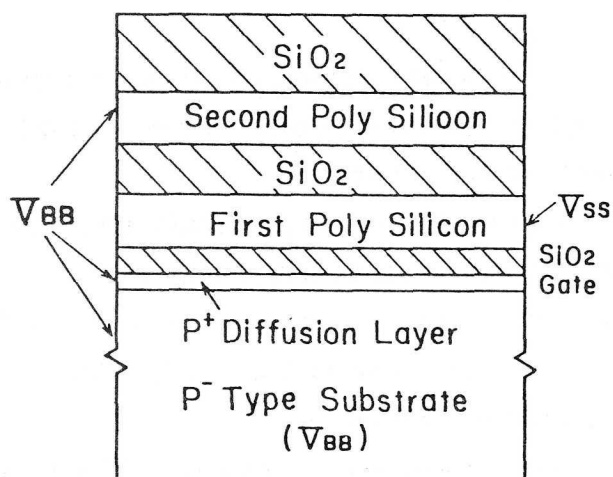


図 4.8 チップ上に形成された平滑コンデンサの断面図

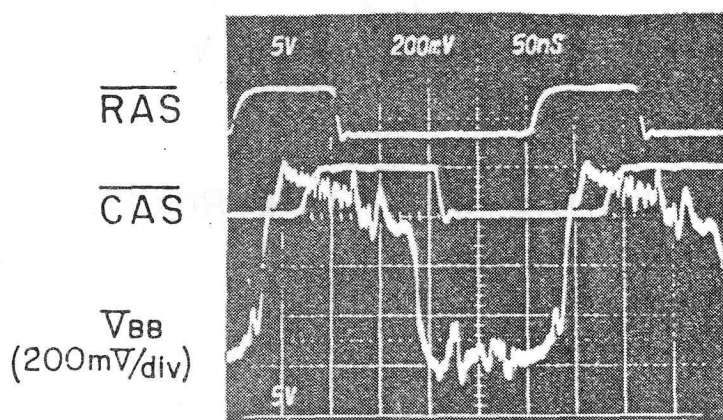


図 4.9 試料Aの基板電圧変動波形 (V_{CC} = 5 V)

4.2.2 巨視的時間の基板電圧の変動と V_{BB} リークパス回路

(1) Vーバンプテストにおける基板電圧変動

4.2.1 節では、ビット線やデコーダ回路等の充放電によってひき起こされる微視的時間の基板電圧の変動に注目したが、本節では、供給電源 V_{CC} を故意に変化させる、いわゆる Vーバンプテストに伴う巨視的時間の基板電圧の変動について考察する⁽²⁸⁾。

Vーバンプテストとは、図 4.1 0 に示すように、 V_{CC} 電圧の低い状態で（通常 $V_{CC} = 4.5 \text{ V}$ ）メモリセルにデータを書き込んだ後、 V_{CC} 電圧を ΔV_{CC} だけ上げてから、メモリセルのデータを読み出すテスト方法である。Vーバンプによってメモリセルに書き込まれた“L”レベルは、 ΔV_{CC} を大きくしていくと“H”として読み出されるようになる。正常な読み出しを行う ΔV_{CC} が大きいほど、Vーバンプ特性が良いことを意味する。

図 4.1 1 に、使用したテストデバイスの 64 K (D) RAM における基板電圧発生回路（図 4.2 と基本的には同一）を示し、図中で V_{BB} リークパス回路はレーザ光線により容易に切り離すことが可能になっている。

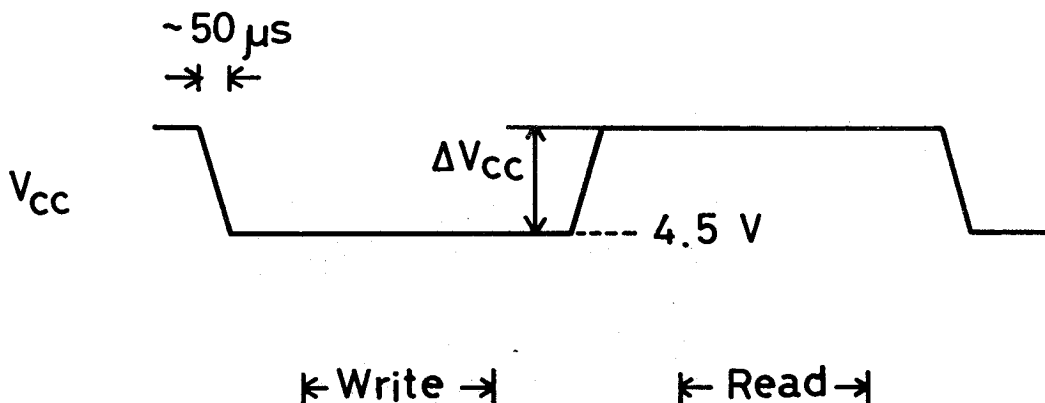


図 4.1 0 Vーバンプテスト

Vーバンプ時には、供給電源 V_{CC} と基板間にできる寄生容量（ C_1 の一部）、メモリセルプレートと基板間にできる結合容量（ C_5 の一部）によって、基板電圧 V_{BB} は図 4.1 2 及び図 4.1 3 に示するような巨視的時間の変動を受ける。図 4.1 2 は V_{BB} リークパス回路が有る場合の基板電圧変動の波形を示し、図 4.1 3 は V_{BB} リークパス回路が無い場合（同一チップをレーザ光線により切り離したものの）の基板電圧変動の波形を示している。図 4.1 2 及び図 4.1 3 より、 V_{CC} 電圧が高い状態から低い状態に変化して V_{BB} の値が平衡値よりもより負電圧になった時、 V_{BB} リークパス回路が有る場合には、 V_{BB} の値は $200 \mu\text{s}$ 以内に平衡値に戻るのに対し、 V_{BB} リークパス回路

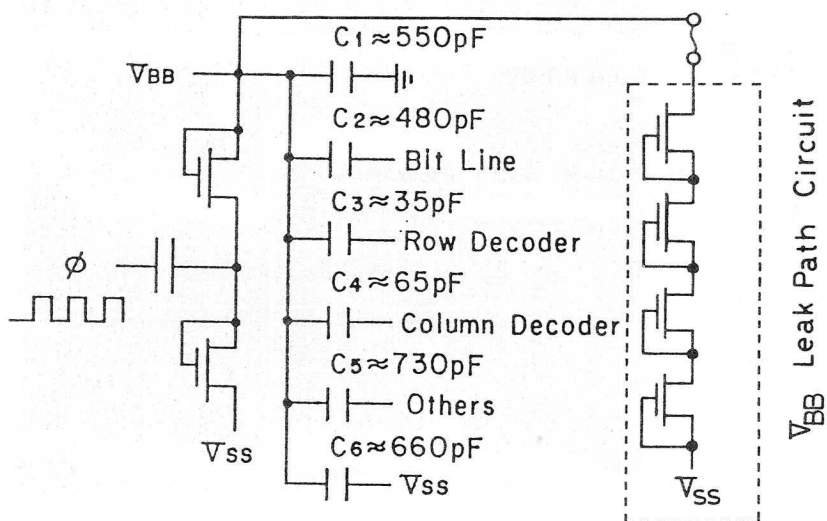


図 4.1 1 基板電圧発生回路と V_{BB} リークパス回路

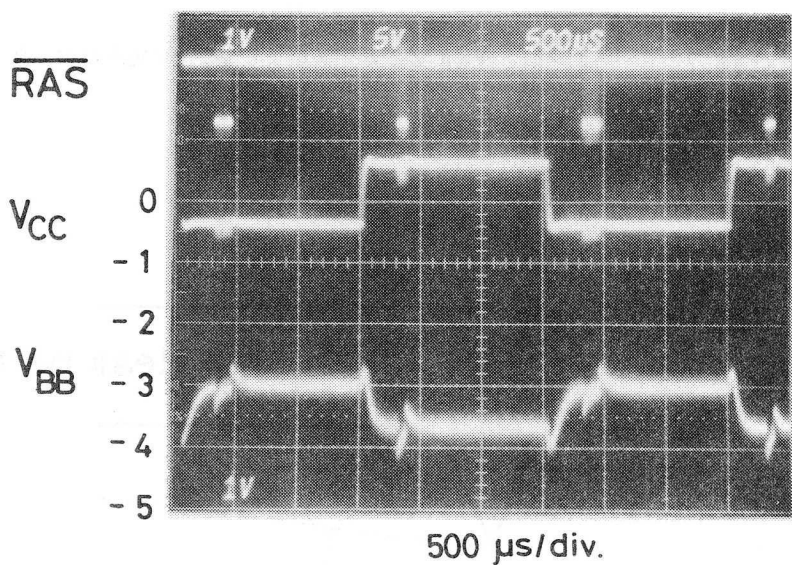


図 4.1 2 Vーバンプ時における基板電圧変動波形

(V_{BB} リークパス回路がある場合, $V_{CC}=4.5\text{V} \leftrightarrow 5.5\text{V}$)

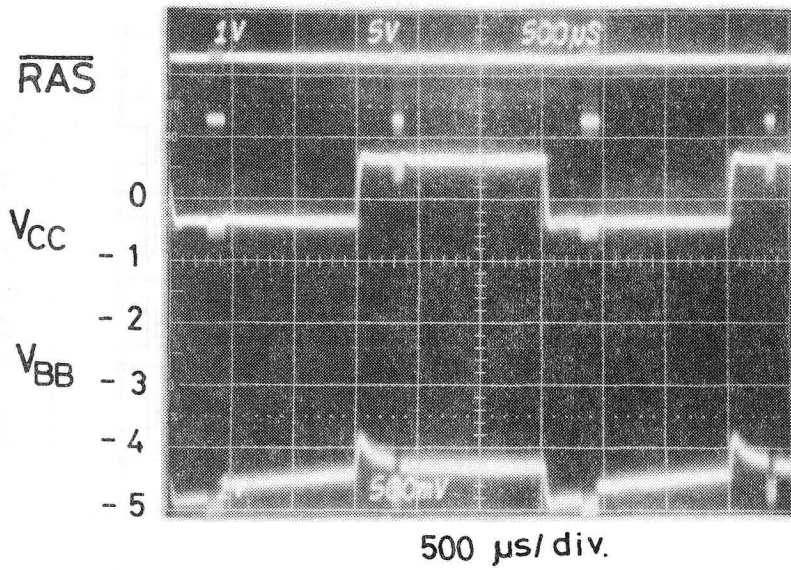


図 4.1 3 Vーバンプ時における基板電圧変動波形

(V_{BB} リークパス回路が無い場合, V_{CC}=4.5V↔5.5V)

が無い場合には平衡値になかなか戻らないことが分かる。この様子を簡略化したのが図 4.1 4 である。

このように, V_{BB} リークパス回路は, V_{BB} の値が平衡値よりもより負電圧になったときに平衡値に戻す役目を有することが分かる。

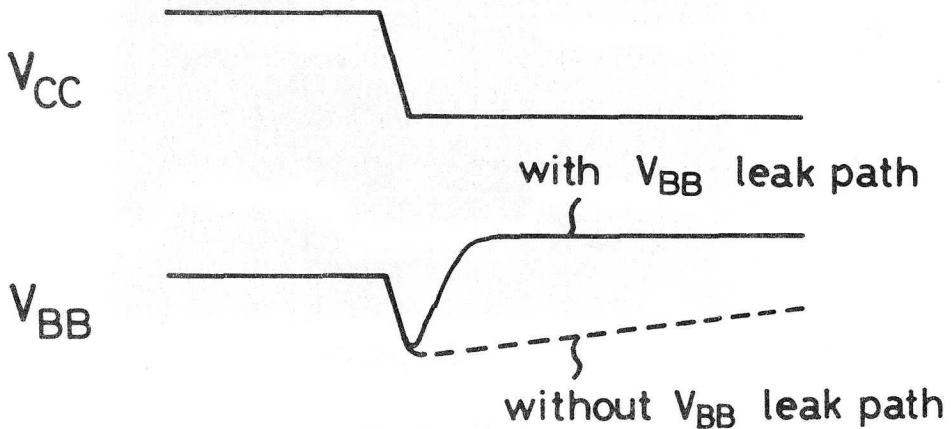


図 4.1 4 V_{BB} リークパス回路の有無による

基板電圧の変動波形の差

(2) V-バンプ特性

図4.15は64K(D)RAMを用いて、縦軸に読み出し時の V_{CC} 電圧($V_{CC\text{ read}}$)をとって、横軸に書き込み時の V_{CC} 電圧($V_{CC\text{ write}}$)をとって、V-バンプ特性を測定した結果である。図4.15は同一チップにおける V_{BB} リークパス回路のレーザ光線による切り離し前後の、V-バンプ特性を比較したもので、図中“INITIAL”が V_{BB} リークパス回路が有る場合で“ AFTER LASER CUTTING ”が V_{BB} リークパス回路が無い場合である。例えば、書き込み時の V_{CC} 電圧を4.5Vに固定したとき、 V_{BB} リークパス回路によって0.70VものV-バンプ特性の改善がなされていることが分かる。すなわち、 V_{BB} リークパス回路はV-バンプ特性の改善効果をも有することが分かる。

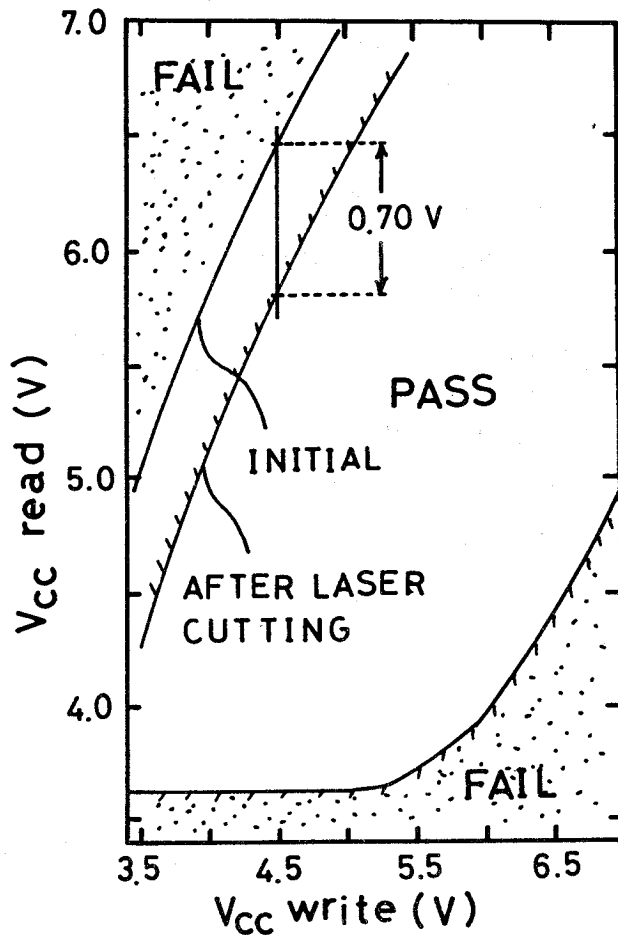


図4.15 V_{BB} リークパス回路の有無によるV-バンプ特性の比較

(3) 理論的考察

メモリセルは図 4.1 6 に示すように Hi-C 構造をしているので、これを理論的に扱うために簡略化した図 4.1 7 のようなメモリセルの断面を仮定する。図 4.1 7 は、メモリセル部のバンドダイアグラム、電荷分布、及び基板を基準にとった(=0 とする)時のポテンシャル ϕ である。N⁺ 層のポテンシャルを ϕ_N として、図 4.1 7 をもとに 1 次元のポアソン方程式を解くと、N⁺ 層に存在する単位面積当たりの電子の数 Q_N は次式で与えられる。

$$\begin{aligned}
 Q_N &= Q_S + (a - h) q N_D \\
 &= C_{OX} (V_{GG} - V_{FB} + |V_{BB}| - \phi_N) \\
 &\quad + \left(a - \sqrt{\frac{2 \epsilon_{Si} N_A \phi_N}{q (N_A + N_D) N_D}} \right) q N_D
 \end{aligned}
 \tag{4.8}$$

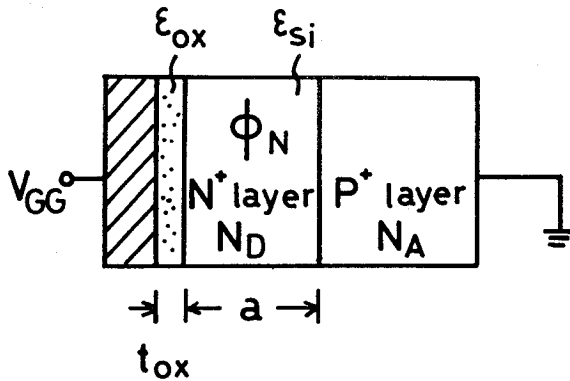


図 4.1 6 Hi-C 構造のメモリセル

但し	q ; 素電荷	V_{FB} ; フラットバンド電圧
	a ; N ⁺ 層の厚さ	V_{GG} ; メモリセルプレート電圧
	t_{OX} ; ゲート酸化膜厚	V_{BB} ; 基板電圧
	ϵ_{OX} ; ゲート酸化膜の誘電率	
	ϵ_{Si} ; 基板の誘電率	
	C_{OX} ; ゲート容量 ($=\epsilon_{OX}/t_{OX}$)	
	N_A ; P ⁺ 層のアクセプタ不純物濃度	
	N_D ; N ⁺ 層のドナー不純物濃度	

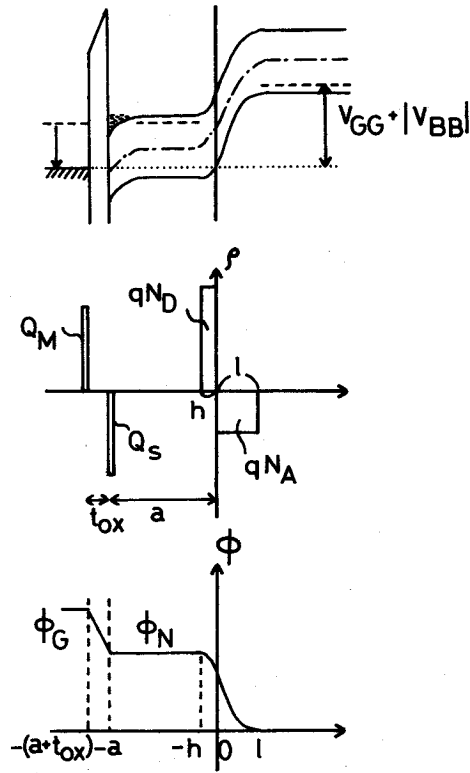


図 4.17 メモリセル部のバンドダイアグラム，電荷分布，
及びポテンシャル ϕ

(4.8) 式は任意の ϕ_N について成立するが，メモリセルに “L” あるいは “H” を書き込んだ直後では，ビット線及びメモリセルのトランジスタ T_1 (図 4.5 参照) を通じて ϕ_N は外部より次式のように一義的に決められる。

$$\phi_N(\text{“L”}) = |V_{BB}| + V_{BI} \quad \text{“L” の書き込み} \quad (4.9)$$

$$\phi_N(\text{“H”}) = V_{CC} + |V_{BB}| + V_{BI} \quad \text{“H” の書き込み} \quad (4.10)$$

但し， V_{BI} は $P^+ - N^+$ 接合の built-in ポテンシャル

このメモリセルに書き込んだ直後におけるポテンシャルの形を図 4.18 に示す。

次に，V-バンプ前後における N^+ 層のポテンシャルの変動を考えてみる。メモリセルに “L” を書き込んだ時点における (V-バンプ前) 各電圧を V_{CC} ， V_{GG} ， V_{BB} とすると，(4.9) 式

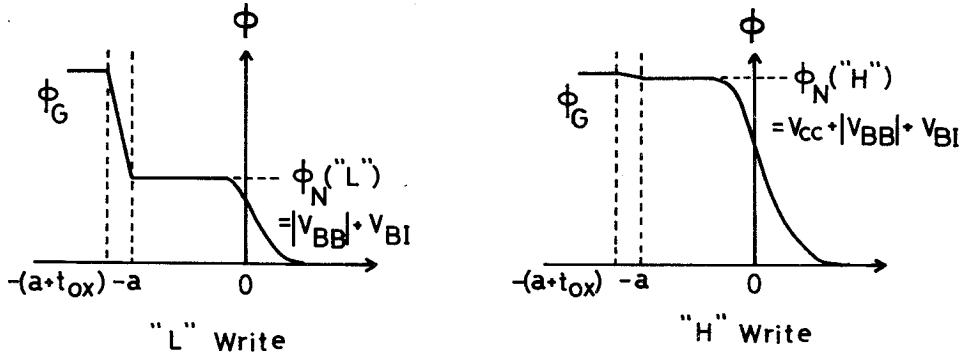


図 4.18 メモリセルに書き込んだ直後における
ポテンシャルの形

を (4.8) 式に代入して次式が得られる。

$$Q_N = C_{OX} (V_{GG} - V_{FB} - V_{BI}) + \left(a - \sqrt{\frac{2 \epsilon_{Si} N_A (|V_{BB}| + V_{BI})}{q (N_A + N_D) N_D}} \right) q N_D \quad (4.11)$$

V-バンプにより V_{CC} 電圧が ΔV_{CC} だけ増加した状態における各電圧を V_{CC}' , V_{GG}' , V_{BB}' , N^+ 層のポテンシャル $\phi_{N'}$, N^+ 層に存在する単位面積当りの電子の数を $Q_{N'}$ とすると次式が成立する。

$$V_{CC}' = V_{CC} + \Delta V_{CC} \quad (4.12)$$

$$V_{GG}' = V_{GG} + \Delta V_{CC} \quad (4.13)$$

$$Q_{N'} = C_{OX} (V_{GG}' - V_{FB} + |V_{BB}'| - \phi_{N'}) + \left(a - \sqrt{\frac{2 \epsilon_{Si} N_A \phi_{N'}}{q (N_A + N_D) N_D}} \right) q N_D \quad (4.14)$$

電荷保存則 $Q_N = Q_{N'}$ を適用して、V-バンプ後の N^+ 層のポテンシャル $\phi_{N'}$ を求めると次式のようなになる。

$$\phi_{N'} = \frac{1}{4} \left(\sqrt{B_K^2 + 4\Delta} - B_K \right)^2 \quad (4.15)$$

$$\text{但し, } \Delta = \Delta V_{CC} + B_K \sqrt{|V_{BB}| + V_{BI}} + |V_{BB'}| + V_{BI} \quad (4.16)$$

$$B_K = \sqrt{2q\epsilon_{Si} N_A} / C_{OX} \quad (N_A \ll N_D) \quad (4.17)$$

(4.15)式は、V-バンプによる N^+ 層のポテンシャルの変動は ΔV_{CC} のみならず、基板電圧の変動により大きな影響を受けることを意味している。このV-バンプ前後におけるポテンシャルの形の変化を図4.19に示す。

図4.19に示すように、V-バンプによってメモリセルに書き込まれた“L”レベルは、より“H”レベル側に近づこうとする。よって、“L”レベルから“H”レベルに近づく度合いによりV-バンプに伴う“L”レベルのマージン減少の度合いを表わすことができる。これを $\Delta\phi_N$ とすると、 $\Delta\phi_N$ は次式で表わされる。

$$\Delta\phi_N = \phi_{N'} - |V_{BB'}| - V_{BI} \quad (4.18)$$

図4.19の中の $\Delta\phi_N$ が(4.18)式に対応している。

図4.20は、 V_{BB} リークパス回路の有無における V_{BB} 、 $V_{BB'}$ の実測値(V_{CC} write = 4.5 Vに固定)を(4.18)式に代入して $\Delta\phi_N$ を計算した結果である。 $\Delta\phi_N$ は ΔV_{CC} に対してほぼ直線的に変化し、理論的にはダミーセルレベル(“L”レベルと“H”レベルの約 $\frac{1}{2}$ のレベル)の変化を示す直線A-Bと $\Delta\phi_N$ との交点がV-バンプ不良を起こし始める点である。 V_{BB}

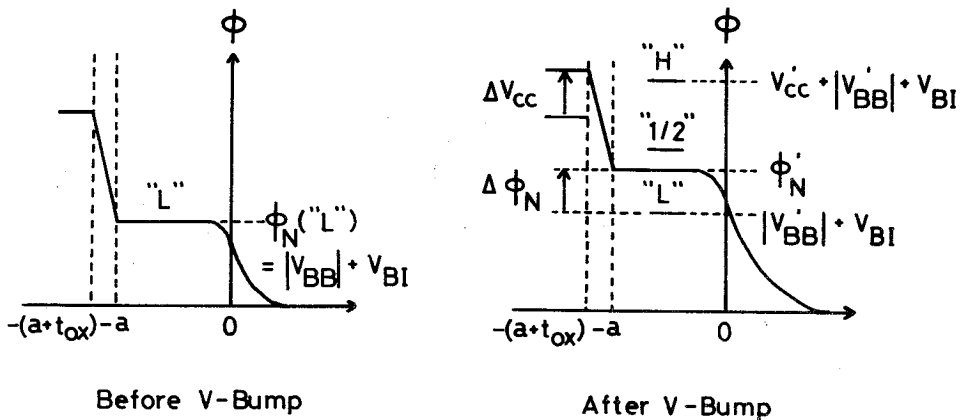


図4.19 V-バンプ前後におけるポテンシャルの形

リークパス回路が有る場合（図中“INITIAL”で表示）には $\Delta\phi_N$ の傾斜が無い場合に比べてより緩く、これはVーバンプ不良をより起こしにくいことを意味する。図 4.20 より、理論的には V_{BB} リークパス回路によって 1.19 V のVーバンプ特性の改善が期待される。すなわち、図 4.20 は V_{BB} リークパス回路によるVーバンプ特性の改善効果を定量的に表わしている。

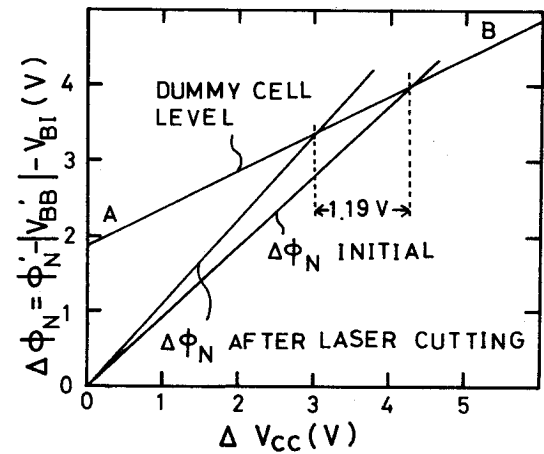


図 4.20 “L”→“H”に近づく度合い $\Delta\phi_N$ の計算結果

4.3 リフレッシュ機能の設計

4.3.1 リフレッシュ機能の概要

(1) 1ピンのリフレッシュ回路

従来、ダイナミック MOS RAM に不可欠なリフレッシュ操作は、 $\overline{RAS}$ (Row Address Strobe) クロックに合わせて、外部のリフレッシュアドレスカウンタでロウアドレスを指定して行われてきた ($\overline{RAS}$ オンリーリフレッシュと呼ばれている)。一方、ダイナミック MOS RAM の多機能化と共に、もしリフレッシュ制御端子が与えられるならば、内蔵化が可能なものとして、オートリフレッシュとセルフリフレッシュがある。オートリフレッシュは従来の $\overline{RAS}$ オンリーリフレッシュとよく似た使い方ができ、セルフリフレッシュは停電対策用として電池でメモリ内容を保持するのに便利なものである。64 K (D) RAM では、基板電圧発生回路を内蔵化すれば、1 ピンをリフレッシュ制御端子にすることが可能となる。このため、オートとセルフリフレッシュの 2 種類の機能を内蔵化することを検討した。⁽²⁹⁽⁸⁰⁾⁸¹⁾

図 4.21 はオートリフレッシュとセルフリフレッシュ機能を備えた 1 ピンによるリフレッシュ回路のブロック図である。図に示すように、1 ピンにリフレッシュ機能をもたせるのに必要な付加回路

は、①リフレッシュ制御回路、②リフレッシュアドレスカウンタ、③マルチプレクサ、④タイマである。このうち、リフレッシュアドレスカウンタは図4.2.2に示すように、7個のトグルフリップフロップから構成され、1ピンによるリフレッシュ時のみリフレッシュアドレスとして使用される。外部アドレス $A_0 \sim A_6$ とオンチップのリフレッシュアドレスカウンタからの出力 $Q_0 \sim Q_6$ とを切り替えるマルチプレクサは、アドレスバッファの入力端に設けられた2個のMOSトランジスタで構成され、2本の信号(MUX, $\overline{\text{MUX}}$)で制御される。

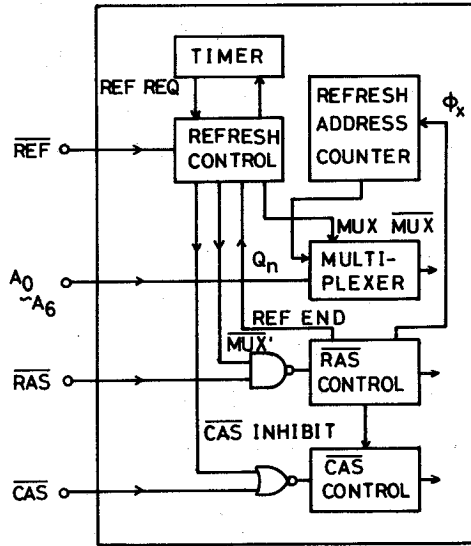


図 4.2 1 リフレッシュ回路のブロック図

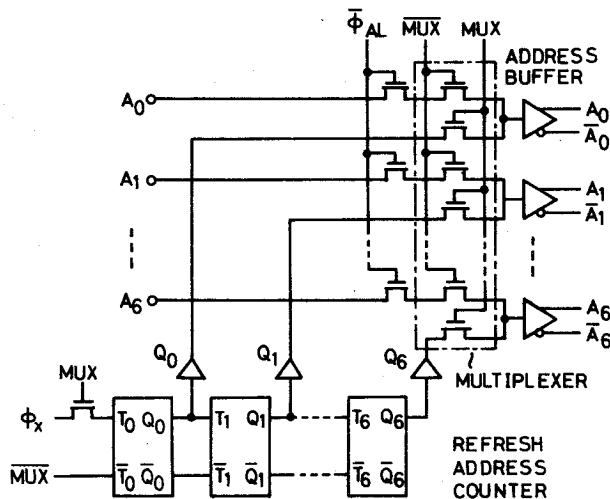


図 4.2 2 リフレッシュアドレスカウンタ及びマルチプレクサの等価回路

(2) オートリフレッシュ動作

図 4.2 3 にオートリフレッシュ時のタイミング図を示す。

$\overline{\text{RAS}}$ が “L” から “H” になってから、 $\overline{\text{RAS}}$ のプリチャージ時間に等しい時間が経過した後、1 ピンの入力である $\overline{\text{REF}}$ を “H” から “L” にすることが許される。この間の時間はセンスアンプ系のプリチャージに必要な時間である。オートリフレッシュは時間 t_0 において $\overline{\text{REF}}$ を “H” から “L” にすることにより開始され、そのシーケンスは次のようになる。

t_1 ; MUX 信号が “H” になり、 $\overline{\text{MUX}}$ 信号が “L” になってマルチプレクサによりリフレッシュアドレスカウンタからの出力 $Q_0 \sim Q_6$ がアドレスバッファに入力される。リフレッシュ制御回路から $\overline{\text{RAS}}$ 制御回路に、立ち下りを MUX 信号より数 ns 遅らせた $\overline{\text{MUX}}'$ 信号が入力されると、内部の RAS 信号 (Int. RAS) が “L” から “H” になる。

t_2 ; Int. RAS をトリガにしてアドレスバッファが活性化され、リフレッシュアドレスカウンタによって決まるアドレスの組合せがロウデコーダに入力される。そして、次にワード線クロック ϕ_x が “L” から “H” に立ち上る。回路設計上、この時点からリフレッシュアドレスカウンタのカウンタアップを開始するようにすれば、アドレスバッファへのデータのとり込みは t_1 の時点で完了しているので、このカウンタアップは何の影響もアドレスバッファに与えないようにできる。

t_3 ; センスアンプが活性化され、メモリセルの情報がセンスアンプで判定されるとともに、メモリセルへの再書き込み、すなわちリフレッシュが行われる。

t_4 ; リフレッシュ終了信号 (REF END) が発生し、これをトリガにして $\overline{\text{MUX}}'$ 信号が “L” から “H” に戻る。従って、Int. RAS が “H” から “L” になり、再びセンスアンプ系のプリチャージが開始され、次のメモリ動作あるいはリフレッシュ動作に備える。ここで、時間 t_4 までにリフレッシュアドレスカウンタのカウンタアップが完了するように、リフレッシュアドレスカウンタを高速化することが重要である。

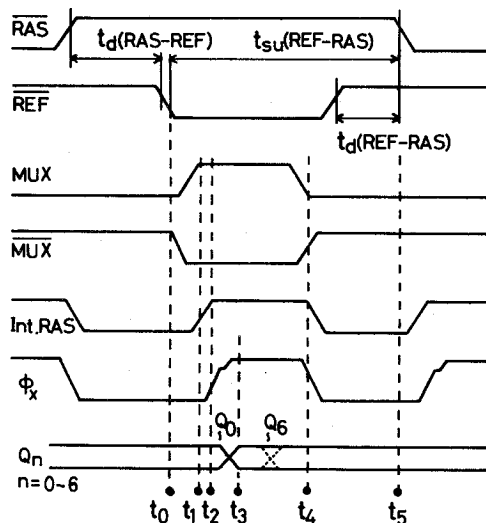


図 4.2 3 オートリフレッシュ動作のタイミング図

(3) セルフリフレッシュ動作

図 4.2 4 にセルフリフレッシュ時のタイミング図を示す。

図 4.2 3 のオートリフレッシュの場合と比較してタイミングはよく似ている。異なる点は $\overline{\text{REF}}$ の “L” の保持時間にある。 $\overline{\text{REF}}$ が “H” から “L” になる時間 s_0 からセルフリフレッシュが開始され、 s_0 から s_1 までは内部的にはオートリフレッシュ時と全く同じ動作が行われる。 s_1 の時点まではオートとセルフのリフレッシュを区別するものはない。ところが、時間 s_1 からタイマが動き始め、タイマのセット時間 t_{set} ($t_{\text{set}} = 12 \sim 16 \mu\text{s}$) を越えて $\overline{\text{REF}}$ が “L” に保持されていると、時間 s_2 にリフレッシュリクエスト信号 REF REQ がタイマより発生される。REF REQ 信号にトリガされてセンスアンプが再び活性化し、 s_0 の時点より 1 ビットインクリメントされたリフレッシュアドレスで選択されるメモリセルがリフレッシュされる。そして時間 s_3 までにさらにリフレッシュアドレスカウンタが 1 ビットインクリメントされる。以上のシーケンスは、 $\overline{\text{RAS}}$ が “H” で $\overline{\text{REF}}$ が “L” である限り永久に繰り返され、 $t_{\text{set}} \times 128 \sim 2\text{ms}$ 毎にリフレッシュアドレスカウンタは、すべてのロウアドレスの組合せを一巡し、全メモリセルがリフレッシュされる。

回路設計上、セルフリフレッシュ動作は $\overline{\text{REF}}$ 入力と非同期で行われるために、セルフリフレッシュから通常のメモリ動作へ移行しようとして、 $\overline{\text{REF}}$ を “L” から “H” に戻した瞬間において、内部のリフレッシュ動作はどこまで進行して中断されたのか、不明な点に注意する必要がある。このため、REF REQ 信号が発生している間は $\overline{\text{REF}}$ 入力を禁止するような回路設計上の工夫が必要となる。こうすることにより、時間 s_3 から s_4 の間に $\overline{\text{REF}}$ が “L” から “H” に戻れば、その時点でセルフリフレッシュは終了するが、一方、時間 s_4 から s_5 の間に $\overline{\text{REF}}$ が “L” から “H” に戻る場合、リフレッシュ動作が終了する時間 s_6 までセルフリフレッシュの終了は待機させられる。また、時間 s_5 から s_6 の間に $\overline{\text{REF}}$ が “L” から “H” に戻る場合も、時間 s_6 までセルフリフレッシュの終了を待機させられる。このように、セルフリフレッシュの非同期性のために、 $\overline{\text{REF}}$ が “L” から “H” になってから $\overline{\text{RAS}}$ が “H” から “L” になるまでの時間 t_d ($\text{REF}-\text{RAS}$) に 1 サイクル分の時間を確保することが必要となる。

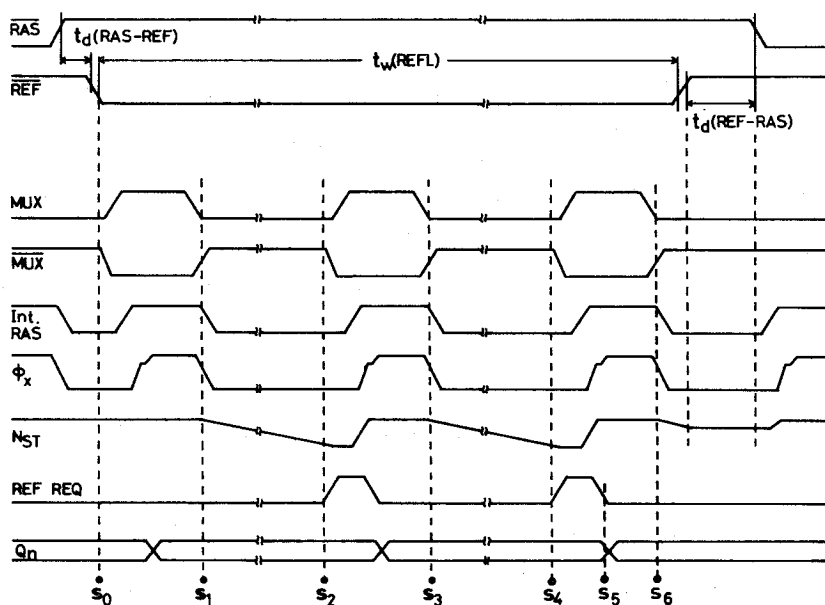


図 4.2 4 セルフリフレッシュ動作のタイミング図

4.3.2 リフレッシュ回路設計上の問題点

(1) リフレッシュアドレスカウンタ

リフレッシュアドレスを提供するカウンタをオンチップに形成するには、次の2つの条件を満たす必要がある。

- (i) 高速動作が可能である。
- (ii) 低消費電力である。

一般にカウンタには同期式と非同期式の2通りがある。同期式は高速動作に適しているが、非同期式に比べて回路が複雑なこと、それに伴い低消費電力化が難しくなる理由により、筆者等はリフレッシュアドレスカウンタとしては7個のトグルフリップフロップから成る非同期式を採用している(図4.2 2参照)。

また、パターンレイアウトはカウンタの高速化にとって重要なポイントである。図4.2 5(a)に示すように、アドレスバッファとフリップフロップを対で配置する方法(ペア型)、図4.2 5(b)に示すようにフリップフロップだけを集めて配置する方法(集中型)とがある。表4.4に両者の比較を示すが、どちらが有利かはカウンタの回路構成自体で決まる要素が大きい。筆者等が採用した前段のフリップフロップの出力 Q_{n-1} 、 $\bar{Q}_{n-1}$ を直接使用して次段を駆動するトグルフリップフロップの場合についていえば、集中型の方が有利である。それは出力 Q_n 、 $\bar{Q}_n$ の負荷容量を最小にで

きるためにフリップフロップのMOSトランジスタサイズが小さくなり、低消費電力化が容易だからである。

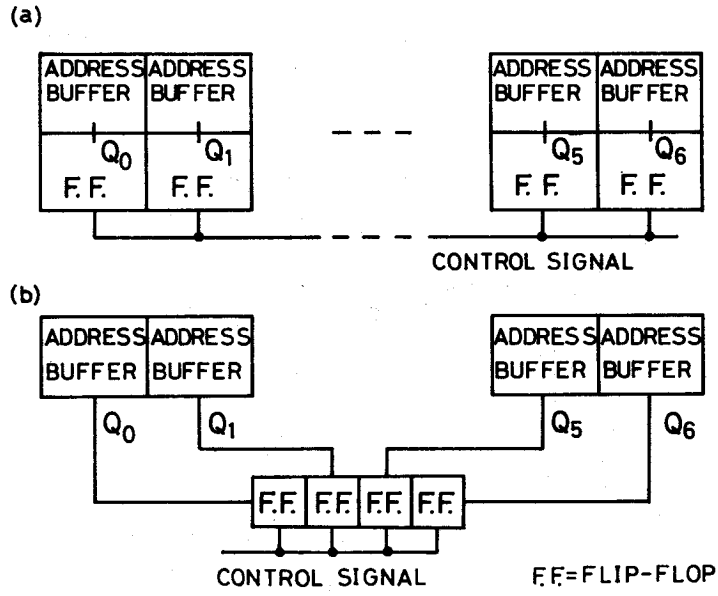


図 4.2 5 カウンタ回路のパターンレイアウト
(a) ペア型 (b) 集中型

表 4.4 カウンタのパターンレイアウトによる比較
(集中型を 1 に規格化して比較)

項 目	ペ ア 型	集 中 型
カウンタが占める面積	1.5	1.0
カウンタの駆動信号線及び出力線が占める面積	0.4	1.0
消 費 電 力	1.0	1.0
高 速 動 作	1.0	1.0

以上の点を考慮して設計されたトグルフリップフロップの1段当りの遅延時間を電源電圧 V_{CC} の関数として実験的に得た結果を図 4.2 6 に示す。 $V_{CC} = 4.5 \text{ V}$, $T_a = 25^\circ\text{C}$ の時, カウントアップが完了するのに要する時間は 34 ns ($4.8 \text{ ns}/\text{段} \times 7 \text{ 段}$) であり, 高速のカウンタが実現されていることを示す。

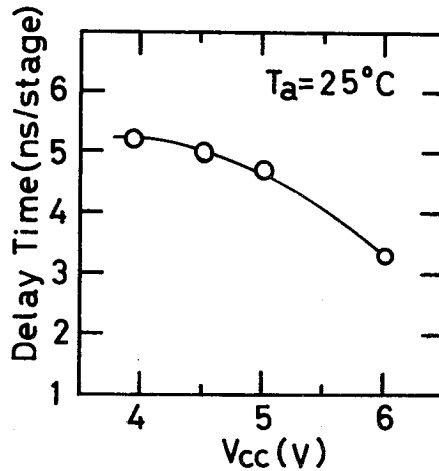


図 4.2 6 トグルフリップフロップ1段当りの遅延時間

(2) タイマ

タイマの条件はセット時間が高精度に設定されることにつきる。RCの時定数を利用して $16 \mu\text{s}$ のセット時間を決めるのは実用的ではない。 $C = 10 \text{ pF}$ としても $R = 1.6 \text{ M}\Omega$ の抵抗が必要で, 仮にシート抵抗 $40 \Omega/\square$ の $3 \mu\text{m}$ 幅のポリシリコン抵抗を使ったとしても 120 mm の長さになり, これをオンチップで形成するのは精度的にも占有する面積からも不利である。

これを解決するには, 発振器の精度とチャージポンプの原理を利用することが有効である。図 4.2 7 にタイマ回路の原理を示す。発振回路は, 基板電圧発生に使用しているのを共用しており, その発振周波数は安定である。ノード N_{ST} はあらかじめ V_{CC} レベルまで充電してあるとする。REF入力が“H”から“L”になるとMOSトランジスタ Q_1 (以下 $\text{Tr. } Q_1$ と略す) がオンする。時間 t_A に発振回路の出力 ϕ_C が“L”から“H”になると, C_T による容量結合でノード N_T は“H”に上昇させられる。すると $\text{Tr. } Q_2$ がオンして ($\text{Tr. } Q_3$ はゲートが 0 V なのでオフしたまま), N_T のレベルを下げ始める。そして, N_T のレベルが $\text{Tr. } Q_2$ のしきい値電圧 V_{TH} に等しくなったとき, $\text{Tr. } Q_2$ はオフして N_T の放電は停止する (時間 t_B)。次に, 時間 t_C に ϕ_C が“H”から“L”になると, C_T による容量結合で N_T は負電位に下がる。すると, $\text{Tr. } Q_3$ がオンして ($\text{Tr. } Q_2$ はオフしたまま) 容量 C_{ST} に蓄積されていた正の電荷がノード N_T に移される。

このため N_T のレベルは 0 V に近づこうとするが、 N_T のレベルが $-V_{TH}$ に等しくなったとき (時間 t_D) $Tr. Q_3$ はオフして電荷の移動は停止する。

以上の説明より ϕ_C の 1 サイクル当りに C_T によって C_{ST} より移される電荷量 Q_T は次式で表わされる。

$$Q_T = C_T \cdot (V_{CC} - 2V_{TH}) \quad (4.19)$$

(4.19) 式を使ってノード N_{ST} の ϕ_C 1 サイクル当りの電位変化 ΔV は次式で与えられる。

$$\Delta V = Q_T / C_{ST} = (C_T / C_{ST}) \cdot (V_{CC} - 2V_{TH}) \quad (4.20)$$

このタイマ回路のすぐれた点は、 ϕ_C 1 サイクル当りに移される電荷量 Q_T はノード N_{ST} のレベルに無関係に常に一定であることである。従って、 N_{ST} のレベルは V_{CC} からほぼ直線的に 0 V に向って低下してゆき、レベルが V_{TH} になるとリフレッシュリクエスト信号が発生しリフレッシュが行われる (図 4.24 参照)。同時にノード N_{ST} は V_{CC} レベルに充電され、タイマのリセットが行われる。以上の動作によるノード N_{ST} のレベルの変化の様子をソースフォロアで観察したのが図 4.28 である。図 4.28 よりノード N_{ST} のレベルはほぼ直線的に変化することが確認される。よって、タイマのセット時間はノード N_{ST} が V_{CC} から V_{TH} まで下がる時間に等しいので次式で表わされる。

$$t_{set} = \frac{1}{f_c} \cdot \frac{V_{CC} - V_{TH}}{\Delta V} = \frac{1}{f_c} \cdot \frac{C_{ST}}{C_T} \cdot \frac{V_{CC} - V_{TH}}{V_{CC} - 2V_{TH}} \quad (4.21)$$

但し、 f_c は ϕ_C の周波数である。

(4.21) 式から t_{set} は f_c 、 C_{ST}/C_T の比、 V_{CC} 及び V_{TH} の関数であることがわかる。実は、 f_c も V_{CC} と V_{TH} の関数なので、 t_{set} の V_{CC} 依存性はやや複雑である。

図 4.29 はタイマセット時間の V_{CC} 依存性を測定した結果を示す。 $V_{CC} = 5\text{ V}$ 、 $T_a = 25^\circ\text{C}$ のとき、 $f_c = 4\text{ MHz}$ 、 $C_{ST}/C_T = 42$ 、 $V_{TH} = 0.5\text{ V}$ なので、これらの数値を (4.21) 式に代入すると、 $t_{set} = 11.9\text{ }\mu\text{s}$ が得られる。これは実測データ $10.8\text{ }\mu\text{s}$ とよく一致している。

(4.21) 式の $(V_{CC} - V_{TH}) / (V_{CC} - 2V_{TH})$ の項は V_{CC} が変化してもほぼ一定と考えられるので、(4.21) 式を簡略化して次式が得られる。

$$t_{set} \approx \text{const.} \cdot (1/f_c) \quad (4.22)$$

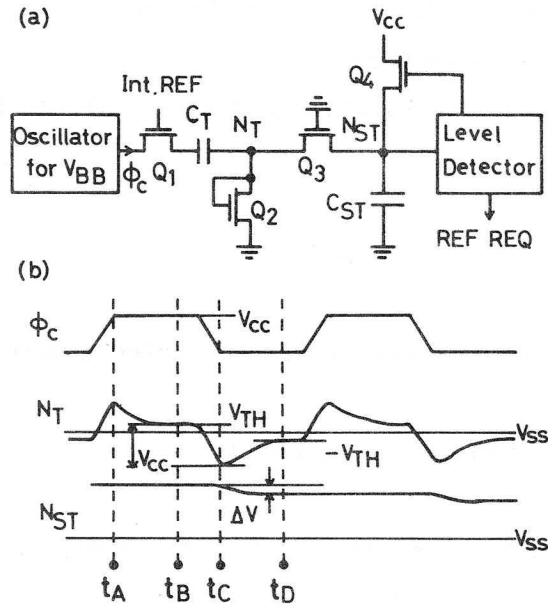
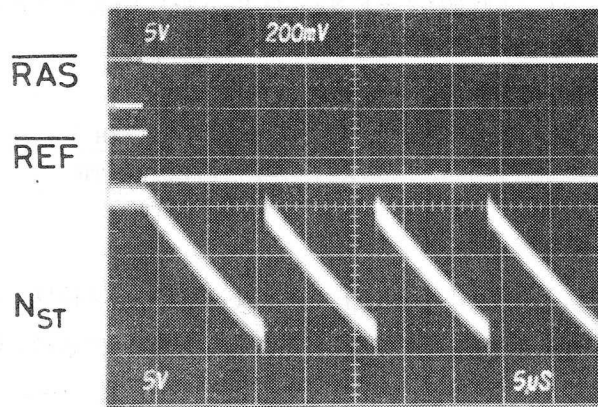


図 4.27 タイマ回路の動作原理



$V_{CC} = 5.0 \text{ V}$, $T_a = 25^\circ \text{C}$

図 4.28 ノード N_{ST} のレベル変化
(ソースフォロア出力)

図 4.3 0 に、 $V_{CC}=5V$ のときの $1/f_c$ の値を 1 に規格化して、 $1/f_c$ の V_{CC} 依存性を測定した結果を示す。また、図 4.3 0 に図 4.2 9 の結果を基に $V_{CC}=5V$ における t_{set} の値を 1 に規格化してプロットした結果も示す。図 4.3 0 は (4.2 1) 式を簡略化した (4.2 2) 式が良い近似で成立していることを示している。つまり、図 4.2 9 に示す t_{set} の V_{CC} 依存性は、周波数 f_c の V_{CC} 依存性によって説明できることが実験的に確認された。従って、筆者等が採用した図 4.2 7 に示すタイマ回路では、セット時間の精度は発振回路の方で規定され、タイマ回路自体は C_{ST}/C_T の比、及び V_{TH} を制御すれば安定な動作を行うすぐれた回路ということが示された。製造プロセス的には C_{ST}/C_T の比、及び V_{TH} を精度よく制御することは容易なので、図 4.2 7 のタイマ回路は実用的なものといえることができる。

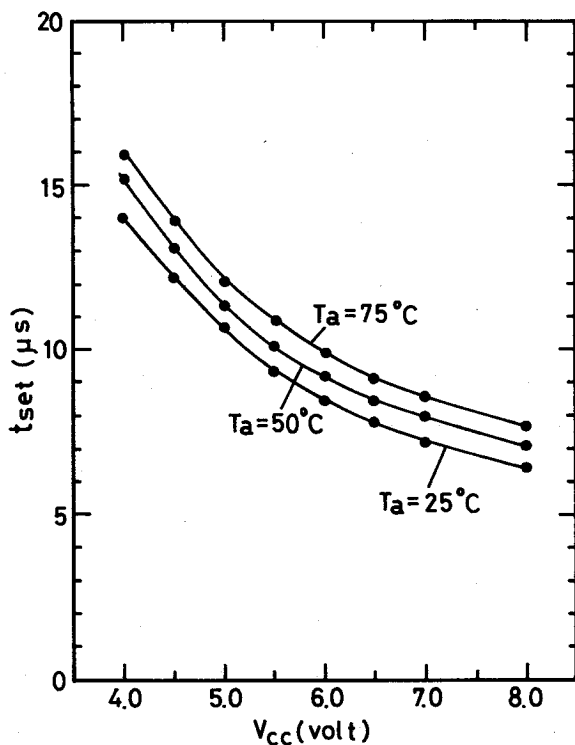


図 4.2 9 タイマのセット時間の V_{CC} 依存性

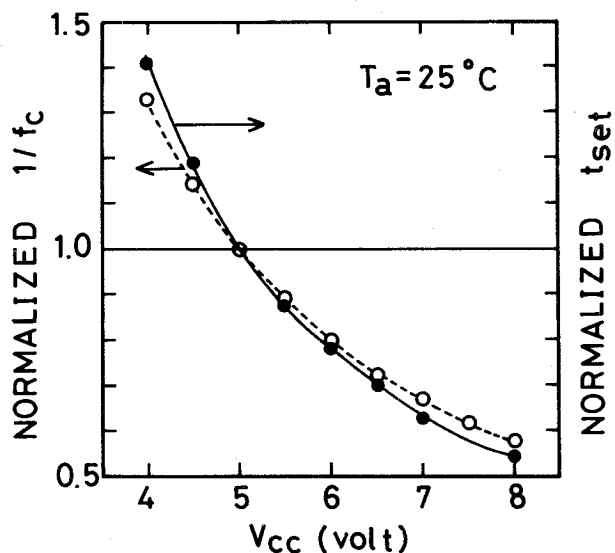


図4.30 規格化された $1/f_c$ 対 V_{CC} 及び規格化された t_{set} 対 V_{CC}

4.4 結 言

本章では、ダイナミック MOS RAM の大容量化と共にクローズアップされてきている、使い易さ及び多機能化という観点から、①基板電圧発生回路の内蔵、②1ピンによるリフレッシュ機能の内蔵を検討した。

まず、基板電圧発生回路を内蔵する上で問題となる基板電圧 (V_{BB}) の変動について考察した。その結果、微視的時間の基板電圧の変動の約90%が、ビット線及びデコーダ回路の充放電により引き起こされることが示された。また、34%のセンスアンプ感度の劣化に相当する、メモリセルの“L”レベルのマージン減少が、微視的時間の基板電圧変動により生じていることを明らかにし、この変動を減少させるためにチップ上に平滑コンデンサを設けることが有効であることを実証した。

一方、電源電圧の変動に伴う巨視的時間の基板電圧変動に対しては、 V_{BB} の値が平衡値よりもより負電位になったときに、平衡値に戻す役目を有する V_{BB} リークパス回路が有効であることが示された。すなわち、供給電源 V_{CC} を故意に変化させるV-バンプテストの特性において、 V_{BB} リークパス回路によって0.70Vの改善がなされることが実証され、かつ理論的にもその効果が確認された。

次に、1ピンに、オートリフレッシュとセルフリフレッシュの2種類のリフレッシュ機能をもたせる上での、回路上の問題点を検討した。すなわち、オンチップでリフレッシュアドレスを提供するカウンタは、低消費電力でかつ高速であることが必要で、これを実現するために7個のトグルフ

リップフロップからなる非同期式を採用した。その結果、 $V_{CC}=4.5\text{ V}$ 、 $T_a=25^\circ\text{C}$ のときにトグルフリップフロップ1段当りの遅延時間 4.8 ns を実現した。また、セルフリフレッシュ時に使われるタイマについて、そのセット時間の高精度化を検討し、発振器の精度とチャージポンプの原理を利用したタイマの有効性を示した。さらに、このタイマのセット時間の精度は発振回路の方で規定され、タイマの高精度化のポイントは発振周波数の安定化にあることを明らかにした。以上の1ピンのリフレッシュ機能は、より使い易いダイナミック MOS RAM を提供する一つの方向といえよう。

参 考 文 献

- (1) W.M.Regitz and J.A.Karp, "A three transistor cell, 1024 bit 500ns MOS RAM ", ISSCC Dig. Tech. Papers, Feb.1970, pp. 42-43.
- (2) J.A.Karp, W.M.Regitz and S.Chou, "A 4096 bit dynamic MOS RAM", ISSCC Dig. Tech. Papers, Feb. 1972 ,pp.10-11.
- (3) C.N.Ahlquist, J.R.Breivogel, J.T.Koo, J.L.McCollum, W.G.Oldham and A.L.Renninger, "A 16K dynamic RAM ", ISSCC Dig. Tech. Papers, Feb. 1976, pp. 128-129.
- (4) P.R.Schroeder and R.J.Proebsting, " A 16K $\times$ 1 bit dynamic RAM ",ISSCC Dig. Tech. Papers, Feb. 1977, pp. 12-13.
- (5) H.Yoshimura, M.Hirai, T.Asaoka and H.Toyoda, " A 64K bit MOS RAM ", ISSCC Dig. Tech. Papers, Feb. 1978, pp. 148-149.
- (6) D.V.Essl, R.Losehand and B.Rehn, "A 64Kb VMOS RAM ", ISSCC Dig.Tech. Papers, Feb.1979 . pp. 148-149.
- (7) I.Lee, R.T.Yu, F.J.Smith, S.Wong and M.P.Embrathiry, "A 64Kb MOS Dynamic RAM", ISSCC Dig. Tech. Papers, Feb. 1979, pp.146-147.
- (8) R.P.Cenker, D.G.Clemons, W.R.Huber, J.B.Petrizzi, F.J.Procyk and G.M.Trout, "A Fault tolerant 64K dynamic RAM", ISSCC Dig. Tech. Papers, Feb. 1979, pp. 150-151.

- (9) K.Itoh, R.Hori, H.Masuda and Y.Kamigaki, "A single 5V 64K dynamic RAM", ISSCC Dig. Tech. Papers, Feb. 1980, pp. 228-229.
- (10) L.S.White, Jr., Ngai, H.Hong, D.J.Redwine and G.R.Mohan Rao, "A 5V only 64K dynamic RAM", ISSCC Dig. Tech. Papers, Feb. 1980, pp. 230-231.
- (11) S.S.Eaton, D.Wooten, W.Slemmer and J.Brady, "A 100ns 64K dynamic RAM using redundancy techniques", ISSCC Dig. Tech. Papers, Feb. 1981, pp. 84-85.
- (12) M.Taniguchi, T.Yoshihara, M.Yamada, K.Shimotori, T.Nakano and Y.Gamou, "Fully Boosted 64K dynamic RAM with Automatic and Self-Refresh", IEEE J. Solid-State Circuits, vol. SC-16, pp. 492-498, 1981.
- (13) R.T.Smith, J.D.Chlipala, J.F.M.Bindels, R.G.Nelson, F.H.Fisher and T.F.Mantz, "Laser programmable redundancy and yield improvement in a 64K D RAM" IEEE J. Solid-State Circuits, vol. SC-16, pp. 506-514, 1981.
- (14) S.Matsue, H.Yamamoto, K.Kobayashi, T.Wada, M.Tameda, T.Okuda and Y.Inagaki, "A 256K dynamic RAM", ISSCC Dig. Tech. Papers, Feb. 1980, pp. 232-233.
- (15) T.Mano, K.Takeya, T.Watanabe, K.Kiuchi, T.Ogawa and K.Hirata, "A 256K RAM fabricated with Molybdenum polysilicon technology", ISSCC Dig. Tech. Papers, Feb. 1980, pp. 234-235.

- (16) L.L.Vadasz, A.S.Grove, T.A.Rowe and G.E.Moore, "Silicon-Gate Technology", IEEE Spectrum, vol. 6, no. 10, pp. 28-35, Oct. 1969.
- (17) 岩田, 谷口, 榎本, 河津 "NおよびPチャネルMOS Dynamic RAM", 昭48電気学会関西支部支部連合大会 G303 G11-18.
- (18) 谷口, 市山, 安岡, 蒲生 "16ピン形 16,384ビットダイナミック MOS RAMの試作", 昭52信学総全大, 352.
- (19) S.S.Eaton, "A 5V-Only 2K $\times$ 8 Dynamic RAM", ISSCC Dig. Tech. Papers, Feb. 1979, pp. 144-145.
- (20) "64-K dynamic RAM has pin that refresh", Electronics, 52, pp. 141-147 (Feb. 15, 1979).
- (21) 下西, 藤島, 益子, 山田, 中野 "ダイナミック MOS RAM の内部基板電圧発生回路", 信学論(C) vol. J64-C, 11, pp. 769-776 (昭56-11).
- (22) 藤島, 下西, 尾崎, 山田, 中野 "基板電位発生回路内蔵ダイナミック RAM の問題点", 昭56信学総全大, 448.
- (23) 谷口, 山田, 熊野谷, 小林, 中野 "ダイナミック MOS RAM の基板平滑コンデンサ", 信学論(C) vol. J65-C, 7, pp. 530-536 (昭57-7).
- (24) A.F.Tasch, Jr., P.K.Chatterjee, H-S Fu and T.C.Holloway, "The Hi-C RAM Cell Concept", IEEE Trans. Electron Devices, vol. ED-25, pp. 33-42, Jan. 1978.
- (25) 小林, 谷口, 山田, 熊野田, 中野 "ダイナミック RAM のメモリセルプレートを用いたセンスアンプ動作マージンの測定", 昭57信学総全大, 440.

- (26) M. Kumanoya, M. Taniguchi, M. Yamada, T. Kobayashi, Y. Nagayama and T. Nakano, " Diffusion Length Measurement Using Dynamic MOS RAM ", Jpn. J. Appl. Phys., vol. 22 Supplement 22-1, pp. 95-98, 1983.
- (27) 谷口, 山田, 熊野谷, 中野 " ダイナミック MOS RAM を用いた電子の拡散長測定 ", 昭57信学総全大, 447.
- (28) 山田, 小林, 熊野谷, 中野 " ダイナミック RAM における V_{BB} リークパス回路のV-バンプ特性に与える影響 ", 昭58信学総全大, 555.
- (29) 山田, 谷口, 小林, 熊野谷, 中野 " Auto/Self Refresh 機能内蔵 64K bit MOS ダイナミック RAM ", 信学論(C) vol. J66-C, 1, pp. 62-69 (昭58-1).
- (30) 山田, 谷口, 小林, 熊野谷 " Auto/Self Refresh 機能内蔵 64K MOS ダイナミック RAM ", 電子通信学会技報(半導体トランジスタ研究会資料) SSD-81-30, 1981.
- (31) 山田, 小林, 飛田, 熊野谷, 谷口, 中野 " リフレッシュ機能内蔵 64K MOS ダイナミック RAM のカウンタチェック ", 昭57信学総全大, 455.

第5章 大容量64KビットダイナミックMOS RAMの設計と その特性

5.1 序

中速・大容量半導体メモリとして中核を占めるダイナミック MOS RAM（以下（D）RAM と略すときがある）の高性能化を計る具体的な項目として、基板電圧発生回路の内蔵化及びリフレッシュ機能の内蔵化を行った。すなわち、第4章では、ダイナミック MOS RAM の微視的時間の基板電圧の変動を減少させることを目的としたオンチップ平滑コンデンサの効果、特にセンスアンプ感度向上に対する効果を解明した。また、ダイナミック MOS RAM の巨視的時間の基板電圧の変動を制御することを目的とした V_{BB} リークパス回路の効果、特に供給電源 V_{CC} を変化させる V -バンプ特性に対する改善効果を解明した。さらに、基板電圧発生回路の内蔵化に伴い、空ピンとなった1ピンをリフレッシュ制御端子として利用することを検討した。その結果、リフレッシュ機能の内蔵化に対して、実用レベルのものが可能であることを解明した。

本章では、第4章の研究成果を5V単一電源で動作する大容量64Kビットダイナミック MOS RAMに適用し、その工学的応用効果を明らかにする。⁽¹⁾⁽²⁾⁽³⁾ また、回路としては高速化・低消費電力化のために新規な昇圧回路を提案し、計算機シミュレーションでその効果を明らかにする。デバイスとしては、メモリセルサイズを大きくすることなしにメモリセル容量を増すことのできる H_i -C(High Capacitance)セルを検討し、その製造プロセス上の注意点を明らかにする。⁽⁴⁾

5.2 メモリの基本構成

5.2.1 チップ構成

図5.1は64K（D）RAMの顕微鏡拡大写真であり、図5.2はそのチップ構成図を示す。メモリチップはNチャネルのダブルポリシリコンゲートプロセスにより製作されている。設計寸法値として、 $3.0\mu\text{m}$ デザインルールを使用し、そのチップサイズは $4.3\text{mm} \times 7.3\text{mm}$ である。

メモリセルは、 64×256 ビット（＝16Kビット）単位の細長い4ブロックに分割され、256個のセンスアンプ回路が2ブロック、メモリセルブロックの中央に配置され、列（Column）デコーダ回路がメモリチップの中央と両端の3ブロックに配置されている。

センスアンプ回路の感度を考慮すると、メモリセルからビット線に読み出される電圧をできるだけ大きくすることが重要である。メモリセルから読み出された電荷量 Q は、次式によりビット線の電圧変動 ΔV となる。

$$Q = C_S V_S \quad (5.1)$$

$$\Delta V \approx Q/C_B \quad (\text{但し } C_B \gg C_S) \quad (5.2)$$

ここで C_B はビット線の容量， C_S はメモリセル容量， V_S はメモリセルに書き込まれる電圧である。メモリセル，センスアンプ回路及び列デコーダ回路の配置を上記のようにしたのは， C_B をできるだけ小さくして， ΔV を大きくするためである。

5.2.2 メモリセル構造

(5.1) 式及び (5.2) 式より明らかなように， ΔV を大きくするには Q を大きくする必要がある，そのためには，メモリセル容量 C_S を大きくする必要がある。しかし，チップサイズ上の制限から，メモリセルサイズを大きくするには限界がある。そのため，図 5.3 に示した Hi-C 構造を採用した。この構造はシリコン酸化膜によるゲート容量に加えて， P^+ と N^+ による接合容量を利用するものである。図 5.4 にメモリセルの平面図を示し，そのメモリセルサイズは $10 \mu\text{m} \times 20 \mu\text{m}$ である。後述する α 粒子によって引き起こされるソフトエラーを減少させるために，ビット線をポリシリコンによって形成している。

ところで，Hi-C 構造にする場合には図 5.5 の製造プロセスフローに示すように，2 回のイオン注入工程が増える。このことは，高濃度の P^+ と N^+ の接合部でのリーク電流を増加させ，ダイナミック MOS RAM の重要な特性であるリフレッシュ時間を劣化させる恐れがある。図 5.6 に砒素イオンを 160 KeV ， $3 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入した場合に対する，ボロンイオンの注入

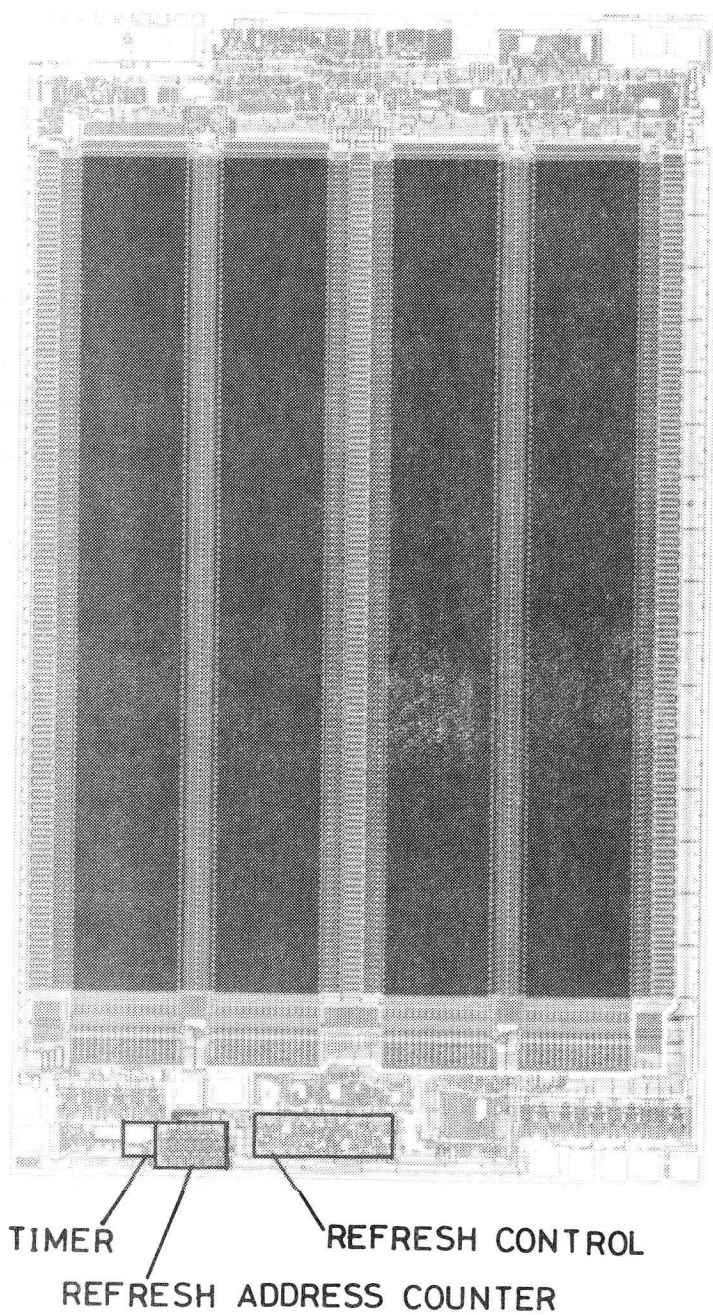


図 5.1 64Kビットダイナミック MOS RAM の顕微鏡写真

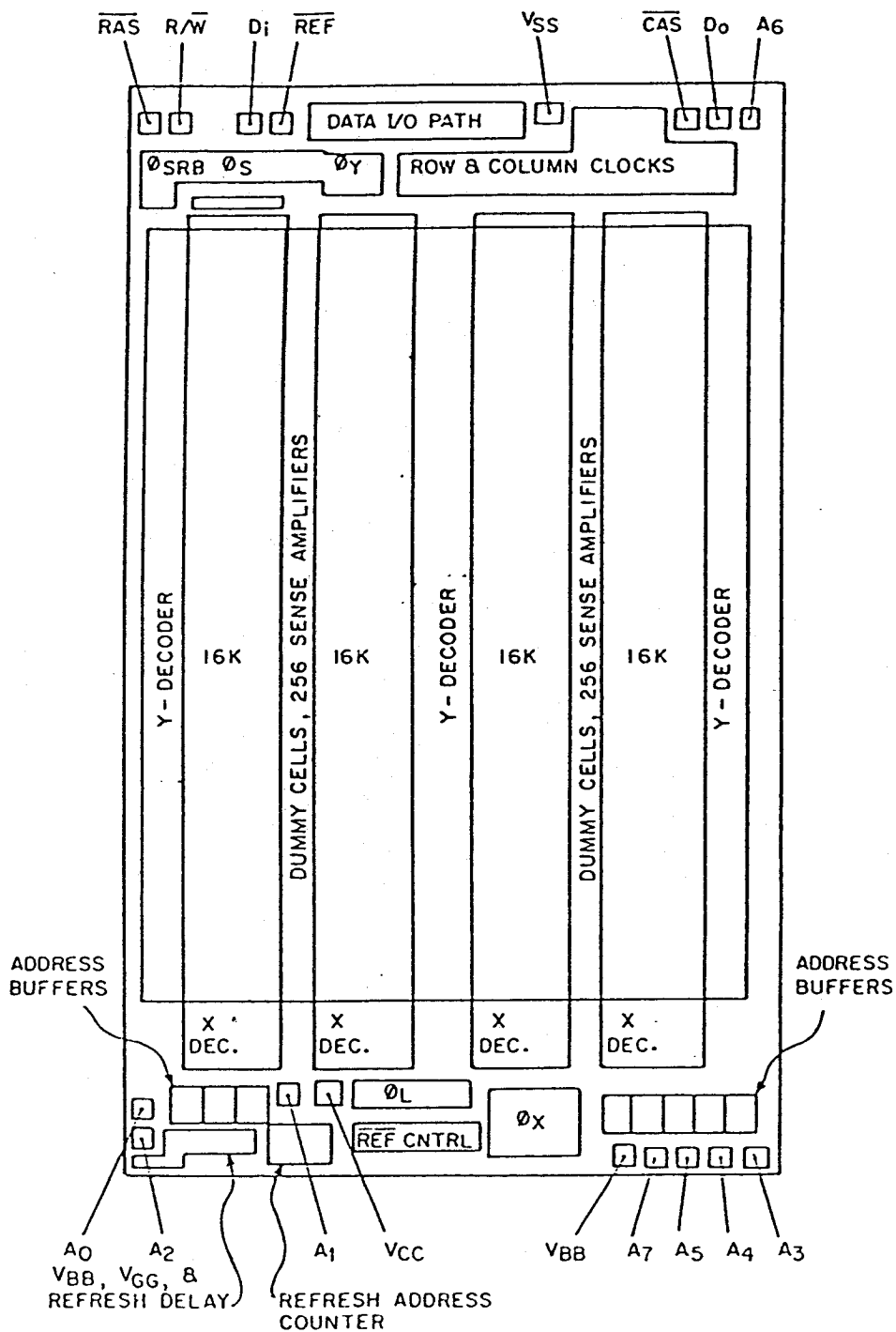


図 5.2 64Kビットダイナミック MOS RAM のチップ構成図

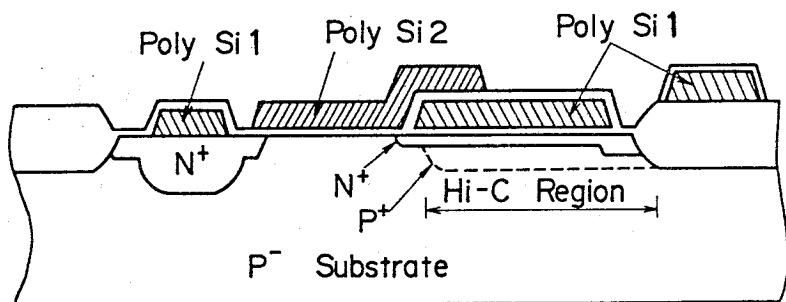


図 5.3 ポリシリコンビット線構造の Hi-C セル断面図

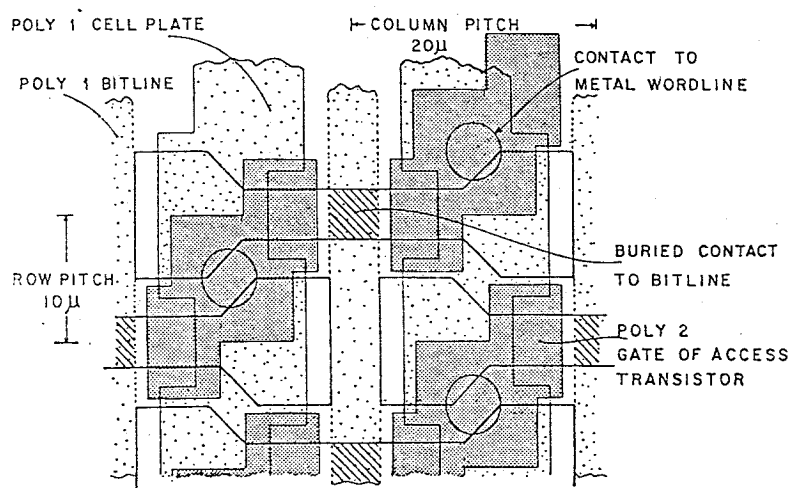


図 5.4 メモリセルの平面図

量とリフレッシュ時間及び接合容量との関係を示す。図 5.6 よりボロンイオンの注入量が $7 \times 10^{12} \text{ cm}^{-2}$ を越えると、急激にリフレッシュ時間が劣化することが分かる。すなわち、ボロンイオンの注入量を適切な値に設定すれば、リフレッシュ特性を劣化させずに接合容量を増すことができる。

図 5.7 にボロンイオンの注入量が $7 \times 10^{12} \text{ cm}^{-2}$ であるときの、砒素とボロンの不純物プロファイルをイオンマイクロアナライザによって測定した結果を示す。この条件におけるメモリセル容量の増加量は、Hi-C 構造を有しないメモリセルに比べて約 30 % であり、これは、動作余裕度及びソフトウェアの見地から大きな改善効果が期待できる値である。メモリセル容量は 0.056 pF になっている。

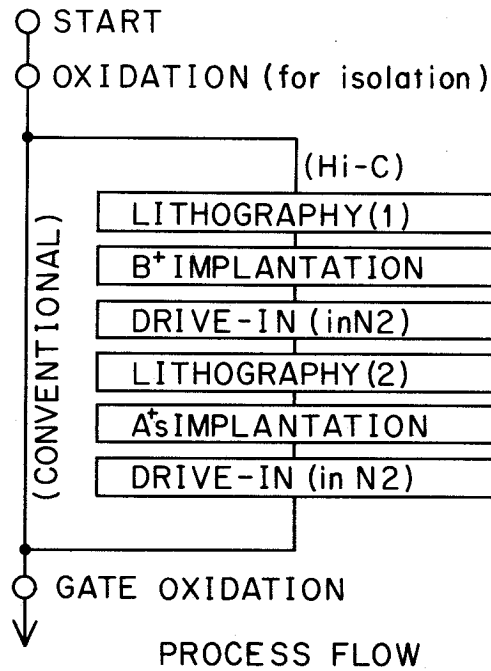


図 5.5 Hi-C セルの製造プロセスフロー

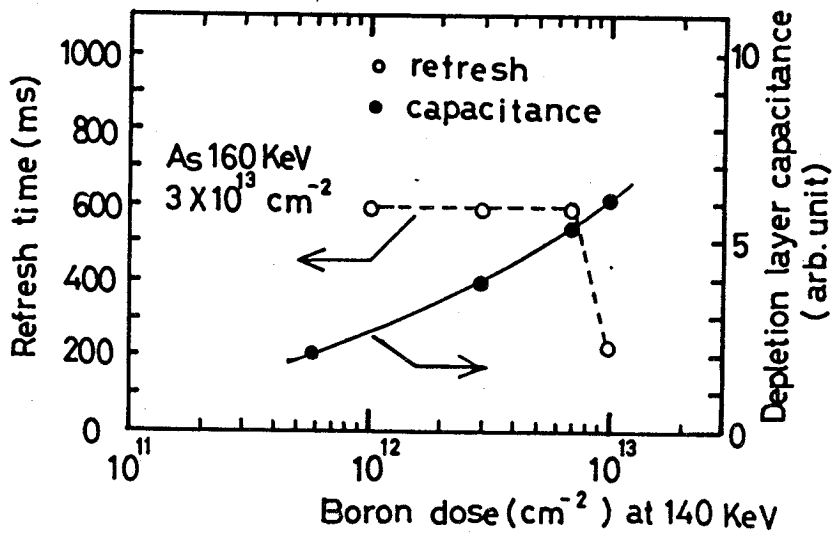


図 5.6 Hi-C セルのリフレッシュ時間と接合容量

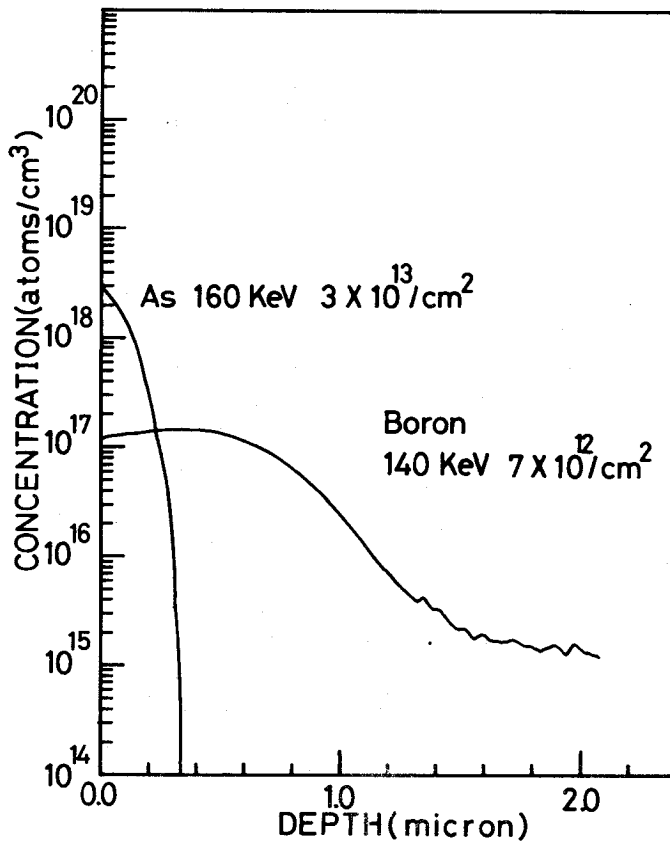


図 5.7 Hi-C セルにおける砒素とボロンの不純物プロファイル

5.2.3 オンチップ平滑コンデンサの配置

基板電圧用のオンチップ平滑コンデンサの効果については第4章で詳説した。図 5.8 に 64 K (D) RAM における平滑コンデンサの配置図を示す。この部分は、一般的にアルミ配線のみとなることが多く、アルミ配線の下に図 5.9 (図 4.8 と同じ) の構造の平滑コンデンサを形成できる。よって、チップサイズを大きくすることなしに 660 pF という大きな容量を形成することができ、基板電圧変動を約 30% 減少させることができた。

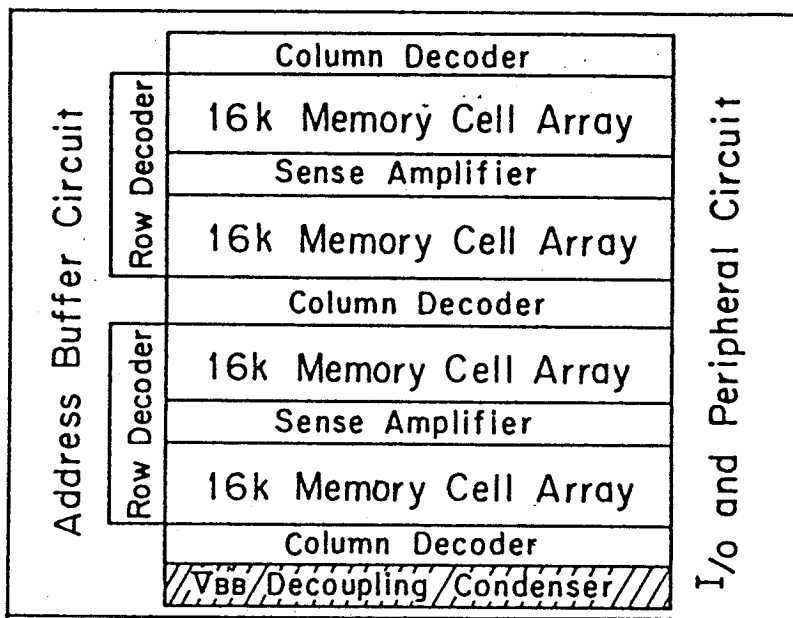


図 5.8 オンチップ平滑コンデンサの配置図

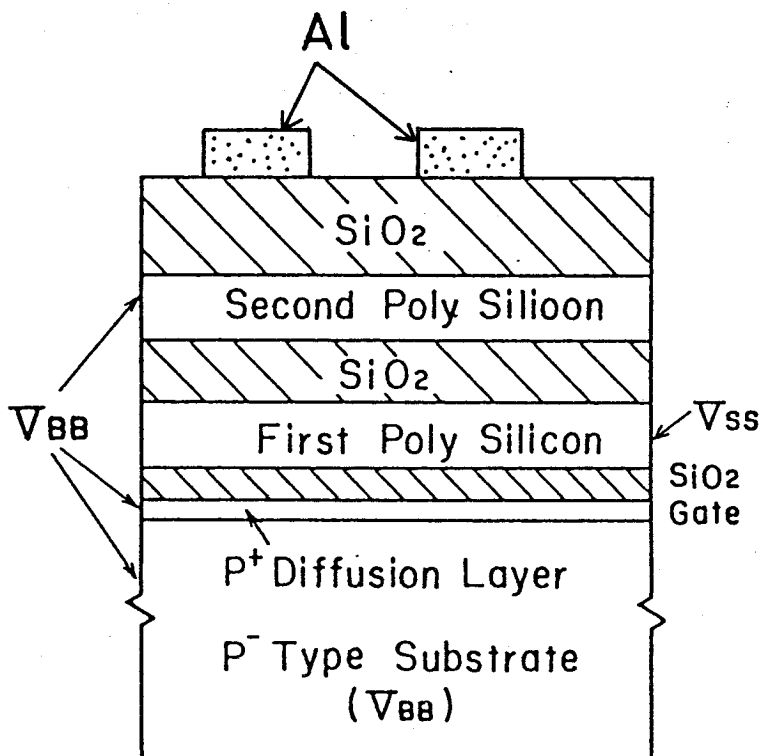


図 5.9 チップ上に形成された平滑コンデンサの断面図

5.3 高性能昇圧回路

5.3.1 完全昇圧型センスアンプ回路

メモリセルの微細化に伴い、メモリセルから読み出される電荷量 Q は小さくなってゆく。(5.1)式及び(5.2)式より明らかなように、 Q を大きくするにはメモリセルに書き込まれる電圧 V_S を大きくする、すなわち V_S を供給電源 V_{CC} のレベルにする必要がある。そのため、センスアンプ回路に使用される主な制御信号の“H”レベルを V_{CC} 以上のレベルに昇圧すると共に、メモリセルプレート電源 V_{GG} として、チップ上で $V_{CC} + 2V_{TH}$ (V_{TH} ; 閾値電圧) の電圧を発生している。図 5.10 にセンスアンプ回路とその動作タイミング図を示す。

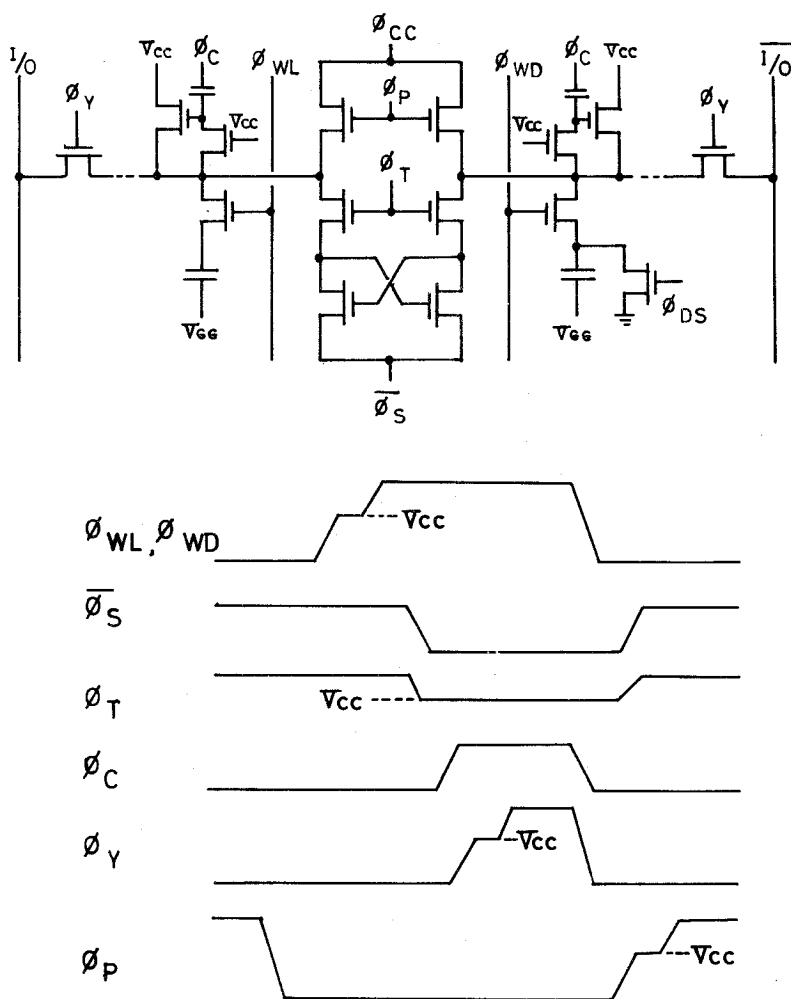


図 5.10 センスアンプ回路とその動作タイミング図

プリチャージ期間にビット線を V_{CC} レベルに充電するため、プリチャージクロック ϕ_P の “H” レベルは $V_{CC} + V_{TH}$ 以上に昇圧される。また、メモリセルから読み出される信号量を最大にすること及びメモリセルに蓄積される “H” レベルを V_{CC} レベルとするため、ワード線 ϕ_{WL} とダミーワード線 ϕ_{WD} は、同様に $V_{CC} + V_{TH}$ 以上の電圧に昇圧される。メモリセルから読み出された信号をフリップフロップ回路に伝達するため、クロック ϕ_T は $V_{CC} + V_{TH}$ 以上に昇圧し、フリップフロップ回路が動作すると同時に、 ϕ_T を V_{CC} レベルまで下げて、大きな容量をもつビット線と、フリップフロップ回路とを切り離している。

このようにすることは、センスアンプ回路の感度を高めるために重要な方法である。同様に、メモリセルに V_{CC} レベルの “H” レベルを書き込むため、列デコーダ回路の出力信号 ϕ_Y は $V_{CC} + V_{TH}$ 以上に昇圧される。

このように、図 5.1 0 に示されたセンスアンプ回路は、その主な制御信号が $V_{CC} + V_{TH}$ 以上に昇圧される完全昇圧型センスアンプ回路である。特に ϕ_{WL} 、 ϕ_{WD} 、 ϕ_P および ϕ_Y は次節で述べる新規な昇圧回路により、低消費電力で高速に昇圧されている。

5.3.2 スイッチド昇圧回路

5 V 電源 (V_{CC}) で動作する 64 K (D) RAM に対し、メモリセルに書き込まれる電圧を V_{CC} 電圧になるよう回路的に工夫し、メモリセルの電荷量を大きくすることは重要であり、このことはワード線を $V_{CC} + V_{TH}$ 以上に昇圧して、書き込み、読み出し動作を実行することを意味している。

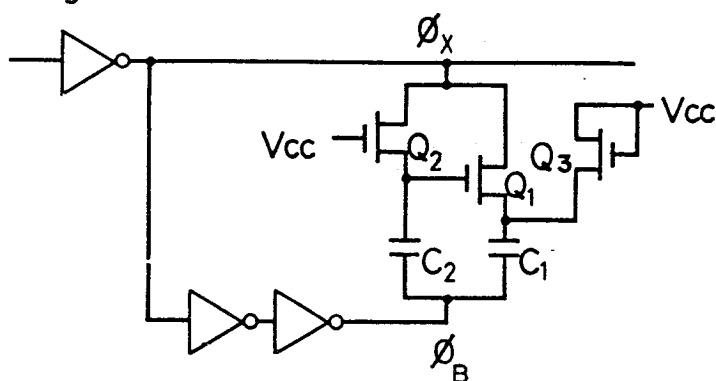
従来は、ワード線と遅延回路との直接の結合容量によって昇圧する方法を採用していた。しかしながら、この方法だとワード線が V_{CC} レベルまで立ち上がるスピードは大きな結合容量のため遅くなり、消費電力も大きくなる。

これらの欠点を改良するため、図 5.1 1 に示すようなスイッチド昇圧回路と称する回路的な工夫を行った。その概略的な原理は次の通りである。

ワード線クロック ϕ_X が V_{CC} レベルまで立ち上がるときは、MOS トランジスタ Q_1 をオフ状態にしておき、昇圧用容量 C_1 をワード線クロックから切り離すことによって、負荷を軽くする。そして C_1 を MOS トランジスタ Q_3 によってあらかじめ充電しておき、昇圧直前に Q_1 をオン状態にしてワード線と C_1 を結合させる。これによって、高速でかつ、低消費電力が可能となる。

実際にワード線に使用されているスイッチド昇圧回路を図 5.1 2 に示す。この発生回路は、通常の V_{CC} レベルクロック発生回路、新規なスイッチド昇圧回路、遅延回路及び行デコーダ回路より構成されている。

Clock generator



Delay circuit

図 5.1 1 スイッチド昇圧回路の概略図

従来の昇圧方式では ϕ_X と ϕ_B との間に直接結合容量 C_1 が接続されるため、 ϕ_X の立ち上がり時には容量 C_1 が負荷容量としてのみ働き、 ϕ_X の立ち上がり時間は遅くなり、また大きな交流電流が C_1 を通して ϕ_X と ϕ_B との間に流れる。

一方、図 5.1 2 のスイッチド昇圧回路では、MOS トランジスタ Q_1 が C_1 と ϕ_X を分離し、A 点を $V_{CC} - V_{TH}$ に充電しておく。 ϕ_{RAS} が立ち上るにつれて、A 点は MOS トランジスタ Q_3 によって V_{CC} レベルに充電される。そして ϕ_X が立ち上るにつれて、B 点はパストランジスタ Q_2 を通して V_{CC} レベルに充電される。このとき、MOS トランジスタ Q_1 はまだオフ状態であるため、容量 C_1 は ϕ_X 信号の負荷としては働かない。遅延回路を通して ϕ_F 信号が発生され、トランジスタ Q_2 、 Q_3 および Q_4 はオフする。このため ϕ_B が立ち上るとき、B 点と ϕ_X は分離されると共に、B 点は ϕ_B により $V_{CC} + 2V_{TH}$ 以上に昇圧され、トランジスタ Q_1 はオン状態となる。このように、 ϕ_B は C_1 および Q_1 を通して ϕ_X を V_{CC} レベル以上に昇圧する。

図 5.1 3 は、このワード線昇圧回路の計算機によるシュミレーション波形である。 ϕ_{WL} 信号の立ち上がり時間は、従来の昇圧回路方式より 20% 速くなると共に、 ϕ_X 信号の最大ピーク電流は約 40% 減少している。同様の昇圧回路は ϕ_P と ϕ_Y にも適用され、非常によい特性が得られている。

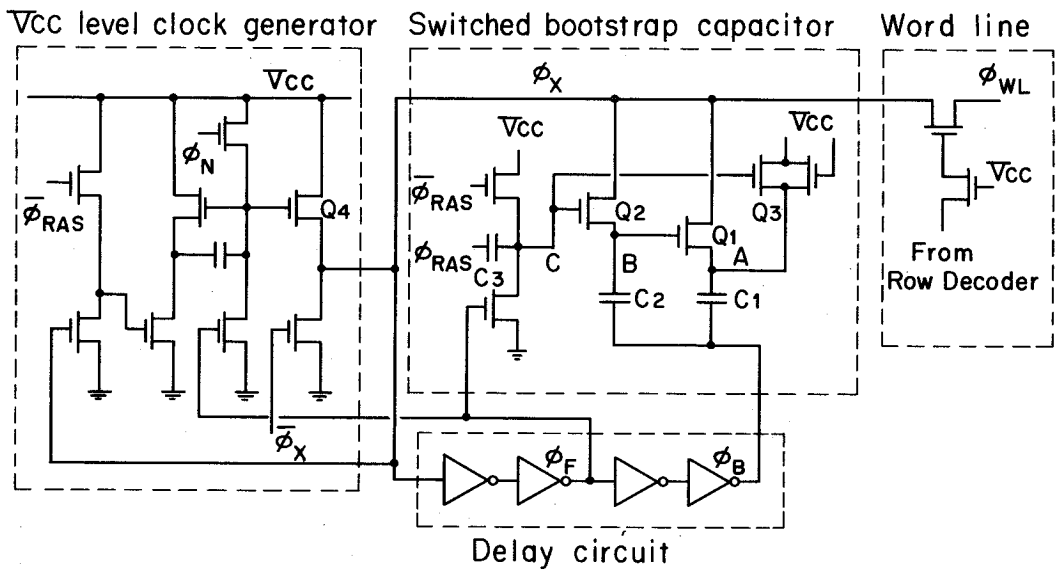


図 5.1 2 ワード線昇圧回路

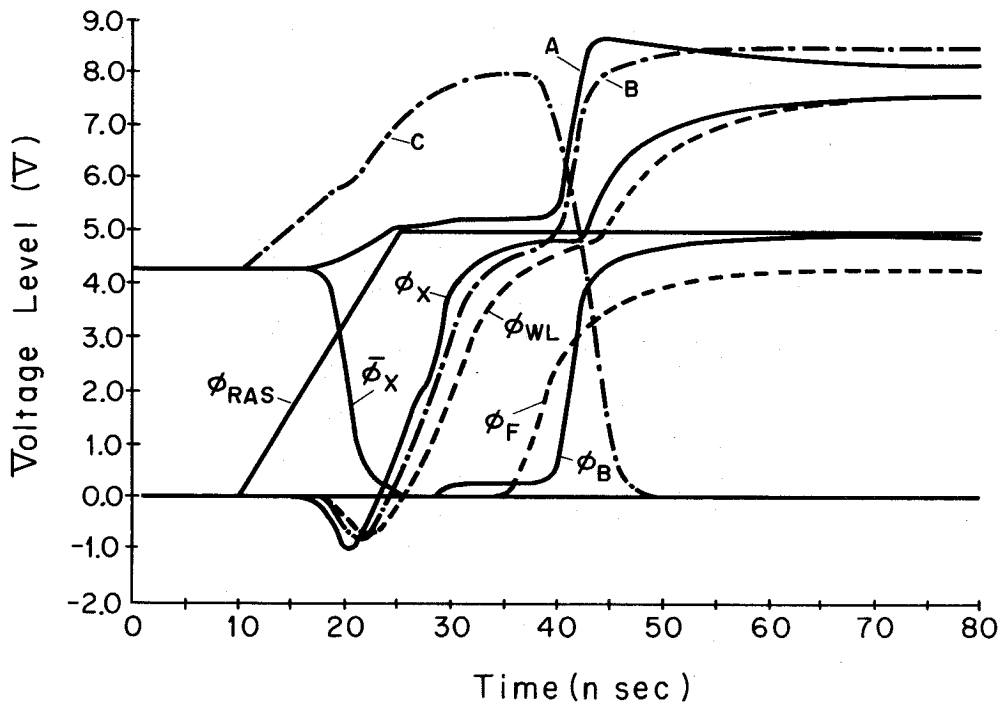


図 5.1 3 ワード線昇圧回路 (図 5.1 2) の計算機

シュミレーション波形

5.4 メモリチップの特性

5.4.1 リフレッシュ機能の特性

1ピンのリフレッシュ機能については、第4章で詳述しているが、本節では64K(D)RAMに適用した例を示す。

図5.1において枠で囲った部分がリフレッシュ機能を付加したことによる面積の増加分である。この面積の増加分は 0.50 mm^2 でチップ面積($4.3 \times 7.3\text{ mm}^2$)の1.6%を占めているにすぎない。

64K(D)RAMのスタンバイ電流は $V_{CC}=5.5\text{ V}$ 、 $T_a=25^\circ\text{C}$ で 2.8 mA であり、そのうちリフレッシュ回路は 0.3 mA 消費している。図5.14にオートリフレッシュ時の V_{CC} 電源電流波形を示す。この波形は $\overline{\text{RAS}}$ オンリーリフレッシュ時の波形とはほぼ同一である。図5.15には、セルフリフレッシュ時の電流波形を示し、これから $10.8\text{ }\mu\text{s}$ 毎にリフレッシュが行われていることが分かる。

表5.1に $V_{CC}=5.5\text{ V}$ 、 $T_a=25^\circ\text{C}$ における各動作モードの平均電源電流を比較して示す。オートリフレッシュ時の消費電力と $\overline{\text{RAS}}$ オンリーリフレッシュ時と等しいということは、リフレッシュ機能を付加したことによる電源電流の増加は、スタンバイ電流の増加分 0.3 mA を除いて、ほとんど無視できることを意味している。また、セルフリフレッシュ時には 26.4 mW ($4.8\text{ mA} \times 5.5\text{ V}$)と低消費電力であり、停電対策用に有効であることが示されている。

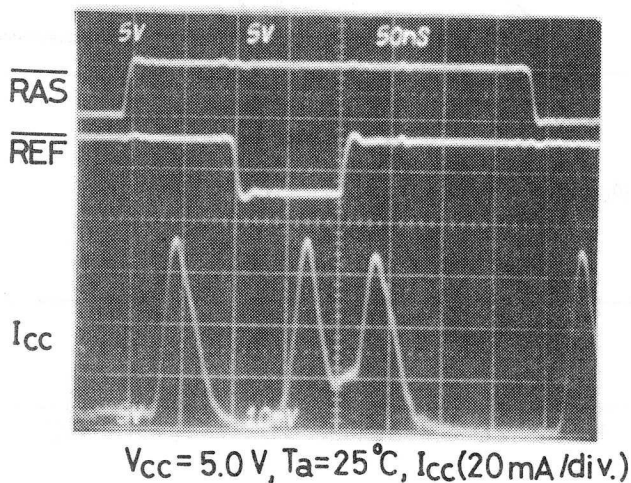


図 5.14 オートリフレッシュ時の I_{CC} 波形

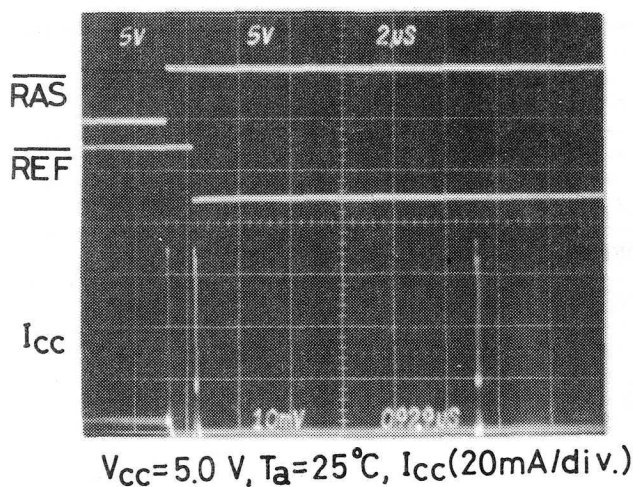


図 5.1 5 セルフリフレッシュ時の I_{CC} 波形

表 5.1 平均電源電流の測定値

動 作 モ ー ド	平均電源電流
スタンバイ	2.8 mA
メモリサイクル	33.6 mA [*]
$\overline{\text{RAS}}$ オンリーリフレッシュ	24.4 mA [*]
オートリフレッシュ	24.4 mA [*]
セルフリフレッシュ	4.8 mA

$V_{CC}=5.5\text{ V}, T_a=25^\circ\text{C}$

^{*} $t_c=260\text{ ns}$

5.4.2 電気的特性

表 5.2 に試作した 64 K (D) RAM の電気的特性を示す。これらの諸特性は、工学的応用に対し何等問題なく、非常に良好なものである。図 5.1 6 に $V_{CC}=5.0\text{ V}, T_a=25^\circ\text{C}$ における 64 K (D) RAM の動作波形を示したが、 V_{CC} 電源のピーク電流は 80 mA であり、またサイクル時間 260 ns における V_{CC} 平均動作電流も約 30 mA と低消費電力を達成している。これらの数値を 16 K (D) RAM と比較してみると、図 5.1 7 に示すようにビット当りの消費電力・遅延時間 ($P \cdot D$) 積で約 $1/10$ となり、飛躍的な性能向上が達成されている。

表 5.2 64 K (D) RAM の電気的特性

ワード構成	64 Kワード×1ビット
チップサイズ	4.3 mm × 7.3 mm
メモリセルサイズ	20 μ m × 10 μ m
プロセス	Nチャネルシリコンゲート
電源電圧	5 V単一, 基板電圧内蔵
V _{CC} 平均動作電流	30 mA (25°C, 5.5 V)
スタンバイ電流	2.5 mA (25°C, 5.5 V)
RASアクセス時間	101 ns (75°C, 4.5 V)
CASアクセス時間	54 ns (75°C, 4.5 V)
リフレッシュ時間	400 ms Typ. (75°C)
V _{CC} 破壊電圧	10 V以上

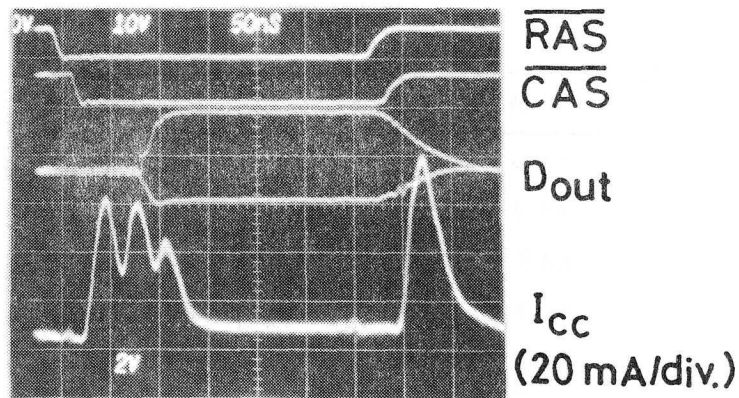


図 5.16 64 K (D) RAMの動作波形

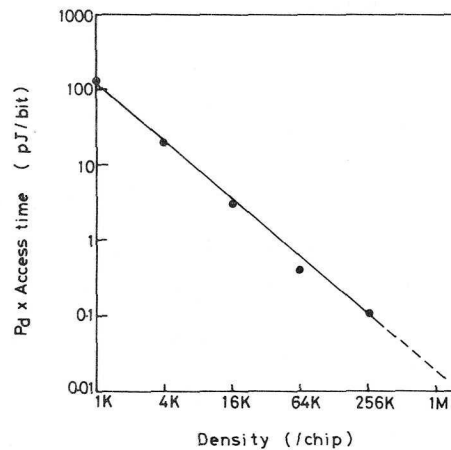


図 5.17 ビット当りの消費電力・遅延時間の変遷

5.5 結 言

本章では、ダイナミック MOS RAM の高性能化のために行った、①基板電圧発生回路の内蔵、②リフレッシュ機能の内蔵、③Hi-C 構造のメモリセル、④新規な昇圧回路の研究成果を 5V 単一電源で動作する 64K (D) RAM に適用した結果について述べた。

その結果、チップサイズを大きくすることなしに 660 pF のオンチップ平滑コンデンサを形成することができ、微視的時間の基板電圧変動を約 30% 減少させることができた。

また、1 ピンによるリフレッシュ機能を内蔵したことによるチップサイズの増分は 1.6% であり、スタンバイ電流の増分は 0.3 mA であり、64K (D) RAM として実用レベルのものが実現できたことを示した。

さらに、デバイスとしては Hi-C 構造のメモリセルを採用し、メモリセルサイズを大きくすることなしに、メモリセル容量を約 30% 増加させることができることを示した。

回路としては新規な昇圧回路を採用し、従来の昇圧回路に比べて 20% 高速化されると共に、昇圧回路で流れるピーク電流を約 40% 減少させることができることを、計算機シミュレーションで示した。

以上の結果、ビット当りの消費電力・遅延時間 ($P \cdot D$) 積は 16K (D) RAM の約 $1/10$ という飛躍的な性能向上が達成され、本研究成果は工学的応用効果の高いことが実証された。

参 考 文 献

- (1) M. Taniguchi, T. Yoshihara, M. Yamada, K. Simotori, T. Nakano and Y. Gamou, "Fully Boosted 64K Dynamic RAM with Automatic and Self-Refresh", IEEE J. Solid-State Circuits, vol. SC-16, pp. 492-498, 1981.
- (2) 山田, 谷口, 小林, 熊野谷, 中野 "Auto/Self Refresh 機能内蔵 64K bit MOS ダイナミック RAM", 信学論(C) vol. J66-C, 1, pp. 62-69 (昭58-1).
- (3) 谷口, 山田, 吉原 "64Kビットダイナミック MOS RAM", 三菱電機技報, vol. 55, 5, pp. 368-371, 1981.
- (4) M. Yamada, M. Taniguchi, T. Yoshihara, S. Takano, H. Matsumoto, T. Nishimura, T. Nakano and Y. Gamou, "Soft Error Improvement of Dynamic RAM with Hi-C Structure", IEEE IEDM Tech. Digest, pp. 578-581 (Washington D. C., 1980).

第6章 CCDメモリとダイナミックMOS RAMの性能比較

6.1 ソフトエラーの概念

1978年にT.C. May等^{(1)~(3)}によって指摘された、 α 粒子によるソフトエラーはメモリデバイス中でランダムに発生し、繰り返すことのないシングルエラーで、永久的なエラーではない。この点が、従来のメモリデバイスでの故障の大部分であった物理的欠陥によるハードエラーと区別される。事実、エラーのあったビットに新たにデータを書き込むと正しい動作をする。

パッケージ材料などに含まれるウランやトリウムなどから放射される α 粒子が、シリコン基板中に入射したとき、物質との強い相互作用を起こし、電離作用によって多数の電子-正孔対を生成する。図6.1に α 粒子がシリコン基板に垂直に入射したときに、生成される電子の分布を示す。飛程の終端に近づくにつれ相互作用が増える結果、生成電子数が多くなる。半導体材料中に含まれる極微量のウラン、トリウムから放出される α 粒子は $0.1 \alpha / \text{cm}^2 \cdot \text{h}$ 程度であると言われ、そのエネルギーは3~8 MeVに分布し、5 MeVにピークを持つ⁽⁴⁾。一对の電子-正孔対を生成するのに必要とされるエネルギーは約3.6 eVであるので、5 MeVの α 粒子が入射した場合には 1.4×10^6 個の対が生成される。この値は微細化が進んだCCDメモリやダイナミックMOS RAMの信号電荷量と同じオーダーである。

NチャネルのMOSデバイスの場合には、生成された電子-正孔対のうち、正孔はシリコン基板に流れて吸収されるが、電子は正にバイアスされたノードに収集される。このノードがフローティングであるとその電位は低下する。

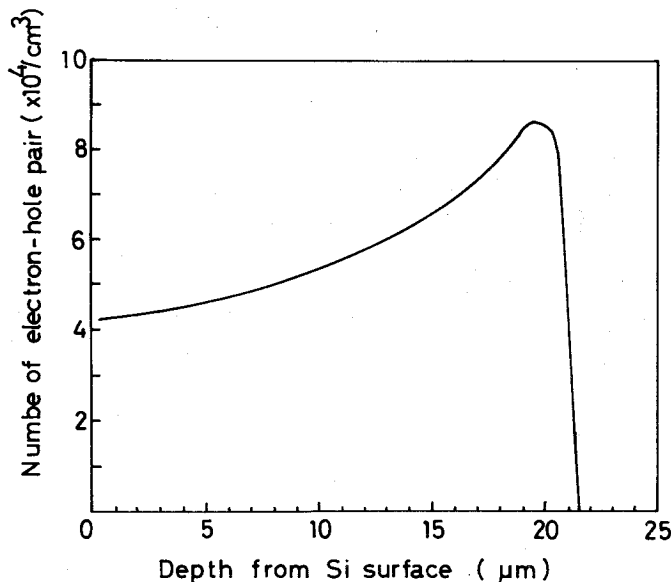


図6.1 α 粒子によって生成される電子・正孔対のシリコン中での分布

CCDメモリの場合には、CCDシフトレジスタの転送部とOutput nodeがこのようなノードであり、ダイナミックMOSRAMの場合には、メモリセルとビット線がこのようなノードであり、 α 粒子が当たるとメモリ情報が反転してソフトエラーとなる。

第2章から第5章を通じて、大容量半導体メモリとしてCCDメモリとダイナミックMOSRAMという2種類のメモリを取りあげて、各々の高性能化とその工学的応用を検討してきた。それを踏まえ、本章ではソフトエラーの観点から両者のメモリの比較検討を行う。

6.2 ソフトエラーからみたCCDメモリとダイナミックMOSRAM

6.2.1 臨界電荷量の算出

デバイス自体のソフトエラーに対する強さは、臨界電荷量 Q_{crit} の大きさによって表わすことができる。すなわち、 α 粒子によって発生した電子が収集され、その電荷量がメモリ情報の“0”と“1”を識別する電圧に相当するとして定義される臨界電荷量より大きくなると、ソフトエラーを生じる。よって、近似的には臨界電荷量は信号電荷量の $1/2$ ということができる。

図6.2はCCDメモリのセンスアンプ回路周辺の等価回路を示し、図6.3はダイナミックMOSRAMのセンスアンプ回路周辺の等価回路を示している。センスアンプ回路を中心に考えるならば、メモリ情報がセンスアンプ回路に到達する経路は異なるものの、両者のメモリにおけるセンス動作は同一であると考えられる。すなわち、CCDメモリでは、転送クロックによってメモリ情報がOutput nodeまで伝達され、ダミーセルからReference nodeに与えられる基準電荷と比較して、メモリ情報の“0”と“1”を判定する。一方、ダイナミックMOSRAMでは、選択されたワード線がオンしてメモリセルの情報がビット線に伝達され、ダミーセルから反対側のビ

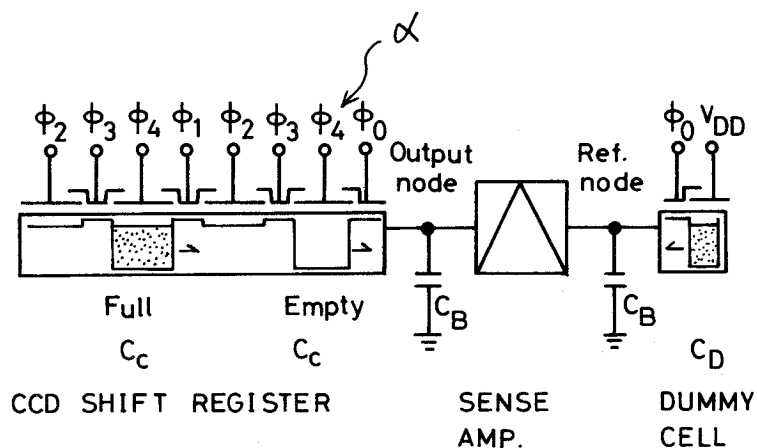


図 6.2 CCDメモリのセンスアンプ回路周辺の等価回路

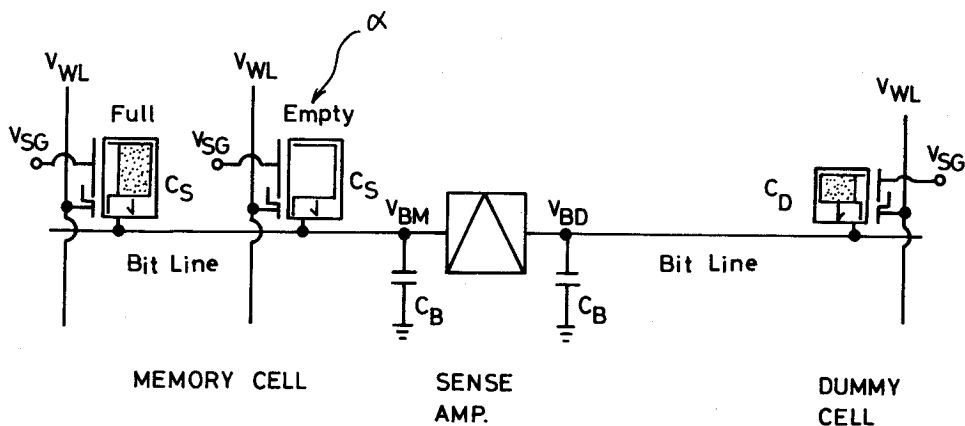


図 6.3 ダイナミック MOS RAM のセンスアンプ回路周辺の等価回路

ット線に与えられる基準電荷と比較して、メモリ情報の“0”と“1”を判定する。

従って、今“Empty”のメモリセルに α 粒子が当たった場合を考えて、両者の臨界電荷量を求めるとき、両者のメモリで対応する所を変換してやれば、同一の式で表わすことができる。

簡単のため、図 6.3 のダイナミック MOS RAM の場合を例にとる。⁽⁵⁾“Empty”のメモリセルに α 粒子が当たって発生する電荷のうち、 Q_α という電荷が収集されるものとする。センスアンプ回路による読み出し前後の電荷の保存則から、メモリセル側、ダミーセル側のビット線それぞれについて次式が成り立つ。

$$C_B V_{BM} + C_S V_M = C_B V_{BM}' + C_S V_M' + Q_\alpha \quad (6.1)$$

$$C_B V_{BD} + C_D V_D = C_B V_{BD}' + C_D V_D' \quad (6.2)$$

ここで記号は次のように定める（読み出し後の場合は、その記号にダッシュをつける）。

V_{BM} ; メモリセル側のビット線の電位

V_{BD} ; ダミーセル側のビット線の電位

V_M ; メモリセルに書き込まれている電位

V_D ; ダミーセルに書き込まれている電位

C_B ; ビット線の容量

C_S ; メモリセル容量

C_D ; ダミーセル容量

V_{WL} ; ワード線の電圧

V_{THM} ; メモリセルのトランジスタ（トランスファゲート）の閾値電圧

ダイナミック MOS RAM ではメモリセル側，ダミーセル側のビット線のプリチャージ電圧は電源電圧 V_{CC} に等しくしており，またダミーセルの初期電圧 V_D は 0 V としている。(6.1)式及び(6.2)式において

$$V_{BM} = V_{BD} = V_{CC}, \quad V_D = 0$$

$$V_M = V'_M = V'_D = V_{WL} - V_{THM}$$

を代入すると次式となる。

$$C_B V_{CC} = C_B V'_{BM} + Q_\alpha \quad (6.3)$$

$$C_B V_{CC} = C_B V'_{BD} + C_D (V_{WL} - V_{THM}) \quad (6.4)$$

読み出し後のメモリセル側のビット線の電位 V'_{BM} とダミーセル側のビット線の電位 V'_{BD} の差がセンスアンプ感度 ΔV_S より小さくなるときの Q_α を臨界電荷量 Q_{crit} と定義すると，(6.3)式及び(6.4)式より “Empty” → “Full” のソフトエラーを起こすときの Q_{crit} は次のようになる。

$$Q_{crit} = C_D (V_{WL} - V_{THM}) - C_B \cdot \Delta V_S \quad (6.5)$$

通常 $C_D = \frac{1}{2} C_S$ が成り立つので，ダイナミック MOS RAM における臨界電荷量 Q_{crit} (RAM) は次式で表わされる。

$$Q_{crit}(\text{RAM}) = \frac{1}{2} C_S (V_{WL} - V_{THM}) - C_B \cdot \Delta V_S \quad (6.6)$$

(6.6)式より次のことが言える。

- ① Q_{crit} はワード線の電圧に応じて大きくなる。従って， V_{WL} は大きい方が望ましい。
- ② Q_{crit} はメモリセル容量 C_S に応じて大きくなる。従って，できるだけ C_S を大きくする必要がある。
- ③ Q_{crit} はビット線の容量にセンスアンプ感度を乗じた量だけ減少する。両者とも小さい方が望ましい。
- ④ トランスファゲートの閾値電圧 V_{THM} に相当する量がワード線の電圧より減じられるので， V_{THM} を可能な限り低くする必要がある。

一方，(6.6)式を CCD メモリの場合に適用して (図 6.2 参照)，CCD メモリにおける臨界電荷量 Q_{crit} (CCD) を求めると次式のようなになる。

$$Q_{crit}(CCD) = \frac{1}{2} C_C (V_{CCD} - V_{THC}) - C_B \cdot \Delta V_S \quad (6.7)$$

ここで C_C は CCD シフトレジスタのストレージセルの容量, V_{THC} は CCD シフトレジスタの転送ゲートの閾値電圧, V_{CCD} は転送クロックの high レベルである。

6.2.2 臨界電荷量の計算例

図 6.4 は第 3 章で述べた 64 K ビット CCD メモリにおける, CCD シフトレジスタの平面パターン図を示す。

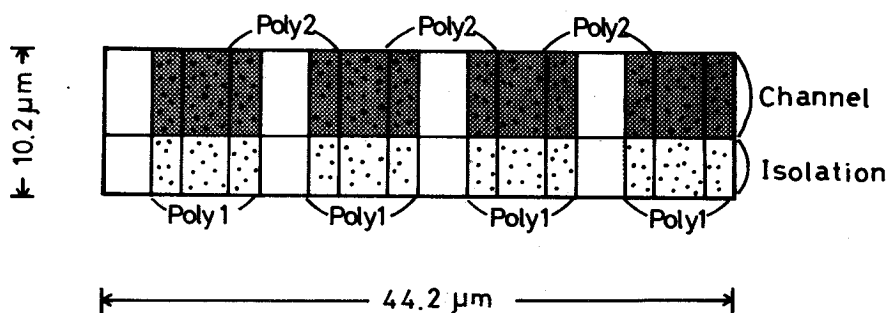


図 6.4 CCD シフトレジスタの平面パターン図

10.2 $\mu\text{m} \times 44.2 \mu\text{m}$ のピッチの中に 3 ビット分のデータを蓄積できるので, ビット当りのメモリセルサイズは 150 μm^2 となる。図 6.4 で色を塗った部分が信号電荷が蓄積される領域で, 1箇所当たり 45.5 μm^2 の面積となる。ゲート酸化膜厚が 850 Å なので, $C_C = 0.0185 \text{ pF}$, $V_{CCD} - V_{THC} = 7.0 \text{ V}$ を (6.7) 式に代入して

$$Q_{crit}(CCD) = 0.065 \text{ p.C} \quad (6.8)$$

を得る。

一方, 図 6.5 は図 6.4 とほとんど同じデザインルールで設計した 16 K ビットダイナミック MOS RAM におけるメモリセルの平面パターン図である (一部の製造工程のみ)。

54.4 $\mu\text{m} \times 25.5 \mu\text{m}$ のピッチの中に 4 ビット分のデータを蓄積できるので, ビット当りのメモリセルサイズは 347 μm^2 となる。色を塗った部分が信号電荷が蓄積される領域で, 1箇所当たり 125.9 μm^2 の面積となる。ゲート酸化膜が 850 Å なので $C_S = 0.0511 \text{ pF}$, $V_{WL} - V_{THM} = 7.0 \text{ V}$ を (6.6) 式に代入して

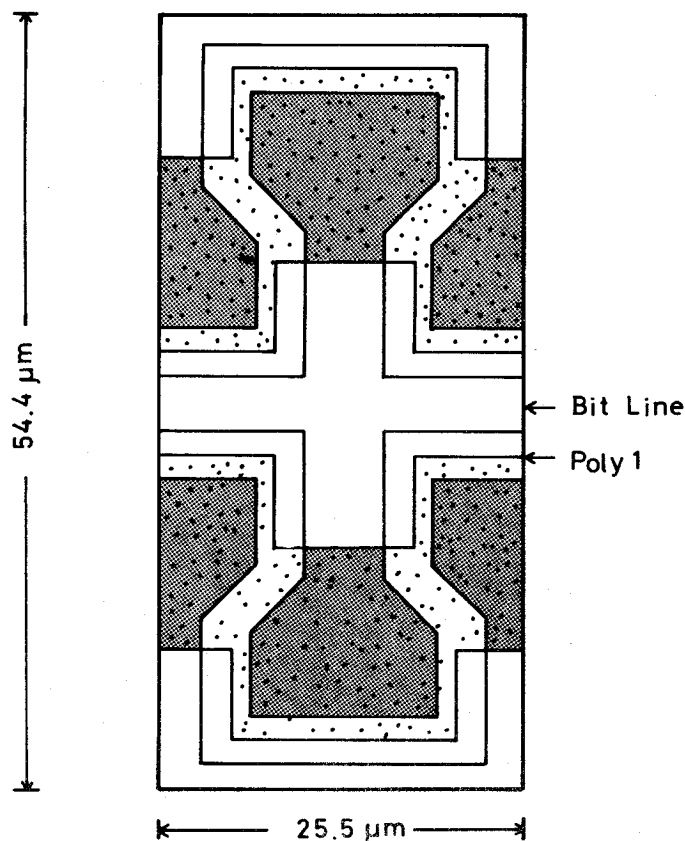


図 6.5 ダイナミック MOS RAM におけるメモリセル
の平面パターン図（一部の製造工程のみ）

$$Q_{crit} (RAM) = 0.179 \text{ pC} \quad (6.9)$$

を得る。

以上のように、ほとんど同一のデザインルールと製造プロセスを使用しても、CCDメモリは、ダイナミック MOS RAM に比べてビット当りの面積を $1/2.3$ にでき、高集積化に向いている長所があるが、逆にソフトウェアの観点からすれば、臨界電荷量は $1/2.8$ と減少してしまっている。表 6.1 に両者のメモリの臨界電荷量を比較して示す。

図 6.6 は幾つかのメーカーで製作された CCDメモリとダイナミック MOS RAM におけるソフトウェア発生率と Q_{crit} の関係を示すものである。⁽¹⁾ ソフトエラー発生率は臨界電荷量に強く依存することが分かり、臨界電荷量を少しでも増やすことによって急激にソフトウェアの改善がなされる。従って、(6.6) 式及び (6.7) 式で与えられる Q_{crit} は、ソフトウェアに対する強さを表わす重要なパラメータといえることができる。

表 6.1 CCDメモリとダイナミック MOS RAMの臨界電荷量

Item	CCD Memory (64 K)	Dynamic MOS RAM (16 K)
Cell size/bit	150 μm^2	347 μm^2
C_s or C_c	0.0185 pF	0.0511 pF
$V_{WL} - V_{THM}$ or $V_{CCD} - V_{THC}$	7.0 V	7.0 V
Q_{crit}	0.065 pC	0.179 pC
Q_{crit}/q	4.1×10^5	1.1×10^6

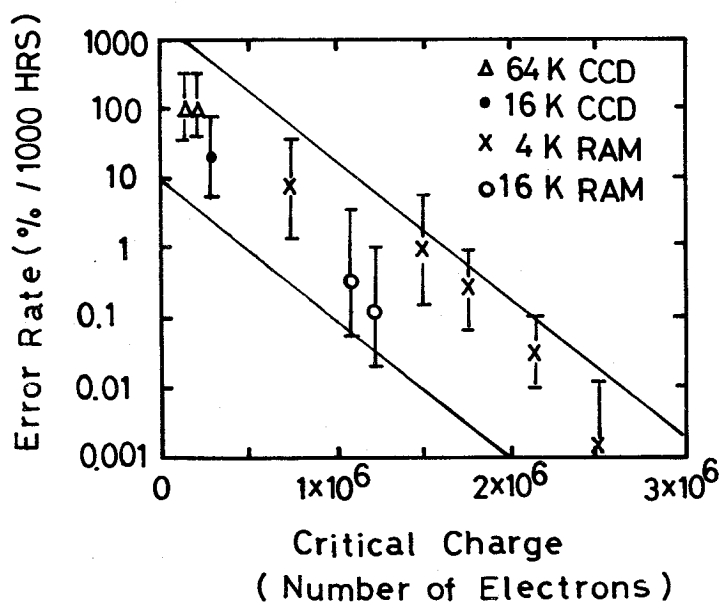


図 6.6 幾つかのメーカーで製作された CCDメモリとダイナミック MOS RAMにおけるソフトウェア発生率と臨界電荷量の関係

6.2.3 臨界電荷量を増加させる手段

(1) CCDメモリ

まず、(6.7) 式より転送クロックの high レベル V_{CCD} を電源電圧 V_{CC} 以上に昇圧する方向が考えられるが、現実には無理である。第 2 章で述べたように、転送クロックには数百 pF もの大きな容量負荷があり、これが電源電圧以上に昇圧した転送クロックのオンチップでの発生を困難にしているからである。

次に、 Q_{crit} を増加させるのに、(6.7) 式よりストレージセルの容量 C_C を大きくする方向が考えられる。単純に、メモリセルサイズを大きくして C_C を大きくすることは、CCDの特徴を損うことになる。すなわち、メモリ部にコンタクト孔、拡散領域が無い簡単な構造であるために高集積化に適した構造であることを否定することになる。従って、メモリセルサイズを小さく維持したまま C_C を大きくする必要がある。

ここで、CCDメモリにとって重要なパラメータである転送効率が、 C_C を大きくすることを妨げていることに注意すべきである。なぜなら、メモリセルサイズを小さく維持したまま C_C を増やすために、ダイナミック MOS RAM で行われているような、チャネル領域にイオン注入を行ったり、シリコン基板に溝を掘ったりする工夫は、著しく転送効率を低下させてしまうからである。すなわち、転送効率を維持しながら C_C を大きくする有効な手段がない限り、CCDメモリにおける臨界電荷量を増加させることができない。現在のところ、この目的のために有効な手段は見つかっていないと言えよう。

(2) ダイナミック MOS RAM

まず、(6.6) 式よりワード線の high レベル V_{WL} を電源電圧 V_{CC} 以上に昇圧することが有効であり、このワード線昇圧の効果が第7章においても示されている⁽⁶⁾。ワード線の有する負荷容量は数十 pF であり、これをオンチップで昇圧することは容易である。

次に、(6.6) 式よりメモリセル容量 C_S を大きくする方向が考えられる。実際、既にメモリセルサイズを大きくすることなくメモリセル容量 C_S を大きくできる Hi-C (High Capacitance) セルについて第5章で説明した。この他にも、シリコン基板に溝を掘って C_S を大きくする⁽⁷⁾等の工夫も可能である。

以上をまとめると、表 6.2 のようになる。すなわち、ダイナミック MOS RAM では Q_{crit} を増加させるのにメモリセル構造に工夫を加える余地があるのに対し、CCDメモリでは、転送効率という基本パラメータのために Q_{crit} を増加させる自由度がないといえることができる。従ってソフトウェアの観点から、大容量化に対して CCDメモリは悲観的であり、ダイナミック MOS RAMの方が大容量化に適していると結論できる。

表 6.2 Q_{crit} を増加させる手段

	CCDメモリ	ダイナミック MOS RAM
V_{WL} or V_{CCD} を大きくする。	転送クロックの有する容量負荷のために V_{CCD} は電源電圧レベルにしかできない。	ワード線の昇圧が可能で電源電圧以上に V_{WL} を昇圧できる。
C_S or C_C を大きくする。	転送効率を損うことなしに C_C を大きくする有効な手段が現在見つかっていない。	Hi-Cセルや溝掘りセル等 C_S を大きくする工夫の余地がある。

参 考 文 献

- (1) T.C.May and M.H.Woods, "A New Physical Mechanism for Soft Error in Dynamic Memories", in Proc. 1978 Int. Reliability Phys. Symp. Apr. 1978, pp. 33-40.
- (2) D.S.Yaney, J.T.Nelson and L.L.Vanskike, "Alpha-particle Tracks in Silicon and their effect on Dynamic MOS RAM Reliability", IEEE Trans. Electron Devices, vol. ED-26, pp. 10-16, 1979.
- (3) T.C.May and M.H.Woods, "Alpha-Particle-Induced Soft Errors in Dynamic Memories", IEEE Trans. Electron Devices, vol. ED-26, pp. 2-9, 1979
- (4) E.S.Meiraw, P.R.Engel and T.C.May, "Measurement of Alpha Particle Radioactivity in IC Device Packages", in Proc. 1979 Int. Reliability Phys. Symp. 1979, pp. 13-21.
- (5) 吉原, 高野, 中野 "MOSダイナミックRAMのソフトエラー", 信学論(C) vol. J64-C, 8, pp. 469-674 (昭56-8).
- (6) M.Taniguchi, T.Yoshihara, M.Yamada, K.Shimotori, T.Nakano and Y.Gamou, "Fully Boosted 64K dynamic RAM with Automatic and Self-Refresh", IEEE J. Solid-State Circuits, vol.SC-16, pp. 492-498, 1981.
- (7) H.Sunami, T.Kure, N.Hashimoto, K.Itoh, T.Toyabe and S.Asai, "A Corrugated Capacitor Cell (CCC) for Megabit MOS Memories", IEEE IEDM Tech. Digest, pp. 806-808 (San Francisco, 1982).

第7章 ダイナミック MOS RAM の大容量化に対する技術的 打開策

7.1 序

第6章において、CCDメモリとダイナミック MOS RAM という2種類の大容量半導体メモリをソフトエラーの観点から比較し、その結果、ダイナミック MOS RAM の方が大容量化に適していると結論した。

本章では、第6章の考察に基づき、ダイナミック MOS RAM の大容量化を更に計る際に必要な、ソフトエラーとホットエレクトロン効果という2つの物理的制約に対する技術的打開策を検討する。

すなわち、まずダイナミック MOS RAM の大容量化にはメモリセルの微細化が必要である。このメモリセルの微細化に伴い、蓄積電荷量が小さくなり、パッケージ材料などから放射される α 粒子によって引き起こされるソフトエラー⁽¹⁾が大きな問題となる。図7.1にダイナミック MOS RAM に α 粒子が当たっている様子を示す。 α 粒子がシリコン基板に当たると、少数キャリアが発生し、近傍にあるメモリセルやビット線に吸収される。そして、メモリセルとビット線とでは、 α 粒子が当たった場合の不良モードは異なり⁽²⁾、その様子を図7.2に示す。ビット線で起こる不良はサイクル時間に依存しており、理由はビット線の不良はメモリセルからビット線へ蓄積電荷を読み出している時間帯（これを Time window と呼ぶ）にのみ起こり、読み出し回数に比例するためである。一方、メモリセルで起こる不良はサイクル時間には依存しない。

ソフトエラーの改善には、図7.3に示すように、①メモリセルでの蓄積電荷量を大きくする、② α 粒子によって発生した少数キャリアがメモリセルやビット線に吸収される度合い、すなわち収集効率を低くする、③入射する α 粒子の数を減らす、という3つの方向がある。

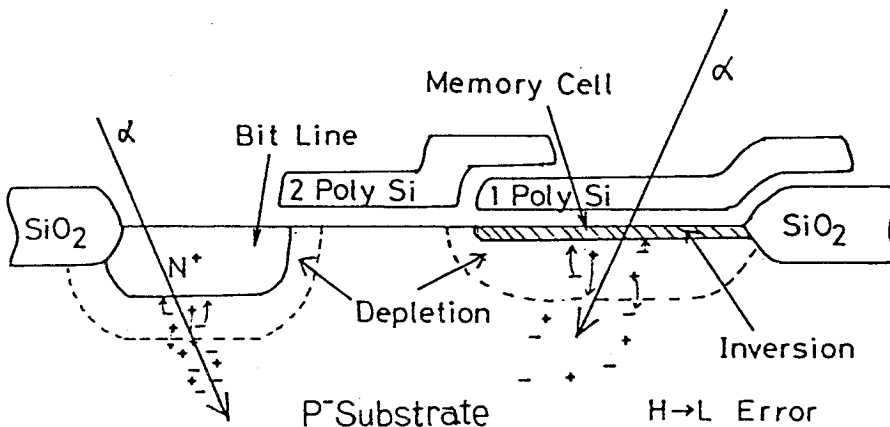


図7.1 α 粒子による少数キャリアの発生

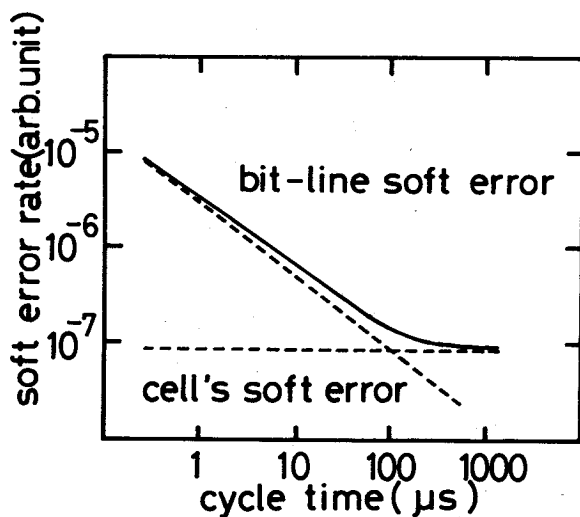


図 7.2 ソフトエラー率のサイクル時間依存性

本章では、デバイスとして上記①に関連し、 Hi-C 構造⁽⁸⁾によるメモリセルの検討をした結果、及び上記②に関連してビット線のポリシリコン化を検討した結果⁽⁵⁾について述べる。また、回路として上記①に関連して第5章で述べた新規なワード線昇圧回路がソフトエラー対策としてもきわめて有効であることを示す。

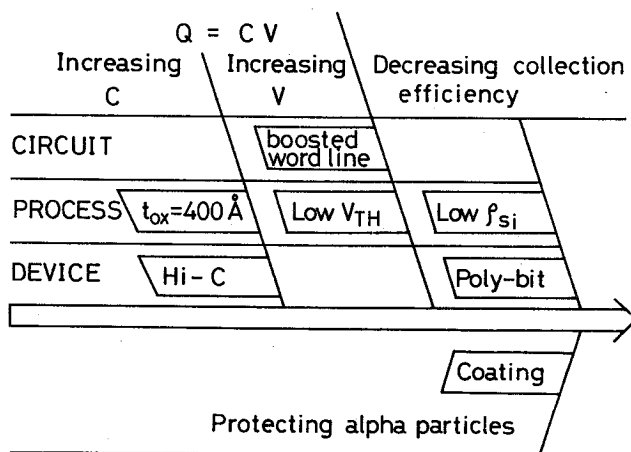


図 7.3 ソフトエラー改善の手法

次に、ダイナミック MOS RAM の大容量化には MOS トランジスタ (MOS FET と略す場合がある) の微細化が必要である。この MOS FET の微細化に伴い、N チャネルの場合ホットエレクトロンのゲート酸化膜中への注入が大きな問題となる。注入された電子の一部がゲート酸化膜中のトラップに捕獲され、その結果 MOS FET の閾値電圧 (V_{TH}) のシフトや相互コンダクタンス (g_m) の劣化が起こる。^{(6)~(9)}そして、これがダイナミック MOS RAM のアクセス時間を遅くする等の性能劣化を引き起こすことは良く知られている。⁽¹⁰⁾⁽¹¹⁾

従来、ホットエレクトロンのトラップ効果に関する物理的振舞については、単体レベルの MOS FET を使って多くの研究がなされている。^{(6)~(9)(11)(12)}しかしながら、ダイナミック MOS RAM の回路設計者の立場から、幅広い MOS FET 回路に適用できるホットエレクトロンによる MOS FET 劣化モデルについて記述したものは少ない。ダイナミック MOS RAM の回路設計者にとって、回路中のどの MOS FET が実際の動作状態において、ホットエレクトロンの影響を受け易いかを予見することは重要な問題である。

本章では、回路設計の立場からホットエレクトロンのトラップ効果の実用的モデルを提案し、これが実際の MOS FET 回路によく適用できることを示す。すなわち、まず、64K ビットダイナミック MOS RAM (以下 64K(D)RAM) のホットエレクトロンによる性能劣化について述べ、次に 64K(D)RAM に使われているダイナミックインバータ回路を抽出したテストデバイスによる V_{TH} シフトの実験結果より、MOS FET 回路においてホットエレクトロンの影響を受け易い MOS FET が存在することを示す。そして、MOS FET 単体の長時間ストレス^{*1}による V_{TH} シフトのデータと上記テストデバイスによる実験結果を総合して、回路設計に有効なホットエレクトロンのトラップ効果の実用的モデルを提案する。⁽¹³⁾⁽¹⁴⁾

7.2 ソフトエラーとその要因分析

7.2.1 ソフトエラーを考慮したメモリセル構造

7.1 節で述べたように、ソフトエラーの改善にはダイナミック MOS RAM のチップ自体をソフトエラーに対して強くすることが必要であり、そのためには、①メモリセルでの臨界電荷量を大きくする。②少数キャリアの収集効率を低くすることが重要である。これらに対して、デバイス構造の面から Hi-C (High Capacitance) セル及びポリシリコンビット線について検討した。

注) *1 一定温度の雰囲気中で、電圧やクロックパルスによる電氣的ストレスを長時間印加する試験を長時間ストレスと本論文では呼んでいる。

(1) Hi-C セル

α 粒子によって発生した少数キャリアの電荷量が、メモリセルの“L”と“H”をセンスアンプ回路によって識別できる電圧に相当する電荷量より大きくなるとソフトエラーとなる。このソフトエラーを引き起こすぎりぎりの電荷量を臨界電荷量 Q_{crit} と呼び、 Q_{crit} は近似的には次式で表わされている。⁽¹⁵⁾

$$Q_{crit} = \frac{1}{2} C_S (V_{WL} - V_{THM}) - C_B \cdot \Delta V_S \quad (7.1)$$

ここで C_S はメモリセル容量、 V_{WL} は読み出し時のワード線の電圧、 V_{THM} はメモリセルのトランジスタ(トランスファゲート)の閾値電圧、 C_B はビット線の容量、 ΔV_S はセンスアンプ感度である。

ソフトエラー発生率は、臨界電荷量に強く依存することが知られており、例えば、図 7.4 に 1.2 V 電源の 16K(D) RAM の実測例を示す。⁽¹⁶⁾ すなわち、臨界電荷量を少しでも増やすことによって急激にソフトエラーの改善がなされることが分かる。

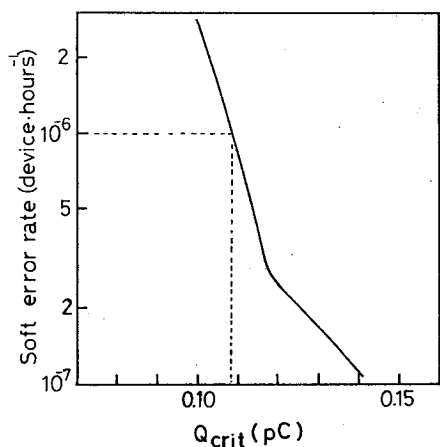


図 7.4 ソフトエラーの臨界電荷量依存性
(1.2 V 電源 16K(D) RAM の実測値)

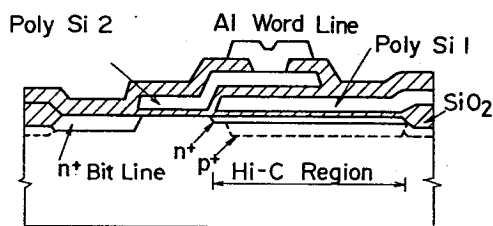


図 7.5 N^+ ビット線の Hi-C セル

(7.1) 式より明らかなように、 Q_{crit} を増やすにはメモリセル容量 C_S を大きくすることが有効であるが、チップサイズの制限からメモリセルサイズを大きくして C_S を大きくするのは限界がある。第 5 章で述べたように、Hi-C 構造はメモリセルサイズを大きくすることなしに C_S を大きくすることができるために、ソフトエラー改善の観点からも実用的なメモリセル構造といえることができる。

図 7.5 に示す Hi-C 構造のメモリセルを有するダイナミック MOS RAM (N^+ ビット線の Hi-C セル) と、図 7.5 と全く同じ構造で Hi-C 構造のみを除去したメモリセルを有するダイナミック MOS RAM (N^+ ビット線の従来セル) との両方を試作し (容量は 64 K ビット)、両者のソフトエラー発生率を比較したのが図 7.6 及び図 7.7 である。ここで、Hi-C 構造を形成するイオン注入工程の条件として、 N^+ の形成には 160 KeV, $3 \times 10^{13} \text{ cm}^{-2}$ の砒素イオンの注入、及び P^+ の形成には 140 KeV, $7 \times 10^{12} \text{ cm}^{-2}$ のボロンイオンの注入を用いている。図 7.6 は ^{241}Am 8.4 μCi によるソフトエラー発生率のサイクル時間依存性を示したものであり、最小サイクル時間から 100 μs 付近まではサイクル時間に依存した特性を示している。

図 7.7 はソフトエラー発生率の供給電源 V_{CC} 依存性を示したものである。 $V_{CC} = 5.0 \text{ V}$ での値を比較すると、Hi-C セルは従来セル (Hi-C なし) に比べて約 10 倍の改善がなされていることが確かめられた。また、Hi-C セルの $V_{CC} = 5.0 \text{ V}$ での値は従来セルの場合の 6.3 V に相当し、この結果から Hi-C 構造によってメモリセル容量が約 26 % 増加していることが分かる。

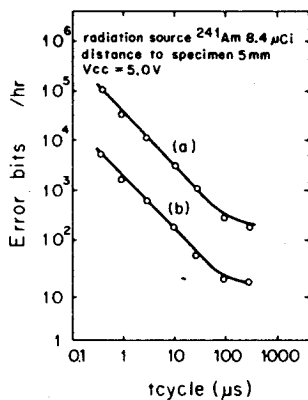


図 7.6 ソフトエラー発生率のサイクル
時間依存性

- (a) N^+ ビット線の従来セル
- (b) N^+ ビット線の Hi-C セル

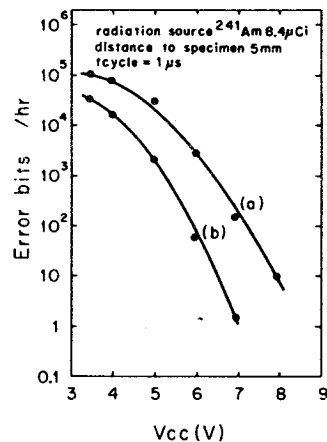


図 7.7 ソフトエラー発生率の V_{CC}
依存性

- (a) N^+ ビット線の従来セル
- (b) N^+ ビット線の Hi-C セル

実際に Hi-C セルによる蓄積電荷量の増加量を、図 7.8 に示したテストデバイスを用いて測定した。図 7.9 はその出力波形で、Hi-C セルの蓄積電荷量は従来セルに比べて、約 30 % 増加することが確かめられ、この値はソフトエラー発生率より求められた結果とよく一致している。

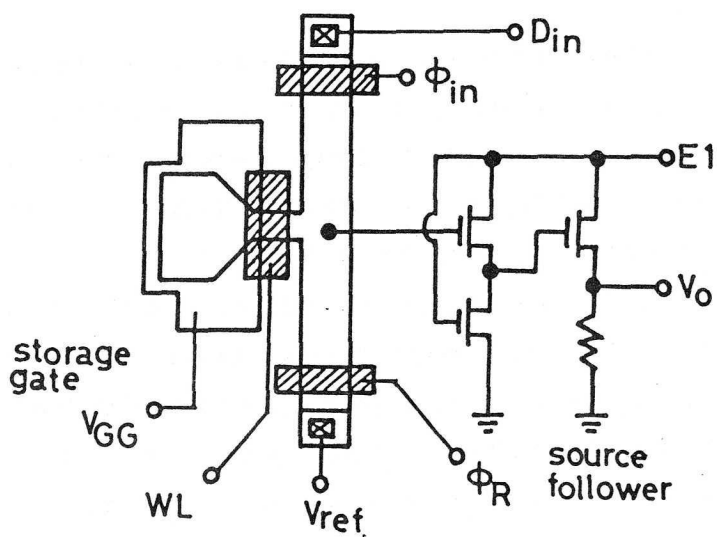


図 7.8 Hi-Cセルのテストデバイス

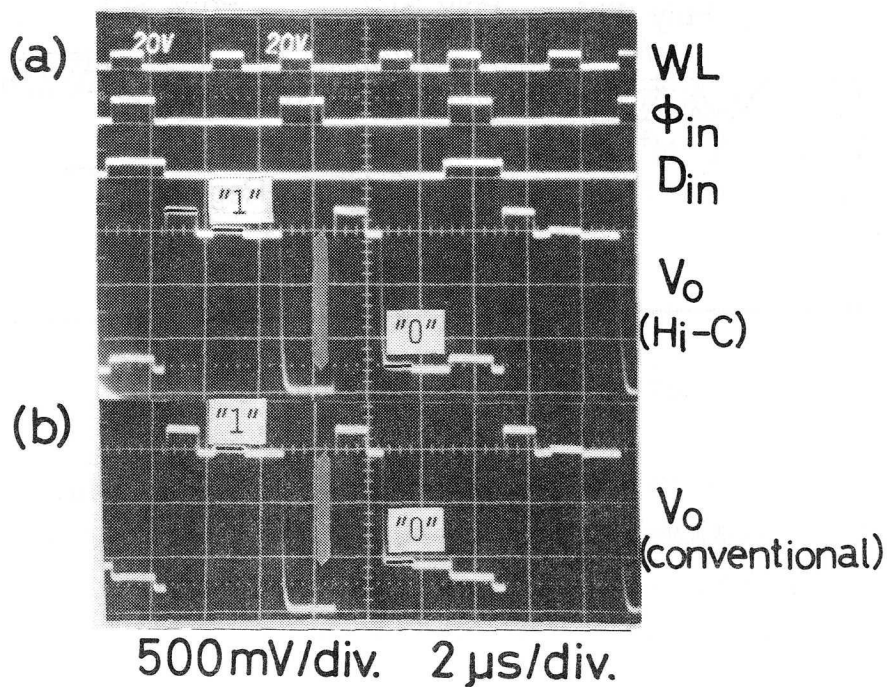


図 7.9 テストデバイスの出力波形

(2) ポリシリコンビット線

図 7.6 に示すように、最小サイクル時間におけるソフトエラーは主としてビット線で起こっており、このビット線でのソフトエラー発生率はメモリセルのソフトエラー発生率より 2 桁以上大きくになっている。このため、ソフトエラーの改善策として臨界電荷量を増加させるほかに、少数キャリアの収集効率を低くするビット線の構造、すなわち、少数キャリアを収集する N^+ 拡散面積の少ないポリシリコンビット線を採用することが有効と考えられる。

図 7.10 に、ポリシリコンビット線を採用した Hi-C 構造のメモリセル（図 5.3 と同一）を示す。図 7.5 に示した N^+ ビット線の Hi-C 構造のメモリセルに比較して、ビット線の N^+ 拡散面積は $1/2$ になり、また、ビット線の容量 C_B は 6% 減少し、メモリセル容量 C_S は 8% 増加した。

N^+ ビット線の Hi-C セルを有するダイナミック MOS RAM と、ポリシリコンビット線の Hi-C セルを有するダイナミック MOS RAM との両方を試作し（容量 64 K ビット）、両者のソフトエラー発生率を比較したのが図 7.11 及び図 7.12 である。比較のために、図 7.11 及び図 7.12 において N^+ ビット線の従来セルの結果も同時に示している。

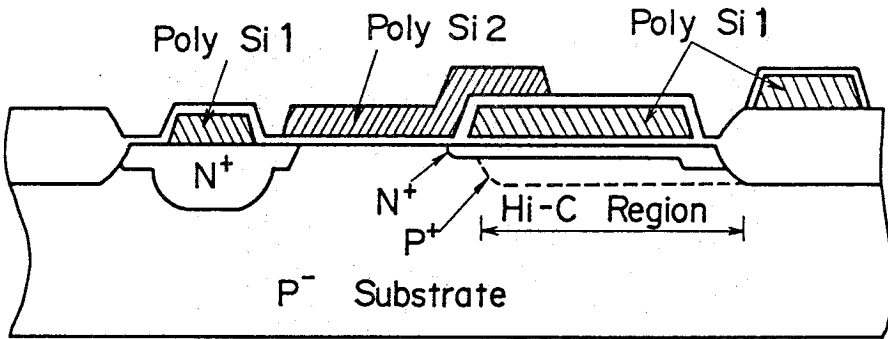


図 7.10 ポリシリコンビット線の Hi-C セル

$V_{CC} = 5.0 \text{ V}$ でのソフトエラー発生率を比較すると、ポリシリコンビット線の採用により 4.7 倍のソフトエラーの改善がなされていることが分かる。但し、この 4.7 倍の改善のなかには、メモリセル容量 C_S の増加、ビット線の容量 C_B の減少の効果も寄与している。

なお、(7-1) 式より明らかなように、読み出し時のワード線の電圧 V_{WL} を高くすることは Q_{crit} を増やすのに有効な手段である。このため、回路的にはメモリセル構造の異なる 3 種のダイナミック MOS RAM に対して、第 5 章で述べた新規なワード線昇圧回路をすべて採用している。これについては後で詳述する。

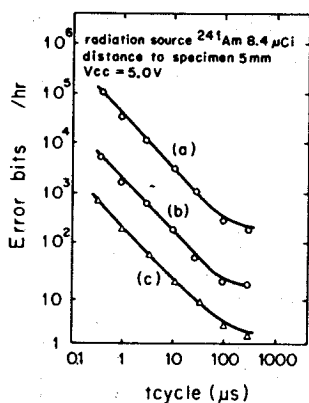


図 7.1 1 ソフトエラー発生率のサイクル時間依存性

- (a) N⁺ ビット線の従来セル
- (b) N⁺ ビット線の Hi-C セル
- (c) ポリシリコンビット線の Hi-C セル

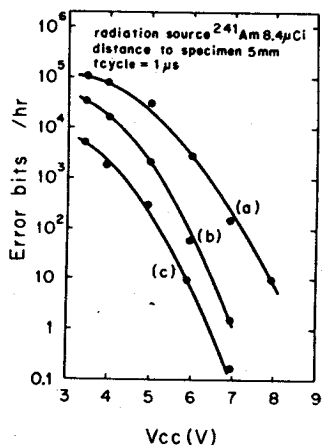


図 7.1 2 ソフトエラー発生率の V_{CC} 依存性

- (a) N⁺ ビット線の従来セル
- (b) N⁺ ビット線の Hi-C セル
- (c) ポリシリコンビット線の Hi-C セル

7.2.2 ソフトエラーを考慮した回路設計

(1) センスアンプ回路の動作タイミング

(7.1) 式は、センスアンプ感度 ΔV_S が向上すれば、すなわち ΔV_S が小さくなればそれだけ Q_{crit} を増やすことができることを意味している。従って、センスアンプ回路の動作タイミングの最適化によってソフトエラーの改善が期待される。

図 7.1 3 に示すセンスアンプ回路におけるセンスアンプ感度 ΔV_S は次式で表わすことができる。⁽⁷⁾

$$\Delta V_S = \sqrt{\frac{2\alpha \cdot K \cdot C_B}{\beta_0}} \left(\frac{\Delta C_B}{C_B} + \frac{\Delta \beta_0}{\beta_0} \right) + 2 \cdot \Delta V_{TH} \quad (7.2)$$

ここで、 α はビット線の電位下降速度とフリップフロップソース端電位の下降速度比、 K はフリップフロップソース端電位 ϕ_S の下降速度、 C_B はビット線の容量の平均値、 β_0 はフリップフロップを構成している MOS FET のコンダクタンス定数の平均値、 ΔC_B 、 $\Delta \beta_0$ 、 ΔV_{TH} はそれぞれビット線の容量、フリップフロップのコンダクタンス定数、その閾値電圧のばらつきである。

(7.2) 式は動作タイミングによって ΔV_S を小さくできる要素はフリップフロップソース端電位 ϕ_S の波形であることを意味し、本節では、ソフトエラー改善の観点から ϕ_S の波形の最適化を

検討する。¹⁰⁾ $\bar{\phi}_S$ の波形は、クロック ϕ_1 と ϕ_2 によって制御されるが、今回 $\bar{\phi}_S$ の波形を変化させたパラメータは ϕ_1 のタイミングと MOS FET Q_2 のゲート幅 (W_{Q2}) である。 W_{Q2} は W_{Q1} (MOS FET Q_1 のゲート幅) に比べて非常に小さく、 $\bar{\phi}_S$ は 2 段階で接地する。

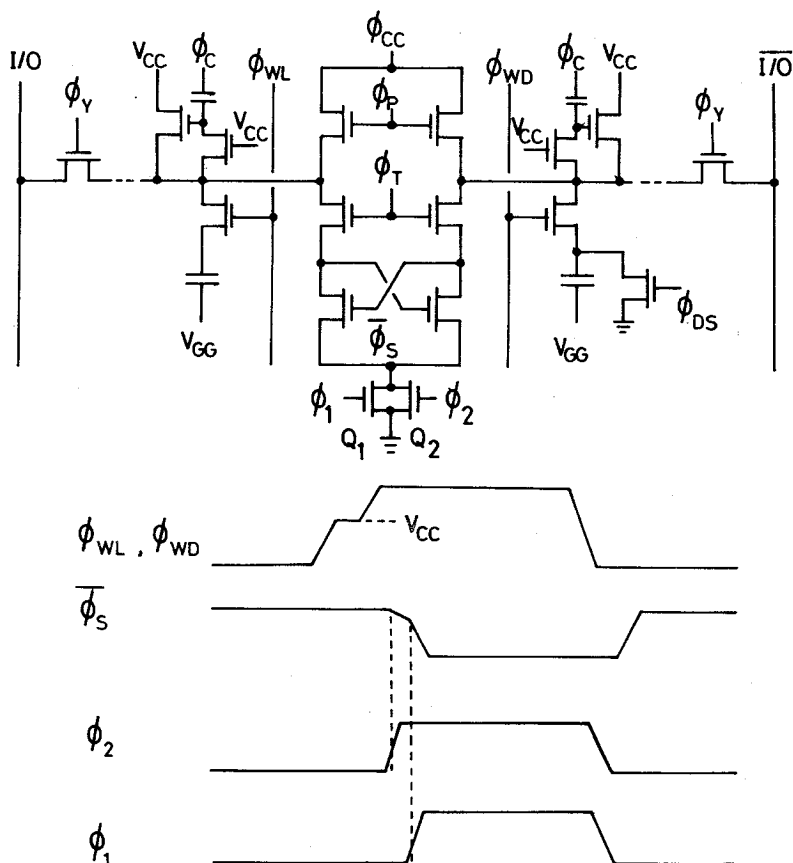


図 7.13 センスアンプ回路とその動作タイミング

ϕ_1 のタイミングをパラメータとしたときの ϕ_S 波形を図 7.14 に示す。b は a に比べて約 1 ns 遅延させた場合であり、c は更に b より約 2 ns 遅延させた場合である。また、図 7.15 はセンスアンプのソース端下降速度 K をパラメータとした ϕ_S 波形である。e は d における W_{Q2} を $\frac{1}{2}$ とした波形である。ソフトエラーの改善度は、 $V_{CC} = 4.5 \text{ V}$ 、 $t_c = 1 \mu\text{s}$ において、²⁴¹Am 8.4 μCi の α 線源による加速試験により求めた。表 7.1 の実験結果は、a および d の場合を基準とした正規化値で示してある。センスタイミング ϕ_1 によるソフトエラーの改善度は、この実験によれば最大約 3 倍得られた。この改善は、センス信号遅延による読み出し電荷量の増加であると考

えられる。一方、フリップフロップソース端下降速度Kによる改善度は殆んどなく、デバイスのバラツキに含まれ、この実験結果では悪くなっている。この原因は、フリップフロップソース端下降速度Kが(7.2)式の第1項にだけしか寄与していないことと、 ΔV_S が標準的な条件(電源電圧、温度)では非常に小さな値であるためであると考えられる。しかし、 $\bar{\phi}_S$ 波形を最適化することによって、数倍のソフトエラー率の改善ができることが分かる。

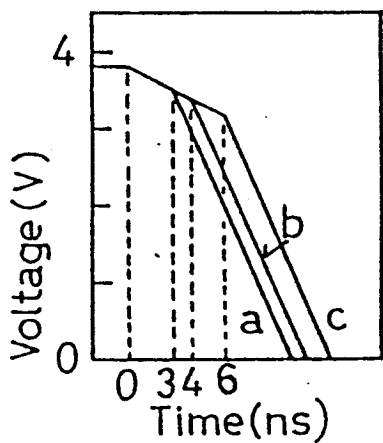


図 7.1 4 $\bar{\phi}_S$ の波形-1

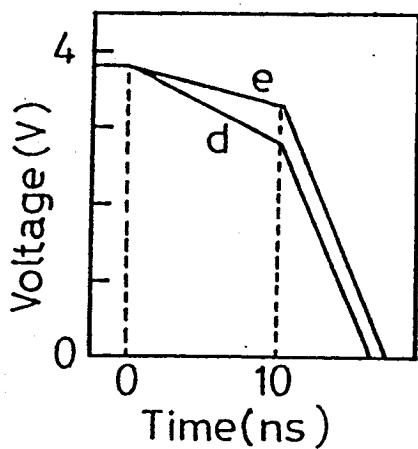


図 7.1 5 $\bar{\phi}_S$ の波形-2

表 7.1 ソフトエラーの改善度

$\bar{\phi}_S$ 波形	ソフトエラー改善度
a	1
b	1.3
c	2.7
d	1
e	0.9 6

(2) ワード線の昇圧

第5章で述べた新規なワード線昇圧回路は、高速にワード線 ϕ_{WL} を $V_{CC} + V_{TH}$ 以上に立ち上げることが可能である。従って、(7.1)式より明らかなように、読み出し時のワード線の電圧 V_{WL} を高くして Q_{crit} を増やすことができるため、ソフトエラー対策としても、きわめて有効であることを示す。

ワード線 ϕ_{WL} とセンスアンプ動作の関係を図 7.1 6 に示す。図 7.1 6 (a)はワード線の電圧 V_{WL}

が V_{CC} の場合で、その Q_{crit} は小さく、ソフトウェアに対しては不利である。図 7.1 6 (b) は、一般に行われているワード線昇圧のタイミング例であるが、図に示したように、センスアンプ動作が完了してからワード線を昇圧するもので、主にリフレッシュ保持特性を良くするのが目的であり、ソフトウェアは改善されない。今回検討したのは、図 7.1 6 (c) に示したもので、ワード線をセンスアンプ動作開始前に昇圧しているのが大きな特徴で、ワード線が V_{CC} レベルより以上に昇圧された分だけ Q_{crit} が大きくなる。

ワード線昇圧の効果を調べるために ^{241}Am 8.4 μCi によるソフトウェア発生率の供給電源 V_{CC} 依存性を測定した。図 7.1 7 は、その結果を示し、ワード線を昇圧したものと、メモリチップ内部の配線をレーザ光線により切断して、昇圧しなくしたものと比較した。

ワード線を昇圧したときの $V_{CC} = 5.0\text{ V}$ でのソフトウェア発生率は、昇圧していないときの $V_{CC} = 6.0\text{ V}$ の値に相当しており、言い換えれば、 $V_{CC} = 5.0\text{ V}$ のとき、内部のワード線は 6.0 V まで昇圧されていることになる。また、図 7.1 7 より $V_{CC} = 5.0\text{ V}$ でのソフトウェア発生率を比較すると、ワード線の昇圧によって約 15 倍の改善がなされていることが確かめられた。

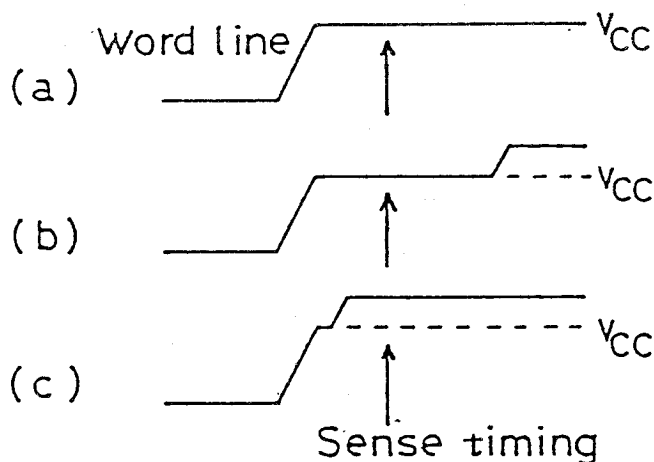


図 7.1 6 ワード線昇圧とセンスタイミングの関係

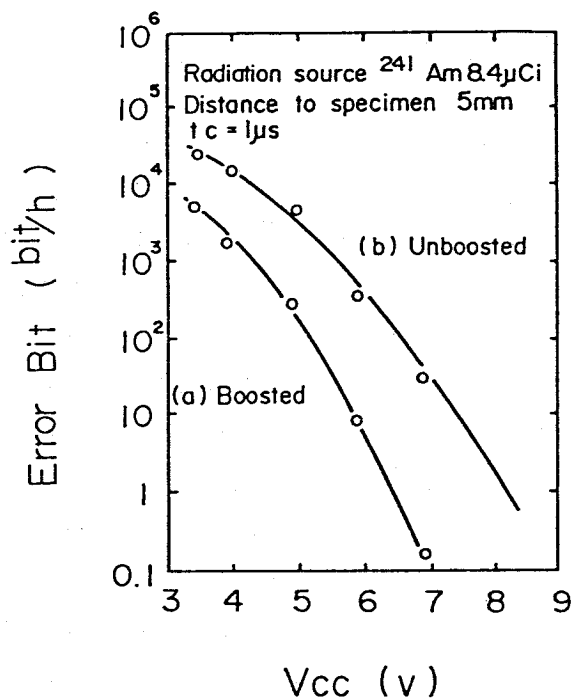


図 7.17 ワード線昇圧によるソフトエラー改善

7.2.3 ソフトエラー改善のまとめ

ダイナミック MOS RAM のソフトエラー改善策として①Hi-Cセル, ②ポリシリコンビット線, ③ワード線の昇圧を検討したが, それぞれに対するソフトエラー改善の効果を表 7.2 にまとめた。ワード線を昇圧しない N^+ ビット線の従来セルを基準とした正規化値で示してある。

ワード線を昇圧しない N^+ ビット線の従来セルにおいては, $V_{CC} = 5.0 \text{ V}$ での臨界電荷量は 0.064 pC であったが, メモリセルサイズ及びチップサイズを大きくすることなしに, 上記の改善策を施すことにより, 臨界電荷量は 0.117 pC と 1.8 倍に増加した。これによって, ソフトエラー改善率が 700 倍と大幅に改善されていることが, 放射線源 $^{241}\text{Am } 8.4 \mu\text{Ci}$ を使用した評価より明らかとなった。

表 7.2 ソフトエラー改善結果のまとめ

デ バ イ ス	メモリセル 容量 (pF)	臨界電荷量 (pC)	改 善 率
1 従 来	0.040	0.064	1
2 Hi - C セル	0.052	0.083	~ 10
3 2) + ワード線昇圧	0.052	0.109	~ 150
4 3) + ポリシリコンビット線	0.056	0.117	~ 700

7.3 ホットエレクトロン効果とその抑制策

7.3.1 64K(D)RAM による長時間ストレス

ホットエレクトロンのトラップ効果によって、ダイナミック MOS RAM の性能劣化が起こることを、実効チャネル長 (L_{eff}) $1.9 \mu m$ を有する 64K(D)RAM によって調べた結果を、図 7.18 及び図 7.19 に示す。試作したダイナミック MOS RAM に一定温度で (ここでは $T_a = 10^\circ C$)、各種の V_{CC} 電源電圧を印加して (ここでは $V_{CC} = 10 V$) 長時間メモリ動作を行わせながら (長時間ストレスとよぶ)、ある時間毎にアクセス時間等のメモリ性能特性を自動測定した。図 7.18 は、アクセス時間のシフトが 20 時間から 80 時間の間に急激に起こり、100 時間を越えると飽和する様子を示している。100 時間後には $\overline{RAS}$ (Row Address Strobe) アクセス時間が $18 ns$ 遅くなり、また $\overline{CAS}$ (Column Address Strobe) アクセス時間が $12 ns$ 遅くなっている。一方、図 7.19 は、アドレスホールド時間のシフトを示すが、コラムアドレスのホールド時間のシフトは、図 7.18 に示すアクセス時間のシフトと類似した変化を示すのに対し、ロウアドレスのホールド時間はほとんど変化していない。上記の実験的事実は、アクセス時間のシフトがダイナミック MOS RAM の各回路ブロック毎に均一に起こっているのではなく、ホットエレクトロンの影響を受け易いクリティカルな経路があることを意味している。

実際、長時間ストレスの印加前後で、各回路ブロックの内部波形を比較することにより、 $\overline{RAS}$ アクセス時間のシフトを各回路ブロックで分解して、解析した結果が図 7.20 である。図 7.20 より、入力バッファ、ロウアドレスバッファ、ワードドライバ及びコラムドライバの回路ブロックで

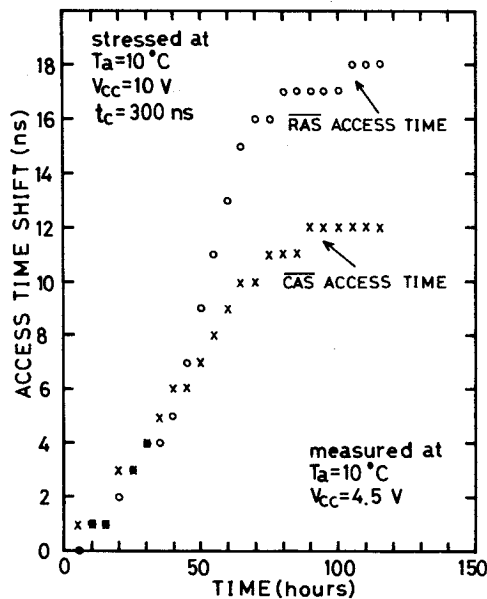


図 7.18 64K(D)RAM ($L_{eff} = 1.9 \mu m$) のアクセス時間のシフト

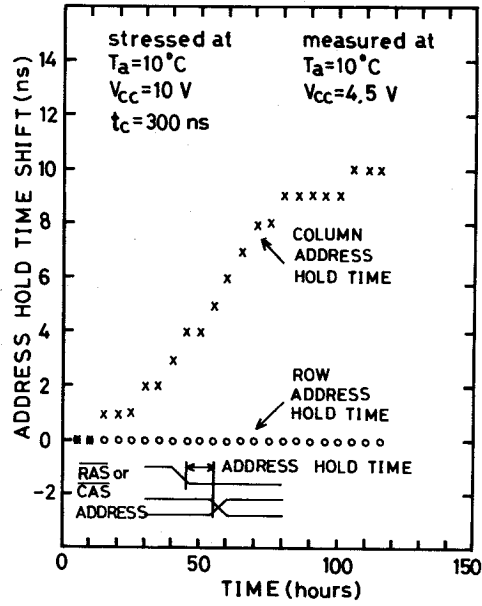


図 7.1 9 64 K (D) RAM ($L_{eff}=1.9\text{ }\mu\text{m}$) のアドレスホールド時間のシフト

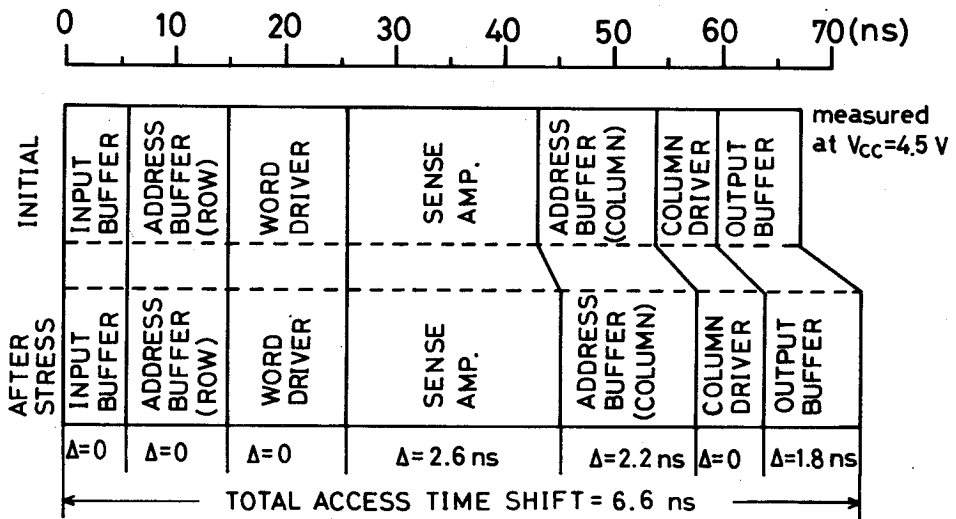


図 7.2 0 48 時間の長時間ストレス ($V_{CC}=10\text{ V}$, $T_a=10^\circ\text{C}$) 後に
 おける RAS アクセス時間のシフトの分析

は、長時間ストレスの前後で遅延時間の変化はみられないが、センスアンプ回路を動作させるバッファ、コラムアドレスバッファ及び出力バッファの回路ブロックではその変化がみられ、 $\overline{\text{RAS}}$ アクセス時間のシフトに寄与していることがわかる。ダイナミック MOS RAM の動作を考えれば、図 7.20 の結果は図 7.18 及び図 7.19 で示した経時変化とよく対応していると言える。

さて、ダイナミック MOS RAM においては、各回路ブロックのドライバ回路はほとんど同じ回路構成をとるのが通例であり、その典型的なドライバ回路の一例を図 7.22 の点線で囲った中に示す。従って、その典型的なドライバ回路に注目して、その長時間ストレスによる振舞を詳細に調べることは、各回路ブロックの集合として組み立てられているダイナミック MOS RAM の長時間ストレスによるアクセス時間のシフトを解明するうえで有効である。これについては次節で述べる。

7.3.2 テストデバイスによる長時間ストレス

典型的なドライバ回路の長時間ストレスによる振舞を調べるために、図 7.21 に示すようなテストデバイスを製作した。テストデバイスは P 型シリコン基板 ($20\Omega \cdot \text{cm}$, (100)) 上に N チャンネルのダブルポリシリコンプロセスを使って製作されており、その等価回路を図 7.22 に示す。図 7.22 に示すように、テストデバイスは点線で囲まれたダイナミックインバータ回路と、各 MOS FET ($Q_1 \sim Q_{13}$) の V_{TH} を測定するための V_{TH} 測定用 MOS FET (Q_M) から構成されている。 Q_M の役目の一つは、ダイナミックインバータ回路に入力クロック (V_{IN}) を印加して動作させているときには、 Q_M のゲート電極である V_{TM} を 0 V にして、内部ノード $N_1 \sim N_6$ の浮遊容量を最小にすることである。一方、各 MOS FET ($Q_1 \sim Q_{13}$) の V_{TH} を測定するときには、 V_{TM} を “H” レベルにして内部ノード $N_1 \sim N_6$ と外部端子 $E_1 \sim E_6$ とを接続する役目を Q_M は有している。

試作したテストデバイスに一定温度で、ある一定の V_{CC} 電源電圧を印加して長時間ダイナミックインバータ動作を行わせながら (長時間ストレス)、ある時間毎に各 MOS FET ($Q_1 \sim Q_{13}$) の V_{TH} を自動測定した。表 7.3 は $V_{\text{CC}} = 10\text{V}$, $T_a = 10^\circ\text{C}$ という長時間ストレス条件で、35 時間ストレスを印加した後の V_{TH} シフトの値 (ΔV_{TH}) を示す。表 7.3 より分かるように、いくつかの特定の MOS FET (Q_2 , Q_6 , Q_8 , Q_{11} 及び Q_{12}) では V_{TH} シフトが大きい。他の MOS FET ではほとんど V_{TH} シフトが見られない。つまり、表 7.3 は、ダイナミックインバータ回路のなかである特定の MOS FET が実際の動作状態において、ホットエレクトロンの影響を受け易いことを示している。

上記の実験より、いくつかの特定の MOS FET の V_{TH} シフトが起こったとき、ダイナミックインバータ回路としての性能を示す、立ち上り時間及び立ち下り時間の劣化が引き起こされることが予想される。これを確認するために、全く同一の電気的性能を有する二つのテストデバイスを

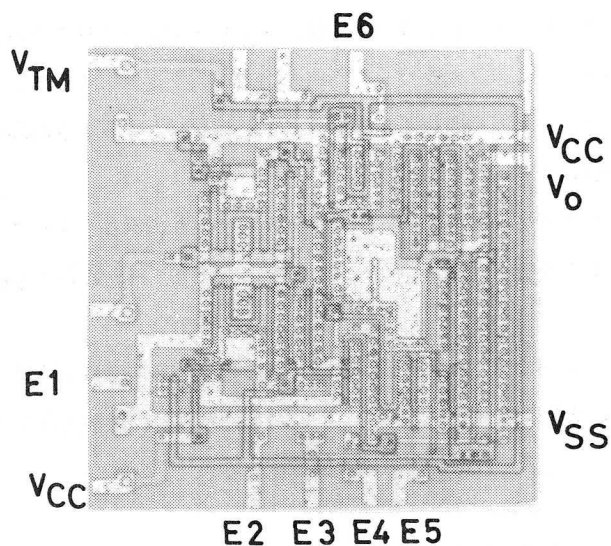


図 7.2 1 テストデバイスのチップ写真

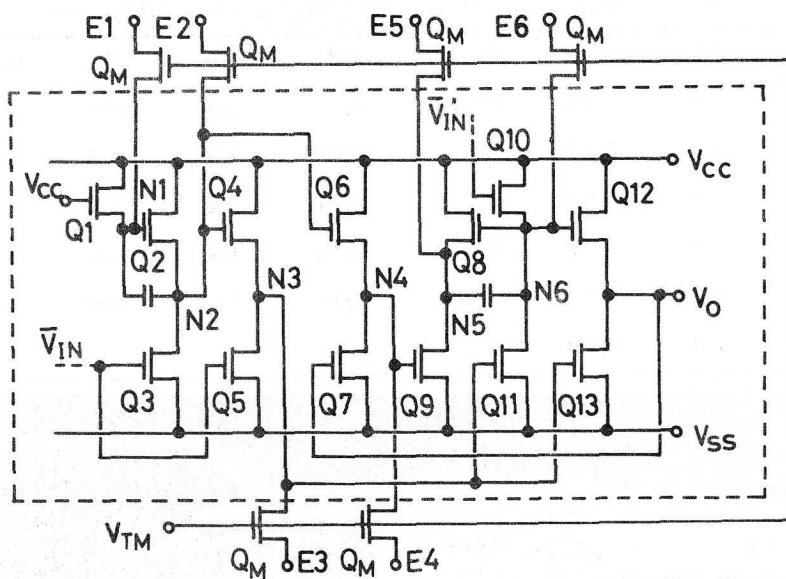


図 7.2 2 テストデバイスの等価回路

準備し、そのうち的一方だけに長時間ストレスを印加した後、両者の立ち上がり時間及び立ち下り時間を比較した。 $V_{CC} = 1.0 \text{ V}$ 、 $T_a = 10^\circ \text{C}$ という長時間ストレス条件で、35時間ストレスを印加した後での比較結果を図 7.2 3 に示す。予想された通り、長時間ストレスにより立ち上がり時間に 1.3 ns の劣化がみられ、立ち下り時間に 0.9 ns の劣化がみられている。図 7.2 4 は実験的に

得られた V_{TH} シフトのデータ (表 7.3) を回路シュミレーションプログラムに代入して、長時間ストレス印加前後のダイナミックインバータ回路の出力 (V_0) をシュミレーションした結果である。シュミレーションでは立ち上り時間に 1.5 ns の劣化がみられ、立ち下り時間に 1.0 ns の劣化がみられており、実験値とよく一致している。

以上のテストデバイスによる長時間ストレスの実験結果より、ホットエレクトロンによるダイナミック MOS RAM の性能劣化は、いくつかの特定の MOS FET の V_{TH} シフトに起因すると結論できる。

従って、ダイナミック MOS RAM の回路設計者の立場からすれば、実際の動作状態においてホットエレクトロンの影響を受け易い MOS FET を回路設計の段階で予見するモデルが実用的見地から必要となってくる。これについては次節で述べる。

表 7.3 35 時間の長時間ストレス ($V_{CC} = 10\text{ V}$, $T_a = 10^\circ\text{C}$) 後における V_{TH} シフトの値 (ΔV_{TH}) と P の計算値

MOSFET	Leff(μm)	$\Delta V_{TH}(\text{V})$	P	MOSFET	Leff(μm)	$\Delta V_{TH}(\text{V})$	P
Q1	1.9	0.00	0	Q8	1.9	1.39	5×10^2
Q2	1.9	1.45	1×10^4	Q9	1.9	0.00	0
Q3	1.9	0.00	0.5	Q10	1.9	0.00	5×10
Q4	1.9	0.00	6	Q11	2.4	1.10	5×10^3
Q5	1.9	0.00	2	Q12	1.9	0.22	2×10^2
Q6	1.9	2.09	1×10^3	Q13	1.9	0.00	1×10
Q7	1.9	0.00	0.5				

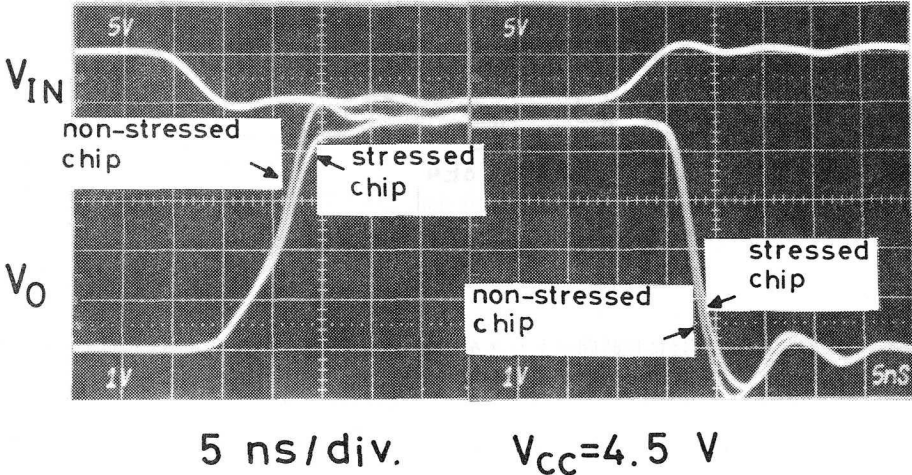


図 7.23 長時間ストレス ($V_{CC} = 10\text{ V}$, $T_a = 10^\circ\text{C}$, 35 時間後) による立ち上り時間及び立ち下り時間の劣化

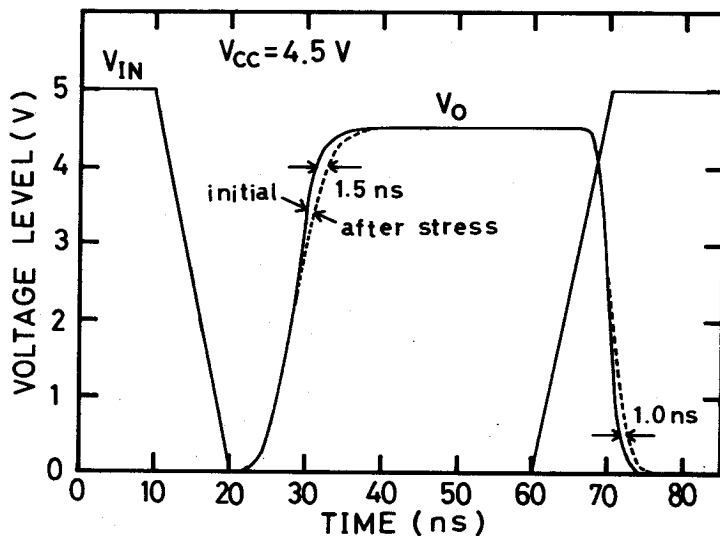


図 7.2.4 長時間ストレスによる立ち上がり時間及び立ち下り時間の劣化のシュミレーション

7.3.3. 実用的モデル

今まで、ダイナミック MOS RAM のレベル、次にテストデバイスのレベルというように、分解しながらホットエレクトロンの影響を調べてきたが、最後にはやはり MOS FET 単体レベルに戻って考察する必要がある。図 7.2.5 は、テストデバイスとはほぼ同一の製造プロセスで製作された MOS FET に、各種のゲート電圧 (V_{GS}) とドレイン電圧 (V_{DS}) の組合せのバイアス条件で長時間ストレスを印加しながら V_{TH} シフトを測定した結果の一部である。図 7.2.5 より次のことがいえる。

- ① ドレイン電圧が一定のとき（ここでは $V_{DS} = 1.2 \text{ V}$ ）， V_{TH} シフトのスピードはゲート電圧が小さいほど早い。
- ② $V_{DS} = 1.2 \text{ V}$ のとき，ゲート電圧 V_{GS} が 7 V 以上では， V_{TH} の飽和値自体は一定となる。
- ③ 一方，ゲート電圧 V_{GS} が 6 V 以下のときには， ΔV_{TH} の飽和値自体は小さくなる。

以上のデータを MOS FET ドレイン近傍のゲート酸化膜中の電界 $E = (V_{GS} - V_{DS}) / t_{ox}$ (t_{ox} はゲート酸化膜厚) を横軸にとって整理したのが図 7.2.6 及び図 7.2.7 である。図 7.2.6 は縦軸に， ΔV_{TH} が飽和値の 50% に達するまでの時間の逆数をとったもので， V_{TH} シフトのスピードを表わしている。すなわち，図 7.2.6 は V_{TH} シフトのスピードは強くゲート酸化膜中の電界 E に依存していることを示している。一方，図 7.2.7 は縦軸に， ΔV_{TH} の飽和値をとったもので， E の値がある臨界値よりも負の方向に大きくなると ΔV_{TH} の飽和値が急激に小さくなっていくことを示している。この E の臨界値はほぼ -1.0^6 V/cm である。従って， E の値が負の方

向に -10^6 V/cm より大きい領域では、 V_{TH} シフトのスピードは早いですが、 ΔV_{TH} の飽和値は小さく、ホットエレクトロンの振舞としては複雑な領域である（図 7.28 において直線 A-B より下の領域に対応）。

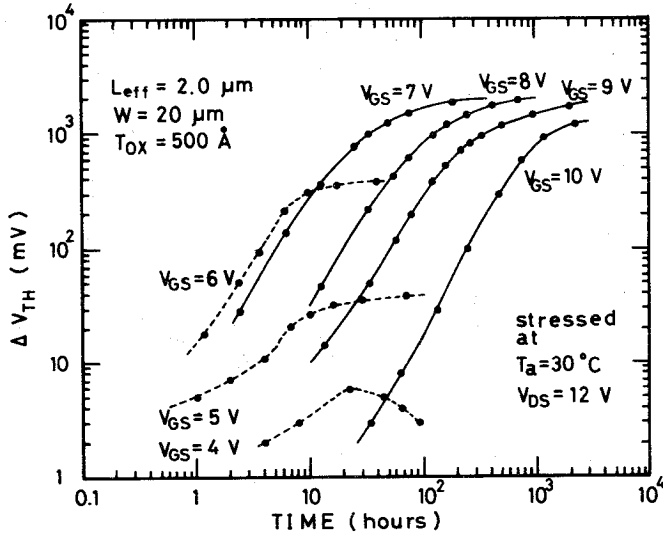


図 7.25 MOS FET 単体の V_{TH} シフト

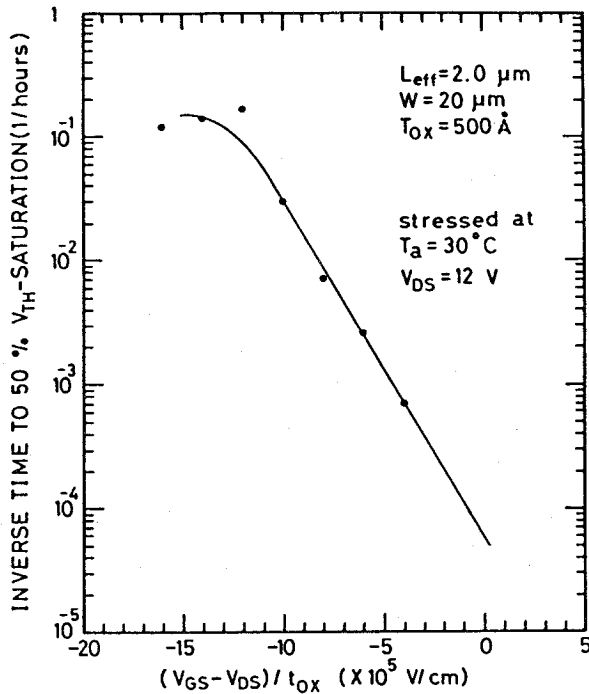


図 7.26 ΔV_{TH} が飽和値の 50% に達するまでの時間の
逆数対ゲート酸化膜中の電界 E

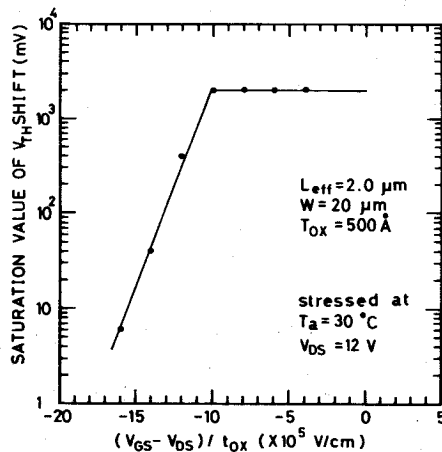


図 7.27 ΔV_{TH} の飽和値対ゲート酸化膜中の電界 E

このような解析に基づき、 V_{TH} シフトのスピードを相対的に表す重み関数 $W(V_{GS}, V_{DS})$ を V_{GS} 及び V_{DS} の関数として、 $V_{GS} - V_{DS}$ 平面上に等ポテンシャル線の形で表わしたのが図 7.28 である。図 7.28 において、ある 1 本の等ポテンシャル線に沿っては V_{TH} シフトのスピードは同じであることを意味し、隣りの等ポテンシャル線に沿っては 1.0 倍のスピードで V_{TH} がシフトすることを意味している。図 7.28 の中の直線 A-B は $E = -10^6 \text{ V/cm}$ に対応しており、よって、直線 A-B より下の領域では、 V_{TH} シフトのスピードは早い、 ΔV_{TH} の飽和値は小さい領域に相当する。今回の実用的モデルでは、実用的見地より、 ΔV_{TH} の飽和値が小さいことを考慮して、直線 A-B より下の領域ではホットエレクトロンの影響をほとんど無視できるとして簡略化を計っている。従って、図 7.28 において意味があるのは、直線 A-B より上の領域であり、そこではドレイン電圧 V_{DS} が一定のときには、ゲート電圧 V_{GS} が小さい方がホットエレクトロンの影響が大きいことを示しており、これは実験的事実と符合していることが分かる。また、 $V_{GS} = V_{DS}$ の直線に沿っては $V_{GS} (= V_{DS})$ の値が大きいほど、よりホットエレクトロンの影響が大きいことを示しており、これも実験的事実と符合している。

図 7.28 の実用的モデルに基づき、7.3.2 節で述べたテストデバイスにおける各 MOSFET ($Q_1 \sim Q_{13}$) のトランジスタ動作点解析を回路シミュレーションプログラムによって行った。つまり、 $V_{GS} - V_{DS}$ 平面上に各 MOSFET が動作状態に応じて描く軌跡を求めることができ ($V_{GS} - V_{DS}$ 軌跡)、その一例を図 7.29 に示す。 V_{TH} シフトがほとんどみられない Q_5 の MOSFET (表 7.3 参照) は重み付けの小さい安全な領域内で動作していることが、図 7.28 と図 7.29 を比較することにより分かる。一方、 $\Delta V_{TH} = 2.09 \text{ V}$ と V_{TH} シフトが大きい Q_6

の MOS FET では重み付けの大きい領域を経由しながら $V_{GS} - V_{DS}$ 軌跡を描いている。数学的には、実際の動作状態における MOS FET の V_{TH} シフトの度合 P は、重み関数 $W(V_{GS}, V_{DS})$ を $V_{GS} - V_{DS}$ 軌跡に沿って積分することにより求めることができる。よって、次式を得ることができる。

$$P = \oint W(V_{GS}, V_{DS}) dt \propto \Delta V_{TH} \quad (7.3)$$

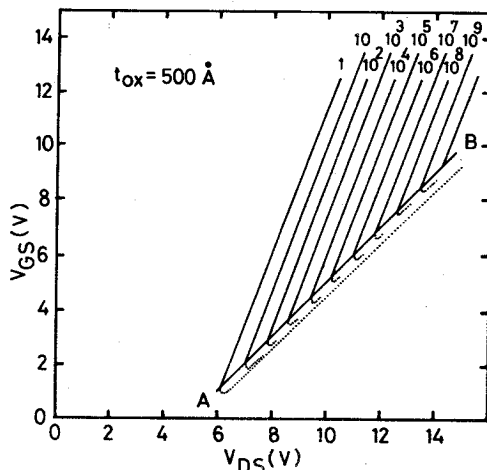


図 7.28 V_{TH} シフトのスピードを相対的に表わす重み関数 $W(V_{GS}, V_{DS})$

表 7.3 に (7.3) 式によって計算した P の値も掲載している。表 7.3 より次のことが言える。

- ① 大きな V_{TH} シフトがみられる MOS FET は P の値が 2×10^2 より大きい MOS FET と対応している。
- ② P の値が 5×10 より小さい場合には V_{TH} シフトがほとんどみられない。

従って、図 7.28 に示す実用的モデルを回路シミュレーションプログラムと組合せることにより、実際の動作状態においてホットエレクトロンの影響を受け易い MOS FET を容易に予見することができる。回路的な対策としては、予見に基づいて特定の MOS FET に限りトランジスタのチャネル長を少し長くすればよい。

従って、図 7.28 の実用的モデルは、ダイナミック MOS RAM の回路設計の観点より、ホットエレクトロン対策として極めて有効なものであることが示された。

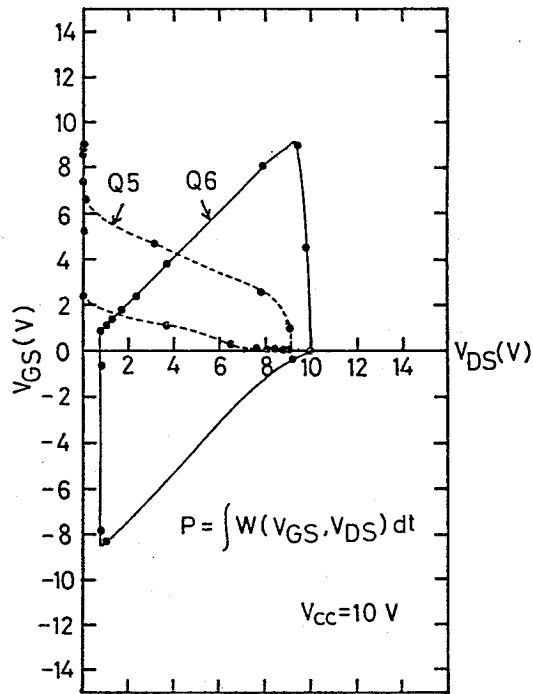


図 7.2.9 テストデバイスの MOS FET Q_5 及び Q_6 の $V_{GS} - V_{DS}$ 軌跡

7.4 結 言

本章では、大容量半導体メモリとして、ダイナミック MOS RAM が本命であるという結論に基づき、ダイナミック MOS RAM の大容量化を更に討るために必要な、①ソフトエラー、②ホットエレクトロン効果、という2つの物理的制約に対する技術的打開策を、64K(D) RAM を使って検討した。

ソフトエラー発生率は臨界電荷量 Q_{crit} に強く依存するという見地より、 Q_{crit} を増やす方法を検討した。 Q_{crit} を大きくする第1の方向は、メモリセル容量を大きくすることであり、この目的のためには、メモリセルサイズを大きくすることなしに、メモリセル容量を30%大きくできる Hi-C (High Capacitance) セルが有効であることが示された。すなわち、Hi-C セルによって約10倍のソフトエラーの改善がなされることが実証された。

Q_{crit} を大きくする第2の方向は、メモリ情報の読み出し時のワード線電圧を高くすることであり、この目的のためには、新規なワード線昇圧回路が有効であることが示された。すなわち、ワード線の昇圧によって約15倍のソフトエラーの改善がなされることが実証された。

また、電荷の収集効率の低減もソフトエラーの改善に有効であるという見地から、ポリシリコンビット線の検討を行い、その結果、ビット線の N^+ 拡散面積は $1/2$ になり、約4.7倍のソフトエラーの改善が達成された。

以上のソフトエラー改善策によって、最初 $Q_{crit}=0.064\text{ pC}$ であったものが、メモリセルサイズを大きくすることなしに $Q_{crit}=0.117\text{ pC}$ と1.8倍に増やすことができ、ソフトエラー改善率が700倍と大幅に改善されていることを明らかにした。

次に、回路設計の立場より、ホットエレクトロンのトラップ効果によるダイナミック MOS RAM のアクセス時間のシフト等の性能劣化を調べた。その結果、実際のメモリチップの動作状態においては、すべての MOS FET がホットエレクトロンの影響を受ける訳ではなく、特定の MOS FET のみに V_{TH} (V_{TH} ; MOS FET の閾値電圧)シフトが見られることを解明した。従って、実用的見地から、実際の動作状態においてホットエレクトロンの影響を受け易い MOS FET を回路設計の時点で予見することを検討した。そして、MOS FET 単体の V_{TH} シフトのデータに基づき、 V_{TH} シフトのスピードを相対的に表わす重み関数 $W(V_{GS}, V_{DS})$ (V_{GS} ; ゲート電圧, V_{DS} ; ドレイン電圧)を提案し、この重み関数 $W(V_{GS}, V_{DS})$ として表わされた実用的モデルを回路シミュレーションプログラムと組合せることにより、ホットエレクトロンの影響を受け易い MOS FET を容易に予見できることを実証した。従って、ここで提案された実用的モデルは、ダイナミック MOS RAM の回路設計の観点より、ホットエレクトロン対策として極めて有効なものであるといえよう。

参 考 文 献

- (1) T.C.May and M.H.Woods, " A New Physical Mechanism for Soft Error in Dynamic Memories ", in Proc. 1978 Int. Reliability Phys.Symp. Apr. 1978, pp. 33-40.
- (2) D.S.Yaney, J.T.Nelson and L.L.Vanskike, " Alpha-particle Tracks in Silicon and their effect on Dynamic MOS RAM Reliability ", IEEE Trans. Electron Devices, vol. ED-26, pp. 10-16, 1979.
- (3) A.F.Tasch, Jr., P.K.Chatterjee, H-S Fu and T.C.Holloway, " The Hi-C RAM Cell Concept ", IEEE Trans. Electron Devices, vol. ED-25, pp. 33-42, 1978.
- (4) V.L.Rideout, " Double Polysilicon Dynamic Memory Cell with Polysilicon Bit Line ", IBM Tech.Disc.Bull., vol.21, pp. 3828-3831, 1979.
- (5) M.Yamada, M.Taniguchi, T.Yoshihara, S.Takano, H.Matsumoto, T.Nishimura, T.Nakano, and Y.Gamou, " Soft Error Improvement of Dynamic RAM with Hi-C Structure ", IEEE IEDM Tech. Digest, pp. 578-581 (Washington D.C., 1980).
- (6) S.A.Abbas and R.C.Dockerty, " N-Channel IGFET Design Limitations due to Hot Electron Trapping ", IEEE IEDM Tech. Digest, pp. 35-38 (Washington D.C., 1975).
- (7) T.H.Ning, P.W.Cook, R.H.Dennard, C.M.Osburn, S.E. Schuster and H-N. Yu, " Hot Electron Design Constraints for one-microm IGFET's ", IEEE IEDM Tech. Digest, pp. 472-475 (Washington D.C., 1978).

- (8) T.H.Ning, P.W.Cook, R.H.Dennard, C.M.Osburn, S.E. Schuster and H-N.Yu, " 1 μ m MOSFET VLSI Technology : Part IV-Hot-Electron Design Constraints ", IEEE Trans. Electron Devices, vol. ED-26, pp. 346-353, 1979.
- (9) P. E. Cottrell, R.R.Troutman and T.H.Ning, " Hot-Electron Emission in N-Channel IGFET's ", IEEE Trans. Electron Devices, vol. ED-26, pp. 520-533, 1979.
- (10) R.R.Troutman, T.V.Harroun, P.E.Cottrell and S.N. Chakravarti, " Hot-Electron Design Considerations for High-Density RAM Chips ", IEEE Trans. Electron Devices, vol. ED-27, pp. 1629-1639, 1980.
- (11) H.Matsumoto, K.Sawada, S.Asai, M.Hirayama and K.Nagasawa, " Effects of Long-Term Stress on IGFET Degradations Due to Hot Electron Trapping ", IEEE Trans. Electron Devices, vol. ED-28, pp. 923-928, 1981.
- (12) H.Matsumoto, K.Sawada, S.Asai, M.Hirayama and K.Nagasawa, " Effects of Long Term Stress on Hot Electron Trapping ", Jpn. J. Appl. Phys., vol. 20 Supplement 20-1, pp. 255-260, 1981.
- (13) M.Yamada, H. Matsumoto, T. Kobayashi, M. Kumanoya, M. Taniguchi and T.Nakano, " Hot-Electron Trapping Effects of Short Channel 64K Dynamic MOS RAM ", Jpn. J. Appl. Phys., vol. 22 Supplement 22-1, pp. 59-62, 1983.
- (14) 山田, 松本, 小林, 熊野谷, 谷口, 中野 " 64K MOS DRAM のホットエレクトロントラップ効果 ", 電子デバイス研究会資料(電気学会)EDD-83-41, 1983.

- (15) 吉原, 高野, 中野 “ MOS ダイナミック RAM のソフトエラー ”, 信学論 (C)
vol. J 64-C, 8, pp. 469-474, (昭56-8).
- (16) 長山, 熊野谷, 山田, 吉原, 谷口 “ ソフトエラーを考慮したダイナミック MOS RAM
の回路設計 ”, 信学論 (C) vol. J 65-C, 7, pp. 522-529 (昭57-7).
- (17) 下西, 長山, 中野 “ ダイナミック MOS RAM のセンスアンプ感度 ”, 信学論 (C),
vol. J 61-C, 6, p 399-401 (昭53-06).

第8章 結 論

CCDメモリとダイナミック MOS RAM という大容量化に対して、圧倒的に有利な2種類の大容量半導体メモリの高性能化に関し、基礎的研究及びその工学的応用に関して行った種々の実験と、その理論的考察を第2章から第7章にわたって述べた。本研究によって得られた結論を総括して以下に示す。

- (1) CCDメモリを高集積化するために、CCDメモリが本質的にアナログ素子である点に注目し、1つのメモリセルに4段階の電荷充填状態を与えて2ビット分を記憶させ、ビット充填密度を従来の2倍にできる Multilevel Storage (MLS) 方式の検討を行った。その結果、MLS方式に伴っていた回路的な困難さを克服する、新規な入力回路及び新規な検出回路を提案し、その有効性をテストデバイスによって実証した。(第2章)
- (2) 転送効率が99.95%の現状では、64ステージがMLS方式によるCCDシフトレジスタの長さであり、この場合、検出回路の占める面積がメモリ部の38%にもなっている。
しかし、転送効率がさらに良く、99.99%以上になれば、ステージ数を128〜256にとりうるので、検出回路の占める面積の割合は減少してゆき、128ステージで19%、256ステージでは9%になる。従って、MLS方式の問題点は転送効率にあり、転送効率さえ良ければ自由度が広がり、チップ利用率の高いCCDメモリを構成できることを明らかにした。(第2章)
- (3) CCDメモリを高集積化するために、8相の転送クロックによって空のポテンシャル井戸を移してゆき、4ストレージセルで3ビット分を記憶させ、ビット充填密度を従来の1.5倍にできる新規な Electrode per Bit (E/B) 方式の検討を行った。その結果、従来のE/B方式のもつ少ない信号電荷量という欠点をなくし、信号電荷量を0.16 pCと大きくとれ、ビット当りのメモリセルサイズ $150\mu\text{m}^2$ と小さくできることを示した。(第2章)
- (4) 8相の転送クロックをオンチップで発生させることを検討し、その結果、ダイナミック回路の全面的採用により5.16 mW(周波数250 KHz)と低消費電力であり、かつクロックドライバ出力段の工夫により、1.5 V以下の小さなカップリングノイズにおさえられた転送クロックの発生が実現できた。この転送クロックの内蔵により、従来転送クロックの有する数百pFもの入力容量が実装上CCDメモリを使いにくいものにしていたという欠点を解決することができた。(第2章)
- (5) CCDメモリの高性能化のために行った、8相の転送クロックによる新規なE/B方式、8相の転送クロックの内蔵、電荷分離入力法を用いた Alternate Multiplex (ALM) 構造、の研究成果を64KビットCCDメモリに適用し、その工学的効果を明らかにした。すなわち、次

の特徴を有するCCDメモリを実現することができた。

- ① 転送クロックを含め、全入力が入力容量のTTL (Transistor Transistor Logic) コンパチブルで使い易い。
- ② 平均アクセス時間が $130\mu\text{s}$ (動作周波数 $f_{SE}=1\text{MHz}$) と比較的高速である。
- ③ クロックドライバを内蔵しながら、 205mW ($f_{SE}=1\text{MHz}$) と低消費電力である。このうち、転送クロック発生に要する電力は、全消費電力の25%である。
- ④ チップサイズは $7.1\text{mm} \times 4.7\text{mm}$ で、メモリ部はチップ全体の40%、転送クロック発生回路は13%を占めており、標準の18ピンDIP (Dual in-line package) に収納されているので、高密度実装に適している。

(第3章)

- (6) ダイナミックMOS RAMにおいて、基板電圧発生回路を内蔵する上で問題となる基板電圧 (V_{BB}) の変動について考察した。その結果、微視的時間の基板電圧変動の約90%がビット線、及びデコーダ回路の充放電により引き起こされることを示した。また、34%のセンスアンプ感度の劣化に相当する、メモリセルの“L”レベルのマージン減少が、微視的時間の基板電圧変動により生じることを明らかにし、この変動を減少させるために、チップ上に平滑コンデンサを設けることが有効であることを実証した。(第4章)
- (7) 電源電圧の変動に伴う巨視的時間の基板電圧変動に対しては、 V_{BB} の値が平衡値よりもより負電位になったときに、平衡値に戻す役目を有する V_{BB} リークパス回路が有効であることが示された。すなわち、供給電源 V_{CC} を故意に変化させるV-バンptestの特性において、 V_{BB} リークパス回路によって0.70Vの改善がなされることが実証され、かつ理論的にもその効果が確認された。(第4章)
- (8) ダイナミックMOS RAMに不可欠なリフレッシュ操作を容易にするために、1ピンにオートリフレッシュとセルフリフレッシュの2種類のリフレッシュ機能をもたせる上での、回路上の問題点を、特にカウンタとタイマについて検討した。(第4章)
- (9) オンチップでリフレッシュアドレスを提供するカウンタは、低消費電力で、かつ高速であることが必要で、これを実現するために7個のトグルフリップフロップからなる非同期式を採用した。その結果、 $V_{CC}=4.5\text{V}$ 、 $T_a=25^\circ\text{C}$ のときにトグルフリップフロップ1段当りの遅延時間4.8nsを実現した。(第4章)
- (10) セルフリフレッシュ時に使われるタイマについて、そのセット時間の高精度化を検討し、発振器の精度とチャージポンプの原理を利用したタイマの有効性を示した。
さらに、タイマのセット時間の精度は、発振回路の方で規定され、タイマの高精度化のポイントは発振周波数の安定化にあることを明らかにした。(第4章)

(11) ダイナミック MOS RAM の高性能化のために行った、基板電圧発生回路の内蔵、リフレッシュ機能の内蔵、Hi-C (High Capacitance) セルのメモリセル、新規な昇圧回路、の研究成果を 5V 単一電源で動作する 64K ビットダイナミック MOS RAM (64K (D) RAM) に適用し、その工学的効果を明らかにした。すなわち、次の特徴を有するダイナミック MOS RAM を実現することができた。

- ① チップサイズを大きくすることなしに、660 pF のオンチップ平滑コンデンサを形成して、微視的時間の基板電圧変動を約 30% 減少させている。
- ② 1 ピンによるリフレッシュ機能を内蔵したことによるチップサイズの増分は 1.6% であり、スタンバイ電流の増分は 0.3 mA であり、64K (D) RAM として実用レベルのものである。
- ③ デバイスとして、Hi-C セルを採用し、メモリセルサイズを大きくすることなしにメモリセル容量を約 30% 増加させている。
- ④ 回路として、新規な昇圧回路を採用し、従来の昇圧回路に比べて 20% 高速化されていると共に、昇圧回路で流れるピーク電流を約 40% 減少させている。

以上の結果、ビット当りの消費電力・遅延時間 ($P \cdot D$) 積は、16K (D) RAM の約 $1/10$ という飛躍的な性能向上が達成され、本研究成果は工学的応用効果の高いことが実証された。(第 5 章)

(12) CCD メモリとダイナミック MOS RAM のいずれが大容量化に適しているかということ、 α 粒子によるソフトエラーの観点から比較検討を行った。その結果、ダイナミック MOS RAM では臨界電荷量を増加させるのに、ワード線に昇圧回路が使用でき、さらにメモリセル構造に工夫を加えてメモリセル容量を大きくできる余地がある。一方、CCD メモリでは、転送クロックのもつ数百 pF の大きな容量負荷のため昇圧回路を使用できない。さらに、CCD メモリにとって重要なパラメータである転送効率を維持しながら、ストレージセルの容量を大きくできる有効な手段が見い出せていない。従って、大容量化に対してソフトエラーの観点から、CCD メモリは悲観的であり、ダイナミック MOS RAM の方が大容量化に適していると結論した。(第 6 章)

(13) 以上の第 6 章の結論に基づき、ダイナミック MOS RAM の大容量化を更に計るために必要な、ソフトエラーとホットエレクトロン効果という 2 つの物理的制約に対する技術的打開策の検討を行った。(第 7 章)

(14) ソフトエラーの改善策として、臨界電荷量 Q_{crit} の増加及び電荷の収集効率の低減という見地から、Hi-C セル構造、ワード線昇圧、ポリシリコンビット線を検討した結果、最初 $Q_{crit} = 0.064$ pC であったものが、メモリセルサイズを大きくすることなしに $Q_{crit} = 0.117$ pC と 1.8 倍に増やすことができ、ソフトエラー改善率が 700 倍と大幅に改善することができた。(第 7 章)

(15) 回路設計の立場より、ホットエレクトロンのトラップ効果によるダイナミック MOS RAM の性能劣化に対する実用的モデルを提案した。すなわち、実際のメモリチップの動作状態においては、すべての MOS FET が一様にホットエレクトロンの影響を受ける訳ではなく、特定の MOS FET のみに V_{TH} (閾値電圧) シフトが見られることを解明した。これに基づき、実用的見地から、 V_{TH} シフトのスピードを相対的に表わす重み関数 $W(V_{GS}, V_{DS})$ (V_{GS} ; ゲート電圧, V_{DS} ; ドレイン電圧) として表わされる実用的モデルを提案し、これを回路シュミレーションプログラムと組合せることにより、ホットエレクトロンの影響を受け易い MOS FET を容易に予見できることを実証した。(第7章)

以上、大容量半導体メモリの高性能化に関する基礎的研究及びその工学的応用より、大容量半導体メモリの研究開発に対する指針を得ることができた。

謝

辞

本論文をまとめるにあたり，終始御懇切なる御指導と御討論を賜った大阪大学基礎工学部 浜川圭弘教授に衷心より御礼のことばを申し上げます。

また，本論文の作成にあたり，大阪大学基礎工学部 難波進教授， 藤沢和男教授， 末田正教授， 山本錠彦教授， 成田信一郎教授には御懇篤なる御検討と御教示を賜りました。厚く御礼申し上げます。

本研究の遂行にあたり，終始御懇切なる御教示と御鞭撻を賜り，また研究の機会を与えていただいた三菱電機株式会社取締役 L S I 研究所所長 岡久雄博士，同設計技術部部長 蒲生容仁博士，同プロセス技術部部長 中田秀文博士に厚く御礼申し上げます。

また，本研究の遂行，及び論文の作成にあたり，数々の御教示，御忠告をいただいた三菱電機 L S I 研究所設計技術部次長 中野隆生博士，同北伊丹製作所課長 長澤絃一博士に厚く御礼申し上げます。

また，本論文における数々の分析，解析に御協力いただいた三菱電機北伊丹製作所主幹 谷口真博士， 長山安治博士， 同 L S I 研究所主事 吉原務博士， 藤島一康氏に心から感謝します。

末筆ながら，本研究の期間中終始有益な討論と協力をいただいた三菱電機 L S I 研究所ならびに北伊丹製作所の各位に心から感謝します。

研究業績目録

本論文に関する発表論文

	論文題名	著者	発表誌	本論文との対比
1	A New Multilevel Storage Structure for High Density CCD Memory	M. Yamada K. Fujishima K. Nagasawa Y. Gamou	IEEE J. Solid-State Circuits vol. SC-13, pp. 688-693, (Oct. 1978)	第 2 章
2	A New Multilevel Storage Structure for High Density CCD Memory	M. Yamada K. Fujishima K. Nagasawa Y. Gamou	Jpn. J. Appl. Phys. vol. 17 Supplement 17-1, pp. 263-268, (1978)	第 2 章
3	A New Multiplex Input Technique for High Density CCD Memory	K. Fujishima M. Yamada T. Tada S. Takano M. Yoneda Y. Gamou	Jpn. J. Appl. Phys. Vol. 19 Supplement 19-1, pp. 259-263, (1980)	第 3 章
4	All TTL Compatible CCD Memory with CCD Clock Generator	Y. Gamou M. Yamada K. Fujishima T. Tada S. Takano	IEEE J. Solid-State Circuits vol. SC-15, pp. 881-886, (Oct. 1980)	第 2 章 第 3 章

	論文題名	著者	発表誌	本論文との対比
5.	ダイナミック MOS RAM の内部基板電圧発生回路	下 西 藤 島 益 子 山 田 中 野	信学論 (C) J64-C, No. 11, pp. 769-776, (昭 56-11)	第 4 章
6	ダイナミック MOS RAM の基板電圧平滑コンデンサ	谷 口 山 田 熊野谷 小 林 中 野	信学論 (C) J65-C, No. 7, pp. 530-536, (昭 57-7)	第 4 章
7	Auto / Self Refresh 機能内蔵 64 K bit MOS ダイナミック RAM	山 田 谷 口 小 林 熊野谷 中 野	信学論 (C) J66-C, No. 1, pp. 62-69, (昭 58-1)	第 4 章 第 5 章
8	Fully Boosted 64K Dynamic RAM with Automatic and Self- Refresh	M. Taniguchi T. Yoshihara M. Yamada K. Shimotori T. Nakano Y. Gamou	IEEE J. Solid- State Circuits vol. SC-16, pp. 492-498, (Oct. 1981)	第 5 章
9	ソフトエラーを考慮した ダイナミック MOS RAM の 回路設計	長 山 熊野谷 山 田 谷 口	信学論 (C) J65-C, No. 7, pp. 522-529, (昭 57-7)	第 7 章

	論文題名	著者	発表誌	本論文との対比
10	Hot-Electron Trapping Effects of Short Channel 64K Dynamic MOS RAM	M. Yamada H. Matsumoto T. Kobayashi M. Kumanoya M. Taniguchi T. Nakano	Jpn. J. Appl. Phys. vol. 22 Supplement 22-1, pp. 59-62, (1983)	第 7 章

発表講演（研究会、学会）

1. Buried Channel CCDのパラメータについての考察（Ⅰ）
第34回応用物理学会（1973年秋季）
2. Buried Channel CCDのパラメータについての考察（Ⅱ）
第34回応用物理学会（1973年秋季）
3. Buried Channel CCDの動作条件
昭和49年度電子通信学会全国大会（1974年）
4. Buried Channel CCDのWellの深さと不純物濃度を求める方法
第36回応用物理学会（1975年秋）
5. CCDにおける fat zero 電荷の入力方法
第37回応用物理学会（1976年秋）
6. CCDメモリの試作
電子計算機研究会（1976年）
7. A New Multi-level Storage Structure for High Density
CCD Memory 第9回固体素子コンファレンス（1977年）
8. ゲート構造の違いによる転送特性の比較
昭和52年度電子通信学会総合全国大会（1977年）
9. Multilevel Storage（MLS）方式によるCCメモリ
半導体トランジスタ研究会（1978年）
10. MLS方式CCDメモリーの入力方法
第39回応用物理学会（1978年秋）
11. A New Multiplex Input Technique for High Density CCD
Memory 第11回固体素子コンファレンス（1979年）
12. クロックドライバ内蔵CCDメモリの構成と性能
半導体トランジスタ研究会（1979年）
13. Soft Error Improvement of Dynamic RAM with High-C
Structure IEDM 於 Washington D.C.（1980年）
14. Auto/Self Refresh 機能内蔵 64K MOS ダイナミック RAM
半導体トランジスタ研究会（1981年）
15. 基板電位発生回路内蔵ダイナミック RAM の問題点
昭和56年度電子通信学会総合全国大会（1981年）

16. Hot-Electron Trapping Effects of Short Channel 64K dynamic MOS RAM
第14回固体素子コンファレンス(1982年)
17. High Performance Dynamic RAM using Double Aluminum layer
VLSIシンポジウム(1982年)
18. Diffusion Length Measurement using Dynamic MOS RAM
第14回固体素子コンファレンス(1982年)
19. リフレッシュ機能内蔵64K MOS ダイナミック RAMのカウンタチェック
昭和57年度電子通信学会総合全国大会(1982年)
20. 64K MOS D RAMのホットエレクトロントラップ効果
電子デバイス研究会 (1983年)
21. ダイナミックRAMにおける V_{BB} リークパス回路のV-バンプ特性に与える影響
昭和58年度電子通信学会総合全国大会(1983年)