



Title	Low-Voltage and Small-Area Design and Implementation of Narrowband and Wideband CMOS Low-Noise Amplifiers
Author(s)	木原, 崇雄
Citation	大阪大学, 2009, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/2408
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

【76】	
氏 名	木 原 篤 雄
博士の専攻分野の名称	博士(工学)
学 位 記 番 号	第 22967 号
学 位 授 与 年 月 日	平成 21 年 3 月 24 日
学 位 授 与 の 要 件	学位規則第 4 条第 1 項該当
学 位 論 文 名	工学研究科電気電子情報工学専攻 Low-Voltage and Small-Area Design and Implementation of Narrowband and Wideband CMOS Low-Noise Amplifiers (狭帯域・広帯域 CMOS 低雑音増幅器の低電圧化および小面積化に関する 研究)
論 文 審 査 委 員	(主査) 教授 谷口 研二 (副査) 教授 八木 哲也 準教授 松岡 俊国 情報科学研究科准教授 橋本 昌宜 教授 伊藤 利道 教授 森 勇介 教授 片山 光浩 教授 杉野 隆 教授 尾崎 雅則 教授 栖原 敏明 教授 近藤 正彦 教授 森田 清三

論文 内 容 の 要 旨

This dissertation addressed low-voltage and small-area design and implementation of narrowband and wideband CMOS low-noise amplifiers (LNAs). It was organized into five chapters and two appendixes. The summaries of each chapter were as follows:

Chapter 1
A background for this work and fundamentals of LNAs were described.

Chapter 2

A 1.0 V, 5 GHz two-stage CMOS LNA with inductive source degeneration was demonstrated. Its design methodology based on analytical expressions was also presented. The two-stage topology consisting of common-source and common-gate stages was more suitable for low-voltage operation than a conventional cascode topology. The complete analytical expressions of the LNA performance were first derived from the small-signal equivalent circuits. The LNA fabricated in a 0.15 μ m fully-depleted silicon-on-insulator (FD-SOI) CMOS process occupied 0.25 mm^2 and achieved an S11 of less than -10 dB, NF of 1.7 dB, voltage gain of 23 dB, and IIP3 of -6.1 dBm at 5.4 GHz with power consumption of 8.3 mW. These measurements were consistent with the calculations obtained from the derived analytical expressions.

Chapter 3

A 0.5 V, 5 GHz transformer folded-cascode CMOS LNA was demonstrated. The chip area of a conventional folded-cascode LNA was reduced by partially coupling the internal inductor with the load inductor. The effects of the magnetic coupling between these inductors on the LNA performance were also analyzed. The LNA fabricated in a 90 nm digital CMOS process achieved an S11 of -14 dB, NF of 3.9 dB, and voltage gain of 16.8 dB at 4.7 GHz with power consumption of 1.0 mW. The chip area of the presented LNA was 25% smaller than that of the conventional folded-cascode LNA.

Chapter 4

A 1.0 V, 3.1-10.6 GHz transformer noise-canceling CMOS LNA based on a common-gate topology was demonstrated. The transformer consisting of the input and shunt-peaking inductors partly canceled the noise originating from the common-gate transistor and load resistor. The combination of the transformer with the output series inductor provided wideband input impedance matching. The LNA designed for ultra-wideband (UWB) applications was fabricated in a 90 nm digital CMOS process. It achieved an S11 of less than -10 dB, NF of less than 4.4 dB, and voltage gain of more than 9.3 dB with power consumption of 2.5 mW and occupied the smallest chip area (0.12 mm^2) among previously reported 3.1-10.6 GHz CMOS LNAs.

Chapter 5

The achievements obtained in this work were summarized.

論文 審 査 の 結 果 の 要 旨

本論文は、狭帯域・広帯域無線受信機用の CMOS (Complementary Metal-Oxide-Semiconductor) 低雑音増幅器 (LNA: Low-Noise Amplifier) の低電圧化および小面積化に関する研究についてまとめたものであり、以下の 5 章より構成されている。

第 1 章では、無線通信機器向けの CMOS 高周波集積回路 (RFIC: Radio-Frequency Integrated Circuits) において低電圧化および小面積化が最重要課題であることの技術的背景と、LNA に関する基礎的な事項について述べている。

第 2 章では、狭帯域無線受信機用の 2 段 CMOS LNA の回路構成とその設計手法について述べている。従来の狭帯域 CMOS LNA は、2 つのトランジスタを縦積み (カスコード接続) にして構成されているため、低電源電圧下 (1.0 V 以下) での動作が困難となっている。この章では、2 段構成とすることで LNA の低電圧化を行い、さらにその LNA の諸特性 (利得、雑音指数、線形性) を表した解析式を用いて、この LNA の設計手法を新たに提案している。この設計手法により、シミュレーションに依存することなく、短期間で 2 段 LNA の最適化を行うことができる。0.15 μ m CMOS プロセスで作

製した 2 段 LNA (チップ面積は 0.25 mm^2) は、 1.0 V の電源電圧、 8.3 mW の消費電力のとき、 5 GHz において $S_{11} < -10 \text{ dB}$ 、 $S_{21} = 23 \text{ dB}$ 、 $\text{NF} = 1.7 \text{ dB}$ 、 $\text{IIP}_3 = -6.1 \text{ dBm}$ を得ており、 5 GHz 無線 LAN (Local Area Network) 受信機用の仕様を満たしている。さらに、解析結果と実測結果が一致していることから設計手法の有効性を実証している。

第 3 章では、トランスを用いた面積効率が良い折り返し CMOS LNA について述べている。前章の 2 段 LNA よりも性能は劣るが、小面積・低電圧動作の従来型 LNA をさらに小面積で実現する手法について述べている。具体的には、LNA を構成する 2 つのインダクタを重ね合わせて小面積化を図り、これをトランスとして使用する。さらに、このトランスの磁気結合により生じる LNA の諸特性への影響を解析し、最適なトランスの構造を提案している。 90 nm デジタル CMOS プロセスで作製した LNA は、従来の折り返し LNA の約 $3/4$ のチップ面積 (0.21 mm^2) で、同等の性能 (0.5 V の電源電圧、 1.0 mW の消費電力のとき、 5 GHz において $S_{11} < -10 \text{ dB}$ 、 $S_{21} > 16.8 \text{ dB}$ 、 $\text{NF} = 3.9 \text{ dB}$ 、 $\text{IIP}_3 = -6.1 \text{ dBm}$) を得ていることから、本手法の有効性を実証している。

第 4 章では、Ultra-Wideband (UWB) をはじめとする広帯域無線受信機用のトランス雑音除去 CMOS LNA について述べている。従来の広帯域 CMOS LNA は、小面積 (0.4 mm^2 以下) で低電圧 (1.0 V 以下) および低消費電力 (10 mW 以下) 動作が困難である。この章では、低電圧動作に適したゲート接地 LNA にトランスを取り入れ、さらに出力端子にインダクタを直列接続させた新たな広帯域 CMOS LNA を提案している。トランスの機能により、消費電力を増加させることなく、広帯域にわたり LNA の雑音特性を向上させている。2 つのインダクタを上下に重ね合わせた構造にすることで、小面積 (インダクタ 1 つ分) のトランスが実現できる。さらに出力インダクタを導入して LNA の入力および出力帯域幅を広げている。 90 nm デジタル CMOS プロセスで作製した LNA はチップ面積が 0.12 mm^2 で、さらに 1.0 V の電源電圧、 2.5 mW の消費電力のとき、UWB の周波数帯域 ($3.1\text{-}10.5 \text{ GHz}$) において $S_{11} < -10 \text{ dB}$ 、 $S_{21} > 9.3 \text{ dB}$ 、 $\text{NF} < 4.4 \text{ dB}$ 、 $\text{IIP}_3 > 9.3 \text{ dBm}$ を得ている。これは、これまで報告されている $3.1\text{-}10.5 \text{ GHz}$ 動作の CMOS LNA の中で最も小面積で、さらに UWB 無線受信機用として十分な性能である。

第 5 章では、本研究において得られた知見を総括している。

以上のように、本論文では 1. カスコード接続トランジスタを用いない回路構成、2. トランスを取り入れた回路構成、3. 解析式に基づいた設計手法、4. トランスによる雑音除去法を実証し、それらが優れた性能を示すことを明らかにしている。これらの研究成果および本論文で述べた回路技術は、LNA のみならず CMOS RFIC 全体の低電圧化と小面積化を可能とし、エレクトロニクス産業の発展に大きく寄与するものである。

よって、本論文は博士論文として価値あるものと認める。