

Title	低電圧システムオンチップの高速・低電力回路技術に関する研究
Author(s)	水野, 弘之
Citation	
Issue Date	
Text Version	ETD
URL	https://doi.org/10.11501/3184380
DOI	10.11501/3184380
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	水野弘之
博士の専攻分野の名称	博士(工学)
学位記番号	第 15851 号
学位授与年月日	平成13年1月29日
学位授与の要件	学位規則第4条第2項該当
学位論文名	低電圧システムオンチップの高速・低電力回路技術に関する研究
論文審査委員	(主査) 教授 谷口 研二
	(副査) 教授 濱口 智尋 教授 北山 研一 教授 吉野 勝美 教授 尾浦憲治郎 教授 森田 清三 教授 西原 浩

論文内容の要旨

本論文は、低電圧システムオンチップの高速・低電力回路技術に関する研究成果をまとめたもので、全体は7章から構成されている。

第1章では、システムオンチップ(SOC)の低電圧化の目的とその歴史的背景を概説した後、SOCの低電圧化には「動作速度低下」、「電力増加」、「回路特性不整合」、「特性ばらつき増加」の四つの課題があることを論じ、これらの課題と各章の内容との関係を明確化した。

第2章では、低電圧ロジック回路において、微細化に伴って指数関数的に増加するサブスレッショルドリーク電流低減技術を中心に検討し、新しい基板バイアス制御方式(基板インピーダンス切り替え型基板バイアス制御方式)を提案した。これによって、動作時の高速動作と待機時の低リーク消費電流特性の両立が実現できることを実証した。

第3章では、低電圧SRAM回路においては、「動作速度劣化」の課題から派生した課題として、サブスレッショルドリーク電流によるビット線ノイズ増加と、スタティック・ノイズ・マージン劣化の課題が新たに発生することを示した。本章では、新しいメモリセル(ソース線駆動型メモリセル)を提案し、上記二つの課題を同時に解決できることを示した。

第4章では、第2章と第3章で示した回路的なアプローチとは別に、方式的アプローチによって、低電圧キャッシュを高速・低電力化できるビット線分離型メモリ階層方式を提案した。さらに本章では、キャッシュはSOCの低電力化に有効であることを示し、小面積で高ヒット率が得られるビット線分離型ユニファイドキャッシュを提案した。

第5章では、DRAM回路が混載された低電圧SOCにおける「回路特性不一致」の課題に対する解決策として、それぞれの回路を構成するMOSトランジスタの動作領域を一致させる手法を検討し、DRAMセンス系回路のようなアナログ回路でも、ロジック回路の電源電圧および温度特性と類似した特性をもたせることが可能であることを実証した。

第6章では、低電圧SOCにおける「特性ばらつき増加」の課題に対する解決策として、自立分散的手法を検討した。複数の分散した発振器同士を同一位相・同一周波数で相互発振できる同期分散発振器を開発し、これを用いたクロック系を提案した。低電圧でも高い周波数のクロックを、低ジッタ・低スキューでSOC上に分配できることを実証した。

第7章では、第2章から第6章の各章で得られた結果をもとに、第1章で述べた低電圧化の四つの課題に対する解

決策を整理し、今後に残された課題について述べた。

論文審査の結果の要旨

システムオンチップ (SOC) は、数種の回路が複合した構造を持つ大規模集積回路 (LSI) である。今日、SOC は、システムの要求する「機能」、「性能」、「価格」を同時に満たすシステムソリューションを、ネットワーク市場や携帯電話市場等の競争が激化する市場において短時間に提示するために必要不可欠なデバイスとなっている。本論文では、SOC を高性能化するために必須な SOC 回路の低電圧化について検討したものであり、低電圧 SOC を高速・低電力化する回路技術に関する研究をまとめている。

この研究の内容には応用技術面での独創性と、新しい知見が含まれている。その主要な成果は次の通りである。

- (1) 低電圧ロジック回路の高速・低電力化に関しては、基板インピーダンス切り替え型基板バイアス制御方式を新たに開発することで、1.8V で200MHz の動作速度性能をもつ約300万トランジスタが集積されたマイクロプロセッサの待機時電流を約18 μ A まで低減できることを示し、動作時の高速動作と待機時の低リーク消費電流特性の両立が可能であることを実証している。
- (2) 低電圧 SRAM 回路の高速・低電力化に関しては、サブスレッショルドリーク電流によるビット線ノイズ増加と、スタティック・ノイズ・マージン (SNM) 劣化の課題を明確にし、従来のメモリセルでは接地電位に接続されていたソース線を積極的に駆動するソース線駆動型メモリセルを提案し、従来の完全 CMOS メモリセルの構造をほとんど変更せずに上記二つの課題を同時に解決できることを示している。
- (3) 方式的なアプローチによる低電圧 SRAM 回路の高速・低電力化として、ビット線分離型メモリ階層方式を提案し、1V の電源電圧で周波数100MHz、消費電力10mW で動作するキャッシュを開発している。さらに、上記メモリ階層方式を用いて、キャッシュを用いて SOC の低電力化を可能とする新しいキャッシュ構造 (ビット線分離型ユニファイドキャッシュ) を提案している。
- (4) 多種多様の回路要素が集積化される SOC では「低電圧化に伴う回路特性不整合」の課題は深刻であるが、それぞれの回路を構成する MOS トランジスタの動作領域を一致させる手法を検討し、DRAM センス系回路のようなアナログ回路でも、ロジック回路の電源電圧および温度特性と類似した特性をもたせることが可能であることを示している。
- (5) 従来のクロック系の強制同期とは対極的な同期手法として、相互同期による自立分散的なクロック系を提案し、100mV 以上の電源ノイズがある環境で約7mm 離れた発振器を、97ps のジッタと37ps のスキューで同期発振可能な同期分散発振器を開発している。

以上のように、本論文は、低電圧 SOC の高速・低電力化に付随する様々な問題点を解決する方法を提示しており、半導体集積回路の高性能化に関わる多くの知見をもたらし、今後の集積回路の高速化・低消費電力化に向けた有益な情報を提供するもので、半導体工学・電子工学の発展に貢献するところが大きい。よって、本論文は博士論文として価値あるものと認める。