



Title	低電圧システムオンチップの高速・低電力回路技術に関する研究
Author(s)	水野, 弘之
Citation	大阪大学, 2001, 博士論文
Version Type	VoR
URL	https://doi.org/10.11501/3184380
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

228/75

低電圧システムオンチップの
高速・低電力回路技術に関する研究

2000 年

水野 弘之

低電圧システムオンチップの 高速・低電力回路技術に関する研究

2000 年

水野 弘之

内容梗概

システムオンチップ (SOC) は、数種の回路が複合した構造を持つ LSI であり、日本では、「システム LSI」と呼んで注目されている。今日、SOC は、システムの要求する「機能」、「性能」、「価格」を同時に満たすシステムソリューションを、ネットワーク市場や携帯電話市場等の競争が激化する市場において短時間に提示するために必要不可欠なデバイスとなっている。本論文は、低電圧システムオンチップの高速・低電力回路技術に関して、筆者が 1993 年から (株) 日立製作所中央研究所において実施した研究をまとめたもので、全体は 7 章から構成されている。以下、各章ごとにその内容の概要を述べる。

第 1 章 序論

本章では本研究の背景として、LSI の電源電圧の推移について述べる。その中で、低電圧化の目的は、「高集積化のための低電圧化」、「低電力化のための低電圧化」、「高速化のための低電圧化」の三つに分類され、SOC の高性能化に極めて大きな効果があることを述べる。また、低電圧化の推移とその目的の推移について述べ、その中で低電圧化の目的は時代とともに変化していることと、今日ではそれは全ての LSI の必須項目であることを述べる。

さらに、低電圧化には大きく分けて、「低電圧化に伴う動作速度低下」、「低電圧化に伴う電力増加」の二つの課題があり、前者の課題から派生した課題として、「低電圧化に伴う回路特性不整合」、「低電圧化に伴う特性ばらつき増加」の二つの課題があることを述べる。

本論文では、第 2 章から第 4 章の検討を通して、「低電圧化に伴う動作速度低下」と「低電圧化に伴う電力増加」の課題について解決策を検討する。また、第 5 章の検討を通じて「低電圧化に伴う回路特性不整合」の課題について、第 6 章の検討を通じて「低電圧化に伴う特性ばらつき増加」の課題について、それぞれ解決策を検討する。

第 2 章 低電圧ロジック回路の高速・低電力化

本章では、低電圧ロジック回路の高速・低電力化について述べる。ロジック回路は SOC の中で最も重要な回路要素の一つであり、ロジック回路の性能は SOC 全体の性能に大きく影響を与える。本章では、「低電圧化に伴う電力増加」と「低電圧化に伴う動作速度劣化」をいかにして同時に解決するかという命題は、サブスレッショルドリーク電流をいかにして削減するかという命題に等しいとし、微細化に伴って指数関数的に増加するサブスレッショルドリーク電流の低減技術を中心に述べる。

本章では基板バイアス制御によるリーク電流削減技術を、大規模高速 LSI (SH4 マイコン: 3.3 M Trs, 200 MHz) に搭載した開発事例を述べる。従来の基板バイアス制御方式では基板インピーダンスが高くなる等の弊害により、アクティブ時の高速動作を維持することが困難であった。この課題を解決するために、基板インピーダンス切り替え型基板バイアス制御方式を開発した。チップ上に約 1 万個のスイッチセルと呼ぶ低基板インピーダンス化回路を分散配置する方式で、アクティブ時の高速動作と、スタンバイ時の低リーク消費電流特性の両立を、世界で初めて製品レベルの LSI で実用化した技術である。

さらに、上記 SH4 マイコンでの基板バイアス制御において新たに明らかとなった、GIDL (Gate Induced Drain Leakage) 電流による消費電流増加という課題についても述べる。GIDL 電流を抑制するための方式について検討し、新しい基板バイアス制御方式 (低電圧基板バイアス制御方式) を提案する。

第 3 章 低電圧 SRAM 回路の高速・低電力化

本章では、低電圧 SRAM 回路の高速・低電力化について述べる。SRAM 回路を使用しない LSI は存在しないといえるほど、LSI において SRAM 回路は重要な構成要素である。当然、SOC においても SRAM 回路は必須回路要素である。

低電圧 SRAM 回路においては、「低電圧化に伴う動作速度劣化」から派生した課題として、サブスレッショルドリーク電流によるビット線ノイズ増加と、スタティック・ノイズ・マージン (SNM) 劣化の課題が新たに発生することを示す。本章では、従来のメモリセルでは接地電位に接続されていたソース線を積極的に駆動するソース線駆動型メモリセルを提案する。MOS トランジスタの耐圧の課題があるが、完全 CMOS メモリセルの構造をほとんど変更せずに上記ビット線ノイズ増加と SNM の課題を同時に解決できる。

第 4 章 低電圧 キャッシュの高速・低電力化

キャッシュは、今日のマイクロプロセッサ性能に大きく影響を与える重要な回路要素である。高速 SRAM の多くがキャッシュとして用いられることから、本章では低電圧キャッシュの高速・低電力化について述べる。一般的にはキャッシュには SRAM 回路を使用するが、第 3 章で主に述べたメモリセルの制御方式の工夫による高速・低電力化のほかに、さまざまな方式的アプローチを適用できるという特徴がある。

本章では、方式的アプローチにより、低電圧キャッシュを高速・低電力化できるビット線分離型メモリ階層方式を提案する。この方式は、低電圧でも低容量の SRAM は高速に動作するという特徴を利用し、一つのメモリセルアレイを階層化することにより実効的に高速なキャッシュ動作を達成している。

キャッシュは電力を大量に消費するチップ外アクセスを低減することが可能であり、マイクロプロセッサ等の LSI の低電力化に有効である。本章では、低電圧キャッシュによる低電力技術についても合わせて検討する。キャッシュの低電力化には、キャッシュのヒット率を向上させることが効果的である。一般に、高いヒット率を得るためには大容量のキャッシュを用いることが一般的である。しかし、大容量のキャッシュはチップ面積を増加させ、また高速動作を阻害する。この二つの相反する要求に応じることが可能な、小面積で高ヒット率が得られるキャッシュ構造について検討し、上記ビット線分離型メモリ階層方式を使用してユニファイドキャッシュを 2 ポート化したビット線分離型ユニファイドキャッシュを提案する。

第 5 章 低電圧 DRAM 回路の高速化

多種多様の回路要素が集積化される SOC では、「低電圧化に伴う回路特性不整合」の課題は深刻である。SOC の代表的な例として、ロジック LSI に DRAM を混載した DRAM 混載ロジック LSI が挙げられる。DRAM のセンス系回路は、CMOS ロジック回路とは異なってアナログ回路的な要素を多く含む。そのため、「低電圧化による回路特性不整合」が生じやすい。本章では低電圧 DRAM 回路の高速化について述べ、「低電圧化に伴う回路特性不整合」の課題について論ずる。

SOC 上の回路要素は個別チップ上で実現されてきたものとは異なる仕様になることが多い。たとえば、DRAM 混載ロジック LSI においては、混載 DRAM 回路は汎用 DRAM 回路よりも低電圧で動作させる必要がある。また、単体の汎用 DRAM と比較して生産数が限られており、量産効果が少ない。そのため、低コスト化のために DRAM 回路を混載することにより生ずる製造プロセス複雑化の低減が強く望まれている。例えば、DRAM 回路

で使用するトランジスタ仕様を、ロジック LSI で使用するトランジスタ仕様に合わせる。本章ではさらに、これらの事柄を SOC の基本設計事項として、混載用 DRAM センス系回路について論ずる。

ここでは、「低電圧化に伴う回路特性不一致」の課題に対する解決策として、それぞれの回路を構成する MOS トランジスタの動作領域を一致させる手法を検討した。この手法の適用例として本章では、(a) メモリセルが接続されたビット線は Half-Vcc プリチャージし、センスアンプが接続されたビット線は Vcc プリチャージして、両ビット線間を NMOS 容量で容量結合するデュアルプリチャージレベルセンス方式と、(b) 再書き込み時に、センスアンプに接続された一対のビット線のうち、メモリセルが接続されたビット線のみを駆動するシングルビット線再書き込み方式と、(c) Vcc プリチャージされたビット線対電位を PMOS のゲート端子に入力してグローバルビット線をタイミングレスで増幅する PMOS ダイレクトセンス方式を用いた DRAM センス系回路を提案する。

第 6 章 低電圧クロック系的高速化

「低電圧化に伴う特性ばらつき増加」の解決策として、自立分散的手法を論ずる。これは特性ばらつきを相互調停によって相補することにより、特性ばらつきに強いシステムを構成する手法である。この手法の適用例として、本章では低電圧クロック系的高速化について述べる。

今日のほとんど全ての LSI は、同期式回路で構成されている。このような同期式回路における重要な回路要素として、クロック系がある。近年の LSI では 1GHz を超える周波数で動作するものもあり、このような高速 LSI の実現には高精度なクロックが必須である。特に SOC ではチップ面積が大きくなることが多く、クロック系の性能は SOC の性能に多大な影響を与える。

マイクロプロセッサ等の LSI で一般に用いられているクロック系は、PLL 等からなるクロック発生系と、そのクロック発生系で発生したクロックをフリップフロップやラッチまで分配するクロック分配系に分けられる。今日の LSI では、クロック発生系で発生したクロックを一方的にクロック分配系によって LSI 内で分配し、内部のフリップフロップやラッチを同期している。いわゆる中央集権的な“強制同期 (Forced Synchronization)”方法である。しかし、この方法では、クロック分配系を構成するバッファの低電圧化に伴う特性ばらつきの増加によって、クロックを低ジッタや低スキューに分配することが困難になる。

本章では、上記の“強制同期”とは対極的な同期手法として、“相互同期 (Mutual Synchronization)”による自立分散的なクロック系を提案する。これは複数の分散した発振器同士を同一位相・同一周波数で相互発振させることを可能にする同期分散発振器 (Synchronous Distributed Oscillator; SDO) を用いて、低電圧でも高い周波数のクロックを、低ジッタ・低スキューで大規模 LSI 上に分配することを可能にする。

第 7 章 結論

本章では、第 2 章から第 6 章の各章で得られた結果をもとに、第 1 章で述べた低電圧化の四つの課題に対する解決策を整理し、今後に残された課題について述べる。

目次

1 序論	1
1.1 低電圧化の三つの目的	2
1.2 低電圧化の推移	2
1.3 低電圧化に伴う四つの課題	4
1.4 本論文の構成	5
参考文献	8
2 低電圧ロジック回路の高速・低電力化	9
2.1 緒言	9
2.2 ロジック回路の低電圧化の推移と課題	10
2.3 従来のサブスレッショルドリーク電流削減技術	12
2.3.1 スタンバイ時サブスレッショルドリーク電流削減技術	12
2.3.2 アクティブ時サブスレッショルドリーク電流削減技術	16
2.4 基板インピーダンス切り替え型基板バイアス制御方式によるサブスレッショルドリーク電流削減技術	19
2.4.1 全体構成	20
2.4.2 電源ネットおよび基板バイアスネット構成	23
2.4.3 スタンダードセルレイアウトおよびウェル構造	25
2.4.4 詳細回路	28
2.5 基板インピーダンス切り替え型基板バイアス制御方式の測定結果	31
2.5.1 状態遷移時の過渡特性	31
2.5.2 リーク電流特性	33
2.5.3 負電圧発生回路 (vbcg) 特性	34
2.6 基板バイアス制御の限界 (GIDL 電流によるリーク電流増加)	36
2.7 低電圧基板バイアス制御方式による GIDL 電流削減技術	37
2.7.1 基本概念	37
2.7.2 測定結果	37
2.8 結言	39
参考文献	40
3 低電圧 SRAM 回路の高速・低電力化	43
3.1 緒言	43
3.2 SRAM 回路の低電圧化の推移と課題	44

3.3	完全 CMOS メモリセルの低電圧高速動作	45
3.3.1	低電圧高速動作のための主な駆動方式	45
3.3.2	完全 CMOS メモリセルのスタティックノイズマージン	46
3.4	ソース線駆動型 (DSL) メモリセル	48
3.4.1	読み出し動作	49
3.4.2	書き込み動作	51
3.5	ソース線駆動型 (DSL) メモリセルの駆動回路	53
3.6	その他の低電圧メモリセル	54
3.7	結言	57
	参考文献	58
4	低電圧キャッシュの高速・低電力化	61
4.1	緒言	61
4.2	キャッシュの低電圧化の推移と課題	62
4.3	メモリの階層化による高速化	63
4.3.1	実効レイテンシの解析式化	63
4.3.2	メモリの階層化による実効レイテンシの評価	65
4.4	ビット線分離型メモリ階層方式を用いたキャッシュ	67
4.4.1	全体構成	67
4.4.2	ビット線分離型メモリ階層方式を用いたデータ部	68
4.4.3	ドミノタグ比較器を用いたタグ部	73
4.4.4	エイリアシング問題	77
4.5	ビット線分離型メモリ階層方式を用いたキャッシュの試作結果	79
4.6	キャッシュによる LSI の低電力化	81
4.6.1	キャッシュの小面積化	81
4.6.2	キャッシュの 2 ポート化	82
4.7	ビット線分離型ユニファイドキャッシュ	83
4.7.1	全体構成	83
4.7.2	競合問題	85
4.7.3	方式性能評価	86
4.8	結言	88
	参考文献	89
5	低電圧 DRAM 回路の高速化	93
5.1	緒言	93
5.2	低電圧混載 DRAM 回路の基本設計方針	94
5.3	DRAM センス系回路の低電圧化の課題	95
5.3.1	従来センス系回路の概要	95
5.3.2	従来センス系回路におけるセンス時間の低電圧特性	98
5.4	低電圧 DRAM センス系回路の提案	102
5.4.1	回路の概要	102
5.4.2	動作方法	102
5.4.3	低電圧特性の評価結果	106

5.5 結言	108
参考文献	109
6 低電圧クロック系の高速化	111
6.1 緒言	111
6.2 クロック系の低電圧化の課題	112
6.3 同期分散発振器を用いたクロック系の提案	113
6.3.1 同期分散発振器の原理	114
6.3.2 同期分散発振器のクロック系への応用	116
6.4 同期分散発振器の基本特性	117
6.4.1 引き込み特性	117
6.4.2 耐ノイズ性	118
6.5 同期分散発振器の試作結果	122
6.6 結言	125
参考文献	126
7 結論	129
7.1 本研究により明らかにされた事項	129
7.2 今後に残された課題	132
参考文献	134
謝辞	135
研究業績	137

第 1 章

序論

今日、大規模集積回路 (Large Scale Integration; LSI) はありとあらゆるものに搭載され、その中には指輪に搭載された例もある。¹ それらの LSI が使用されている代表的な例として、携帯電話やパーソナルコンピュータ (PC) を挙げることができる。日本において、2000 年には携帯電話の加入者数が据え置き型電話の加入者数を超えると予測されており、さらに 2001 年においては、PC の所有率が TV のそれを超えると予想されている。両方の例において、LSI はその構成要素の中心的役割を果たしている。

このように今日では極めて身近な存在となった LSI であるが、さらに近年、LSI の集積化が進むにつれて異なる種類の回路要素を同一チップ上に集積できるようになり、これによってシステムを構成するのに必要な回路の多くが一つのチップ上に集積できるようになった。これらの数種の回路が複合した構造を持つ LSI を特にシステムオンチップ (System-on-a-chip; SOC) と呼び、日本では、「システム LSI」と呼んで注目されている。既に国際会議等ではワンチップ TV [1] やワンチップ PC [2] などが発表されており、ワンチップ携帯電話が実現されるのもそれほど遠い将来ではないように思われる。今日、SOC は、システムの要求する「機能」、「性能」、「価格」を同時に満たすシステムソリューションを、ネットワーク市場や携帯電話市場等の競争が激化する市場において短時間に提示するために必要不可欠なデバイスとなっている。

本論文では、このような SOC を低い電源電圧で、高速かつ低電力に動作させる回路技術について述べる。SOC の開発には、プロセス技術、デバイス技術、回路技術、CAD (Computer Aided Design) 技術、マイクロアーキテクチャ技術、アーキテクチャ技術、ソフトウェア技術に加えて、パッケージ技術などの数え切れないほど多くの技術が必要である。本論文では、その中でも特に回路技術を中心に述べる。回路技術は、物理限界という枠の中で物理現象をうまく利用して開発されるデバイス技術と、完全に人間の知識の中で理論的に開発されるアーキテクチャ技術という、一見全く異なる二つの技術を結びつける重要な仲介技術であり、LSI の性能に大きな影響を与える技術である。また、電源電圧の低電圧化は次節で述べるような極めて大きな効果があり、低電圧 SOC の実現は新しい市場を開拓するほどの可能性を秘めている。産業的にも経済的にも極めて大きな影響を与える研究分野であるといえる。

¹1998 年の Java 開発者会議「JavaOne'98」では、参加者全員に Java Ring という指輪が配られた。その指輪には Java が動作する LSI と電池が組み込まれており、コンピュータと通信することができる。この Java Ring をコンピュータに接続し、コンピュータから Java Ring に自分のプロフィールを書き込むことができた。さらに、その参加者の Java Ring であるプログラムを実行させ、参加者全員の結果を集めて 1 つの複雑な計算を行うデモンストレーションが行われた。

1.1 低電圧化の三つの目的

LSIにおいて、電源電圧は特に重要なパラメータであり、電源電圧の値によって回路構成は大きく変化する。回路技術は電源電圧の変化に応じて開発が進められてきたともいえる。LSIを低電圧で動作させることの目的は大きく分けて以下の3通りに分類できる。

高集積化のための低電圧化

低電圧化しないでMOSトランジスタを微細化した場合、MOSトランジスタ内の電界強度が増加し、多くのホットキャリアが発生する。これによって、デバイスの信頼性が低下すると同時に大きなドレイン電流を得ることが困難になる [3]。また、MOSトランジスタの酸化膜にも大きな電界が印加され、酸化膜の信頼性が低下する [4]。低電圧化することで、ホットキャリアの発生を抑制しながら微細化することが可能になり、LSIを構成するMOSトランジスタの信頼性を維持できる。さらに、MOSトランジスタの動作に必要な耐圧を低くできる。例えば電界強度を増加させずにMOSトランジスタを微細化する定電界スケーリング則を適用でき [5]、多くの回路をチップ上に集積できる。

高速化のための低電圧化

上記のように、低電圧で動作させることによってMOSトランジスタを微細化できる。微細化によって信号振幅に対する負荷を小さくでき、回路を高速に動作できる。微細化に伴うMOSトランジスタのパラメータの設計方法には種々の方法があるが、例えば定電界スケーリング則に沿って、電源電圧 V_{DD} を $1/\alpha$ にし、ゲート長 L_g 、ゲート幅 W_g 、ゲート酸化膜 t_{ox} を $1/\alpha$ 倍に微細化した場合、ゲート負荷容量 C_g 、ドレイン電流 I_{ds} はそれぞれ $1/\alpha$ となり、回路の遅延 ($= CV/I$) は $1/\alpha$ になる。

低電力化のための低電圧化

CMOS回路の消費電力は、主として負荷の充放電によって生じる。負荷の充放電による消費電力 P_{load} は、負荷容量を C_{load} 、負荷の駆動頻度を f 、負荷の駆動振幅を V_{swing} 、電源電圧を V_{DD} とすれば、

$$P_{load} = f \cdot C_{load} \cdot V_{swing} \cdot V_{DD} \quad (1.1)$$

で与えられる。CMOS回路では負荷の駆動振幅は電源電圧と同じ値になるため、電源電圧の2乗に比例して低電力化できる。

1.2 低電圧化の推移

LSIの電源電圧は年々低下しているが、前節で述べたように低電圧化の目的は大きく分けて3種類あり、時代とともにその目的は異なっている。本節では低電圧化の推移とその目的の推移について述べる。

図1.1にロジックLSIとDRAMの電源電圧推移を示す [6]。1990年頃は、LSIの低電圧化の目的は「高集積化のための低電圧化」が主であった。この低電圧化が顕著に行われた例として、DRAMを挙げることができる。DRAMは大容量化のために高集積化の要求がもっとも高いLSIの一つであり、テクノロジドライバとしてDRAMのメモリセルおよびその周辺回路の微細化は急速に進められた。そのため、DRAMは他のLSIよりも急速に低電圧化がなされてきた。1Mb DRAM以降では他のLSIとの入出力インターフェースの

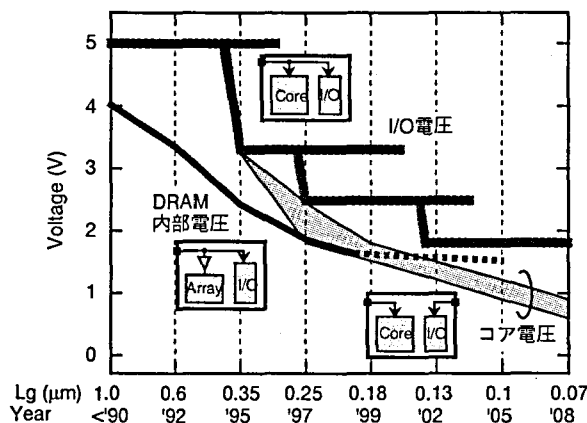


図 1.1 ロジック LSI (コア電圧と I/O 電圧) と DRAM の電源電圧推移。ロジック LSI には SIA ロードマップの電源電圧推移を示した。DRAM はアレイ電圧推移を示した。

ための標準化電圧の低電圧化が、DRAM 内部回路の低電圧化に追いつかないという事態になり、DRAM はチップ外部から入力される標準規格電圧をチップ内部で降圧して使用している [7, 8]。

ところが 1990 年代前半からは、文献 [9] に代表されるような、「低電力化のための低電圧化」が脚光を浴びることになる。スケーリング則で算出される電圧値よりも低電圧で MOS トランジスタを用い、消費電力を削減する方法が注目された。第 2 章で述べる多くのサブスレッショルドリーク電流低減技術が、CMOS デジタル回路設計における最重要研究課題の一つに挙げられるようになったのもこの頃である。主な国際会議等でローパワーのセッションが設けられるなど、低電圧回路に関する多くの研究が進められた。低電力化が目的であることから、アーキテクチャ・設計・回路・デバイス・プロセス・実装といったあらゆる技術が低電力化のために開発されはじめた。つまり、この頃の低電圧回路はあくまで低電力化を目的とした、いわば特殊用途の LSI 向けに開発されていたといえる。

しかし、1995 年からは再びその様子が変わることになる。図 1.1 で示されたように、1995 年頃までは LSI の入出力インターフェースの標準化された電圧に沿って LSI の電源電圧は決定されてきた。これがチップの低電圧化の妨げの要因の一つに数えられてきた。ところが、1995 年以降では、多くの LSI でいわゆる「I/O 電圧」と「コア電圧」という 2 電源を供給するチップ電源形態を持つようになってきた。このような電源形態が普及すると、コア電圧をある程度自由に設定できるようになる。これにより、LSI はスケーリング則に沿った微細化が比較的容易に進められることになり、「高速化のための低電圧化」が急激な勢いで進められることになった。さらにこの頃から、LSI の発熱の問題からの低電圧化の要求も強まった。ハイエンドプロセッサの中には、数十 W の消費電力を持つチップも少なくはなく、そのようなチップでは高速化のために低電力化することが必須であり、「高速化と低電力化のための低電圧化」がなされてきたといえる。

さらに近年注目されつつある電源電圧の推移としては、幅広い電源電圧範囲 (従来の MOS トランジスタや熱設計で決まる電源電圧から、低速であるが LSI が正常に動作する低電圧まで) をサポートする LSI が多く登場するようになったことが挙げられる。これらの LSI の中には、電源電圧と動作周波数を LSI の動作モードによって切り替えて使用されるものもある。すなわち、低速動作で十分な場合には低い電源電圧で動作させ、高速動作が必要な場合には高い電源電圧で動作させる。電源電圧 V_{DD} と動作周波数 f を変化させれば、消費電力 P_{load} は式 (1.1) で示されるように 3 乗に比例して低減できるために、低電力化の効果が大きい [10-12]。

1.3 低電圧化に伴う四つの課題

前節で述べたように低電圧化の目的は時代と共に変化しているが、今日では低電圧化は全てのLSIに必須の条件である。しかし、低電圧化には以下の課題がある。

低電圧化に伴う動作速度低下

1.1 節では低電圧化によって回路を高速に動作できると述べた。しかし、これは低電圧化と同時にスケーリング則に沿って全てのMOSトランジスタのパラメータを変えることができる場合である。実際には後で述べるように、しきい値電圧のスケーリングは困難であり、理想的なスケーリングは実現できない。さらに、スケーリング則はMOSトランジスタに関するものであり、LSIの動作速度はMOSトランジスタだけで決定されるものではないという事実もある。例えば、微細化によって配線負荷容量が増加すると、高速化が阻まれる。

低電圧化に伴う電力増加

1.1 節では低電圧化によって低電力化できると述べた。しかし、これも理想的なスケーリング則が実現できる場合である。実際には、スケーリング則どおりにしきい値電圧を低くすると、サブスレッショルドリーク電流が著しく増加する。これは、スケーリング則はMOSトランジスタのオン時の飽和電流値に関するものであり、オフ時のサブスレッショルド電流に関するものではないという事実に起因している。さらに、近年ではCMOS回路の貫通電流による電力消費やゲート酸化膜リーク電流に伴う電力消費 [13] などが無視できない電力増加要因として顕れている。

また、上記の「低電圧化に伴う動作速度低下」の課題から派生した課題として、以下の課題がある。

低電圧化に伴う回路特性不整合

回路の駆動電流であるMOSトランジスタのドレイン電流は、二つの成分からなっている。一つは電界によって電子が動くことから生じるドリフト電流であり、もう一つは熱拡散によって電子が動くことによって生じる拡散電流である。電流発生要因が異なるために、両者の電流のドレイン電圧依存性および温度依存性は大きく異なっている。² 電源電圧が高い場合、電源電圧に対してしきい値電圧が低いため、回路特性はドレイン電流のドリフト電流成分によって主に決定される。しかし、低電圧では上記拡散電流の成分が相対的に大きくなり、さらに回路構成によってその成分割合が大きく異なる。これによって、低電圧では回路構成によって電源電圧特性や温度特性が異なり、回路間での特性不整合が生じる。

低電圧化に伴う特性ばらつき増加

スケーリング則に従ってMOSトランジスタを微細化する際に、MOSトランジスタの製造精度も同様にスケーリングして高精度化する必要があるが、実際にはこれは困難である。このため、低電圧化に伴って製造ばらつきによるMOSトランジスタの特性ばらつきの影響は増加する。また、MOSトランジスタが原子の数で数えられるような寸法まで微細化されるようになれば、量子化ノイズが発生する。これもMOSトランジスタのばらつき要因となる [14]。

²例えば温度特性については、高温ではドリフト電流は電子の動きが格子振動によって抑制されるために小さくなるのに対して、拡散電流は高温で逆に大きくなる。

1.4 本論文の構成

SOC を構成する要素としては、スタンダードセルの集合からなるセルライブラリとマクロに大きく分けられるが、機能で分類すれば、ロジック回路、メモリ回路、アナログ回路、クロック系、I/O 回路、電源回路に大きく分類できる。本論文は、前節で述べた低電圧化に伴う 4 つの課題に対する解決策を検討するために、上記した SOC 構成要素の中で、ロジック回路、SRAM 回路、キャッシュ、DRAM 回路、クロック系の 5 種類の要素回路に関して、低電圧動作時の高速・低電力回路技術を研究したものである。以下、本論文の構成を詳しく述べる。

「低電圧化に伴う動作速度劣化」と「低電圧化に伴う電力増加」の課題について

SOC には多種多様の回路が集積されるが、本論文では SOC を構成する回路要素のうち、ロジック回路、SRAM 回路、キャッシュの各回路要素に関して、「低電圧化に伴う動作速度低下」と「低電圧化に伴う電力増加」の課題について論じる。

第 2 章では、低電圧ロジック回路の高速・低電力化について述べる。ロジック回路は SOC の中で最も重要な回路要素の一つであり、ロジック回路の性能は SOC 全体の性能に大きく影響を与える。低電圧ロジック回路における高速・低電力化のキーとなるのは、微細化に伴って指数関数的に増加するサブスレッショルドリーク電流の低減技術である。1990 年代前半から 1998 年にかけて研究されてきた低電力化のためのサブスレッショルドリーク削減技術は、今日、実用化の時代へと進みつつあるといえる。

そこで第 2 章では、基板バイアス制御によるリーク電流削減技術を、大規模高速 LSI (SH4 マイコン: 3.3 M Trs, 200 MHz) に搭載した開発事例を述べる。従来の基板バイアス制御方式では基板インピーダンスが高くなる等の弊害により、アクティブ時の高速動作を維持することが困難であった。この課題を解決するために、基板インピーダンス切り替え型基板バイアス制御方式を開発した。チップ上に約 1 万個のスイッチセルと呼ぶ低基板インピーダンス化回路を分散配置する方式で、アクティブ時の高速動作と、スタンバイ時の低リーク消費電流特性の両立を、世界で初めて製品レベルの LSI で実用化した技術である。

さらに、第 2 章では上記 SH4 マイコンでの基板バイアス制御において新たに明らかとなった、GIDL (Gate Induced Drain Leakage) 電流による消費電流増加という課題についても述べる。GIDL 電流を抑制するための方式について検討し、新しい基板バイアス制御方式 (低電圧基板バイアス制御方式) を提案する。

第 3 章では、低電圧 SRAM 回路の高速・低電力化について述べる。SRAM 回路を使用しない LSI は存在しないといえるほど、LSI において SRAM 回路は重要な構成要素である。当然、SOC においても SRAM 回路は必須回路要素である。例えばマイクロプロセッサでは、キャッシュや TLB (Translation Look-aside Buffer) として用いられている。また、小容量のメモリとしてはレジスタファイルや各種バッファ等も SRAM 回路で構成されている。特にキャッシュは、今日のマイクロプロセッサにとって性能に大きく影響を与える重要な回路要素である。

そこで第 3 章では、従来の低電圧 SRAM 回路の高速・低電力化技術を述べた後、完全 CMOS メモリセルの構造をほとんど変更せずに、低電圧動作時の読み出し速度向上と書き込み時の低消費電力化を実現するソース線駆動方式のメモリセル構造を提案する。このソース線駆動型メモリセルは、従来のメモリセルでは接地電位に接続されていたソース線

を積極的に駆動することにより、低電圧時での高速動作と高ノイズマージンを両立するメモリセル制御方式である。

1995年6月に京都にて開催された学会においてソース線駆動メモリセルを発表後、低電圧回路関連の書籍に低電圧SRAMメモリの代表な例として記載されるなど大きな反響を呼び、その後、各種の類似した低電圧メモリセルも発表される流れを作った。第3章では、その中でも代表的な低電圧メモリセルについて、その特徴を述べる。

キャッシュは、今日のマイクロプロセッサ性能に大きく影響を与える重要な回路要素である。高速SRAMの多くがキャッシュとして用いられることから、第4章では低電圧キャッシュの高速・低電力化について述べる。一般的にはキャッシュにはSRAM回路を使用するが、第3章で主に述べたメモリセルの制御方式の工夫による高速・低電力化のほかに、さまざまな方式的アプローチを適用できるという特徴がある。

そこで第4章では、方式的に低電圧キャッシュを高速・低電力化できるビット線分離型メモリ階層方式を提案する。この方式は、低電圧でも低容量のSRAMは高速に動作するという特徴を利用し、一つのメモリセルアレイを階層化することにより実効的に高速なキャッシュ動作を達成している。この方式を用いて試作した、16KB+2KB・4ウェイ・セット・アソシアティブ構造のキャッシュの開発結果を述べる。

キャッシュは電力を大量に消費するチップ外アクセスを低減することが可能であり、マイクロプロセッサ等のLSIの低電力化に有効である。第4章では、低電圧キャッシュによる低電力技術についても合わせて検討する。キャッシュの低電力化には、キャッシュのヒット率を向上させることが効果的である。一般に、高いヒット率を得るためには大容量のキャッシュを用いることが一般的である。しかし、大容量のキャッシュはチップ面積を増加させ、また高速動作を阻害する。第4章では、この二つの相反する要求に応じることが可能な、小面積で高ヒット率が得られるキャッシュ構造について検討し、上記ビット線分離型メモリ階層方式を使用してユニファイドキャッシュを2ポート化したビット線分離型ユニファイドキャッシュを提案する。

「低電圧化に伴う回路特性不整合」の課題について

多種多様の回路要素が集積化されるSOCでは、「低電圧化に伴う回路特性不整合」の課題は深刻である。SOCの代表的な例として、ロジックLSIにDRAMを混載したDRAM混載ロジックLSIが挙げられる。DRAMのセンス系回路は、CMOSロジック回路とは異なってアナログ回路的な要素を多く含む。そのため、「低電圧化による回路特性不整合」が生じやすい。本論文では第5章において低電圧DRAM回路の高速化について述べ、「低電圧化に伴う回路特性不整合」の課題について論ずる。

SOC上の回路要素は個別チップ上で実現されてきたものとは異なる仕様になることが多い。たとえば、DRAM混載ロジックLSIにおいては、混載DRAM回路は汎用DRAM回路よりも低電圧で動作させる必要がある。また、単体の汎用DRAMと比較して生産数が限られており、量産効果が少ない。そのため、低コスト化のためにDRAM回路を混載することにより生ずる製造プロセス複雑化の低減が強く望まれている。例えば、DRAM回路で使用するトランジスタ仕様を、ロジックLSIで使用するトランジスタ仕様に合わせる。第5章ではさらに、これらの事柄をSOCの基本設計事項として、混載用DRAMセンス系回路について論ずる。

ここでは、「低電圧化に伴う回路特性不一致」の課題に対する解決策として、それぞれ

の回路を構成する MOS トランジスタの動作領域を一致させるという手法を検討した。この手法の適用例として第 5 章では、(a) メモリセルが接続されたビット線は Half- V_{cc} プリチャージし、センスアンプが接続されたビット線は V_{cc} プリチャージして、両ビット線間を NMOS 容量で容量結合するデュアルプリチャージレベルセンス方式と、(b) 再書き込み時に、センスアンプに接続された一対のビット線のうち、メモリセルが接続されたビット線のみを駆動するシングルビット線再書き込み方式と、(c) V_{cc} プリチャージされたビット線対電位を PMOS のゲート端子に入力してグローバルビット線をタイミングレスで増幅する PMOS ダイレクトセンス方式を用いた DRAM センス系回路を提案する。

「低電圧化に伴う特性ばらつき増加」の課題について

「低電圧化に伴う特性ばらつき増加」の解決策として、自立分散的手法を論ずる。これは特性ばらつきを相互調停によって相補することにより、特性ばらつきに強いシステムを構成する手法である。この手法の適用例として、第 6 章において低電圧クロック系の高速化について述べる。

今日のほとんど全ての LSI は、同期式回路で構成されている。このような同期式回路における重要な回路要素として、クロック系がある。近年の LSI では 1GHz を超える周波数で動作するものもあり、このような高速 LSI の実現には高精度なクロックが必須である。特に SOC ではチップ面積が大きくなることが多く、クロック系の性能は SOC の性能に多大な影響を与える。

マイクロプロセッサ等の LSI で一般に用いられているクロック系は、PLL 等からなるクロック発生系と、そのクロック発生系で発生したクロックをフリップフロップやラッチまで分配するクロック分配系に分けられる。今日の LSI では、クロック発生系で発生したクロックを一方向的にクロック分配系によって LSI 内で分配し、内部のフリップフロップやラッチを同期している。いわゆる中央集権的な“強制同期 (Forced Synchronization)”方法である。しかし、この方法では、クロック分配系を構成するバッファの低電圧化に伴う特性ばらつき増加によって、クロックを低ジッタや低スキューに分配することが困難になる。

数 GHz 動作の論理回路を実現する技術として、チップ全体を単一のクロック信号に同期して動作させるのではなく、チップを複数のブロックに分割しそれぞれのブロック間を非同期で動かす手法も近年提案されている [15]。これも自立分散的な手法の一つであるが、第 6 章では、上記の“強制同期”とは対極的な同期手法として、“相互同期 (Mutual Synchronization)”による自立分散的なクロック系を提案する。これは複数の分散した発振器同士を同一位相・同一周波数で相互発振させることを可能にする同期分散発振器 (Synchronous Distributed Oscillator; SDO) を用いて、低電圧でも高い周波数のクロックを、低ジッタ・低スキューで大規模 LSI 上に分配することを可能にする。

低電圧化の今後の課題について

第 7 章では、第 2 章から第 6 章の各章で得られた結果をもとに上記した四つの課題の解決策について整理し、今後に残された課題について述べる。

参考文献

- [1] L. Nederlof, "One-Chip TV", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 26-27, Feb. 1996.
- [2] F. Norrod and R. Wawrzynek, "A Multimedia-Enhanced x86 Processor", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 220-221, Feb. 1996.
- [3] T. Kunikiyo, M. Takenaka, Y. Kamakura, M. Yamaji, H. Mizuno, M. Morifuji, K. Taniguchi and C. Hamaguchi, "A Monte Carlo Simulation of Anisotropic Electron Transport in Silicon Including Full Band Structure and Anisotropic Impact-Ionization Model", *J. of Appl. Phys.*, vol. 75, no. 1, pp. 297-312, Jan. 1994.
- [4] H. Mizuno, M. Morifuji, K. Taniguchi and C. Hamaguchi, "Theoretical calculation of impact ionization rate in SiO₂", *J. of Appl. Phys.*, vol. 74, pp. 1100-1105, July 1993.
- [5] R.H. Donnard, "Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions", *IEEE J. of Solid-State Circuits*, vol. 9, no. 5, Oct. 1974.
- [6] "The National Technology Roadmap for Semiconductors", tech. report, Semiconductor Industry Assn., San Jose, Calif., 1999.
- [7] T. Mano, J. Yamada, J. Inoue and S. Nakajima, "Submicron VLSI Memory Circuits", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 234-235, Feb. 1983.
- [8] K. Itoh, "Trends in Megabit DRAM Circuit Design", *IEEE J. of Solid-State Circuits*, vol. 25, no. 3, pp. 778-789, June 1990.
- [9] A.P. Chandrakasan, S. Sheng and R.W. Brodersen, "Low-Power CMOS Digital Design", *IEEE J. of Solid-State Circuits*, vol. 27, no. 4, pp. 473-484, Apr. 1992.
- [10] L. Nielsen, C. Niessen, J. Sparso and K. van Berkel, "Low-Power Operation using Self-Timed Circuits and Adaptive Scaling of Supply Voltage", *IEEE Trans. Very Large-Scale Integration (VLSI) Systems*, pp. 391-397, Dec. 1994.
- [11] V. Gutnik and A. Chandrakasan, "An Efficient Controller for Variable Supply-Voltage Low Power Processing", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 158-159, June 1996.
- [12] T. Pering, T. Burd and R. Brodersen, "The Simulation and Evaluation of Dynamic Voltage Scaling Algorithms", *Int'l Symp. on Low Power Electronics and Design (ISLPED)*, pp. 76-81, Aug. 1998.
- [13] T. Inukai and T. Hiramoto, "Suppression of Stand-by Tunnel Current in Ultra-Thin Gate Oxide MOSFETs by Dual Oxide Thickness MTCMOS (DOT-MTCMOS)", *Extended Abstract of the 1999 Int'l Conf. on Solid State Devices and Materials (SSDM)*, pp. 264-265, Sept. 1999.
- [14] H-S. Wong and Y. Taur, "Three-Dimensional "Atomistic" Simulation of Discrete Random Dopant Distribution Effects in Sub-0.1 μ m MOSFET's", *Int'l Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 705-708, Dec. 1996.
- [15] S. Schuster, W. Reohr, P. Cook, D. Heidel, M. Immediato and K. Jenknis, "Asynchronous Interlocked Pipelined CMOS Circuits Operating at 3.3-4.5GHz", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 292-293, Feb. 2000.

第 2 章

低電圧ロジック回路の 高速・低電力化

2.1 緒言

本章では低電圧ロジック回路の高速・低電力化について論ずる。ロジック回路は今日の LSI の中で最も重要な回路要素の一つであり、ロジック回路の性能は SOC の性能に大きな影響を与える。

本章ではまず始めにロジック回路の低電圧化の推移について述べる。その後、低電圧ロジック回路の高速・低電力化の妨げとなっているサブスレッショルドリーク電流について、従来のサブスレッショルドリーク電流削減技術を詳しく述べる。

代表的な上記リーク削減技術としては、電源スイッチによる方法と基板バイアス制御による方法が挙げられるが、本章では、基板バイアス制御による上記リーク電流削減技術を、大規模高速 LSI (SH4 マイコン: 3.3 M Trs, 200 MHz) に搭載した開発事例を述べる [1, 2]。従来の基板バイアス制御方式では基板インピーダンスが高くなる等の弊害により、アクティブ時の高速動作を維持することが困難であった。この課題を解決するために、基板インピーダンス切り替え型基板バイアス制御方式を提案する。この方式では、チップ上に約 1 万個のスイッチセルと呼ばれる低基板インピーダンス化回路を分散配置することにより、アクティブ時の高速動作と、スタンバイ時の低リーク消費電流特性を両立できる。

また、本章では SH4 マイコンでの基板バイアス制御において新たに明らかとなった GIDL (Gate Induced Drain Leakage) 電流による消費電流増加についても述べる。GIDL 電流を抑制する新しい基板バイアス制御方式 (低電圧基板バイアス制御方式) を提案する。

最後に、基板バイアス制御を行った SH4 マイコンに、低電圧基板バイアス制御方式を適用した結果を述べる。

2.2 ロジック回路の低電圧化の推移と課題

図 2.1 にロジック LSI のコア電源電圧とサブスレッショルドリーク電流のトレンドを示す。各世代で予測される電源電圧のトレンドについては 1999 年発表の SIA ロードマップ [3] の値を元に計算した。本ロードマップでは、高速 LSI (high-speed) と低電力 LSI (low-power) に分けてトレンドが示されているが、それぞれのしきい値電圧については電源電圧の 1/3 の値に設定した。

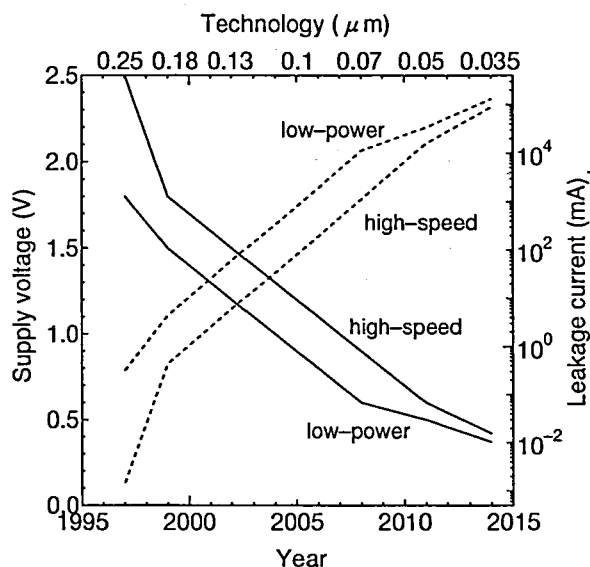


図 2.1 電源電圧 (実線) とサブスレッショルドリーク電流 (破線) のトレンド。0.25 μm 世代でのチップ上の MOS トランジスタのトータルゲート幅が 10 m と仮定した。トランジスタ数は世代の二乗に比例して増加するが、ゲート幅は世代に反比例して減少する。そのため、リーク電流の値は世代に比例して増加すると仮定した。また、温度 T_j は 75°C を仮定した。

微細化が進むに従い、急激にサブスレッショルドリーク電流が増加している。特に低電力 LSI では LSI の充放電電流を削減するために低い電源電圧に設定されており、そのためにサブスレッショルドリーク電流が大きくなっている。このサブスレッショルドリーク電流の増加は、スケーリング則ではサブスレッショルド特性はスケーリングされないという事実に起因している。¹

第 1 章で述べた「低電圧化に伴う電力増加」の課題の主たる要因はこのサブスレッショルドリーク電流である。この電力増加を抑えるためにしきい値電圧を高くすると、「低電圧化に伴う動作速度低下」を招く。「低電圧化に伴う電力増加」と「低電圧化に伴う動作速度劣化」をいかにして同時に解決するかという命題は、上記サブスレッショルドリーク電流をいかにして削減するかという命題に等しいといっても過言ではない。

また、サブスレッショルドリーク電流は他にも影響を及ぼす。例えば、サブスレッショルドリーク電流は回路動作にはあまり依存しないために、回路が動作しないスタンバイ時でも流れてしまうという特徴がある。本来、10 年以上前に実用化されていたバイポーラトランジスタによる ECL 回路等とは異なり、CMOS 回路は動作しないときの消費電力が零であるというのが一つの特徴であった。それゆえ CMOS 回路は、今日の 1000 万トランジスタを超える規模の大規模集積化を可能とし、今日の高性能高速 LSI の実現を可能にしたといえる。上記サブスレッショルドリーク電流によって、この前提が崩れることになる。

さらにまた、サブスレッショルドリーク電流の別の弊害として、LSI のリーク電流テス

¹ スケーリング則は MOS トランジスタのオン時の飽和電流値に関するものであり、オフ時のサブスレッショルド電流に関するものではない。

ト (I_{DDQ} テスト) ができなくなることが挙げられる [4, 5]。 I_{DDQ} テストとは、トランジスタがスイッチングしていない静止時に LSI の電源電流を測って、故障の有無を検出する方法である。故障がなければ静止時にはわずかな電流が流れるだけであるが、故障があると大きな電流が流れることを利用する。LSI のテスト手法として主流の機能テスト (ファンクションテスト) と比較すると、少ないテストパターンで多くの故障を検出できるという特徴がある。² 上記サブスレッショルドリーク電流は故障による微小電流をスクリーニングし、 I_{DDQ} テストを困難にする。

上記したように、低電圧ロジック回路における高速・低電力化のキーとなるのは、微細化にともなって指数関数的に増加するサブスレッショルドリーク電流の低減技術である。この技術は 1990 年代前半から 1998 年にかけて多く研究されてきた。次節では、現在までに提案された主なサブスレッショルドリーク電流削減技術について述べる。

²LSI の集積度の向上にともない、テスト工程の負荷が急激に増加している。一般に、ゲート数が n 倍になれば、ファンクションテストに必要なテストパターンの数は n^2 倍になるといわれている。現在では、スキャンパス手法や BIST (Built-in Self Test) 手法といったテスト容易化設計の手法を用いて、テストパターン数の削減する方向に向かっている。 I_{DDQ} テスト手法もテストパターン削減手法の一種である。さらにまた、現在主流のファンクションテストでは発見しにくいタイプの故障が増加する傾向にある。たとえば、開放故障、短絡故障、絶縁不良、スイッチング動作時の過渡状態の異常などである。

2.3 従来のサブスレッショルドリーク電流削減技術

従来のサブスレッショルドリーク電流の低減技術は大きく分けて次の2種類に分類できる。³

- (1) スタンバイ時のサブスレッショルドリーク電流削減技術
- (2) アクティブ時のサブスレッショルドリーク電流削減技術

サブスレッショルドリーク電流はCMOS回路が動作していないときにも流れるため、LSIのスタンバイ状態とアクティブ状態の両方の消費電力を増加させることになる。しかしながら、スタンバイ時には負荷の充放電による消費電力が少なくなるため、LSIの消費電力の中でサブスレッショルドリーク電流による電力消費の比率が大きくなる。そのため、特にスタンバイ時のサブスレッショルドリーク電流の低減技術が盛んに研究されている。

以下、スタンバイ時のサブスレッショルドリーク電流削減技術を中心として、主なサブスレッショルドリーク電流技術を紹介する。

2.3.1 スタンバイ時サブスレッショルドリーク電流削減技術

スタンバイ時のサブスレッショルドリーク電流低減技術に関してはさまざまな方式が提案されているが、以下の二つの方式に大分できる。

- (1) 電源と回路の間にスイッチMOSを設けて、スタンバイ時にはこのスイッチMOSをオフする方式。(電源スイッチ方式)
- (2) MOSトランジスタの基板バイアスを制御し、スタンバイ時にはそのしきい値が高くなるように制御する方式。(基板バイアス制御方式)

電源スイッチ方式

第1章で記述したように、DRAMは大容量化のために微細化の要求がもっとも高いLSIの一つであり、テクノロジドライバとしてDRAMのメモリセルおよびその周辺回路の微細化は急速に進められた。そのため、DRAM回路は他のLSI回路よりも急速に低電圧化がなされ、DRAM回路におけるサブスレッショルドリーク電流の低減技術は早くから検討されている。図2.2は主としてDRAM回路に用いることを前提にしたサブスレッショルドリーク電流削減技術である[6-8]。電源ラインと回路との間に電源スイッチを挿入し、回路が待機中にその電源スイッチをオフ状態にして回路に流れるサブスレッショルドリーク電流を削減するというのが基本的な考え方である。

しかし、スタンバイ時に電源スイッチをオフにすると電源遮断と同様の状態になり、回路中に蓄えられた情報や状態が消えてしまう問題が生じる。このため、回路中にLEVEL HOLDER等のデータ保持回路を付加し、これには常時電源を給電して情報を記憶する方法が多く検討されている[9]。

³現在のLSIは、アクティブ状態やスタンバイ状態といった多くの動作状態を持っていることが多い。これらの動作状態はLSIを使用したシステムの電力消費を最小限にとどめるために用いられる。すなわち、LSIを用いて情報処理を行いたいときにはLSIをアクティブ状態にし、LSIを使用しない場合にはスタンバイ状態にしてLSIの電力消費を削減する。本来、CMOS回路を用いたLSIでは何も情報処理しない場合の消費電力は零になるため、このような動作状態は必要ではない。しかし、現在のほとんど全てのLSIは同期型であり、LSIの消費電流のうちの無視できない部分がその同期のためのクロック系によって消費されている。このために、何も情報処理を行わないときにクロック系を停止させるスタンバイ状態が必要となる。

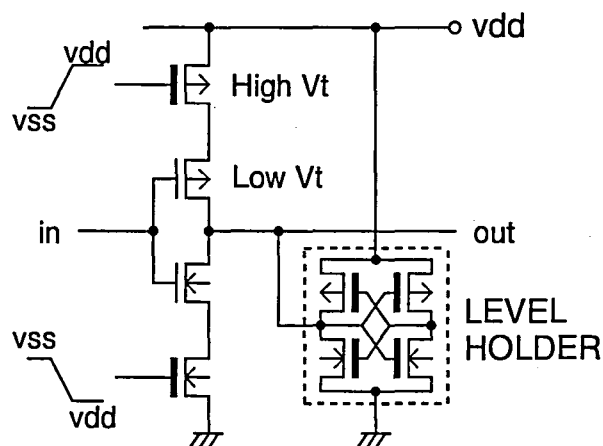


図 2.2 電源スイッチを用いたリーク低減方式。LEVEL HOLDER は高しきい値の MOS トランジスタがオフしたときのデータ保持に用いられる。

さらに、電源スイッチをオフにしても回路中の各ノードに充電されている電位はすぐには放電されないという特徴を用いた記憶保持方式も提案されている [10]。 T_a 秒で消去されてしまうのであれば、 T_a 秒間隔に電源スイッチをオンにして各ノードの電位が完全に消去されないように制御する。DRAM のリフレッシュの考え方をロジック LSI の回路中の各ノード電荷の保持に用いた方式だといえる。

また、近年では上記したような電源スイッチによって完全に回路の電源を遮断するのではなく、ダイオード等を利用してある程度電源間に電位差を残し、回路内部情報・状態保持と低リーク電流状態を両立させる方式も提案されている [11, 12]。

電源スイッチ方式の課題

電源スイッチ方式によるサブスレッショルドリーク電流削減技術は、大きなリーク電流削減能力があり効果が大いだが、以下に挙げるような欠点がある。

- (1-a) 従来の電源ネットとは別に、その電源ネットからスイッチ MOS を介してできる仮想電源ネットが必要となる。
- (1-b) スwitch MOS があるために仮想電源ネットのインピーダンスが高くなる。仮想電源ネットは回路の電源ラインに相当するため、回路の動作速度が低下したり、回路特性ばらつきの要因となる。
- (1-c) 一般にスタンバイ時にラッチ等の情報保持回路の情報を保持できない。
- (1-d) スタンバイ時には電源ラインと回路とがスイッチ MOS によって切り放されるため、 I_{DDQ} テストを使用できなくなる。

それらの欠点を補うためには、CAD ツールへの対応が必須である。図 2.3 は電源スイッチのゲート幅と、回路中 (1.0 V 0.25 μm 32 b 加算器) の全 MOS トランジスタのゲート幅の合計との比率に対する、回路の動作速度の関係を示したものである。電源スイッチのゲート幅を変えることによって、回路の動作速度が大きく変化することが分かる。また、電源スイッチを挿入して電源インピーダンスが高くなれば、動作しない回路はデカップリング容量のように働く。したがって、周りの回路の動作状態も回路の動作速度に影響を与えるようになる。このような動作状態の挙動をどのように CAD で取り扱うかが大きな課題である。

この電源スイッチ方式の製品への適用例としては、Intel 社の StrongARM がある [13]。電源パッドと回路の間に PMOS スイッチがあり、sleep モードではそのスイッチをオフす

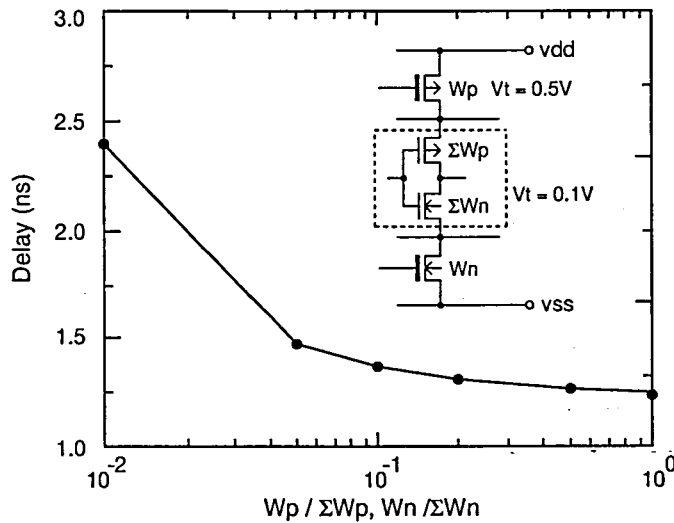


図 2.3 電源スイッチの大きさと、回路動作速度の関係。

る。これによって、 $50\mu\text{A}$ の待機時電流を実現できている。この例では、トータルで 27nF という大きなオンチップデカップリング容量を内蔵することにより、仮想電源線のインピーダンス上昇を防いでいる。

基板バイアス制御方式

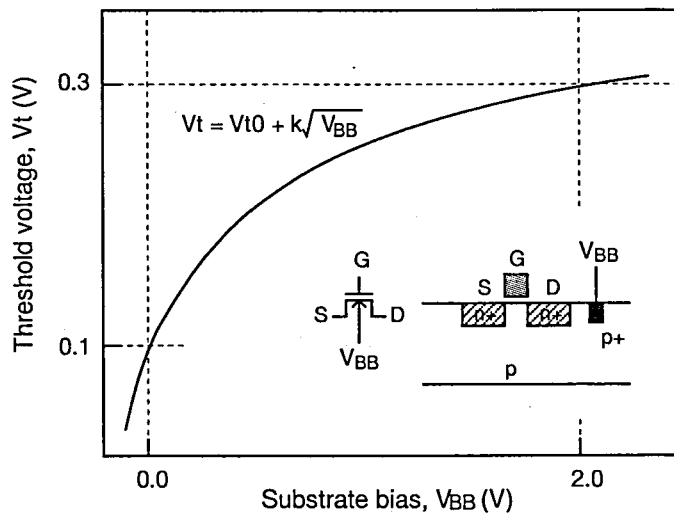


図 2.4 しきい値電圧の基板バイアス依存性。

MOS トランジスタは図 2.4 のようにその基板電位 V_{bb} を変化させれば、しきい値電圧 V_{th} が変化する。この現象を利用し、従来の CMOS 回路では電源電位に固定していた MOS トランジスタの基板電位を、電源電圧とは独立して制御する方法が基板バイアス制御によるサブスレッショルドリーク電流削減技術である。すなわち、アクティブ時には基板電位を浅くして MOS トランジスタのしきい値電圧を低くし、スタンバイ時には基板電位を深くして MOS トランジスタのしきい値電圧を高く制御する。スタンバイ時のサブスレッショルドリーク電流を小さく抑えることができる。

基板バイアス制御によるリーク電流削減技術についても多くの研究開発が進められている。図 2.5 は一つの例である。外部から入力される基板バイアス用の電源 (v_{nbb} および

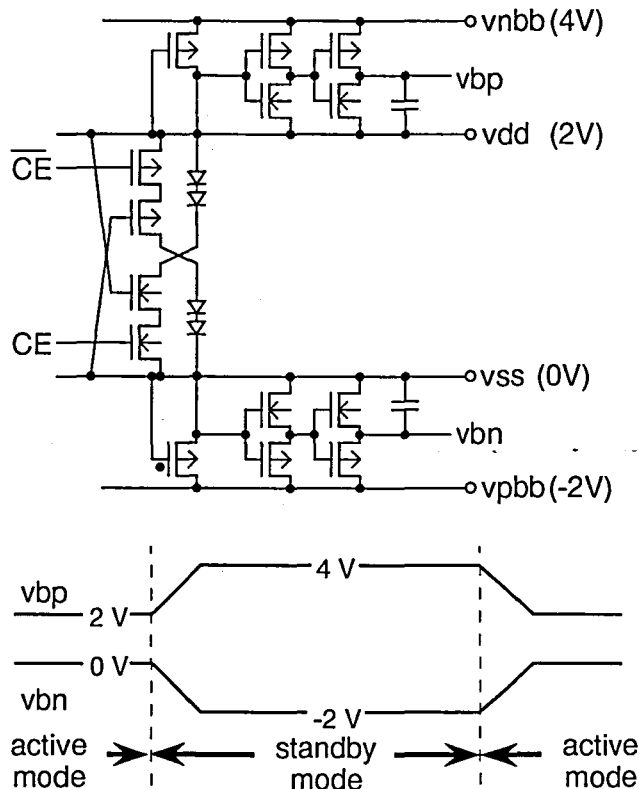


図 2.5 基板バイアス制御によるスタンバイ時リーク電流削減技術。

vpbb) を用いて、基板バイアス値の電位を図 2.5 内の波形図のように、動作時と待機時で切り替えている [14]。vbp が PMOS の基板バイアス、vbn が NMOS の基板バイアスである。

上述したように、基板バイアス制御方式は、従来は電源ラインに固定して接続されていた MOS トランジスタの基板端子を、電源ラインから分離して制御する方式である。しかし、従来のように基板端子を電源ラインに接続した状態のままで、実効的に基板端子の電位を制御する方法も提案されている [15]。この方法では、例えば 2 入力 NAND であれば待機時にその二つの入力共に 'L' になるようにする。一般に、入力が 2 本以上ある NAND や NOR 等の論理ゲートやそれらを組み合わせた複合ゲートに流れるリーク電流は、その入力パターンによって変化する。たとえば、2 入力 NAND では二つの入力に全て 'L' を入力したときが最もリーク電流が小さくなる。これは縦積みになった MOS トランジスタの電源ラインに接続されていない MOS トランジスタのソース電位が電源ラインの電位から分離することによる基板バイアス効果と、Drain Induced Barrier Lowering (DIBL) 効果によって、その MOS トランジスタのしきい値電圧が高くなるためである。参考文献 [15] はこの効果を利用し、回路が動作していないときになるべく各論理ゲートのリーク電流が小さくなる入力条件に設定する方式を提案している。このような論理の組み方は難しいが、論理の組み方だけでリーク電流が削減できることは魅力的である。

基板バイアス制御方式の課題

従来は使用していなかった MOS トランジスタの基板端子を制御する方式であるため、CMOS の回路構成を従来構成から変えずに適用可能であり、電源ラインに回路が接続され

たままであるため、チップ選別のための I_{DDQ} テストが可能という利点がある。基板バイアス制御技術の主な欠点としては、以下のものを挙げることができる。

- (2-a) 従来電源に接続されている基板バイアス電位を独立して制御するために、電源ネットとは別に基板バイアスネットが必要になる。
- (2-b) 基板バイアスネットのインピーダンスが高くなり、ノイズによって基板バイアス電位が変化しやすくなる。これは回路特性ばらつきの要因となり、最悪ラッチアップ等の現象を引き起こす。
- (2-c) しきい値電圧を基板バイアス効果で変化させているが、一般にしきい値電圧の基板バイアス依存性は MOS トランジスタのゲート長 (L_g) が微細化されるにともない小さくなってしまう。
- (2-d) 基板バイアス効果が大きい方がしきい値電圧の制御性が向上するが、一般に CMOS 回路は基板バイアス効果が小さい方が高速で動作する。基板バイアス効果を大きくするように MOS トランジスタを設計するというのは相反する要求になる。
- (2-e) スタンバイ時とアクティブ時でしきい値電圧をより大きく変化させるためには、より深い基板バイアスを印加すればよい。しかし、このような深い基板バイアスの印加は MOS トランジスタのドレイン・ウェルあるいはウェル・ウェル間等に大きな電位差を生じさせることになり、pn 接合リーク電流を増大させる。

この中でも (2-b) はもっとも重要な課題の一つである。基板電位の変動に対する回路特性の解析についても多くの研究がなされているが [16, 17]、基板バイアス制御によって基板インピーダンスの上昇は避けられない。これにより、SOI のヒストリー効果 [18, 19] のような効果が一般のバルクの CMOS 回路においても生じる危険性がある。このため、アクティブ時にも基板バイアス電位を浅く印加して、基板バイアス電位の変動の影響を小さくして、大規模回路での基板バイアス制御を行った研究結果もある [20]。この例では DCT コアプロセッサを 0.9 V 150 MHz 10 mW で動作させることに成功している。⁴

2.3.2 アクティブ時サブスレッショルドリーク電流削減技術

スタンバイ時のサブスレッショルドリーク電力削減技術については、2.3.1 節で記述したような様々な技術がすでに実用化段階にあるといえる。今後問題となるのが、アクティブ時のサブスレッショルドリーク電流である。図 2.1 で示したように、近い将来にはアクティブ時の消費電流の 50% を超える割合がサブスレッショルドリーク電流によるものになると予想され、アクティブ時サブスレッショルドリーク電流の低減は、今後の低電圧回路における必須技術の一つである。

現在まで様々なアクティブ時サブスレッショルドリーク電流削減技術が提案されているが、基本的な考え方は

「回路に要求された性能を満たすのに必要な、最低限のしきい値電圧によって回路を動作させる。」

である。ここでは代表的な例として、「動的基板バイアス制御方式」と「デュアルしきい値方式」を紹介する。

⁴2.4 節では、この欠点を解決する基板バイアス制御方式を提案する。

動的基板バイアス制御方式

通常の LSI では、設計マージン等により、しきい値電圧を回路に要求された性能を満たすために必要な値よりも低い値に設定している。したがって、設計マージンが小さくできれば、それだけしきい値電圧を高く設定でき、アクティブ時およびスタンバイ時の両方のサブスレッショルドリーク電流が低減できる。

設計マージンを最小化する技術として、回路の製造ばらつきによる特性ばらつきを補正する動的基板バイアス制御技術がある。MOS トランジスタのしきい値を、要求される性能を満たす最適値になるように MOS トランジスタに印加する基板バイアスの値を制御する。ここで、回路に要求される性能の検出方法には、MOS トランジスタのリーク電流を検出する方式や、インバータの遅延特性を検出する方式等が提案されている。

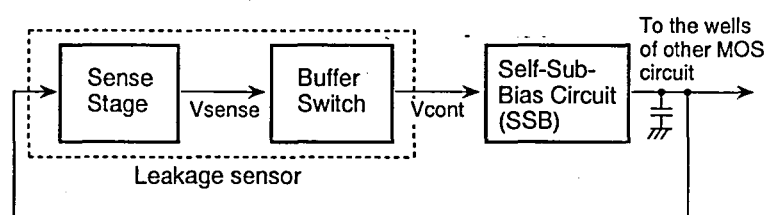


図 2.6 動的基板バイアス制御を用いたばらつき補償回路。

基板バイアス制御を用いて MOS トランジスタのしきい値電圧を調整するという考え方は古くから提案されている手法である [21, 22]。図 2.6 は MOS トランジスタに流れるサブスレッショルドリーク電流をモニタして、しきい値電圧の調整を自動的に行う動的基板バイアス制御方式である [23]。この例では、しきい値電圧ばらつきを ± 0.025 V まで低減することに成功している。

また、基板バイアス制御と電源電圧制御を組み合わせる制御し、さらに回路の遅延特性を外部クロックに同期する方式も提案されている [24]。その他、多くの動的基板バイアス制御技術が提案されている [17, 25]。大規模な回路に適用した例としては、図 2.6 の方式と電源電圧制御を組み合わせる方式を用いて、44 万トランジスタ規模の $0.4\mu\text{m}$ 40 MHz 32b マイクロプロセッサの動作に成功した例がある [26]。

このような動的基板バイアス制御技術において課題となるのが、基板インピーダンスの上昇である。基板インピーダンスが高いと基板にノイズが乗るために回路特性が変動する。もともと動的基板バイアス制御技術は、製造ばらつき等による回路特性ばらつきの補正が目的である。したがって、新たな回路特性変動要因の増加はしきい値制御の効果を小さくしてしまう。また、深い基板バイアスの印加によって、製造ばらつきがしきい値ばらつきに大きく影響するという事実もある [27]。基板バイアスを順方向にも印加させることによって深い基板バイアス印加を避ける方式や [28]、2.4 節で記述する方法と同様の考え方をを用いて基板を低インピーダンスに保つ試みもされているが [17]、基板バイアスの安定供給はこれからの研究課題といえよう。

デュアルしきい値方式

回路のインプリメンテーション技術として、設計時に MOS トランジスタしきい値設定を最適化してリーク電流を削減する技術も多く提案されている。具体的な方法の一例としては、2 種類のしきい値電圧の MOS トランジスタを使い分け、低しきい値 MOS トランジスタの使用個数をなるべく少なくする手法が提案されている [29]。

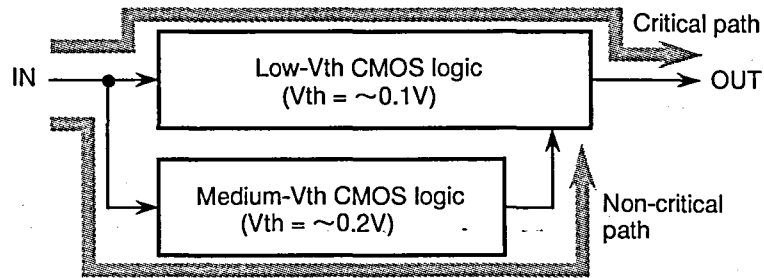


図 2.7 2 種しきい値 MOS の使い分けによるリーク電流削減技術。

図 2.7 は 3 種類のしきい値電圧の MOS トランジスタを用いて、回路のクリティカルパスは低しきい値の MOS トランジスタで構成し、それ以外はそれよりも高いしきい値電圧の MOS トランジスタで構成する方式である [30]。チップ全体での低しきい値 MOS トランジスタの数を減らすことができ、リーク電流を小さくすることができる。多くの大規模回路への適用例があり、たとえば、 $0.12\mu\text{m}$ - L_{eff} 480MHz のマイクロプロセッサで使用された例も報告されている [31]。

2.4 基板インピーダンス切り替え型基板バイアス制御方式によるサブスレッショルドリーク電流削減技術

2.3 節では、従来のサブスレッショルドリーク電流低減技術を紹介したが、本節では、サブスレッショルドリーク電流低減技術を用いた大規模高速 LSI の開発事例について記述する [1,2]。サブスレッショルドリーク電流削減方法としては、 I_{DDQ} テストの重要性を考慮して基板バイアス制御による方法をベースにした。しかし、従来の基板バイアス制御では 2.3.1 節で述べたように多数の欠点がある。特に、基板バイアス制御方式では基板インピーダンスの上昇は避けられない。インピーダンスが高いと基板にノイズが乗り、デバイスのばらつき要因となり、高速動作との両立は困難である。本研究ではこれらの課題を解決し、動作時の高速動作とスタンバイ時の低消費電力を両立する基板インピーダンス切り替え型基板バイアス制御方式 (Switched Substrate-Impedance Substrate-Bias Control Scheme) を開発した。以下、その方式について詳しく述べる。

大規模高速 LSI としては、日立のオリジナルアーキテクチャである SuperH アーキテクチャを用いた SH4 マイコンを使用することにした [32,33]。SH4 マイコンはハンドヘルドコンピュータやゲーム機等に組み込み用途向けに開発されたマイクロプロセッサである。消費電力あたりの性能が高いことが特徴である。電源電圧はコア用の 1.8V と、I/O とリアルタイムクロック用の 3.3V の 2 電源で動作し、5 段パイプライン、2 ウェイスーパースカラ方式を採用することにより、200 MHz で 360 MIPS の整数演算処理能力を持つ。また、3D グラフィック用に 4 次元行列演算回路等を設け、1.4 GFLOPS の浮動小数点演算性能を有している。一方、使用しているデバイス・プロセスは、5 層アルミ配線による 0.2 μ m CMOS テクノロジをベースに、3.3 V 信号を入出力する I/O 回路用に酸化膜厚が厚くてしきい値電圧が高い MOS トランジスタと、1.8 V で動作するコア回路用に酸化膜厚が薄くてしきい値電圧の低い MOS トランジスタが用意されている。消費電力については、ドライストーンベンチマーク動作時の評価で 1 W である。開発した SH4 マイコンの主要諸元を表 2.1 に、そのテクノロジーおよびデバイス諸元を表 2.2 に示す。

表 2.1 SH4 の主要諸元

Superscalar	Two-issue
Cache	8 KB (instruction), 16 KB (data)
Graphic	Special instruction for 3D CG
Integrated peripheral	MMU, DMAC, Serial I/F, Timer Real-time clock, SDRAM I/F
Clock frequency	200 MHz (1.6 V $T_a = 75^\circ\text{C}$)
Performance	360 MIPS VAX, 1.4 GFLOPS
Power supply	1.8 V (vdd), 3.3 V (vwell, vddq)
Power consumption	1.0 W (Dhrystone, typical, active mode)
Standby current	1.3 mA (clk off quiet, active mode) 46.5 μ A (standby mode) 17.8 μ A (data retention mode, vdd= 1.0 V)

表 2.2 SH4 のプロセスおよびデバイスの主要諸元

Technology	0.2 μm , <i>p</i> -sub, triple-well CMOS
L_g	0.2 μm (1.8-V device), 0.35 μm (3.3-V device)
t_{ox}	4.5 nm (1.8-V device), 8 nm (3.3-V device)
V_{th}	0.15 V (1.8-V device), 0.45 V (3.3-V device)
Metal	Metal 1-3 (0.88- μm pitch), Metal 4-5 (1.76- μm pitch)
Area	6.84 $\times$ 6.84 mm ² , (vbc macro: 209.44 $\times$ 645.9 mm ²)
Transistor count	3.3 M

* $V_{\text{th}} = V_{\text{gs}}$ at $I_{\text{ds}} = 10 \text{ nA}$, $W = 10 \mu\text{m}$

2.4.1 全体構成

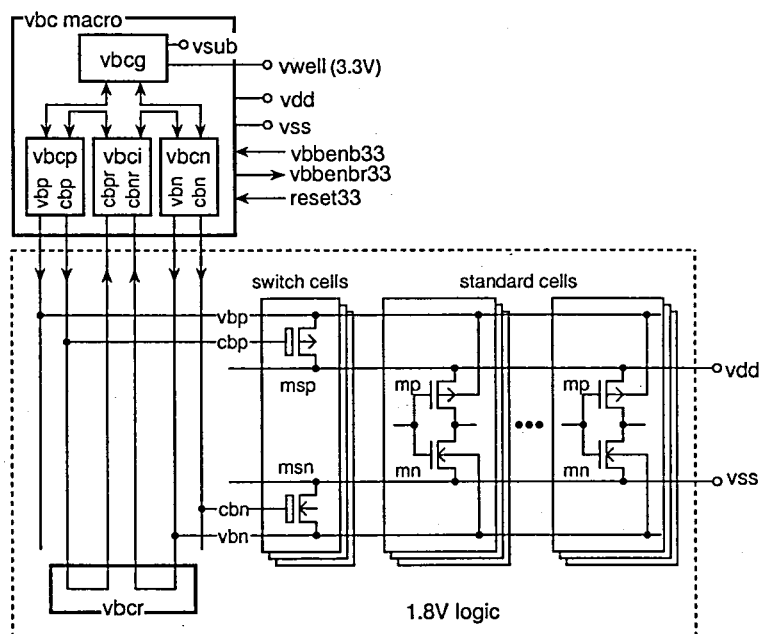


図 2.8 基板インピーダンス切り替え型基板バイアス制御方式の全体構成。

図 2.8に基板インピーダンス切り替え型基板バイアス制御方式の全体構成を示す。1.8 V系ロジックのスタンダードセル内の基板は全て電源と分離したセル構造を取り（ここではPMOS および NMOS の基板電位をそれぞれ vbp および vbn と記す）、それらの基板電位を vbc マクロと呼ばれる基板制御マクロ (vbc macro) と 1.8 V 系ロジック内に配置されているスイッチセル (switch cell) によって制御する。一つのスイッチセル内には二つの厚酸化膜 MOS トランジスタ⁵ が格納されており、それぞれ、vbp と vdd および vbn と vss 間に接続されている。二つの MOS のそれぞれのゲートは cbp および cbn ネットに接続されており、cbp および cbn の電位は vbc マクロによって制御される。スイッチセルは SH4 マイコン全体で約 1 万個分散配置される。

⁵この二つの MOS トランジスタには基板バイアスは印加されない。スタンバイ時にこの二つの MOS に流れるサブスレッショルドリーク電流を低減するためには、二つの MOS のしきい値電圧を高くする必要がある。そのために厚酸化膜 MOS を使用した。なお、厚酸化膜 MOS はしきい値が 1.8 V 系ロジックに使用されている薄酸化膜 MOS よりも約 0.3 V 高い。

cbpr、cbnr は cbp および cbn 電位をモニタするためのそれぞれのリターン信号である。vbc マクロから出力された cbp および cbn 信号は 1.8V 系ロジック内を通過した後、vbc マクロから最遠端に配置されている vbcr と呼ばれるリターンセルで cbpr および cbnr というネット名に変更されて vbc マクロに戻る。

vbc マクロは図 2.8 に示されるように、4 つの回路ブロックから構成されている。vbcp、vbcn はそれぞれ PMOS、NMOS の基板電位を制御する回路ブロックであり、vbp、vbn、cbp、cbn 信号はこれらの回路ブロックから生成される。vbci は vbc マクロを制御する外部回路とのインターフェース回路と、cbp および cbn のリターン信号 (cbpr および cbnr) を受ける回路と、パワーオンリセット回路が格納された回路ブロックである。vbcbg はスタンバイ時に NMOS の基板バイアスに印加する電位 (vsub 電位) を作るための負電圧発生回路である。

各回路ブロックの電源電圧については、vbcp は vwell と vss が、vbcn は vdd と vsub が、vbci は vdd と vss が、vbcbg は vwell と vss がそれぞれ供給されている。したがって、vbcp、vbcn、vbcbg の内部回路にかかる電源電圧は高々 vwell 電圧である。vwell=vddq (vddq は I/O 電圧) とすることにより、I/O 回路に使用している厚酸化膜の MOS トランジスタと同一の MOS トランジスタを vbc マクロに使用できる。

表 2.3 動作状態と基板電位 (vbp,vbn) およびスイッチセル制御線 (cbp,cbn) 電位の関係

vbbenb33	State	vbp	vbn	cbp	cbn
0.0V	Active	1.8V (vdd)	0.0V (vss)	0.0V (vss)	1.8V (vdd)
3.3V	Standby	3.3V (vwell)	-1.5V (vsub)	3.3V (vwell)	-1.5V (vsub)

$$vsub = vdd - vwell$$

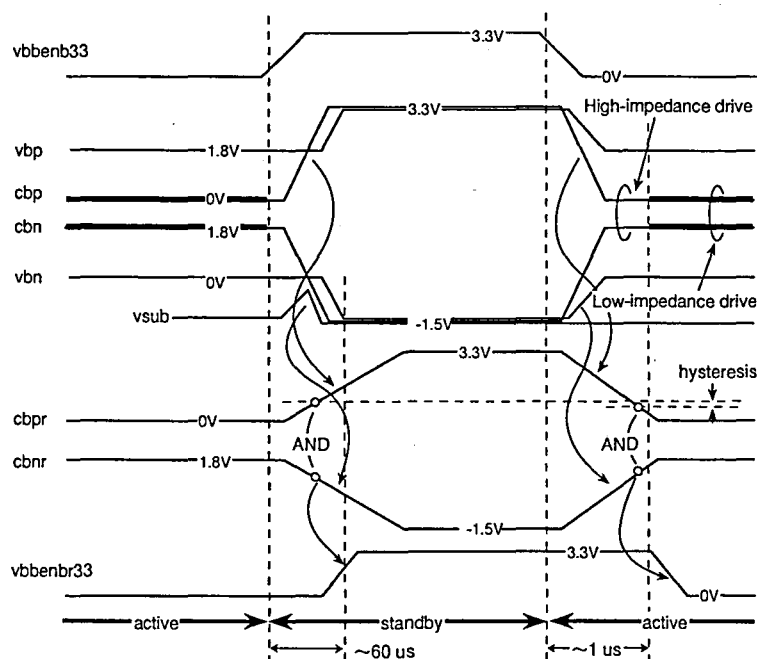


図 2.9 動作波形例

各動作モード時の vbp、vbn、cbp、cbn の電位を表 2.3 に、波形を図 2.9 に示す。基板電位は vbc マクロに入力される vbbenb33 信号によって、以下のように制御される。

1.8 V 系ロジックをスタンバイ状態に移すには、vbbenb33 をアサートする。これにより、cbp および cbn にはスイッチセル内の MOS をオフするような電位が印加され、さらに、vbc マクロから vbp および vbn にそれぞれ 3.3 V (vwell 電位) および -1.5 V ($v_{sub}=v_{dd}-v_{well}$ 電位) が供給される。各信号の時間的変化は図 2.9 で示したようになる。vbbenb33 のアサート (3.3 V) により、 $vbp=cbp=3.3\text{ V}$ 、 $vbn=cbn=-1.5\text{ V}$ に移行し、ある時間が経過した後に、リターン信号 cbpr、cbnr が $cbpr=cbp=3.3\text{ V}$ 、 $cbnr=cbn=-1.5\text{ V}$ に移行する。これを検出して vbbenbr33 は 3.3 V になる。

一方、アクティブ状態に移すには、vbbenb33 をネゲートする。これにより、cbp および cbn にはスイッチセル内の MOS がオンするような電位が印加され、スイッチセルによって基板電位 vbp および vbn には電源電位と同じ電位が供給される。各信号の時間的変化は図 2.9 で示したように、vbbenb33 が 3.3 V から 0 V に移行すると、 $vbp=1.8\text{ V}$ 、 $cbp=0\text{ V}$ 、 $vbn=0\text{ V}$ 、 $cbn=1.8\text{ V}$ に移行する。その後ある時間が経過した後に、リターン信号 cbpr、cbnr が $cbpr=cbp=0\text{ V}$ 、 $cbnr=cbn=1.8\text{ V}$ 、 $vbbenbr=0\text{ V}$ に移行する。

ここで特徴的なのは、cbp、cbn の出力インピーダンスが 2 段階に変化することである。スタンバイ状態からアクティブ状態に移す場合、リターン信号 cbpr、cbnr に cbp、cbn の電位が現れるまでの時間は cbp および cbn は高インピーダンスで駆動される。その後、cbpr および cbnr の電位を検出することで cbp、cbn は低インピーダンスに駆動される。このように 2 段階に分けて cbp、cbn を駆動することにより、

- (1) アクティブ状態では cbp、cbn は低インピーダンスに駆動され、1.8 V 系ロジックの動作によるノイズの影響を低減できる。
- (2) cbp が 0 V、cbn が 1.8 V に駆動されると、多数のスイッチセル内の MOS が同時にオンする。cbp、cbn の駆動を高インピーダンスでゆっくりと駆動することで多数あるスイッチセル内の MOS の同時スイッチングノイズを低減できる。

以上でわかるように、アクティブ時には多数のスイッチセル内の MOS トランジスタがオンして、電源と基板 (vbp, vbn) が短絡され、基板インピーダンスが低く保たれる。ところが、スタンバイ時に基板 (vbp, vbn) を駆動する MOS トランジスタは、vbc マクロ内の一つの MOS トランジスタのみである。したがって、基板 (vbp, vbn) は高インピーダンスになる。基板ノイズによる誤作動が懸念されるが、ここではスタンバイ時には 1.8 V 系ロジックは動作しない (スイッチングしない) という制御を行うことにより誤作動を防いでいる。この制御のために、スタンバイ状態からアクティブ状態に移した時には、基板電位がアクティブ状態の電位になったことを検出してから 1.8 V 系回路の動作を始めている。基板電位検出には vbbenbr33 信号を使用している。前記のように、vbbenbr33 は vbbenb33 の戻り信号として働き、基板電位は cbp、cbn 電位によって決定されるため、cbp、cbn 電位から得られる vbbenbr33 をモニタすることで基板の電位状態を検出できる。

2.4.2 電源ネットおよび基板バイアスネット構成

図 2.10に電源 (vdd,vss)、基板バイアス (vbp,vbn)、基板バイアス制御線 (cbp,cbn) のネット構成を示す。スイッチセルは縦方向に連続して配置されている。また、スイッチセルと隣合うスイッチセルの横方向の間隔 L はある値以内で可変にしている。SH4 では最大 $L = 200\mu\text{m}$ とした。⁶ アクティブ時にはスイッチセルによって基板電位が駆動されるため、スイッチセルを後述するように多数設けることにより、基板を低インピーダンスにできる。

ネット配線については、セル列と平行して横方向には M1(メタル配線第1層目) で配線された vdd,vss,vbp,vbn が平行に配線されている。vbp は上下二つのセルによって共有され、その上下に vdd が平行して配線されている。また、vbn も上下二つのセルによって共有され、その上下に vss が平行して配線されている。vdd、vss は 2.5 ピッチ⁷ 幅で、vbp、vbn は 0.5 ピッチ幅である。また、縦方向には 8.5 ピッチ幅の M2(メタル配線第2層目) で配線された vdd、vss、0.5 ピッチ幅の M2 で配線された vbp、vbn、cbp、cbn がスイッチセル上を配線されており、M1 と M2 の交点で、それぞれ vdd、vss、vbp、vbn がメッシュ状に接続されている。

電源配線については、上記 M1 と M2 による細かいピッチの電源メッシュ構造に加えて、膜厚が M1-M3 の 2 倍ある M4-M5 を用いた荒いピッチの電源メッシュによる電源補強がなされている(破線)。縦方向に配線されている M2 の vdd、vss の上部に M4 で配線された vdd、vss を配線しているが、この両者を接続するためには M3 の配線層を介する必要がある。この接続をすべてのスイッチセル上で行うと M3 が縦方向に配線されることになり、M3 の横方向のパスが無くなるという問題がある。SH4 では M2 と M4 の電源線の接続を、4 つごとのスイッチセル上でのみ行っている。このようにすることによって、M3 の横方向の配線パスを確保することができる。M5 の電源線は先の 4 つごとのスイッチセル上でのみに配置している。

図 2.11に SH4 のフロアプランと、cbp、cbn、cbpr、cbnr のネット構成とリターンセル vbcr の配置関係を示す。図 2.10で示したように vbp および vbn はスイッチセルを並べることによってメッシュ状に配線されるが、cbp、cbn はメッシュ状には配線されず、ストライプ状に配線される。このストライプ状の配線を M3 および M4 を用いてシャントし、フィッシュボーン状に配線している。cbp および cbn の配線抵抗は、vbc マクロから最遠端のスイッチセルまでが vbc マクロ内の cbp および cbn の駆動 MOS のオン抵抗(約 20Ω) の 10 倍以下になるように、M3 および M4 のシャント線幅を決定した。⁸ また、リターンセルは各スイッチセル内で cbp、cbn の伝搬時間の一番遅いスイッチセルの cbp、cbn 到達タイミングよりも遅いタイミングで cbpr、cbnr が戻せるように配置する。SH4 では図 2.11 のように vbc マクロから一番遠い場所に vbc マクロと対角する位置に配置している。

⁶ 間隔 L は電源線のインピーダンス、電源配線のマイグレーション、MOS トランジスタが動作することで vbp や vbn に生じるドレイン-基板カップリングによる基板ノイズを考慮して決定した。

⁷ 最小配線ピッチを 1 ピッチとしている。

⁸ SH4 では $4.8\mu\text{m}$ 幅とした。その時の cbp/cbn 配線抵抗は $0.045\Omega/\square \times 14\text{mm}/4.8\mu\text{m} = 130\Omega$ 。

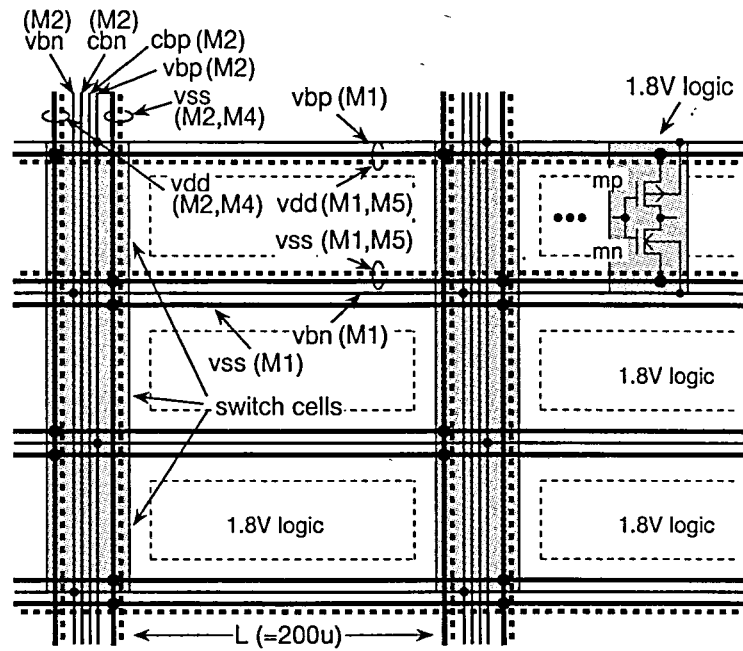


図 2.10 電源 (vdd,vss)、基板バイアス (vbp,vbn)、基板バイアス制御線 (cbp,cbn) のネット構成

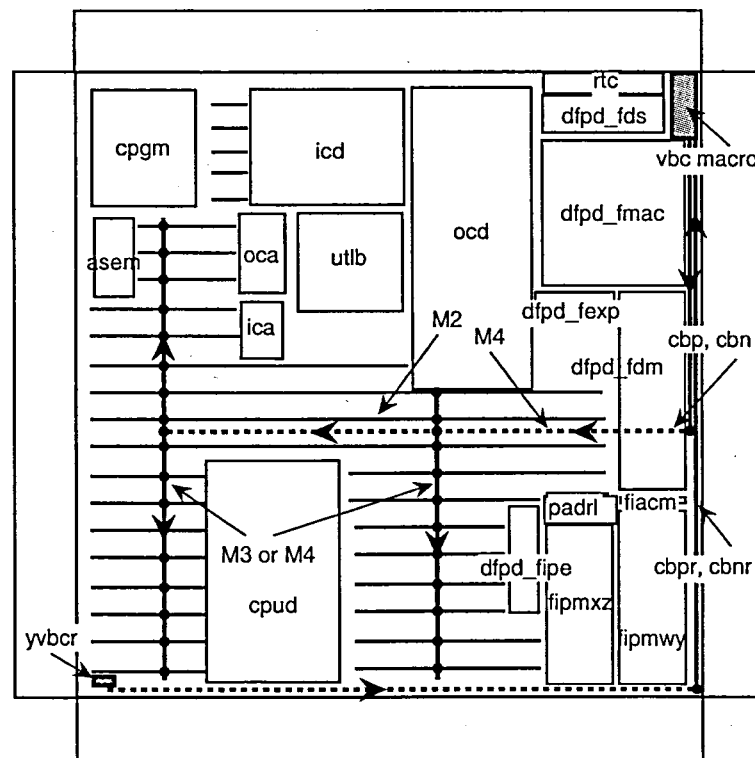


図 2.11 基板バイアス制御線 (cbp,cbn)、リターン信号 (cbpr,cbnr) のネット構成

2.4.3 スタンダードセルレイアウトおよびウェル構造

図 2.12 にスタンダードセルとスイッチセルのレイアウトを示す。スタンダードセルはインバータを例にした。vbp、vbn、vdd、vss は 4 本の平行した M1 配線によって給電されている。vbp、vbn はそれぞれシリサイド化された基板給電拡散層によっても給電されている。スタンダードセルは縦方向に鏡面对称に配置される。これによって vbp および vbn が上下の隣接するスタンダードセルと共有することができ、面積を削減している。

一方、スイッチセルについては、スタンダードセルと同じセル高さで、M1 による vbp、vbn、vdd、vss の給電線はスタンダードセルと同じ位置にある。縦方向に平行して配線されている M2 配線は、電源強化線 2 本と、この 2 本の電源強化線の間に、vbp、vbn 強化線 2 本と、cbp、cbn が 2 本が平行して配置されている。両端の電源強化線 vdd、vss によって、比較的インピーダンスの高い 4 本の基板バイアス制御線を外来ノイズから守ることができる。

図 2.13 にウェル構造を示す。N-well は PMOS を形成するための N 型ウェル、P-well は NMOS を形成するための P 型ウェルである。NISO は N-well、P-well よりも深いところにある N 型ウェルであり、いわゆる 3 重ウェル構造になっている。

3.3V 系回路は基本的に厚酸化膜 MOS トランジスタで構成されており、その部分については厚酸化膜 MOS トランジスタのしきい値は高いために基板バイアス制御は行っていない。一方、1.8V 系回路は薄酸化膜 MOS トランジスタで構成されており、図 2.12 で示したように基板バイアス制御が可能な構造になっている。

なお、1.8V 系回路と 3.3V 系回路とは NISO によって電気的に分離されている。したがって、NISO によって分離した回路は別々の基板電位を与えることができる。また、PLL を内蔵する CPG マクロや CPU マクロ等の各マクロは独立した NISO の島上に形成されている。また、P 基板 (P-sub) は VSS 電位に固定されており、各 NISO の間にはその固定のためのガードバンドが配置されている。各 NISO の島で発生した基板ノイズは、容量結合により P-sub に伝搬しようとするが、上記のように P-sub はガードバンドで低インピーダンスに接地電位に固定されている。P-sub に現れるノイズは小さくでき、各回路ブロックで発生したノイズが他のブロックに影響するのを低減できる。例えば外部ピンとのインターフェースを行う PAD マクロは、外部ピンを内部の信号振幅よりも大きな振幅で駆動することから大きなノイズを発生する。このノイズが CPG 等のアナログ回路に影響するのを防げる。

図 2.14 に SH4 のチップ写真、図 2.15 に vbc マクロの拡大写真を示す。

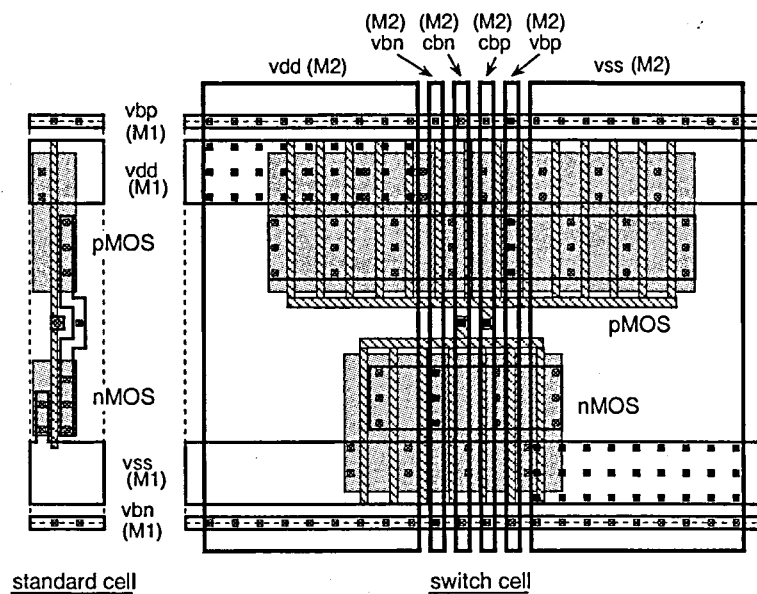


図 2.12 スタンダードセルとスイッチセルのレイアウト

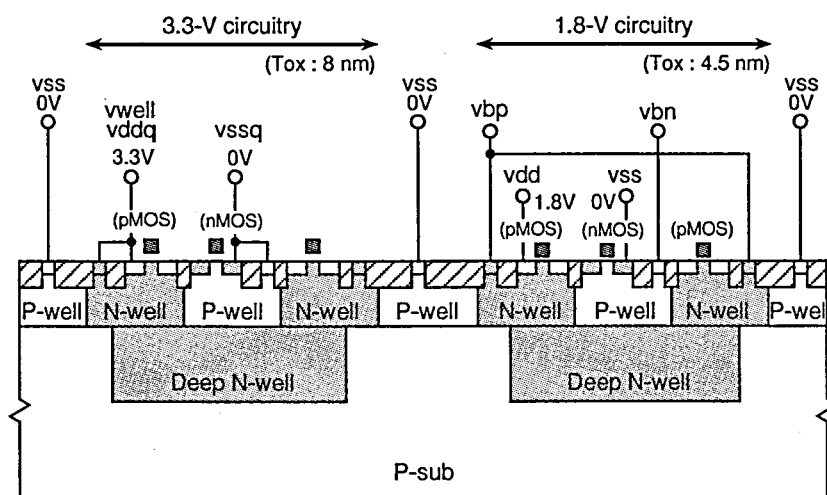


図 2.13 ウェル構造

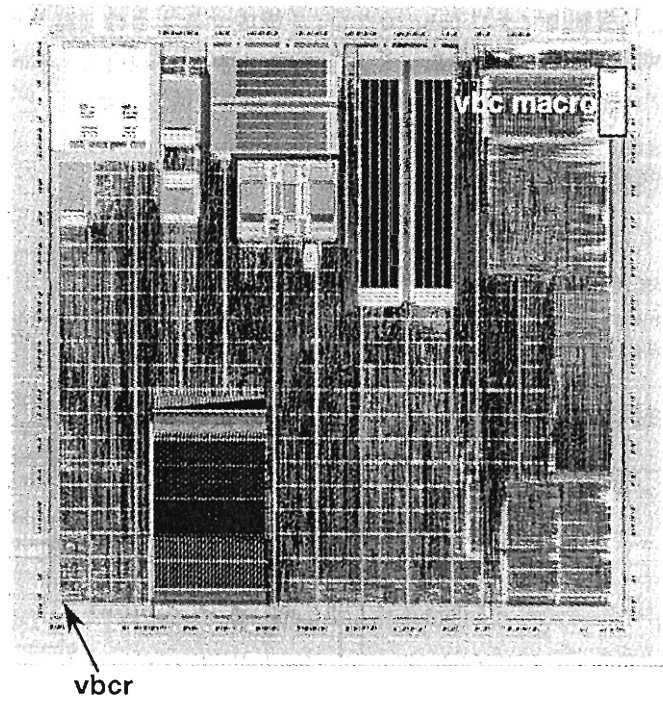


図 2.14 SH4 のチップ写真

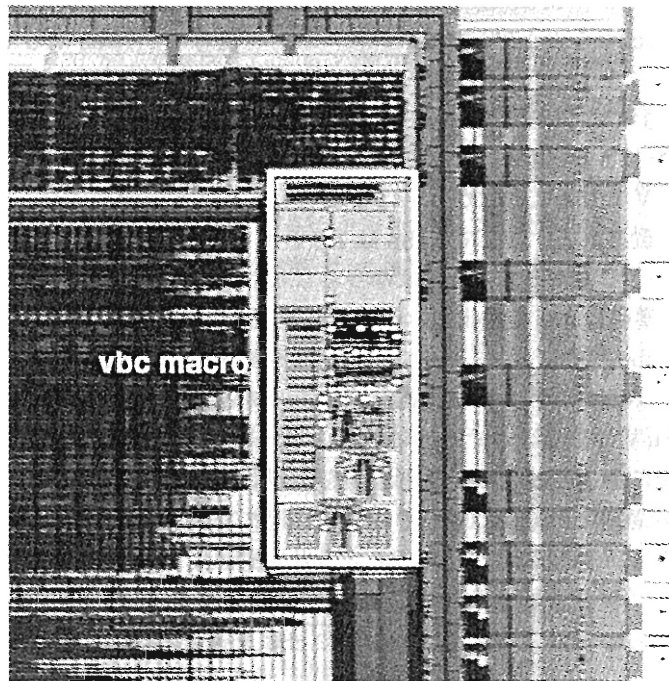


図 2.15 vbc マクロ部の拡大写真

vbci (インターフェース回路ブロック)

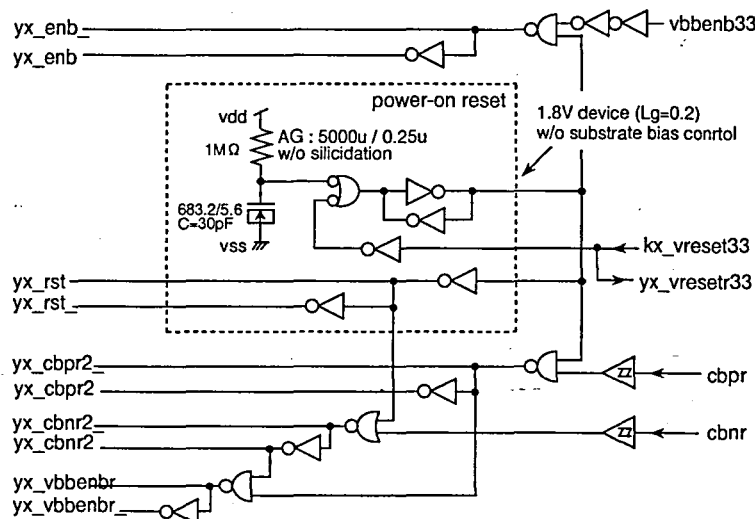


図 2.17 vbci 回路図

図 2.17に vbci の回路図を示す。vbci は vbc マクロを制御する外部回路とのインターフェース回路と、cbp および cbn のリターン信号 (cbpr および cbnr) を受ける回路と、パワーオンリセット回路が格納された回路ブロックである。

外部からの vbbenb33 や kx_vreset33 等の 3.3 V 振幅の信号は vbci 内部ですぐに 1.8 V 振幅のデュアルレール信号に変換され、vbcp および vbcn に入力される。vbci から vbcp、vbcn への各信号線はデュアルレール信号を用い、vbcp、vbcn 内部でレベル変換 (1.8 V 振幅信号を 3.3 V 振幅信号に変換) している。

cbp および cbn のリターン信号 (cbpr および cbnr) を受ける回路としては、初段にシュミット入力バッファを用いている。これは cbpr および cbnr はそこに接続されている負荷が大きいことから非常に緩やかに遷移する信号であるためである。

パワーオンリセット回路は RC の充放電時間を利用した簡単なものを使用した。その出力は電源 vdd が投入されてから徐々に 0 V から 1.8 V に充電される。したがって、yx_rst は一定時間アサートされ、一定時間後 (数十 μ s 後) にネゲートされる。

vbcb (負電圧発生回路ブロック)

図 2.18に vbcb のブロック図を示す。vbcb は電源回路であり、vsub 電位を発生する回路である。大きく分けて 3 つの回路ブロックからなり、チャージポンプ回路 cp1 と cp2 およびその制御回路から構成される。制御回路では図中の vsub sensor 部で vwell、vdd、vss、vsub 電位をモニタし、Vsense 電位と Vref 電位が同じ電位になるように cp1 あるいは cp2 を ON/OFF する。したがって、安定状態では Vsense=Vref となることから、

$$\frac{v_{\text{well}} + v_{\text{sub}}}{2} = \frac{v_{\text{dd}} + v_{\text{ss}}}{2} \quad (2.1)$$

$$v_{\text{sub}} = v_{\text{dd}} + v_{\text{ss}} - v_{\text{well}} \quad (2.2)$$

源と基板間に流せられる電流は $V_{\text{th}}=0.45 \text{ V}$ at $10 \text{ nA}/15 \mu\text{m} \Rightarrow V_{\text{th}}=0.72 \text{ V}$ at $1 \mu\text{A}/15 \mu\text{m}$ ($S=90 \text{ mV/dec}$) より、 $v_{\text{dd}}=0.72 \text{ V}$ で約 $8000 \times 30 \mu\text{m}/15 \mu\text{m} \times 1 \mu\text{A} = 16 \text{ mA}$ となる。 $v_{\text{dd}}=0.7 \text{ V}$ 程度で十分に基板電位を電源電位に駆動できる。

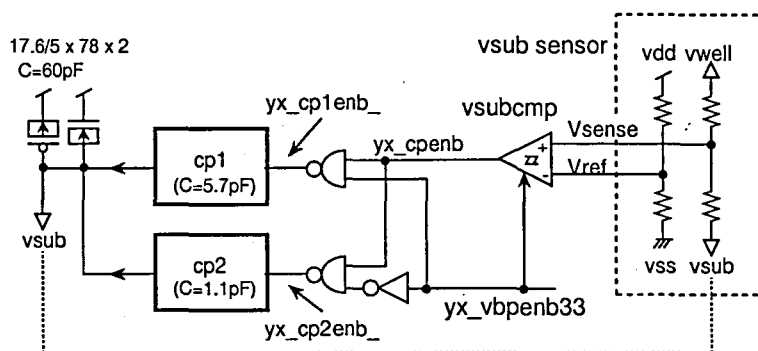


図 2.18 vbcg 回路図

となる。

チャージポンプ回路 cp1 と cp2 の違いはポンピング容量の違いである。cp1 のポンピング容量は cp2 のポンピング容量の 5 倍の容量に設定されている。アクティブ状態では yx_vbpenb33 がネゲートされるため cp2 が使用される。アクティブ状態では vsub 電位は vbc マクロ内でのみ使用されるため、それほど電流が流れない。このため、ポンピング能力の小さい cp2 を使用する。逆にスタンバイ状態では yx_vbpenb33 がアサートされるため cp1 が使用される。スタンバイ状態では vsub 電位は 1.8V 系ロジック全体に供給されるため、vsub には pn 接合リーク等の電流が流れる。このため、ポンピング能力の大きな cp1 を使用する。このように動作状態でポンピング容量を変えることで vsub 電位のリップルを小さくできる。

また、状態によって、Vsense と Vref の電圧を比較するコンパレータ vsubcmp の動作電流も変えている。yx_vbpenb33 がアサートされるスタンバイ時には vsub には主回路の vbn が接続されるため大きな基板容量が接続されることになる。したがって、vsub はゆっくりと変化する。vsubcmp は高速に動作する必要がないため、動作電流を制限して低電力化している。一方、yx_vbpenb33 がネゲートされるアクティブ時には、vsub には vbc マクロ内の回路だけが接続されるため、比較的小さな容量が vsub に接続されることになる。vsub は高速に変化することになるため、vsubcmp を高速に動作するように動作電流値を大きくしている。

2.5 基板インピーダンス切り替え型基板バイアス制御方式の測定結果

ここでは基板インピーダンス切り替え型基板バイアス制御技術を用いたSH4の測定結果を示す。vbc マクロの特性評価はプローブボードによって、SH4のリーク測定はBGA パッケージ版を評価プリント基板上で行った。測定温度はいずれも室温である。

2.5.1 状態遷移時の過渡特性

アクティブ状態からスタンバイ状態への遷移

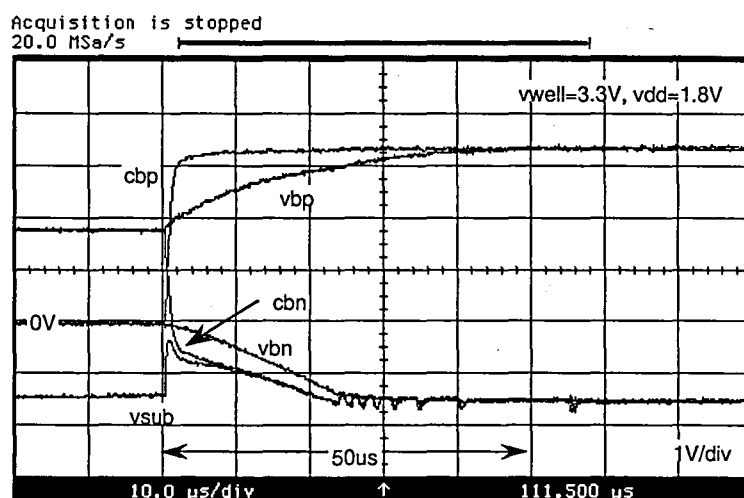


図 2.19 スタンバイ状態遷移時の vbp,vbn,cbp,cbn,vsub 波形

図 2.19にアクティブ状態からスタンバイ状態へ遷移したときの基板電位 (vbp,vbn)、基板バイアス制御線 (cbp,cbn) および、チップ内部で発生したNMOS 基板バイアス用負電圧 (vsub) の測定波形を示す。vwell=3.3 V、vdd=1.8 V の時の波形である。遷移には約 50 μ s かかっていることがわかる。¹⁰

スタンバイ状態からアクティブ状態への遷移

スタンバイ状態からアクティブ状態へ遷移したときの基板電位 (vbp,vbn)、基板バイアス制御線 (cbp,cbn) の測定波形を図 2.20に、基板バイアス制御線 (cbp,cbn)、リターン信号 (cbpr,cbnr) の測定波形を図 2.21にそれぞれ示す。vwell=3.3 V、vdd=1.8 V の時の波形である。vbp、vbn 電位の復帰には約 300 ns かかっている。また、約 370 ns 付近で cbp および cbn の2段階駆動が正しく行われていることがわかる。vbbenbr33 信号は測定波形には無いが、cbpr および cbnr の遷移を検出して約 370 ns のところでネグートされている。

¹⁰遷移直後に vsub 電位が -1.5 V から約 -0.4 V まで上昇している。vsub 電位はNMOS の基板バイアスとして用いられているため、vsub 電位が正電位になると pn 接合がいたるところで順方向にバイアスされる。この vsub 電位の上昇電圧は cbp ネット上の 1.8 V の電荷と、vbn ネット上の 0 V の電荷と、vsub ネット上の -1.5 V の電荷の容量分割に加えて、チャージポンプの駆動力等によって決まる。vsub 電位を正電位にならないようにするためには、cbn ネットを駆動する MOS の駆動能力をチャージポンプの駆動能力以下にすればよい。本設計では vbn ネットの寄生容量は cbn の寄生容量の 10 倍以上であることを考慮して、ほぼ同じ駆動能力になるように設計している。

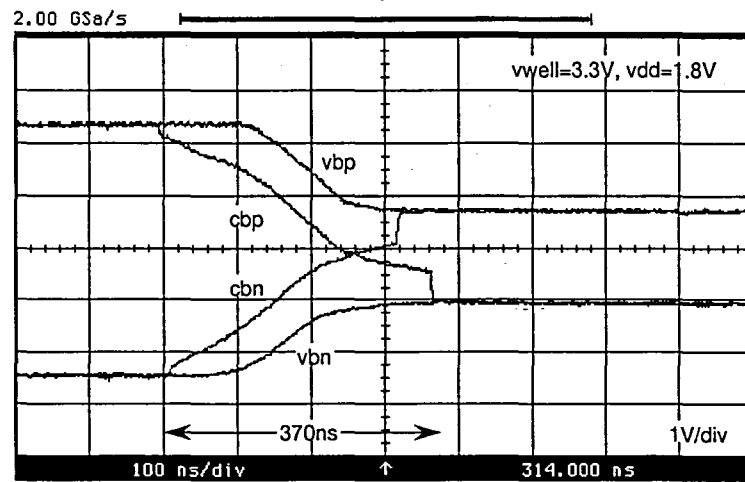


図 2.20 アクティブ遷移時の vbp,vbn,cbp,cbn 波形

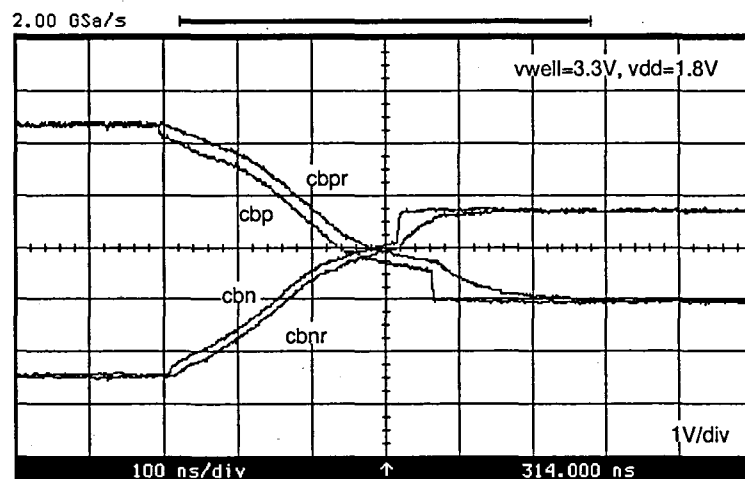
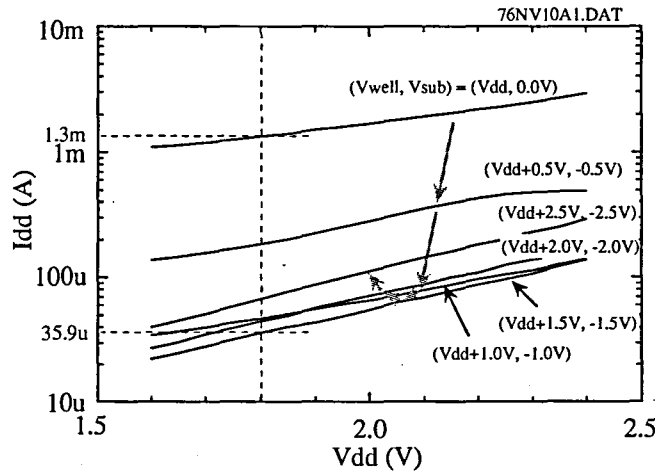
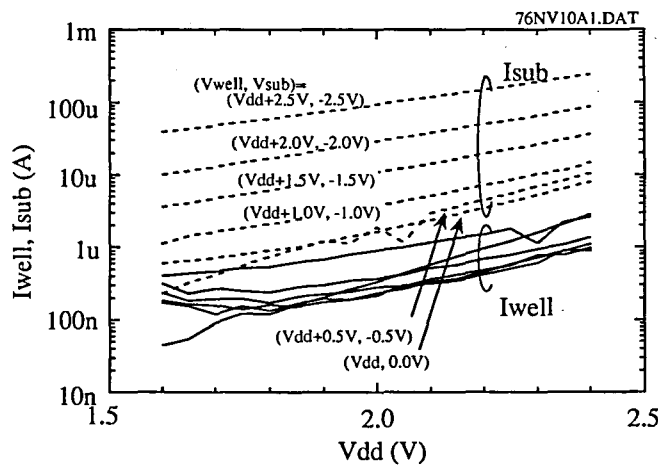


図 2.21 アクティブ遷移時の cbp,cbn,cbpr,cbnr 波形

2.5.2 リーク電流特性

図 2.22 i_{dd} の電源電圧 v_{dd} 依存性図 2.23 i_{sub} および i_{well} の電源電圧 v_{dd} 依存性

次にリーク電流の測定結果を示す。NMOS の基板に流れる基板電流 i_{sub} も測定できるように、負電圧発生回路 (vbcg) をオフにして、負電圧 (v_{sub}) はチップ外部から印加できるようにして測定を行った。¹¹ スタンバイ時の SH4 の電源リーク電流 i_{dd} の電源電圧 v_{dd} 依存性を図 2.22 に、 i_{sub} および i_{well} 電流依存性を図 2.23 に示す。印加している基板バイアス値 (v_{bp}, v_{bn}) = (v_{well}, v_{sub}) をパラメータとしている。電源電圧 $v_{dd} = 1.8\text{ V}$ 、 $v_{well} = 3.3\text{ V}$ 、 $v_{sub} = -1.5\text{ V}$ という設計値ではリーク電流は以下ようになる。

$$i_{dd} = 1.3\text{ mA} \quad (\text{基板バイアス制御無}) \quad (2.3)$$

$$35.9\text{ }\mu\text{A} \quad (\text{基板バイアス制御有}) \quad (2.4)$$

基板バイアス制御により、約 1/36 にリーク電流が削減できている。また、その時の i_{well} および i_{sub} 電流は図 2.23 より以下ようになる。

$$i_{well} = 0.17\text{ }\mu\text{A} \quad (2.5)$$

$$i_{sub} = 6.1\text{ }\mu\text{A} \quad (2.6)$$

¹¹ PMOS の基板電流は、 v_{well} 電源に流れる電流 i_{well} によって測定できる。負電圧発生回路 (vbcg) の諸特性については、2.5.3 節で記述する。

特に i_{sub} 電流が多いのは、pn 接合リークによるものと考えられる。図 2.22においても基板バイアスを深く印加することにより、スタンバイリーク電流 i_{dd} が減少しているが、基板を過剰に引くことで逆に増加している。この現象については、2.6 節で詳しく述べる。

2.5.3 負電圧発生回路 (vbcg) 特性

次に、スタンバイ時の NMOS の基板バイアス電位である負電圧 (v_{sub}) を発生する負電圧発生回路 (vbcg) の諸特性を示す。スタンバイ時に動作する回路であるため、十分な負荷駆動能力と低電力を実現するための高効率電圧変換特性が求められる。

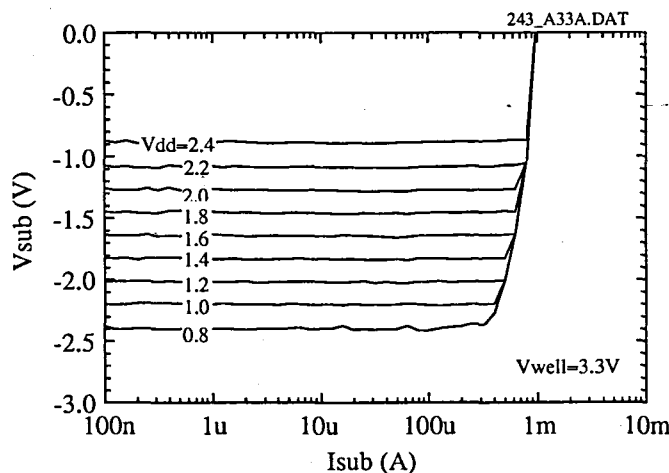


図 2.24 vbcg の I_{sub} - V_{sub} 特性 (スタンバイ時)

図 2.24にスタンバイ時の、 v_{sub} 電位の負荷電流 i_{sub} 依存性を示す。 v_{dd} をパラメータとして 0.8 V から 2.4 V まで 0.2 V ステップで変化させている。これより、 $v_{dd}=1.8$ V の時に vbcg 内のチャージポンプの最大許容負荷電流 $i_{sub}^{max} = 600 \mu A$ であることがわかる。一般に v_{sub} に流れる電流は pn 接合リーク電流だけであるため、SH4 のチップサイズを考えると十分な電流供給能力があることがわかる。また、得られた負電圧 (v_{sub}) と v_{dd} には式 (2.2) の関係が得られていることがわかる。

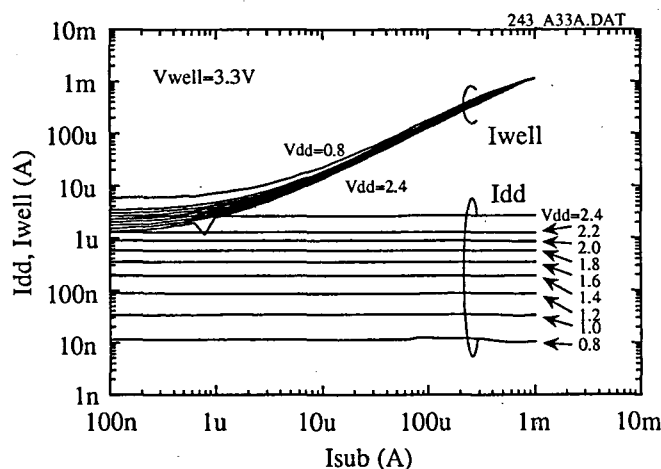


図 2.25 vbcg の I_{sub} - I_{dd} , I_{well} 特性 (スタンバイ時)

図 2.25にスタンバイ時の、 i_{well} および i_{dd} の負荷電流 i_{sub} 依存性を示す。 v_{dd} をパラメータとして 0.8 V から 2.4 V まで 0.2 V ステップで変化させている。なお、スタンバイ時

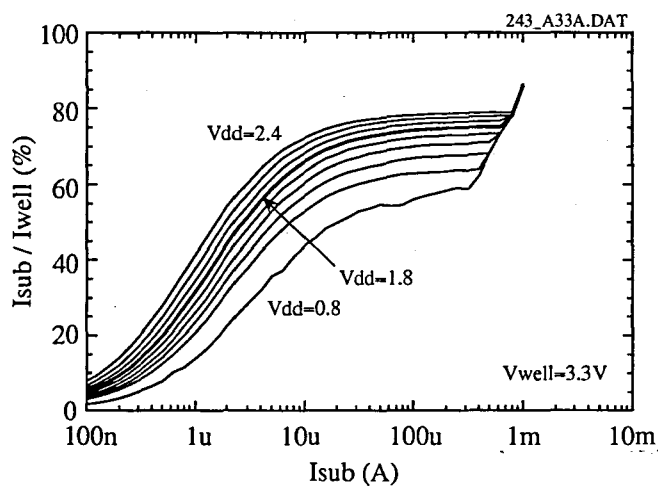


図 2.26 vbcg の電流効率

の無負荷の時には、 $v_{dd}=1.8\text{ V}$ で、 $i_{well}=2\text{ }\mu\text{A}$, $i_{dd}=0.6\text{ }\mu\text{A}$ であった。

図 2.26に $v_{well}=3.3\text{ V}$ 、スタンバイ時の vbcg の電流変換効率 (i_{sub}/i_{well}) を示す。 v_{dd} をパラメータとして 0.8 V から 2.4 V まで 0.2 V ステップで変化させた。 $v_{dd}=1.8\text{ V}$ の時の電流効率は以下ようになる。

$$\text{電流効率} = 32\% \quad (i_{sub}=1\text{ }\mu\text{A}) \quad (2.7)$$

$$66\% \quad (i_{sub}=10\text{ }\mu\text{A}) \quad (2.8)$$

$$74\% \quad (i_{sub}=100\text{ }\mu\text{A}) \quad (2.9)$$

本試作では、若干大きめの負荷駆動能力を持つようにチャージポンプ回路のポンピング容量およびポンピング周波数を設計したため、低負荷領域での電流効率が若干悪くなっている。

2.6 基板バイアス制御の限界 (GIDL 電流によるリーク電流増加)

2.5 節で述べたように、基板インピーダンス切り替え型基板バイアス制御方法によって高速動作を維持しながらの基板バイアス制御に成功し、数十 μA のスタンバイ状態 (Standby mode) を実現できた。しかし、この高温で LSI をテストする場合、サブスレッショルドリーク電流は 50°C で約 1 桁上昇する。したがって、このスタンバイ状態時に I_{DDQ} テストを実行する場合、数百 μA のリーク電流はまだ大きすぎる。¹² ここでは更なる低リーク電流化を検討する。

基板バイアス制御によるサブスレッショルドリーク電流削減効率を高くするには、基板バイアスを深く印加する方法がある。しかし、図 2.22 からわかるように、あまり深く印加しすぎると逆に増加する。これは基板を深く印加すると MOS トランジスタのドレイン・ウェルあるいはウェル・ウェル間等に大きな電位差が生じ、pn 接合リークが増加するからであると考えられる。¹³ また、もう一つの大きな原因は GIDL (Gate-Induced Drain Leakage) 電流である。特に近年の薄い酸化膜を用いた MOS トランジスタでは、深い基板印加によって GIDL 電流が著しく増加する [35]。

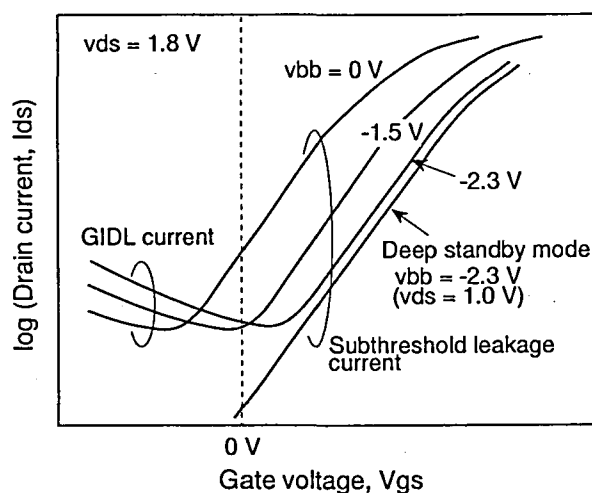


図 2.27 基板電位の印加によるドレイン電流特性の変化。

図 2.27 はその様子を示したものである。上側の三本の曲線を見て分かるように、深い基板電位 v_{bb} を印加するに従い、オフ時のサブスレッショルドリーク電流は減少して再び増加する。

一方、一番下側の曲線は、基板を深く印加すると同時にドレイン電圧 v_{ds} を低くした場合の特性である。次にこの性質を利用した新しいリーク電流削減方式 (低電圧基板バイアス制御方式) を用いたデータリテンション状態 (Data retention mode) の実現方法について述べる。

¹² 1 個の MOS の不良によるリーク増加は、1 個の MOS のオン電流の数分の 1 として $100 \mu\text{A}$ 程度になる可能性がある。したがって、正常時のリーク電流は $100 \mu\text{A}$ 以下にする必要性がある。

¹³ また、図 2.23 から、 $\text{N}^+\text{-P}$ ウェル接合リークの方が $\text{P}^+\text{-N}$ ウェル接合リークよりも大きいことがわかる。

2.7 低電圧基板バイアス制御方式による GIDL 電流削減技術

2.7.1 基本概念

ここでは、基板バイアス制御と電源電圧制御を組み合わせた新しいリーク電流削減方式(低電圧基板バイアス制御方式)によるデータリテンション状態(Data retention mode)を提案する。この方式では、基板バイアスを印加した状態で、さらに内部回路の情報が消去されない程度に電源電圧 vdd を下げる。

基板バイアスを印加した状態からさらに電源電圧 vdd を下げることにより、

- (1) ドレイン電圧が低下するため、DIBL(Drain Induced Barrier Lowering) 現象により MOS トランジスタのしきい値電圧が高くなる。
- (2) 基板バイアス電位が一定の条件のもとで電源電圧が低下することにより、各 MOS トランジスタのソース電位と基板電位の電位差が大きくなる。すなわち、ドレインあるいはソースとウェル pn 接合間の電位差を変化させないで実効的に基板バイアスが深く印加される。
- (3) 基板バイアスが深くなることにより、DIBL 現象がより顕著になる。

という効果により、基板バイアス制御だけの時よりもサブスレッショルドリーク電流による消費電力を大幅に抑えることができる。さらに、DIBL 現象はゲート長 L_g が短くなるほど大きくなるため、微細化が進めばそれだけ効果が増すという特徴がある。

2.4 節で示した基板インピーダンス切り替え型性基板バイアス制御方式では、式 (2.2) の関係にしたがって NMOS 基板バイアス電位が発生されるため、上記条件をスタンバイ時の電源電圧を 1.8 V から 1 V に減少させるだけで容易に実現できる (図 2.28)。

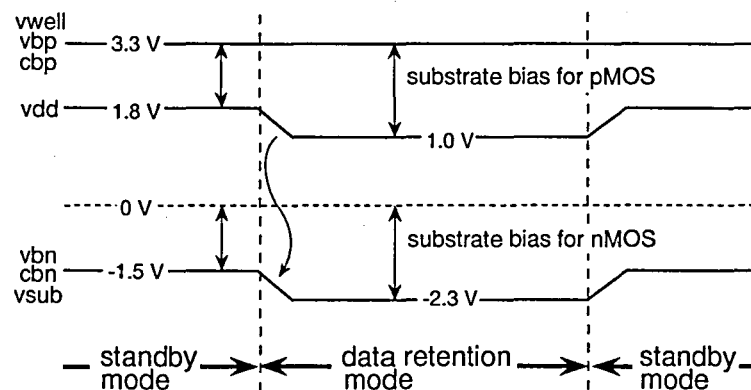


図 2.28 スタンバイ状態とデータリテンション状態間での遷移

2.7.2 測定結果

図 2.29 に SH4 マイコンのスタンバイ状態とデータリテンション状態でのリーク電流測定結果を示す。測定温度は室温である。データリテンション状態は前節で示したように、スタンバイ状態において電源電圧を 1.8 V から 1 V まで減少させた状態である。なお、iwell には負電源発生回路 (vbcg) の消費電流と基板電流が含まれている。

何も動作しないアクティブ状態でのリーク電流は、基板バイアス制御を行わない場合のスタンバイ電流に相当する。この場合消費電流は 1.3 mA であった。それに対して、基板バ

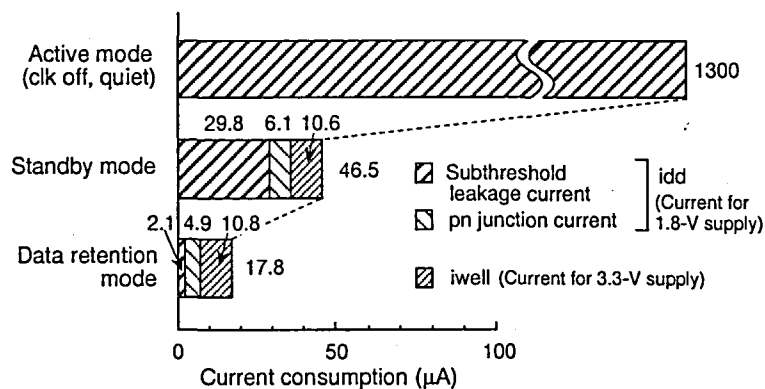


図 2.29 スタンバイ状態とデータリテンション状態でのリーク電流測定結果

イアス制御を行ったスタンバイ状態では、それが $46.5\mu\text{A}$ まで減少している。負電圧発生回路 v_{bcg} の電流効率を考慮すると、基板電流とサブスレッショルドリーク電流はそれぞれ、 $6.1\mu\text{A}$ 、 $29.8\mu\text{A}$ であることがわかる。さらに、低電圧基板バイアス制御を行ったデータリテンション状態では、 $17.8\mu\text{A}$ まで消費電流が削減している。このとき、基板電流とサブスレッショルドリーク電流はそれぞれ、 $4.9\mu\text{A}$ 、 $2.1\mu\text{A}$ である。データリテンション状態によって、サブスレッショルドリーク電流を2桁以上削減できている。

2.8 結言

本章では低電圧ロジック回路の高速・低電力化について論じた。まず始めに、ロジック回路の低電圧化の推移とそれに伴う課題について述べた。特に重要な課題であるサブスレッショルドリーク電流については、従来から提案されている主な方式を述べた。

スタンバイ時のサブスレッショルドリーク電流低減方式としては、スタンバイ時に回路への電源供給を遮断する電源スイッチ方式と、スタンバイ時に MOS トランジスタの基板端子に深いバイアスを印加する基板バイアス制御方式がある。電源スイッチ制御方式は CAD によるサポートが必要な一方、基板バイアス制御方式は複雑な CAD によるサポートが不要であるという特徴がある。また、基板バイアス制御方式では、 I_{DDQ} テストも可能である。しかし、基板バイアス制御方式には大きな課題として、動作時の基板インピーダンスの上昇が挙げられ、これによって LSI の動作時の高速性が失われることがわかった。

低電圧・低しきい値 MOS トランジスタを用いた大規模高速 LSI において、スタンバイ時の消費電力の削減と、アクティブ時の高速動作を両立させるために、基板インピーダンス切り替え型基板バイアス制御方式を提案した。

本提案方式を、 $0.2\mu\text{m}$ CMOS・5 層アルミ配線・デュアル酸化膜厚プロセスを用いた、 1.8V SH4 マイコン (3.3M Trs, 200MHz) に適用し、200MHz という高速動作を維持しながらの基板バイアス制御を実証した。リーク電流を約 1.7 桁削減でき、スタンバイ時の消費電流は 1.3mA から $46.5\mu\text{A}$ (室温における実測) まで低下させることができた。

また、上記 SH4 マイコンにおいて、更なる低電力スタンバイ状態の実現のために基板バイアスをより深く印加すると、GIDL 電流等によってスタンバイ時電流が逆に増加してしまうことがわかった。基板バイアス印加時の GIDL 電流削減方法についても検討し、上記基板バイアス制御方式に電源電圧制御を組み合わせた新しい基板バイアス制御方式 (低電圧基板バイアス制御方式) を提案した。

この低電圧基板バイアス制御方式では、電源電圧を 1.8V から 1V に低減し、DIBL 効果と基板バイアス効果によって大幅なリーク電流削減を可能とする。本技術を基板バイアス制御した SH4 マイコンに適用し、リーク電流を更に約 1 桁削減でき、スタンバイ時の消費電流を $46.5\mu\text{A}$ から $17.8\mu\text{A}$ にまで低減できた。

参考文献

- [1] H. Mizuno, K. Ishibashi, T. Shimura, T. Hattori, S. Narita, K. Shiozawa, S. Ikeda and K. Uchiyama, "A 18- μ A-Standby-Current 1.8-V 200-MHz Microprocessor with Self Substrate-Biased Data Retention Mode", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 280-281, Feb. 1999.
- [2] H. Mizuno, K. Ishibashi, T. Shimura, T. Hattori, S. Narita, K. Shiozawa, S. Ikeda and K. Uchiyama, "A 18- μ A-Standby-Current 1.8-V 200-MHz Microprocessor with Self Substrate-Biased Data Retention Mode", *IEEE J. of Solid-State Circuits*, vol. 34, no. 11, pp. 1492-1500, Nov. 1999.
- [3] "The National Technology Roadmap for Semiconductors", tech. report, Semiconductor Industry Assn., San Jose, Calif., 1999.
- [4] J.M. Soden, C.F. Hawkins and A.C. Miller, "Identifying defects in deep-submicron CMOS ICs", *IEEE Spectrum*, pp. 66-71, Sep. 1996.
- [5] D. Josephson, M. Storey and D. Dixon, "Microprocessor I_{DDQ} Testing: A Case Study", *IEEE Design & Test of Computers*, vol. 12, no. 2, pp. 42-52, Summer 1995.
- [6] T. Sakata, M. Horiguchi, and K. Itoh, "Subthreshold-Current Reduction Circuits for Multi-Gigabit DRAM's", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 45-46, May 1993.
- [7] M. Horiguchi, T. Sakata and K. Itoh, "Switched-Source-Impedance CMOS Circuit for Low Standby Subthreshold Current Giga-scale LSI's", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 47-48, May 1993.
- [8] S. Mutoh, T. Douseki, Y. Matsuya, T. Aoki, and J. Yamada, "1V High-Speed Digital Circuit Technology with 0.5 μ m Multi-Threshold CMOS", *Proc. 6th Annu. IEEE Int. ASIC Conf. Exhibit*, pp. 186-189, 1993.
- [9] S. Shigematsu, S. Mutoh, Y. Matsuya, Y. Tanabe and J. Yamada, "A 1-V High-Speed MTCMOS Circuit Scheme for Power-Down Application Circuits", *IEEE J. of Solid-State Circuits*, vol. 32, no. 6, pp. 861-869, June 1997.
- [10] H. Akamatsu, T. Iwata, H. Yamamoto, T. Hirata, H. Yamaguchi, H. Kotani and A. Matsuzawa, "A Low Power Data Holding Circuit with an Intermittent Power Supply Scheme", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 14-15, May 1996.
- [11] H. Makino, Y. Tsujihashi, K. Nii, C. Morishima, Y. Hayakawa, T. Shimizu and T. Arakawa, "An Auto-Backgate-Controlled MT-CMOS Circuit", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 42-43, June 1998.
- [12] K. Kumagai, H. Iwaki, H. Yoshida, H. Suzuki, T. Yamada and S. Kurosawa, "A Novel Powering-down Scheme for Low Vt CMOS Circuits", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 44-45, June 1998.
- [13] R. Stephany, K. Anne, J. Bell, G. Cheney, J. Eno, G. Hoeppepner, G. Joe, R. Kaye, J. Lear, T. Litch, J. Meyer, J. Montanaro, K. Patton, T. Pham, R. Reis, M. Silla, J. Slaton, K. Snyder and R. Witek, "A 200MHz 32b 0.5W CMOS RISC Micropro-

- cessor", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 238-239, Feb. 1998.
- [14] K. Seta, H. Hara, T. Kuroda, M. Kakumu and T. Sakurai, "50% Active-Power Saving without Speed Degradation using Standby Power Reduction (SPR) Circuit", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 318-319, Feb. 1995.
- [15] Y. Ye, S. Borker and V. De, "A New Technique for Standby Leakage Reduction in High-Performance Circuits", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 40-41, June 1998.
- [16] T. Kuroda, T. Fujita, S. Mita, T. Mori, K. Matsuo, M. Kakumu and T. Sakurai, "Substrate Noise Influence on Circuit Performance in Variable Threshold-Voltage Scheme", *Int'l Symp. on Low Power Electronics and Design (ISLPED)*, pp. 309-312, Aug. 1996.
- [17] H. Mizuno, M. Miyazaki, K. Ishibashi, Y. Nakagome and T. Nagano, "A Lean-Power Gigascale LSI using Hierarchical V_{BB} Routing Scheme with Frequency Adaptive V_T CMOS", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 95-96, June 1997.
- [18] F. Assaderaghi, G.G. Shahidi, M. Hargrove, K. Hathorn, H. Hovel, S. Kulkarni, W. Rausch, D. Sadana, D. Schepis, R. Schulz, D. Yee, J. Sun, R. Dennard and B. Davari, "History-Dependence of Non-Fully Depleted (NFD) Digital SOI Circuits", *Symp. on VLSI Technology Dig. of Tech. Papers*, pp. 122-123, June 1996.
- [19] G.G. Shahidi, A. Ajmera, F. Assaderaghi, R.J. Bolam, E. Leobandung, W. Rausch, D. Sankus, D. Schepis, L.F. Wagner, K. Wu and B. Davari, "Partially-Depleted SOI Technology for Digital Logic", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 426-427, Feb. 1999.
- [20] T. Kuroda, T. Fujita, S. Mita, T. Nagamatsu, S. Yoshioka, K. Suzuki, F. Sano, M. Norishima, M. Murota, M. Kako, M. Kinugawa, M. Kakumu and T. Sakurai, "A 0.9V 150MHz 10mW 4mm² 2-D Discrete Cosine Transform Core Processor with Variable-Threshold-Voltage Scheme", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 166-167, Feb. 1996.
- [21] M. Kubo, R. Hori, O. Minato and K. Sato, "A Threshold Voltage Controlling Circuit for Short Channel MOS Integrated Circuits", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 54-55, Feb. 1976.
- [22] J.B. Burr and J. Shott, "A 200mV Self-Testing Encoder/Decoder using Stanford Ultra-Low-Power CMOS", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 84-85, Feb. 1995.
- [23] T. Kobayashi and T. Sakurai, "Self-Adjusting Threshold-Voltage Scheme (SATS) for Low-Voltage High-Speed Operation", *Proc. Custom Integrated Circuits Conf. (CICC)*, pp. 271-274, May 1994.
- [24] M. Mizuno, K. Furuta, S. Narita, H. Abiko, I. Sakai and M. Yamashina, "Elastic-V_t CMOS Circuits for Multipule On-Chip Power Control", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 300-301, Feb. 1996.

- [25] M. Miyazaki, M. Mizuno and K. Ishibashi, "A Delay Distribution Squeezing Scheme with Speed-Adaptive Threshold-Voltage CMOS (SA-CMOS) for Low Voltage LSIs", *Int'l Symp. on Low Power Electronics and Design (ISLPED)*, pp. 49-53, Aug. 1998.
- [26] K. Suzuki, S. Mita, T. Fujita, F. Yamane, F. Sano, T. Sakurai, A. Chiba, Y. Watanabe, K. Matsuda, T. Maeda and T. Kuroda, "A 300MIPS/W RISC core processor with variable supply-voltage scheme in variable threshold-voltage CMOS", *Proc. Custom Integrated Circuits Conf. (CICC)*, pp. 587-590, May 1997.
- [27] S. Narendra, D. Antoniadis and V. De, "Impact of Using Adaptive Body Bias to Compensate Die-to-die V_t Variation on Within-die V_t Variation", *Int'l Symp. on Low Power Electronics and Design (ISLPED)*, pp. 229-232, Aug. 1999.
- [28] M. Miyazaki, G. Ono, T. Hattori, K. Shiozawa, K. Uchiyama and K. Ishibashi, "A 1000-MIPS/W Microprocessor using Speed-Adaptive Threshold-Voltage CMOS with Forward Bias", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 420-421, Feb. 2000.
- [29] Z. Chen, C. Diaz, J.D. Plummer, M. Cao and W. Greene, "0.18 μ m Dual V_t MOSFET Process and Energy-Delay Measurement", *Int'l Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 851-854, Dec. 1996.
- [30] K. Fujii, T. Douseki and M. Harada, "A Sub-1V Triple-Threshold CMOS/SIMOX Circuit for Active Power Reduction", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 190-191, Feb. 1998.
- [31] N. Rohrer, C. Akrou, M. Canada, D. Cawthron, B. Davari, R. Floyd, S. Geissler, R. Goldblatt, R. Houle, P. Kartschoke, D. Kramer, P. McCormick, G. Salem, R. Schulz, L. Su and L. Whitney, "A 480MHz RISC Microprocessor in a 0.12 μ m L_{eff} CMOS Technology with Copper Interconnections", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 240-241, Feb. 1998.
- [32] O. Nishii, F. Arakawa, K. Ishibashi, S. Nakano, T. Shimura, K. Suzuki, M. Tachibana, Y. Totsuka, T. Tsunoda, K. Uchiyama, T. Yamada, T. Harori, H. Maejima, N. Nakagawa, S. Narita, M. Seki, Y. Shimazaki, R. Satomura, T. Takasuga and A. Hasegawa, "A 200MHz 1.2W 1.4GFLOPS Microprocessor with Graphic Operation Unit", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 288-289, Feb. 1998.
- [33] F. Arakawa, "SH4 RISC Microprocessor for Multimedia", *HOT CHIPS IX*, pp. 165-176, Aug. 1997.
- [34] 伊藤 清男, "超 LSI メモリ", 1994 年、倍風館、pp. 245-251.
- [35] T.Y. Chan, J. Chen, P.K. Ko and C. Hu, "The Impact of Gate-Induced Drain Leakage Current on MOSFET Scaling", *Int'l Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 718-721, Dec. 1987.

第 3 章

低電圧 SRAM 回路の 高速・低電力化

3.1 緒言

SRAM 回路を使用しない LSI は存在しないといえるほど、LSI において SRAM 回路は重要な構成要素の一つである。例えばマイクロプロセッサでは、キャッシュや TLB(Translation Look-aside Buffer) として SRAM は必須の回路要素である。また、小容量のメモリとしてはレジスタファイルや各種バッファ等も SRAM 回路で構成されている。特にキャッシュは、今日のマイクロプロセッサにとって性能に大きく影響を与える重要な回路構成要素である。本章では低電圧 SRAM 回路の高速・低電力化について述べる。

まず始めに、SRAM 回路の低電圧化の推移と課題について述べる。SRAM 回路の低電圧動作特性にはメモリセル構造が大きく関係している。ここでは特にメモリセル構造の推移について詳しく述べる。

次に、比較的良好な低電圧動作特性を持つ完全 CMOS メモリセルについて、従来から提案されている低電圧で高速に動作させるための駆動方法について述べる。ここでは、完全 CMOS メモリセルを低電圧で高速に動作させるために重要なスタティックノイズマージンについて、電源電圧とメモリセルを構成するトランジスタのしきい値電圧の関係についても詳しく述べる。

以上の結果をもとにして本章では、完全 CMOS メモリセルの構造をほとんど変更せずに、低電圧動作時の読み出し速度向上と書き込み時の低消費電力化を実現するソース線駆動方式の新しいメモリセル構造を提案する [1-3]。このソース線駆動型メモリセルは、従来のメモリセルでは接地電位に接続されていたソース線を積極的に駆動することにより、低電圧時での高速動作と高ノイズマージンを実現するメモリセル制御方式である。ここではその低電圧動作特性について詳しく述べる。

1995 年にソース線駆動メモリセルを発表後、各種の類似した低電圧メモリセルが発表された。ここではその中でも代表的な低電圧メモリセルについて、その特徴を述べる。

3.2 SRAM 回路の低電圧化の推移と課題

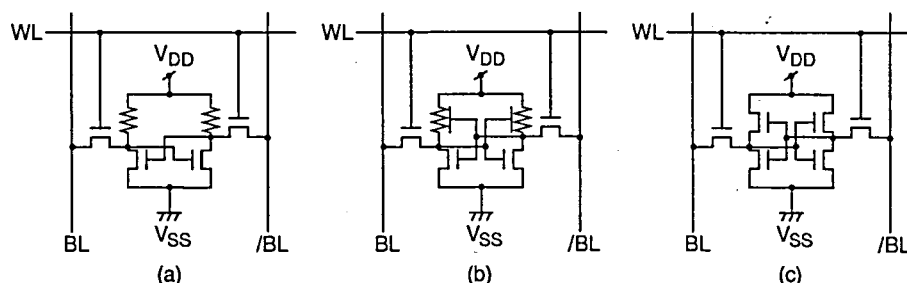


図 3.1 代表的な SRAM メモリセル (a) 高抵抗メモリセル、(b)TFT 負荷メモリセル、(c) 完全 CMOS メモリセル。

SRAM 回路の低電圧動作特性にはメモリセル構造が大きく関係している。代表的な SRAM のメモリセルを図 3.1 に示す。SRAM 用のメモリセルとしては、(a) 高抵抗負荷を用いた高抵抗メモリセル、(b) 高抵抗負荷をメモリセルの上に積層したポリシリコン TFT (Thin Film Transistor) で形成する TFT 負荷メモリセル、(c) 高抵抗負荷を Si 基板上の PMOS トランジスタで形成する完全 CMOS メモリセルの 3 つに大きくわけることができる。いずれのメモリセルにおいても、N 型の駆動 MOS トランジスタと負荷抵抗あるいはトランジスタからなるインバータで正帰還ループを形成することにより、二つの記憶ノードにデータ保持し、ワード線 WL に接続された N 型の転送 MOS トランジスタを介してデータの読み書きを行う。

高抵抗メモリセルは、動作電圧マージンが小さいために、一般的に 2V 程度が動作下限である。しかし、メモリセル面積が小さくて済むため大容量 SRAM に広く用いられている。また、メモリセルの待機時に高抵抗負荷に貫通電流が流れつづけるために、SRAM の待機時電流が大きくなる欠点がある。

一方、TFT 負荷メモリセルは、製造プロセスは複雑になるが、高抵抗負荷メモリセルと同等の集積度が達成できるという特徴がある。読み出し時にワード線を電源電圧よりも高い電圧まで昇圧するワード線ブースト方式を用いて、1V での動作に成功した例が報告されている [4] が、一般に 1V 以下の低電圧化には限界があるといえる。待機時電流については、高抵抗メモリセルよりも小さく抑えることができる。

完全 CMOS メモリセルはメモリセル面積が大きいいため、集積度が小さいという欠点がある。0.13 μm CMOS テクノロジーを用いて、2.49 μm^2 のメモリセル面積を実現した例も報告されているが [5]、一般には約 49F² (F は配線ピッチの半分) 程度の大きさである。低電圧特性としては、上記 3 種類の中ではもっとも良好で、古くから 1V の動作例が報告されている [6]。待機時電流についても、上記 3 種類の中でもっとも小さく抑えることができる。

上記したように、特に 1.5V 以下の低電圧で高速動作させるためには、メモリセルとしては完全 CMOS メモリセルが適している。また、完全 CMOS メモリセルはロジックプロセスで構成できるために、大規模なロジック回路が集積される LSI に混載する場合にも好適である。以下、完全 CMOS メモリセルを低電圧で動作させるための方法について検討する。

3.3 完全 CMOS メモリセルの低電圧高速動作

3.3.1 低電圧高速動作のための主な駆動方式

文献 [6] は完全 CMOS メモリセルを用いることにより 1V での読み出し動作を実現している。しかし、動作速度が若干遅いという課題がある。低電圧化によってメモリの読み出し速度が低下する理由はメモリセルがビット線をドライブする能力が低下するためである。低電圧時のドライブ能力を向上させ、高速動作を実現するための方法としては、以下が提案されている。

- (1) メモリセルには周辺回路の電源電圧よりも高い電圧を与える方法 [7, 8]。メモリセル自体の容量は比較的小さいので、その部分に高い電圧を与えても消費電力の増加にはつながり難いという性質を使用している。
- (2) 読み出し時にワード線に電源電圧以上の電圧を与え、転送 MOS トランジスタの駆動能力を上げる方法 (Boosted Word Voltage Scheme) [4]。この方法は DRAM のワード線ブーストに似た方式であり、もともと TFT 負荷メモリセルを低電圧で動作させるために提案されたものであるが、完全 CMOS メモリセルでも効果がある。転送 MOS トランジスタのしきい値低下と同様の効果が得られるため、高速なメモリアクセスが可能である。
- (3) メモリセルの転送 MOS トランジスタのしきい値電圧 (V_{th}) だけを下げする方法 [9]。
- (4) メモリセルの基板バイアスを制御する方法 (図 3.2) [10]。

方法 (1) については、メモリセルに高電位を印加するために安定した動作が期待でき、同時に高速な読み出し速度を得ることができるが、消費電力に対する低電圧化の効果が少ないという欠点がある。

方法 (2), (3) については、転送 MOS トランジスタの駆動能力が向上するために低電圧での高速動作が期待できるが、後に述べるスタティックノイズマージン (SNM) が劣化する欠点があり 1V 以下の低電圧で使用することは困難である。さらにまた、方法 (3) については、低 V_{th} 化がトランジスタのサブスレッショルドリーク電流の増加によるビット線対間ノーマルモードノイズを生じ、このノイズによって読み出しマージンが小さくなるという課題がある [12]。また当然この現象は、非動作時の消費電流の増加を招くことになり、1.5V 以下の低電圧動作には適さない。

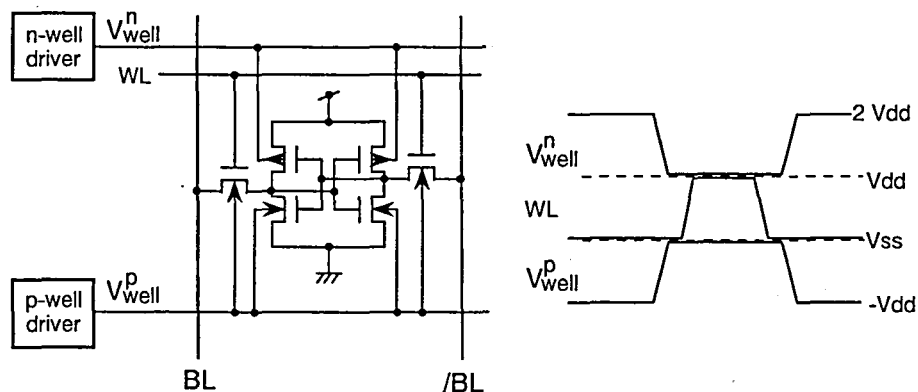


図 3.2 ダイナミックリークカットオフ SRAM のメモリセル駆動方法

方法(4)は、2.3.1節で述べたロジック回路で用いられている基板バイアス制御方式を、メモリセルに応用した、ダイナミックリークカットオフ SRAM と呼ばれるメモリセル制御方式である(図 3.2) [10]。待機時には基板バイアスを印加し、メモリセルを構成するトランジスタのしきい値を高くし、サブスレッショルドリーク電流を低減している。また、読み出し時には基板バイアスを浅くし、トランジスタのしきい値電圧を低くして高速読み出し動作を実現している。読み出し時にメモリセルを構成するトランジスタのしきい値が低くなるために、ワード線ブースト方式と同様に SNM の劣化が課題である。

3.3.2 完全 CMOS メモリセルのスタティックノイズマージン

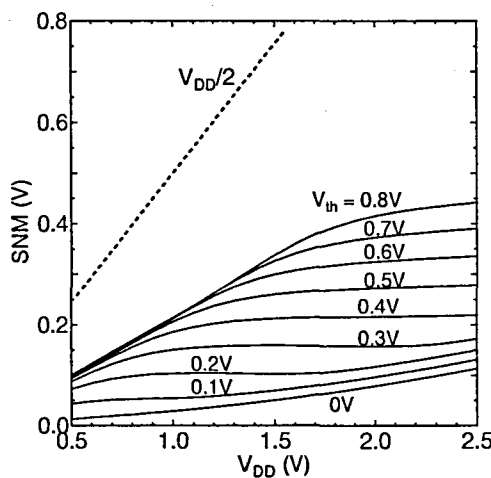


図 3.3 スタティックノイズマージン (SNM) のしきい値電圧 (V_{th}) 依存性。しきい値電圧はメモリセルを構成する全てのトランジスタに適用した。破線は理想的な CMOS インバータの最大ノイズマージン ($V_{DD}/2$) を示している。

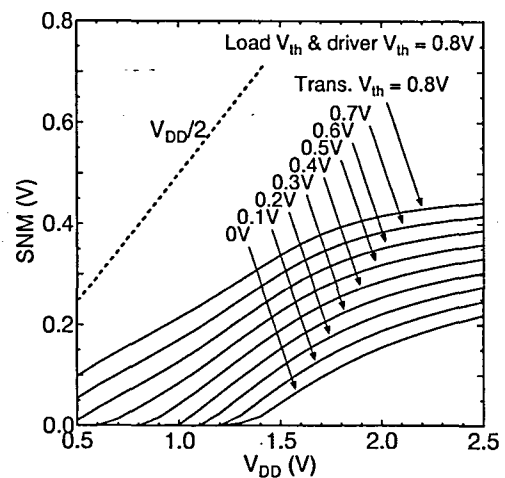


図 3.4 スタティックノイズマージン (SNM) のしきい値電圧 (V_{th}) 依存性。メモリセルのラッチを構成する4つのトランジスタのしきい値は0.8Vで、転送MOSのしきい値電圧のみ変化させた。

上記したように、スタティックノイズマージン (SNM) [11] はメモリセルの低電圧高速動作において、重要なパラメータである。所定の電圧にプリチャージされている相補なビット線対に、メモリセル内の記憶ノードを接続して読み出し動作を行う SRAM セルにおいては、読み出し時にワード線をアサートすると、ビット線対から '0' を記憶しているメモリセル内の記憶ノードへ電流が流れ込む。これによってその記憶ノードの電位が上昇する。プロセスばらつき等でメモリセルが対称にできていない場合には、この電位上昇によってメモリセル内のデータが反転してしまう。この読み出し時のメモリセル内の記憶ノード対間の電圧マージンをスタティックノイズマージンと呼ぶ。

図 3.3に完全 CMOS メモリセルの SNM の計算結果を示す。0.15 μm の CMOS テクノロジを仮定した。また、駆動 MOS トランジスタと転送 MOS トランジスタのゲート幅比 (β 比) は 1.7 に設定している。メモリセルを低電圧で駆動するほど、また、メモリセルを構成するトランジスタのしきい値電圧が低くなるほど SNM が小さくなることがわかる。

図 3.4は、メモリセルのラッチを構成する4つの MOS トランジスタ (2つの負荷 PMOS トランジスタと2つの駆動 NMOS トランジスタ) のしきい値電圧は高しきい値 (0.8V) に

固定して、転送 MOS トランジスタのしきい値電圧だけを変化させた場合の計算結果である。転送 MOS トランジスタのしきい値は SNM に大きく影響することがわかる。上記した読み出し時にワード線に電源電圧以上の電圧を与える方法 [4] では、実効的に転送 MOS トランジスタのしきい値電圧を低く設定したことと同様になるため、低電圧では SNM が著しく劣化してしまうことがわかる。

3.4 ソース線駆動型 (DSL) メモリセル

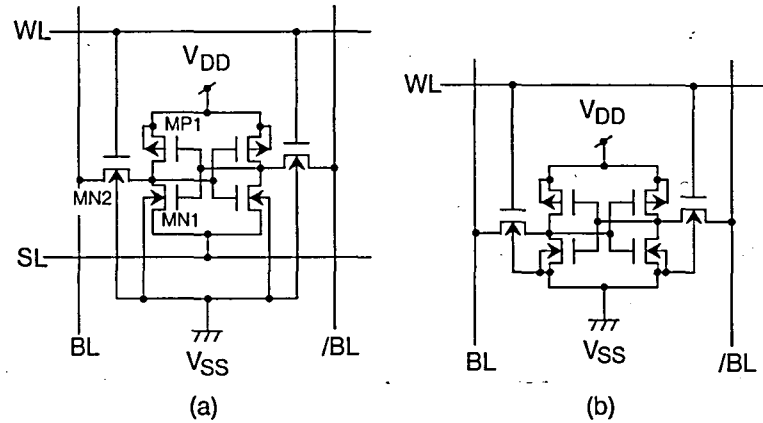


図 3.5 (a) ソース線駆動型 (DSL) メモリセルと (b) 従来の完全 CMOS メモリセル。

本節では、低電圧で高速に動作する新しいメモリセル構造 (ソース線駆動型メモリセル; Driving source line (DSL) cell) を提案する [1-3]。図 3.5は提案したメモリセルと従来の完全 CMOS メモリセルの回路図を示している。従来の完全 CMOS メモリセルとは、駆動 MOS トランジスタのソース電極の処理の仕方が異なっている。従来メモリセルでは駆動 MOS トランジスタのソース電極は接地して使用しているが、本提案メモリセルではソース線 SL として独立して駆動する。

ソース線 SL の詳しい駆動方法については以下の節で述べるが、読み出し時にはソース線 SL に負電位を与えて駆動 MOS トランジスタと転送 MOS トランジスタのビット線駆動能力を向上させ、書き込み時にはソース線 SL をフローティング状態にして、少量のビット線電位差による書き込みを可能にしている。すなわち、ワード線 WL やメモリセルに高電位を印加する代わりに、メモリセルのソース線 SL に負電位を印加する方式である。読み出し時にはメモリセルに大きな電源電圧が印加されたように振舞うため、低電圧でも大きなスタティックノイズマージンが確保できる。

図 3.6にソース線駆動型メモリセルのレイアウト例を示す。従来の完全 CMOS メモリセル

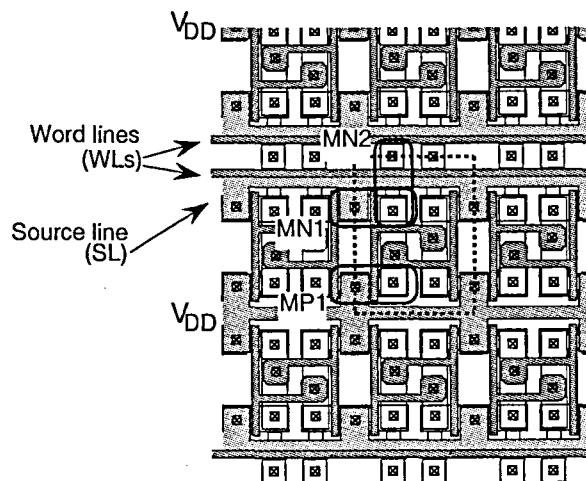


図 3.6 DSL メモリセルのレイアウト図面。

ルと同様に、電源線 (V_{DD}) は上下のセルで共有されており、接地線は上下のセルで分離されている。この接地線をソース線 SL として上下のセルで独立して制御する。したがって、従来のメモリセルのレイアウトと同一で面積増加がない。

3.4.1 読み出し動作

基本動作

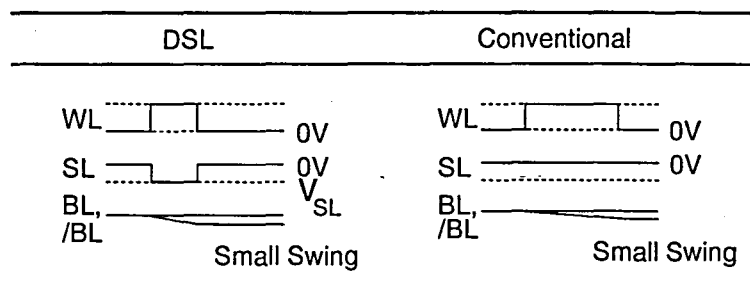


図 3.7 ソース線駆動型 (DSL) メモリセルの読み出し方法。

図 3.7 に従来の完全 CMOS メモリセルと DSL メモリセルとの読み出し方法の違いを示す。従来メモリセルではメモリセルからのデータの読み出しは、ワード線 WL を 'H' にし、駆動 MOSFET により、プリチャージしてあるビット線 BL, /BL の電位を負方向に駆動させ、この変化をセンスアンプによって増幅して読み出している。それに対し、DSL メモリセルでは、読み出し時にワード線を 'H' にすると同時にソース線 SL を 0V から負電位に駆動する。負電位 (V_{SL}) に駆動することにより、

- (1) 駆動 MOS (図 3.5 の MN1) のソース・ゲート間電圧差が大きくなる。
- (2) 駆動 MOS のソース・基板電位が順方向バイアスされ、基板バイアス効果によって駆動 MOS のしきい値が低くなる。
- (3) 転送 MOS (図 3.5 の MN2) のソース電位 (メモリセルのノード電位) が低くなることにより、転送 MOS のソース・ドレイン間電圧差が大きくなると同時に、転送 MOS のソース・ゲート間電圧差が大きくなるワード線ブースト効果が生じる。
- (4) 同じく転送 MOS のソース電位が低くなることで、転送 MOS のソース・基板間電圧差が小さくなり、転送 MOS の基板バイアス効果が小さくなる。

これらの効果により、メモリセルのビット線駆動電流が著しく大きくなる。

図 3.8 に DSL メモリセルの読み出し時間のソース線駆動電圧 (V_{SL}) 依存性を、図 3.9 に電源電圧 (V_{DD}) 依存性を示す。評価には $0.25\mu\text{m}$ テクノロジーのメモリセル ($2.5 \times 3\mu\text{m}$) を仮定し、ビット線に接続されているメモリセルの数は列方向に 256 個、行方向に 32 ビットであると仮定した。読み出し時間 t_{WL-BL} は、ワード線が立ち上がってからビット線対が 100mV まで開くまでの時間と定義した。図 3.8 においては、しきい値電圧は電源電圧 V_{DD} の 40% に設定した。同図において、ソース線駆動電圧 (V_{SL}) が 0V の場合が、従来の完全 CMOS メモリセルでの読み出し速度に相当する。

特に高しきい値メモリセルを低電圧で使用した場合に大きな読み出し時間短縮効果があることがわかる。DSL メモリセルでは、電源電圧が 0.5V の時でも従来メモリセルの電源電圧が 1.3V の時と同じ読み出し速度が得られ、電源電圧 0.5V で約 60%、電源電圧 1.0V

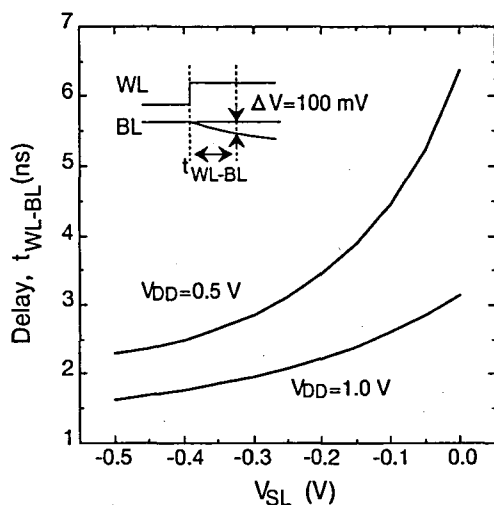


図 3.8 読み出し時間のソース線駆動電圧 (V_{SL}) 依存性。

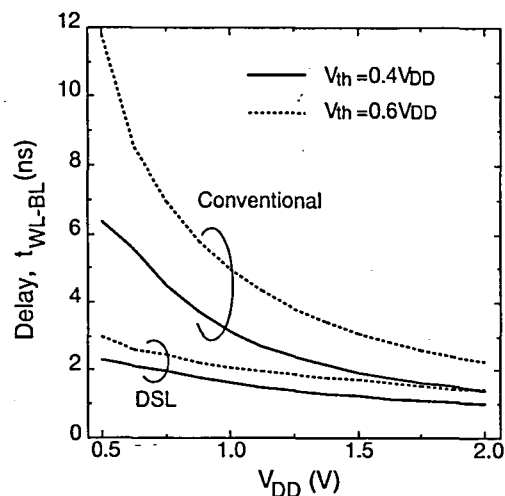


図 3.9 読み出し時間の電源電圧 (V_{DD}) 依存性。 $V_{SL} = -0.5$ V。

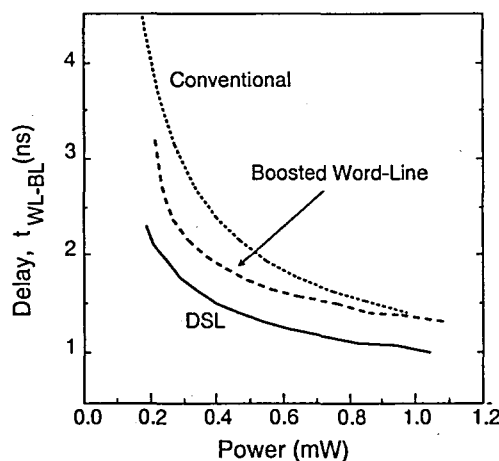


図 3.10 読み出し速度と消費電力の比較。

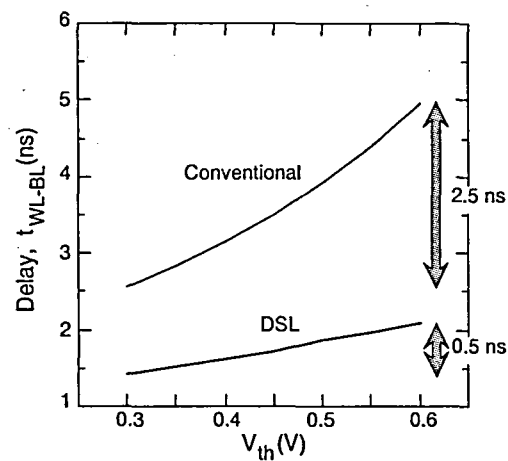


図 3.11 読み出し速度としきい値電圧 (V_{th}) の関係。

で約 50% 高速化できている。また、図 3.8 よりソース線駆動電圧 V_{SL} としては、 -0.5 V 程度で十分効果があることがわかる。以下ではソース線の駆動電圧は基本的に -0.5 V として評価する。

図 3.10 にメモリセルの読み出し速度の消費電力の関係を示す。同図には従来メモリセル (点線) とワード線をメモリセルに印加されているアレイ電圧よりも高い電圧で駆動するワード線ブースト方式 [4] のメモリセル (破線) の特性も示している。ブースト電圧は $V_{DD} + 0.5$ V とした。いずれのメモリセルでも、しきい値電圧は電源電圧の 60% に設定した。従来の方式と比較して、DSL メモリセルは優れた速度・電力特性を持つことがわかる。

低電圧動作において、しきい値ばらつきに対する耐性は重要な要素である。図 3.11 は読み出し速度のしきい値電圧依存性を示している。電源電圧は 1.0 V に、しきい値電圧のばらつきは ± 0.15 V に設定した。しきい値電圧の変動に対する読み出し速度の変化は、従来メモリセルと比較して DSL メモリセルでは約 1/5 に抑えられていることがわかる。

寄生バイポーラ効果の影響

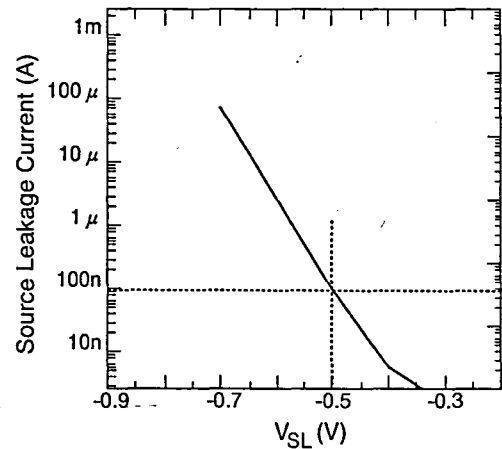
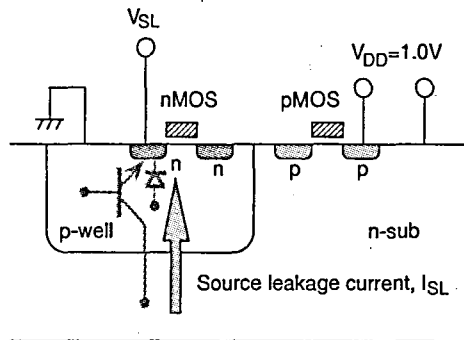


図 3.12 ウェル構造と寄生バイポーラトランジスタ。図 3.13 ソース線リーク電流 (I_{SL}) のソース線駆動電圧 (V_{SL}) 依存性 (実測)。

ソース線駆動型メモリセルでは、ソース線を負電位に駆動するためにメモリセルの駆動 MOS のソース・基板間の pn 接合が順方向バイアスされる。図 3.12 に示した DSL メモリセルのウェル構造からわかるように、ソース線を負電位に駆動することで p -well と駆動 MOS の n 拡散層が順方向バイアスされる。これにより、駆動 MOS の n 拡散層と p -well と n -sub からなる npn 寄生バイポーラトランジスタがオンし、 n -sub から駆動 MOS の n 拡散層に大きなソース線リーク電流 (I_{SL}) が流れることが懸念される。

図 3.13 にソース線リーク電流 (I_{SL}) のソース線駆動電圧 (V_{SL}) 依存性の測定結果を示す。32b のメモリセルでのリーク電流を室温で測定した。ソース線電位 (V_{SL}) が -0.5 V の時のソース線リーク電流 (I_{SL}) は約 100 nA である。この測定結果から、懸念されたソース線リーク電流 (I_{SL}) は無視できる程度に小さいことがわかる。

3.4.2 書き込み動作

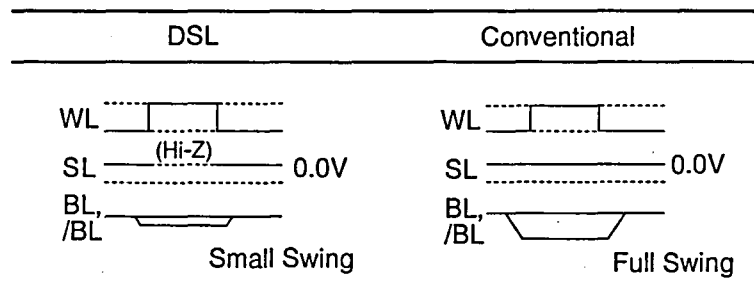


図 3.14 ソース線駆動型 (DSL) メモリセルの書き込み方法。

図 3.14 に従来の完全 CMOS メモリセルと DSL メモリセルとの書き込み方法の違いを示す。従来メモリセルでは、ビット線 BL 、 $/BL$ の電位差を電源電圧 V_{DD} まで広げ、ワード線 WL を 'H' にすることによって書き込みを実行している。負荷の大きなビット線 BL 、 $/BL$ を大きな振幅で駆動する必要があることから消費電力が大きいという課題がある。それに

対して、DSL メモリセルでは、ソース線 SL を 'L' からフローティング状態にして ('L' から 'H' にしても同様な効果がある)、ビット線を小振幅に駆動することで書き込みを実行する。以下、電源電圧を 1.0V、MOSFET のしきい値電圧を 0.4V に設定して書き込み動作特性を詳しく説明する。

ソース線 SL をフローティング状態にした場合は、メモリセルの駆動 MOS トランジスタ (図 3.5 の MN1) の駆動能力がなくなり、ビット線 BL/ $\bar{BL}$ に与えた少量の電位差により、メモリセル内の記憶ノード電位が容易に変化する。たとえば、BL/ $\bar{BL}$ に 0.4V, 0.5V の電位をそれぞれ与えると、メモリセル内の記憶ノード電位はそれぞれ 0.4V, 0.5V に近くなる。ソース線 SL を 'H' にした場合は、メモリセル内の記憶ノード電位のうち、'L' であった方の電位は $V_{DD} - V_{th}$ (0.6V) に上昇し、ワード線を 'H' にしビット線的一方に $V_{DD} - V_{th}$ (0.6V) よりも低い電位 (例えば 0.4V) が与えられると、二つあるメモリセル内の記憶ノード電位のうち一方はその電位になる。

ソース線 SL をフローティング状態にするか 'H' に駆動するかのいずれかの方法で、メモリセル内の記憶ノードにビット線 BL/ $\bar{BL}$ の電位差を反映させ、最後にワード線を 'L'、ソース線 SL を 'L' にすることにより反映されたデータを、メモリセルをラッチ型のセンスアンプのように用いることによって電源電圧差まで増幅させる。

書き込み動作に必要なビット線 BL/ $\bar{BL}$ 振幅が小さいことから、負荷の大きなビット線 BL/ $\bar{BL}$ の充放電に伴う電力を小さくできる。たとえば、MOS トランジスタのしきい値電圧は電源電圧 V_{DD} の 40% に設定した場合、 $V_{DD} - V_{th}$ (0.6V) は電源電圧 V_{DD} の 60% 程度になる。従って、ビット線に高々電源電圧 V_{DD} の 10% の電位変化を与えればよい。この場合、ビット線の充放電による電力増加は従来のメモリセルの場合のわずか 1% で済む。

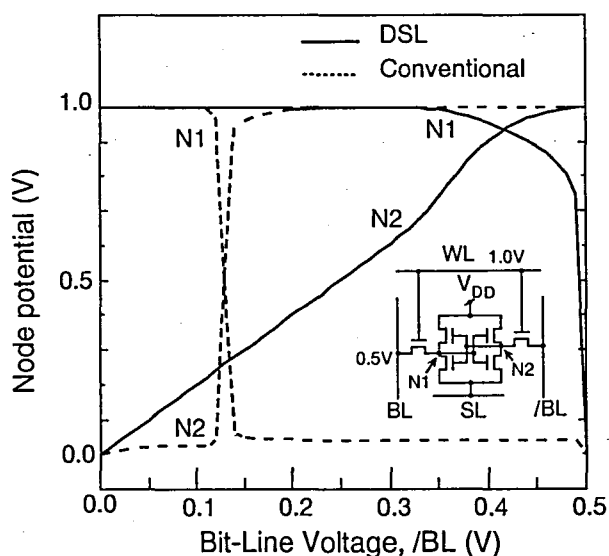


図 3.15 書き込み時のメモリセルのノード電圧 (N1, N2) の、ビット線電位依存性。

図 3.15 に書き込み時のメモリセルのノード電圧の、ビット線電位依存性を示す。電源電圧は 1.0V、ビット線のプリチャージ電圧は 0.5V に設定した。従来メモリセルでは、ビット線のプリチャージ電圧から 0.4V 程度低電圧の 0.1V 程度までビット線を駆動する必要があることがわかる。これは、メモリセル内のラッチ回路が動作しているために、ラッチされているデータを反転させるためには多くの電流が必要で、この電流はビット線をかなり低電圧まで駆動しないと得られないためである。

それに対して、DSL メモリセルではメモリセル内のラッチ回路には電源は供給されていないために、ラッチされていたデータを反転させるための電流がほとんど必要ない。そのため、ビット線のプリチャージ電圧から 0.1V 程度低電圧の 0.4V までビット線を駆動すれば、メモリセル内のノード電圧が書き込みデータに対応した値に反転している。

書き込み動作の最後には、フローティング状態にしたソース線を 'L' レベルに駆動する。これによってメモリセル自体がラッチとして動作し、メモリセル内のノードに書きこまれた微小電位差が増幅される。

なお、擬似リード状態のセル¹ に対しては、書き込み時には DRAM セルのように動作する。すなわち、ワード線が 'H' に駆動されてソース線がフローティング状態になると、メモリセル内のラッチへの給電がなくなるために、データはノードの寄生容量だけで保持される。ワード線が 'H' となっている時間が長い場合にはデータ保持が難しくなるが、一般にワード線のアサート期間はノードに溜まった電荷が放電されるよりも十分に短いために問題とならない。

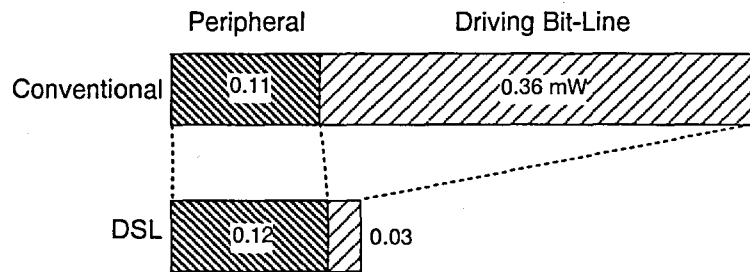


図 3.16 ソース線駆動型メモリセルの書き込み動作消費電力。

図 3.16 に書き込み動作の消費電力の、従来のメモリセルとの比較を示す。書き込み周期は 50 MHz、電源電圧は 1.0V、ビット線プリチャージ電圧は 0.5V に設定した。DSL メモリセルにおける周辺回路の消費電力の増加はソース線駆動回路の消費電力である。従来のメモリセルの場合と比較して、ビット線の充放電による電力消費を約 90% 削減し、全体では約 70% の低電力化が達成されていることがわかる。

3.5 ソース線駆動型 (DSL) メモリセルの駆動回路

DSL メモリセルをメモリ回路として動作させるために必要な周辺駆動回路を図 3.17 に示す。図 3.17 では簡単のため MOSFET の基板電極の接続は省略しているが、図 3.5 と同様に P 型 MOSFET の基板電極は V_{DD} に N 型 MOSFET の基板電極は接地点電位 V_{SS} に接続する。イコライザには N 型 MOSFET を用い、 $V_{DD}/2$ の電位にプリチャージし、ラッチ型のセンスアンプを用いている。

ソース線駆動回路は、メモリセルと同じ高しきい値 MOS トランジスタで構成されている。ワード線 WL が 'H' に駆動されると、ソース線 SL は V_{SL} 電位に駆動される。その時、フォードバック MOS トランジスタ M3 によって貫通電流が流れることを防いでいる。

図 3.18 がシミュレーション結果である。電源電圧は 0.5V に、しきい値電圧は電源電圧の 40% に設定した。読み出し時は、イコライザ線 EQ を 'L'、ワード線 WL を 'H' にし、

¹ 一本のワード線上には多くのメモリセルが接続されており、書き込みはそのうちの一部のメモリセルにしか実行されない。このように書き込み動作が行われないメモリセルに対しては、ワード線が 'H' に駆動されるだけである。

ソース線ドライバを用いてソース線 SL を -0.5V に駆動する。このシミュレーションではノード電圧は -0.3V まで減少している。次に、ビット線 BL₁/BL₂ が約 100mV 程度開いたところで、センスアンプ線 SA を 'H' にしてセンスアンプを起動し、ビット線 BL₁/BL₂ の電位差を電源電圧差まで増幅する。このシミュレーションでは図 3.17では同時に Y スイッチをオフにして、負荷の大きなビット線 BL₁/BL₂ が電源電圧まで開くのを防いでいる。

書き込み時には、イコライザ線 EQ を 'L'、ライトイネーブル WE を 'H'、ワード線 WL を 'H' にし、ソース線ドライバを用いてソース線 SL をフローティング状態にする。ここで、ライトドライバを構成している N 型 MOSFET MN1 および MN1B を十分に小さいゲート幅 (メモリセルの MOSFET と同程度のゲート幅) にしておき、WE の 'H' のパルス幅を調整することで、ビット線 BL₁/BL₂ に少量の電位差を発生させる。

次に、ビット線 BL₁/BL₂ が約 100mV 程度開いた状態でライトイネーブル WE を 'L' にし、ワード線 WL を 'L' にする。ソース線 SL がフローティング状態になっているので、駆動 MOSFET の駆動能力がなくなり、ビット線 BL の電位が少量低くなっただけで、メモリセル内の記憶ノードにビット線 BL₁/BL₂ の電位差を反映した電位差 ΔV が生じる。

最後に、ソース線 SL を 'L' にすることによって、電位差 ΔV がメモリセルによって電源電圧差まで増幅する。図 3.18からわかるように、ビット線振幅が 100mV 程度で書き込み動作動作が可能になっている。

3.6 その他の低電圧メモリセル

ソース線駆動型 (DSL) メモリセルが学会で発表されてから、多くの改良型メモリセルの提案が行われた。いくつかの改良型ソース線駆動型メモリセルの提案 [13] や、新しいメモリセルの駆動方法の提案 [14] も行われた。ここではこれらのメモリセルの特徴について述べる。

表 3.1 ソース線駆動型メモリセルとその他の低電圧メモリセルの駆動方法の比較

Reference	Operation	V_{Cell}	V_{WL}	V_{SL}	$V_{\text{th}}^{\text{Load}}$	$V_{\text{th}}^{\text{Driver}}$	$V_{\text{th}}^{\text{Trans.}}$
Mizuno[1]	Read	V_{DD}	V_{DD}	$-\Delta V$			
	Write	V_{DD}	V_{DD}	Hi-Z	High	High	High
	St'by	V_{DD}	0	0			
Yamauchi[13]	Read	$V_{\text{DD}} + \Delta V$	V_{DD}	0			
	Write	$V_{\text{DD}} + \Delta V$	V_{DD}	$-\Delta V$	High	High	Low
	St'by	$V_{\text{DD}} + \Delta V$	0	$-\Delta V$			
Itoh[14]	Read	Hi-Z	V_{DD}	0			
	Write	Hi-Z	V_{DD}	0	High	High	Low
	St'by	$V_{\text{DD}} + \Delta V$	$-\Delta V$	0			

表 3.1に、DSL メモリセルと代表的な低電圧メモリセルの、メモリセルに印加するアレイ電圧 (V_{Cell})、ワード線駆動電圧 (V_{WL})、ソース線駆動電圧 (V_{SL})、メモリセルを構成しているトランジスタのしきい値電圧 ($V_{\text{th}}^{\text{Load}}$, $V_{\text{th}}^{\text{Driver}}$, $V_{\text{th}}^{\text{Trans.}}$) を示す。

参考文献 [13] の方法は、DSL メモリセル方式のアレイ電圧 (V_{Cell}) とソース線駆動電圧 (V_{SL}) を $+\Delta V$ だけシフトさせて駆動するように変形したものといえる。ただし、ワード

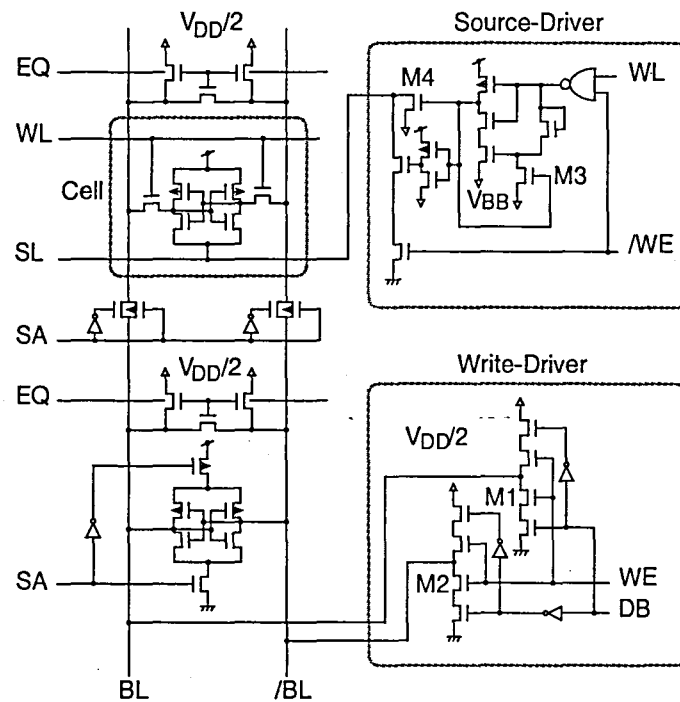


図 3.17 DSL メモリセルの周辺回路を含めたメモリ回路図。図ではメモリセルは一個分しか記載していないが、実際は同一ビット線に 256 個接続し、さらに 32 列 (32 ビット) 分、行方向に接続している。

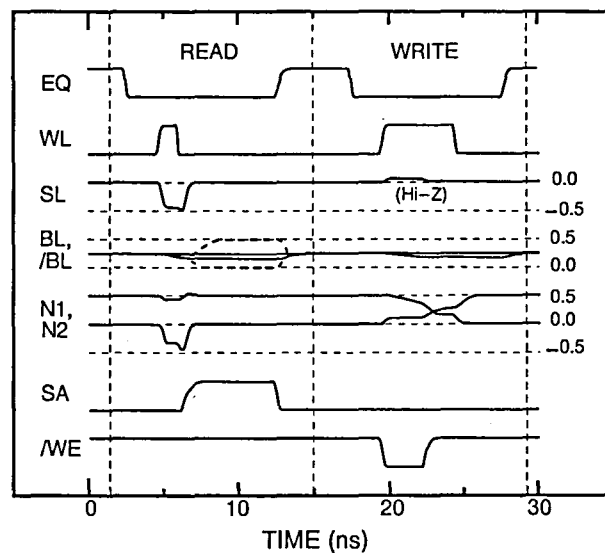


図 3.18 図 3.17 のシミュレーション波形。電源電圧は 0.5 V。破線はセンスアンプの出力線の電位を示している。

線駆動電圧 (V_{WL}) については、ソース線駆動型メモリセルと同じで、転送 MOS トランジスタのしきい値電圧 ($V_{th}^{Trans.}$) を低くすることでワード線駆動電圧を $+\Delta V$ だけシフトさせたのと同じ効果を得ている。

このように全体的な電位関係を $+\Delta V$ だけシフトさせることにより、DSL メモリセルでは読み出し時にソース線を負電圧 ($-\Delta V$) に駆動する必要がなくなり、GND 電位に駆動するだけで読み出し動作が実現できる利点がある。一般にメモリセルのソース線を駆動するには比較的大きな駆動電流を必要とする。そのため、DSL メモリセルにおいて、ソース線を負電圧発生回路から得られた負電圧電源で駆動すると、その電源回路の電力効率的分の損失が伴う。これに対して、参考文献 [13] の方法のように GND 電位に駆動すれば、その電力効率分の損失がなくなる。これにより、ソース線を駆動する消費電力について、DSL メモリセルに対して約 1/7 の低電力化を達成している。

参考文献 [14] の方法は、低電圧動作時のスタティックノイズマージン確保と、高速動作を同時に実現できるメモリセルの制御方式である。スタンバイ時 (St'by) には、メモリセルに印加するアレイ電圧 (V_{Cell}) には電源電圧よりも高い電圧を印加する。その時、ワード線は負電圧を印加する (ネガティブワード方式)。メモリセルには高い電圧が印加されているために、ソフトエラー等の問題が起きないという利点がある。また、転送 MOS トランジスタのしきい値 ($V_{th}^{Trans.}$) は低く設定しているが、ネガティブワード方式によってビット線へのリーク電流によるノイズ混入を防いでいる。

一方、リード動作やライト動作時には、メモリセルに印加しているアレイ電圧 (V_{Cell}) をオフにする。これにより、メモリセルは $4T_r$ のダイナミック型メモリセルのように振舞う。ダイナミック型メモリセルは内部のラッチ回路が形成されない構造であるため、スタティックノイズマージンが向上する。これらの効果によって、シミュレーション上ではあるが、0.3 V で 50 MHz 動作を実現している。

3.7 結言

本章では低電圧 SRAM 回路の高速・低電力化について論じた。まず始めに、SRAM 回路の低電圧化の推移と課題を整理するために、メモリセル構造の推移について述べた。その後、比較的良好な低電圧動作特性を持つ完全 CMOS メモリセルについて、従来から提案されている低電圧で高速に動作させるための駆動方法について整理した。

次に、完全 CMOS メモリセルを低電圧で高速に動作させるために重要なスタティックノイズマージン (SNM) について、メモリセルの電源電圧とメモリセルを構成するトランジスタのしきい値電圧の関係について述べた。SNM はメモリセルを低電圧で駆動するほど小さくなり、さらに、メモリセルを構成するトランジスタのしきい値電圧が低くなるほど小さくなることがわかった。また、転送 MOS トランジスタの低しきい値化は SNM を大きく劣化させることがわかった。

これらの結果から、読み出し時にワード線に電源電圧以上の電圧を与える方法 [4] や、基板バイアス制御によって読み出し時にメモリセルを構成するトランジスタのしきい値を低下させる基板バイアス方式 [10] では、実効的にしきい値電圧を低く設定したことと同様になるため、低電圧では SNM が著しく劣化してしまうことがわかった。

以上の結果をもとにして本章では、完全 CMOS メモリセルのレイアウトを変更せずに、低電圧動作時の読み出し速度向上と書き込み時の低消費電力化を実現できる、ソース線駆動方式の新しいメモリセル制御方式を提案した。ソース線駆動型メモリセルでは、従来の完全 CMOS メモリセルの駆動 MOS トランジスタのソース電極を、ソース線 SL として駆動する。このメモリセルは、

- (1) 読み出し時は、ソース線 SL に負電位を与えて駆動 MOS トランジスタと転送 MOS トランジスタのビット線駆動能力を向上できる。
- (2) 書き込み時は、ソース線 SL をフローティング状態 (あるいは正電位接続状態) にし、駆動 MOS トランジスタの駆動能力を減少させて少量のビット線電位による書き込みを可能にする。

ソース線駆動型メモリセルを用いた SRAM 回路の低電圧動作特性について、0.25 μm CMOS デバイスを用いてシミュレーションによって評価した結果、以下の結論を得た。

- (1) 読み出し時間を、約 60% ($V_{DD} = 0.5\text{ V}$ 時)、50% ($V_{DD} = 1.0\text{ V}$ 時) 削減できる。
- (2) メモリセルを構成するトランジスタのしきい値ばらつきによって生ずる読み出し速度のばらつきを、従来の 1/5 に抑制できる。
- (3) 書き込み時の消費電力は、その大部分を占めるビット線の充放電に要する電力消費を約 90% 削減できる。

参考文献

- [1] H. Mizuno and T. Nagano, "Driving Source-Line (DSL) Cell Architecture for Sub-1V High-Speed Low-Power Applications", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 25-26, June 1995.
- [2] H. Mizuno and T. Nagano, "Driving Source-Line Cell Architecture for Sub-1V High-Speed Low-Power Applications", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, vol. 31, no. 4, pp. 552-557, Apr. 1996.
- [3] A. Chandrakasan and R. Brodersen, "Low-Power CMOS Design", IEEE Press, pp. 364-365, 1998.
- [4] K. Ishibashi, K. Takasugi, T. Yamanaka, T. Hashimoto and K. Sasaki, "A 1V TFT-Load SRAM Using a Two-Step Word-Voltage Method", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 206-207, Feb. 1992.
- [5] Y. Sambonsugi, T. Maruyama, K. Yano, H. Sakaue, H. Yamamoto, E. Kawamura, S. Ohkubo, Y. Tamura and T. Sugii, "A Perfect Process Compatible 2.49 μm^2 Embedded SRAM Cell Technology for 0.13 μm -Generation CMOS Logic LSIs", *Symp. on VLSI Technology Dig. of Tech. Papers*, pp. 62-63, Dec. 1998.
- [6] A. Sekiyama, T. Seki, S. Nagai, A. Iwase, N. Suzuki and M. Hayasaka, "A 1V Operating 256-Kbit FULL CMOS SRAM", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 53-54, June 1990.
- [7] K. Ishibashi, K. Ueda, K. Takasugi, K. Komiyaji, H. Hashimoto, T. Yamanaka, A. Fukami, N. Hashimoto, N. Ooki, A. Shimizu, T. Hashimoto, T. Nagano and T. Nishida, "A 6-ns 4-Mb CMOS SRAM with Offset-Voltage-Insensitive Current Sense Amplifiers", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 107-108, June 1994.
- [8] T. Shiota, I. Fukushi, R. Ohe, W. Shibamoto, M. Mamamine, R. Sasagawa, A. Tsuchiya, T. Ishihara and S. Kawashima, "A 1V, 10.4mW Low Power DSP core for Mobile Wireless Use", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 12-14, June 1999.
- [9] S. Ikeda, K. Asayama, N. Hashimoto, E. Fujita, Y. Yoshida, A. Koike, T. Yamanaka, K. Ishibashi and S. Meguro, "A Stacked Split Word-Line(SSW) cell for low voltage operation, large capacity, high speed SRAMs", *Int'l Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 809-812, Dec. 1993.
- [10] H. Kawaguchi, Y. Itaka and T. Sakurai, "Dynamic Leakage Cut-off Scheme for Low-Voltage SRAM's", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 140-141, June 1998.
- [11] E. Seevinck, F.J. List and J. Lohstroh, "Static-Noise Margin Analysis of MOS SRAM Cells", *IEEE J. of Solid-State Circuits*, vol. 22, no. 5, pp. 748-754, Oct. 1987.
- [12] B.M. Baas, "An Energy-Efficient Single-Chip FFT Processor", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 164-165, June 1996.
- [13] H. Yamauchi, T. Iwata, H. Akamatsu and A. Matsuzawa, "A 0.8V/100MHz/sub-5mW-Operated Mega-bit SRAM Cell Architecture with Charge-Recycle Offset-

- Source Driving (OSD) Scheme", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 126-127, June 1996.
- [14] K. Itoh, A.R. Fridi, A. Bellaouar and M.I. Elmasry, "A Deep Sub-1V, Single Power-Supply SRAM Cell with Multi- V_T Boosted Storage Node and Dynamic Load", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 132-133, June 1996.

第 4 章

低電圧キャッシュの高速・低電力化

4.1 緒言

第 3 章では、低電圧 SRAM 回路の高速・低電力化について述べたが、高速 SRAM の多くはキャッシュとして用いられることが多い。そのため本章では、特に低電圧キャッシュの高速・低電力化について論ずる。キャッシュは、今日のマイクロプロセッサ性能に大きく影響を与える重要な回路要素である。一般的にはキャッシュには SRAM 回路を使用するが、第 3 章で主に述べたメモリセルの制御方式の工夫による低電圧高速化のほかに、さまざまな方式的アプローチが使用できる特徴がある。

まず始めに、キャッシュの低電圧化の推移と課題について述べた後、ビット線分離型メモリ階層方式を提案する [1, 2]。低容量の SRAM は低電圧でも高速に動作するという特徴を利用し、一つのメモリセルアレイを階層化することにより実効的に高速なキャッシュ動作を達成している。

次に、この技術を用いて試作した、16KB+2KB・4 ウェイ・セット・アソシアティブ構造のキャッシュの開発結果を述べる。キャッシュに特有の TAG 回路の低電力化のために新たに開発したドミノ型タグ比較器についても述べる。

キャッシュは多量の電力を消費するチップ外アクセスを低減することが可能であり、マイクロプロセッサ等の LSI の低電力化に有効である。本章では、キャッシュによる低電力化も合わせて論ずる。キャッシュの低電力化には、キャッシュのヒット率を向上させることが効果的である。一般に、高いヒット率を得るためには大容量のキャッシュを用いることが一般的である。しかし、大容量のキャッシュはチップ面積を増加させ、また高速動作を阻害する。ここでは、この二つの相反する要求に応じることが可能な、小面積で高ヒット率が得られるキャッシュ構造についても検討し、前記ビット線分離型メモリ階層方式を応用したビット線分離型ユニファイドキャッシュの提案を行う [3, 4]。最後に、このビット線分離型ユニファイドキャッシュの性能評価結果について、トレースシミュレータを用いた性能評価結果を述べる。

4.2 キャッシュの低電圧化の推移と課題

キャッシュ¹は、実効的なメモリアクセス時間を短縮しLSIの動作速度を向上させることが目的として、マイクロプロセッサ等の演算回路とメモリとの間に挿入され、ほとんどすべてのマイクロプロセッサで使用されている [5]。そのため、キャッシュの低電圧化の推移は、マイクロプロセッサの低電圧化の推移とほぼ等しい。マイクロプロセッサの低電圧化の推移については、第1章で示した通りであり、特に近年において低電圧化が加速されている。

低電圧キャッシュに限らないが、キャッシュの高速化については方式的に高速に動作させることが多く検討されている。この例として、キャッシュにプリフェッチ機能を持たせる方法が挙げられる。キャッシュにアクセスされるアドレスを予測したり、あるいは事前に提示してもらうことで、主記憶から予めキャッシュにデータを転送しておく方法である。例えば、参考文献 [6, 7] では、プリフェッチを行うことにより最初のアクセスによるミス避けることを可能として、キャッシュのヒット率を改善している。高ヒット率が得られれば実効的にキャッシュを高速に動作させたのと等価になる。ただし、このようなキャッシュにプリフェッチ機能を持たせる方法では、最悪の場合にキャッシュに必要なスループットが主記憶のスループットの2倍に達する問題もある。

また、別の高速化の方法として、小容量で高速な1次キャッシュと大容量で低速な2次キャッシュをチップ上に混載して、実効的に小さいレイテンシと高いヒット率の両立を両立させる方法がある [8]。さらに、小容量で高速なフルアソシアティブキャッシュ (Victim cache) を大容量のダイレクトマップキャッシュに付加するという方法も提案されている [9]。一般にダイレクトマップキャッシュはプログラムによっては低いヒット率しか望めない。これに小容量のフルアソシアティブキャッシュを付加することでヒット率を向上させることができる。一方、メモリの階層化の方法は、低電力化の目的でも使用されている [10, 11]。小容量のキャッシュの消費電力は大容量のキャッシュよりも小さいため、メモリ階層化によって実効的に消費電力を削減できる。

上記のように、メモリ階層化は高速化と低電力化の両面で大きな効果が期待できる。次節では、メモリ階層化によるメモリシステムの高速化について、その効果を詳しく検討する。

¹通常のマイクロプロセッサは、プログラムのわずか10%の部分に全体の処理時間の90%を使用しているといわれている。このように、一般にマイクロプロセッサのアクセスする命令やデータには、空間的な局所性 (Spatial locality) と時間的な局所性 (Temporal locality) がある。この性質を利用し、主記憶の一部を格納しておくメモリがキャッシュである。マイクロプロセッサは命令あるいはデータをアクセスする場合、まず始めにキャッシュにその命令やデータがあるかどうかを確認し、あればそれを読み出す (キャッシュにヒットしたという)。なければ、その下位階層のメモリ (主記憶等) から、所望の命令やデータを読み出す (キャッシュにミスしたという)。通常は、読み出した命令やデータは近いうちに再びアクセスされる可能性が高いために、キャッシュの中の古い命令やデータと置きかえられて保管される (キャッシュのエントリをリプレースするという)。キャッシュから置きかえられたデータは、下位階層のメモリの内容よりも新しければ下位階層のメモリに書きこまれる (ライトバックされるという)。下位階層との間でのデータの授受の1単位をラインサイズあるいはブロックサイズと呼び、通常128bから256b程度である。また、一つのアドレスで指定されるキャッシュのエントリの数を連想度 (ウェイ数) と呼ぶ。特に、連想度1の場合をダイレクトマップキャッシュと呼び、 n 個のエントリが指定される場合を、 n ウェイセットアソシアティブキャッシュ、キャッシュの全エントリが指定可能な場合をフルアソシアティブキャッシュと呼ぶ。

4.3 メモリの階層化による高速化

ここでは、2次キャッシュまでのメモリの階層化を行ったときの、メモリの実効動作速度(実効レイテンシ)の評価を行う。まずはじめに、各種ベンチマークプログラムを用いた平均キャッシュミス率を用いて、実効レイテンシを解析式で表す。その後、この解析式を用いて、実効レイテンシの評価を行う。

4.3.1 実効レイテンシの解析式化

一般に、2次キャッシュまでのメモリ階層を持つメモリシステムの実効的なレイテンシは以下ようになる [12, 5]。

$$\begin{aligned} (\text{実効レイテンシ}) &= (1 - (\text{L1 ミス率})) \times (\text{L1 レンテンシ}) \\ &+ (\text{L1 ミス率}) \times (1 - (\text{L2 ミス率})) \times (\text{L2 レイテンシ}) \\ &+ (\text{L1 ミス率}) \times (\text{L2 ミス率}) \times (\text{L3 レイテンシ}) \end{aligned} \quad (4.1)$$

ここで、L1 と L2 がそれぞれ 1 次キャッシュと 2 次キャッシュ、L3 が主記憶を表している。つぎに、L2 ミス率をグローバルミス率 (L1-L2 ミス率)² を用いて表すと、以下のようになる。

$$(\text{L1-L2 ミス率}) = (\text{L1 ミス率}) \times (\text{L2 ミス率}) \quad (4.2)$$

$$\begin{aligned} (\text{実効レイテンシ}) &= (1 - (\text{L1 ミス率})) \times (\text{L1 レンテンシ}) \\ &+ ((\text{L1 ミス率}) - (\text{L1-L2 ミス率})) \times (\text{L2 レイテンシ}) \\ &+ (\text{L1-L2 ミス率}) \times (\text{L3 レイテンシ}) \end{aligned} \quad (4.3)$$

L1 ミス率については、参考文献 [14] のデータを用いると図 4.1 のような値になることがわかる。ここで、実効レイテンシを解析的に表すために、図 4.1 から L1 ミス率を近似式で

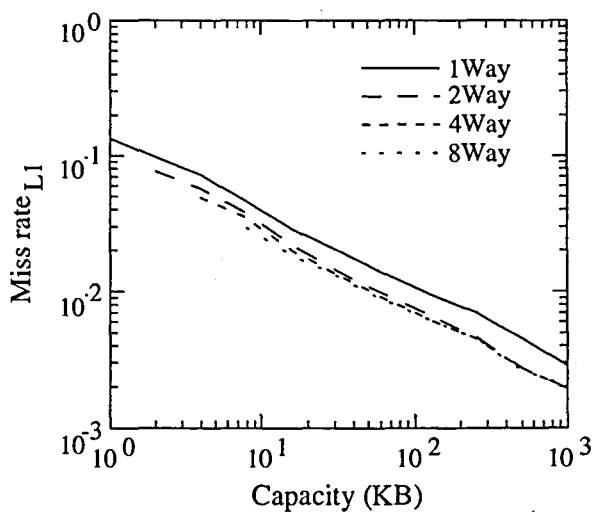


図 4.1 連想度をパラメータにした、1 次キャッシュの容量に対する L1 ミス率の値 [14]。SPEC92int と SPEC92fp の平均を取ったデータで、キャッシュ構造はユニファイド型を仮定している。ラインサイズは 32 B。

²2 次キャッシュのミス率はローカルミス率とグローバルミス率に分類できる。ローカルミス率は、2 次キャッシュへのアクセスの中でのミスの割合であり、グローバルミス率は、CPU からのアクセス要求の中での 2 次キャッシュのミスの割合である。

表すことにする。ここでは、図 4.1 のデータは両対数グラフで直線で表されていることから、L1 ミス率を以下の式で近似することにする。

$$(L1 \text{ ミス率}) = 10^{(a \log x + b)} \quad (4.4)$$

ここで、 x は 1 次キャッシュの容量 (KB) である。1 次キャッシュの連想度として 2Way 以上を仮定すると、図 4.1 から、上記 a 、 b はそれぞれ以下のようなになる。

$$a = -2/3 \quad (4.5)$$

$$b = \log 2 - 1 \quad (4.6)$$

次に、グローバルミス率 (L1-L2 ミス率) については、本来は 1 次キャッシュの容量 x と 2 次キャッシュの容量 y の関数であるが、2 次キャッシュの容量 y と同じ容量を持つ 1 次キャッシュのミス率に等しいとして、以下のような仮定を行う。

$$L1-L2 \text{ ミス率 } (L1:x \text{ KB}; L2:y \text{ KB}) = L1 \text{ ミス率 } (L1:y \text{ KB}) \quad (4.7)$$

式 4.7 の仮定の妥当性を検証するために、4 種類のベンチマークプログラム³ を用いて、トレース駆動シミュレータによって L1 ミス率と L1-L2 ミス率を計算した。⁴ 結果を図 4.2 に示す。図 4.2 より、式 4.7 は $x < y/2$ の範囲 (1 次キャッシュの容量が 2 次キャッシュの容

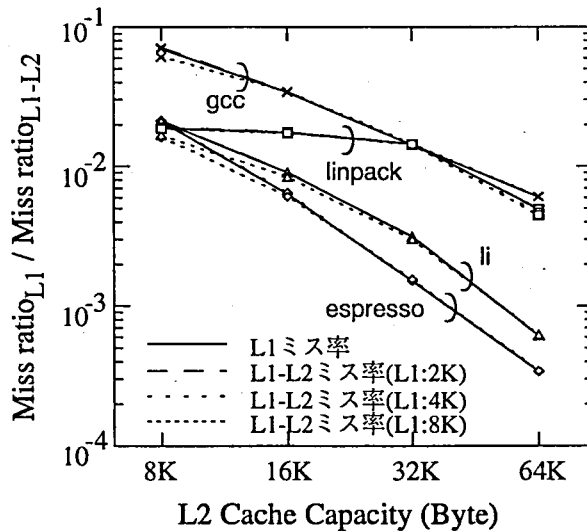


図 4.2 L1-L2 ミス率 (グローバル L2 ミス率) と L1 ミス率のシミュレーション結果。結果はそれぞれのミス率の比を、2 次キャッシュ容量を横軸にして示した。パラメータは 1 次キャッシュ容量。キャッシュ構造はユニファイド型を仮定している。ラインサイズは 32 B。

量の半分以下である場合) では 5% 以内の精度で成立していることがわかる。

以上より、式 4.3、式 4.4、式 4.7 を用いて、十分な精度で実効レイテンシの計算を解析的に行うことができる。

³参考文献 [14] から gcc: C コンパイラ、espresso: ブール対数の簡単化プログラム、linpack: 線形方程式解法プログラム、li: lisp インタプリタを用いた。

⁴このシミュレーションでは、CPU のアーキテクチャおよびマイクロアーキテクチャに PowerPC601 を仮定した。

4.3.2 メモリの階層化による実効レイテンシの評価

4.3.1 節で求めた実効レイテンシの解析式を用いて、実効レイテンシの評価を行う。

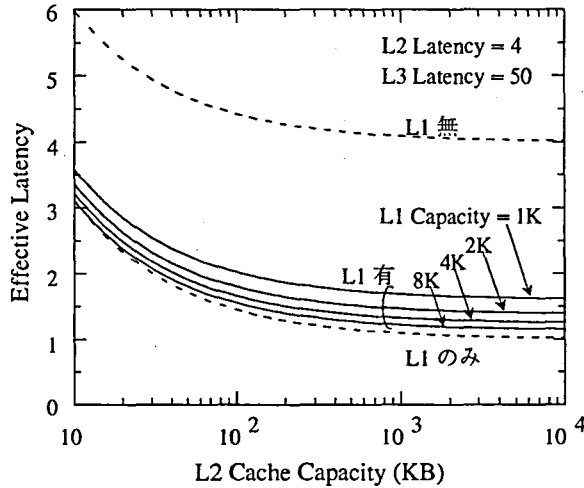


図 4.3 実効レイテンシの1次キャッシュ容量依存性。横軸は2次キャッシュの容量。L1 レイテンシは1、L2 レイテンシは4、L3 レイテンシは50と仮定。1次キャッシュの容量を1KB から8KB まで変化させている(実線)。破線は1次キャッシュが無い場合の値と、2次キャッシュがなくて1次キャッシュのみの場合(この場合、横軸は1次キャッシュ容量を表す)の値。

図 4.3は、2 次キャッシュの容量に対する実効レイテンシを計算したものである。1 次キャッシュの容量をパラメータとして用いた。1次キャッシュが無い場合(破線)、2次キャッシュのレイテンシが4であるために、実効レイテンシは最低でも4までしか低下しない。一方、1次キャッシュのみで構成すれば(最下破線)、レイテンシはかなり小さく抑えることができることがわかる。これは当然の結果であるが、図 4.3(実線) から、1次キャッシュとして4KB もあれば、1次キャッシュのみで構成した場合の20%以下のレイテンシ増加のみで、2次キャッシュのレイテンシを隠蔽することができることがわかる。

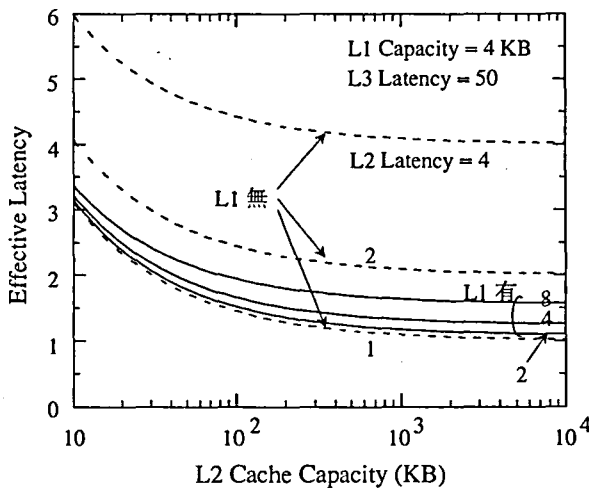


図 4.4 実効レイテンシの2次キャッシュレイテンシ依存性。横軸は2次キャッシュの容量。L1 レイテンシは1、容量を4KB、L3 レイテンシは50と仮定。2次キャッシュのレイテンシを1から8まで変化させている。実線は1次キャッシュがある場合、破線は1次キャッシュが無い場合の値。

図 4.4に1次キャッシュの容量を4KBに固定し、2次キャッシュのレイテンシを変えたときの実効レイテンシの計算結果を示す。2次キャッシュのレイテンシが2の場合、1次キャッシュのみで構成した場合と比較して10%以下のレイテンシ増加で2次キャッシュのレイテンシを隠蔽でき、2次キャッシュのレイテンシが4の場合には、20%以下のレイテンシ増加に抑えることができることがわかる。

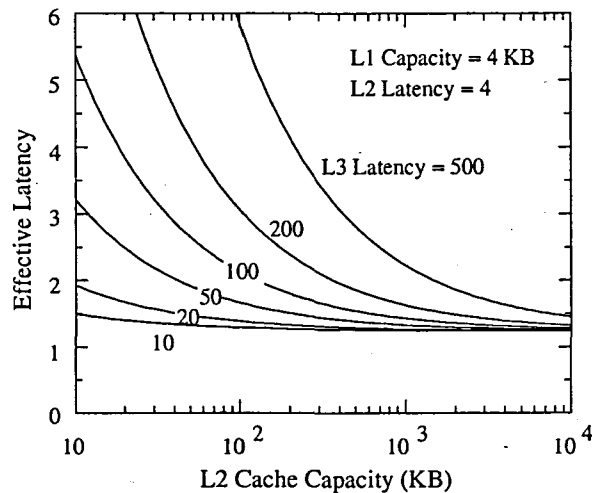


図 4.5 実効レイテンシの主記憶レイテンシ依存性。横軸は2次キャッシュの容量。L1 レイテンシは1、容量を4KB、L2 レイテンシを4と仮定。主記憶レイテンシを10から500まで変化させている。

図 4.5に主記憶のレイテンシを変えたときの実効レイテンシの計算結果を示す。主記憶のレイテンシが大きくなっても、2次キャッシュの容量を増やすことによって、実効レイテンシを小さく抑えられることが分かる。たとえば、2次キャッシュとして1MBあると、主記憶のレイテンシが10から100に10倍変化しても実効レイテンシの増加は30%以下に抑えることができる。また、小容量の1次キャッシュによって、そのレイテンシは2以下の小さな値に抑えられている。さらに、2次キャッシュとして1MB以上ある場合、その容量をさらに増やすよりもそのレイテンシを短縮する方が実効レイテンシの短縮に効果的であることがわかる。

上記の評価結果をまとめると以下ようになる。

- (1) 小容量で高速な1次キャッシュと大容量の2次キャッシュの組み合わせは、高いヒット率と小さな実効レイテンシを得るために非常に有効な方法である。
- (2) 1次キャッシュのレイテンシが1の場合、その容量が4-8KBあれば、2次キャッシュのレイテンシが4であっても、1次キャッシュのみで構成した場合と比較したレイテンシの増加を20%以下に抑えることができる。また、2次キャッシュのレイテンシが2の場合、レイテンシの増加を10%以下に抑えることができる。
- (3) 2次キャッシュとして1MB以上ある場合、その容量をさらに増やすよりもそのレイテンシを短縮する方が実効レイテンシの短縮に効果的である。

上記のメモリ階層化は、低電圧のメモリの動作速度を向上させるためにも効果的な方法である。しかし、この方法は階層化によって回路規模が増大するという課題がある。次節では、この課題を解決するために、一つのメモリセルアレイでメモリの階層化を可能にする、ビット線分離型メモリ階層方式を用いたキャッシュの開発事例を述べる。

4.4 ビット線分離型メモリ階層方式を用いたキャッシュ

4.4.2 節および 4.4.3 節で述べる要素回路技術を用いて、4 ウェイ・セット・アソシアティブ構造のキャッシュを試作した [1, 2]。以下に、その要素回路技術の詳細とシミュレーション結果を示す。

4.4.1 全体構成

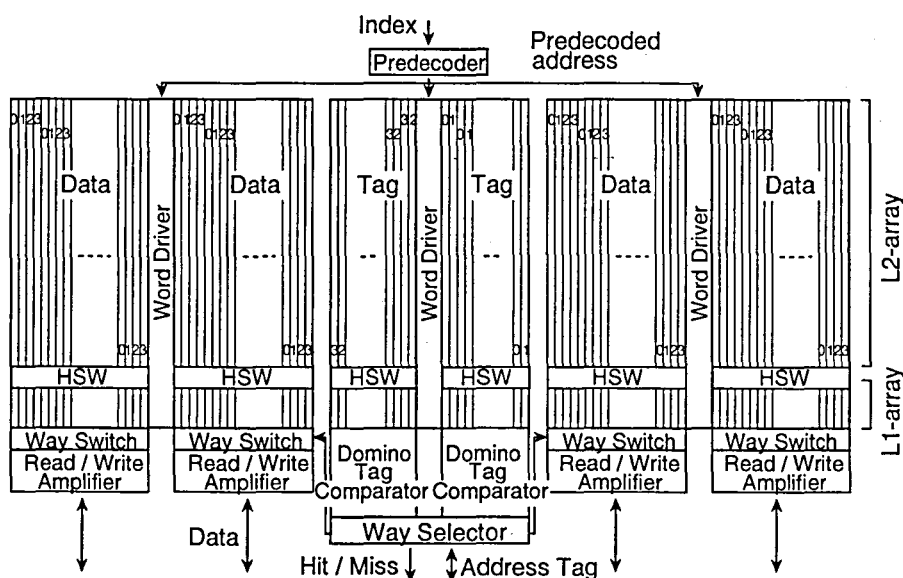


図 4.6 キャッシュのフロアプラン

図 4.6 にキャッシュメモリのフロアプランを示す。4 ウェイ・セット・アソシアティブ構造で、データ部とタグ部のメモリアレイに 4.4.2 節で述べるビット線分離型メモリ階層方式を用いて、16KB のキャッシュ(以下、L2-array と記す)と 2KB のキャッシュ(以下、L1-array と記す)を同一のメモリセルアレイで周辺回路を共通化して実現している。さらに、タグ部には 4.4.3 節で述べるドミノ型タグ比較器を適用している。主要諸元を表 4.1 に示す。

表 4.1 キャッシュの主要諸元

Capacity	16KB(L2-array) + 2KB(L1-array)
Associativity, Line size	4-way set-associative, 128 b line size
Power supply	1.0 V
Power consumption	10 mW at 1.0 V, 100 MHz
Latency	L1: 5.9-9.6 ns / L2: 8.5-12.2 ns
Effective latency	6.9 ns (at 90% L1 hit-ratio and 5-bit comparison)
Area	3.6 mm × 2.1 mm = 7.6 mm ²
Memory cell	6-Tr (4.25 μm × 5.9 μm = 25.1 μm ²)
Threshold voltage	0.3 V (Peripheral), 0.5 V (Memory cell)
Fabrication process	Poly 1, Metal 3, 0.25 μm CMOS

4.4.2 ビット線分離型メモリ階層方式を用いたデータ部

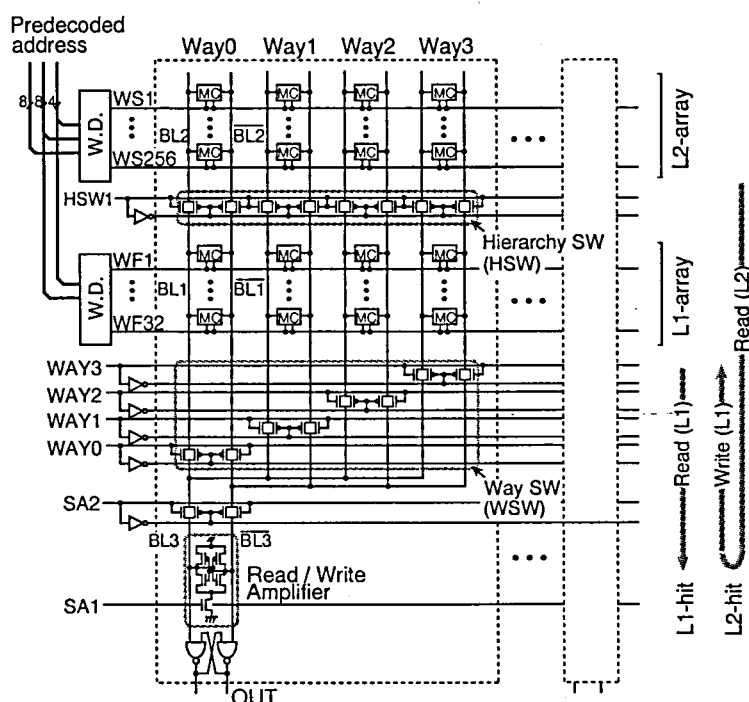


図 4.7 ビット線分離型メモリ階層方式を用いたキャッシュのデータ部。イコライザ回路は省略している。

図 4.7 にビット線分離型メモリ階層方式 (Separated Bit-line Memory Hierarchy Architecture; SBMHA) を用いた、キャッシュのデータ部の回路図を示す。各ウェイトは 1 対のビット線毎に対応しており、ウェイスイッチ (Way Switch; WSW) を介してセンスアンプに接続されている。

SBMHA では、階層スイッチ (Hierarchy Switch; HSW) を用いてメモリアレイを二つのメモリアレイ (図 4.7 では 2KB の L1-array と、16KB の L2-array) に分離している。したがって、ビット線は L1-array 用の BL1, $\overline{BL1}$ と、L2-array 用の BL2, $\overline{BL2}$ に分離されている。

従来から、一つのビット線の容量を小さくするために、ビット線の階層化が多く提案されている [15]。しかし、どのメモリセルに対しても平等に階層化が行われている。すなわち、どのメモリセルを読み出しても同一の速度でビット線がドライブされる。それに対して、SBMHA では、L1-array のビット線は L2-array のビット線よりも短く、L1-array のメモリセルは L2-array のメモリセルよりも低負荷になるように不平等に階層化している。

したがって、L1-array 内のメモリセルは L2-array 内のメモリセルよりも高速に読み出し動作ができる。読み出す頻度の高い情報を L1-array に格納しておけば、その情報を選択的に速く読み出せる。また当然、L1-array 内のメモリセルをアクセスするのに必要な消費電力は、L2-array 内のメモリセルをアクセスするよりも小さく抑えることができるので、アクセス頻度を考慮した実効的な消費電力が低減できる。読み出す頻度の高い情報を L1-array 内に格納するために、以下で述べるように L1-array を L2-array のキャッシュのように用いる。

読み出し動作時には、図 4.7 の右の矢印のように、L1-array 内に読み出したいデータが存在するかどうかを判断し、存在すればそれを読み出す。L1-array 内に存在しない場合、階層スイッチ HSW をオンし、L2-array 内から所望のデータを読み出し、L1-array 内にそ

の情報を書き込む。一方、書き込み動作は、階層スイッチ HSW をオンにして、L1-array と L2-array に同時に書き込む。より詳しく上記動作を説明すると、以下のようになる。

まず、L1-array からの読み出し時には (L1-hit 時)、ワード線 WF1 から WF32 の内一本をアサートし、ビット線 BL1, $\overline{\text{BL1}}$ に情報を読み出す。ウェイ選択の後、選択されたウェイのウェイスイッチ (WSW0-3) の一つをアサートすることでビット線 BL2, $\overline{\text{BL2}}$ に読み出し、SA をアサートしてセンスアンプを起動する。ウェイ選択をセンスアンプよりもメモリセル側に接続しているウェイスイッチ (WSW0-3) によって行っているため、ウェイ選択を低振幅で動作できる。

一方、L2-array からの読み出し時には (L1-miss 時で L2-hit 時)、ワード線 WS1 から WS256 の内の一本をアサートし、ビット線 BL2, $\overline{\text{BL2}}$ に情報を読み出す。ウェイ選択の後、選択されたウェイのウェイスイッチ WSW0-3 の一つをアサートすると同時に、階層スイッチ HSW をアサートし、ビット線 BL1, $\overline{\text{BL1}}$, BL2, $\overline{\text{BL2}}$ に読み出し、SA1 をアサートしてセンスアンプを起動する。センスアンプによってビット線 BL1, $\overline{\text{BL1}}$ の電位も電源電圧まで増幅されるので、ワード線 WF1 から WF32 の内の一本をアサートして、メモリセルアレイ L1 に書き込む。このようにセンスアンプは読み出し時には増幅器として働き、書き込み時には書き込みバッファとして働く。

方式性能評価

図 4.7 で示したように、L1-array は L2-array のキャッシュのように働き、L1-array のライト方式はライトアロケートのライトスルー方式になる。⁵ また、L1-array のリプレース方式は特別な方法によって行われる。すなわち、L2-array と L1-array の各ウェイがビット線で接続されているために、L2-array の n ウェイからのデータは、L1-array の n ウェイのデータにリプレースされることになる。その他のウェイへのリプレースが禁止されるという特徴がある。一般的には、リプレース時のウェイの選択方法としては、一番古くアクセスされたウェイをリプレースする LRU (Least Recently Used) 方式が最適な方式であるとされている [16]⁶。上記したリプレース制約によって、L1-array のミス率 (L1-miss) や L2-array のミス率 (L2-miss) を劣化させることが懸念される。

ここでは、このリプレース制約がキャッシュの性能にどの程度影響を与えるのかを評価した。図 4.8 および図 4.9 に SBMHA の L1-array のミス率 (L1-miss) と L2-array のミス率 (L2-array) のトレース駆動シミュレーション結果を示す。⁷ 実線は SBMHA の場合の計算結果で、LRU 方式によるリプレースは L2-miss 時のみ用いた。破線は LRU 方式のリプレースを L1-miss と L2-miss の両方に用いた場合の計算結果で、従来のメモリ階層化方式に相当する。L1-array と L2-array の容量比は 1/8 とした。

L2-miss には両者でほとんど差が無く、上記リプレース方式の制約がキャッシュ全体の性

⁵書き込み方式は、大きく分けて 2 種類に分類できる。一つはキャッシュのエントリの置換の時にだけ下位階層メモリに書き込み動作を行うライトバック方式と、マイクロプロセッサの書き込み動作時に下位階層メモリに書き込み動作を行うライトスルー方式である。また、キャッシュのエントリの割り当て方についても大きく分けて 2 種類に分類でき、一つはライト時にキャッシュにデータを読み込み、その後キャッシュと下位階層メモリに書き込み動作を行うライトアロケート (フェッチオンライト) 方式で、もう一つがライト時には下位階層メモリにだけ書き込み動作を行うノーライトアロケート (ライトアラウンド) 方式である。ライトバック方式は通常ライトアロケート方式が使用され、ライトスルー方式ではノーライトアロケート方式が使用される。

⁶ミス時に下位階層メモリからキャッシュに 1 ライン分のデータが転送されるが、もしキャッシュがいっぱいであればキャッシュ内のデータと置換する必要がある。これをリプレースと呼ぶ。ダイレクトマップキャッシュ以外では、1 つのアドレスで指定されるエントリの中から一つのエントリを選択して置換する必要がある。これをリプレース方式と呼ぶ。

⁷シミュレーションの条件は 4.3.1 節で用いたものと同じである。

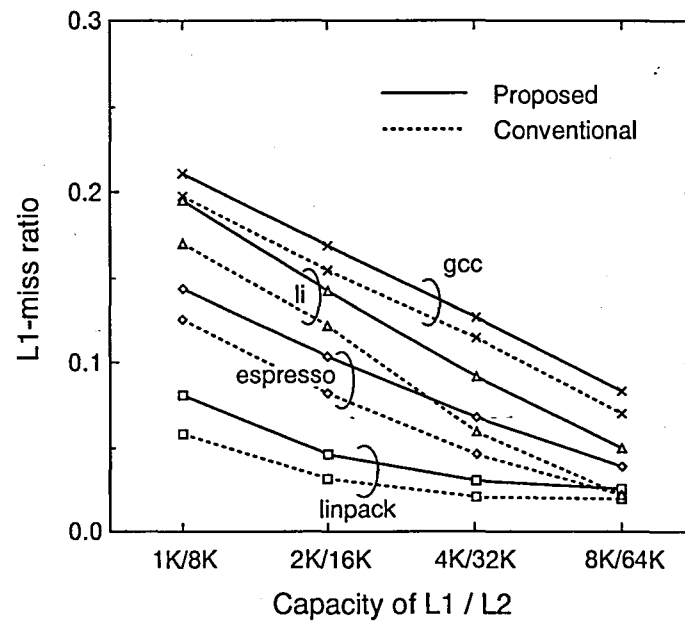


図 4.8 L1-array のミス率の容量依存性。実線は SBMHA の場合の値で、LRU 方式によるリプレースは L2-miss 時のみ用いた。破線は LRU 方式のリプレースを L1-miss と L2-miss の両方に用いた場合の値で、従来のメモリ階層化方式に相当する。

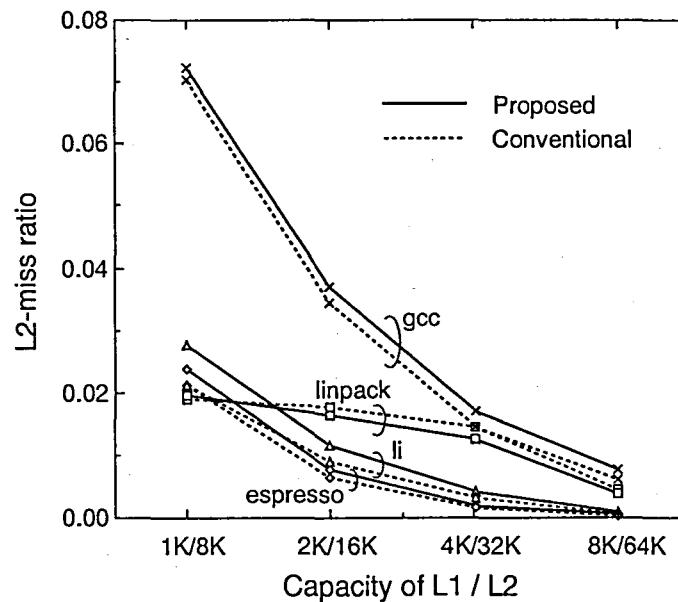


図 4.9 L2-array のミス率の容量依存性。実線は SBMHA の場合の値で、LRU 方式によるリプレースは L2-miss 時のみ用いた。破線は LRU 方式のリプレースを L1-miss と L2-miss の両方に用いた場合の値で、従来のメモリ階層化方式に相当する。

能にほとんど影響がないことが分かる。また、L1-miss についても 10% 程度の増加で済み、大きな L2-array のレイテンシを隠蔽するのに十分な L1-miss 率が得られていることがわかる。

回路性能評価

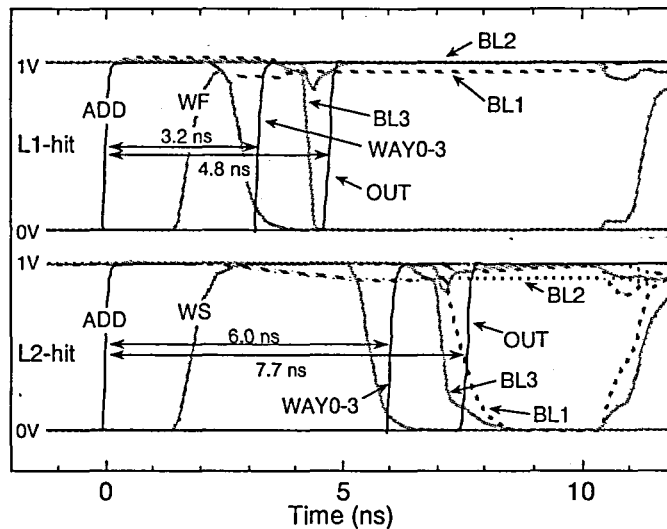


図 4.10 L1-hit 時と L2-hit 時の SBMHA 方式を用いたキャッシュのデータ部のシミュレーション波形。

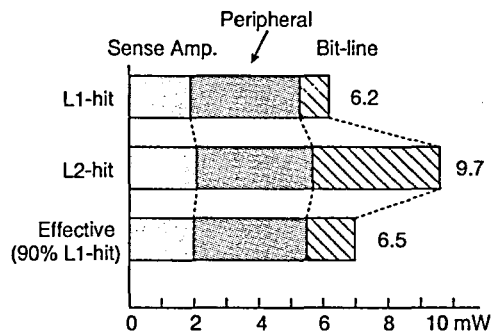


図 4.11 L1-hit 時と L2-hit 時の SBMHA 方式を用いたキャッシュのデータ部の 100MHz 動作時の消費電力。

図 4.10 にビット線分離型メモリ階層方式を用いたキャッシュのデータ部の L1-hit 時と L2-hit 時のシミュレーション波形を示す。アドレス ADD が入力されてから、ビット線がセンスアンプ起動に十分な電位にまで開くまでに、 $t_{AD-BL} = 3.2\text{ ns}$ (L1-hit 時)、 6.0 ns (L2-hit 時) かかっている。ビット線分離型メモリ階層方式によって約 3ns の高速化が達成できている。ウェイ選択信号 WAY0-3 はその時間以降に入力される必要がある。ウェイ選択信号 WAY0-3 がアサートされてから $t_{WAY-OUT} = 1.6\text{ ns}$ (L1-hit 時)、 1.7 ns (L2-hit 時) でデータが得られている。結局、アドレスアクセス時間は、 $t_{AD-OUT} = 4.8\text{ ns}$ (L1-hit 時)、 7.7 ns (L2-hit 時) となる。ビット線分離型メモリ階層方式によって、約 38% の高速化が達成できている。

図 4.11 に L1-hit 時と L2-hit 時の消費電力のシミュレーション結果を示す。ビット線分離型メモリ階層方式を用いない場合には 8.4 mW に対して、ビット線分離型メモリ階層方式を用いた場合、 6.2 mW (L1-hit 時)、 9.7 mW (L2-hit 時) となった。L2-array へのアクセスでは L1-array へのライトが必要なため、約 15% 増加しているが、L1-array へのアクセ

スでは約26%減少している。L1-arrayのヒット率を90%と仮定する⁸と、約23%の低消費電力化が達成できることがわかる。

従来のキャッシュのレイテンシと消費電力は容量が増加するにしたがって大きくなる。しかし、ビット線分離型メモリ階層方式を用いたキャッシュでは、L2-arrayの容量を大きくしても、L1-arrayの大きさを小さく保つことで、レイテンシと消費電力の増加を抑えることができる。この利点はメモリ階層化による効果と同じであるが、ビット線分離型メモリ階層方式では、メモリを階層化するのではなくてアレイを階層化し、周辺回路を共通化していることから、メモリ階層化による面積増加や電力増加、あるいは制御の複雑化によるレイテンシの増加等の課題を解決でき、効果的にメモリ階層化の効果を得ることができる特徴がある。

⁸図4.8より90%のヒット率は容易に得られる。

4.4.3 ドミノタグ比較器を用いたタグ部

キャッシュメモリの周辺回路の低消費電力については、タグアレイの比較結果に基づいて、数ウェイのデータアレイのうちヒットしたウェイのワード線およびセンスアンプだけを動かす方法が提案されている [17]。

また、タグ比較器の低電力高速化技術として、最初に読み出して比較するデータ幅を制限し、比較に要する時間と消費電力を小さくする方法も提案されている [18]。高速・低電力に仮の比較結果が得られる。ここで、仮の比較データというのは、比較を全ビットに対して行っていないので完全な比較結果ではないという意味である。この方法では、最初に比較する比較データ幅を固定しているの、最初の比較では十分な比較結果が得られない場合が多い。これを避けるために最初の比較する比較データ幅を広くすると、この方法の利点が損なわれるという課題がある。

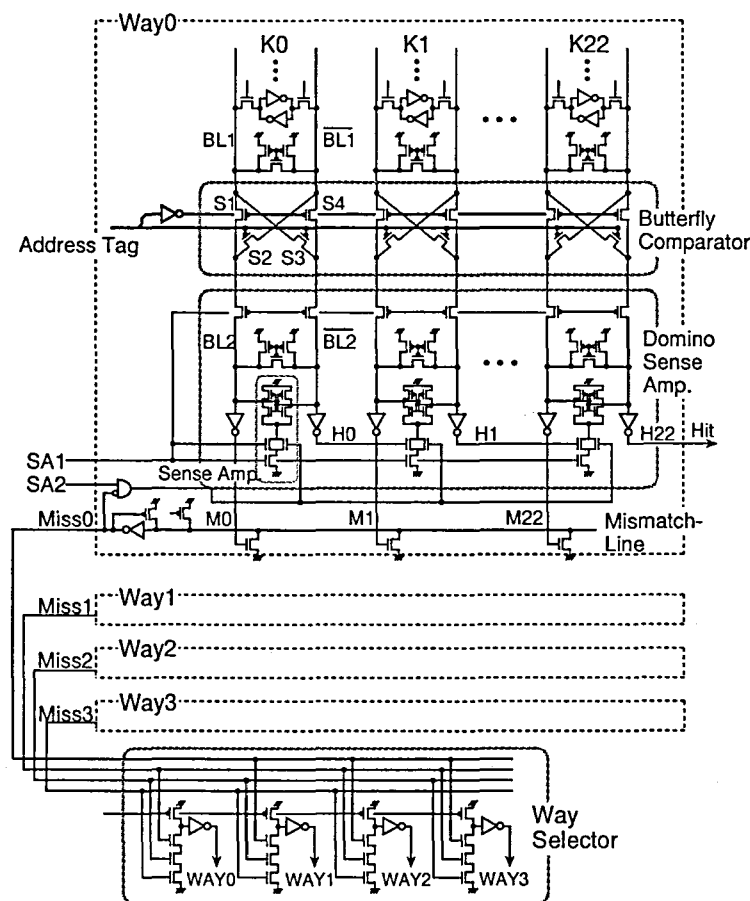


図 4.12 ドミノ型タグ比較器の回路図。1 ウェイ分を示しているが、ウェイ予測器 (Way Selector) は 4 ウェイで共有している。

ここでは、タグの比較動作の低電力化と比較動作の高速化という背反する要求に対し両者を最適な値にすることができるドミノ型タグ比較器を提案する。図 4.12 にドミノタグ比較器の回路図を示す。

ドミノタグ比較器では、比較アドレスとの比較を逐次処理で行う。すなわち、図 4.12 で K0 ビットが一致していれば、K1 ビットの比較を開始する。同様にして、K1 ビットの比較が一致していれば、K2 ビットの比較を行う。これを不一致検出が起きるまで繰り返し実行する。具体的には図 4.12 で示されているようにセンスアンプをドミノ回路の如く起動

し、不一致検出が発生すればそのビット以降の比較は実行されず、Mismatch-Line を放電して Miss 信号を得る。

図 4.12 のドミノ型比較器を構成する 1 ビット比較器は、ラッチ型のセンスアンプと PMOS トランジスタ S1 から S4 で構成されたバタフライ比較器から構成されている。以下、この動作を詳しく述べる。ビット線 BL2、 $\overline{BL2}$ にメモリセルから読み出された微小振幅の電圧差（例えば 0.1V）が生じているとする。電源電圧を 1.0V とし、メモリセルに“0”が記憶されており、BL2 の電位が 0.9V、 $\overline{BL2}$ の電位が 1.0V であるとする。比較データが“0”の時（比較データがメモリセルに記憶されていたものと一致していた時）、PMOS トランジスタ S2 と S4 がオン状態になるので、ノード N1、N2 の電位はそれぞれ 1.0V、0.9V となる。この状態で、比較開始信号 SA1 をアサートすると、ラッチ型センスアンプが起動し、上記電位差（ $0.1V=1.0V-0.9V$ ）を増幅し、ノード N1、N2 の電位はそれぞれ 1.0V、0.0V となる。したがって、一致検出出力 H1 は“1”、不一致検出出力 M1 は“0”となり一致検出ができる。逆に、比較データが“1”の時（比較データがメモリセルに記憶されていたものと不一致していた時）、PMOS トランジスタ S1 と S3 がオン状態になるので、ノード N1、N2 の電位はそれぞれ 0.9V、1.0V となる。この状態で、比較開始信号 SA1 をアサートすると、センスアンプが起動し、上記電位差（ $0.1V=1.0V-0.9V$ ）を増幅し、ノード N1、N2 の電位はそれぞれ 0.0V、1.0V となる。したがって、一致検出出力 H1 は“0”、不一致検出出力 M1 は“1”となり不一致検出ができる。一致検出出力 H1 は次段の 1 ビット比較器の起動信号となり、ドミノ回路の如く逐次比較が実行される。

図 4.12 の比較器ではセンスアンプがバタフライ比較回路のデータを増幅する。したがって、バタフライ比較回路が小振幅で動作するので、センスアンプ後に比較回路を配置する方法よりも低消費電力化できる。

セット・アソシアティブキャッシュメモリにこのタグ比較器を適用した場合、一定時間 T0 内に選択ウェイを確定する必要がある。一方、ドミノ型タグ比較器では一致/不一致検出に必要な時間に幅があるため（K0 ビットで不一致検出が得られると Miss 信号が速く得られ、K22 ビットで不一致検出が得られると Miss 信号は遅くなる）、T0 内に一致/不一致検出できない場合がある。これは例えばキャッシュメモリを用いたシステムが高速に動作しており、キャッシュからのデータ読み出し要求が速いときである。図 4.12 の SA2 はこの場合に使用する。SA2 をアサートすることにより強制的に比較器を起動して高速に一致/不一致検出が得られる。SA2 の起動を遅らせればそれだけ低消費電力化できる。したがって、SA2 の起動はキャッシュメモリを用いるシステムのシステムクロックに同期される。システムクロックが速いときには SA2 をアサートする時間を早くすることで、高速にミス信号を得ることができる。システムシステムの動作速度が遅いときには SA2 をアサートする時間を遅くすることで、消費電力を低減できる。

方式性能評価

ドミノ型比較器では一般に、不一致検出が一致検出よりも速く出力される。この性質を利用し、ウェイ予測器 (Way Selector) によって選択するウェイを予測する。例えば WAY1 から WAY3 まで不一致検出が得られた時点で WAY0 を選択する。最終的に WAY0 が選択されるかどうかはドミノ型比較器のヒット信号 Hit が出力されるまで分からないが、選択される（ヒットする）ウェイがあるとすれば WAY0 であるので、これを先に選択する。

図 4.13 は、ウェイを一つに限定するために必要な比較ビット数を、4 種類のベンチマー

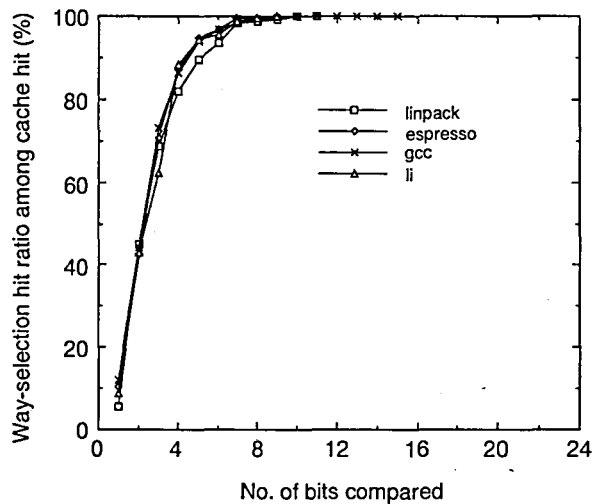


図 4.13 比較に必要なタグビット数のシミュレーション結果。

クプログラムを用いてトレース駆動シミュレーションによって評価した結果である。⁹ タグ比較ビットの MSB から約 5 ビット程度の比較 (タグビットは全部で 23 ビット) でウェイが確定できており、これはドミノ型比較器で十分高速にタグ比較ができることを示唆している。

IBM 社の PowerPC620 においても、参考文献 [18] の方式を用いて、比較アドレスの 8 ビットだけを用いて比較を実行して高速化している [19]。しかし、比較アドレスが固定 (8 ビット) しているので、このビット幅の比較でウェイが確定しなければ、複雑な制御が必要となるという欠点がある。ドミノ型比較器ではウェイが確定するまで比較が実行されるので、このような複雑な制御を必要としない。

回路性能評価

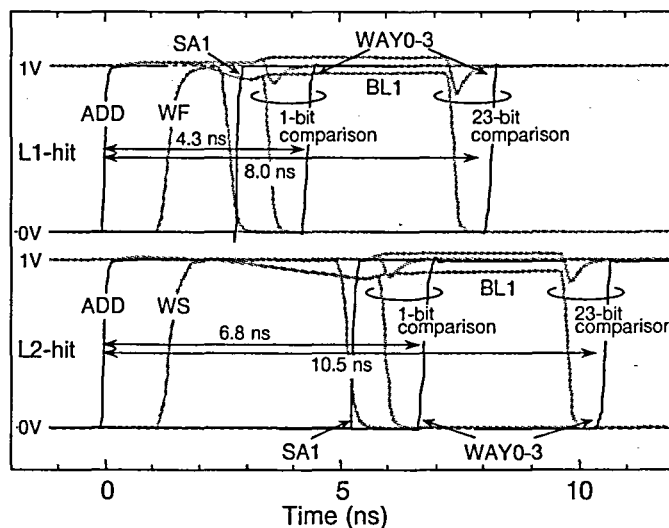


図 4.14 L1-hit 時と L2-hit 時のドミノタグ比較器を用いたキャッシュのタグ部のシミュレーション結果。

図 4.14 に L1-hit 時と L2-hit 時のドミノ型タグ比較器を用いたタグ部のシミュレーション波形を示す。アドレス ADD が入力されてから、センスアンプのノード電位 N1, N2 が起動に十分な電位にまで開くまでに、 $t_{AD-BL} = 2.8 \text{ ns}$ (L1-hit 時)、 5.3 ns (L2-hit 時) かけて

⁹シミュレーションの条件は 4.3.1 節で用いたものと同じである。

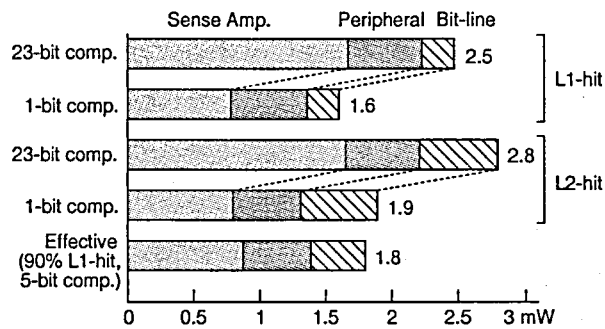


図 4.15 L1-hit 時と L2-hit 時のドミノタグ比較器を用いたキャッシュのタグ部の 100MHz 動作時の消費電力。

いる。ビット線分離型メモリ階層方式によって約 2.5 ns の高速化が達成できている。さらにその時間に比較を開始してからウェイ選択信号 WAY0-3 を得るまで、K0 ビットで不一致を検出した場合で $t_{BL-WAY}^{in} = 1.5$ ns、MSB まで (K22 まで) 比較が進むと $t_{BL-WAY}^{max} = 5.2$ ns かかっている。ドミノ型タグ比較器のドミノが全て起動するのに約 3.7 ns かかっていることがわかる。図 4.13 の結果から 5 ビットの比較でウェイを確定できると仮定すると、比較開始から $t_{BL-WAY}^{eff} = 2.2$ ns、アドレス入力からは $t_{ADD-WAY}^{eff} = 5.0$ ns (L1-hit 時), 7.5 ns (L2-hit 時) でウェイ選択が完了することになる。さらに、L1-array のヒット率を 90% と仮定すると、アドレス入力から 5.3 ns ($= 0.9 \times 5.0$ ns $+ 0.1 \times 7.5$ ns) でウェイ選択が完了するので、本キャッシュメモリの実効的なレイテンシは 6.9 ns ($= 5.3$ ns $+ 1.6$ ns ($t_{WAY-OUT}$)) となる。

図 4.15 に L1-hit 時と L2-hit 時の消費電力のシミュレーション結果を示す。L1-array と L2-array にヒットしたときの電力を、それぞれ K0 ビットで不一致を検出した場合 (Min) と MSB で不一致を検出した場合 (Max) の消費電力を示した。Min ケースでは Max ケースよりも 30% 以上の低消費電力化が達成できている。図 4.13 の結果から 5 ビットの比較でウェイを確定できるとしても、30% 程度の低消費電力化ができることがわかる。

4.4.4 エイリアシング問題

ビット線分離型メモリ階層方式は実効的にメモリの階層化を行っているために、L2-arrayの容量を大きくしても高速性と低電力性が保たれると述べた。しかし、一般に大容量キャッシュでは、キャッシュ容量が(連想度) $\times$ (ページサイズ)を越えると、TLB変換とキャッシュアクセスの並列実行ができなくなり、¹⁰ キャッシュアクセスのクリティカルパスにTLB変換時間が入ってしまう。これによって、レイテンシが著しく増加してしまう。例えば、ページサイズが4KB、連想度が4、容量が32KBのキャッシュでは、容量が連想度 $\times$ ページサイズ(=16KB)を越えているので、インデックスのアドレスの1ビット(第12ビット)がTLB変換後まで得られてない。キャッシュのアクセスとTLB変換とが並列動作できないために、クリティカルパスは以下のようにになってしまう。

TLB変換 → デコード → キャッシュアクセス → TAG比較 → ウエイ選択

一方、容量が(連想度) $\times$ (ページサイズ)を越えてない場合には、クリティカルパスは以下のようになる。

(デコード → キャッシュアクセス → TAG比較) → ウエイ選択
TLB変換

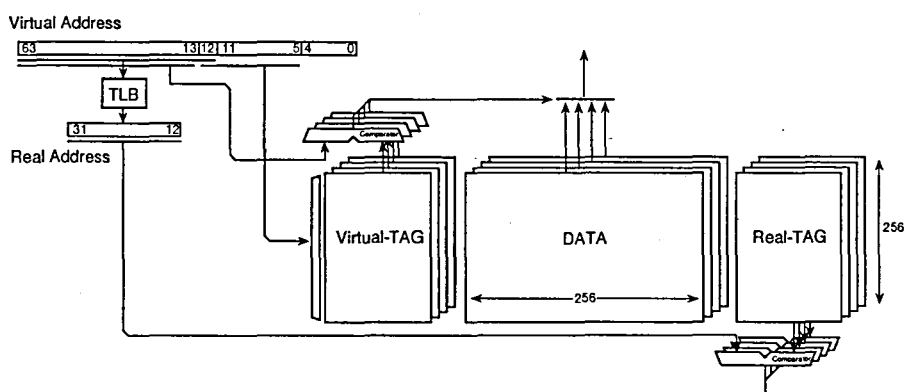


図 4.16 Virtual-Index, Real-Tag キャッシュの構成図

これを避けるためには、図 4.16に示したような仮想アドレスインデックスのキャッシュ構成にする必要がある。仮想アドレスを使ってキャッシュをアクセスし、その後、TLB変

¹⁰ 現在のマイクロプロセッサでは、仮想記憶と呼ばれる現実のメモリ空間(実記憶空間)とは無関係に、非常に大きな主記憶空間(仮想記憶空間)があるかのようにユーザーに見せる方式が使われている。実記憶空間のアドレスは実アドレス(Real address)、プログラムが生成したアドレスは仮想アドレス(Virtual address)と呼ばれる。実記憶空間と仮想記憶空間はいずれもページと呼ばれるブロックに分けられ管理される。仮想アドレスは全てのメモリ空間を直接アドレスづけできるものと仮定し、マイクロプロセッサあるいはオペレーティングシステムは、プログラムに応じて仮想アドレスを生成する。いつの時点でも、ある仮想アドレスは物理メモリ内に対応する実アドレスを持っている。この仮想アドレスと実アドレスの対応は、主記憶上のページテーブルと呼ばれる場所に格納されている。このページテーブルはメモリのアクセスの度に仮想アドレスから実アドレスの変換の際に用いられるために使用頻度が高く、高速に参照される必要がある。このページテーブルのキャッシュがアドレス変換バッファ(Translation Look-aside Buffer; TLB)である。全てのメモリアクセスでは、まずTLBによってその仮想アドレスを実アドレスに変換された後に行われる。ところがこの変換を待たずにメモリアクセスを行える一つの抜け道がある。上記したように、仮想記憶空間と実記憶空間はページと呼ばれるブロック毎に管理されことを利用する。すなわち、仮想アドレスと実アドレスの下位アドレスは、ページサイズで決定されるビット数だけ等しいことを利用する。この等しいアドレスを用いてキャッシュをアクセスすれば、キャッシュはTLBによるアドレス変換を待たないでアクセスを開始できる。キャッシュは通常この方法を用いてアクセスされる。

換した物理アドレスを使ってタグ比較を実行する (Virtual-Index, Real-Tag 方式)。この方法は IBM 社の Power1 で使用されている [20]。

キャッシュアクセスを実アドレスを用いてアクセスする実アドレスインデックスから、仮想アドレスを用いてアクセスする仮想アドレスインデックスに変えれば、上記したように TLB の変換終了を待たずにキャッシュの動作を開始できる。しかし、この場合、エイリアシング¹¹の問題を生じる [5]。

上記エイリアシング問題は以下のような制約をつけることで回避できるが、制御が複雑化するという欠点があり、IBM 社の PowerPC620 のように回路を複雑化して連想度を上げているのが一般的である [19]。

- (1) 仮想アドレスは一意であって、2つのプロセスが使用する同一の仮想アドレスが、異なった物理アドレスにマップされるようなエイリアスを禁止する。
- (2) いかなる時点でも、特定の物理アドレスはたかだか1つの仮想アドレスにしかマップされない。

これに対して、ビット線分離型メモリ階層方式を用いたキャッシュでは、クリティカルパスは以下ようになる。

$$\left(\begin{array}{c} \text{L1-array のデコード} \rightarrow \text{L1-array の TAG/DATA アクセス} \rightarrow \text{TAG 比較} \\ \text{TLB 変換} \end{array} \right) \rightarrow \text{ウエイ選択}$$

すなわち、L1-array の容量が (連想度)×(ページサイズ) を越えない限り、TLB 動作との並列動作ができる。一般に L1-array の容量は 4KB もあれば十分であり、16KB 以上の容量は、L1-array のヒット率の向上とアクセス速度の低下を考えると意味がない。また、L2-array へのアクセス時には、L1-array でミスが発生した場合にのみ行われるので、その時には下記のように TLB 変換は終了しており、実アドレスインデックスによるオーバーヘッドはない。

$$\left(\begin{array}{c} \text{L1-array のデコード} \rightarrow \text{L1-array の TAG/DATA アクセス} \rightarrow \text{TAG 比較} \\ \text{TLB 変換} \end{array} \right) \rightarrow$$

$$\text{L2-array のデコード} \rightarrow \text{L2-array の TAG/DATA アクセス} \rightarrow \text{TAG 比較} \rightarrow \text{ウエイ選択}$$

このように、ビット線分離型メモリ階層方式はキャッシュ容量を大容量化しても高速性や低消費電力性が保たれ、さらにエイリアシングの問題を起こさない特徴がある。

¹¹ 一つの物理アドレスに複数の仮想アドレスが割り当てられる現象。第1の問題は、一方の仮想アドレス番地に書き込みを行った後に、もう一方のエイリアスされた仮想アドレスから読みだしを行うと読みだし結果が異なってしまうということ。第2の問題は、2つの異なったプロセスの持つ同一の仮想アドレスが同一の物理アドレスにマッピングしていると、プロセスが更新したときにキャッシュにそれを伝える必要があることである。

4.5 ビット線分離型メモリ階層方式を用いたキャッシュの試作結果

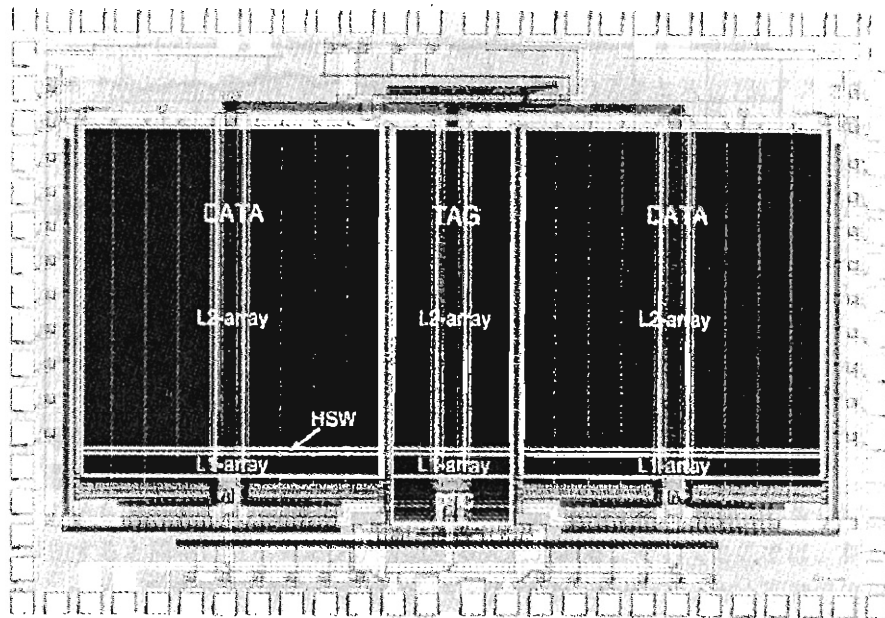


図 4.17 キャッシュのチップ写真

この節では、4.4 節で述べたキャッシュの試作結果を述べる。図 4.17 にチップ写真を示す。タグ部は中央に配置され、その両側にデータ部が配置されている。キャッシュのサイズはテスト用のパッド部を含めて、 $3.6\text{ mm} \times 2.1\text{ mm}$ である。SBMHA を用いることによる面積オーバーヘッドは 10% 以下である。 $0.25\text{ }\mu\text{m}$ 3 層アルミ配線層の CMOS テクノロジーを用いて試作した。主な所元は表 4.1 で記述した通りである。

使用した MOS トランジスタについては、1 V で高速動作を得るために、酸化膜厚が 4.5 nm の薄膜 MOS トランジスタを用いて構成している。しきい値電圧については、周辺回路は低しきい値 MOS トランジスタを用いて構成し、メモリセルを構成する MOS トランジスタはスタティックノイズマージン確保のために高しきい値 MOS トランジスタで構成している。

図 4.18 にデータ部の測定結果を示す。ADD は入力されたアドレスで、SEL はウェイ選択信号である。OUT はキャッシュからの出力データである。L1-hit 時には約 4.5 ns でデータが得られ、L2-hit 時には約 7.5 ns でデータが得られている。これらは 4.4.2 節で示したシミュレーション結果と一致している。90% の L1-hit 率を仮定すると、実行レイテンシは約 5 ns となる。

図 4.19 にタグ部のドミノタグ比較器の測定結果を示す。23 ビットの比較は約 4.1 ns で完了している。図 4.13 の結果から、5 ビットでウェイの選択が完了するとすると、約 2 ns でウェイ比較が完了することになる。

上記結果から、ウェイ選択を含めて、アドレスが入力されてからデータが出力されるまでの実効的なレイテンシは約 7 ns であることがわかる。1 V という低電圧で、メモリセルを構成する MOS トランジスタには高しきい値 MOS トランジスタを使用し、さらに特別なメモリセル制御方式を使用せずに、方式的な工夫によって実効的に 1 V で 100 MHz 動作を実現することができた。

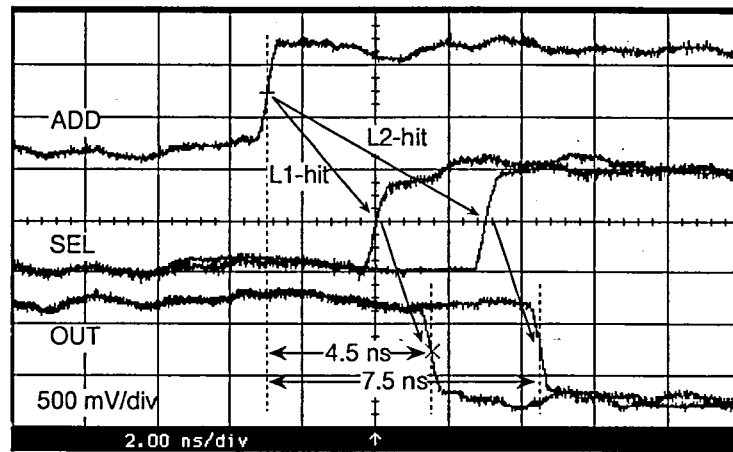


図 4.18 試作したキャッシュのデータ部の測定結果。

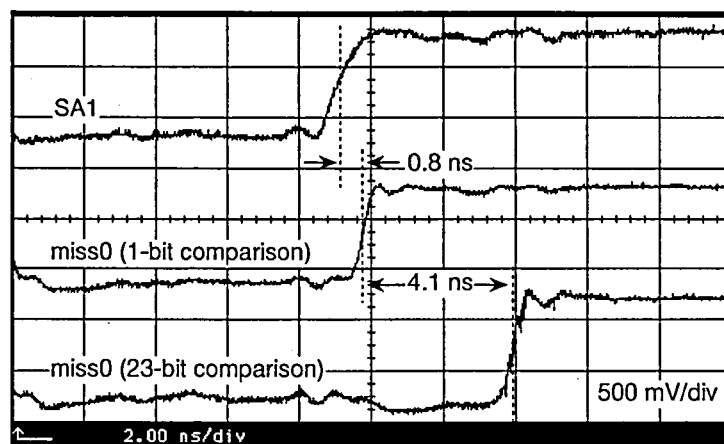


図 4.19 試作したキャッシュのドミノタグ比較器の測定結果。

4.6 キャッシュによる LSI の低電力化

ここまで、低電圧キャッシュの高速化手法について述べてきた。本節では、キャッシュを用いることによる LSI の低電力化について考察する。

LSI の低電力化には、電力を多く消費するチップ外へのアクセス (外部アクセス) を低減することが効果的である。キャッシュにヒットした場合には通常は外部アクセスを行わないため、高ヒット率のキャッシュを LSI 内部に持つことは、外部アクセス頻度を小さくするのに非常に有効である。キャッシュのヒット率を向上させるために用いられている一般的な方法には以下のようなものがある。

- (1) キャッシュ容量の増加 [5]
- (2) 連想度 (Associativity) の増加 [21, 22]
- (3) ラインサイズの最適化 [23]
- (4) リプレース方式 (Replacement Algorithm) の最適化 [24, 25]
- (5) 書き込み方式 (Write Policy) の最適化 [26]

このうち最も効果があるのはキャッシュ容量の増加である。ところが、容量の増加は回路面積を増加すると同時にレイテンシが増加する欠点がある。そこでここでは、高ヒット率のキャッシュを小面積で実現する方法について検討する。キャッシュが小面積で実現できれば、大容量のキャッシュを LSI に搭載でき、結果的にヒット率を向上させることができる。

4.6.1 キャッシュの小面積化

マイクロプロセッサの面積の半分以上をキャッシュが占めることも珍しくないことから、キャッシュの小面積化の研究は古くから行われている。キャッシュはタグ部とデータ部に分類できるが、タグ部については、Sectored キャッシュが 25 年以上前から研究されている [27, 28]。Sectored キャッシュでは、複数のキャッシュのエントリを一つのタグのエントリに割り当てて使用する。タグ部は小面積化できるが、キャッシュのヒット率が低下するという欠点がある。Sectored キャッシュのヒット率を向上させる方法として、Decoupled Sectored キャッシュも提案されている [29]。また、タグ部分をさらにキャッシングしてタグ部の面積を削減する試みもなされている [30]。

このようにキャッシュのタグ部の小面積化の研究は多くなされている。しかし、データ部の小面積化についてはこれまであまり検討がなされていない。もともとデータ部は、キャッシュに格納するデータ情報を記憶する場所であるため、圧縮してデータを格納する以外に絶対的な容量を少なくすることはできない。この方法は例えば ARM 社の Thumb 技術の例がある [31]。使用頻度の高い命令コードの命令長を小さく圧縮することで、70% 以下のコード量が実現できている。

また、データ部を小面積化する方法として、キャッシュをユニファイドキャッシュ構成にして使用する方法がある。¹² この方法の例としては IBM 社の PowerPC601 の例がある。ユニファイドキャッシュは命令とデータを同時に一つのキャッシュで管理しているため、プログラムによって異なる命令とデータの使用量に対して、キャッシュ容量分配を自動的に行える特徴がある。これにより実効的にキャッシュ容量が増加したように見える。

¹² 基本的にプログラム内蔵方式のコンピュータは、命令とデータを 1 つの主記憶に入れる。同様にキャッシュも、命令とデータを混載させることが可能である。この方法のキャッシュを統合キャッシュ (ユニファイドキャッシュ) と呼ぶ。これに対し、キャッシュを、データを保持するデータキャッシュと命令を保持する命令キャッシュに分離する方法がある。このキャッシュを分離キャッシュ (セパレートキャッシュ) と呼ぶ。

ところが、ユニファイドキャッシュでは命令とデータを同時に転送できないという欠点がある。それに対して、セパレートキャッシュであれば、パイプラインの各段階で各キャッシュにアクセスできる(命令をフェッチするユニットは命令キャッシュにアクセスし、データにアクセスするユニットはデータキャッシュにアクセスする)。特に近年では、スーパースカラ方式や Out-of-order 処理などにより、メモリとのデータ転送速度がボトルネックになっているため、上記欠点はマイクロプロセッサの性能に顕著に現れてくる。このため、今日のほとんど全てのマイクロプロセッサではセパレートキャッシュが用いられている。

ここでは前記ユニファイドキャッシュ方式を採用した場合の課題を解決するために、キャッシュを2ポート化する方式を提案する。2ポート化することにより、各ポートに命令とデータを割り当てることで、同時転送が可能になる。

4.6.2 キャッシュの2ポート化

キャッシュを2ポート化する方法としては、

- (1) 2ポートメモリセルを用いる。
- (2) キャッシュをパイプライン化することで、1クロックで2つのアクセスをシーケンシャルに処理する。
- (3) キャッシュを多数のバンクに分けて構成し、インターリーブ化することで2つのアクセスを異なる二つのバンクに分散して処理する。
- (4) キャッシュを2重化し、2つのアクセスをそれぞれのキャッシュに分散する。

がある。方法(1)はメモリセルが大きくなり、面積あたりの容量が減少するという欠点がある。方法(2)はIBMのPOWER2[32]やNexGenのNx686[33]等多数のデータキャッシュに用いられている。しかし、2回のアクセス要求をシーケンシャルに実行しなければならないという欠点がある[34]。メモリのパイプライン動作を高速化する方式として、ラッチを用いずにパイプライン動作を行うウェーブパイプライン方式[35, 36]が提案されているが、まだ実際の製品で用いられている例は少ない。

方法(3)は2つポートからのアクセスが同時に同一のバンクにアクセスできないという競合条件があり、その時の処理が複雑になるという欠点があつて実際のマイクロプロセッサに用いられている例は少ない。方法(4)はマルチプロセッサにおいて、各プロセッサに1次キャッシュを格納している例を挙げることができる。この方法では、多重化したキャッシュ間でのコヒーレンスを維持する必要があり、制御が複雑化するのに加えて、面積あたりの容量が半分以下になってしまうという欠点がある。

ここで必要な2ポートキャッシュは、それぞれのポートが命令(I)とデータ(D)のポートに割り当てられるため、各ポート(I,D)間にどちらを先に書き込みあるいは読みださなければならないといった依存関係がない。そのため、競合したときの処理が容易にできるという特徴があり、方法(3)の方式がバンク競合が少なく用いることができる。ここでは、このバンク分けによる2ポート化よりもさらに競合率が小さい2ポートユニファイドキャッシュ構造を提案する。

4.7 ビット線分離型ユニファイドキャッシュ

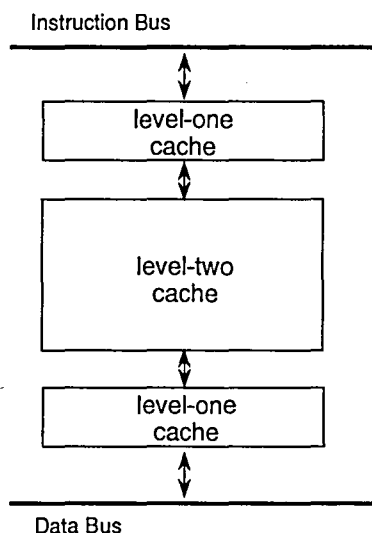


図 4.20 メモリ階層化方式を用いたメモリの2ポート化。

ここではメモリ階層化によって、ユニファイドキャッシュの2ポート化を行う。図 4.20 にその概念図を示す。2ポート化するユニファイドキャッシュを2次キャッシュとして使用し、それに小容量の1次キャッシュを命令用とデータ用に設ける。これにより、実効的にユニファイドキャッシュを2ポート化できる。しかし、この方法ではメモリの階層化による制御の複雑化や面積オーバーヘッドが課題となる。ここではこれらの課題を4.4.2節で述べたビット線分離型メモリ階層方式を用いることで解決した、ビット線分離型ユニファイドキャッシュを提案する [3, 4]。

4.7.1 全体構成

図 4.21にビット線分離型ユニファイドキャッシュ(Separated Bit-line Unified Cache; SBUC)のブロック図を示す。命令バスとデータバスに接続された二つのポートを備えている。メモリアレイは4.4.2節で提案したビット線分離型メモリ階層方式によって3つに分割(L1-array/L2-array/L1-array)されている。二つのL1-arrayはそれぞれ命令とデータに専用で、セパレートキャッシュとして働く。一方、L2-arrayは命令とデータで共有化しており、ユニファイドキャッシュとして働く。容量は二つのL1-arrayがそれぞれ2KBで、L2-arrayが32KBである。連想度は4wayでラインサイズは256b、ページサイズは4KBを仮定している。

基本的にSBUCでは、図 4.20に示したメモリ階層化によってユニファイドキャッシュの2ポート化を実現している。しかし、ビット線分離型メモリ階層方式を用いているため、通常のメモリ階層化とは異なり、二つのL1-arrayと一つのL2-arrayで周辺回路を共有しており、面積オーバーヘッドが小さい。また、従来のメモリ階層化の場合に必要な1次キャッシュと2次キャッシュを接続するバスが不要であり、これによる面積オーバーヘッドも小さい。一方、L2-arrayだけを持つ1ポートのユニファイドメモリと比較すると、2つのL1-array分の面積オーバーヘッドがあるが、L1-arrayは後で述べるように非常に小さな容量でよく、その面積オーバーヘッドは10~20%以下であるといえる。

図 4.22にSBUCのデータ部の回路図を示す。階層スイッチ(HSW)と呼ぶCMOSスイッ

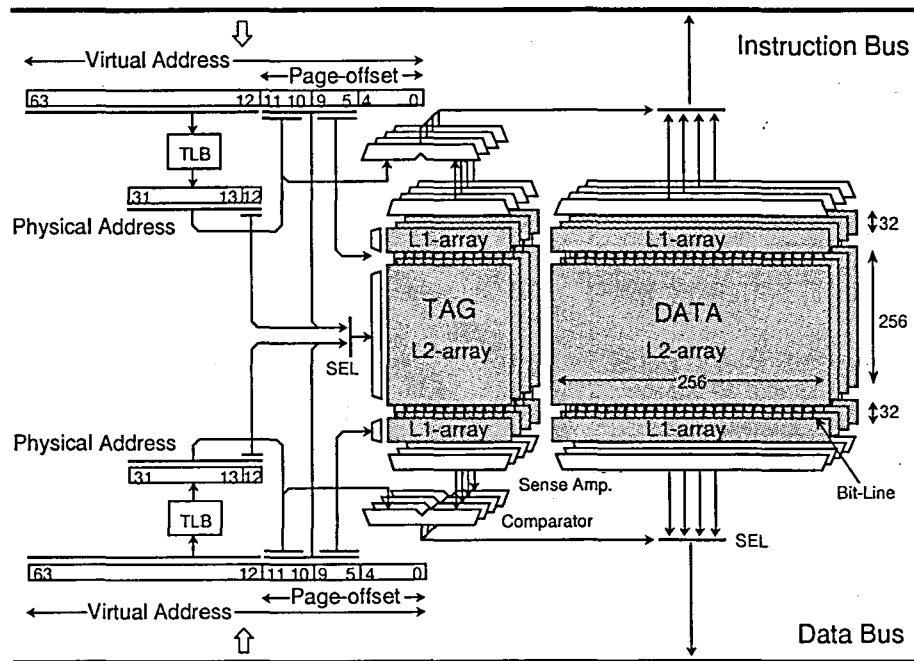


図 4.21 ビット線分離型ユニファイドキャッシュ

チによって、L1-array のビット線 ($BL1, \overline{BL1}$) と L2-array のビット線 ($BL2, \overline{BL2}$) が接続されており、同様に、L1-array のビット線 ($BL3, \overline{BL3}$) と L2-array のビット線 ($BL2, \overline{BL2}$) も接続されている。センスアンプは二つの L1-array のビット線 ($BL1, \overline{BL1}$) とビット線 ($BL3, \overline{BL3}$) に接続され、それぞれ命令バスとデータバスに接続されている。

一方、命令バスとデータバスからのアドレスはそれぞれプリデコードされ、二つの L1-array のデコーダに接続されている。また、それらのプリデコードアドレスはデコーダスイッチ (DSW) を介して L2-array のデコーダに接続されている。

アクセス方法は以下のように行う。

- (1) 要求されたデータが L1-array にある場合 (L1-hit 時)、階層スイッチ (HSW) とデコーダスイッチ (DSW) がオフされて、L1-array のアクセスされる。センスアンプに接続されるビット線は L1-array のビット線 ($BL1, \overline{BL1}$) のみであるため、高速な読み出し動作が実現できる。
- (2) 要求されたデータが L1-array になく、L2-array にある場合 (L1-miss, L2-hit 時)、階層スイッチ (HSW) とデコーダスイッチ (DSW) がオンされ、L2-array がアクセスされる。L2-array から読み出されたデータは L1-array のビット線 ($BL1, \overline{BL1}$) を介してセンスアンプによって増幅されるが、増幅開始と同時に階層スイッチ (HSW) をオフする。これによって、センスアンプは増幅したデータを L1-array のビット線 ($BL1, \overline{BL1}$) を介して L1-array 上のメモリセルに書き込むことになる。このようにして L1-array のリプレースが付加サイクル無しで実行され、二つの L1-array は L2-array のキャッシュとして働く。
- (3) 書き込み時には、階層スイッチ (HSW) とデコーダスイッチ (DSW) をオンして、L1-array と L2-array に同じに書き込みが実現される。すなわち、ライトアロケートのライトスルー方式で書き込みが実行される。

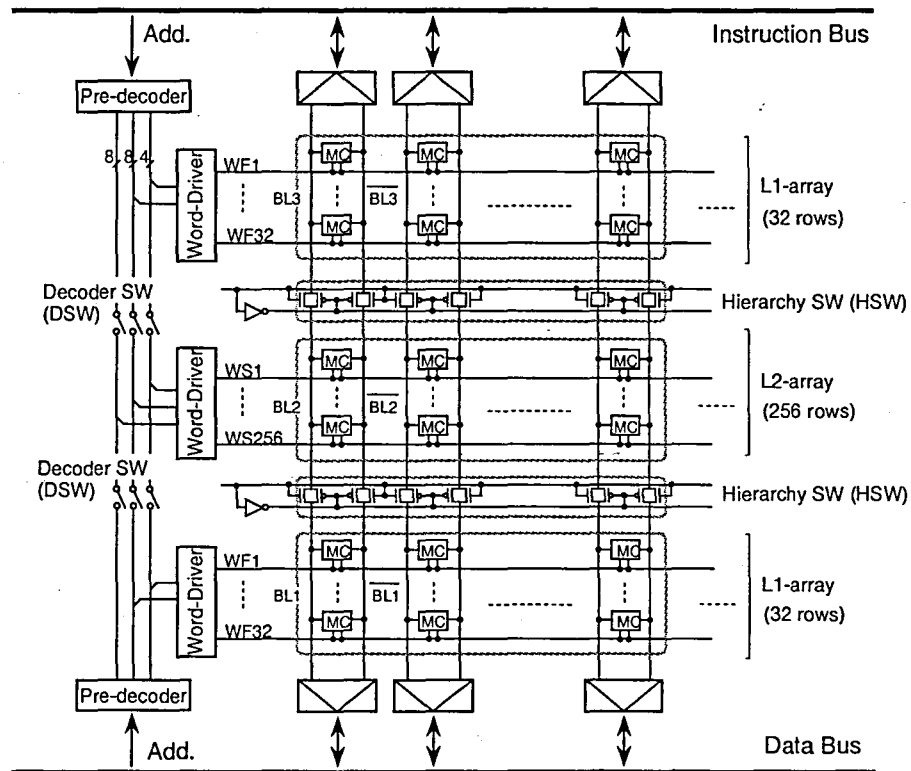


図 4.22 ビット線分離型ユニファイドキャッシュのデータ部の回路図

4.7.2 競合問題

通常の2ポートメモリでは、それぞれのポートからのアクセスに対するコヒーレンシの問題が生じることが多い。しかし、SBUCでは、一つのポートを命令バスに接続し、もう一つのポートをデータバスに接続することにより、両者の間でのコヒーレンシの問題を回避している。しかし、L2-arrayのアクセス時の競合は避けられない。ここではこのユニファイドキャッシュとして扱うL2-arrayの競合条件とその生起確率について述べる。

表 4.2 競合条件とその確率

命令ポート	データポート	確率
READ L1-miss	READ L1-miss	$1/10 \times (1/10 \times 2/3) = 1/150$
READ L1-miss	WRITE	$1/8 \times 1/3 = 1/30$
合計		$1/25$

表 4.2は競合条件とその生起確率を示す。2種類の競合条件がある。ここでは、L1-miss率は1/10で、全アクセス中での書き込みアクセスの割合を1/3とした。

第1の競合は、命令バスとデータバスからのそれぞれのL1-arrayアクセスが両方ともミスした場合である。この時には命令バスとデータバスが同じにL2-arrayにアクセスする必要があるために競合が生じる。その確率は1/150である。また、第2の競合は、命令バスからのL1-arrayアクセスがミスし、データバスから書き込み要求が発生した場合である。この場合にも命令バスとデータバスが同じにL2-arrayにアクセスする必要があるために競

合が生じる。その確率は $1/30$ である。結局、全体での競合確率は $1/25$ となる。

4.6.2 節で述べたバンク分け方式の場合の競合率はバンク数により異なるが、速度等を考慮すると現実的にはバンク数は8程度であり、その時の競合率はアクセス条件によらずに $1/8$ となる。本方式の方が競合確率が小さいことがわかる。

4.7.3 方式性能評価

ここでは、トレース駆動シミュレータを用いて行った SBUC の方式性能の評価の結果を述べる。¹³ シミュレーション条件は 4.3.1 節で用いたものと同じである。

図 4.23 および図 4.24 にそれぞれ命令部とデータ部の L1-array のミス率 (L1-miss 率) の L1-array 容量依存性を示す。平均して約 10% で、ほとんど全ての条件で 20% 以下の値が得られている。これにより、4.7.2 節で示した競合条件が妥当なものであることがわかる。

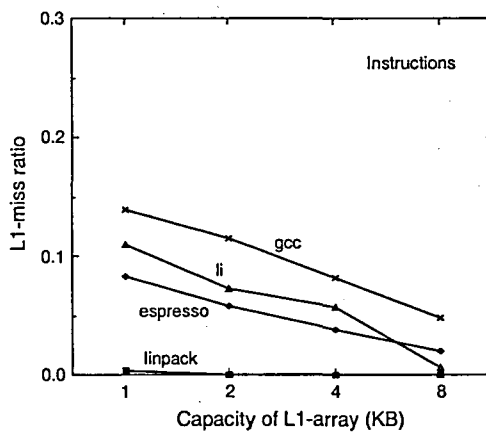


図 4.23 命令部 L1-miss 率の L1-array 容量依存性

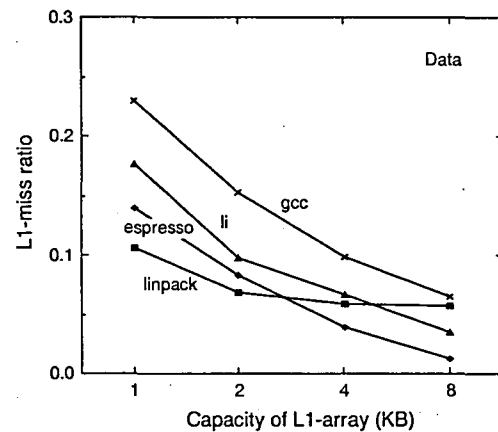


図 4.24 データ部 L1-miss 率の L1-array 容量依存性

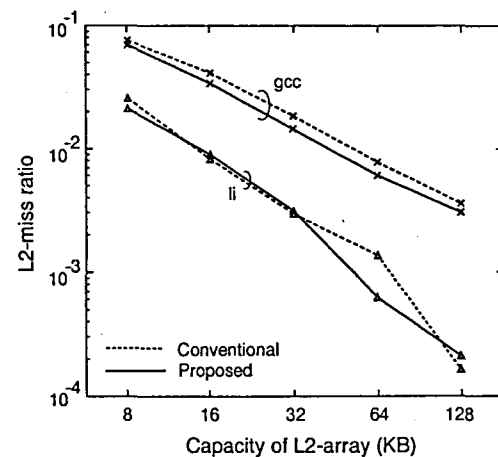
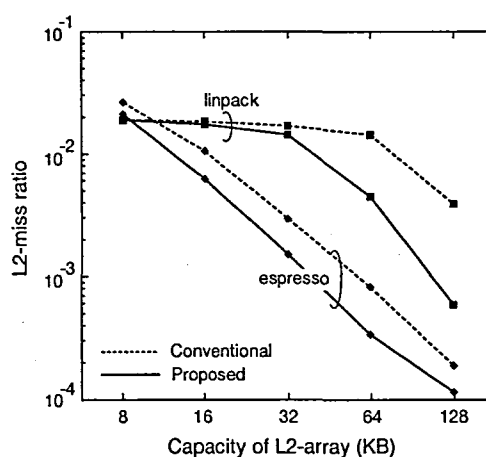


図 4.25 L2-miss 率の L2-array 容量依存性 (実線) と、L2-array の容量の半分の容量を持つ二つのキャッシュをセパレート方式で使用した時のミス率 (破線)。

¹³ 回路性能については、4.4.2 節から容易に類推できるためにここでは省略する。

図 4.25 にビット線分離型ユニファイドキャッシュを用いたときと、その半分の容量のキャッシュを命令用とデータ用に 2 つ持つセパレートキャッシュを用いたときの、ミス率のシミュレーション結果を示す。L1-array の容量は L2-array の容量の 1/8 を用いた。図 4.25 から、linpack でのシミュレーション結果では、ユニファイド化することでミス率をセパレート方式でキャッシュ容量を 2 倍にした時の値にまで抑えられており、大きな効果が得られている。これは linpack の扱うデータ量が大きく、データキャッシュのミス率がほとんど容量性のミス¹⁴であることに起因するものと考えられる。それに対して、li や gcc ではあまり効果が見られない。これは命令とデータのアクセスの局所性が同程度であるためと考えられる。espresso は li や gcc と比較し若干扱うデータ量が大きいいためある程度の効果がある。

以上の結果から、キャッシュの容量が大きく、実行するプログラムの扱うデータ量あるいは命令量が多いほどビット線分離型ユニファイドキャッシュの効果が大きく、実効的なキャッシュ容量が増加することがわかる。命令量に対して扱うデータ量が多いようなマルチメディア用途では本方式が有効に働き、面積効率がよくなると考えられる。

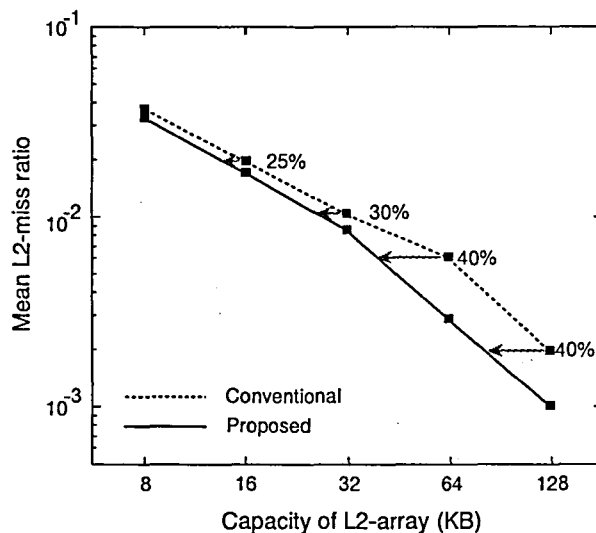


図 4.26 平均 L2-miss 率の L2-array 容量依存性

図 4.26 は、図 4.25 の 4 つのベンチマークプログラムでの結果を平均化したものである。図 4.26 から、従来の 32KB のキャッシュと同じヒット率が、約 30% 減すなわち 70% の容量の SBUC で実現できることがわかる。同じく従来の 64KB 以上の容量の従来のキャッシュと同じヒット率が、約 40% 減すなわち 60% の容量の SBUC で実現できることがわかる。

SBUC の L2-array の容量の半分の容量のシングルポートのキャッシュを二つ用いたセパレートキャッシュとの面積を比較すると、SBUC は、二つ分の L1-array の面積と、キャッシュコントローラが複雑化することによる面積増加が新たに増える。しかし、全体の面積に対しては僅かであるといえる。逆に、ユニファイド化により実効的な容量が増加しているので、ヒット率一定で比較すれば面積効率はよくなっている。

¹⁴ キャッシュのミスには 3 種類のミスが存在する。一つ目は、compulsory ミスと呼ばれるミスで、キャッシュに初めてデータがロードされるときに生じるミスである。二つ目は、capacity ミスと呼ばれるミスで、キャッシュの容量が足りないこととなら生じるミスである。三つ目は、conflict ミスと呼ばれるミスで、連想度不足から生じるミスである。

4.8 結言

本章では低電圧キャッシュの高速・低電力化について論じた。まず始めに、キャッシュの低電圧化の推移と課題について述べた後、2次キャッシュまでのメモリの階層化を行ったときの、メモリの実効動作速度(実効レイテンシ)の評価を行った。その結果、以下のことがわかった。

- (1) 1次キャッシュのレイテンシが1の場合、その容量が4-8KBあれば、2次キャッシュのレイテンシが4であっても、1次キャッシュのみで構成した場合と比較したレイテンシの増加を20%以下に抑えることができる。また、2次キャッシュのレイテンシが2の場合、レイテンシの増加を10%以下に抑えることができる。
- (2) 2次キャッシュとして1MB以上ある場合、その容量をさらに増やすよりもそのレイテンシを短縮する方が実効レイテンシの短縮に効果的である。

小容量のSRAMは低電圧でも高速に動作するため、上記メモリ階層化は、低電圧のメモリの動作速度を向上させるためにも効果的である。しかし、この方法は階層化によって回路規模が増大するという課題がある。この課題を解決するために、一つのメモリセルアレイでメモリの階層化を可能にする、ビット線分離型メモリ階層方式を提案した。

次に、上記ビット線分離型メモリ階層方式を用いた、16KB+2KB 4ウェイ・セット・アソシアティブ構造のキャッシュの試作結果を述べた。試作には0.25 μ m CMOSテクノロジーを用いた。また本試作ではさらに、キャッシュに特有のTAG回路の低電力化のために新たに開発したドミノ型タグ比較器の提案も行った。この結果、以下のことがわかった。

- (1) ビット線分離型メモリ階層方式により、1V動作時での実効レイテンシを、従来メモリ構造の9.1nsから、6.9nsにまで約25%高速化でき、消費電力を約23%低電力化できる。
- (2) ドミノ型タグ比較器により、タグ部の消費電力を約30%低減できる。
- (3) キャッシュ容量が増加しても実アドレスインデックス可能で、エイリアシングの問題がない。

また、キャッシュは電力を多く消費するチップ外アクセスを低減することが可能であり、マイクロプロセッサ等のLSIの低電力化に有効である。そこで、高ヒット率が得られるユニファイドキャッシュについても論じた。一般にユニファイドキャッシュは命令バスからのアクセスとデータバスからのアクセス競合が課題となる。この解決策として、ユニファイドキャッシュを前記ビット線分離型メモリ階層方式を用いて階層化して2ポート化した、ビット線分離型ユニファイドキャッシュを提案した。ベンチマークプログラムを用いたシミュレーションによる結果、このキャッシュは上記ビット線分離型メモリ階層化の効果に加えて、以下のような特徴があることがわかった。

- (1) 従来の32KBのキャッシュと同じヒット率を約70%の容量で実現でき、同じく従来64KB以上の容量のヒット率を従来の約60%の容量で実現できる。
- (2) ビット線分離型メモリ階層構造を使って1/25のアクセス競合確率で2ポート化が実現できる。

参考文献

- [1] H. Mizuno, N. Matsuzaki, K. Osada, T. Shinbo, N. Ooki, H. Ishida, K. Ishibashi and T. Kure, "A 1-V 100-MHz 10-mW Cache Using a Separated Bit-Line Memory Hierarchy Architecture and Domino Tag Comparators", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 152-153, Feb. 1996.
- [2] H. Mizuno, N. Matsuzaki, K. Osada, T. Shinbo, N. Ooki, H. Ishida, K. Ishibashi and T. Kure, "A 1-V 100-MHz 10-mW Cache Using a Separated Bit-Line Memory Hierarchy Architecture and Domino Tag Comparators", *IEEE J. of Solid-State Circuits*, vol. 31, no. 11, pp. 1618-1624, Nov. 1996.
- [3] H. Mizuno and K. Ishibashi, "A Cost-Oriented Two-Port Unified Cache for Low-Power RISC Microprocessors", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 72-73, June 1996.
- [4] H. Mizuno and K. Ishibashi, "A Separated Bit-Line Unified Cache: Conciliating Small On-Chip Cache Die-Area and Low Miss Ratio", *IEEE Trans. Very Large-Scale Integration (VLSI) Systems*, vol. 7, no. 1, pp. 139-144, March 1999.
- [5] J.L. Hennessy and D.A. Patterson, "Computer Architecture A Quantitative Approach 2nd Eds.", Morgan Kaufmann Publishers, Inc., p. 417, 1995.
- [6] K. Boland and A. Dollas, "Predicting and Precluding Problems with Memory Latency", *IEEE Micro*, pp.59-67, Aug. 1994.
- [7] T-F. Chen and J-L Baer, "Effective Hardware-Based Data Prefetching for High-Performance Processors", *IEEE Trans. Computers*, vol. 44, no. 5, pp. 609-623, May 1995.
- [8] W.J. Bowhil, R.L. Allmon, S.L. Bell, E.M. Copper, D.R. Donchin, J.H. Edmondson, T.C. Fischer, P.E. Gronowski, A.K. Jain, P.L. Kroesen, B.J. Loughlin, R.P. Preston, P.I. Rubinfeld, M.J. Smith, S.C. Thierauf and G.M. Wolrich, "A 300MHz 64b Quad-Issue CMOS RISC Microprocessor", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 182-183, Feb. 1995.
- [9] N.P. Jouppi, "Improving direct-mapped cache performance by the addition of a small fully associative cache and prefetch buffers", *Proc. 17th Ann. Int'l Symp. Computer Architecture (ISCA)*, pp. 364-373, May 1990.
- [10] J.T. Pawlowski, "Secondary cache increases performance and reduces power use in portable PCs", *EDN*, pp. 135-140, Nov. 1994.
- [11] D.B. Lidsky and J.M. Rabaey, "Low-Power Design of Memory Intensive Functions", *IEEE Symposium on Low Power Electronics*, pp. 16-17, 1994.
- [12] S.A. Przybylski, "Cache and Memory Hierarchy Design; A Performance-Directed Approach", Morgan Kaufmann Publishers, Inc., 1990.
- [13] J.D. Gee, M.D. Hill and A.J. Smith, "Cache Performance of the SPEC92 Benchmark Suite", *IEEE Micro*, pp.17-27, Aug. 1993.
- [14] *SPEC Newsletter*, vol. 3, no. 4, pp. 14-21, 1991.
- [15] N. Kushiyama, C. Tan, R. Clark, J. Lin, F. Perner, L. Martin, M. Leonard, G. Coussens, K. Cham and K. Chiu, "A 295MHz CMOS 1M (x256) Embedded SRAM using Bi-directional Read/Write Shared Sense Amps and Self-Timed Pulsed

- Word-Line Drivers", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 304-305, Feb. 1995.
- [16] A.J. Smith, "Cache memories", *Computer Surveys*, vol. 14, pp. 473-530, Sept. 1982.
 - [17] Y. Shimazaki, K. Norisue, K. Ishibashi and H. Maejima, "An 8-mW 8-kB cache memory using an automatic-power-save architecture for low power RISC microprocessors", *IEICE Trans. Electron.*, vol. E79-C, no. 12, pp. 1693-1698, 1996.
 - [18] L. Liu, "Partial Address Directory for Cache Access", *IEEE Trans. Very Large-Scale Integration (VLSI) Systems*, vol. 2, no. 2, pp. 226-240, June 1994.
 - [19] D. Bearden, R. Bailey, B. Beavers, C. Gutierrez, C-C. Kau, K. Lewchuk, P. Rossbach and M. Tabom, "A 133MHz 64b Four-Issue CMOS Microprocessor", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 174-175, Feb. 1995.
 - [20] C.E. Wu, Y. Hsu and Y-H. Liu, "A Quantitative Evaluation of Cache Types for High-Performance Computer Systems", *IEEE Trans. Computers*, vol. 42, no. 10, pp. 1154-1162, Oct. 1993.
 - [21] R.E. Klessner, R. Jooss, A. Lebeck and M.D. Hill, "Inexpensive Implementations of Set-Associativity", *Proc. 16th Ann. Int'l Symp. Computer Architecture (ISCA)*, pp. 131-139, 1989.
 - [22] M.D. Hill, A.J. Smith, "Evaluating Associativity in CPU Caches", *IEEE Trans. Computers*, vol. 38, no. 12, pp. 1612-1630, Dec. 1989.
 - [23] A.J. Smith, "Line (Block) Size Choice for CPU Cache Memories", *IEEE Trans. Computers*, vol. 36, no. 9, pp. 1063-1075, Sept. 1987.
 - [24] R.E. Kessler and M.D. Hill, "Page Placement Algorithms for Large Real-Indexed Caches", *ACM Trans. on Computer Systems*, vol. 10, no. 4, pp. 338-359, Nov. 1992.
 - [25] H.S. Stone, J. Turek and J.L. Wolf, "Optimal Partitioning of Cache Memory", *IEEE Trans. Computers*, vol. 41, no. 9, pp. 1054-1068, Sept. 1992.
 - [26] N.P. Jouppi, "Cache Write Policies and Performance", *Proc. 20th Ann. Int'l Symp. Computer Architecture (ISCA)*, pp. 191-201, May 1993.
 - [27] A.J. Smith, "Bibliography and readings on CPU cache memories and related topics", *Computer Architecture News*, Jan. 1986.
 - [28] A.J. Smith, "Second bibliography on Cache Memories", *Computer Architecture News*, June 1991.
 - [29] A. Seznec, "Decoupled Sectored Caches: conciliating low tag implementation cost and low miss ratio", *Proc. 21st Ann. Int'l Symp. Computer Architecture (ISCA)*, pp. 384-393, May 1994.
 - [30] H. Wang, T. Sun and Q. Yang, "CAT — Caching Address Tags, A technique for Reducing Area Cost of On-chip Caches", *Proc. 22nd Ann. Int'l Symp. Computer Architecture (ISCA)*, pp. 381-390, May 1995.
 - [31] J.L. Turley, "Thumb Squeezes ARM Code Size", *MICROPROCESSOR REPORT*, pp.6-9, March 1995.
 - [32] 例えば, S. Weiss and J.E. Smith, "PowerPC 詳説 POWER から PowerPC へ", トムソン・パブリッシング ジャパン (オーム社), p153, 1995.
 - [33] L. Gwennap, "Nx686 Goes Toe-to-Toe with Pentium Pro", *MICROPROCESSOR REPORT*, pp.6-10, Oct. 1995.

- [34] G. Bracer, T. Frederick, S. Hall, G. Koch, R. McDonald, R. Purvee and R. Ross, "A 200MHz Internal / 66MHz External 64kB Embedded Virtual Three-Port Cache SRAM", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 262-263, Feb. 1994.
- [35] T.I. Chappell, B.A. Chappell, S.E. Schuster, J.W. Allan, S.P. Klepner, R.V. Joshi and R.L. Franch, "A 2-ns Cycle, 3.8-ns Access 512-kb CMOS ECL SRAM with a Fully Pipelined Architecture", *IEEE J. of Solid-State Circuits*, vol. 26, no. 1, pp. 1577-1585, Nov. 1991.
- [36] S. Tachibana, H. Higuchi, K. Takasugi, K. Sasaki, T. Yamanaka and Y. Nakagome, "A 2.6-ns Wave-pipelined CMOS SRAM with Dual-Sensing-Latch Circuits", *IEEE J. of Solid-State Circuits*, vol. 20, no. 4, pp. 487-490, Apr. 1995.

第 5 章

低電圧 DRAM 回路の高速化

5.1 緒言

多種多様の回路要素が集積化される SOC では、「低電圧化に伴う回路特性不整合」の課題は深刻である。本章では SOC の代表的な例として、ロジック LSI に DRAM を混載した DRAM 混載ロジック LSI を取り上げ、この課題について論ずる。特に DRAM のセンス系回路は、CMOS ロジック回路とは異なってアナログ回路的な要素を多く含む。そのため、「低電圧化による回路特性不整合」の課題が生じやすく、これが「低電圧化による動作速度低下」をもたらす。

また、SOC 上の回路要素は個別チップ上で実現されてきたものとは異なる仕様になることが多い。たとえば、DRAM 混載ロジック LSI においては、混載 DRAM 回路は汎用 DRAM 回路よりも低電圧で動作させる必要がある。また、DRAM 混載ロジック LSI は単体の汎用 DRAM と比較して生産数が限られており、量産効果が生じ難い。そのため、DRAM 回路を混載するための製造プロセスの複雑化を低減することが強く望まれている。例えば、DRAM 回路で使用するトランジスタ仕様を、ロジック LSI で使用するトランジスタ仕様に合わせる等の必要がある。本章ではまず始めに、これらの事柄を SOC の基本設計事項としてまとめる。

次に、上記基本設計方針に従って、従来の汎用 DRAM に用いられている代表的なセンスアンプ回路の低電圧動作時の課題について論ずる。代表的な課題として、(1) 読み出し速度の高速化、(2) 再書き込み時間の高速化、(3) 書き込み時間の高速化、(4) 電源系回路の高効率化、(5) メモリセルからの読み出し電圧確保等が挙げられるが、ここでは特に重要な (1)、(2)、(3) について検討する。

以上の検討結果をもとにして、上記基本設計方針に沿ったロジック LSI へ混載する新しい DRAM センス系回路を提案する [1]。このセンス系回路では、3 つの低電圧高速化方式を新たに考案する。読み出し速度はディアルプリチャージ方式によって高速化し、さらに、再書き込み時間はシングル・ビット線再書き込み方式と PMOS ダイレクトセンス方式によって高速化する。本章ではそれらの方式の低電圧動作特性について詳しく述べる。

5.2 低電圧混載 DRAM 回路の基本設計方針

ロジック LSI に大規模 DRAM を混載した LSI としては、古くから試作例が多く報告されている。例えば、1988 年には、汎用 DRAM チップにゲートアレイを集積して、メモリ以外の機能を付加した LSI の試作例が発表されている [2]。近年では、32b マイクロプロセッサと 16Mb の DRAM を同一チップ上に集積した例がある [3]。

同一チップに異なる回路を集積する結果生じる課題としては、複数の異なる製造プロセスで製造していた回路を、共通の一つの製造プロセスで作成しなければならない [4]。各回路の回路構成についても、別々のチップ上で動作するように設計されていたものを、一つのチップ上の同一環境で動作するようにしなければならないという課題もある。たとえば、従来の単体の汎用 DRAM では、その内部電源電圧やトランジスタ仕様を DRAM のセル構造や周辺回路用にある程度最適化することができた。しかし、ロジック LSI に混載する DRAM では、それらをロジック回路で用いられる電源電圧やトランジスタ仕様に合わせる必要がある。特に電源電圧の不一致は深刻な課題である。このようにロジック LSI に混載する低電圧 DRAM 回路では、汎用 DRAM 回路にはない多くの考慮しなければならない設計事項がある。以下にそれらをまとめ、「基本設計事項」として以下の検討を進めることにする。

高整合回路設計

DRAM 回路を混載したロジック回路の性能劣化が生じないように、DRAM 回路の特性がロジック回路の特性と整合するように設計する必要がある。具体的には、電源電圧や温度変動等の環境変化に対する回路の諸特性変化がそれぞれ似た特性変化になるように回路を設計する。また、世代毎のロジック回路と DRAM 回路の速度トレンドについても、両者で整合するように設計する必要がある。

低プロセス負荷回路設計

DRAM 混載ロジック LSI は単体の汎用 DRAM と比較して生涯生産数が限られており、量産効果が生じ難い。そのため、DRAM 混載ロジック LSI は低コストである必要がある。したがって、DRAM 回路を混載するために生じる製造プロセスの複雑化を低減するために、DRAM 回路で使用するトランジスタ仕様をロジック LSI で使用するトランジスタ仕様に合わせる必要がある。

ロバスト回路設計

DRAM 混載ロジック LSI の低コスト化には高い歩留りを得ることが重要である。したがって、回路的に高歩留り化が高くなるような回路構成にする必要がある。具体的には電源電圧変動やしきい値ばらつき変動に対して、DRAM 回路の特性変動がなるべく小さくなるように回路を構成したり、複雑なタイミング制御を必要としないタイミングレス回路で構成することが望ましい。

高電力効率設計

本来、低電圧化は低電力化のための一つの方法である。したがって、無意味に低電圧化するのではなく、低電圧化することにより電力が削減できる回路だけを低電圧化することが望ましい。また、DRAM 回路は多種の電源を使用するが、電力効率を考慮するとそれぞれの電源の電圧値はロジック LSI に供給する電源の電圧値と同一であるか、あるいはそれらから高効率に生成できる電圧値になるように設計する必要がある。

5.3 DRAM センス系回路の低電圧化の課題

ここではまずはじめに、今まで提案されている主な DRAM センス系回路について概要を述べた後、センス時間の低電圧特性の評価結果を述べる。

5.3.1 従来センス系回路の概要

DRAM 回路を低電圧化することで生じる課題の多くは、ロジック回路を低電圧化した際に生じる課題と類似したことが多い。例えば、第 2 章で述べた MOS トランジスタの低しきい値化にともなうサブスレッショルドリーク電流の増加は、ロジック回路での最重要課題の一つであると同時に、DRAM 回路でも非常に重要な課題である。しかし、DRAM 回路は回路動作がロジック回路と比較して限定されているため、上記課題の解決策は比較的容易である。一方、低電圧化の際の DRAM 回路特有の課題としては、センス系回路の速度劣化が挙げられる。

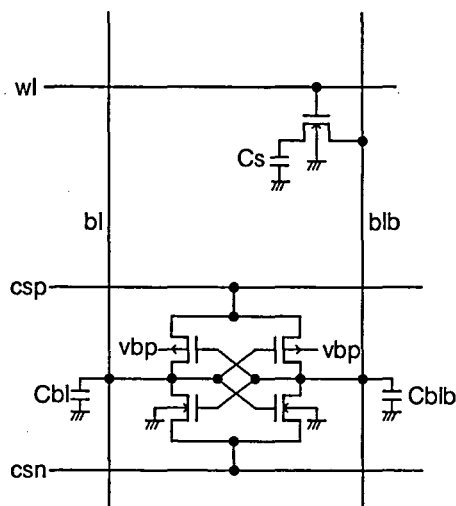


図 5.1 DRAM のセンスアンプの基本回路図。bl、blb はビット線。csp、csn はそれぞれ共通センス線を示している。また、vbp はセンスアンプ内の PMOS の基板電位である。

図 5.1 に DRAM のセンスアンプの基本回路図を示す。DRAM 回路では、メモリセル内のキャパシタンス (容量: C_s) に蓄えられた電荷をチャージシェアによってビット線 (bl, blb) に読み出し、その読み出された微小な電圧 V_s をセンスアンプで増幅する。図 5.1 では、純粋にセンスアンプ回路の低電圧特性を議論するために、プリチャージ回路等のセンスアンプ以外の付加回路はすべてビット線への寄生容量に置き換えている。このセンスアンプのセンス方式は大きく分けて以下の 3 種類に分類できる。

- (1) Half- V_{cc} プリチャージ方式
- (2) V_{cc} プリチャージ方式
- (3) オーバドライブ方式

図 5.2 に、それぞれのセンス方式でのセンスアンプ起動前後の波形を示す。ここでは、ワード線をアサートした後にビット線対に現れる電位差 V_s を 100 mV と仮定した。以下、それぞれの方式の動作速度以外の特徴を簡単に述べた後、各センス系回路の低電圧化による速度劣化の評価を行う。

なお、その他のセンス方式として、初期センス期間において、センスアンプとビット線を切り離しセンスアンプから見える容量を小さくして高速センス動作を得る方式 (ビット

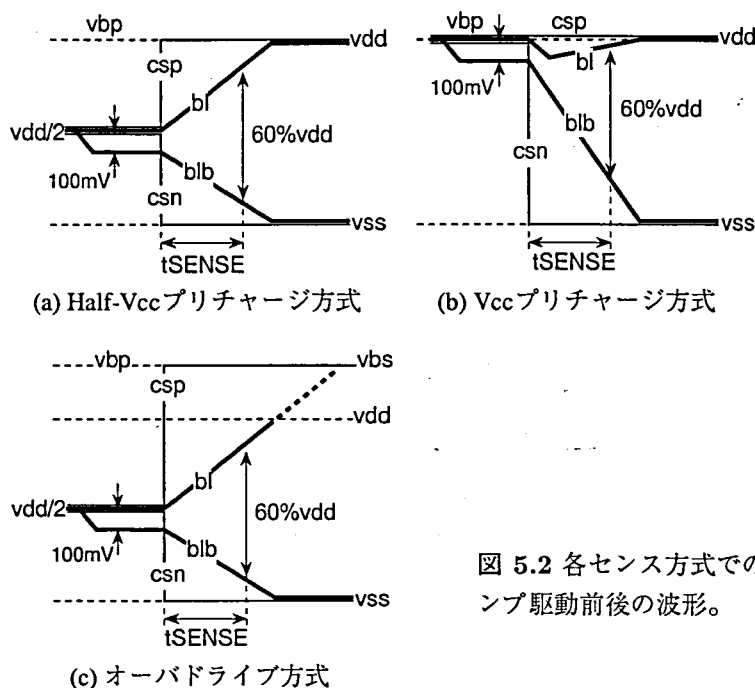


図 5.2 各センス方式でのセンスアンプ駆動前後の波形。

線分離センス方式) [5] や、センス時にセンスアンプを構成しているトランジスタのウェルを駆動して、しきい値を下げて高速センス動作を得る方式 (ウェル駆動方式) [6] が提案されている。さらにまた、センスアンプ自体の構造を改良した方式として、読み出し用のセンスアンプと再書き込み用のアンプを分離して、読み出し用のセンスアンプの起動タイミングを早めることにより高速読み出しを可能とする方式 (ダイレクトセンス方式) [7-9] も提案されている。また、低電圧時に高速なセンス動作を行うために提案された方式として、ビット線上の電荷を、アレイ電圧以上にプリチャージされたセンスアンプへ、ある電圧の印加されたトランスファ MOS を介して転送してプリセンス動作を行う Charge-transfer pre-sensing scheme [10] や、センスアンプ駆動前に、ビット線対を AC 的に駆動して、ビット線のプリチャージレベルを変化させる Charge-amplifying boosted sensing scheme [11] 等がある。その他、多くのセンス系回路およびセンス方式が提案されているが、ここではこれらの方式についての検討は省略する。

Half-Vcc プリチャージ方式

図 5.2(a) は、Half-Vcc プリチャージ方式のセンス方式で、最も一般的に使用されている方式である。ビット線対 (bl, blb) をアレイ電圧 (V_{DD}) の半分の電圧 ($V_{BM} = V_{DD}/2$) にプリチャージして、アレイ電圧 (V_{DD}) が印加されたセンスアンプでビット線電位を増幅する。

先に述べたように、DRAM 回路はメモリセル内のキャパシタンス (容量: C_s) に蓄えられた電荷をチャージシェアによってビット線 (容量: C_{bl} , C_{blb}) に読み出し、その読み出された微小な電圧 V_s をセンスアンプで増幅する。したがって、この微小電圧を確実に増幅するためにセンス系の差動化が必須である。Half-Vcc プリチャージ方式では、以下に示すようにメモリセルに “0” が記憶されていた場合と、“1” が記憶されていた場合とでビット線対に対称な正負の電位差を発生させることができるため、差動アンプによる増幅が可能で

あるという特徴がある。

$$V_s = V_{bl} - V_{blb} = \begin{cases} C_s / (C_s + C_{bl}) \times V_{DD} / 2 & (\text{"1" 記憶のとき}) \\ -C_s / (C_s + C_{bl}) \times V_{DD} / 2 & (\text{"0" 記憶のとき}) \end{cases} \quad (5.1)$$

また、 $V_{DD}/2$ というリファレンス電圧を容易に得ることができるという特徴もある。

一方、消費電力についても、プリチャージされているビット線対を V_{DD} および V_{SS} 電位まで充放電して、再びプリチャージするまでに必要な電力 P_{bl}^{Half} は、その周期を t_{RC} とすると、

$$\begin{aligned} P_{bl}^{Half} &= 1/t_{RC} \times C_{bl} \times (1/2 V_{DD})^2 \times 2 \\ &= 1/2 \times 1/t_{RC} C_{bl} V_{DD}^2 \end{aligned} \quad (5.2)$$

となり、3 種類のセンス方式で最も P_{bl} を小さくできる。

Vcc プリチャージ方式

図 5.2(b) は、Vcc プリチャージ方式のセンス方式で、ビット線 (bl,blb) 電位をアレイ電圧 (V_{DD}) にプリチャージして、アレイ電圧 (V_{DD}) が印加されたセンスアンプでビット線電位を増幅する方式である。この方式では、メモリセルに "0" が記憶されていた場合にはビット線対に電位差を発生させることができるが、"1" が記憶されていた場合には電位差を発生することができない。そのため、ビット線に発生する電位差の大小を比較する必要が生じる。一般的には、ダミーセル等を用いてリファレンス電位 ($(C_s / (C_s + C_{bl})) V_{DD} / 2$) を発生させ、メモリセルの情報の判定を行う必要がある。

$$V_s = V_{bl} - V_{blb} = \begin{cases} 0 & (\text{"1" 記憶のとき}) \\ -C_s / (C_s + C_{bl}) \times V_{DD} & (\text{"0" 記憶のとき}) \end{cases} \quad (5.3)$$

また、消費電力についても、プリチャージされているビット線対を V_{DD} および V_{SS} 電位まで充放電して、再びプリチャージするまでに必要な電力 P_{bl}^{Vcc} は、その周期を t_{RC} とすると、

$$\begin{aligned} P_{bl}^{Vcc} &= 1/t_{RC} \times C_{bl} \times V_{DD}^2 \times 2 \\ &= 2 \times 1/t_{RC} C_{bl} V_{DD}^2 \end{aligned} \quad (5.4)$$

となり、Half-Vcc プリチャージ方式の場合よりも多くの電力を消費する。

なお、プリチャージレベルを V_{SS} にしたり、あるいは V_{SS} よりも若干高い値に設定する方式も提案されているが [12]、消費電力および後で述べる動作速度については、Vcc プリチャージ方式と同様である。

オーバドライブ方式

図 5.2(c) は、オーバドライブ方式のセンス方式である。図 5.2(b) とセンスアンプ起動前にはビット線対 (bl,blb) は $V_{DD}/2$ の電圧にプリチャージされている。この方式では、ビット線 (bl,blb) 電位をアレイ電圧 (V_{DD}) の半分の電圧 ($V_{BM} = V_{DD}/2$) にプリチャージして、アレイ電圧よりも高い電圧 (V_{BS}) を一時的にセンスアンプに印加してビット線電位を増幅する [13]。センス時に大きな駆動電流が得られるために、センスアンプを高速に動作させることができる。また、Vcc プリチャージ方式と同様に、完全な差動増幅が可能である。

消費電力については、プリチャージされているビット線対を、 V_{BS} 電源を用いて V_{DD} および V_{SS} 電位まで充放電して、再びプリチャージするまでに必要な電力 P_{bl}^{Over} は、その周期を t_{RC} とすると、

$$\begin{aligned} P_{bl}^{Over} &= 1/t_{RC} \times C_{bl} \times ((1/2V_{DD})^2 + (1/2V_{DD} \times 1/2V_{BS})) \\ &= 1/4 \times 1/t_{RC} C_{bl} (V_{DD}^2 + V_{DD}V_{BS}) \end{aligned} \quad (5.5)$$

となる。 V_{BS} と V_{DD} の電圧比に応じて、Half- V_{cc} プリチャージ方式の場合よりも若干多くの電力を消費する。

なお、同様な概念を用いた方式として、ビット線のローレベル側を、 V_{SS} から浮かす BSG(Boosted Sense Ground) 方式 [14] も提案されている。ローレベルを V_{SS} から浮かし、センスアンプは V_{SS} に駆動することにより、上記オーバドライブ方式と同様な効果を得ることができる。

5.3.2 従来センス系回路におけるセンス時間の低電圧特性

以下、各センス方式におけるセンス時間の低電圧特性を詳細に評価する。

低電圧特性の評価方法

ここでは、純粋にセンスアンプ回路の特性を比較するために、図 5.1 で示したように、プリチャージ回路等のセンスアンプ以外の付加回路はすべてビット線への寄生容量 (130 fF) に置き換えて評価した。また、基本設計方針の「低プロセス負荷回路設計」に沿うように、MOS トランジスタは L_g が $0.15\mu\text{m}$ のデバイスを使用し、I/O 回路等に用いる厚ゲート酸化膜 MOS トランジスタと、論理回路等に用いる薄ゲート酸化膜 MOS トランジスタの 2 種類の酸化膜厚の MOS トランジスタが使用できるとした。表 5.1 に各 MOS トランジスタの諸元を示す。

表 5.1 解析に使用した MOS トランジスタの主要諸元

	薄膜 MOS *	厚膜 MOS **
ゲート長, L_g	$0.15\mu\text{m}$	$0.3\mu\text{m}$
ゲート酸化膜厚, t_{ox}	3.2nm	6.5nm
しきい値電圧, V_{th}^p	0.0V	-0.4V
V_{th}^n	0.0V	0.4V

* $T_j = 25^\circ\text{C}$, $V_{ds} = 1.5\text{V}$, $W = 15\mu\text{m}$, $V_{th} = V_{gs}$ at $I_{ds} = 10\text{nA}$, $V_{ds} = 1.5\text{V}$

** $T_j = 25^\circ\text{C}$, $V_{ds} = 3.3\text{V}$, $W = 15\mu\text{m}$, $V_{th} = V_{gs}$ at $I_{ds} = 10\text{nA}$, $V_{ds} = 3.3\text{V}$

センスアンプを構成する MOS トランジスタについては、Half- V_{cc} プリチャージ方式および V_{cc} プリチャージ方式については、各トランジスタのゲート・ソースあるいはゲート・ドレインに印加される電圧が V_{DD} 以下であるために、薄ゲート酸化膜 MOS トランジスタを用いた。オーバドライブ方式の評価については、 V_{DD} 電位よりも高い電位が印加される可能性があるため、厚ゲート酸化膜 MOS トランジスタを用いて行った。なお、センスアンプを構成する各 MOS トランジスタのゲート長は最小寸法で、ゲート幅は $1.5\mu\text{m}$ とした。

低電圧特性の評価結果

図 5.3、図 5.4、図 5.5 に図 5.2 の (a)～(c) に示した起動方式の時のセンス時間 (t_{SENSE}) の低電圧特性のシミュレーション結果を示す。センスアンプを構成する MOS トランジスタのしきい値電圧値¹ をパラメータとして、 $V_{\text{th}} = -0.1\text{V}, 0.0\text{V}, 0.1\text{V}, 0.2\text{V}, 0.3\text{V}$ の場合を計算した。温度については、 -40 度 (実線) と 125 度 (破線) の場合を計算した。

比較のために、図 5.6 にセンスアンプを構成する MOS トランジスタと同一構成のインバータ回路 ($F.O.=1$, $C_L = 130\text{fF}$) の遅延時間特性のシミュレーション結果を示す。

図 5.3 からわかるように、Half- V_{CC} プリチャージ方式の場合のセンス時間は、 1.4V 程度の低電圧になると温度 T_j が高い方が高速に動作している。この理由は、センスアンプの駆動電流が MOS トランジスタのドレイン電流のうち、ドリフト電流ではなくて拡散電流が支配的になっているからである。一般に拡散電流は温度や MOS トランジスタのしきい値に対して非常に敏感に変化する。(図 5.3 からわかるように、そのような領域では電源電圧やしきい値電圧等の変動に対するセンス時間の変動が大きくなっている。) したがって、このようなセンス時間特性を持つセンスアンプを使用すると、LSI の製造プロセスばらつきや LSI の動作環境ばらつきに対してセンス時間が大きく変化することになる。これは LSI の回路的な歩留り低下をもたらすという問題に発展し、結果的にこのような構成の回路を使用した LSI のコストを高くすることになる。

一方、図 5.6 からわかるように、通常の CMOS 論理回路の動作速度では、電源電圧がかなり低いあるいはしきい値がかなり高くない限り、低温の方が高速になっている。基本設計方針の「ロバスト回路設計」および「高整合回路設計」を満たすためには、CMOS 回路と同様に低温で高速になるような領域、すなわち、センス時間が MOS トランジスタのドリフト電流によって決定されている領域で回路を動作させることが必須である。

以下、この低温で高速となる領域を「適切温度依存領域」と呼び、各センスアンプ起動方式ごとの特徴を記述する。

- (1) Half- V_{CC} プリチャージ方式の場合：図 5.3 から、例えば $V_{\text{DD}} = 1.5\text{V}$ を設計中心として、 $V_{\text{DD}} = 1.1\text{V}$ までの電圧ドロップと $V_{\text{th}} = \pm 0.1\text{V}$ までのしきい値ばらつきを考慮すると、適切温度依存領域で動作させるためには、しきい値の設計中心を -0.1V 以下にする必要があることが分かる。これはサブスレッショルドリーク電流を考慮すると非現実的な値である。もちろん、 V_{DD} のサブ 1V 化はより困難である。
- (2) V_{CC} プリチャージ方式の場合：図 5.4 の結果から、 $V_{\text{th}} = 0.3\text{V}$ でも $V_{\text{DD}} = 0.9\text{V}$ まで適切温度依存領域で動作可能であり、 V_{DD} 依存性も小さい。図 5.6 で示した CMOS 回路の V_{DD} 依存性の特性とよく似た特性が得られることが分かる。(基本設計方針の「高整合回路設計」が実現できる。) 欠点としては、リファレンスが必要であることから耐ノイズ性に課題が残る他、ビット線の充放電消費電力の増加が挙げられる。
- (3) オーバドライブ方式の場合：図 5.5 の結果から、例えば設計中心を $V_{\text{BS}} = 2.0\text{V}$ 、 $V_{\text{th}} = 0.1\text{V}$ に設定することで、 $V_{\text{BS}} = 1.5\text{V}$ までの V_{BS} 電圧ドロップおよび $\pm 0.1\text{V}$ のしきい値ばらつきを考慮しても適切温度動作領域で動作可能で、かつ、 V_{BS} 電圧変動に対するセンス時間変動も比較的小さく抑えられることが分かる。また、当然ではあるが、図 5.5(b) に示されるように、 V_{BS} 電圧一定という条件のもとでは、 V_{DD} 電圧

¹ $V_{\text{th}} = V_{\text{gs}}$ at $I_{\text{ds}} = 10\text{nA}$, $V_{\text{ds}} = 1.5\text{V}$, $T_j = 25^\circ\text{C}$

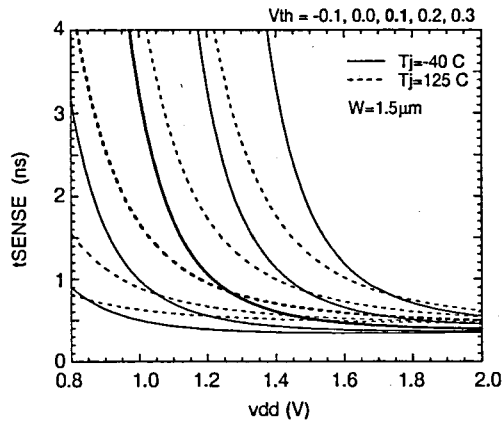


図 5.3 Half- V_{cc} プリチャージ方式のセンスアンプの低電圧動作特性。

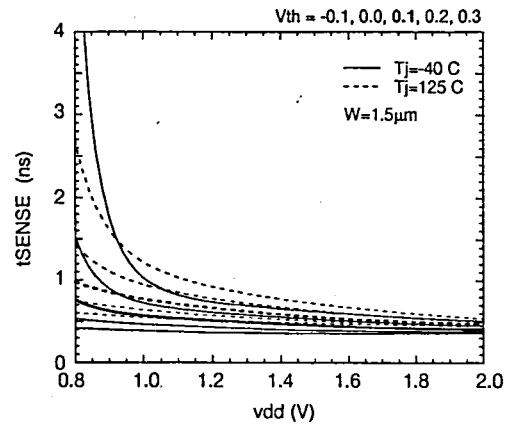
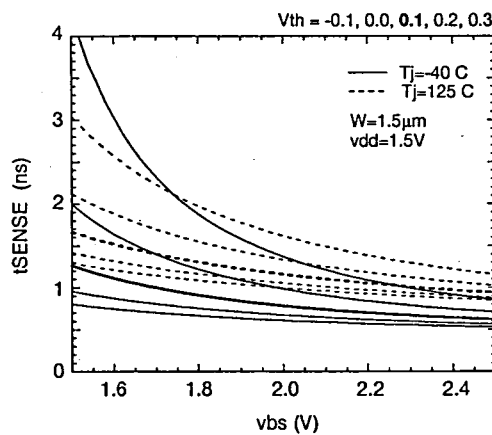
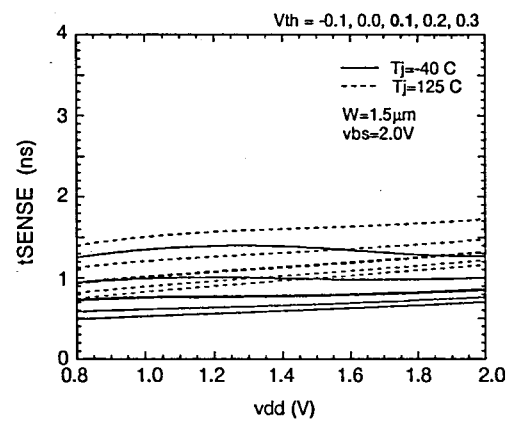


図 5.4 V_{cc} プリチャージ方式のセンスアンプの低電圧動作特性。



(a) V_{BS} 電圧依存性。



(b) V_{DD} 電圧依存性。

図 5.5 オーバドライブ方式のセンスアンプの低電圧動作特性。

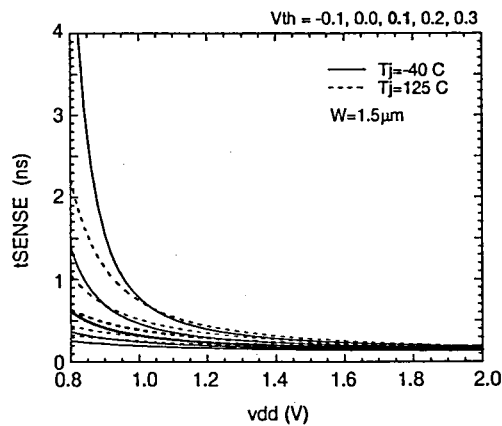


図 5.6 CMOS インバータの低電圧動作特性。センスアンプ内のインバータと同一の負荷 $F.O.=1$, $C_L = 130 \text{ fF}$ を仮定した。

依存性は極めて小さく、 V_{DD} のサブ 1V 動作も可能である。² この方式の欠点としては、以下のようなものがある。

- (a) センスアンプに高電圧が印加されることがあるため、基本設計方針の「低プロセス負荷回路設計」より、I/O 回路に用いる厚ゲート酸化膜厚 MOS トランジスタを用いてセンスアンプを構成することになる。したがって、MOS トランジスタの微細化トレンドの恩恵を受けることが少なく、ロジック回路の高速化に追従することが困難になる。これにより、基本設計方針の「高整合回路設計」を満たすことが困難になってしまう。
- (b) V_{DD} が 1V 以下の場合、 V_{BS} 電位を V_{DD} 電位から高効率に作成することが困難である。また、 V_{BS} 電源はビット線の充放電を行うために多くの電力を消費する。すなわち、基本設計方針の「高電力効率設計」を満たすことが困難になる。

² V_{DD} 電圧依存性が小さい理由の一つは、センス時間 t_{SENSE} をセンスアンプを起動してからビット線対が V_{DD} の 60% まで開くまでの時間と定義したことによる。

5.4 低電圧 DRAM センス系回路の提案

前節の検討結果をもとにして新しい低電圧混載 DRAM 用センス系回路を提案し、シミュレーションによるそれらの低電圧動作特性の評価結果を示す。

5.4.1 回路の概要

前節で示したように、低電圧混載 DRAM 用のセンスアンプの駆動方式としては V_{cc} プリチャージ方式が最適である。しかし、従来の V_{cc} プリチャージ方式のセンス方式では、ダミーセル等を用いたリファレンスが必要である等の課題がある。

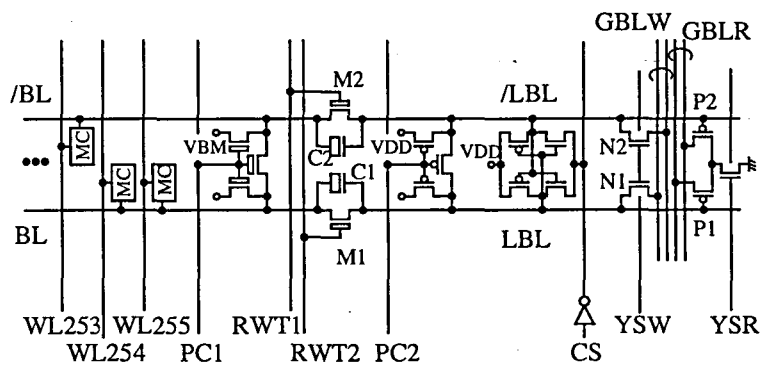


図 5.7 提案したデュアルプリチャージレベルセンス方式、シングルビット線再書き込み方式、およびPMOSダイレクトセンス方式を用いたセンス系回路の回路図。

図 5.7は、新しく提案した (1) デュアルプリチャージレベルセンス方式、(2) シングルビット線再書き込み方式、(3) PMOS ダイレクトセンス方式、を用いた新しいセンス系回路の回路図である。デュアルプリチャージレベルセンス方式は、2種類のビット線プリチャージレベルを用いる。すなわち、メモリセルが接続されているビット線 (BL, /BL) は Half- V_{cc} プリチャージし、センスアンプが接続されているローカルビット線 (LBL, /LBL) と、グローバルビット線 (GBLR, /GBLR) は V_{cc} プリチャージする。ビット線 (BL, /BL) とローカルビット線 (LBL, /LBL) の間には電荷転送容量 ($C1, C2$) と再書き込みトランジスタ ($M1, M2$) を挿入している。また、シングルビット線再書き込み方式では、ビット線対毎に2つある再書き込みトランジスタ ($M1, M2$) を、それぞれ独立して RWT1 および RWT2 で制御する。さらに、PMOS ダイレクトセンス方式では、ローカルビット線 (LBL, /LBL) の電位差を PMOS トランジスタ ($P1, P2$) で増幅してグローバルビット線 (GBLR, /GBLR) を駆動する。

5.4.2 動作方法

図 5.8、図 5.9に、提案したセンス系回路と従来のセンス系回路の動作波形シミュレーション結果をそれぞれ示す。シミュレーションに用いた MOS トランジスタは表 5.1で示したものをを用いた。温度は $T_j = 75^\circ\text{C}$ 、ビット線容量は 100 fF、 $C1$ と $C2$ の W_g/L_g は $2\mu\text{m}/2\mu\text{m}$ と仮定した。従来センス系回路としては、図 5.7のセンス系回路から電荷転送容量 ($C1, C2$) を取り除いた構造のものを仮定し、再書き込みトランジスタ ($M1, M2$) のゲート端子を常に同時に制御して評価を行った。なお、比較を公平に行うために従来センス系回路では、センスアンプの増幅と同時にメモリセルが接続されたビット線をセンスアンプから切り離し、センスアンプの増幅完了と同時に再度ビット線とセンスアンプを接続する、いわゆるビット線分離センス方式 [5] を使用した。

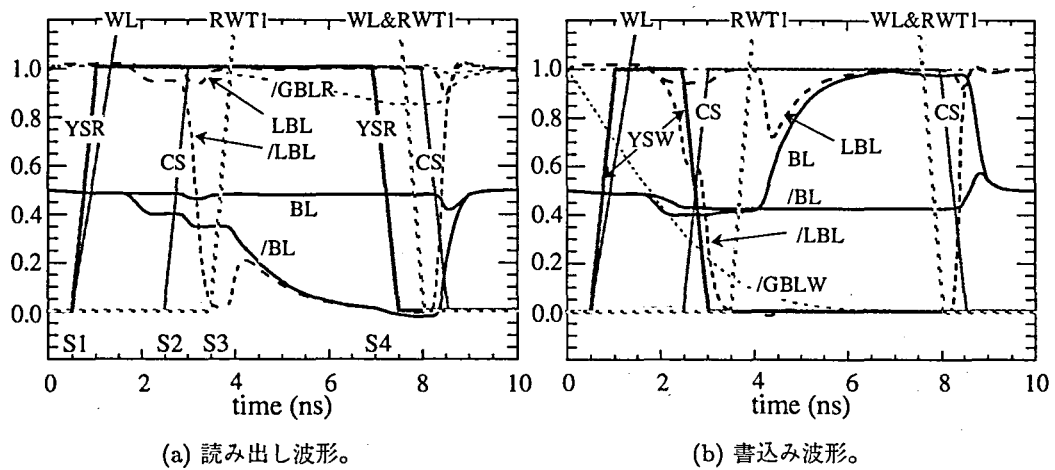


図 5.8 提案したセンス系回路の動作波形。

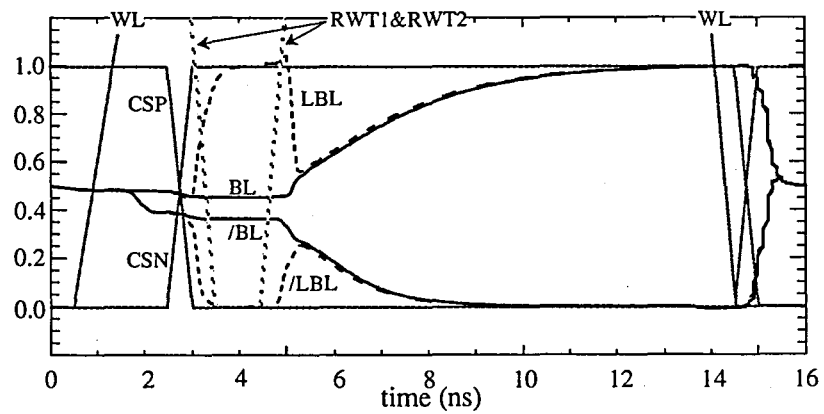


図 5.9 従来のセンス系回路の動作波形。

読み出し動作

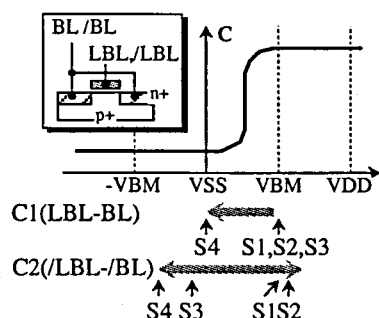


図 5.10 NMOS 容量の C-V 特性と、各センスステージでの電荷転送容量 (C_1, C_2) の推移。ステージ番号は、図 5.8(a) 中の記号 S1～S4 に対応している。

デュアルプリチャージレベルセンス方式では、メモリセルから読み出した電荷を、電荷転送容量 (C_1, C_2) を介してセンスアンプに転送する。NMOS トランジスタで構成された電荷転送容量 (C_1, C_2) の容量は図 5.10 で示したような C-V カーブに従って変化する。S1 ステージ (ステージ番号は、図 5.8(a) 中の記号 S1～S4 に対応している) でワード線を立ち上げてメモリセル内の電荷をビット線に読み出すと (V_s)、ビット線 (BL/ $\overline{\text{BL}}$) とローカルビット線 (LBL/ $\overline{\text{LBL}}$) 間の電位差は約 $1/2V_{DD}(=V_{BM})$ であるため、電荷転送容量 (C_1, C_2) の容量を介して V_s がローカルビット線 (LBL/ $\overline{\text{LBL}}$) に転送される。このとき、チャージシェアによってローカルビット線 (LBL/ $\overline{\text{LBL}}$) の電位が決定される。その後、S2 ステージで CS のアサートによってセンスアンプが起動され、転送された V_s が増幅される。ローカルビット線 (LBL/ $\overline{\text{LBL}}$) は V_{DD} プリチャージされているため、前節で示したような高速なセンス動作が実現できる。

また、S2 から S3 ステージにかけてのセンスアンプの増幅動作中には、

- (1) ‘L’ 側に駆動されるローカルビット線 ($\overline{\text{LBL}}$) に接続されている電荷転送容量 (C_2) の容量は、図 5.10 で示されるように増幅動作が進むにつれて減少する。そのため、センスアンプからはローカルビット線 ($\overline{\text{LBL}}$) に付加される容量が小さく見える。
- (2) ‘H’ 側に駆動されるローカルビット線 (LBL) に接続されている電荷転送容量 (C_1) の容量は、図 5.10 で示されるように増幅動作の前後で大きく維持される。そのため、センスアンプからはローカルビット線 (LBL) に付加される容量が大きく見える。

以上より、センス動作が進むにつれてセンスアンプの増幅がより加速される方向に、自動的に電荷転送容量の容量値が変化することがわかる。従来のセンス系回路ではワード線アサート時には再書き込みトランジスタ (M_1, M_2) をオンし、センスアンプ起動と同時にそれよりも以前に再書き込み用トランジスタをオフする制御が必要であったが、そのための複雑なタイミング制御の必要がないという利点がある。

再書き込み動作

再書き込み動作は、センスアンプのローカルビット線の増幅が完了してから行う必要があるが、ローカルビット線が V_{DD} プリチャージされているためにローカルビット線対線の一方が ‘L’ に駆動されたことを検出することで行うことができる。例えばこれは、2 入力 NAND ゲートをローカルビット線対に接続することで簡単に実現できる。

このようにして起動された S3 ステージの再書き込み動作は、再書き込みトランジスタ (M_1, M_2) のうちの一つだけをオンにすることで行う (シングルビット線再書き込み方式)。すなわち、

アサートされたワード線とメモリセルを介して接続されているビット線に接続されている再書き込みトランジスタのみをオンさせる。

従来の再書き込み手法では、再書き込みトランジスタ (M1,M2) を同時にオンさせていたが、その場合には、図 5.9で示したようにビット線とローカルビット線のチャージシェアによって、ローカルビット線電位が $1/2V_{DD}$ 電位付近まで充放電されてしまう。これらの電位はセンスアンプによって再び電源電位 V_{DD} と接地電位 V_{SS} まで駆動されることになるが、LBL は /LBL が入力されたセンスアンプ中のインバータ回路によって、/LBL は LBL が入力されたセンスアンプ中のインバータ回路によって、それぞれ駆動される。したがって、LBL と /LBL がそれぞれ中間電位になると、これらを増幅する駆動電流が小さくなってしまい、再書き込みに要する時間が長くなっていた。

これに対して提案したシングルビット線再書き込み方式では、駆動する必要があるビット線を駆動するセンスアンプ内のインバータ回路の入力電圧は、電源電位 V_{DD} か接地電位 V_{SS} になる。したがって、ビット線を大きな駆動電流で駆動することができ、高速な再書き込みが実現できる。

グローバルビット線読み出し動作

グローバルビット線 (GBLR_i/GBLR) への読み出しは、YSR をワード線と同時にアサートすることで行う。従来の NMOS ダイレクトセンス方式では、Half-V_{cc} プリチャージされているビット線対に読み出された微小電圧差を、NMOS のゲート端子に入力し、そのドレイン・ソース間に流れる電流差をメインアンプで増幅していた [9]。提案する PMOS ダイレクトセンス方式では、 V_{DD} プリチャージされているローカルビット線対を PMOS のゲート端子に入力し、センスアンプが起動されてローカルビット線対のうちの一方が 'L' に駆動されることで PMOS がオンしてグローバルビット線が駆動される。そのため、以下のような特長がある。

- (1) NMOS ダイレクトセンス方式と同様に、タイミングレスでグローバルビット線への読み出し動作が実現できる。
- (2) NMOS ダイレクトセンス方式とは違って、センスアンプによってローカルビット線が駆動された後にグローバルビット線対のうちの一方が 'L' 側に駆動され、他方はサブスレッショルド電流程度の電流でしか駆動されない。そのため、グローバルビット線対には大きな電位差を生じさせることができ、メインアンプの設計が容易になる。

書き込み動作

図 5.9(b) で示されるように、書き込み動作は読み出し動作と非常に類似している。異なるのは、ワード線がアサートされるタイミングで YSR の代わりに YSW を駆動することである。YSW によって N1 と N2 がオンされ、グローバルビット線 (GBLW_i/GBLW) に入力された書き込みデータがローカルビット線対に上書きされる。この上書きされたデータがセンスアンプによって増幅され、図 5.9(a) で示された読み出し時の再書き込み動作と同じ方式でメモリセルへ書き込まれる。

5.4.3 低電圧特性の評価結果

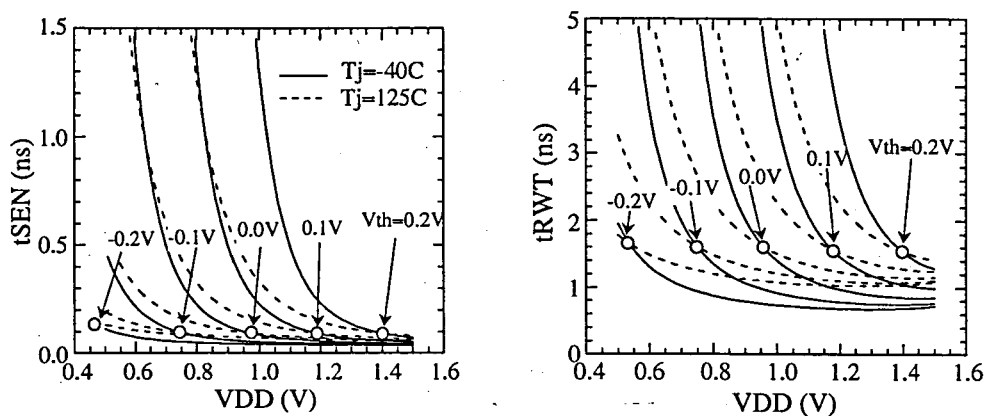


図 5.11 従来のセンス系回路のセンス時間 (t_{SEN}) および再書き込み時間 (t_{RWT}) の、電源電圧 V_{DD} およびしきい値電圧 V_{th} 依存性。

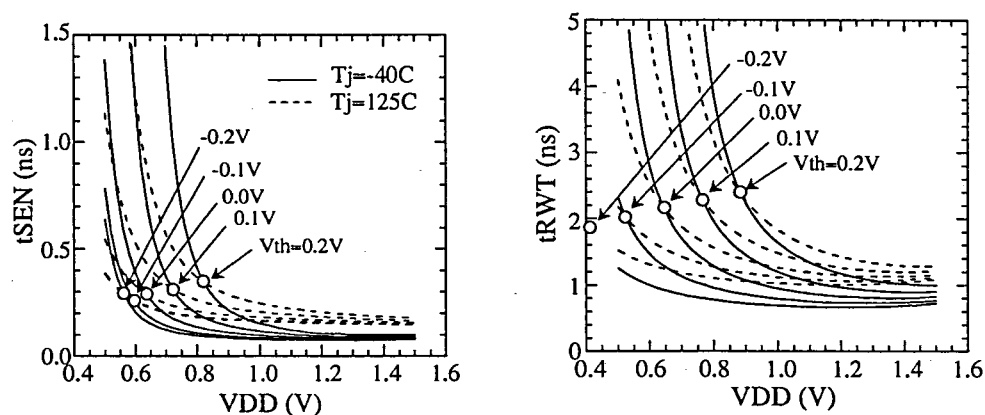


図 5.12 提案したセンス系回路のセンス時間 (t_{SEN}) および再書き込み時間 (t_{RWT}) の、電源電圧 V_{DD} およびしきい値電圧 V_{th} 依存性。

図 5.11、図 5.12 にそれぞれ、従来のセンス系回路と提案したセンス系回路のセンス時間 (t_{SEN}) と再書き込み時間 (t_{RWT}) の電源電圧依存性のシミュレーション結果を示す。シミュレーション条件は図 5.3、図 5.4、図 5.5 と同一条件であるが、再書き込み時間 (t_{RWT}) については、再書き込みトランジスタをオンさせてから、メモリセルノード電圧が V_{DD} の 90% まで書き込まれるまでの時間と定義した。それぞれの図面で白丸で示したポイントは、 $T_j = -40^\circ\text{C}$ と 125°C での特性が交差する位置を、各しきい値電圧毎に示したものである。この交差しているポイントでの電源電圧としきい値電圧では、各特性に温度依存性が無いことを示している。それらのポイントよりも右側では、それぞれの特性を決定する駆動電流が MOS トランジスタのドリフト電流が主であることを示している。一方、それらのポイントよりも左側では逆に MOS トランジスタの拡散電流が主であることを示している。

前節で記述したように「ロバスト回路設計」を満たすためには、それぞれのポイントよりも右側に動作点があるように回路の動作条件を決定する必要があるが、このような「適切温度依存領域」で動作させることを前提に考えると以下ようになる。

- (1) 従来のセンス系回路では、しきい値電圧の設定中心を 0.0V として、 $\pm 0.1\text{V}$ のしきい値ばらつきを考慮すると、 $V_{\text{DD}} = 1.2\text{V}$ まで動作する。
- (2) 提案したセンス系回路では、同じ条件でも $V_{\text{DD}} = 0.75\text{V}$ まで動作する。

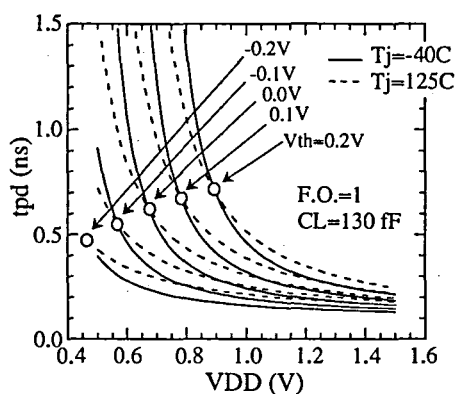


図 5.13 CMOS インバータの低電圧動作特性。センスアンプ内のインバータと同一の負荷 $F.O.=1$, $C_L = 130\text{fF}$ を仮定した。図 5.6 と同一であるが、より低電圧までプロットし直している。

また、図 5.13 は CMOS のインバータ回路の特性を示したものであるが、図 5.12 は CMOS 回路と非常に類似した特性を持っていることがわかる。これは提案した回路が「高整合回路設計」になっていることを示している。

5.5 結言

多くの回路要素が集積化されることから、SOCでは「低電圧化に伴う回路特性不整合」の課題は深刻である。また、SOC上の回路要素は個別チップ上で実現されてきたものとは異なる仕様になることが多い。本章ではSOCの例としてDRAM混載ロジックLSIを取り上げ、SOCの基本設計方針を「高整合回路設計」、「低プロセス負荷回路設計」、「ロバスト回路設計」、「高電力効率設計」の4つにまとめて、低電圧DRAMセンス系回路の高速化手法を検討した。

まず始めにDRAMセンス系回路の低電圧特性を把握するために、DRAM用センス系回路について、Half-V_{cc}プリチャージ方式、V_{cc}プリチャージ方式、オーバドライブ方式の3種類のセンス方式の低電圧動作特性をシミュレーションによって評価し、以下のことを明らかにした。

- (1) Half-V_{cc}プリチャージ方式の場合：サブ1V動作で安定した動作のためには、しきい値の設計中心を-0.1V以下にする必要があり、サブスレッショルドリーク電流を考慮すると非現実的な解になる。
- (2) V_{cc}プリチャージ方式の場合：V_{th} = 0.3VでもV_{DD} = 0.9Vまで安定動作可能である。しかし、リファレンスセルが必要で、耐ノイズ性に課題が残る他、ビット線の充放電消費電力の増加の課題が残る。
- (3) オーバドライブ方式の場合：オーバドライブ電圧V_{BS}が1.5V以上では、V_{th} = 0.2Vまで高しきい値化しても安定動作可能で、V_{BS}電圧変動に対するセンス時間変動も比較的小さく抑えられる。しかし、I/O回路に用いる厚ゲート酸化膜厚MOSトランジスタを用いてセンスアンプを構成する必要から、MOSトランジスタの微細化トレンドに追従できなくなる。また、特にV_{DD}が1V以下の場合にはV_{BS}電位の作成に電力効率的な課題が残る。

以上の結果をもとにして、「低電圧化に伴う回路特性不一致」の課題に対する解決策として、それぞれの回路を構成するMOSトランジスタの動作領域を一致させるという手法を検討した。具体的には、DRAMセンス系回路において動作速度を決定するMOSトランジスタの駆動電流が、ロジック回路の場合と同じドリフト電流となるように回路構成および駆動方式を改良した。この結果、(a)メモリセルが接続されたビット線はHalf-V_{cc}プリチャージし、センスアンプが接続されたビット線はV_{cc}プリチャージして、両ビット線間をNMOS容量で容量結合するデュアルプリチャージレベルセンス方式と、(b)再書き込み時に、センスアンプに接続された一対のビット線のうち、メモリセルが接続されたビット線のみを駆動するシングルビット線再書き込み方式と、(c)V_{cc}プリチャージされたビット線対電位をPMOSのゲート端子に入力してグローバルビット線をタイミングレスで増幅するPMOSダイレクトセンス方式を用いた、新しいセンス系回路を提案した。

シミュレーションによる評価の結果、新しく提案したセンス系回路のセンス時間と再書き込み時間の電源電圧・温度・しきい値電圧依存性特性は、CMOS回路の特性と非常に類似した特性を持つことがわかった。例えば、低温の方が高速動作する電源電圧・しきい値電圧条件を安定動作条件とした場合、0.15μmテクノロジーを仮定したシミュレーションでは、V_{th}=0.0VでV_{th}ばらつきを±0.1V仮定したとき、両回路とも0.8Vまで安定動作した。

参考文献

- [1] H. Mizuno, N. Oodaira, Y. Kanno, T. Sakata and T. Watanabe, "CMOS-Logic-Circuit-Compatible DRAM Circuit Designs for Wide-Voltage and Wide-Temperature-Range Applications", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 120-121, June 2000.
- [2] K. Sawada, T. Sakurai, K. Nogami, T. Iizuka, Y. Uchino, Y. Tanaka, T. Kobayashi, K. Kawagai, E. Ban, Y. Shiotari, Y. Itabashi and S. Kohyama, "A 72-K CMOS Channelless Gate Array with Embedded 1-Mbit Dynamic RAM", *Proc. Custom Integrated Circuits Conf. (CICC)*, pp. 20.3.1-4, May 1988.
- [3] T. Shimizu, J. Korematu, M. Satou, H. Kondo, S. Iwata, K. Sawai, N. Okumura, K. Ishimi, Y. Nakamoto, M. Kumanoya, K. Dosaka, A. Yamazaki, Y. Ajioka, H. Tsubota, Y. Nunomura, T. Urabe, J. Hinata and K. Saitoh, "A Multimedia 32-b RISC Microprocessor with 16-Mb DRAM", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 216-217, Feb. 1996.
- [4] H. Ishiuchi, T. Yoshida, H. Takato, K. Tomioka, K. Matsuo, H. Momose, S. Sawada, K. Yamazaki and K. Maeguchi, "Embedded DRAM Technologies", *Int'l Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 33-37, Dec. 1997.
- [5] T. Takashima, M. Takada, H. Koike, H. Watanabe, S. Koshimaru, K. Mitake, W. Kikuchi, T. Tanigawa, T. Murotani, K. Noda, K. Tasaka, K. Yamanaka and K. Koyama, "A 55ns 16Mb DRAM", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 246-247, Feb. 1989.
- [6] T. Ooishi, M. Asakura, S. Tomishima, H. Hidaka, K. Arimoto and K. Fujishima, "A Well-Synchronized Sensing / Equalizing Method for Sub-1.0V Operating Advanced DRAMs", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 81-82, June 1993.
- [7] S. Watanabe, K. Sakui, T. Fuse, S. Aritome and K. Hieda, "BiCMOS Circuit Technology for High Speed DRAMs", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 79-80, June 1987.
- [8] G. Kitsukawa, K. Yanagisawa, Y. Kobayashi, Y. Kinoshita, T. Ohta, T. Udagawa, H. Miwa, H. Miyazawa, Y. Kawajiri, Y. Ouchi, H. Tsukada, T. Matsumoto and K. Itoh, "A 23-ns 1-Mb BiCMOS DRAM", *IEEE J. of Solid-State Circuits*, vol. 25, no. 5, pp. 1102-1111, Oct. 1990.
- [9] Y. Nakagome, Y. Kawamoto, H. Tanaka, K. Takeuchi, E. Kume, Y. Watanabe, T. Kaga, F. Murai, R. Izawa, D. Hasimoto, T. Kisu, T. Nishida, E. Takeda and K. Itoh, "A 1.5V Circuit Technology for 64Mb DRAMs", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 17-18, June 1990.
- [10] M. Tsukude, S. Kuge, T. Fujino and K. Arimoto, "A 1.2V to 3.3V Wide-Voltage-Range DRAM with 0.8V Array Operation", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 66-67, Feb. 1997.
- [11] K-C. Lee C-H. Kim, D-Y. Yoo, J-H. Sim, S-B. Lee, B-S. Moon, K-Y. Kim, N-J. Kim, S-M. Yoo, J-H. Yoo and S-I. Cho, "Low-Voltage High Speed Circuit Designs for Giga-bit DRAMs", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 104-105, June 1996.

- [12] S. Eto, M. Matsumiya, M. Takita, Y. Ishii, T. Nakamura, K. Kawabata, H. Kano, A. Kitamoto, T. Ikeda, T. Koga, M. Higashiho, Y. Serizawa, K. Itabashi, O. Tsuboi, Y. Yokoyama and M. Taguchi, "A 1Gb SDRAM with Ground Level Precharged Bitline and Non-Boosted 2.1V Word Line", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 82-83, Feb. 1998.
- [13] T. Kawahawa, Y. Kawajiri, G. Kitsukawa, Y. Nakagome, K. Sagara, Y. Kawamoto, T. Akiba, S. Kato, Y. Kawase and K. Itoh, "A Circuit Technology for Sub-10ns ECL 4-Mb BiCMOS DRAM's", *IEEE J. of Solid-State Circuits*, vol. 26, no. 11, pp. 1530-1537, Nov. 1991.
- [14] M. Asakura, T. Ooishi, M. Tsukude, S. Tomishima, T. Eimori, H. Hidaka, Y. Ohno, K. Arimoto, K. Fujisjima, T. Nishimura and T. Yoshihara, "An Experimental 256-Mb DRAM with Boosted Sense-Ground Scheme", *IEEE J. of Solid-State Circuits*, vol. 29, no. 11, pp. 1303-1309, Nov. 1994.

第 6 章

低電圧クロック系の高速化

6.1 緒言

今日のほとんど全ての LSI は、同期式回路で構成されている。このような同期式回路における重要な回路要素として、クロック系を挙げることができる。近年の LSI では 1GHz を超える周波数で動作するものもあり、このような高速 LSI の実現には高精度なクロックが必須である。本章では低電圧クロックの高速化について論ずる。

まず始めに、高速クロック系の低電圧化の課題について述べる。マイクロプロセッサ等の LSI で一般に用いられているクロック系は、PLL 等からなるクロック発生系と、そのクロック発生系で発生したクロック信号をフリップフロップやラッチまで分配するクロック分配系に分けられる。低電圧では、デバイスばらつきによって回路の遅延特性が大きく変化する。この結果、クロック分配系を構成するバッファの遅延特性ばらつきが大きくなり、クロックのジッタおよびスキューが増加して LSI の高速動作が困難になる。クロック系は第 1 章で述べた「低電圧化に伴う特性ばらつき増加」の課題が顕著な例であるといえる。

今日の LSI では、クロック発生系で発生したクロックを一方的にクロック分配系によって LSI 内で分配し、内部のフリップフロップやラッチを同期する、いわゆる中央集権的な“強制同期 (Forced Synchronization)”の方法が使用されている。本章では、「低電圧化に伴う特性ばらつき増加」の解決策として、自立分散的手法のクロック系への適用について検討し、上記の“強制同期”とは対極的な同期手法として、“相互同期 (Mutual Synchronization)”によるクロック系を提案する。これは複数の離れた発振器同士を同一位相・同一周波数で相互発振させることを可能にする同期分散発振器 (Synchronous Distributed Oscillator; SDO) を用いて、低電圧でも高い周波数のクロックを低ジッタ・低スキューで大規模 LSI 上に分配することを可能にする新しいクロック系である [1]。この分散同期発振器のシミュレーションによる評価結果を詳しく述べ、分散同期発振器を大面積の LSI へのクロック系に応用した場合の効果について考察する。最後に、分散同期発振器を 0.25 μ m CMOS テクノロジーを用いて試作した結果について述べる。

6.2 クロック系の低電圧化の課題

近年のマイクロプロセッサや同期式メモリ等の LSI は、高性能オンチップ PLL(Phase Locked Loop) や高精度のクロック系を用いて、動作周波数が 1GHz を超える高速 LSI が多く発表されている [2-5]。このような高速 LSI ではクロック系が LSI の性能を決定する重要な回路要素になっている。これらのクロック系に対する代表的な課題としては、以下の 4 つが挙げられる。

(1) クロック発生系のイントリンシックなジッタの低減

通常、クロック発生系には PLL が含まれるが、その中の VCO(Voltage controlled oscillator; 電圧制御発振器) のゲインを含めた PLL のループゲインの設定方法は、今日の PLL の重要な設計パラメータの一つである。ループゲインを高くすると long term ジッタ¹ は減少するが、イントリンシックなジッタが増加する [6]。

(2) クロック発生系へのノイズ混入によるジッタ増加の低減

PLL の設計で重要な項目の二つ目は、VCO の耐ノイズ性の向上である。具体的には発振周波数の電源電圧依存性が少ない VCO の開発である。VCO のノイズは主に long term ジッタに影響する [6-9]。

(3) クロック分配系のスキューおよびジッタの低減

チップ面積の増加に伴って、チップ内のプロセスばらつき、電源電圧ばらつき、温度ばらつき、ファンアウト数ばらつきが増加し、クロック分配系のスキューやジッタが増加する。PLL から、フリップフロップやラッチに届くまでのクロック系の全体のスキューやジッタは、このクロック分配系の性能によるところが大きい。クロック分配系へのノイズは主に cycle-to-cycle short term ジッタ² に影響する。近年では、二重リング状に配線したクロックの往来信号を用いて、クロックスキューを補正する方法 [10] や、チップ上にスキュー補正回路を配置する方法 [11, 12] などが提案されている。

(4) クロック分配系の遅延の低減

高い周波数のクロック分配では、チップ全体へのクロック分配が 1 クロック内で完了しない。参考文献 [13] によると、0.1 μm 世代で 1 クロックの周期で到達するクロック信号はチップの 20% 以下であり、0.06 μm 世代では、チップのわずか 5% 程度しか到達しない。このような位相が 360 度以上回転するクロック分配系を含むクロック系の、PLL ループ系を設計することは非常に困難である。

特に低電圧 LSI では、PLL 等のクロック発生系の低電圧・高速動作も課題になるが [14]、クロック分配系のスキューやジッタの増加が強く懸念される。

図 6.1 は、インバータの遅延時間変動のしきい値電圧ばらつき依存性を計算した結果である。しきい値電圧の設計値 (V_{th}^{typ}) からのずれに対する、遅延時間の変動量を計算している。しきい値ばらつき ΔV_{th} を 0.1V と仮定すると、電源電圧が 1.5V でしきい値設定値が 0V のときの遅延時間変動は約 18% である。しかも、低電圧になるにしたがい、この遅延時間変動が大きくなっている。電源電圧が 1.0V のときに、電源電圧が 1.5V のときの遅延時間変動と同じ変動値に抑えるためには、しきい値の設定値を -0.4V まで下げる必要があることがわかる。このしきい値電圧の設定値は、第 2 章で述べたサブスレッショルドリーク電流を考慮すれば、現実的ではない。

¹ 数十～数百サイクルにおよぶ位相偏差

² 1～数サイクルにおよぶ位相偏差

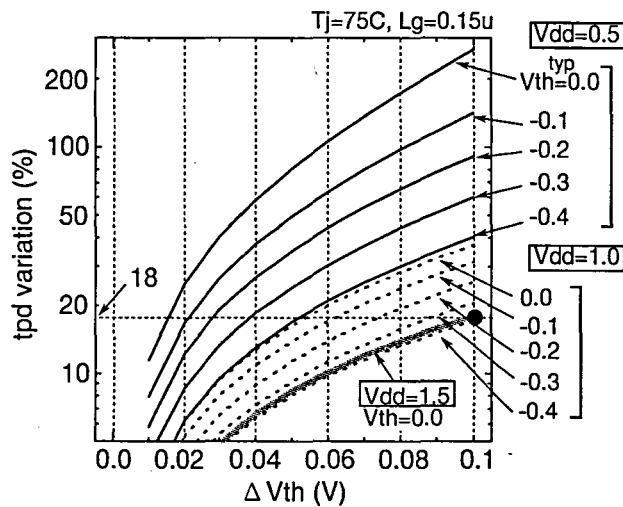


図 6.1 インバータの遅延時間 t_{pd} の worst-typical 値変動のしきい値ばらつき依存性。しきい値の設計値 (V_{th}^{typ}) と電源電圧 V_{DD} をパラメータにした。

このように、低電圧 LSI では、回路のしきい値電圧のばらつきによる特性変動は大きくなる。また同様に、低電圧化によって、回路の電源ノイズによる特性変動も大きくなる。これらの影響によって、クロック分配系を構成するクロックバッファの特性の変動が大きくなり、クロック系のスキューやジッタが著しく増加する。

6.3 同期分散発振器を用いたクロック系の提案

上記した従来のクロック系は、強制同期によって同期を取っている。すなわち、クロック発生系で発生したクロックを一方向的にクロック分配系によって LSI 内で分配し、内部のフリップフロップやラッチを同期している。ここでは、低電圧でも高速クロックを低ジッタ・低スキューに大面積 LSI に分配することを可能とするために、相互同期によるクロック系を提案する。

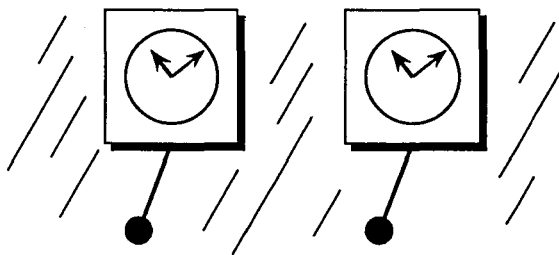


図 6.2 ホイゲンスの掛時計。

相互同期現象は自然界でも多く見られる同期現象である。二つの似た振動子を結合させると同調現象 (Entrainment) が起きることは広く知られている。たとえば、図 6.2 はホイゲンス (Huygens) の掛時計と呼ばれるものであるが、同じ壁に掛けている 2 つの掛時計の振り子は同調する [15]。

また、東南アジアに生息する *Pteroptics malacca* という蛍の種は、外部からの周期的光パルス信号に対して自分の発火の周波数および位相を共に同期させる能力を有しており、クリスマスツリーのような集団同期発火を行うことが知られている [16, 17]。

さらに別の例として、コンサート会場における手拍子の例を挙げることができる。何千人もの人がうまく手拍子できるのは、各自が自分自身であるテンポ (周波数) を持ちながら

手拍子しており、会場の演奏や他人の手拍子を耳から聞いて、自分の手拍子の周波数と位相を随時補正しているからである。相互同期によって、各自が手拍子しているわけである。仮に、強制同期で手拍子すれば、すなわち、各自が自分のテンポを全く持たずに耳からの情報だけでそれに同期して手拍子を打てば、何千人もの人が同一位相で手拍子を打つことは到底できない。

この相互同期現象は、発振器のばらつきや発振器への外乱に対する耐性が高いという特徴がある。ここでは、発振器を相互同期させる技術として、同期分散発振器を提案し、これを用いたクロック系を提案する。

6.3.1 同期分散発振器の原理

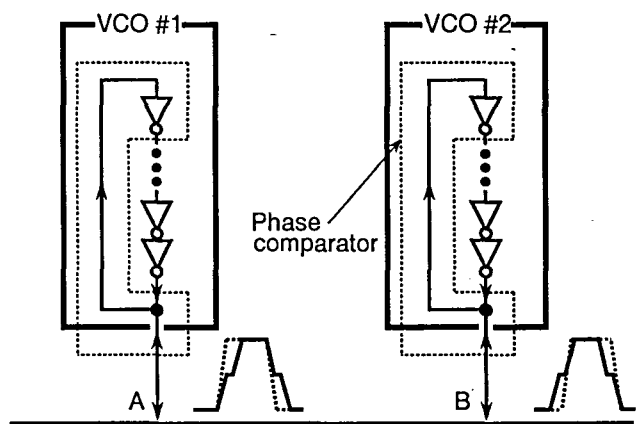


図 6.3 同期分散発振器の動作原理。

複数の離れた発振器同士を同一位相・同一周波数で相互発振させる同期分散発振器は、非常に簡単な構成で実現できる。図 6.3 に同期分散発振器の基本概念を示す。VCO #1, VCO #2 は電圧制御発振器 (VCO) で、それぞれ A 点と B 点で同一配線に接続している。各発振器の固有発振周波数はほぼ同じになるように設計しておく。すると各発振器は同一周波数のみならず同一位相で発振する。

この同期分散発振器の共通配線に接続している各々の発振器の端子は、入力端子でもあり出力端子でもある。VCO #1 の発振出力の位相が共通配線上の信号の位相と異なるとすると、VCO #1 と共通配線を接続している端子は入力端子となり、VCO #1 の位相を共通配線上の信号の位相と同じ位相になるようにフィードバックされる。つまり、各発振器と共通配線との接続部と、接続部から発振器へのフィードバック線が位相比較器の役割を果たす。

上記同期分散発振器の構成により、距離 L だけ離れた発振器同士を同一の位相／周波数で発振させることができる。あとで詳しく述べるように、距離 L は発振器の発振周波数に対応する波長 λ の $\lambda/2$ 以下であれば、同一位相で発振する。

このような相互同期発振については多くの研究がなされているが [18, 19]、ここで提案する同期分散発振器は、複数の発振器を共通配線に接続するだけで同期を取ることができるため、特別な位相比較器を必要としないという大きな特徴がある。

図 6.4 は発振器を 4×4 のメッシュ状に配置した場合の構成図である。各発振器はメッシュ状の共振線の各交点に接続されている。各発振器の各インバータの横に示した数値は共通配線に接続しているインバータの馬力の相対値を表している。各発振器の各サイズを図中の値にすることで各発振器を同一位相・同一周波数で発振する。

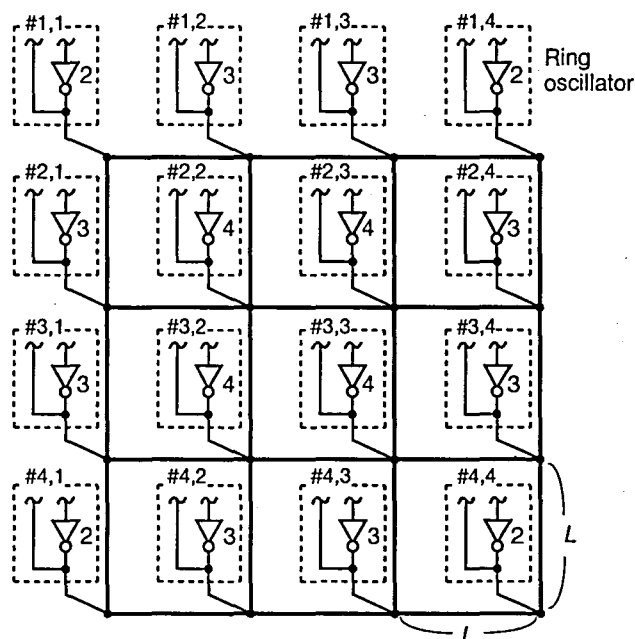


図 6.4 リング発振器を 4×4 のメッシュ状に配置した場合の同期分散発振器の構成図。

なお、発振器が3個以上同一配線上に接続されている場合、隣合う発振器間の距離は全て等しい距離 L である必要は無い。同じ距離でない場合、定常状態ではそれぞれの発振器は同一周波数にはなるが、同一位相にならない。それぞれの発振器は位相 $\delta_1 \sim \delta_n$ を保って同期して発振する (隣合う発振器間の距離は全て等しい距離 L であれば、 $\delta_1 = \delta_2 = \dots = \delta_n$ となる)。

また、各発振器を構成しているインバータはかならずしも同じである必要はない。同じでなければ前記と同じように定常状態では、それぞれの発振器は同一周波数にはなるが、同一位相にならない。それぞれの発振器は位相 $\delta_1 \sim \delta_n$ を持つて同期して発振する。逆に、この位相 $\delta_1 \sim \delta_n$ は各発振器のインバータの種類 (負荷駆動能力等) を調整することで変化できる。この性質を利用して、隣合う発振器間の距離を全て等しい距離 L にしなくても、各発振器のインバータの種類を調整することで、各発振器の位相 $\delta_1 \sim \delta_n$ を同一位相に調整することもできる。

6.3.2 同期分散発振器のクロック系への応用

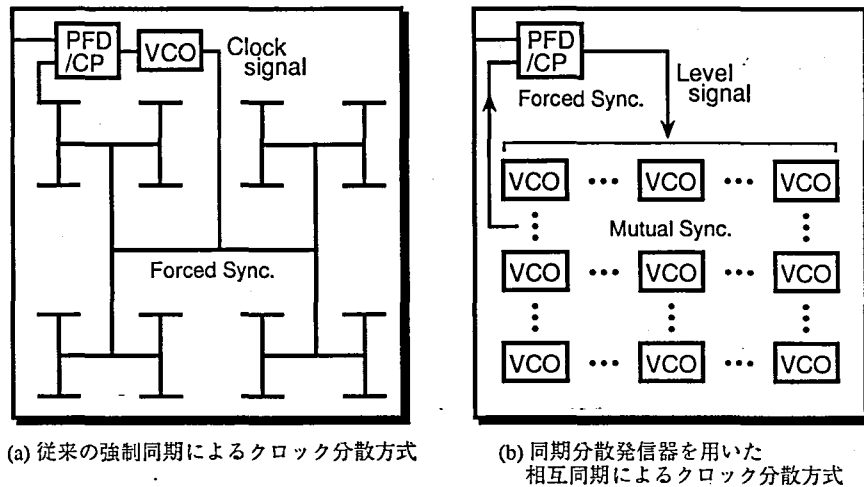


図 6.5 クロック分配方式の比較。

図 6.5(b) に同期分散発振器をクロック系に応用した例を示す。従来のクロック系(図 6.5(a))と比較すると、チップ内に多数の電圧制御発振器 VCO を配置し、その発振周波数制御信号 V_c を一つの PLL 構造で制御している。また、各 VCO を同期分散発振器構造にし、各 VCO からバッファを通してローカルクロック分配系にクロックを供給している。³

VCO をチップ内で分散させ、各 VCO を担当するローカルクロック分配系に近接して配置することで、VCO のクロック出力から、そのクロック出力を使用するラッチ等の回路までの経路を短くできる。⁴ 経路が短くなるとその間の遅延時間を小さくできるため、その経路で発生したスキューやジッタがクロック分配系全体の性能に与える影響を小さくできる。

多数の発振器をチップ内に分散させてクロックを分配する方式 [20, 21] も多く提案されているが、これらの方法では各発振器に位相比較器を設ける必要があるために、チップ面積の増加が懸念される。また、位相比較器の構造次第では、Mode-lock⁵ という現象が生じる可能性も懸念される。一方、同期分散発振器は、複数の発振器を共通配線に接続するだけで同期を取ることができるため、特別な位相比較器を必要としない。このため、クロック分配系に用いた場合のチップ面積増加を抑えることができる。

³ 図 6.5(b) では通常デューティ比を 50%にするために VCO の後段に接続している 1/2 分周器を省略している。

⁴ 前述のように、従来のクロック分配では、クロック周波数が高い場合にはチップ全体へのクロック分配が 1 クロック内で完了しない。同期分散発振器を用いることで、この問題を解決できる。

⁵ 各発振器が同一位相では無い位相で安定化する現象。

6.4 同期分散発振器の基本特性

表 6.1 シミュレーション評価に用いたデバイスの主要諸元

Technology	0.25 μm CMOS
MOSFET t_{ox}	4.5 nm
V_{th} *	0.15 V (n) / -0.15 V (p)
Supply voltage	1.8V (typ) / 1.62V (worst)
Temperature	75°C (typ)

* $V_{\text{th}} = V_{\text{gs}} @ I_{\text{ds}}=10\text{nA}, W=15\mu\text{m}$

ここでは、同期分散発振器の基本特性として、引き込み特性および耐ノイズ性について述べる。それぞれの評価は回路シミュレーションによって行った。シミュレーションに用いたデバイス特性は表 6.1 のとおりである (以下、特に明記しない限りシミュレーション結果は全てこの条件で行った)。

6.4.1 引き込み特性

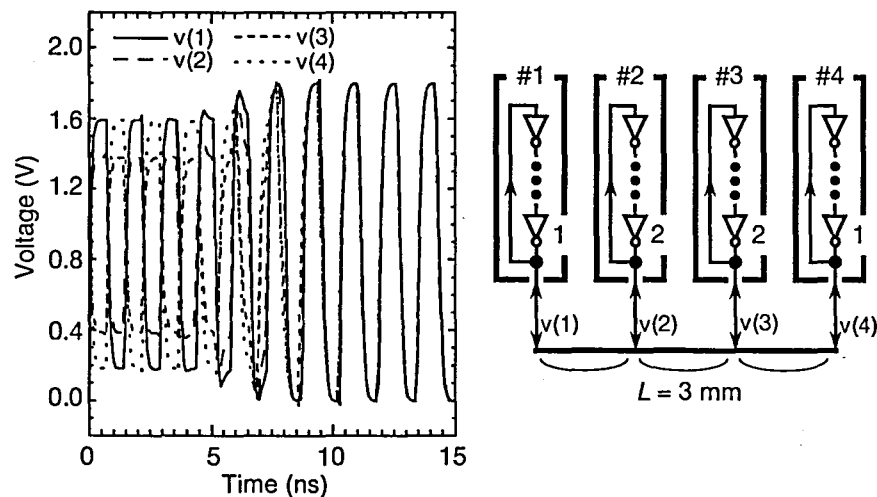


図 6.6 同期分散発振器のロックイン過程。

図 6.6 に発振器の数が 4 つの場合、各発振器の発振出力のロックイン状態になるまでの引き込み特性を示す。シミュレーションでは各発振器は全て同一のものを用了。発振器間距離 L は 3 mm、時間 0 ns でリング発振器はそれぞれ異なる位相を初期値としてもっている状態を仮定した。時刻 0 ns から 5 ns 付近まではこの初期の位相をもって各発振器が同一周波数で発振している。しかし、この状態は準安定状態であるため、時刻 5 ns から時刻 8 ns 付近で状態遷移が起これ、時刻 8 ns 以降はすべての発振器の位相が同じ状態である安定状態で発振している。

図 6.7 は二つの発振器が同期するまでの引き込み特性を、二つの発振器の距離 L を変化させて評価したものである。初期条件として、時刻 0 ns での二つの発振器の位相差を 90 度に設定した。距離 L がある値 (約 15 mm) 以内であれば、時間に経過とともに指数関数的に二つの発振器の位相差が 0 に近づいている。一方、距離 L がある値 (約 15 mm) 以上

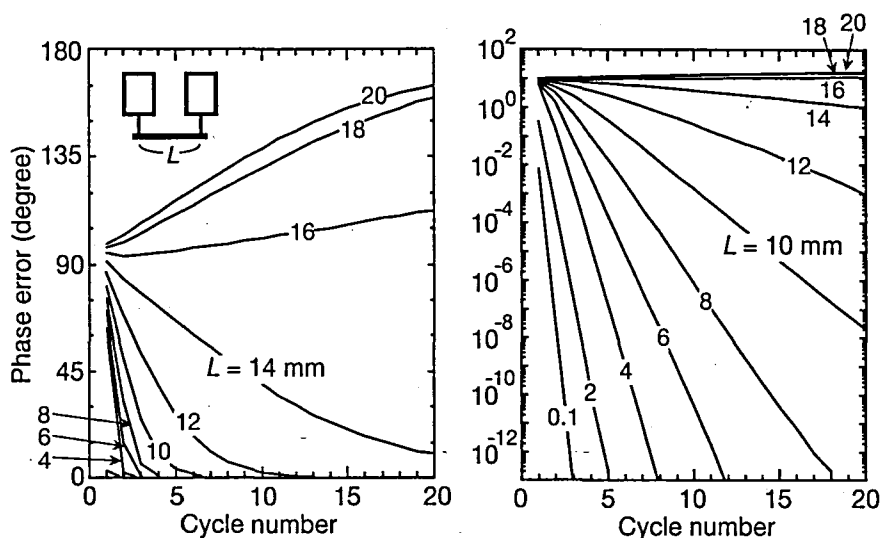


図 6.7 同期分散発振器の過渡特性の L 依存性。左図は右図の縦軸をログ表示にしたもの。

では、時間の経過とともに、二つの発振器の位相差は 180 度に近づくことがわかる。

6.4.2 耐ノイズ性

同期分散発振器の耐ノイズ性について述べる。クロック系に加わるノイズ源としては、定常的なものと過渡的なものに分類できる。定常的なものは例えば、チップ内しきい値電圧ばらつき、ファンアウト数ばらつきなどである。過渡的なものは例えば、基板ノイズによるしきい値変動、電源電圧変動、温度変動などである。

ここでは、これらのノイズ源による同期分散発振器の特性変化を調べるために、同期分散発振器を構成する多数の発振器のうちの一つの発振器の特性を変化させ、同期分散発振器の位相変位(エラー)と、複数の発振器の発振出力間で生じた位相偏差(スキュー)を評価した。発振器の特性を変化させる方法としては、発振器を構成する MOS トランジスタのしきい値電圧を変化させる方法(図 6.8)と、発振器に供給する電源電圧を変化させる方法(図 6.9)を用いた。⁶

図 6.8 および図 6.9 にシミュレーション結果を示す。図 6.8 では、同期分散発振器を構成する発振器のうちの、一つの発振器を構成する MOS トランジスタのしきい値電圧を ± 0.1 V まで変化させた。図 6.9 では、同期分散発振器を構成する発振器のうちの、一つの発振器に供給する電源電圧の大きさを、定格 (1.8 V) の 10% まで変化させた。図中で、conv は共通配線によって各発振器を接続しない場合の計算結果で、従来のモデルを表している。⁷

それぞれの計算では、2 種類の同期分散発振器の構成を仮定した。m33 は図 6.4 の代わりに 3×3 に発振器を配置した場合の結果であり、m44 は図 6.4 の場合である。発振器間の距離 L は、m33 については $L = 3$ mm、m44 については $L = 2$ mm とし、両者で発振波形の形状が同一になるように発振器の馬力を調整した。

⁶ここでは、一つの発振器にのみに局所的にノイズを与えた。もちろん、複数の発振器にノイズを与えると以下で述べるスキューおよびエラー量は増加する。しかし一般に、複数の発振器に同一のノイズが印加されることは統計的にあり得ない。

⁷この場合、スキューとエラーは同一になるため、実線でそれらを表した。

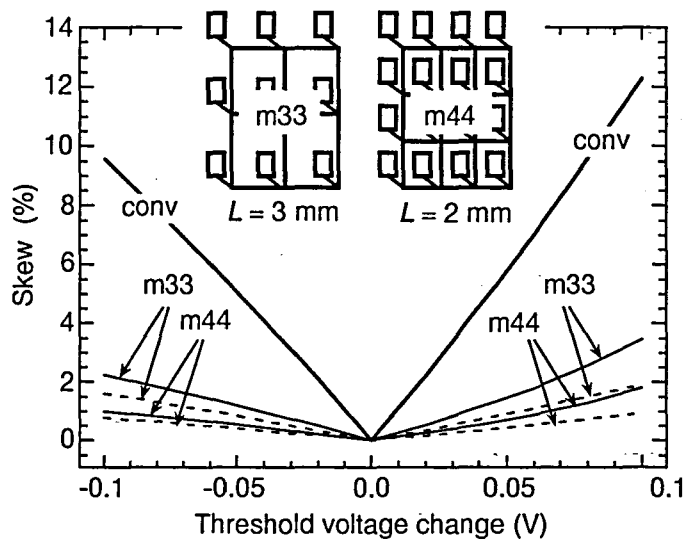


図 6.8 同期分散発振回路を構成する発振器のうちの一つの発振器を構成する MOS トランジスタのしきい値電圧を変化させた場合の、スキュー (実線) とエラー (破線)。

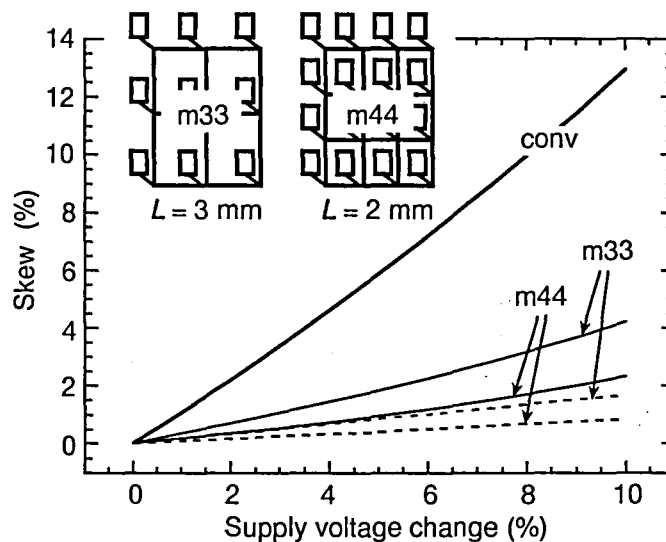


図 6.9 同期分散発振回路を構成する発振器のうちの一つの発振器に供給する電源電圧を変化させた場合の、スキュー (実線) とエラー (破線)。

図 6.8 から、 4×4 構造の共振発振回路を用いることにより、エラーを 1% 以内に、スキューを 2% 以内に収められることがわかる。 3×3 構造の共振発振回路を用いた場合でも、エラーを 2% 以内に、スキューを 4% 以内に収められる。これに対して、従来の方法ではエラー・スキューとも 12% 程度発生している。また、図 6.9 から、 4×4 構造の共振発振回路を用いることにより、エラーを 1% 以内に、スキューを 3% 以内に収められることがわかる。 3×3 構造の共振発振回路を用いた場合でも、エラーを 2% 以内に、スキューを 5% 以内に収められる。これに対して、従来の方法ではエラー・スキューとも 13% 程度発生している。

以上の結果から、局所的なノイズによるエラーを通常の発振器の $1/10$ 以下に、スキューを $1/4$ 以下に抑えられ、特にエラーが小さく抑えられていることがわかる。これは、同期分散発振器は、電源電圧変動を抑えるために電源間に挿入されるいわゆるパスコン (バイパスコンデンサ) の効果に似ていると考ええると容易に理解できる。すなわちパスコンは、ノイズがない状態が一定電位 (電源電圧という電位) である信号において、ノイズがある場合にその電位を保つように働く。同期分散発振器は、ノイズがない定常状態が一定の発振周

波数・位相である信号において、ノイズがある場合にその周波数・位相を保つように働く。この効果によって、ノイズの印加にともなう発振器の位相変位(エラー)が小さく抑えられている。

共振発振回路を LSI のクロック供給に用いた場合、このエラー特性はスキュー特性よりも重要である。なぜなら、ノイズ印加後のトータルスキューはエラー量とノイズが印加されていた時間の積で決まるからである。すなわち、このエラーは long term ジッタとして振る舞う。一方、図 6.8 や図 6.9 のスキューはノイズが印加されている間のみ現れる。ノイズが無くなると零になる。すなわち、cycle-to-cycle short term ジッタとして振る舞う。

この様子をより詳しくシミュレーションしたのが図 6.10 および図 6.11 である。図 6.4 の構成に配置した同期分散発振器の、電源電圧変動による発振波形の変化を示している。#1,1 の位置の発振器の電源電圧が図中のように 3 ns から 9 ns の間 10% だけ低下したときのシミュレーション結果である。No noise(破線) はノイズが無い場合の波形を、conv. は共振線によって各リング発振器を接続しない場合の波形で、図 6.10 の従来の PLL モデルで、PLL のループゲインは十分に小さいときの条件(シミュレーション時間内に PLL の負帰還による周波数変化は無い状態)に相当する。

従来構成では約 3.5 クロック間(1 クロック=約 1.7 ns)の電源電圧変動によりスキューが約 650 ps(約 40%) 生じている。同期分散発振器では約 3.5 クロック間の電源電圧変動によりスキューが約 50 ps(約 3%、これは図 6.11 の 1% 弱のエラーの蓄積によるもの) 生じている。同期分散発振器により 1/13 にクロックスキューが低減できていることがわかる。

このように同期分散発振器は、long term ジッタが小さくなるという特長がある。通常、long term ジッタは PLL の帰還により吸収する必要があるので、同期分散発振器を用いたクロック供給方式では従来よりも PLL 系のループゲインを小さく設定できる。このことは PLL 系のイントリンシックなジッタを小さくできることを意味している。

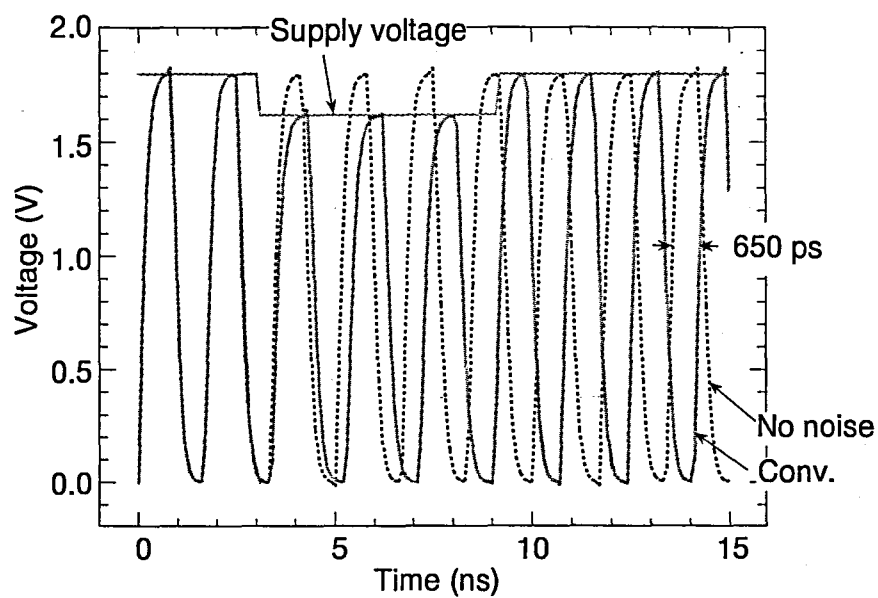


図 6.10 電源電圧変動によるクロック位相ずれのシミュレーション波形。各発振器間を配線で接続して同期させない方法で、従来クロック分配系をモデル化した場合。

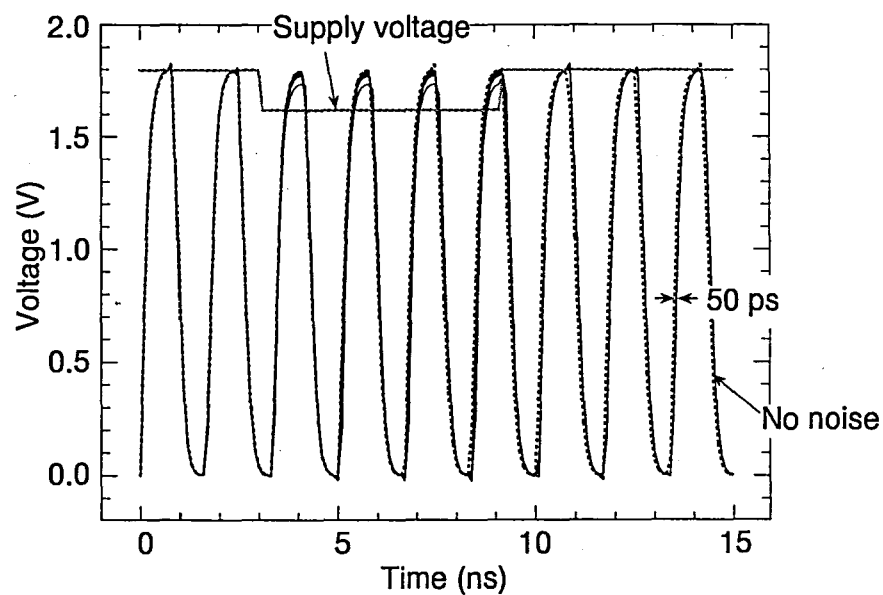


図 6.11 電源電圧変動によるクロック位相ずれのシミュレーション波形。各発振器間を配線で接続した同期分散発振器の場合。

6.5 同期分散発振器の試作結果

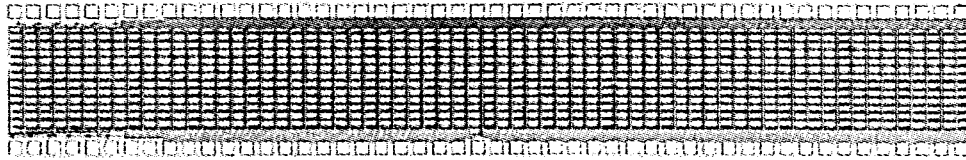


図 6.12 試作したチップのチップ写真。

6.3.1 節で述べた分散同期発振器を、 $0.25\mu\text{m}$ CMOS テクノロジを用いて試作した結果を述べる。図 6.12 に試作した同期分散発振器のチップ写真を示す。用いたデバイスの主要諸元は表 6.1 と同じである。チップ面積はパッド領域を含めて、 $7.2\text{mm}\times 1.1\text{mm}$ である。

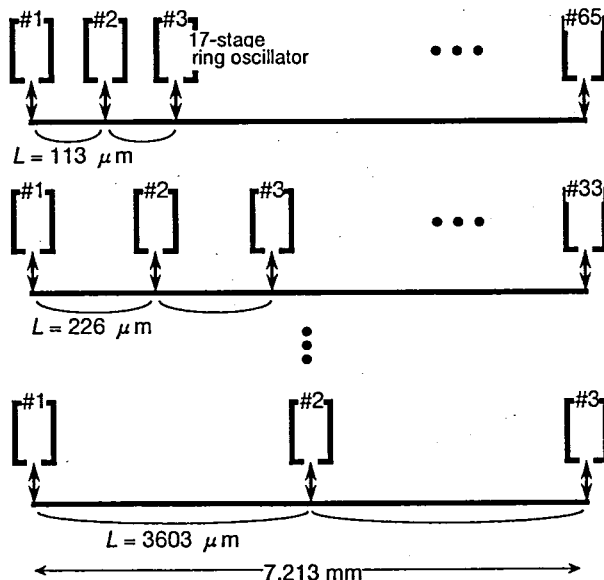


図 6.13 試作したチップに集積した同期分散発振器の構成。合計 6 種類の同期分散発振器を集積した。

図 6.13 に試作したチップに集積した同期分散発振器の構成を示す。それぞれの同期分散発振器は、複数の発振器が直線状に配置された構成をしている。それぞれ発振器間の距離 L は、 $113\mu\text{m}$ から $3606\mu\text{m}$ まで 6 種類ある。全ての同期分散発振器の全長は等しく、 $7213\mu\text{m}$ である。したがって、6 種類の同期分散発振器ではそれぞれで発振器の数 n が異なることになる (n は 65 個から 3 個)。これら 6 種類の同期分散発振器のうち一部は 2 つ集積され、合計で 10 個の同期分散発振器 (発振器の数は 264 個) がチップ上に集積した。

電源ラインに、外部から特別なノイズは印加していない。しかし、10 個の同期分散発振器の電源は全て共通であるため、電源ラインには多くのノイズが発生する。図 6.14 に電源ラインの測定結果を示す。上側の波形が電源ラインの波形である。 $\pm 100\text{mV}$ 以上の電源ノイズが観測できる。図 6.14 の下側の波形は電源ラインのスペクトラム波形である。測定する同期分散発振器の発振によって誘起される電源ノイズの他に、多くの周波数成分の電源ノイズが観測できる。以下の測定はこのような電源ノイズの元で行った。

図 6.15 および図 6.16 に同期分散発振器の測定結果を示す。2 種類の同期分散発振器を測定した。図 6.15 は、最も発振器の間隔 L が短く、多くの発振器が使用された同期分散発振器 (以下、最密同期分散発振器と呼ぶ) の測定波形である。図 6.16 は、最も発振器の間隔 L

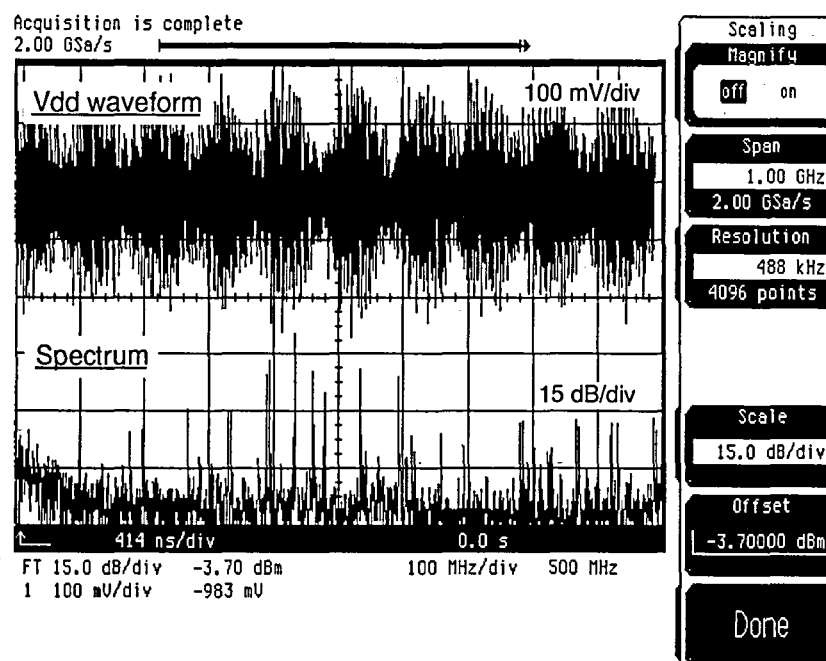


図 6.14 電源ノイズの測定波形と、そのスペクトラム波形。

が長く、少ない発振器が使用された同期分散発振器（最疎同期分散発振器と呼ぶ）の測定波形である。測定では、2つのプローブ（プローブ A および B）を同期分散発振器の両端の発振器の出力にそれぞれ接続して行った。なお、ここではプローブ A をトリガとして用いた。

表 6.2 同期分散発振器の測定結果

	発振器間隔 L	発振器数 n	ジッタ (トリガ点)	ジッタ (最遠点)	時間差
最密同期分散発振器	113 μm	65	97 ps (4.2%)	170 ps (7.3%)	17 ps (0.8%)
最疎同期分散発振器	3606 μm	3	173 ps (3.4%)	280 ps (5.5%)	12 ps (0.2%)

表 6.2 に測定結果をまとめる。本来、プローブ A とプローブ B を接続した発振器は対称であるため、両者の測定結果に時間差は無いはずである。したがって、測定で観測された 12 ps ないし 17 ps の時間差は測定誤差によるものと考えられる。

同期分散発振器のジッタは、トリガ点（プローブ A）でのジッタで表され、最密同期分散発振器の場合で 97 ps、最疎同期分散発振器の場合で 173 ps であることがわかる。発振器間隔が大きく発振器の数が少ない場合に増加している。

また、同期分散発振器のスキューは、トリガ点（プローブ A）でのジッタと、最遠点（プローブ B）でのジッタの差の半分で表され、最密同期分散発振器の場合で 36.5 ps、最疎同期分散発振器の場合で 53.5 ps であることがわかる。僅かではあるが、発振器間隔が大きく発振器の数が少ない場合に増加している。

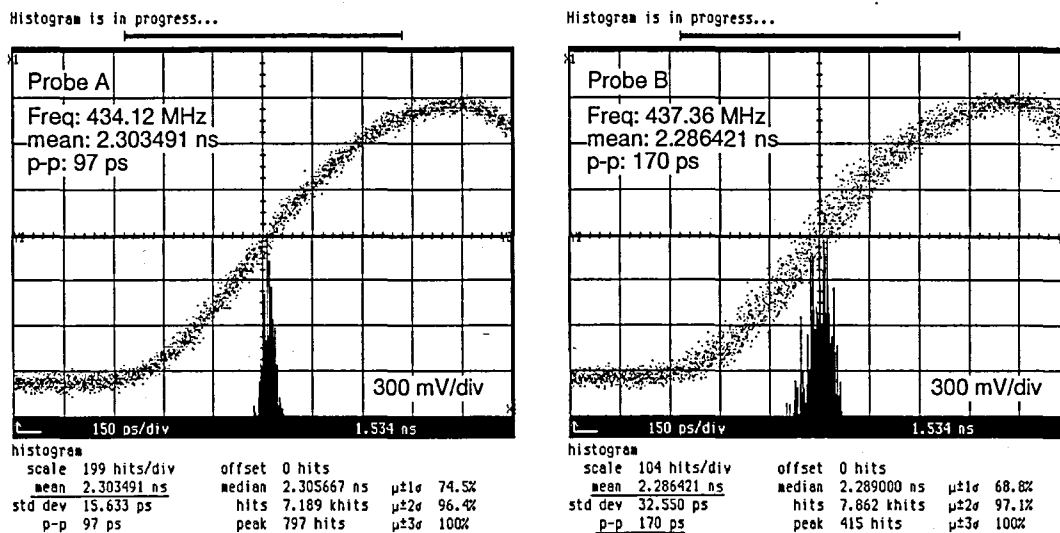


図 6.15 発振器間隔 L が $113\mu\text{m}$ で、発振器数 n が 65 個の同期分散発振器の測定結果。

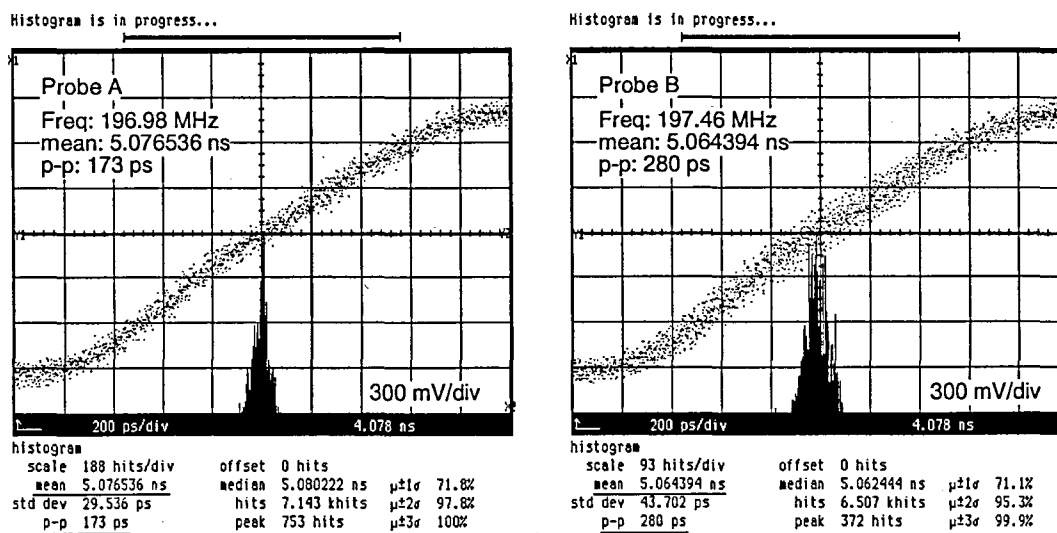


図 6.16 発振器間隔 L が $3606\mu\text{m}$ で、発振器数 n が 3 個の同期分散発振器の測定結果。

6.6 結言

本章ではまず始めにクロック系の低電圧化の課題について述べた。低電圧では、デバイスばらつきや動作環境変動によって回路の遅延特性が大きく変化するが、これによって、低ジッタ・低スキューにクロックを分配することが困難となり、クロック系のうちで特にクロック分配系の性能によって LSI の高速動作が律則することがわかった。

クロック系は、「低電圧化に伴う特性ばらつき増加」の課題が顕著な例であるといえる。この課題の解決策として自立分散手法のクロック系への適用を検討した。すなわち、従来から用いられているクロック系の「強制同期」とは対極的な同期手法として、「相互同期」によるクロック系の提案した。これは複数の離れた発振器同士を同一位相・同一周波数で相互発振させることを可能にする同期分散発振器を用いて、低電圧でも高い周波数のクロックを、低ジッタ・低スキューで大規模 LSI 上に分配することを可能にする新しいクロック系である。

提案した同期分散発振器の、引き込み特性および耐ノイズ性をシミュレーションによって評価した結果、同期分散発振器は、電源電圧変動を抑えるために電源間に挿入されるいわゆるパスコンの効果を持つことがわかった。すなわちパスコンは、ノイズがない状態が一定電位（電源電圧という電位）である信号において、ノイズがある場合にその電位を保つように働く。同期分散発振器は、ノイズがない定常状態が一定の発振周波数・位相である信号において、ノイズがある場合にその周波数・位相を保つように働く。

引き込み特性については、各発振器の位相誤差は、時間の経過とともに指数関数的に減少することがわかった。また、耐ノイズ性については、特にエラーの低減に効果があり、局所的なノイズによるエラーを通常の発振器の 1/10 以下に、スキューを 1/4 以下に抑えられることがわかった。

さらに、分散同期発振器を 0.25 μ m CMOS テクノロジを用いて試作した結果についても述べた。同期分散発振器の構造を用いることにより、100 mV 以上の電源ノイズがある環境で、約 7 mm 離れた発振器を、97 ps のジッタと 37 ps のスキューで同期発振させることを実証した。

参考文献

- [1] H. Mizuno and K. Ishibashi, "A Noise-Immune GHz-Clock Distribution Scheme using Synchronous Distributed Oscillators", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 404-405, Feb. 1998.
- [2] J. Silberman, N. Aoki, D. Boersler, J. Burns, S. Dhong, A. Essbaum, U. Ghoshal, D. Heidel, P. Hofstee, K. Lee, D. Meltzer, H. Ngo, K. Nowka, S. Posluszny, O. Takahashi, I. Vo and B. Zoric, "A 1.0GHz Single-Issue 64b PowerPC Integer Processor", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 230-231, Feb. 1998.
- [3] B.J. Benschneder, S. Park, R. Allmon, W. Anderson, M. Arneborn, J. Cho, C. Choi, J. Clouser, S. Han, R. Hokinson, G. Hwang, D. Jung, J. Kim, J. Krause, J. Kwack, S. Meier, Y. Seok, S. Thierauf and C. Zhou, "A 1GHz Alpha Microprocessor", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 86-87, Feb. 2000.
- [4] P. Hofstee, N. Aoki, D. Boerstler, P. Coulman, S. Dhong, B. Flachs, N. Kojima, O. Kwon, K. Lee, D. Meltzer, K. Nowka, J. Park, J. Peter, S. Posluszny, M. Shapiro, J. Silberman, O. Takahashi and B. Weinberger, "A 1GHz Single-Issue 64b PowerPC Processor", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 92-93, Feb. 2000.
- [5] P.K. Green, "A GHz IA-32 Architecture Microprocessor Implemented on 0.18 μ m Technology with Aluminum Interconnect", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 98-99, Feb. 2000.
- [6] I.A. Young, J.K. Greason and K.L. Wong, "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors", *IEEE J. of Solid-State Circuits*, Vol. 27, No. 11, pp. 1599-1607, Nov. 1992.
- [7] Vincent von Kaenel, D. Aebischer, C. Piguet and E. Dijkstra, "A 320MHz, 1.5mW at 1.25V CMOS PLL for Microprocessor Clock Generation", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 132-133, Feb. 1996.
- [8] I.A. Young, M.F. Mar and B. Bhushan, "A 0.35 μ m CMOS 3-880MHz PLL N/2 Clock Multiplier and Distribution Network with Low Jitter for Microprocessors", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 330-331, Feb. 1997.
- [9] R. Bhagwan and A. Rogers, "A 1GHz Dual-Loop Microprocessor PLL with Instant Frequency Shifting", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 336-337, Feb. 1997.
- [10] A. Shibayama, M. Mizuno, H. Abiko, A. Ono, T. Masuoka, A. Matsumoto, T. Tamura, Y. Yamada, A. Nishizawa, H. Kawamoto, K. Inoue, Y. Nakazawa, I. Sakai and M. Yamashina, "Device-Deviation-Tolerant over-1GHz Clock-Distribution Scheme with Skew-Immune Race-Free Impulse Latch Circuits", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 402-403, Feb. 1998.

- [11] G. Geannopoulos and K. Dai, "An Adaptive Digital Deskewing Circuit for Clock-Distribution Networks", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 400-401, Feb. 1998.
- [12] S. Rusu and S. Tam, "Clock Generation and Distribution for the First IA-64 Microprocessor", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 176-177, Feb. 1999.
- [13] D. Matzke, "Will Physical Scalability Sabotage Performance Gains?", *IEEE Computer*, pp. 37-39, Sept. 1997.
- [14] M. Mizuno, K. Furuta, T. Andoh, A. Tanabe, T. Tamura, H. Miyamoto, A. Furukawa and M. Yamashina, "A 0.18 μ m CMOS Hot-Standby PLL Using a Noise-Immune Adaptive-Gain VCO", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 268-269, Feb. 1995.
- [15] E.A. Jackson, "Perspectives of nonlinear dynamics", *Cambridge university press*, 1991.
- [16] S.H. Strogatz, "Nonlinear Dynamics and Chaos", Addison-Wesley, MA, 1994.
- [17] 田中 久陽, "同期現象の科学の最近の進展", 電子情報通信学会会誌, vol. 80, no. 11, pp. 1175-1179, 1997.
- [18] K. Dessouky and W.C. Lindsey, "Phase and Frequency Transfer between Mutually Synchronizied Oscillators", *IEEE Trans. Commun.*, vol. 32, pp. 110-117, Feb. 1984.
- [19] H. Tanaka, S. Oishi and K. Horiuchi, "Geometric Structure of Mutually Coupled Phase-Locked Loops", *IEEE Trans. Circuits Syst.*, vol. 43, no. 6, pp. 438-443, June 1996.
- [20] G.A. Pratt and J. Nguyen, "Distributed Synchronous Clocking", *IEEE Trans. Parallel and Distributed Systems*, vol. 6, no. 3 pp. 314-328, March 1995.
- [21] V. Gutnik and A. Chandrakasan, "Active GHz Clock Network using Distributed PLLs", *Int'l Solid-State Circuit Conf. (ISSCC) Dig. of Tech. Papers*, pp. 174-175, Feb. 2000.

第 7 章

結論

7.1 本研究により明らかにされた事項

システムオンチップ (SOC) は、数種の回路が複合した構造を持つ LSI であり、日本では、「システム LSI」と呼んで注目されている。本論文ではこのような SOC を、低い電源電圧で高速かつ低電力に動作させる回路技術について述べた。

LSI を低電圧で動作させることの目的は、「高集積化のための低電圧化」、「低電力化のための低電圧化」、「高速化のための低電圧化」の三つに分類され、SOC の高性能化に極めて大きな効果があることを述べた。また、論文では低電圧化の推移とその目的の推移について述べ、その中で低電圧化の目的は時代とともに変化していることと、今日ではそれは全ての LSI の必須項目であることを述べた。

さらに、低電圧化には大きく分けて、「低電圧化に伴う動作速度低下」、「低電圧化に伴う電力増加」の二つの課題があり、前者の課題から派生した課題として、「低電圧化に伴う回路特性不整合」、「低電圧化に伴う特性ばらつき増加」の二つの課題があることを述べた。

本論文では、上記した低電圧化に伴う四つの課題に対する解決策を検討するために、第 2 章から第 6 章において、5 種類の異なる回路要素の低電圧動作時の高速・低電力化回路技術の検討結果を述べた。

「低電圧化に伴う動作速度劣化」と「低電圧化に伴う電力増加」の課題について

第 2 章のロジック回路、第 3 章の SRAM 回路、第 4 章のキャッシュの検討を通して、「低電圧化に伴う動作速度低下」と「低電圧化に伴う電力増加」の課題について以下のことが明らかになった。

第 2 章の低電圧ロジック回路の高速・低電力化の検討結果から、

- (1) 「低電圧化に伴う電力増加」の課題の大きな要因はサブスレッショルドリーク電流である。このリーク電流による電力増加を抑えるために MOS トランジスタのしきい値電圧を高くすると、「低電圧化に伴う動作速度低下」を招く。今日では、「低電圧化に伴う電力増加」と「低電圧化に伴う動作速度劣化」をいかにして同時に解決するかという命題は、サブスレッショルドリーク電流をいかにして削減するかという命題に等しい。
- (2) 現在までに提案されているサブスレッショルドリーク電流の削減技術は大きく分けて「電源スイッチ方式」と「基板バイアス制御方式」に分けられる。電源スイッチ方

式は CAD によるサポートが複雑になり、 I_{DDQ} テストが困難になる。一方、「基板バイアス制御方式」は CAD によるサポートは容易であり、IDDQ テスト時にも有効であるが、LSI の動作時動作速度劣化が課題である。

- (3) 第 2 章で提案した基板インピーダンス切り替え型基板バイアス制御方式によって、動作時の動作速度を劣化することなくサブスレッショルドリーク電流を低減できる。SH4 マイコンへの適用結果では、待機時リーク電流を約 1.7 桁削減できた。
- (4) またさらに基板バイアス制御による待機時リーク電流削減効果の限界要因として、GIDL (Gate Induced Drain Leakage) 電流の増加が挙げられる。GIDL 電流については、同じく第 2 章で提案した低電圧基板バイアス制御方式によって抑制できる。SH4 マイコンへの適用結果では、待機時リーク電流を更に約 1 桁削減できた。

第 3 章の低電圧 SRAM 回路の高速・低電力化の検討結果から、

- (1) 低電圧 SRAM 回路においては、「低電圧化に伴う動作速度劣化」の課題から派生した課題として、サブスレッショルドリーク電流によるビット線ノイズ増加と、スタティック・ノイズ・マージン (SNM) 劣化の課題が新たに発生する。
- (2) SNM はメモリセルを低電圧で駆動するほど小さくなり、さらに、メモリセルを構成するトランジスタのしきい値電圧が低くなるほど小さくなる。特に転送 MOS トランジスタの低しきい値化は SNM を大きく劣化させる。
- (3) 第 3 章で提案したソース線駆動方式のメモリセルは、MOS トランジスタの耐圧の課題があるが、完全 CMOS メモリセルの構造をほとんど変更せずに上記ビット線ノイズ増加と SNM の課題を解決できる。シミュレーション結果では、電源電圧 0.5 V 時に読み出し時間を約 60% 低減し、書き込み時のビット線充放電電力を約 90% 削減できた。

第 4 章の低電圧キャッシュの高速・低電力化の検討結果から、

- (1) SRAM 回路の「低電圧化に伴う動作速度劣化」の課題に対する解決策として、SRAM 回路がキャッシュの構造で使用される場合には、回路的アプローチのみではなく方式的アプローチが効果的である。
- (2) 第 4 章で提案した方式的なアプローチであるビット線分離型メモリ階層方式は、前記 SRAM 回路におけるビット線ノイズと SNM の課題を同時に解決でき、さらにこの方式は、第 3 章で提案したソース線駆動方式のメモリセルで新たに生まれた耐圧の問題も生じないことが明らかとなった。16KB 4 ウェイ・セット・アソシアティブキャッシュへの適用結果では、読み出しレイテンシを約 25% 短縮でき、消費電力を約 23% 削減できた。
- (3) キャッシュは電力を多く消費するチップ外アクセスを低減でき、マイクロプロセッサ等の LSI の低電力化に有効である。第 4 章で提案したビット線分離型ユニファイドキャッシュは、小面積で高ヒット率が得られる。ベンチマークテストの結果、32KB キャッシュと同じヒット率を約 70% の容量で実現でき、同じく 64KB 以上の容量のキャッシュをと同じヒット率を約 60% の容量で実現できた。

「低電圧化に伴う回路特性不整合」の課題について

SOC では多種多様の回路要素が集積化されることから、「低電圧化に伴う回路特性不整合」の課題は深刻である。特にロジック回路とは異なるアナログ回路的な要素を多く含む

回路では、上記課題が生じやすい。本論文では第 5 章において、SOC に搭載されるアナログ回路の代表的な例としてロジック混載 DRAM 回路を取り上げた。この検討を通じて、「低電圧化に伴う回路特性不整合」の課題について以下のことが明らかとなった。

- (1) 「低電圧化に伴う回路特性不整合」の課題の原因は、回路を構成する MOS トランジスタの動作領域の違いが主な原因である。
- (2) DRAM センス系回路の動作速度を決定する MOS トランジスタの動作領域 (拡散電流が支配的な領域) を、ロジック回路を構成する MOS トランジスタの動作領域 (ドリフト電流が支配的な領域) と同じ領域になるように、DRAM センス系回路の回路構造および駆動方法を変更することで、「低電圧化に伴う回路特性不一致」の課題を解決できる。シミュレーション結果では、DRAM のセンス時間および再書き込み時間の温度および電源電圧依存性を、0.8 V までロジック回路の遅延時間のそれと一致できた。

「低電圧化に伴う特性ばらつき増加」の課題について

「低電圧化に伴う特性ばらつき増加」の解決例として、第 6 章で自立分散手法をクロック系に適用した例を述べた。この検討を通じて、「低電圧化に伴う特性ばらつき増加」の課題について以下のことが明らかとなった。

- (1) LSI で一般に用いられているクロック系のようなクロック発生系とクロック分配系からなる“強制同期”の手法では、デバイスばらつきや動作環境変動による回路の遅延特性の変化による影響が大きい。
- (2) 従来のクロック系の“強制同期”とは対極的な同期手法として、第 6 章で提案した自立分散的な“相互同期”によるクロック系を用いることにより、デバイスばらつきに対するクロックスキューあるいはジッタを大幅に低減できる。0.25 μ m CMOS を用いた試作結果では、100 mV 以上の電源ノイズがある環境で、約 7 mm 離れた発振器を 97 ps のジッタと 37 ps のスキューで同期発振できた。

7.2 今後に残された課題

「低電圧化に伴う動作速度劣化」と「低電圧化に伴う電力増加」の課題について

本論文では、「低電圧化に伴う電力増加」と「低電圧化に伴う動作速度劣化」の課題の解決策として、

「低電圧化に伴う電力増加」と「低電圧化に伴う動作速度劣化」の課題をいかにして同時に解決するかという命題は、サブスレッショルドリーク電流をいかにして削減するかという命題に等しい。

として、サブスレッショルドリーク電流低減技術を中心に述べた。今後、サブスレッショルドリーク電流に加えて「低電圧化に伴う電力増加」と「低電圧化に伴う動作速度劣化」の課題の原因となると予想されるのが、ゲートリーク電流である。

一般にオフ時の MOS トランジスタのサブスレッショルドリーク電流を小さくしようとすると、オン時の駆動電流も小さくなる。しかし、ゲート酸化膜を薄くすると、オフ時のサブスレッショルドリーク電流を小さく抑えながらオン時の駆動電流を大きくできる。ゲート酸化膜の薄膜化は、短チャネル効果を抑制しながら駆動電流も増加させることができるため、低電圧化に伴う素子の微細化には最も有効な方法である。ところが、ゲート酸化膜はむやみに薄膜化できない。酸化膜厚が 3nm よりも薄くなると、電子の直接トンネルによって酸化膜を通して大きなリーク電流がゲートに流れるようになる。CMOS では暗黙の前提であったゲートインピーダンスが無限大という利点が喪失することになる。

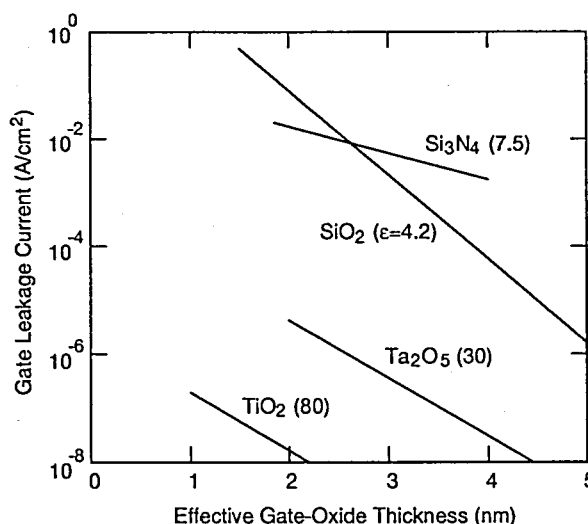


図 7.1 ゲートリーク電流の実効ゲート酸化膜厚依存性。

ゲートリーク電流を防ぐ方法として、1998 年頃から Ta_2O_5 、 Al_2O_3 、 TiO_2 等の高誘電率ゲート酸化膜を導入するプロセス技術開発が進められている [1]。図 7.1 にゲートリーク電流の実効ゲート酸化膜厚依存性を示す。高誘電率ゲート酸化膜を用いれば、実効ゲート酸化膜厚を小さくすることができ、ゲートリークを無視できるまで小さく抑えることができる。しかし、現時点ではこれらの新材料の適用は極めて困難であると言わざるを得ない。新材料の開発とともに回路技術による解決策の開発が望まれる。

「低電圧化に伴う回路特性不整合」の課題について

本論文では、「低電圧化に伴う回路特性不整合」の課題の解決策として、

「低電圧化に伴う回路特性不整合」の課題の原因は、それぞれの回路を構成する MOS トランジスタの動作領域の違いである。

として、回路における動作速度を決定する MOS トランジスタの動作領域を中心に考察した。今後、SOC 上にはデジタル回路のみならず、精度の要求される A/D 変換器や D/A 変換器等のアナログ回路、あるいは、RF 回路等も混載されることが予想される。このような場合に回路技術として重要となるのが、各回路から発生するノイズの遮断技術である。

一般にノイズの伝播は、電源ラインからの伝播と基板からの伝播に分けることができる。また、LSI が微細化された場合には配線間容量結合が強くなるために、クロストークノイズも問題となる。それぞれの回路において外部へノイズを発生させない回路技術を開発するとともに、外部からのノイズに対する耐性が高い回路技術を開発する必要がある。

第 6 章でも述べたように、一般に低電圧で動作する回路はそれらのノイズに対する影響が大きい。発生したノイズを逆相のノイズで積極的に低減するという技術 [2] や、多くの電源ノイズがある中でも正確な信号の授受が可能なインターフェース回路 [3] も開発されているが、今後これらの高耐ノイズ回路技術が益々重要になると考えられる。

「低電圧化に伴う特性ばらつき増加」の課題について

本論文では、「低電圧化に伴う特性ばらつき増加」の課題の解決策として、

従来のクロック系の“強制同期”のような中央集権的手法では、デバイスばらつきや動作環境変動による回路の遅延特性の変化による影響が大きい。

として、中央集権的な“強制同期”とは対極的な同期手法として自立分散的な“相互同期”による特性ばらつき抑制技術を中心に述べた。

自立分散的手法は、「低電圧化に伴う特性ばらつき増加」の抑制に大きな効果があるが、現時点ではほとんどこの手法は使用されていないのが現実である。一つの仕事を複数に分割し、相互に依存させながら一つの仕事を遂行するというシステムは極めて設計が困難なのは事実である。今後、ロバスト性の向上のためにも、LSI の設計に自立分散的な手法を取り入れていく必要がある。

参考文献

- [1] K. Haraguchi, K. Torii, J. Yugami and T. Onai, "A TiO_2 Gate Insulator of a 1-nm Equivalent Oxide Thickness Deposited by Electron-Beam Evaporation", *Extended Abstract of the 1999 Int'l Conf. on Solid State Devices and Materials (SSDM)*, pp. 376-377, Sept. 1999.
- [2] K. Makie-Fukuda, S. Maeda, T. Tsukada and T. Matsuura, "Substrate Noise Reduction using Active Guard Band Filters in Mixed-Signal Integrated Circuits", *VLSIC*, pp. 33-34, June 1995.
- [3] Y. Kanno, H. Mizuno, K. Tanaka and T. Watanabe, "Level Converters with High Immunity to Power-Supply Bouncing for High-Speed Sub-1-V LSIs", *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp. 202-203, June 2000.

謝辞

本論文を執筆するに当たり、大阪大学工学部 谷口研二教授には、筆者が大阪大学に在学中の時から終始変わらず懇切丁寧に御指導いただき、本論文の執筆に対しても更なる御指導ならびに御鞭撻を賜りましたことに、深く感謝の意を表す。また、本論文の作成にあたり、懇切な御指導と御支援を頂きました大阪大学大学院工学研究科吉野勝美教授、濱口智尋教授、尾浦憲治郎教授、森田清三教授、西原浩教授、谷野哲三教授、北山研一教授、岸野文郎教授に深く感謝の意を表す。

本論文の研究は、筆者の勤務する日立製作所中央研究所で行ったものであるが、本研究の遂行にあたっては、筆者が中央研究所に入社して以来の歴代所長でおられた中村道治（現在、研究開発本部副本部長）、武田英二（現中央研究所所長）の各氏をはじめとして、筆者の所属部の歴代の部長でおられた、下東勝博（現在、半導体事業本部半導体技術開発センタ長）、関浩一（現在、中央研究所企画室室長）、木村勝高（現 ULSI 研究部部長）の各氏ならびに、先端技術部の田地新一部長、システム LSI 研究部の佐々木勝郎部長に、多大なる御支援をいただいた。厚く感謝の意を表す。

また、入社以来、筆者の所属ユニットの歴代のユニットリーダーでおられた長野隆洋（現在、日立研究所画像デバイス研究部主管研究員）、石橋孝一（現在、システム LSI 研究部主任研究員）、渡部隆夫（現在、ULSI 研究部主任研究員）、河原尊之（現ユニットリーダー兼 ULSI 研究部主任研究員）の各氏、および、伊藤清男（現在、日立製作所フェロー）、樋口久幸（現在、前橋工科大学情報工学科教授）、前島英雄（現在、東京工業大学大学院総合理工学研究科教授）、金子憲二（現在、汎用半導体事業部）、内山邦男（現在、システム LSI 研究部主管研究員）、中込儀延（現在、半導体事業部半導体技術開発センタ先端デバイス開発部部長）、矢野和男（現在、システム LSI 研究部主任研究員）、花輪誠（現在、エンタープライズシステム研究部主任研究員）、平木充（現在、半導体事業部半導体技術開発センタ主任研究員）の各氏においては、研究生活の全般にわたり暖かく御指導いただいた。ここに深く感謝の意を表す。

上記以外にも、第 2 章の研究の遂行にあたっては、志村隆則（現在、システム LSI 研究部主任研究員）、田中一雄（現在、半導体事業部システム L S I 事業部主任技師）、宮崎祐行（現在、システム LSI 研究部研究員）、Changku Hwang（現在、Hitachi America Ltd., Senior Researcher）の各氏をはじめとする SH4 プロジェクトの回路・方式グループの方々、服部俊洋氏（現在、半導体事業部半導体技術開発センタ主任研究員）をはじめとする SH4 プロジェクトのレイアウトグループの方々、池田修二（現在、半導体事業部半導体技術開発統括本部プロセス技術開発部副部長）、塩沢健治（現在、半導体事業部システム L S I 事業部主任技師）の各氏をはじめとする SH4 プロジェクトのプロセスグループの方々、稲吉秀夫（現在、半導体グループ事業企画統括本部次長）、赤尾泰（現在、半導体事業部システム L S

I 事業部先端マイコン本部 SH 第 1 開発部部长) の各氏をはじめとする半導体事業部の方々には、LSI の試作等を含めて御指導および有益な御議論をいただいた。さらに、第 3 章の研究の遂行に当たっては、LSI の検証に関して、新保利信 (現在、日立超 LSI システムズ)、長田健一 (現在、システム LSI 研究部研究員) の各氏に、LSI の試作に関して、松崎望 (現在、ULSI 研究部)、大木長斗司 (現在、日立超 LSI システムズ)、石田浩 (現在、日立超 LSI システムズ) の各氏をはじめとするプロセス関係者の方々に、多大なるご支援をいただいた。さらに、第 4 章の研究の遂行に当たっては、鈴木誠 (現在、システム LSI 研究部主任研究員)、橘大 (現在、セイコーセブソン (株) 東京デザインセンター) の各氏に、キャッシュの動作に関する御指導および有益な御議論をいただいた。また、第 5 章の研究の遂行に当たっては、共同研究者である、菅野雄介 (現在、ULSI 研究部研究員)、大平信裕 (日立超 LSI システムズ) の各氏をはじめとして、現在のユニット員の各氏に有益な議論をいただいた。特に、DRAM 回路・プロセスに関しては、青木正和 (現在、半導体事業部システム LSI 事業部主任技師)、柳沢一正 (現在、半導体事業部システム LSI 事業部主任技師)、高橋継雄 (現在、デバイス開発センタ半導体技術開発本部 DRAM 開発部技師)、木村紳一郎 (現在、ULSI 研究部主管研究員)、阪田健 (現在、ULSI 研究部主任研究員)、関口知紀 (現在、ULSI 研究部研究員)、竹村理一郎 (現在、ULSI 研究部研究員) の各氏に、御指導および有益な議論をいただいた。また、第 6 章の研究の遂行に当たっては、田中久陽氏 (現在、(株) ソニーコンピュータサイエンス研究所研究員) には、分散同期発振器の動作限界に関して御議論いただいた。ここに深く感謝の意を表す。

上記以外にも、日立製作所中央研究所の方々をはじめとして、半導体事業部ならびに日立製作所の関連会社の多くの方々、および、国際会議や各種国内研究会での議論の場において、有益な御議論をしていただいた多くの研究者の方々に深く感謝の意を表す。

研究業績

学術論文

- (1) H. Mizuno, K. Taniguchi and C. Hamaguchi, "Carrier Transport analysis with Monte Carlo simulation including new simplified band structure", *Semicond. Sci. Technol.*, vol. 7, pp. B379-B381, March 1992.
- (2) K. Taniguchi, H. Mizuno, M. Morifuji and C. Hamaguchi, "Physical Models for Rigorous Monte Carlo simulation", *Computer Aided Innovation of New Materials II*, pp. 1585-1590, 1993.
- (3) H. Mizuno, K. Taniguchi and C. Hamaguchi, "Electron-transport simulation in silicon including anisotropic phonon scattering rate", *Phys. Rev. B*, vol. 48, pp. 1512-1516, July 1993.
- (4) H. Mizuno, M. Morifuji, K. Taniguchi and C. Hamaguchi, "Theoretical calculation of impact ionization rate in SiO_2 ", *J. of Appl. Phys.*, vol. 74, pp. 1100-1105, July 1993.
- (5) T. Kunikiyo, M. Takenaka, Y. Kamakura, M. Yamaji, H. Mizuno, M. Morifuji, K. Taniguchi and C. Hamaguchi, "A Monte Carlo Simulation of Anisotropic Electron Transport in Silicon Including Full Band Structure and Anisotropic Impact-Ionization Model", *J. of Appl. Phys.*, vol. 75, no. 1, pp. 297-312, Jan. 1994.
- (6) Y. Kamakura, H. Mizuno, M. Yamaji, M. Morifuji, K. Taniguchi, C. Hamaguchi, T. Kunikiyo and M. Takenaka, "Impact Ionization Model for Full Band Monte Carlo Simulation", *J. of Appl. Phys.*, vol. 75, no. 7, pp. 3500-3506, Apr. 1994.
- (7) A. Abramo, L. Baudry, R. Brunetti, R. Castagne, M. Charef, F. Dessenne, P. Dollfus, R. Dutton, W.L. Engl, R. Fauquembergue, C. Fiegna, M.V. Fischetti, S. Galdin, N. Goldsman, M. Hackel, C. Hamaguchi, K. Hess, K. Hennacy, P. Hesto, J.M. Hightman, T. Iizuka, C. Jungemann, Y. Kamakura, H. Kosina, T. Kunikiyo, S.E. Laux, H. Lin, C. Maziar, H. Mizuno, H.J. Peifer, S. Ramaswamy, N. Sano, P.G. Scrobohaci, S. Selberherr, M. Takenaka, T.-W. Tang, K. Taniguchi, J.L. Thobel, R. Thoma, K. Tomizawa, M. Tomizawa, T. Vogelsang, S.-L. Wang, X. Wang, C.-S. Yao, P.D. Yoder and A. Yoshii, "A Comparison of Numerical Solutions of the Boltzmann Transport Equations for High-Energy Electron Transport in Silicon", *IEEE Trans. on Electron Devices*, vol. ED-41, no. 9, pp. 1646-1654, Sept. 1994.
- (8) H. Mizuno and T. Nagano, "Driving Source-Line (DSL) Cell Architecture for Sub-1V High-Speed Low-Power Applications", *IEEE J. of Solid-State Circuits*,

vol. 31, no. 4, pp. 552-557, Apr. 1996.

- (9) H. Mizuno, N. Matsuzaki, K. Osada, T. Shinbo, N. Ooki, H. Ishida, K. Ishibashi and T. Kure, "A 1-V 100-MHz 10-mW Cache Using a Separated Bit-Line Memory Hierarchy Architecture and Domino Tag Comparators", *IEEE J. of Solid State Circuits*, vol. 31, no. 11, pp. 1618-1624, Nov. 1996.
- (10) H. Mizuno and K. Ishibashi, "A Separated Bit-Line Unified Cache: Conciliating Small On-Chip Cache Die-Area and Low Miss Ratio", *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, vol. 7, no. 1, pp. 139-144, March 1999.
- (11) H. Mizuno, K. Ishibashi, T. Shimura, T. Hattori, S. Narita, K. Shiozawa, S. Ikeda and K. Uchiyama, "A 18- μ A-Standby-Current 1.8-V 200-MHz Microprocessor with Self Substrate-Biased Data Retention Mode", *IEEE J. of Solid-State Circuits*, vol. 34, no. 11, pp. 1492-1500, Nov. 1999.
- (12) 水野 弘之, "CMOS LSI の低電圧・高速化に伴うリーク電流増加とその削減技術", 電子情報通信学会和文論文誌 C (to be published).

国際会議

- (1) K. Taniguchi, H. Mizuno and C. Hamaguchi, "Physical models for rigorous Monte Carlo simulation", *The Second Int'l Conf. & Exhibition on Computer Applications to Materials and Molecular Science and Engineering (CAMSE'92)*, Apr. 1991.
- (2) H. Mizuno, K. Taniguchi and C. Hamaguchi, "Carrier Transport analysis with Monte Carlo simulation including new simplified band structure", *The 7th Int'l Conf. on Hot Carriers in Semiconductors (HCIS)*, July 1-5, 1991, Nara, Japan.
- (3) K. Taniguchi, H. Mizuno, M. Morifuji, Y. Kamakura, M. Yamaji, C. Hamaguchi, T. Kunikiyo and M. Takenaka, "Physical Models for Rigorous Monte Carlo Simulation", *The 2nd Int'l Conf. & Exhibition on Computer Applications to Materials and Molecular Science and Engineering*, Sept. 22-25, 1992, Yokohama, Japan.
- (4) H. Mizuno, M. Morifuji, K. Taniguchi and C. Hamaguchi, "Theoretical Calculation of Impact Ionization Rate in SiO₂", *The 23rd IEEE Semiconductor Interface Specialist Conference (SISC92)*, Dec. 9-12, 1992, San Diego, USA.
- (5) K. Taniguchi, T. Kunikiyo, H. Mizuno, M. Takenaka and C. Hamaguchi, "Adjustable parameter free Monte Carlo simulation for high field carrier transport", *1993 Symposium on Semiconductor Modeling & Simulation*, March 6, 1993, Taipei, Taiwan.
- (6) T. Kunikiyo, Y. Kamakura, M. Yamaji, H. Mizuno, M. Takenaka, K. Taniguchi and C. Hamaguchi, "Adjustable Parameter Free Monte Carlo Simulation for Electron Transport in Silicon Including Full Band Structure", *Int'l workshop on VLSI process and device modeling (VPAD93)*, May 14-15, 1993, Nara, Japan.
- (7) K. Taniguchi, H. Mizuno, Y. Kamakura, M. Morifuji, C. Hamaguchi, T. Kunikiyo and M. Takenaka, "High Field Carrier Transport using a Monte Carlo Simulator including Realistic Band Structure", *Int'l workshop on process and devices of scales LSI's* June 24-25, 1993, Seoul, Korea.

- (8) K. Taniguchi, **H. Mizuno**, Y. Kamakura, C. Hamaguchi and T. Kunikiyo, "Study of Anisotropic Electron Transport in Silicon Using ab-initio Monte Carlo Simulation", *Int'l semiconductor device research symposium*, Dec. 1-3, 1993, Charlottesville, USA.
- (9) K. Taniguchi, T. Kunikiyo, Y. Kamakura, **H. Mizuno** and C. Hamaguchi, "Simulation of high field carrier transport in silicon", *Int'l Conf. on Advanced Microelectronic Devices and Processing*, March 3-5, 1994, Sendai, Japan.
- (10) **H. Mizuno** and T. Nagano, "Driving Source-Line (DSL) Cell Architecture for Sub-1V High-Speed Low-Power Applications", *1995 Symp. on VLSI Circuits*, June 1995, Kyoto, Japan.
- (11) **H. Mizuno**, N. Matsuzaki, K. Osada, T. Shinbo, N. Ooki, H. Ishida, K. Ishibashi and T. Kure, "A 1-V 100-MHz 10-mW Cache Using a Separated Bit-Line Memory Hierarchy Architecture and Domino Tag Comparators", *1996 Int. Solid-State Circuits Conf. (ISSCC)*, Feb. 1996, San Francisco, USA.
- (12) **H. Mizuno** and K. Ishibashi, "A Cost-Oriented Two-Port Unified Cache for Low-Power RISC Microprocessors", *1996 Symp. VLSI Circuits*, June 1996, Hawaii, USA.
- (13) **H. Mizuno**, M. Miyazaki, K. Ishibashi, Y. Nakagome and T. Nagano, "A Lean-Power Gigascale LSI using Hierarchical V_{BB} Routing Scheme with Frequency Adaptive V_T CMOS", *1997 Symp. on VLSI Circuits*, June 1997, Hawaii, USA.
- (14) **H. Mizuno** and K. Ishibashi, "A Noise-Immune GHz-Clock Distribution Scheme using Synchronous Distributed Oscillators", *1998 Int. Solid-State Circuits Conf. (ISSCC)*, Feb. 1998, San Francisco, USA.
- (15) M. Miyazaki, **H. Mizuno** and K. Ishibashi, "A Delay Distribution Squeezing Scheme with Speed-Adaptive Threshold-Voltage CMOS (SA-Vt CMOS) for Low Voltage LSIs", *1998 Int'l Symp. on Low Power Electronics and Design (ISLPED)*, Aug. 1998, USA.
- (16) **H. Mizuno**, K. Ishibashi, T. Shimura, T. Hattori, S. Narita, K. Shiozawa, S. Ikeda and K. Uchiyama, "A 18- μ A-Standby-Current 1.8-V 200-MHz Microprocessor with Self Substrate-Biased Data Retention Mode", *1999 Int. Solid-State Circuits Conf. (ISSCC)*, Feb. 1999, San Francisco, USA.
- (17) Y. Kanno, **H. Mizuno** and T. Watanabe, "A DRAM System for Consistently Reducing CPU Wait Cycles", *1999 Symp. VLSI Circuits*, June 1999, Kyoto, Japan.
- (18) **H. Mizuno**, N. Oodaira, Y. Kanno, T. Sakata and T. Watanabe, "CMOS-Logic-Circuit-Compatible DRAM Circuit Designs for Wide-Voltage and Wide-Temperature-Range Applications", *2000 Symp. VLSI Circuits*, June 2000, Hawaii, USA.
- (19) Y. Kanno, **H. Mizuno**, K. Tanaka and T. Watanabe, "Level Converters with High Immunity to Power-Supply Bouncing for High-Speed Sub-1-V LSIs", *2000 Symp. VLSI Circuits*, June 2000, Hawaii, USA.

国内学会

- (1) 水野弘之, 谷口研二, 浜口智尋, 「モンテカルロ法のための Si バンド構造モデル」, 1991 年春期第 38 回応用物理学会

- (2) 水野弘之, 森藤正人, 谷口研二, 浜口智尋, 「バレー間フォノン散乱における変形ポテンシャルの波数依存性」, 1991 年秋季第 52 回応用物理学会
- (3) 水野弘之, 森藤正人, 谷口研二, 浜口智尋, 「高精度モンテカルロシミュレーションにおける物理モデル (1)」, 1992 春期第 39 回応用物理学会
- (4) 鎌倉良成, 水野弘之, 谷口研二, 浜口智尋, 「部分波の方法による不純物散乱確率の計算」, 1992 年春季第 39 回応用物理学会
- (5) 水野弘之, 森藤正人, 谷口研二, 浜口智尋, 「SiO₂ のバンド構造とそれを考慮したインパクトイオン化率の計算」, 1992 年秋季第 53 回応用物理学会
- (6) 鎌倉良成, 山地充, 水野弘之, 竹中正浩, 国清辰也, 谷口研二, 浜口智尋, 「バンド構造を考慮したモンテカルロシミュレーション」, 1992 年秋季第 53 回応用物理学会
- (7) 水野弘之, 谷口研二, 浜口智尋, 「フォノン散乱の波数依存性のキャリア輸送特性への影響」, 1993 年春季第 40 回応用物理学会
- (8) 鎌倉良成, 水野弘之, 国清辰也, 竹中正浩, 森藤正人, 谷口研二, 浜口智尋, 「誘電関数の周波数依存性がインパクトイオン化率に与える影響」, 1993 年春季第 40 回応用物理学会
- (9) 竹中正浩, 山地充, 鎌倉良成, 水野弘之, 国清辰也, 谷口研二, 浜口智尋, 「バンド構造を考慮したモンテカルロシミュレーション—フォノン散乱とインパクトイオン化の波数依存性について」, 1993 年春季第 40 回応用物理学会

国内研究会

- (1) 水野弘之, 森藤正人, 谷口研二, 浜口智尋, 「モンテカルロシミュレーションのための物理モデル」, 電子情報通信学会誌シリコン材料・デバイス研究会, SDM92-90, VLD92-65, p. 37, (9 月 30 日, 1992 年) 神奈川
- (2) 国清辰也, 鎌倉良成, 山地充, 水野弘之, 竹中正浩, 谷口研二, 浜口智尋, 「バンド構造を考慮したモンテカルロシミュレーション」, 電子情報通信学会誌シリコン材料・デバイス研究会, SDM92-89, VLD92-64, p. 29, (9 月 30 日, 1992 年) 神奈川
- (3) K. Taniguchi, H. Mizuno, K. Kamakura, M. Morifuji, C. Hamaguchi, T. Kunikiyo and M. Takenaka, "High Field Carrier Transport using a Monte Carlo Simulator including Realistic Band Structure", 電子情報通信学会誌シリコン材料・デバイス研究会, SDM93-33, p. 6, 1993
- (4) 水野弘之, 松崎望, 長田健一, 新保利信, 大木長斗司, 石田浩, 石橋孝一郎, 久礼得男, "ビット線分離型メモリ階層方式とドミノ型タグ比較器を用いた 1V 100MHz 10mW オンチップキャッシュ", 電子情報通信学会誌集積回路研究会, ICD96-31, pp. 21-28, (5 月 23 日, 1996 年), 東京
- (5) 水野弘之, "低電圧 CMOS デジタル回路技術の現状と展望", 電子情報通信学会誌集積回路研究会, ICD99-48, pp. 79-86, (6 月 24 日, 1999 年), 沖縄
- (6) 菅野雄介, 水野弘之, 渡部隆夫, "CPU の待ち時間を削減する DRAM メモリシステムの提案", 電子情報通信学会誌集積回路研究会, ICD2000-10, pp. 7-12, (4 月 14 日, 2000 年), 東京
- (7) 菅野雄介, 水野弘之, 渡部隆夫, 田中一雄, "低電圧動作 LSI のためのレベル変換回路の提案", 電子情報通信学会誌集積回路研究会, ICD2000, to be published, (8 月 24 日, 2000 年), 北海道

国内講演

- (1) 水野 弘之, “「回路集積化技術」デジタル技術”, 日本学術振興会 超集積化デバイス・システム第 165 委員会「VLSI 設計・夏の学校」, (9 月 10 日, 1997 年), 東京
- (2) 水野 弘之, “「回路集積化技術」デジタル技術”, 日本学術振興会 超集積化デバイス・システム第 165 委員会「VLSI 設計・夏の学校」, (8 月 21 日, 1998 年), 東京
- (3) 水野 弘之, “デジタル回路設計”, 日本学術振興会 超集積化デバイス・システム第 165 委員会「VLSI 設計・夏の学校」, (8 月 20 日, 1999 年), 東京
- (4) 水野 弘之, “デジタル回路設計”, 日本学術振興会 超集積化デバイス・システム第 165 委員会「VLSI 設計・夏の学校」, (8 月 7 日, 2000 年), 大阪

