

Title	多結晶シリコン薄膜トランジスタの研究
Author(s)	松井, 誠
Citation	大阪大学, 1989, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/2457
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

多結晶シリコン薄膜トランジスタの研究

1988年10月

松 井 誠

要 旨

本研究は、分子線成長法による多結晶シリコン膜の低温形成と、この分子線成長多結晶シリコン膜を用いた薄膜トランジスタに関するものである。

超高真空下での清浄雰囲気中で真空蒸着すること（これを「分子線成長」と呼ぶ）により、非晶質基板上への多結晶シリコン膜の成長温度の下限を、従来の低圧化学的気相成長法の600℃から一挙に400℃にまで低温化することができた。このことにより、比較的高い電界効果移動度をもつ多結晶シリコン薄膜トランジスタの製造工程の低温化を可能にし、従来は、高温に耐える石英基板上にのみ作製されていた多結晶シリコン薄膜トランジスタを、軟化点温度の低い、安価なガラス基板の上に形成することを可能にした。

ガラス基板上に形成した分子線成長多結晶シリコン薄膜トランジスタの電界効果移動度は、約 $40\text{ cm}^2/\text{V}\cdot\text{s}$ という高い値を示した。これは、水素化アモルファス・シリコン薄膜トランジスタの電界効果移動度より約2桁高く、トランジスタの動作速度が速いために、例えば、液晶ディスプレイに応用した場合、画素をスイッチするためのアクティブ・マトリックスとしてのみならず、周辺駆動回路をも一体化して形成できる可能性があり、本格的な大容量の液晶ディスプレイへの途を切り拓くものとして、工業的意義は大きい。

分子線成長多結晶シリコン薄膜トランジスタは、また、実用上光感度がないという、表示素子の駆動用トランジスタとして有利な特性を備えている反面、本研究の範囲では、OFF電流が大きめであり、したがって、また、ON/OFF電流比が小さく、走査線数の多い液晶表示のためには、OFF電流の低減が必要であることが分かった。

さらに、低温形成多結晶シリコン薄膜トランジスタを液晶ディスプレイへ応用する第一歩として、 10×10 素子の薄膜トランジスタ・マトリックスを試作し、ツイステッド・ネマティック液晶と組み合わせて、 10×10 画素の液晶表示の原理実験を行った。

分子線成長多結晶シリコン膜の膜構造及び電気的特性、並びに、電気的特性に及ぼす水素化の効果についても検討した。また、水素化が薄膜トランジスタの特性改善のために効果的であることを明らかにした。

目 次

第1章 序 論	1
1.1 歴史的背景	1
1.2 薄膜トランジスタの今日的意義	6
1.3 本研究の意義	10
1.4 本研究の目的と内容	12
参考文献	15
第2章 分子線成長法による多結晶シリコン膜の低温形成	17
2.1 まえがき	17
2.2 実験方法	19
2.2.1 分子線成長によるSi膜の形成	19
2.2.2 分析方法	21
2.3 結果および検討	24
2.3.1 RHEEDによるMBD-Si膜表面層の結晶構造	24
2.3.2 X線回折による膜全体としての結晶構造	29
2.3.3 MBD多結晶Si膜の膜内構造	31
2.3.4 MBD多結晶Si膜の成長過程	32
2.3.5 SEMによるMBD多結晶Si膜表面形状の観察	38
2.4 まとめ	40
参考文献	41
第3章 分子線成長多結晶シリコン膜の電気的特性	42
3.1 まえがき	42
3.2 実験方法	43
3.2.1 試 料	43
3.2.2 電気伝導度およびホール係数の測定方法	45

3.3	結果および検討	46
3.3.1	MBD多結晶Si膜の電気的特性	46
3.3.2	電気的特性に及ぼす水素化の効果	48
3.4	まとめ	56
	参考文献	57
第4章 ガラス基板上的多結晶シリコン薄膜トランジスタ		58
4.1	まえがき	58
4.2	低温プロセスによる薄膜トランジスタの作製方法	59
4.2.1	分子線成長法による多結晶シリコン膜の低温形成	59
4.2.2	低温プロセスによる薄膜トランジスタの作製	59
4.3	結果および検討	62
4.3.1	MBD-Si-TFTの特性	62
4.3.2	TFT特性のSi膜厚依存性と水素化の効果	67
4.4	まとめ	72
	参考文献	73
第5章 液晶ディスプレイへの応用		74
5.1	まえがき	74
5.2	10×10画素の液晶表示パネルの作製および駆動法	75
5.2.1	液晶表示パネルの作製	75
5.2.2	駆動法	79
5.3	10×10の液晶パネルの表示特性および検討	81
5.4	日立研究所におけるTFT-液晶ディスプレイ研究の現状と 低温形成多結晶Si薄膜トランジスタの今後の展望	85
5.5	まとめ	89
	参考文献	90
第6章 結 論		91
謝 辞		95

本論文で用いた主な記号

a	格子定数
C_{GS}	ゲート・ソース間容量
C_{OX}	ゲート絶縁膜の単位面積当たりの容量
e	素電荷
E	電場 (電界)
E_A	活性化エネルギー
E_b	エネルギー障壁の高さ
E_B	ボンド・エネルギー
E_F	フェルミ準位
E_t	捕獲準位
f_F	フレーム周波数
g_m	トランス・コンダクタンス
H	磁場 (磁界)
I	電流
I_D	ドレイン電流
I_{Dsat}	飽和ドレイン電流
J_{th}	熱活性化過程による電流密度
k	ボルツマン定数
L	グレイン・サイズ
L	チャンネル長
m^*	キャリアの有効質量
n	キャリア濃度 (n_e : 電子濃度, n_h : 正孔濃度)
N	不純物 (ドナー又はアクセプタ) 濃度
q	n型の場合は、電子のいないドナーの電荷 (+ e), p型の場合は、電子のいるアクセプタの電荷 (- e)
Q_t	単位面積当たりの捕獲準位密度
R	電気抵抗
R_H	ホール係数
T	温度

T_s	基板温度
t	多結晶Si膜の厚さ
t_{ox}	ゲート絶縁膜の厚さ
V	電圧
$V(x)$	電位
V_0	結晶粒の中心における伝導帯の下端（n型の場合）又は価電子帯の上端（p型の場合）の電位
V_a	グレイン・バウンダリ1個当たりの印加電圧
V_b	電位障壁の高さ
V_{COM}	共通透明電極に印加した電圧
V_D	ドレイン電圧
V_{DD}	ドレイン電極に印加する電源電圧
V_G	ゲート電圧
V_H	ホール電圧
V_{IN}	入力電圧
V_{OUT}	出力電圧
V_{SC}	走査パルス電圧
V_{SIG}	信号パルス電圧
V_T	ゲート閾値電圧
W	チャンネル幅
γ_{ijk}	(ijk)面の単位面積当たりの表面エネルギー
ϵ	Siの誘電率(MKSA単位系)
ϵ_{ox}	ゲート絶縁膜の誘電率(MKSA単位系)
θ	ブラッグ角
θ	視角
μ	移動度
μ_{eff}	有効移動度
μ_{FE}	電界効果移動度
μ_H	ホール移動度
σ	電気伝導度

第1章 序 論

1. 1 歴史的背景

薄膜トランジスタ (Thin-Film Transistor; TFT) とは、絶縁性基板上の半導体薄膜を主体として形成したトランジスタであり、広義には、図1.1¹⁾に示したような薄膜三極管のアイデア全般を指すが、通常は、図1.1(E)のような絶縁ゲート電界効果薄膜トランジスタを意味する。本論文においては、以下、薄膜トランジスタという語を後者の意味で用いる。ガラスのような透明基板やプラスチック・フィルムのような可撓性基板の上にも形成可能であること、すなわち、基板の選択の自由度があることや、製法上大面積化が可能であること等の特長があるので、以下に詳しく述べるように、古くから、薄膜撮像素子の走査用や表示素子の駆動用を目的とした薄膜トランジスタの研究が盛んに行われてきた。

薄膜トランジスタの最初のアイデアは、J. Bardeen と W. H. Brattainによる歴史的な点接触型トランジスタの発明の20年以上も前の1925年 (及び1926年) に、J. E. Lilienfeldによってカナダ (及び米国) に特許出願された“電流制御装置”²⁾に溯ることができる。これは、今日的に言えば、電界効果トランジスタのアイデア発明であり、信頼性の乏しい大型の真空管に取って替わるべき、信頼性の高い小型の“固体増幅器”を実現しようとするものであった。その後引き続いて、同じLilienfeldによって1928年に相次いで米国特許出願された“電流制御装置”³⁾及び“電流増幅器”⁴⁾は、絶縁ゲート型電界効果トランジスタのアイデア発明であった。少し遅れて、1935年には、おそらくLilienfeldのアイデアとは全く独立に、O. Heil⁵⁾が“薄膜半導体増幅器”に関する英国特許出願を行っている。今日の電界効果トランジスタ全般のルーツがこれらの“固体増幅器”にあることは論をまたないが、特許明細書の記載内容や当時の半導体技術の水準から考えて、これら“固体増幅器”の初期のアイデアは、今日の単結晶半導体素子よりも、むしろ薄膜トランジスタに近いものであったと言ってよいだろう。

薄膜トランジスタを実現しようとする最初の実験的な試み、すなわち、半導体薄膜に垂直に電界を印加して半導体薄膜に流れる電流を制御しようとする最初の試みは、1948年に、Bell電話研究所のW. ShockleyとG. L. Pearson⁶⁾によって行われた。基板とゲート絶縁体とを兼ねた厚さ0.003 インチ (80 μ m) の石英板の片面にゲルマニウム等の半導体膜

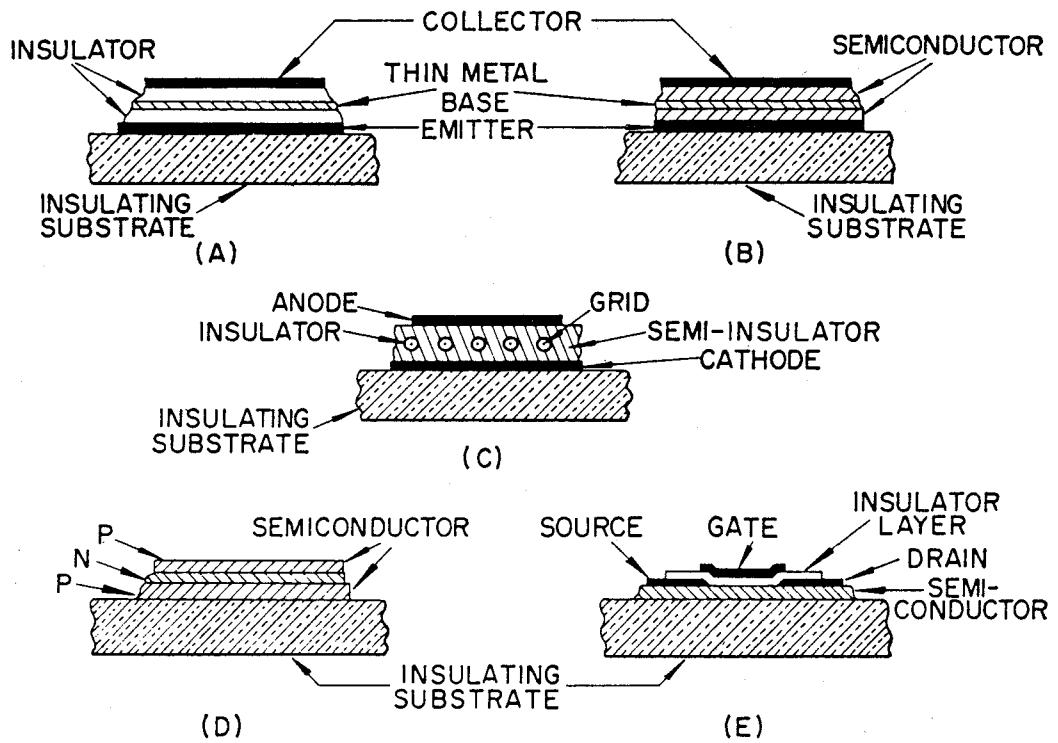


図1. 1 薄膜三極管の各種アイデア¹⁾

(A) MIMIM (金属・絶縁体・金属・絶縁体・金属) 型薄膜トンネル・トランジスタ (B) 薄膜メタル・ベース・トランジスタ (C) 真空管類似薄膜三極管 (D) 薄膜バイポーラ・トランジスタ (E) 絶縁ゲート電界効果薄膜トランジスタ

を蒸着し、他の片面に金のゲート電極を蒸着したMOS（金属・酸化物・半導体）構造の試料を用いて実験が行なわれたが、この時は、表面準位に捕えられた電荷の量が多過ぎて、満足すべき伝導度変調は得られなかった。この実験は、表面準位と表面障壁の重要性を指摘し、また、これらを制御することが当時の技術力では容易ではなかったことを示唆している。

ここで、少し横道にそれるが、単結晶トランジスタの歴史を簡単に振り返っておく。Shockleyたちが伝導度変調の実験を行った丁度同じ年に、同じBell電話研究所のJ. Bardeen とW. H. Brattain⁷⁾は、ゲルマニウム単結晶表面上に極めて接近して立てた2本の針（エミッタとコレクタ）とゲルマニウムのベースとの3つの電極の間で電流増幅及び電力増幅作用を見出した。これが歴史的なトランジスタの発明であり、後にこの構造のトランジスタは点接触型トランジスタと呼ばれる。更に翌1949年には、Shockley⁸⁾によって接合型トランジスタ（バイポーラ・トランジスタ）の理論が発表され、実験的検証⁹⁾も直ちに行われた。接合型トランジスタは点接触型トランジスタに比べて様々の点で勝っていることが次第に明らかになったので、以後、単結晶ゲルマニウムを用いた接合型トランジスタの研究開発と工業化が盛んとなった。1952年には、Shockley¹⁰⁾によってユニポーラ・トランジスタ（接合型電界効果トランジスタ）の理論的提案が行われた。これは、接合型トランジスタにおいて成功を取めたp-n接合を電界効果トランジスタに応用しようとするものであった。また、1960年に至って、D. Kahng とM. M. Atalla¹¹⁾によって、単結晶シリコンを熱酸化して形成したSi-SiO₂構造を用いた絶縁ゲート型電界効果トランジスタ（Si-MOSトランジスタ）が提案され、再び、絶縁ゲート型電界効果トランジスタが注目されるようになり、以後、Si-MOSトランジスタの研究が活発となった。このように、1950年代から1960年代にかけて、単結晶のゲルマニウムやシリコンを用いた各種のトランジスタの研究開発が盛んに行われ、特に接合型トランジスタは既に1953年頃には補聴器などの部品として実用化され、1955年頃にはトランジスタ・ラジオが出現していた。

RCA研究所のP. K. Weimer^{12, 13)}が、ガラス基板上に真空蒸着したCdS多結晶膜を用いて、初めて良好な特性の薄膜トランジスタを動作させることに成功したのは、単結晶半導体のトランジスタの発明に遅れること10余年、接合型トランジスタが実用に供されて既に久しい1961年のことであった。このnチャンネルのCdS-TFTに引き続き、Weimer達のグループによってnチャンネルのCdSe-TFT¹⁴⁾やpチャンネルのTe

-TFT¹⁵⁾ においても良好な動作が確認され、CdS-TFT及びCdSe-TFTを用いた薄膜集積回路によって30段、180段のシフトレジスタ^{16, 17)}も作られた。また、WeimerによるCdS-TFTの発表以来、TFTの研究開発は、RCA研究所以外にもPhilips 研究所やWestinghouse研究所等の多くのメーカーの研究機関や大学で盛んに行われるようになった。更に、冒頭にも述べた、大面積化可能、及び、透明基板上にも形成可能という特長を生かして、CdSの薄膜フォト・ダイオード・アレイとCdSe-TFTのシフトレジスタを一体化した自己走査型薄膜撮像素子¹⁸⁾ や、CdSe-TFTによるアクティブ・マトリックス駆動方式の液晶ディスプレイ¹⁹⁾ 及びエレクトロ・ルミネッセンス・ディスプレイ²⁰⁾ 等への応用が試みられた。しかし、半導体膜として用いられたCdSe, CdS, Te等の材料の薄膜形成時の制御性に問題があって、再現性が悪いことや、特性が不安定で信頼性に乏しいこと、フォトリソグラフィに適さないこと等が原因でII-VI化合物やTeのTFTは現在に至るまで実用化されていない。

最近では、1975年にW.E. Spearら²¹⁾ がアモルファス・シリコン(a-Si)中のダングリング・ボンドを水素によって終端化することによってアモルファス・シリコンのpn制御に成功し、更に1979年にP.G. LeComberら²²⁾ がこの水素化アモルファス・シリコン(a-Si:H)を用いて初めてTFTを試作して以来、a-Si:HのTFTが注目されているが、後に述べるように、a-Si:Hはキャリア移動度が低いので、a-Si:H-TFTの用途が限られてしまうことが問題である。(以下では、特に区別をする必要の無い限り、水素化アモルファス・シリコンのことも、『水素化』を省略して、単にアモルファス・シリコンといい、a-Siと略記することがある。)

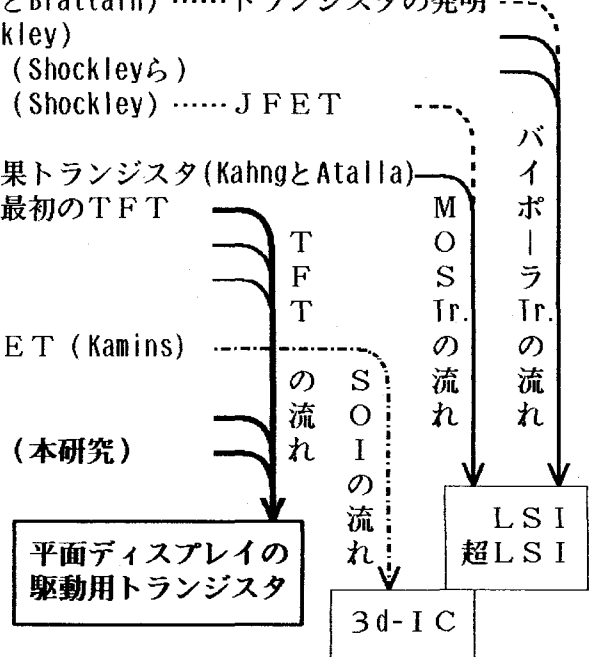
1980年に、著者ら²³⁾ は、600℃以下の低温プロセスを用いて、多結晶シリコン薄膜トランジスタをガラス基板上に形成することに初めて成功した。このことは、以下に述べるように、本格的な平面ディスプレイ装置実現への途を拓くための最重要技術のひとつに実用化の手掛かりを与えたという意義をもつ。これ以前には、シリコン・ウェーファを熱酸化した基板²⁴⁾ や石英基板上²⁵⁾ に、1000℃程度の高温プロセスを用いて多結晶シリコン薄膜トランジスタが形成された例はあっても、600℃程度以下の低温プロセスを用いてガラス基板上に電界効果移動度の比較的高い多結晶シリコン薄膜トランジスタが形成された例はなかった。後に述べるように、基板が不透明であったり、高価であったりすれば、本格的な平面ディスプレイ装置実現の妨げとなるので、比較的高移動度の多結晶シリコン薄膜トランジスタを、低温プロセスを用いて廉価なガラス基板上に形成したことが重要で

ある。

表1.1 に、本節の要約として、薄膜トランジスタ関連年表を示す。

表1. 1 薄膜トランジスタ関連年表

1925年	“電流制御装置”のカナダ特許出願 (Lilienfeld) ……FETのアイデア	
……		
1935	“薄膜半導体増幅器”の英国特許出願 (Heil) ……TFTのアイデア	
……		
1948	電界効果による伝導度変調の実験 (ShockleyとPearson)	
1948	点接触型トランジスタ (Bardeen とBrattain) ……トランジスタの発明	
1949	接合型トランジスタの理論 (Shockley)	
1951	接合型トランジスタの実験的検証 (Shockleyら)	
1952	ユニポーラ・トランジスタの理論 (Shockley) ……JFET	
……		
1960	Si-SiO ₂ 絶縁ゲート電界効果トランジスタ (KahngとAtalla)	
1961	CdS-TFT (Weimer) ……最初のTFT	
1963	CdSe-TFT (Shallcross)	
1964	Te-TFT (Weimer)	
……		
1972	高温プロセス多結晶Si-MOSFET (Kamins)	
……		
1979	a-Si:H-TFT (LeComberら)	
1980	ガラス基板上的多結晶Si-TFT (本研究)	



1. 2 薄膜トランジスタの今日的意義

Siをはじめとする単結晶半導体の工業が高度に発達した現在においても、なお、薄膜トランジスタが必要とされるのは、次のような理由による。

真空管のような電子管が、特殊な用途を除いては、ほとんどがトランジスタをはじめとする固体素子に取って替わられてしまった今日においても、唯一、ディスプレイの分野においては、ブラウン管がいまだに圧倒的に優位であり、テレビ受像機用ディスプレイとしてはもとより、コンピュータ端末、パーソナル・コンピュータ、ワード・プロセッサ等のディスプレイ装置としても、益々その勢いを増している。集束した電子ビームを蛍光面に走査して得られるブラウン管の鮮鋭な画質を凌駕するような高画質のディスプレイ装置は将来においても出現しそうにないが、ブラウン管の欠点は、この長所と裏腹の、電子ビーム走査方式故に、装置が奥行きを持ち、大きく、重いこと、消費電力が大きいこと、画面にチラツキが生ずること等である。これに対して、液晶ディスプレイやELディスプレイ等の平面表示装置は、ディスプレイ装置の薄型化、軽量化、低消費電力化、並びに、チラツキのない目にやさしい画面を可能にするので、用途によってはブラウン管に取って替わるものとして、また、ブラウン管では実現し得ない全く新しい応用分野を切り拓くものとして、技術開発が進められており、既に、膝置き（ラップ・トップ）型のパーソナル・コンピュータ及びワード・プロセッサ用として、かなり大容量の液晶ディスプレイが実用化されている。

これら平面ディスプレイ装置においては、通常、図1.2(a)に示すような単純マトリックス電極構造、すなわち、多数の水平（X）電極（走査電極）と多数の垂直（Y）電極（信号電極）が表示素子（図1.2(a)においては液晶）を挟むようにして直交し、これらX電極とY電極の各交差部分が1画素となる構造が採用されている。クロストークを防ぐために、例えば、液晶ディスプレイの場合には、駆動方式として電圧平均化法（Amplitude-Selective Addressing Scheme）²⁶⁾とよばれる方法が用いられているが、この方式では、走査線の数が多くなると、選択電圧と非選択電圧の比（すなわち、駆動電圧比）が低下し、したがって動作電圧範囲が狭くなり、これにより、コントラスト比が低下するとともに、視野角が狭くなり、すなわち、表示品質が悪くなるという問題が起こる²⁶⁾。また、駆動方式にかかわらず、画素数が多くなると、信号電極及び走査電極と外部駆動回路との接続線数が多くなり、また、外付けLSIの数が多くなるが、これらは、装置の小型化やコス

ト低減を阻む要因となるので、望ましくない。

これら2つの問題点のうち第1の問題点を解決するために、図1.2(b)のように、スイッチ機能をもつ能動素子を各画素毎に設け、すなわち、スイッチ・マトリックス(アクティブ・マトリックス)を形成し、各画素毎に液晶を直接駆動するアクティブ・マトリックス駆動方式を採ることにより、走査線の増加による駆動電圧比の低下、並びに、これに伴うコントラスト比の低減等の表示品質の劣化を防ぐことができる。さらに、後者の接続線数の増加及び外付けLSI数の増加の問題を解決するために、アクティブ・マトリックスと周辺駆動回路とを一体化した図1.3(b)もしくは(c)²⁷⁾のような集積回路を表示パネル上に形成することが望ましい。図1.3はアクティブ・マトリックス駆動の液晶ディスプレイの回路構成において、駆動回路外付け方式[(a)]と駆動回路内蔵方式[(b), (c)²⁷⁾]とを比較したものである。駆動回路を内蔵することにより、接続線の数と外付けLSIの数が大幅に減り、ディスプレイ・モジュールの小型化と低価格化が期待される。

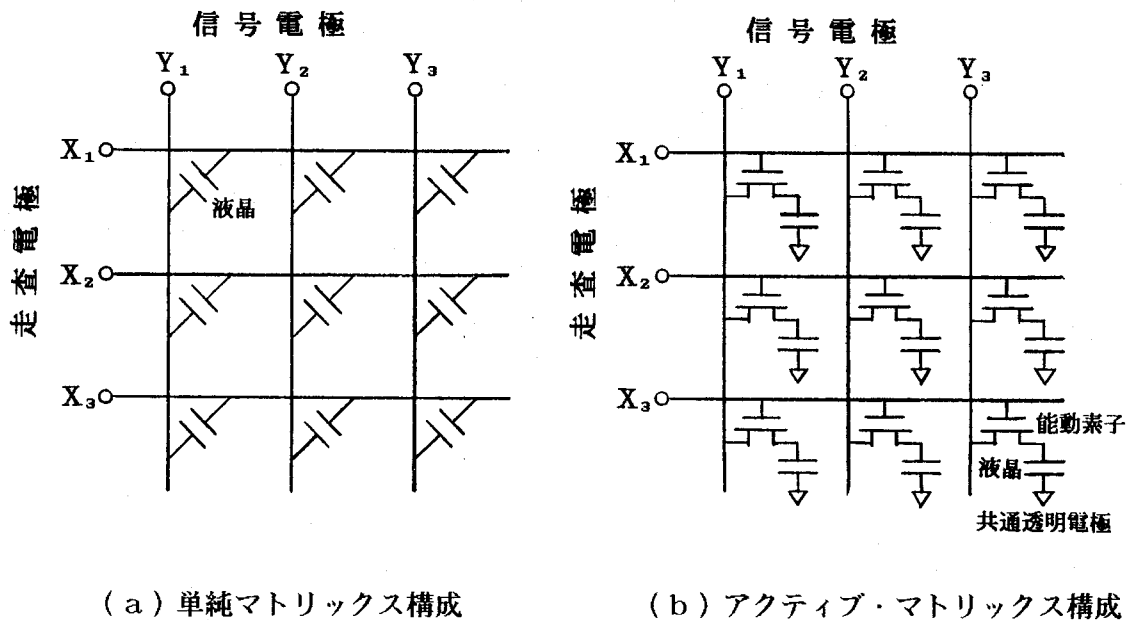
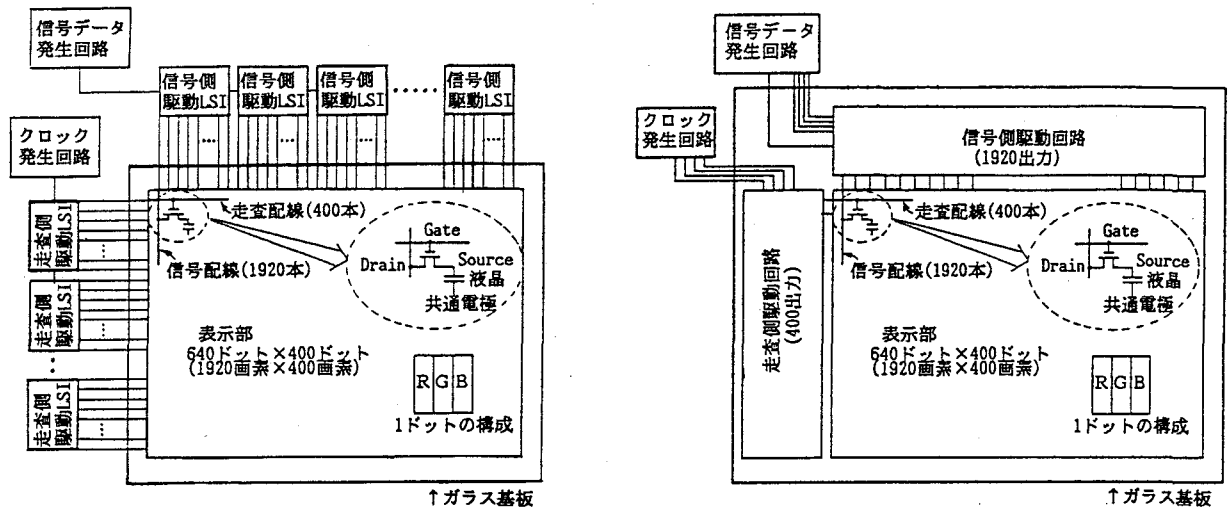
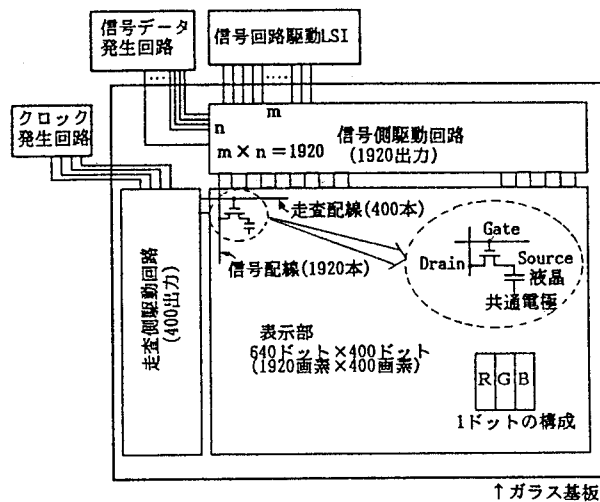


図1.2 液晶ディスプレイにおける電極構造



(a) 駆動回路外付け方式

(b) 駆動回路内蔵方式



(c) 駆動回路のほとんどを内蔵し、一部を外付けとする方式²⁷⁾

図1.3 液晶ディスプレイの回路構成

(a)の駆動回路外付け方式に比べて、(b)の駆動回路内蔵方式では、接続線数と外付けLSIの数が大幅に減少することが直観的に理解できよう。

具体例として、例えば、640×400ドットのカラー表示、すなわち、1920×400画素を想定する。(a)の場合、外部駆動回路との接続線数は1920+400=2320であり、LSIの出力ピン数は最大(80~160)個なので、外部駆動回路を構成する外付けLSIは、信号データ発生回路及びクロック発生回路の他に、信号側(24~12)個、走査側(5~3)個の合計(29~15)個が必要である。(a)の方式では、接続線数及び外付けLSIの数は、ディスプレイの大容量化、すなわち画素数の増加とともに増加する。(b)の方式では、駆動回路を内蔵することにより、接続線数をわずか10程度に減少させ、また、信号データ発生回路及びクロック発生回路以外の外付けLSIを無くすることができる。

多結晶Si-TFTの場合は、単結晶Siに比べれば駆動速度が遅いので、(b)のような駆動回路‘完全’内蔵方式は不可能であるが、例えば、(c)のように、データの入力部を $m \times n$ ($=1920$)の分割マトリックス回路で構成し、信号側のシフトレジスタのみ外付けとする方式[参考文献27)]により、接続線数を $(m+n)+\alpha$ [$\alpha < 10$]、例えば、60×32の分割マトリックス回路の場合、 $92+\alpha$ に減らすことができ、また、信号データ発生回路及びクロック発生回路以外の外付けLSIを、信号側のシフトレジスタ(信号回路駆動LSI)1個だけに減らすことができる。

Si単結晶を用いて図1.3(b)のような駆動回路内蔵のアクティブ・マトリックスを形成することは、もちろん、容易である。しかし、この場合、Siウェーファが不透明なので、光の入射や発射が片面からに限られるが、このことは画像デバイスとしては致命的な欠点である。例えば、液晶ディスプレイに応用する場合、基板が透明であれば、透過モードでの液晶表示が可能となるので、コントラスト比の大きな高画質の画像が得られ、また、3色のフィルタを透過する光によって容易にカラー化もできるが、Si単結晶のような不透明基板の場合は、液晶表示は反射モードでのみ可能なので、駆動方式や走査線数の如何によらず、反射モード故の本来的にコントラスト比の小さい不鮮明な画像しか得られず、また、カラー化は困難である。また、Si単結晶基板を用いる場合、作製し得る単結晶ウェーファの大きさに限界があるために、画面寸法の小さいディスプレイ装置にしか応用できないという別の欠点もある。これに対して、薄膜トランジスタを集積化した薄膜集積回路は透明基板上にも形成可能であり、また、大面積化も可能なので、大画面・大容量の平面ディスプレイの駆動用に適している。

このように、単結晶半導体の工業が高度に発達した今日においても、なお、大画面・大容量の本格的平面ディスプレイの実現のためには、薄膜トランジスタから成る大面積のアクティブ・マトリックスを透明基板上に形成することが必要であり、更に望ましくは、このアクティブ・マトリックスと一体化して、ビデオ信号の駆動が可能な周辺駆動回路を、薄膜トランジスタの集積化によって作製する技術が求められている。そして、このための最重要課題は、これに適した薄膜トランジスタの開発である。

1. 3 本研究の意義

本研究では、ガラス等の耐熱温度の低い基板にも形成可能な、すなわち、低温工程のみによって作製可能な多結晶Si薄膜トランジスタを取り上げる。

液晶等の平面ディスプレイの駆動用トランジスタとしては、単結晶トランジスタよりも薄膜トランジスタの方が適していることは、前節において述べた通りである。透明基板上に形成可能であるという画像デバイスとしての必須ともいべき条件を備えていることのほかに、製法上は原理的には大面積化に限界がないことも大きな利点である。

低温形成多結晶Si薄膜トランジスタが、他の半導体薄膜材料を用いた薄膜トランジスタや高温工程を用いて作製した多結晶Si薄膜トランジスタに比べて、ディスプレイ応用の観点から優れていると思われるのは、次のような点においてである。

まず、古くから研究が行われてきたCdS、CdSe、Teなどを半導体膜として用いた薄膜トランジスタについては、これらの半導体薄膜を形成する際の制御性に問題があって特性の再現性に乏しいこと、特性が不安定で信頼性に乏しいこと、フォトリソグラフィに適さないこと等の欠点があり、工業化に際しては、これら半導体材料が有毒物質であることも問題となろう。これに対して、Si薄膜は、単元素物質なので薄膜形成時にCdSeやCdSのようなストイキオメトリからのずれという問題がなく、また、フォトリソグラフィをはじめ、高度に発達したSiプロセス技術を適用できるので、特性の再現性や安定性を得る上で有利であること、また、工業化に際しては、Siが無公害物質であるという利点もある。

アモルファスSi薄膜トランジスタの場合は、a-Siのキャリア移動度が $0.3 \text{ cm}^2 / \text{V} \cdot \text{s}$ 程度と低く、したがって、a-Si TFTの電界効果移動度も同じ程度に低く、駆動速度が遅いことが問題である。このために、各画素をスイッチするためのアクティブ・マトリックスをa-Si TFTによって形成することはできても、アクティブ・マトリックスと一体化して、ビデオ信号の駆動が可能な周辺駆動回路を形成することができない。もちろん、周辺駆動回路内蔵は不可能でも、単結晶Si-LSIから成る周辺駆動回路を外付けして、アクティブ・マトリックス駆動方式の液晶ディスプレイを実現することによって、従来の単純マトリックス駆動方式に比べて高画質を得ることができるので、a-Si TFTは、既に、ポケット液晶テレビのアクティブ・マトリックスとして、実用化されている。しかし、前節で述べた2つの問題点のうち第2の問題点については、a-Siのキャリア移

動度が低いために本来的に対策できないので、大画面・大容量の本格的平面ディスプレイへの応用のためには妨げになる可能性がある。これに対して、多結晶Si-TFTの場合には、レーザ・アニール等の工程を経ない、グレイン・サイズが比較的小さな多結晶Si膜でも、数十 $\text{cm}^2/\text{V}\cdot\text{s}$ のキャリア移動度を示すので、周辺駆動回路をアクティブ・マトリックスと一体化して形成することも可能となる。また、大画面の平面ディスプレイへの応用のためには、ガラスのような安価な基板が使用可能であることが、工業的には重要である。この意味で、高温工程を用いて作製する多結晶Si薄膜トランジスタは、透明基板としては高価な石英基板を用いざるを得ないので、ディスプレイ応用には適していない。むしろ、レーザ・アニール等により、グレイン・サイズを大きくして、単結晶Siに近い特性をもたせて、3次元集積回路等へとつながるSOI (Silicon on Insulator) 技術のひとつと見なす方が適当であろう。

以上述べたように、大画面・大容量の本格的平面ディスプレイ実現のためには、耐熱温度の低いガラス等の安価な基板の上に、特性が安定で、電界効果移動度の高い薄膜トランジスタを形成することが必要となる。この有力候補が本研究で取り上げた低温形成多結晶Si薄膜トランジスタである。本研究以前には、ガラス基板の耐えるような低温で比較的高移動度の多結晶Si膜が形成できたという報告はなく、したがって、低温形成多結晶Si薄膜トランジスタという概念もなかった。

1. 4 本研究の目的と内容

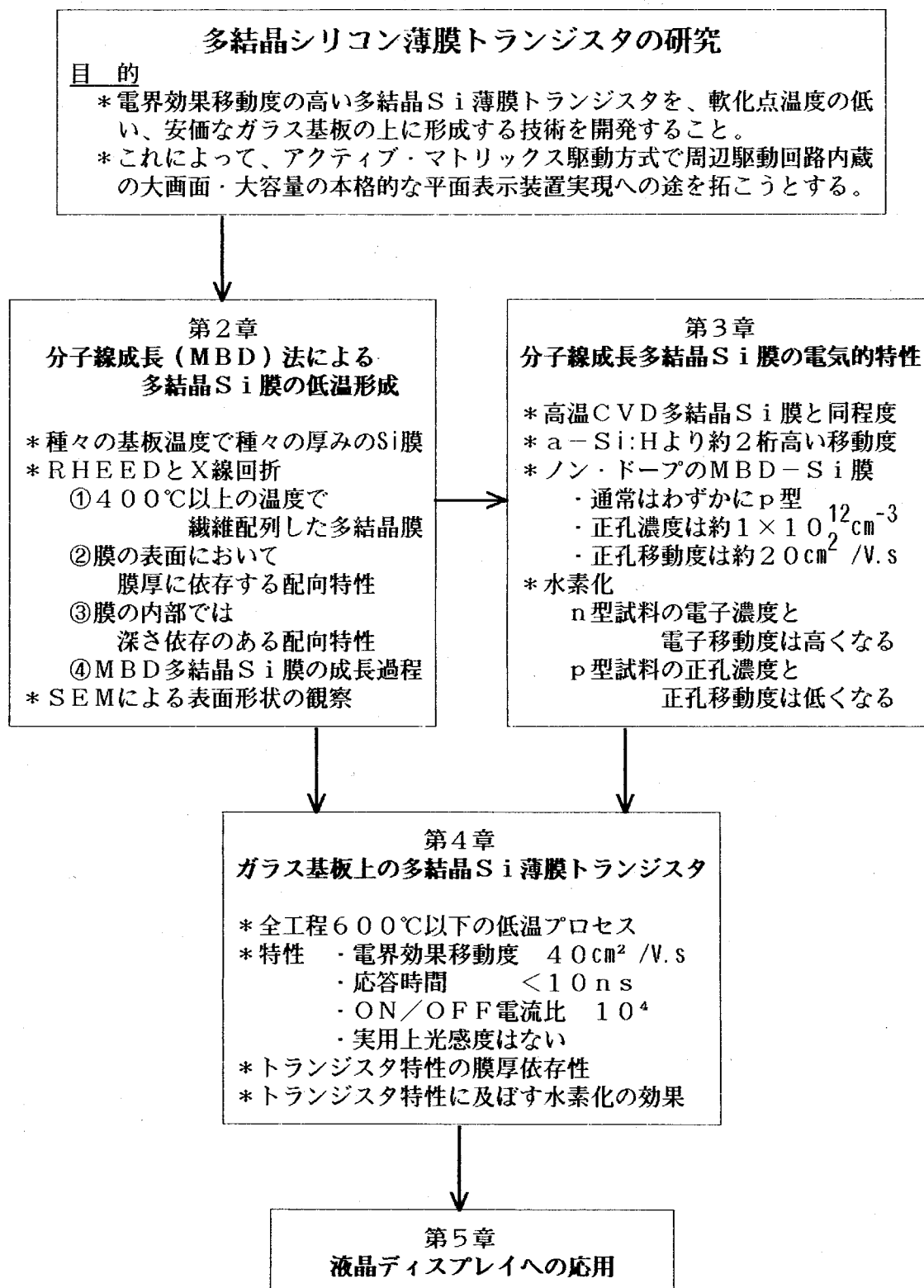
本研究の目的は、比較的高移動度の多結晶Si薄膜トランジスタを、軟化点温度の低い、安価なガラス基板の上に形成する技術を開発することであり、これによって、アクティブ・マトリックス駆動方式でかつ周辺駆動回路内臓の大画面・大容量の本格的な平面表示装置実現への途を拓こうとするものである。

本論文は、表1.2 に示すような構成から成り立っている。

第2章においては、分子線成長法による多結晶Si膜の低温形成について述べる。分子線成長 (Molecular Beam Deposition; MBD) 法とは、 10^{-9} Torr程度の超高真空下での清浄雰囲気中で真空蒸着することによって半導体薄層を成長させる技術である。本章では、分子線成長法を用いて石英基板上に種々の基板温度で種々の厚みのSi薄膜を形成し、膜構造を調べた結果について述べる。400℃という比較的低温においても多結晶膜が得られたが、これは、清浄雰囲気のために、飛来したSi原子のマイグレーションやアモルファス状態で堆積した領域の再結晶化を妨げる原因となる残留不純物原子の試料表面への付着が極めて少ないことによると思われる。反射高速電子線回折 (RHEED) とX線回折の結果から、得られた多結晶Si膜は、繊維構造をもって配向し、膜の表面において膜厚に依存する配向特性をもち、膜の内部では深さ依存のある配向特性をもつことが分かった。これらの知見をもとに、MBD多結晶Si膜の成長過程についても考察する。

第3章においては、分子線成長多結晶Si膜の電気的特性について調べた結果について述べる。MBD多結晶Si膜の電気的特性は、化学的気相成長 (CVD) 法による従来の高温工程を経た多結晶Si膜とほぼ同程度であり、水素化アモルファスSi膜に比べてキャリアの移動度は2桁ほど高い。例えば、基板温度600℃において形成した膜厚1.2 μm のノン・ドーパのMBD多結晶Si膜は、わずかにp型であり、正孔濃度は約 $1 \times 10^{12} \text{cm}^{-3}$ であり、移動度は約 $20 \text{cm}^2 / \text{V} \cdot \text{s}$ であった。また、水素プラズマ処理を施してMBD多結晶Si膜を水素化すると、n型試料については、n型多結晶Si膜について良く知られているように、電気伝導度、電子濃度及び電子移動度は高くなり、電気的特性が改善されることが分かった。n型試料におけるこれら水素化の効果は、水素化によってダングリング・ボンドが終端化され、グレイン・バウンダリにおける捕獲準位密度が減少すると考えれば、理解することができる。一方、p型試料については、従来p型多結晶Si膜について良く知られていることと逆に、電気伝導度、正孔濃度及び正孔移動度は低くな

表1.2 本研究の構成と概要



ることが分かったが、この原因については未解明である。

第4章においては、ガラス基板上に形成した多結晶Si薄膜トランジスタについて述べる。MBD法により多結晶Si膜の低温形成が可能になったことによって、高価な石英基板を用いることなく、耐熱温度の低い安価なガラス基板上に、多結晶Si薄膜トランジスタを作製する途が拓けた。本章では、全工程600℃以下の低温プロセスを用いて、初めてガラス基板上に多結晶Si薄膜トランジスタを試作した結果について述べる。本研究の範囲ではトランジスタ特性の再現性は得られていないが、電界効果移動度で $40\text{cm}^2/\text{V}\cdot\text{s}$ という高い値も得られ、動作速度が速いために、液晶ディスプレイに応用する場合、液晶をスイッチするための単なるアクティブ・マトリックスとしての用途のみならず、アクティブ・マトリックスと周辺駆動回路とを一体化して形成できる可能性のあることが分かった。MBD多結晶Si薄膜トランジスタは、また、実用上光感度が無いという、表示デバイスの駆動用トランジスタとして有利な特性を備えていることが分かった。また、トランジスタ特性の膜厚依存性、及び、水素化の効果についても述べる。

第5章においては、 10×10 素子の薄膜トランジスタ・マトリックスを試作し、ツイステッド・ネマティック液晶と組み合わせて、 10×10 画素の液晶表示の原理実験を行った結果について述べる。デューティ比 $1/10$ で線順次走査を行い、コントラスト比が30近い高コントラストの画像を得た。また、本研究の発展として、現在、(株)日立製作所日立研究所において精力的に進められている研究開発の状況を参照しながら、低温形成多結晶Si薄膜トランジスタの将来を展望する。

第6章においては、第2章から第5章までの結果を総括し、本研究の結論を述べる。

参考文献

- 1) P.K.Weimer: The Insulated-Gate Thin-Film Transistor; a chapter of Physics of Thin Films, vol.2, edited by G.Hass and R.E.Thun, Academic Press, New York (1964) p.147のFig.1.
- 2) J.E.Lilienfeld: U.S. Patent 1,745,175, January 28th, 1930; Canadian Application filed October 1925; U.S. Application filed October 1926.
- 3) J.E.Lilienfeld: U.S. Patent 1,900,018, March 7th, 1933; Application filed March 1928.
- 4) J.E.Lilienfeld: U.S. Patent 1,877,140, September 13th, 1932; Application filed December 1928.
- 5) O.Heil: U.K. Patent 439,457, December 6th, 1935; Application filed March 1935.
- 6) W.Shockley and G.L.Pearson: Phys.Rev. **74** (1948) 232.
- 7) J.Bardeen and W.H.Brattain: Phys.Rev. **74** (1948) 230.
- 8) W.Shockley: Bell Syst.Tech.J. **28** (1949) 435.
- 9) W.Shockley, M.Sparks and G.K.Teal: Phys.Rev. **83** (1951) 151.
- 10) W.Shockley: Proc.IRE **40** (1952) 1365.
- 11) D.Kahng and M.M.Atalla: Solid-State Device Reserch Conference, Pittsburgh, Pa., 1960.
- 12) P.K.Weimer: Solid-State Device Research Conference, Stanford University, California, 1961.
- 13) P.K.Weimer: Proc.IRE **50** (1962) 1462.
- 14) F.V.Shallcross: Proc.IEEE **51** (1963) 851.
- 15) P.K.Weimer: Proc.IEEE **52** (1964) 608.
- 16) P.K.Weimer, H.Borkan, G.Sadasiv, L.Meray-Horvath, and F.V.Shallcross: Proc.IEEE **52** (1964) 1479.
- 17) P.K.Weimer, G.Sadasiv, L.Meray-Horvath and W.S.Homa: Proc.IEEE **54** (1966) 354.

- 18) P.K.Weimer, G.Sadasiv, J.E.Meyer, L.Meray-Horvath, and W.S.Pike: Proc. IEEE 55 (1967) 1591.
- 19) T.P.Brody, J.A.Asars, and G.D.Dixon: IEEE Trans. Electron Devices, ED-20 (1973) 995.
- 20) T.P.Brody, F.C.Luo, Z.P.Szepesi, and D.H.Davies: IEEE Trans. Electron Devices, ED-22 (1975) 739.
- 21) W.E.Spear and P.G.LeComber: Solid State Commun. 17 (1975) 1193.
- 22) P.G.LeComber, W.E.Spear, and A.Ghaith: Electronic Letters 15 (1979) 180.
- 23) M.Matsui, Y.Shiraki, Y.Katayama, K.L.I.Kobayashi, A.Shintani, and E.Maruyama: Appl.Phys.Lett. 37 (1980) 936.
- 24) T.I.Kamins: Solid-State Electronics 15 (1972) 789.
- 25) C.Feldman and R.Plachy: J.Electrochem.Soc. 121 (1974) 685.
- 26) 例えは、E.Kaneko: Liquid-Crystal Matrix Displays; a chapter of Advances in Image Pickup and Display, vol.4, edited by B.Kazan, Academic Press, New York (1981) p.1 の第Ⅲ節.
- 27) J.Ohwada, M.Takabatake, H.Kawakami, Y.A.Ono, A.Mimura, K.Ono, N.Konishi, T.Suzuki, and K.Miyata: Extended Abstracts of 19th Conf. Solid State Devices and Materials, Tokyo, 1987, p.55.

第2章 分子線成長法による 多結晶シリコン膜の低温形成

2. 1 まえがき

超高真空下の清浄雰囲気中における種々の薄膜形成法に共通な大きな特徴は、超高真空を使わない場合に比べてはるかに低温で結晶成長が可能になることである。例えば、超高真空中でSi単結晶の清浄表面にSiの分子線^{*}を照射すると、すなわち、Siを蒸着すると、400℃程度の低温でも下地の結晶構造を反映した形でエピタキシャル成長することは、1966年頃には、既に知られていた¹⁾。これは、化合物半導体における超高真空下のエピタキシャル成長と同様に、近年、慣用的に分子線エピタキシー(MBE)と呼ばれるようになった²⁾。この方法によれば、結晶の質を問題にしなれば、150℃程度³⁾の低温でも単結晶エピタキシャル成長する。また、超高真空中で100℃以下の温度でSi単結晶の清浄表面にSiの分子線を照射すると、アモルファスSi膜(この場合は、もちろん水素無しのa-Si膜)が形成されるが、このアモルファスSi薄層を超高真空中で加熱すると、400℃程度の低温でも、下地の結晶構造を反映した形で、基板側から単結晶成長し、やがて薄層全体が単結晶化する³⁾。これは、固相エピタキシー(SPE)の一種である。これらの結晶成長温度は、通常の化学的気相成長(CVD)法を用いてSiのエピタキシャル成長を行う際の成長温度(～1000℃)や、引上げ法等による単結晶製作の場合に用いられる温度(すなわちSiの融点である1417℃付近の温度)に比べて、はるかに低い。

以上は、超高真空中でのSi単結晶基板上へのSi単結晶層のエピタキシャル成長における、低温成長という特徴について述べたが、著者らは、非晶質基板上にSiの多結晶膜を形成する場合にも、分子線エピタキシーの手法を適用することを試みた。その結果、多結晶Si膜を従来の真空蒸着法により形成するためには765℃以上⁴⁾の基板温度を必要とし、常圧CVD法によれば650℃⁵⁾もしくは700℃以上⁶⁾の基板温度を必要とし、また、低圧CVD法によれば600℃以上⁷⁾の基板温度を必要としていたのに対して、超

* Siの場合には、厳密には原子線というべきであろうが、化合物半導体における超高真空下のエピタキシャル成長の研究の歴史的な経緯から、慣用的に分子線という。

高真空下において非晶質基板上にSiの分子線を照射すると、これら従来法に比べてはるかに低い400℃程度の基板温度でも多結晶Si膜が形成できることを見出した^{8,9)}。

この多結晶Si膜形成法は、上述の分子線エピタキシー法と同種の低温結晶成長法と見なされるべきものである。そこで、基板が単結晶であるか非晶質であるかに依らず、また、形成された膜が単結晶層であるか多結晶膜であるか非晶質膜であるかに依らず、超高真空下で分子線より薄膜を形成する方法を、広く『分子線成長 (Molecular Beam Deposition; MBD) 法』と呼ぶことにする^{8,9)}。したがって、分子線エピタキシー法も、本研究の非晶質基板上への多結晶Si膜形成法も、共に分子線成長法の一つである。

本章では、以下、分子線成長法による多結晶Si膜の低温形成と、得られたMBD多結晶Si膜の膜構造について述べ、MBD多結晶Si膜の成長過程についても考察する。

2. 2 実験方法

2. 2. 1 分子線成長によるSi膜の形成

本研究の初期において、Siの分子線成長に用いた超高真空装置（分子線成長装置*）の構成概略を図2.1に示す。図2.1に示した装置は、真空槽が一つの、現在では時代遅れになってしまった旧型のものであるが、分子線成長装置の原理図としては現在でもこれで十分通用する。エピタキシャル成長のためには成長時の真空の質を良くすることが重要なので、最近では、図2.2に示した装置のように、成長室の真空を破らずに試料交換するための予備排気室と、汚染源となる試料の前処理や分析を行うための試料処理室を、成長室とは別に設けた三真空槽構造が普通である。本研究においても、第3章以下の実験にはこの三真空槽構造の分子線成長装置を用いた。しかし、多結晶Si膜の形成に関する限り、これら二つの装置を用いて作製した膜に本質的な差異はないと思われる。分子線成長装置の到達真空度は、前者は約 1×10^{-10} Torr、後者は約 2×10^{-11} Torrである。

蒸発源材料としては、高純度のFZ（浮游帯域法により育成した）単結晶Siを用いた。Siの融点は 1417°C と高いので、Siの分子線蒸発源としては電子線衝撃式蒸発源（E型電子銃）を用い、蒸発源材料のSiを、集束した電子線で衝撃することによって、加熱し、融解して、Siの分子線を発生させる。本章及び第3章の実験では基板としては光学研磨した石英基板を用い、また、第4章以下の実験では基板としては光学研磨したガラス（Corning#7059）基板を用い、いずれの場合でも、基板を前洗浄した後、分子線成長装置に入れ、一定時間、基板を成長温度に保って吸着ガスを脱離した後、基板上にSi分子線を照射し堆積させて、Si薄膜を作成した。成長（蒸着）速度は約 0.1 nm/s である。

E型電子銃の作動と同時に真空度は悪くなり、成長中の真空度は 10^{-9} Torr台もしくは 10^{-10} Torr台であった。質量分析器により元素分析を行うと、残留気体は主として H_2 であり、その他の残留気体の質量スペクトル強度は H_2 に比べて2桁以上低いことが分かった。超高真空下での結晶成長において最も悪影響を及ぼす残留気体は酸素であるが、 10^{-11} Torr以下の分圧の酸素や 10^{-9} Torr程度の分圧の水素が、単結晶Siのエピタキシャル成長に悪影響を及ぼしている様子はないので、この真空雰囲気は、多結晶Si膜の

* 通常は、分子線エピタキシー装置又はMBE装置と呼ばれている。

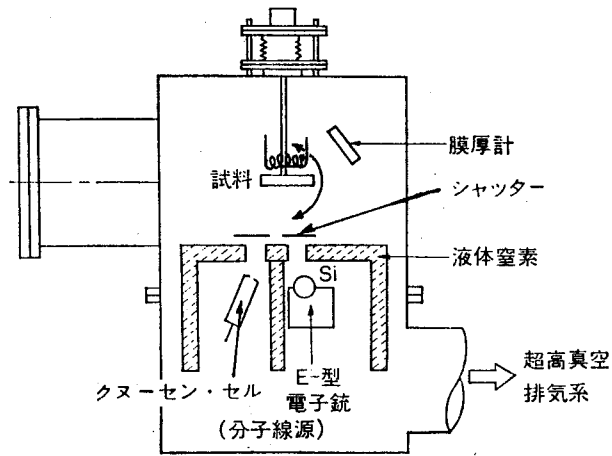
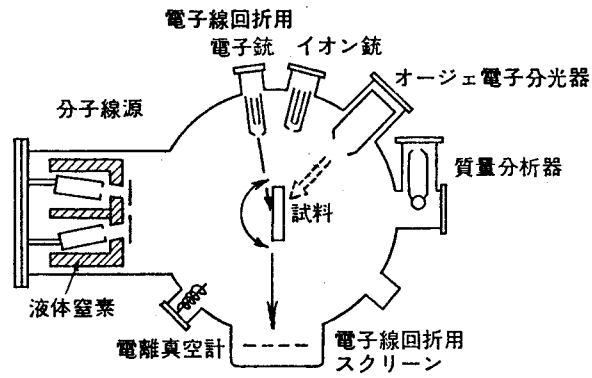


図2. 1 第1世代の分子線成長装置の構成図

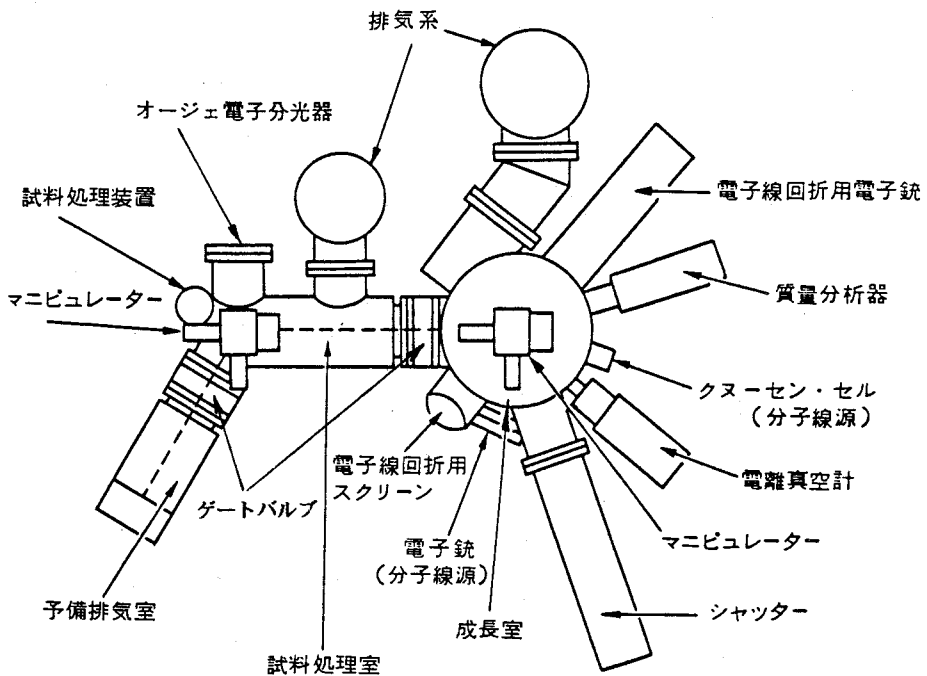


図2. 2 三真空槽構造の分子線成長装置の構成図

成長においても悪影響を及ぼすことはなく、良好な真空雰囲気の実現していると考えられる。また、成長中に水素が多結晶膜中に取り込まれ、グレイン・バウンダリにあるダングリング・ボンドを末端化して、膜特性を良くする可能性については、 H_2 分圧が 10^{-9} Torr台もしくは 10^{-10} Torr台と低いために、たとえ付着係数を1と最大に仮定しても成長中に取り込まれる水素量はごく微量 (0.01~0.1at.%程度) であり、成長中に水素が取り込まれることによる水素化の効果は無視できると考えられる。

ドナーやアクセプタの不純物ドーピングは、Siを成長中に、同時に、クヌーセン・セル(Kセル)の中の不純物材料を加熱して蒸発させること(蒸発ドーピング法)によって行った。Si-LSIプロセスで通常用いられるドーパントのPやAsは、飽和蒸気圧が高過ぎて制御が困難であり、また、逆にBは蒸発しにくいので、n型ドーパントとしてはSbを、p型ドーパントとしてはGaを用いた。本章の実験に用いたのは、すべてノン・ドープの試料であるが、第3章の不純物をドープした試料は、ここに述べた蒸発ドーピング法によって作製した。

分子線成長装置には、真空雰囲気、分子線、基板表面、及び、成長層を“その場”(in situ) 観察するためのモニターとして、図2.1 及び図2.2 に示したように、電離真空計、四重極型質量分析器、オージェ電子分光器、中速電子線回折(MEED)装置もしくは反射高速電子線回折(RHEED)装置、水晶発振式膜厚計等が装備されている。

2. 2. 2 分析方法

MBD-Si膜の表面層の結晶構造を反射高速電子線回折(RHEED)により調べ、また、膜の厚み全体にわたる結晶構造をX線回折により調べた。さらに、表面形状を走査型電子顕微鏡(SEM)により観察した。

RHEED装置は、分子線成長装置付属のものではなく、独立の装置(電子顕微鏡を改造した装置)を用いた。電子線の加速エネルギーは100keVであり、電子線の入射角は 1° 弱である。一般に、電子線は物質内を非弾性散乱を受けずに通過できる距離が非常に短く、さらに、RHEEDの場合は、入射角度が極めて小さい。したがって、電子は試料の中へ比較的短距離しか貫入できず、このRHEEDで得られる情報は、表面から深さ数nm程度の範囲に限られる。絶縁性基板のチャージ・アップに対しては、試料表面に電子線シャワー(0.4~1.0 keVの電子線)を照射し、試料表面電荷の安定化を行うことにより対処した。分子線成長装置付属のMEED装置及びRHEED装置による

“その場”観察においては、エレクトロン・シャワー装置が付いていないために、基板のチャージ・アップによって分解能が低下し、不鮮明な回折パターンしか得られなかった。

RHEED像からMBD多結晶Si膜の表面層の結晶構造を決定するに当たっては、繊維構造をもつ多結晶Si膜の電子線回折パターンの理論図形⁶⁾(図2.3)を参照した。繊維構造とは、多結晶膜中の各結晶粒の特定の結晶軸 $\langle h k l \rangle$ が試料面に垂直な方向に配向しており、 $\langle h k l \rangle$ 軸に垂直な結晶軸は試料面内でそれぞれ勝手な方向を向いているという、一軸配向した構造である。一般に、電子線回折パターンは、エバルト(Ewald)球面上の逆格子点の地図に相当する。 $\langle h k l \rangle$ 軸配向した多結晶の逆格子は、単結晶の逆格子を $\langle h k l \rangle$ 軸の周りに回転させたものになるので、単結晶の逆格子を $\langle h k l \rangle$ 軸の周りに回転させたときに、逆格子点がエバルト球面を横切る点の集合が回折パターンとなる。図2.3の理論回折図形は、そのようにして求めたものである。ただし、結晶構造因子がゼロになる反射面を破線で示し、この破線上の点は回折スポットとして現れないことを意味している。

X線回折には、エネルギー分散型X線回折法とディフラクトメータ法の二通りの方法を用いた。エネルギー分散型X線回折法は、連続X線(本研究では、Crを陽極^{ターゲット}とするX線管からの連続X線)を用い、試料とX線検出器を固定(本研究では、ブラッグ角 θ を 10° に固定)したままで、回折強度をX線の波長すなわちエネルギーの関数として測定する方法であり、また、ディフラクトメータ法は、単色X線(本研究では、波長 0.154 nm のCuK α 線)を用い、試料を回転させながら、試料の回転速度の2倍の回転速度で検出器を回転させて、回折強度を θ の関数として測定する方法である。エネルギー分散型X線回折法は、試料を回転させながら測定するディフラクトメータ法に比べて測定時間は短縮できるが、連続X線の強度分布が波長に対して一様ではないので、異なった格子面からの回折強度を比べるのには適さない。

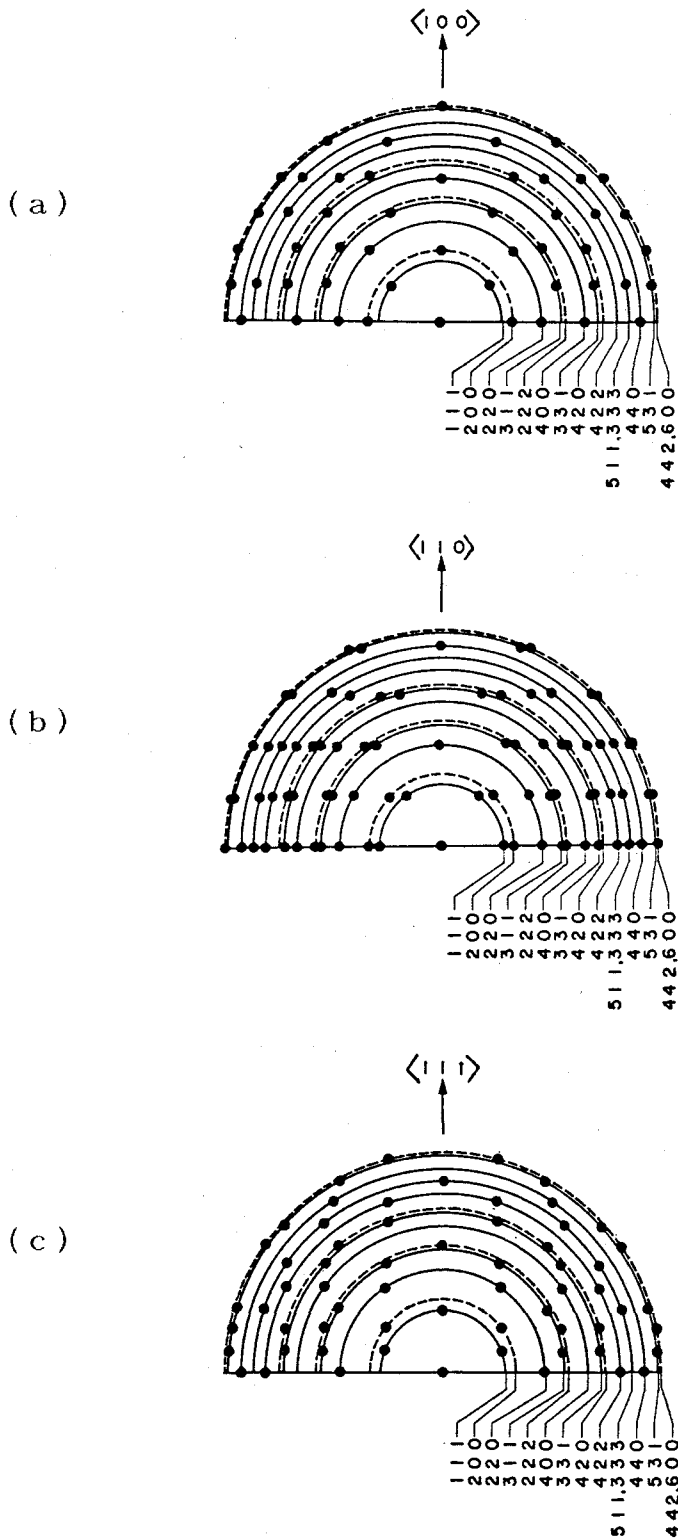


図2. 3 繊維構造をもつ多結晶Si膜の理論回折図形⁶⁾

(a), (b), (c) は、それぞれ $\langle 100 \rangle$ 軸、 $\langle 110 \rangle$ 軸、 $\langle 111 \rangle$ 軸が基板表面に垂直な方向に配向している場合である。破線は禁制反射を示す。

2. 3 結果および検討

RHEEDによるMBD-Si膜表面層の結晶構造、X線回折によるMBD-Si膜の厚み全体の結晶構造、及び、これらの知見をもとに考察したMBD多結晶Si膜の成長過程、並びに、SEM観察によるMBD多結晶Si膜の表面形状について、以下に述べる。なお、実験結果を検討するに際しては、RHEEDで得られる情報は表面から深さ数nm程度の範囲に限られ、一方、X線回折によって得られる情報は厚さ1 μ m程度の膜の厚み全体にわたることに留意する必要がある。

2. 3. 1 RHEEDによるMBD-Si膜表面層の結晶構造

(1) 成長温度依存性

700 $^{\circ}$ C, 600 $^{\circ}$ C, 500 $^{\circ}$ C, 400 $^{\circ}$ Cの各基板温度(T_s)で分子線成長したSi膜のRHEED像を図2.4に示す。膜厚(t)は、それぞれ、0.9 μ m, 1.4 μ m, 1.0 μ m, 0.4 μ mである。

いずれのRHEED像も、繊維構造をもつ多結晶膜に特徴的な回折パターンを示している。すなわち、400 $^{\circ}$ Cという比較的低温で形成した膜を含めて、これら4つのSi膜がすべて多結晶化しており、しかも、多結晶膜中の各結晶粒の結晶軸がそれぞれ勝手な方向を向いているのではなくて、特定の結晶軸 $\langle h k l \rangle$ が試料面にほぼ垂直な方向に配向している。

多結晶Si膜を従来の真空蒸着法により形成するためには765 $^{\circ}$ C以上⁴⁾の基板温度を必要とし、常圧CVD法によれば650 $^{\circ}$ C⁵⁾もしくは700 $^{\circ}$ C以上⁶⁾の基板温度を必要とし、また、低圧CVD法によれば600 $^{\circ}$ C⁷⁾以上の基板温度を必要としていたのに対して、分子線成長法によれば、これら従来法に比べて遥かに低い400 $^{\circ}$ C程度の基板温度でも多結晶Si膜が形成できることが明らかになった。

分子線成長法によって低温でも多結晶膜が得られる理由は、超高真空を用いることにより、清浄なSiを蒸着することが可能になったからに他ならないと思われる。すなわち、従来の真空蒸着やCVD法では、残留気体中のO₂やH₂Oの存在により試料表面のSi原子が酸化したり、残留不純物原子が試料表面に付着したりして、これらが結晶成長を阻む原因になっていると思われる。ところが、本研究の実験に用いた超高真空中では、O₂, H₂O及びその他の残留気体の分圧は10⁻¹¹ Torr以下であるので、これら残留気体の付

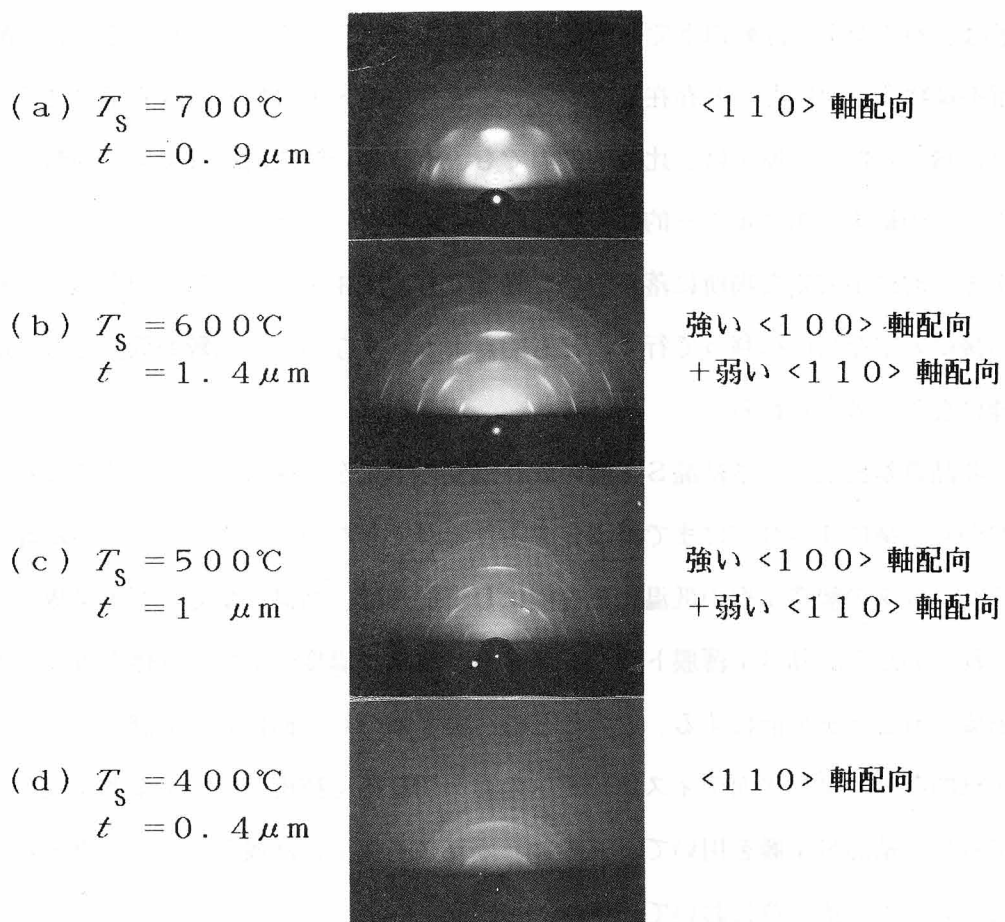


図2.4 MBD-Si膜のRHEED像

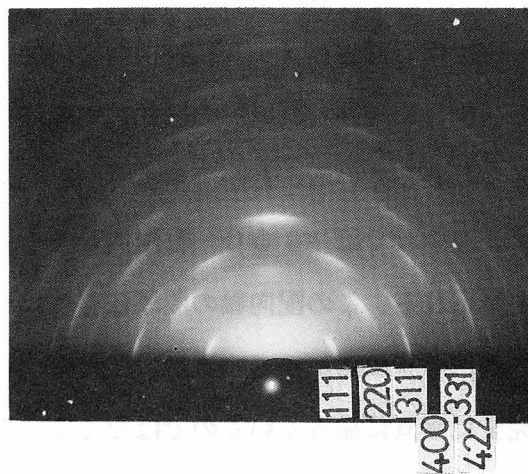


図2.5 MBD-Si膜 ($T_s = 600^\circ\text{C}$, $t = 1.4 \mu\text{m}$) の RHEED像における回折スポットと面指数の対応

着係数を1と最大に仮定しても、酸化されるSi原子や試料表面に付着する残留不純物原子は、わずか10ppm以下であると見積もることができる。したがって、Si酸化物や残留不純物原子がほとんど存在しないので、成長中のSi薄膜表面は原子尺度で滑らかであり、飛来したSi原子は、比較的低温でも、十分長い時間試料表面上を移動することができ、その結果、エネルギー的に安定な場所に落ち着くことができるであろうし、一旦エネルギー的に不安定な場所に落ち着いた場合でも、固相エピタキシー的な機構が働いて、その後安定な場所へ移って行くこともできよう。すなわち、比較的低温でも結晶成長が可能になると考えられる。

非晶質基板上への多結晶Si膜の成長温度の下限を、従来のCVD法の600~650℃から一挙に400℃にまで低温化することができたが、このことは、多結晶Si薄膜トランジスタの製造工程の低温化を可能にし、従来は、高温に耐える石英基板上にのみ作製されていた多結晶Si薄膜トランジスタを、軟化点温度の低い、安価なガラス基板の上に形成することを可能にする。このことは、第1章の1.3節において詳しく述べたように、本格的な大容量の平面ディスプレイへの途を切り拓く技術として工業的意義が大きい。MBD多結晶Si膜を用いて、実際に、ガラス基板上に薄膜トランジスタを試作した結果については、第4章において述べる。

図2.3を参照して、得られた多結晶Si膜は、図2.4の右端に示したように、 $\langle 100 \rangle$ 軸配向、もしくは $\langle 110 \rangle$ 軸配向していることが分かる。図2.5は、図2.4(b)の回折パターン各スポットに対して回折面指数を示したものである。一般に多結晶Si膜では、 $\langle 100 \rangle$ 軸配向の回折パターンに特徴的なのは中央部の(400)面からの回折スポットであり、 $\langle 110 \rangle$ 軸配向の回折パターンに特徴的なのは中央部の(220)面からの回折スポットであるが、図2.5(図2.4(b))の膜においては、強い $\langle 100 \rangle$ 軸配向と弱い $\langle 110 \rangle$ 軸配向とが共存していることが分かる。図2.4より、配向軸に関しては成長温度依存性は見られず、厚い膜では $\langle 100 \rangle$ 軸配向が強く、薄い膜では $\langle 110 \rangle$ 軸配向が強いという傾向が見られる。この配向軸の膜厚依存性については後に詳しく述べる。

また、回折スポットが円弧状に広がっているが、これは、各結晶粒の配向軸 $\langle hkl \rangle$ が、試料面に対して完全に垂直に揃っているのではなくて、垂直な軸を中心にある分布をしていることを示している。垂直軸からの最大のずれは、成長温度が400℃では約20°であるが、成長温度が高くなるほど、垂直軸からのずれは小さくなり、配向性は良くなり、600℃では約10°になっていることが分かる。図2.4で示された結果をまとめる

と、表2.1 のようになる。

表 2. 1 MBD-Si 膜表面層の配向特性

Sample no.	Substrate temperature (°C)	Film thickness (μm)	Preferred orientation	Deviation of the axes (degree)
(a) 90702	700	0.9	$\langle 110 \rangle$	10
(b) 90703	600	1.4	$\langle 100 \rangle$ strong $\langle 110 \rangle$ weak	10
(c) 90402	500	1	$\langle 100 \rangle$ strong $\langle 110 \rangle$ weak	15
(d) 91014	400	0.4	$\langle 110 \rangle$	20

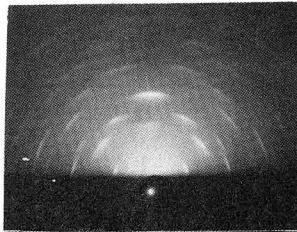
(2) 膜厚依存性

以上述べたように、MBD-多結晶Si膜表面層の配向特性は成長温度と膜厚とに依存している。膜厚依存性について更に詳しく調べるために、成長温度を600°Cに一定にし、膜厚を0.3~1.4 μm の範囲で変えた5種類のMBD-Si膜についてRHEED像を観察した。結果は、図2.6に示した通りである。膜厚0.3 μm の薄い膜では、アモルファス膜に特徴的なハロー・パターンの中に、 $\langle 110 \rangle$ 軸配向に特徴的な(220)回折スポットがかすかに見えるが、このことは、薄い膜では、 $\langle 110 \rangle$ 軸配向した微結晶粒を囲んで、アモルファスの領域が存在していることを示していると思われる。膜厚が厚くなるに従って、ハロー・パターンは弱くなり、すなわち、アモルファス領域は小さくなり、次第に、 $\langle 100 \rangle$ 軸配向が強くなる。膜厚が0.8 μm になると、ハロー・パターンは残っているものの $\langle 100 \rangle$ 軸配向が優勢となり、更に厚い膜では、ハロー・パターンは消え、すなわち、アモルファス領域は無くなり、 $\langle 100 \rangle$ 軸配向が支配的となる。一方、配向軸の向きの垂直軸からのずれの最大は、膜厚に依らず一定で、約10°である。

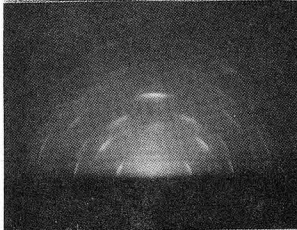
以上(1)、(2)の結果をまとめると、MBD-多結晶Si膜の表面層の配向特性について、次のことが言える。

配向軸は、主として、膜厚に依存し、基板温度には依存しないが、配向軸の向きの分布の幅は、主として、基板温度に依存する。すなわち、薄い膜では、表面層は $\langle 110 \rangle$ 軸配向しているが、膜厚が厚くなるにしたがって、表面層で $\langle 100 \rangle$ 軸配向が強くなる。

(a) $t = 1.4 \mu\text{m}$



(b) $t = 1.3 \mu\text{m}$



(c) $t = 0.8 \mu\text{m}$



(d) $t = 0.45 \mu\text{m}$



(e) $t = 0.3 \mu\text{m}$

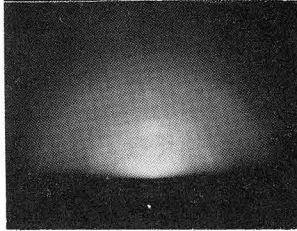


図2.6 600°Cで形成した種々の厚みの
MBD-Si膜のRHEED像

また、配向軸の向きの垂直軸からのずれの最大は、基板温度が400℃から700℃に上昇すると、20°から10°に減少し、基板温度が高いほど配向性は良い。

2.3.2 X線回折による膜全体としての結晶構造

以上は、膜の表面層に関する知見であるが、膜の厚み全体の情報を得るために、エネルギー分散型X線回折法を用いてX線回折を行ったところ、図2.7に示すような回折強度曲線が得られ、すべての試料について、(220)面からの回折ピークのみが観測され、(400)面からの回折ピークは観測されなかった。このことは、すべての試料について、膜の厚み全体としては強く<110>軸配向をしており、<100>軸配向は、全く無いか、有っても観測されないほど微弱であることを示している。この結果は、表面層が<110>軸配向をしている700℃で形成した膜厚0.9μmの膜[(a)]、及び、400℃で形成した膜厚0.4μmの膜[(d)]については、もっともなことであるが、表面層において<100>軸配向が強い600℃で形成した膜厚1.4μmの膜[(b)]や、500℃で形成した膜厚1.0μmの膜[(c)]に関しては、理解しがたいことである。

そこで、RHEEDによれば表面層においては<100>軸配向が強いという結果の得られた、600℃で形成した膜厚1.4μmの膜[(b)]について、感度を上げてX線回折を行っても(400)面からの回折ピークは全く観測されないのかどうかを調べるために、感度を上げて、ディフラクトメータ法によるX線回折を行った。その結果、図2.8に示すようなX線回折強度曲線が得られた。図2.8においては、なんとか(400)面からの回折ピークを検出できたものの、やはり(220)面からの回折は極めて強く、(220)面からの回折に比べて(400)面からの回折は著しく弱いことが分かる。この結果は、粉末Si試料の(220)面からの回折強度が(400)面からの回折強度の7.5倍である¹⁰⁾ことから、7.5倍分の回折強度比の補正を行っても、なお、膜の厚み全体としては、<110>軸配向が圧倒的に強く、<100>軸配向が弱いことを示している。このことは、図2.4(b)に示したRHEED像から導かれる膜の表面層の配向特性と比べて、<110>軸配向と<100>軸配向の共存という点では一致しているが、その強弱は逆になっている。

なお、図2.7において、もう一つ注目すべき点は、成長温度が高くなると共に(220)面からの回折強度が強くなっていることである。膜の厚み全体にわたっての結晶性は、成長温度が高くなると共に良くなっていることが分かる。

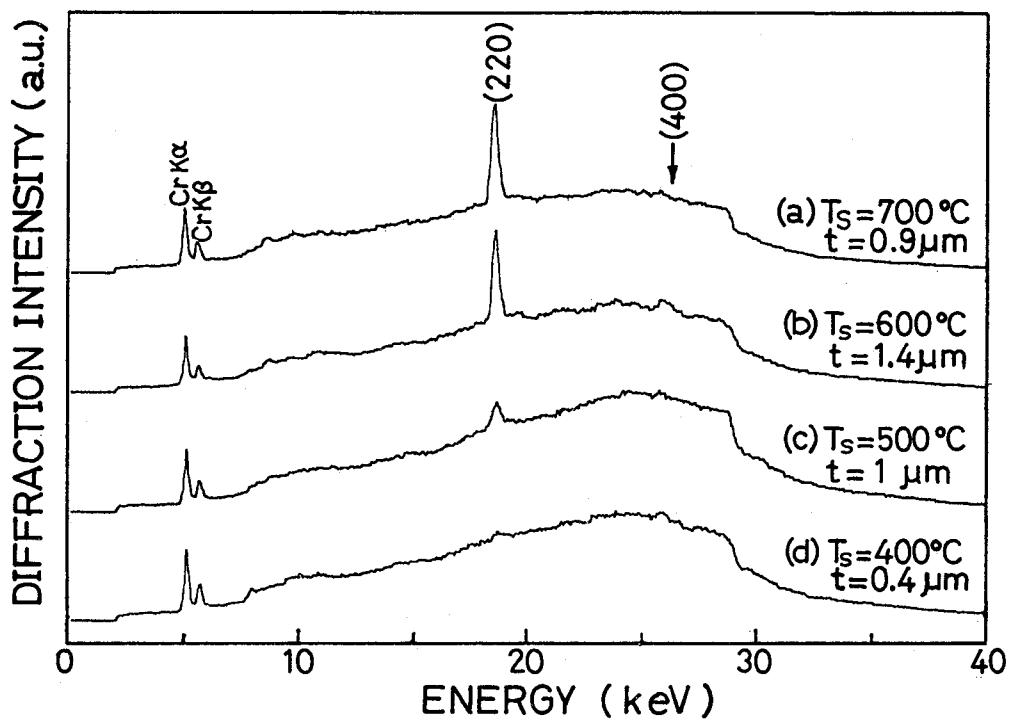


図2.7 MBD-Si膜のX線回折強度曲線

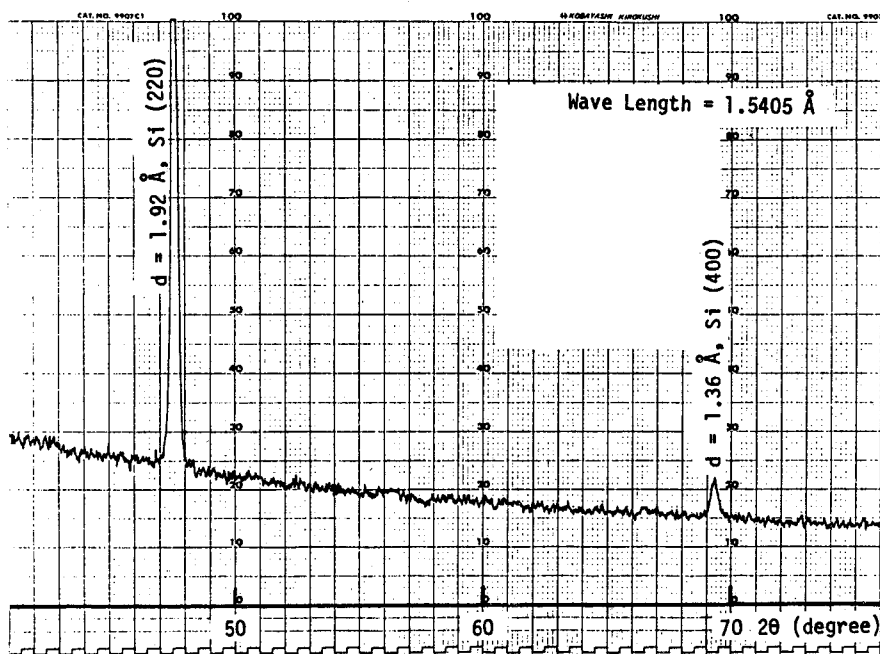


図2.8 MBD-Si膜 ($T_s = 600^\circ\text{C}$, $t = 1.4\ \mu\text{m}$) のX線回折強度曲線

2.3.3 MBD多結晶Si膜の膜内構造

前項においては、RHEEDから導いた膜の表面層の配向特性と、X線回折によって求めた膜全体としての配向特性の違いについて述べた。この違いの原因を明らかにするために、600℃で形成した膜厚1.4μmの膜の表面から0.9μmまでの部分を硝酸・弗酸系のエッチング液で除去して、0.5μmの厚みとした膜を作製し、そのRHEED像を見た。その結果を、エッチング前の膜のRHEED像（既に、図2.4 (b) 及び図2.6(a) に示した）と並べて、図2.9 に示した。なお、ここで、硝酸・弗酸系のエッチング液は、エッチング速度が結晶面によらず一様であるので、特定の配向軸をもった結晶粒のみが選択的に除去される心配はなく、また、硝酸・弗酸系のエッチング液による多結晶Siのエッチング速度は、a-Siのエッチング速度に比べて数倍速いので、MBD多結晶Si膜中の多結晶領域のみが選択的に除去されることはあっても、アモルファスの領域のみが選択的に除去される心配はない。

図2.9の(a)と(b)とを比べれば明らかなように、(b)では、すなわち、基板から0.5μmのところ、換言すれば、元の表面から深さ0.9μmのところでは、(a)の表面に比べて、 $\langle 100 \rangle$ 軸配向が弱くなり、 $\langle 110 \rangle$ 軸配向が強くなっている。すなわち、この膜は、表面層では $\langle 100 \rangle$ 軸配向が強く、膜の内部では $\langle 110 \rangle$ 軸配向が強いという膜内構造をもっていることが分かった。このような膜内構造は、X線回折で膜全体の情報を得たときに、 $\langle 110 \rangle$ 軸配向が強く、 $\langle 100 \rangle$ 軸配向が弱いという結

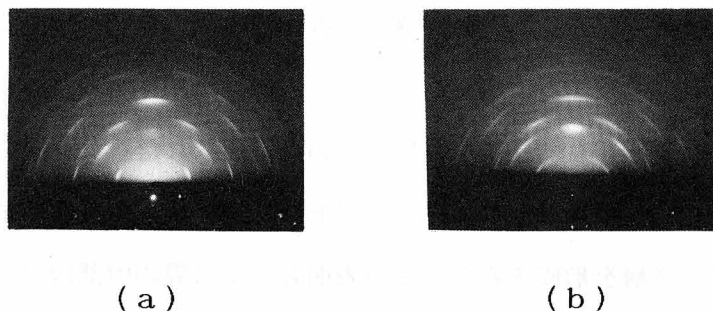


図2.9 MBD-Si膜のRHEED像の深さ依存性

600℃で形成した厚さ1.4μmの膜の(a)表面におけるRHEED像、(b)表面から0.9μmをエッチングしたときの表面、すなわち、基板から0.5μmのところのRHEED像

果が得られたことと定性的には合っている。しかし、図2.9 (b) すなわち基板から0.5 μm のところのRHEED像において、なお $\langle 100 \rangle$ 軸配向がかなり強いことから、上述のX線回折の結果を定量的に説明することはできない。

また、図2.9 (b) では、ハロー・パターンはほとんど見られない。このことは、600 $^{\circ}\text{C}$ で形成した厚さ1.4 μm のMBD-Si膜においては、基板から0.5 μm のところでは多結晶化して、アモルファスの領域はほとんど無くなっていることを示している。このことから、膜厚が十分に厚くて表面層が多結晶になっているMBD-Si膜は、恐らく、膜の内部でも多結晶化していると思われる。

2.3.4 MBD多結晶Si膜の成長過程

基板温度600 $^{\circ}\text{C}$ で成長した厚さ1.4 μm のMBD-Si膜の基板から0.5 μm のところでは、多結晶化が進行して、アモルファスの領域はほとんどないことを、図2.9(b)で見た。ところが、図2.6 (c), (d)に見られるように、基板温度600 $^{\circ}\text{C}$ で成長した厚さ0.45 μm 及び0.8 μm の膜のRHEED像には、繊維構造をもつ多結晶Si膜の回折パターンと共に、ハローが存在する。これは、先にも述べたように、微結晶粒を囲んで、アモルファスの領域が存在していることを示していると思われる。これらを総合して考えると、厚さ1.4 μm の膜の基板から0.5 μm のところでは、最初アモルファスであった領域が、その後の蒸着中に次第に多結晶化したことになる。すなわち、MBD多結晶Si膜の成長過程には、一種の固相エピタキシーによる部分が含まれていると推測される。そこで、MBD多結晶Si膜の成長過程においては、Si膜堆積中の膜内における固相エピタキシャル成長の過程が重要となることに留意し、また、2.3.1項及び2.3.3項で述べた配向特性の膜厚依存性、及び、膜内構造に着目しながら、MBD多結晶Si膜の成長過程について、以下、考察する。

基板が幾何学的な形状も結晶構造も持たない光学研磨した石英基板なので、Si薄膜形成の初期においては、飛来したSi原子はアモルファス状態のままに試料表面に堆積し、Siのアモルファス層を形成するが、試料表面もしくは膜の内部のアモルファス領域において結晶核が形成され、結晶核が成長して微結晶粒となり、微結晶粒とアモルファス領域とが共存する状態になると考えられる。この際、膜中のアモルファス領域において形成された結晶核から成長した微結晶粒の結晶軸の方向はランダムであろうが、試料表面において形成された結晶核から成長した微結晶粒は、恐らく、Siの種々の結晶面の中で表面エ

エネルギーの低い結晶面が試料表面に平行になるように配向すると考えられる。

そこで、ダイヤモンド型構造をもつSiの各結晶面についての表面エネルギーを、ボンド・エネルギーによって¹¹⁾ 評価してみる。Si-Siのボンド・エネルギーを E_B ($= 220 \text{ kJ/mol}^{12}) = 2.3 \text{ eV}$)とし、一例として、Si単結晶を(110)面に沿って二つに断ち割る場合を考える。格子定数を a とすると、この面では単位面積当たり $2\sqrt{2}/a^2$ 個の原子がある。(110)面では原子1個について1本のボンドで切られるので、単位面積当たり $2\sqrt{2}/a^2$ 本のボンドが切られて、新しい二つの表面ができるから、

(110)面の単位面積当たりの表面エネルギー γ_{110} として

$$\gamma_{110} = \frac{1}{2} \cdot E_B \cdot 2\sqrt{2}/a^2 = \sqrt{2} E_B / a^2$$

が求まる。(100)面、(111)面についても同様の計算をし、その結果を表2.2にまとめた。一般に、(ijk)面の単位面積当たりの表面エネルギーを γ_{ijk} と記すことにする。ボンド・エネルギーによって評価した表2.2によれば、 γ_{111} 及び γ_{110} は、 γ_{100} に比べて低いことが分かる。実際の結晶面では、表面原子の再配列が起こっているため、この再配列の効果を考慮すれば、表2.2の結果は多少修正されなければならないであろうが、相対的な大きさはあまり変化しないと思われる。

以上述べたように、Siの主要な結晶面の表面エネルギーをボンド・エネルギーによって評価することによって、Siの主要な結晶面のうち(111)面と(110)面が、比

表2.2 ボンド・エネルギーによって評価した
Siの主要な結晶面の表面エネルギー

結晶面	表面原子密度	1原子あたりの断りボンド	表面エネルギー
(100)	$2/a^2$	2	$2 E_B / a^2 = 1.73 \gamma_{111}$
(110)	$2\sqrt{2}/a^2$	1	$\sqrt{2} E_B / a^2 = 1.22 \gamma_{111}$
(111)	$(4/\sqrt{3})/a^2$	1	$(2/\sqrt{3}) E_B / a^2 = 1.00 \gamma_{111}$

較的表面エネルギーの低い結晶面であることが分かったので、再び、MBD多結晶Si膜の成長過程の考察に戻る。

先に述べたように、Si薄膜形成の初期においては、飛来したSi原子はアモルファス状態のままで試料表面に堆積し、Siのアモルファス層を形成するが、試料表面もしくは膜の内部のアモルファス領域において結晶核が形成され、結晶核が成長して微結晶粒となり、微結晶粒とアモルファス領域とが共存する状態になると考えられる。これら微結晶粒のうち、試料表面において形成された結晶核から成長した微結晶粒は、Siの種々の結晶面の中で表面エネルギーの低い(111)面もしくは(110)面が試料表面に平行になるように配向しやすい、すなわち、 $\langle 111 \rangle$ 軸配向もしくは $\langle 110 \rangle$ 軸配向しやすいと考えられる。 $\langle 111 \rangle$ 軸配向しやすいか $\langle 110 \rangle$ 軸配向しやすいかは、表面エネルギーの差があまり大きくないので、他の様々の要因に微妙に依存すると考えられる。例えば、真空蒸着法により形成した多結晶Ge膜^{13,14)}や、真空蒸着法⁴⁾及びCVD法^{5,6,7)}により形成した多結晶Si膜においては、通常、すなわち、アモルファス膜の得られる温度領域のすぐ上の温度領域で、膜厚が比較的薄い膜を形成した場合には、 $\langle 110 \rangle$ 軸配向が見られるが、温度や膜厚が違えば $\langle 111 \rangle$ 軸配向が見られるというように、優先配向軸が膜の形成条件によって微妙に変わっている。今の場合も、同様な事情にあり、

$\langle 111 \rangle$ 軸配向しやすいか $\langle 110 \rangle$ 軸配向しやすいかは微妙であると思われるが、実験結果からは、何らかの原因により $\langle 110 \rangle$ 軸配向しやすくなっていると考えられる。

ところで、今問題にしているMBD-Si膜の成長の場合は、従来の真空蒸着法やCVD法とは異なり、膜の堆積速度が0.1nm/sと低いために、後に図2.10で見るように、固相エピタキシーの再成長速度が堆積速度と同程度となり、特に、 $\langle 100 \rangle$ 軸方向の再成長速度は堆積速度よりも速くなり、また、超高真空中の膜形成の故に、試料表面及び膜中での結晶核の発生確率が低く、したがって、固相エピタキシャル成長を停止させる原因となる他の結晶粒が少ないことから、Si膜堆積中の固相エピタキシーの過程が重要となると思われる。

試料表面において形成された結晶核から成長した微結晶粒とは異なり、膜中のアモルファス領域において形成された結晶核から成長した微結晶粒の結晶軸の方向はランダムであろう。Si膜の堆積中に、固相エピタキシャル成長により、これら微結晶粒は、周辺のアモルファス領域を結晶化して、成長するであろう。その際、試料表面に平行な成分をもつ軸方向への結晶粒の成長は、ある程度成長すれば、隣の結晶粒にぶつかって、そこで成長

を停止するであろう。したがって、結晶粒は、主として試料表面に垂直に、柱状に成長するであろう。

そこで、どの結晶軸が、試料面に垂直に柱状に成長しやすいかを考える。その際、固相エピタキシャル成長における再成長速度の結晶軸異方性が重要になる。本研究の実験結果を説明するためには、 $\langle 100 \rangle$ 軸方向への再成長速度が他の結晶軸方向への再成長速度より圧倒的に速いことが必要である。以下に述べるように、実際、そのような実験結果が知られている。

単結晶 Si 表面に Si イオンを打ち込むことによって単結晶 Si 基板の上に形成された Si のアモルファス層を、真空中で 500°C 前後の温度で熱処理すると、よく知られているように、単結晶基板側から再結晶化して、ついには単結晶化する¹⁵⁾。すなわち、固相エピタキシャル成長が行われる。この場合の再成長速度は、図 2.10 に示すように、成長方向の結晶軸に依存し、 $\langle 100 \rangle$ 軸方向の再成長速度を 1 とすると、 $\langle 110 \rangle$ 軸方向の再成長速度は約 $1/3$ であり、 $\langle 111 \rangle$ 軸方向の再成長速度は $1/25$ に過ぎないことが報告されている¹⁶⁾。固相エピタキシャル成長の機構に関しては、R. Drosd と J. Woshburn によって原子論的なモデルが提案され、このモデルによって、再成長速度の結

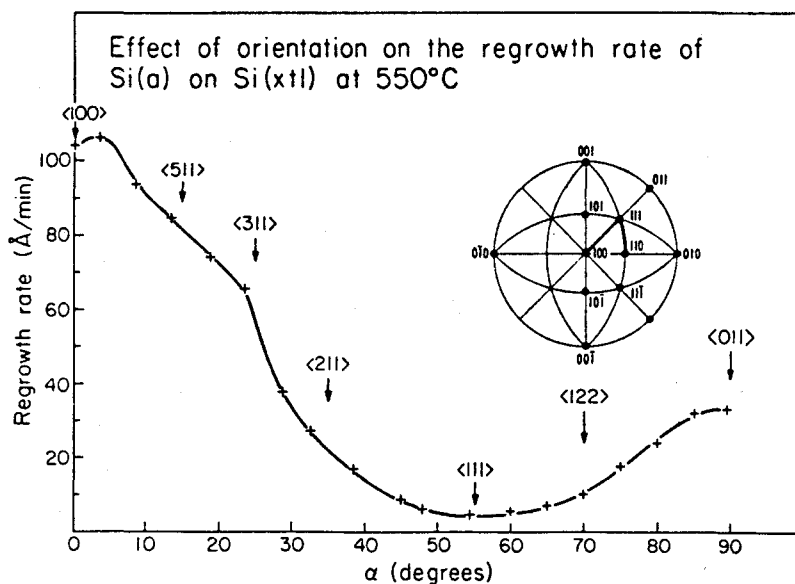


図 2. 10 単結晶 Si 上の a-Si の再成長速度の結晶方位依存性¹⁶⁾

単結晶 Si 基板の結晶方位と $\langle 110 \rangle$ 軸とのなす角度を α とし、種々の試料について、 550°C における再成長速度を α に対してプロットしたもの。

晶軸異方性も説明されている¹⁷⁾。また、超高真空蒸着によって形成した a-Si 層の固相エピタキシャル成長において、 $\langle 100 \rangle$ 軸方向への再成長速度とその活性化エネルギーが、イオン打ち込みによって形成された a-Si 層の $\langle 100 \rangle$ 軸方向への再成長速度とその活性化エネルギーにほぼ等しい³⁾ことから、両者は同じ機構で再結晶化していると考えられる。したがって、超高真空蒸着 a-Si 層の固相エピタキシャル成長においても、成長速度に同様の結晶軸異方性のあることが予想される。そこで、さらに、MBD 多結晶 Si 膜の成長過程においても、これらと同じ機構によって再結晶化し、したがって、同様の再成長速度の結晶軸異方性をもつ固相エピタキシャル成長による部分があると考えられる。

再成長速度の結晶軸異方性から、Si 薄膜形成の初期において膜中に生じた微結晶粒のうち、 $\langle 100 \rangle$ 軸が試料面に垂直であるような微結晶粒は、他の結晶軸が試料面に垂直であるような微結晶粒よりも速く、試料面に垂直な方向に成長して、 $\langle 100 \rangle$ 軸配向の結晶粒がその場所を占めるであろう。 $\langle 110 \rangle$ 軸方向へは $\langle 100 \rangle$ 軸方向の $1/3$ の速さで再成長するので、 $\langle 110 \rangle$ 軸が試料面に垂直であるような微結晶粒も、試料面に垂直な方向にある程度は成長するが、先に成長してその場所を占めてしまった $\langle 100 \rangle$ 軸配向の結晶粒にぶつかって、そこで成長を停止するであろう。また、 $\langle 111 \rangle$ 軸方向へは再成長速度が著しく遅いため、 $\langle 111 \rangle$ 軸が試料面に垂直であるような微結晶粒は、試料面に垂直な方向には、ほとんど成長しないであろう。

以上のように考えると、MBD-Si 膜の成長過程は、図2.11に模式的に示したようなものとして理解することができる。すなわち、Si 薄膜形成の初期においては、図2.11(1)~(3)に示すように、 $\langle 110 \rangle$ 軸が試料面に垂直であるような微結晶粒が膜表面において形成され、これらが、膜中における核形成から成長した、 $\langle 110 \rangle$ 軸が試料面に垂直であるような微結晶粒とともに、ある程度は成長して、図2.11(2)~(5)に示すように、膜形成の初期の薄い膜や、厚い膜でも膜の内部では、 $\langle 110 \rangle$ 軸配向が優勢となる。一方、膜中における核形成から成長した微結晶粒のうち、 $\langle 100 \rangle$ 軸が試料面に垂直であるような微結晶粒の垂直方向への成長速度は、圧倒的に速いので、図2.11(5)に示すように、十分厚く堆積した膜の表面では $\langle 100 \rangle$ 軸配向が優勢になると思われる。 $\langle 111 \rangle$ 軸方向への再成長速度が著しく遅いため、 $\langle 111 \rangle$ 軸が試料面に垂直であるような微結晶粒は、試料面に垂直な方向へほとんど成長しないことは、既に述べたとおりである。

以上のように考えることによって、MBD-Si 膜においては、RHEEDによっても

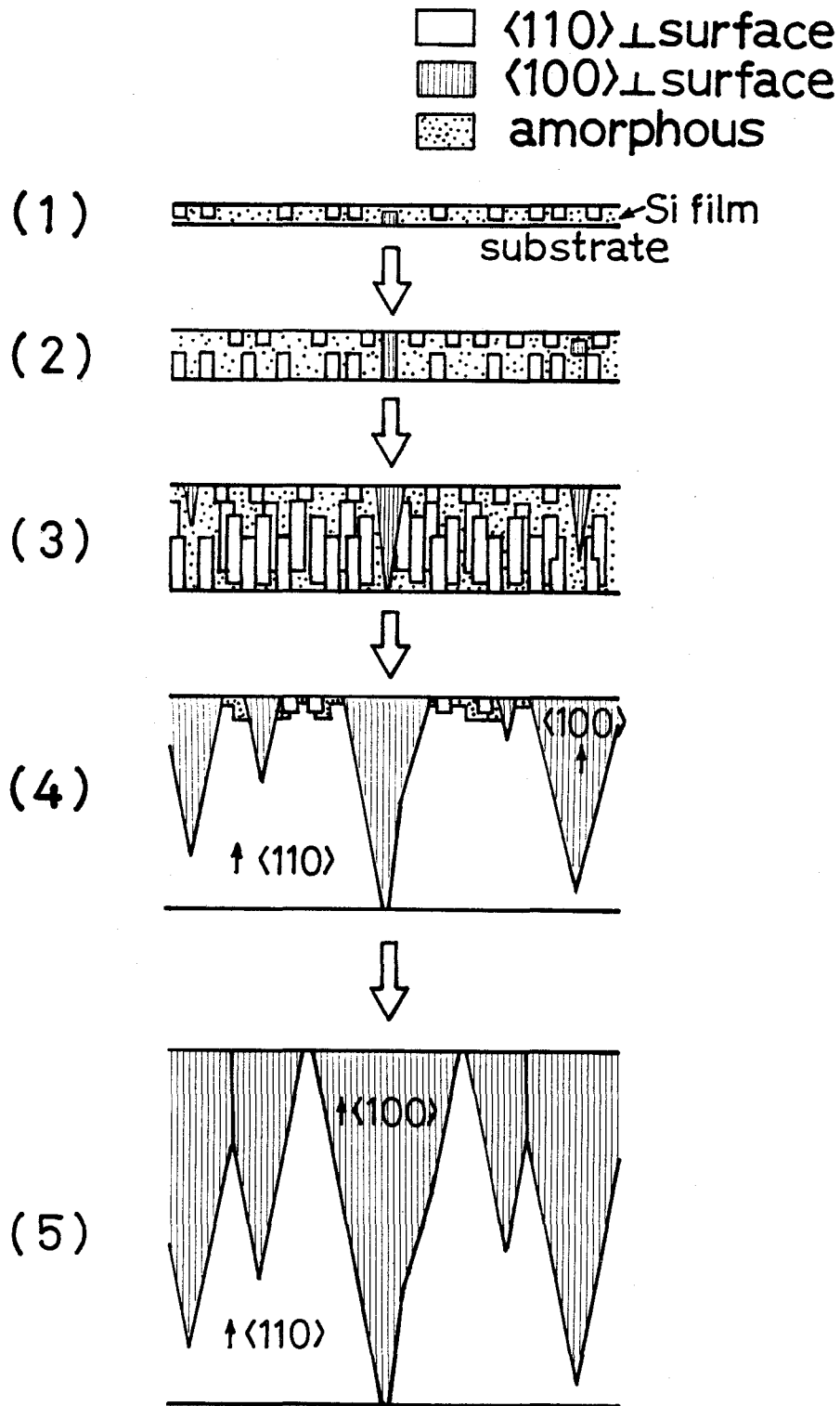


図2. 11 MBD多結晶Si膜の成長過程の模式図

図を簡単にするために、表面で核形成して成長した微結晶粒としては $\langle 110 \rangle$ 軸が試料面に垂直なもののみを示し、また、膜中で核形成して成長した微結晶粒としては $\langle 100 \rangle$ 軸が試料面に垂直なもののみを示したが、本文中に述べたように、MBD多結晶Si膜の成長過程の本質はこの図に尽きていると思われる。

X線回折によっても $\langle 111 \rangle$ 軸配向が全く観測されないことや、2.3.1 項で述べたように、薄い膜の表面層で $\langle 110 \rangle$ 軸配向が強く、一方、厚い膜の表面層で $\langle 100 \rangle$ 軸配向が強くなることや、2.3.3 項で述べた膜内構造が定性的に説明できる。このように、再成長速度の結晶軸異方性を仮定することにより、配向軸の膜厚依存性や膜内構造を定性的に説明できることから、MBD多結晶Si膜の成長過程には一種の固相エピタキシーによる部分が含まれていることが示唆される。

2.3.5 SEMによるMBD多結晶Si膜表面形状の観察

基板温度600℃で形成した、厚さがそれぞれ、(a) $1.4\mu\text{m}$ 、(b) $1.0\mu\text{m}$ 、(c) $0.3\mu\text{m}$ のMBD-Si膜の表面のSEM(走査型電子顕微鏡)像を図2.15に示す。膜表面に見られる粒の大きさは、一般的には、必ずしも膜の表面における結晶粒の大きさを反映するとは限らないが、超高真空下における非晶質基板上へのSiの蒸着の場合には、表面に見られる粒の直径が、大雑把には、透過型電子顕微鏡(TEM)観察によって得られた結晶粒のグレイン・サイズと等しいことが報告されている¹⁸⁾。したがって、図2.12のSEM像において、膜の表面に一面に存在する粒の大きさは、結晶粒の大きさを反映していると思われる。図2.12より、膜厚が厚い程、グレイン・サイズは大きく、厚さが $1.4\mu\text{m}$ の膜のグレイン・サイズは $200\text{nm} \times 200\text{nm}$ 程度であり、厚さが $0.3\mu\text{m}$ の膜のグレイン・サイズは $50\text{nm} \times 50\text{nm}$ 程度である。

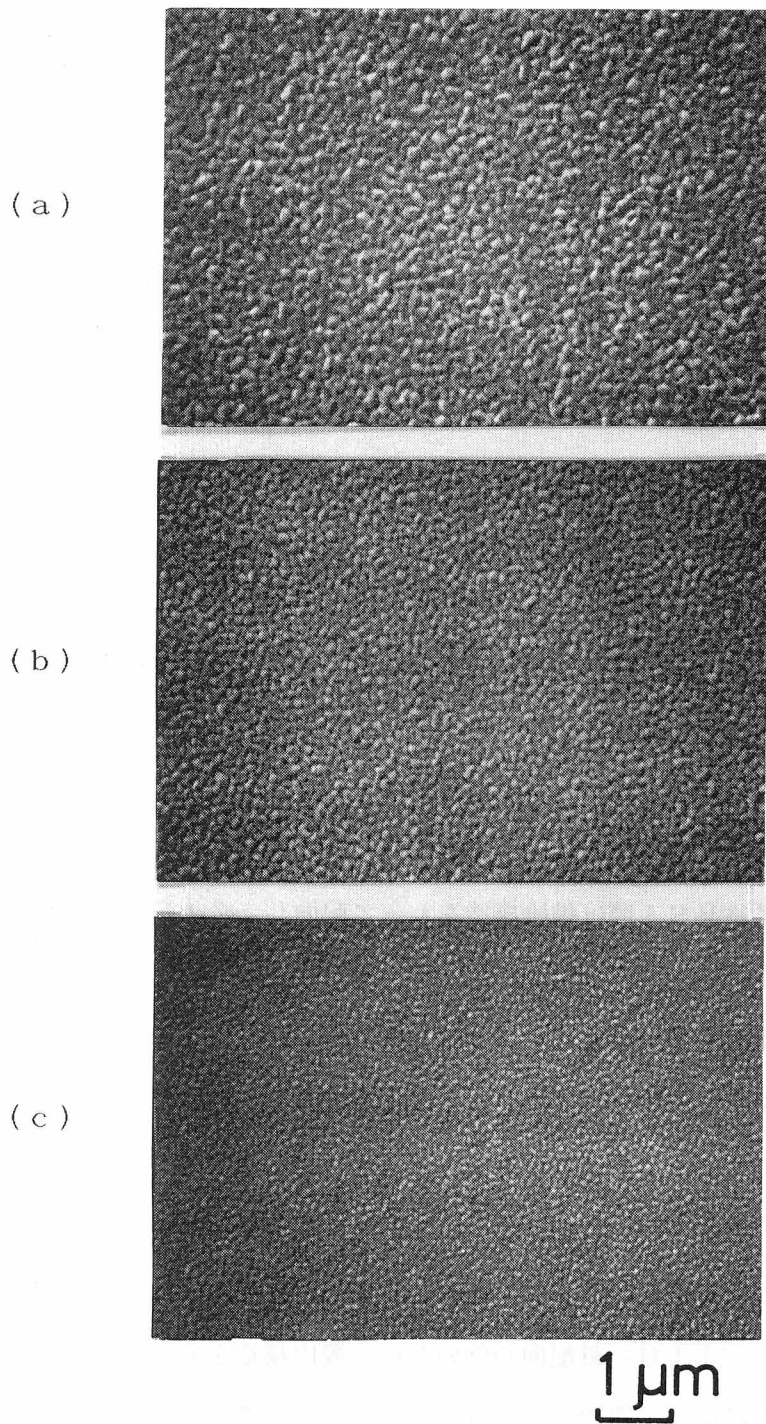


図2. 12 MBD-Si膜表面のSEM像
成長温度は600℃、膜厚は(a) 1.4 μm 、(b) 1.0 μm 、
(c) 0.3 μm

2. 4 まとめ

分子線成長 (MBD) 法によって、石英基板上に種々の成長温度で種々の厚みの Si 薄膜を形成し、膜構造を調べた結果、以下の諸点が明らかになるとともに、これらの結果をもとに MBD 多結晶 Si 膜の成長過程について考察した。

(1) MBD-Si 膜は、400°C 以上の成長温度で多結晶となる。この 400°C という温度は、従来の比較的真空度での真空蒸着、常圧気相成長 (CVD) 法、低圧 CVD 法によって多結晶 Si 膜の得られる 765°C、650°C、600°C に比べて著しく低い。これは、清浄雰囲気のために、飛来した Si 原子のマイグレーションやアモルファス状態で堆積した領域の再結晶化を妨げる原因となる残留不純物原子の試料表面への付着が極めて少ないことによると思われる。

非晶質基板上への多結晶 Si 膜の成長温度の下限を一挙に 400°C にまで低温化することができたが、このことは、多結晶 Si 薄膜トランジスタの製造工程の低温化を可能にし、従来は高温に耐える石英基板上にのみ作製されていた多結晶 Si 薄膜トランジスタを、軟化点温度の低い、安価なガラス基板上に形成することを可能とする。このことは、本格的な大容量の平面ディスプレイ実現への途を切り拓く技術として工業的意義が大きい。

(2) MBD 多結晶 Si 膜は繊維構造をもって配向し、この配向特性は膜厚と成長温度に依存する。

MBD 多結晶 Si 膜表面層においては、薄い膜では、 $\langle 110 \rangle$ 軸配向した微結晶粒の周りにアモルファスの領域が存在すると考えられるが、厚い膜ほど、 $\langle 100 \rangle$ 軸配向が強くなり、アモルファス領域は小さくなり、十分厚い膜では、アモルファス領域は無くなり、 $\langle 100 \rangle$ 軸配向が支配的となる。また、成長温度が高いほど、配向性は良くなる。

(3) 600°C で形成した厚さ 1.4 μm の膜は、表面層では、 $\langle 100 \rangle$ 軸配向が強く、膜の内部では、 $\langle 110 \rangle$ 軸配向が強いという膜内構造をもつ。

(4) MBD 多結晶 Si 膜の成長過程には、固相エピタキシーによる部分があることが示唆される。

(5) MBD 多結晶 Si 膜の表面には、結晶粒を反映していると思われる粒形が一面にあることが、走査型電子顕微鏡 (SEM) 像によって示された。粒形が結晶粒を反映しているとすれば、厚い膜ほど、表面におけるグレイン・サイズが大きく、厚みが 1.4 μm の膜のグレイン・サイズは、約 200 nm \times 200 nm である。

参考文献

- 1) F. Jona: Appl. Phys. Lett. **9** (1966) 235.
- 2) G. E. Becker and J. C. Bean: J. Appl. Phys. **48** (1977) 3395. 及び、Y. Ota: J. Electrochem. Soc. **124** (1977) 1795.
- 3) Y. Shiraki, Y. Katayama, K. L. I. Kobayashi, and K. F. Komatsubara: J. Cryst. Growth **45** (1978) 287.
- 4) A. J. Mountvara and G. Abovitz: Vacuum **15** (1965) 359.
- 5) T. I. Kamins and T. R. Cass: Thin Solid Films **16** (1973) 147.
- 6) N. Nagasima and N. Kubota: Jpn. J. Appl. Phys. **14** (1975) 1105.
- 7) T. I. Kamins: J. Electrochem. Soc. **127** (1980) 636.
- 8) M. Matsui, Y. Shiraki, Y. Katayama, K. L. I. Kobayashi, A. Shintani, and E. Maruyama: Appl. Phys. Lett. **37** (1980) 936.
- 9) M. Matsui, Y. Shiraki, and E. Maruyama: J. Appl. Phys. **53** (1982) 995.
- 10) ASTM (American Society for Testing Materials) 回折データ・カード
- 11) 例えば、中村勝吾: 表面の物理 (上田隆三責任編集: 薄膜・表面シリーズ2) 共立出版, 東京 (1982) p. 118.
- 12) 日本化学会編: 化学便覧 (改訂3版) 基礎編II, 丸善, 東京 (1984) p. I-322.
- 13) J. E. Davey: J. Appl. Phys. **32** (1961) 877.
- 14) J. D. Williams and L. E. Terry: J. Electrochem. Soc. **114** (1967) 158.
- 15) L. Csepregi, J. W. Mayer, and T. W. Sigmon: Phys. Lett. **54A** (1975) 157.
- 16) L. Csepregi, E. F. Kennedy, and J. W. Mayer: J. Appl. Phys. **49** (1978) 3906.
- 17) R. Drosd and J. Washburn: J. Appl. Phys. **53** (1982) 397.
- 18) 杉山, 宮本, 秋元, 宇佐見, 守城, 伊藤: 第41回応用物理学会学術講演会 (昭55秋) 予稿集 (1980) 457.

第2章関連の著者論文

- a) Low-Temperature Formation of Polycrystalline Silicon Films by Molecular Beam Deposition; M. Matsui, Y. Shiraki, and E. Maruyama: J. Appl. Phys. **53** (1982) 995.

第3章 分子線成長多結晶シリコン膜 の電気的特性

3.1 まえがき

分子線成長法によれば、従来法に比べてはるかに低い400℃程度の基板温度でも多結晶Si膜が形成できることを、第2章で述べた。本研究の目的は、この低温形成多結晶Si膜を用いて、ガラス基板の耐える低温工程によって、電界効果移動度の高い多結晶Si薄膜トランジスタを作製する技術を開発することであるが、そのためには、この分子線成長多結晶Si膜の電気的特性について知っておく必要がある。本章においては、この分子線成長多結晶Si膜の電気的特性について調べた結果について述べる。

500℃付近の基板温度で形成したMBD多結晶Si膜の電気的特性は、従来の高温(～1000℃)工程を経たCVD多結晶Si膜^{1,2)}とほぼ同程度であり、水素化アモルファスSi膜³⁾に比べて多数キャリアの移動度は2桁ほど高い。例えば、基板温度が約430℃～約700℃において形成した膜厚約1μmのノン・ドーパのMBD多結晶Si膜は、通常はわずかにp型であるが、再現性が得られているわけではなく、時にはわずかにn型となり、電子移動度、正孔移動度は、以下に述べるように、10～20cm²/V.s程度であった。

水素を含まないアモルファスSi膜を水素プラズマ中で熱処理(以下、水素プラズマ処理という)すると、a-Siの構造の中に水素が取り込まれ、a-Siのダングリング・ボンドが水素によって終端化され、a-Si膜の電気的特性、及び光学的特性が改善される⁴⁾。また、この水素プラズマ処理は、多結晶Si膜にも適用され、多結晶Si膜を水素化することによって、グレイン・バウンダリにある欠陥準位を不活性化し、n型^{5,6)}及びp型^{6,7)}の多結晶Si膜の電気的特性の改善がなされている。そこで、本研究においては、水素プラズマ処理によってMBD多結晶Si膜を水素化した場合の電気的特性についても調べた。その結果、水素化によって、n型試料の電気伝導度、電子濃度及び電子移動度は高くなるが、p型試料の電気伝導度、正孔濃度及び正孔移動度は低くなることが分かった。以下では、これら実験結果の詳細と実験結果についての考察を述べる。

3. 2 実験方法

3. 2. 1 試料

分子線成長法による多結晶Si膜の形成については、第2章の2.2.1項において述べた。ここでは、膜形成後の水素アニール、及び、水素化のための水素プラズマ処理、並びに、電気伝導度やホール効果を測定するための試料の形状及び加工方法について述べる。

本章の電氣的測定に用いた試料は、400℃で水素アニールしたものと、水素プラズマ処理を施したものである。堆積したそのままの状態 (as deposited) の膜の電氣的特性も測定すべきであるが、膜形成温度よりも低い温度での水素アニールによっては、電氣的特性が大きく変わることはないと思われるので、省略した。また、第4章において述べるように、本研究の薄膜トランジスタの試作の最終工程においては、Si-SiO₂ 界面特性を改善し、また、ソース及びドレインのAl電極と不純物層との接触を安定にするために、400℃で水素アニールを行なっており、これが、400℃で水素アニールした膜の電氣的特性をas depositedの膜の電氣的特性よりも重視した理由である。

400℃における水素アニールと水素プラズマ処理とは同時に行った。すなわち、水素プラズマ処理を施す際に、試料の半分については、Siウェーハで覆い、水素プラズマに晒されないようにして熱処理のみを施した。

水素プラズマ処理は、図3.1 に示した装置を用いて行った。まず、高周波電極の対向電極を兼ね、加熱用ヒータを内蔵した試料台に試料を置き、装置内を 3×10^{-2} Torrの水素雰囲気とする。次に、試料の温度を400℃に保ち、直径8cmの平行平板型の円形高周波電極に13.65 MHzの高周波電力30W (0.6 W/cm^2) を印加し、グロー放電させて励起した水素プラズマに試料を10分間晒す。次に、水素プラズマを励起したままで、基板温度を300℃に下げ、基板温度を300℃に10分間保つ。さらに、水素プラズマを励起したままで、基板温度を200℃に下げ、基板温度を200℃に10分間保つ。その後、高周波電力を切り、グロー放電を停止する。したがって、水素プラズマ処理による水素化は、必ずしも400℃で有効に行われている必要はなく、400℃、300℃、200℃のいずれかの温度で有効に行われていればよい。

電気伝導度やホール効果の測定には、図3.2 に示したブリッジ型の試料を用いた。この試料は、マスク蒸着によって、MBD多結晶Si膜上にAl電極を形成した後、フォトリソグラフィにより、このAl電極パターンに合わせて、多結晶Si膜をブリッジ状にメサ・エッチングすることにより形成した。

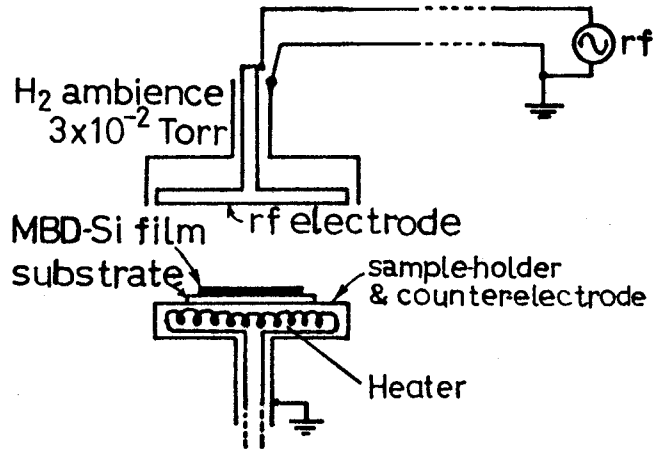
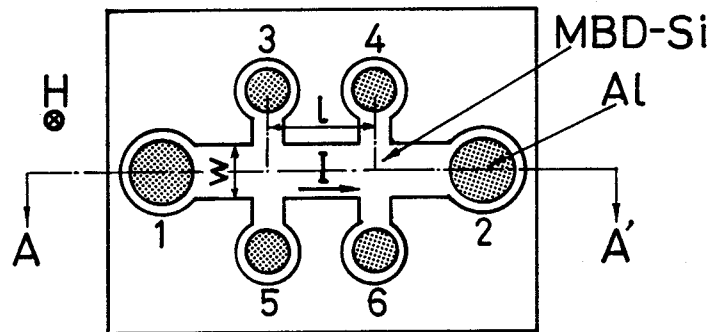
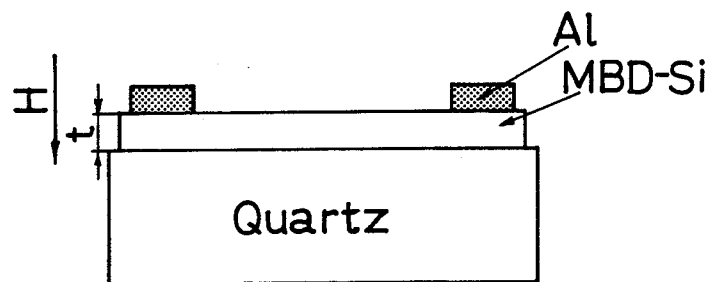


図3. 1 水素プラズマ処理装置の電極構造



(a) Plane View



(b) A-A' Section

図3. 2 電気伝導度およびホール効果測定用試料

3. 2. 2 電気伝導度およびホール係数の測定方法

通常の直流測定法によって、電気伝導度およびホール係数を測定した。図3.2において、端子1, 2間に直流電流 I を流したときの、端子3, 4間もしくは端子5, 6間の電圧降下 V を測定することにより、抵抗 $R = V/I$ を求め、形状因子を考慮して電気伝導度 σ を求める。また、端子1, 2間に直流電流 I を流しながら、これに垂直に磁場 H を印加したときに、端子3, 5間もしくは端子4, 6間に生じるホール電圧 V_H を測定することにより、ホール係数 $R_H = V_H t / IH$ (ここで t は膜厚) を求める。図3.2において、例えば、紙面に垂直下向きに磁場を印加したときに、端子3 (もしくは端子4) の方が端子5 (もしくは端子6) よりも高電位のときに、 R_H の符号を正と定義し、正の場合はキャリアの荷電が正、すなわち、キャリアが正孔であることを意味し、逆に、負の場合はキャリアの荷電が負、すなわち、キャリアが電子であることを意味する。

測定にあたっては、抵抗及びホール効果の測定において通常留意されていること、すなわち、熱起電力や試料の形状の非対称性等の影響を除くために、電流 I や磁場 H の向きを逆転して電圧降下 V 及びホール電圧 V_H を測定し、それらの平均を取ることで V 及び V_H の正しい値を求めるとか、 V 及び V_H が I や H に比例する範囲内の電流値 I や磁場の強さ H で測定するとか、測定電流 I は試料の温度上昇をもたらさないような低い値に設定するとかに留意したのは、もちろんであるが、その他に、試料の抵抗が高いことに対する配慮を行った。すなわち、試料は電気伝導度があまり高くない薄い膜 (厚さ約 $1 \mu\text{m}$) であるために、試料の抵抗は $1 \times 10^{11} \Omega$ に及ぶものもあるので、入力抵抗が $1 \times 10^{14} \Omega$ の電圧計を用いた。また、試料の抵抗が高いために測定電圧が長時間にわたりドリフトすることについては、測定電圧をレコーダで記録しドリフト分を差し引くことで対処した。

3.3 結果および検討

成長温度及びドーピングの条件の異なる種々のMBD多結晶Si膜について、水素アニールのみを施した場合、及び、水素プラズマ処理を施すことにより水素化を行った場合の、300Kにおける電気的特性の測定結果を表3.1に示す。

3.3.1 MBD多結晶Si膜の電気的特性

表3.1は、MBD成長条件が同一の試料について、水素アニールのみを施した場合の電気的特性と、水素プラズマ処理を施すことにより水素化を行った場合の電気的特性とを、同じ欄の上下に並記しているが、まず、水素アニールのみの場合を見てみよう。

基板温度が約430℃～約700℃において形成した膜厚約1μmのノン・ドーパの（故意にはドーピングを行わなかった）MBDシリコン膜は、通常は、表3.1の基板温度430℃並びに600℃で成長させた膜のように、わずかにp型となり、電気伝導度は、 $10^{-6} \text{ S} \cdot \text{ cm}^{-1}$ 程度、キャリア濃度は 10^{12} cm^{-3} 程度、移動度は $10 \sim 20 \text{ cm}^2 / \text{ V} \cdot \text{ s}$ 程度であるが、再現性が得られているわけではなく、時には、表3.1の基板温度715℃で成長させた膜のようにn型となることもあり、キャリア濃度や移動度にもバラツキがあった。これら電気的特性の違いは、成長温度によるのではなく、例えば試料ホルダのわずかな汚染等の、制御し切れていない要因によるものと思われる。通常わずかにp型となるのは、蒸発源材料として用いた高純度FZ単結晶Si中に、わずかに残っているB（硼素）が原因であると思われる。

ドーパントとしてSbもしくはGaをSiと同時に蒸着して形成した、キャリア濃度が $10^{17} \sim 10^{18} \text{ cm}^{-3}$ のn型及びp型の試料の移動度は、表3.1に示したように、ノン・ドーパの試料と同様に $10 \text{ cm}^2 / \text{ V} \cdot \text{ s}$ 程度であった。

以上述べたように、500℃付近の基板温度で形成したMBD多結晶Si膜のキャリア移動度は、n型かp型かに依らず、キャリア濃度にも依らず、 $10 \sim 20 \text{ cm}^2 / \text{ V} \cdot \text{ s}$ 程度であり、従来の高温（～1000℃）工程を経たCVD多結晶Si膜^{1,2)}とほぼ同程度であり、水素化アモルファス・シリコン膜³⁾に比べて2桁ほど高い。すなわち、MBD法によれば、500℃程度の比較的低い基板温度でも比較的高移動度の多結晶Si膜を形成できることが明らかになった。すなわち、MBD多結晶Si膜は、低温形成多結晶Si薄膜トランジスタ用材料として良好な電気的特性を備えていることが分かった。

表3. 1 MBD多結晶Si膜の電気的特性(300K)

試料			電気的特性(300K)					
MBD成長条件			処理	直接の測定値		測定値から導いた値		
基板温度 T_s	ドーパント (Kセル/膜)	膜厚 t (μm)		伝導度 σ ($\text{S}\cdot\text{cm}^{-1}$)	ホール係数 R_H (cm^3/C)	導 型	キャリア濃度 n (cm^{-3})	移動度 μ_H (cm^2/Vs)
430°C	Li・F	1.10	水素アモル	3.4×10^{-6}	2.3×10^6	p	2.7×10^{12}	7.8
			水素化	1.51×10^{-6}	—	—	—	—
600°C	Li・F	1.15	水素アモル	2.5×10^{-6}	8.0×10^6	p	7.8×10^{11}	20.
			水素化	4.4×10^{-4}	-1.49×10^4	n	4.2×10^{14}	6.6
715°C	Li・F	1.13	水素アモル	2.4×10^{-4}	-3.4×10^4	n	1.84×10^{14}	8.2
			水素化	8.0×10^{-2}	-4.0×10^2	n	1.56×10^{16}	32.
500°C	Sb (400°C)	0.72	水素アモル	1.23	-1.09×10^1	n	5.7×10^{17}	13.4
			水素化	6.4	-5.2	n	1.20×10^{18}	33
450°C	Ga (850°C)	0.75	水素アモル	2.0	6.7	p	9.3×10^{17}	13.4
			水素化	7.0×10^{-2}	8.0×10^1	p	7.8×10^{16}	5.6

3. 3. 2 電気的特性に及ぼす水素化の効果

(1) 実験結果

次に、水素プラズマ処理によってMBD多結晶Si膜を水素化した場合の効果について述べる。表3.1より、MBD多結晶Si膜を水素化すると、n型試料の電気伝導度、電子濃度及び電子移動度は高くなるが、一方、p型試料の電気伝導度、正孔濃度及び正孔移動度は低くなるのが分かる。特殊な場合として、表3.1中の600℃で形成したノン・ドープでわずかにp型であった試料は、水素化によってn型になるという奇妙な結果も得られている。

図3.3は、上に述べた事情をもう少し直観的に理解するために、横軸の正方向に電子濃度を、縦軸の正方向に電子移動度を取り、また、横軸の負方向に正孔濃度を、縦軸の負方向に正孔移動度をとって、表3.1のデータに他の試料のデータも加えて、プロットしたものである。水素化の効果を図3.3における右上への相対的な移動とみなすことにより、水素化によってn型試料の電子濃度及び電子移動度は高くなるが、一方、p型試料の正孔濃度及び正孔移動度は低くなり、特殊な場合として、p型であった試料がn型になるというこれらの効果全体を、大雑把ではあるが統一的に把握することができる。

図3.3に示されるような水素化の効果の原因となるメカニズムを考える材料とするために、n型及びp型のそれぞれの膜について、水素アニールのみを施した試料と水素プラズマ処理を施した試料のそれぞれの電気伝導度とホール係数の温度変化を測定し、ホール移動度とキャリア濃度の温度変化として整理したのが、図3.4及び図3.5である。ホール移動度 μ_H は、

$$\mu_H = C \exp(-E_A / kT) \quad \dots\dots\dots (3-1)$$

のように温度変化をすることが分かる。(ここで、 k はボルツマン定数、 T は温度、 C 及び E_A は試料に依存する定数である。)移動度のこの温度依存性は、熱活性化過程によってキャリアが移動していることを示している。図3.4のn型の膜の場合、水素アニールのみを施した試料では活性化エネルギー E_A は、38meVであったのが、水素プラズマ処理を施した試料では7meVに減少し、また、 C は、水素アニールのみを施した試料では約 $10\text{cm}^2/\text{V}\cdot\text{s}$ であったのが、水素プラズマ処理を施した試料では約 $50\text{cm}^2/\text{V}\cdot\text{s}$ に増大している。また、図3.5のp型の膜の場合、水素アニールのみを施した試料では、 E_A が25meVであったのが、水素プラズマ処理を施した試料では36meVと、n型とは

逆に増大しており、また、 C も、水素アニールのみを施した試料では約 $50 \text{ cm}^2 / \text{V} \cdot \text{s}$ であったのが、水素プラズマ処理を施した試料では約 $40 \text{ cm}^2 / \text{V} \cdot \text{s}$ と、 n 型とは逆に減少している。

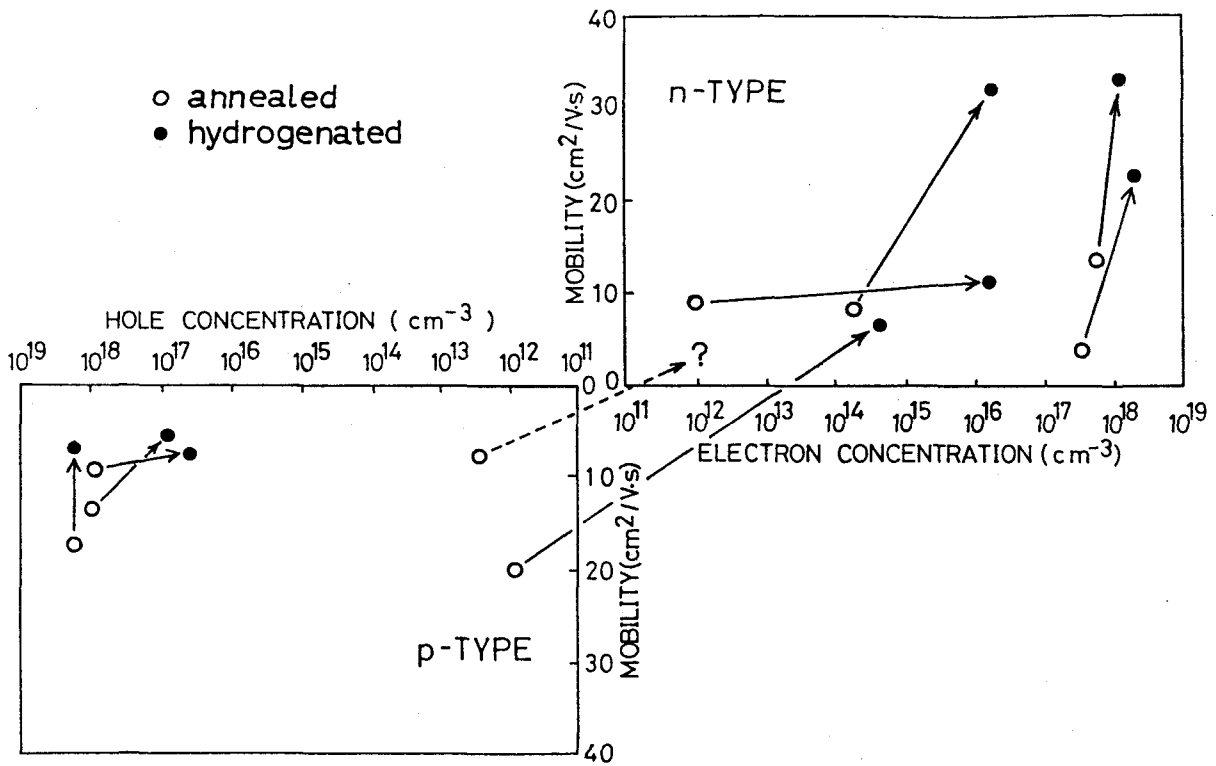


図3. 3 MBD多結晶Si膜のキャリア移動度とキャリア濃度の関係

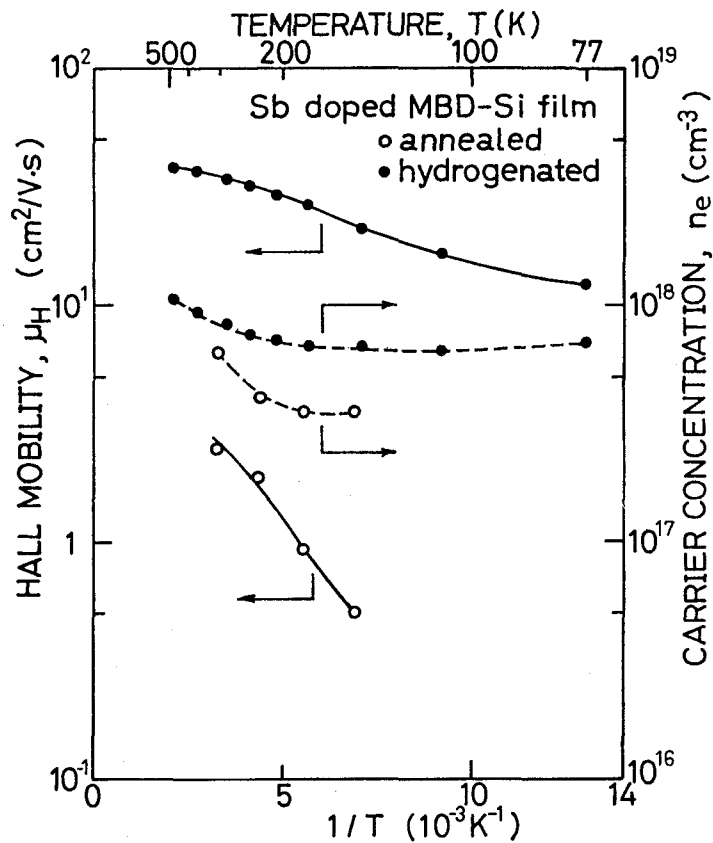


図3. 4 Sbをドーピングしたn型のMBD多結晶Si膜の電子移動度と電子濃度の温度依存性

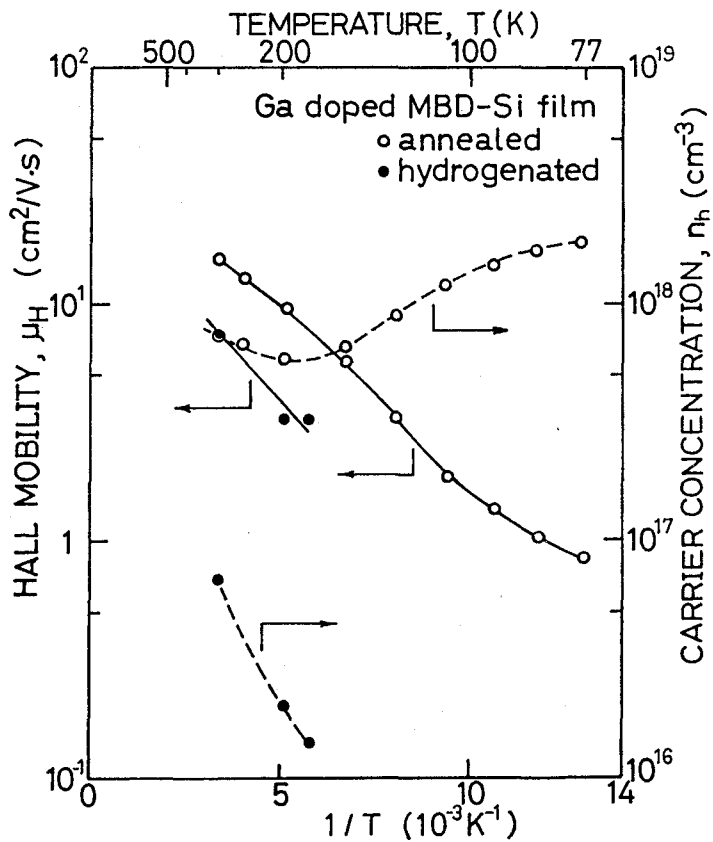


図3. 5 Gaをドーピングしたp型のMBD多結晶Si膜の正孔移動度と正孔濃度の温度依存性

(2) グ레인・バウンダリ・トラッピング・モデル²⁾

近年、多結晶シリコン膜の電気的特性は、グ레인・バウンダリ・トラッピング・モデル^{1,2)}で議論されることが多く、このモデルに基づく電気的特性の計算値は実験結果をかなり良く再現している²⁾。そこで、後の議論に必要なグ레인・バウンダリ・トラッピング・モデル²⁾についての概要を、ここで述べ、このモデルに基づいて、次の3.3.2項(3)において上述の水素化の効果について検討する。

多結晶Si膜のグ레인・バウンダリに存在するダングリング・ボンド等の格子欠陥は、深いアクセプタ準位(n型多結晶Si膜の場合)又は深いドナー準位(p型多結晶Si膜の場合)としてキャリアの捕獲中心(トラップ)となり、禁止帯中に、電荷の局在状態を作り、周囲に空乏領域を生じ、グ레인・バウンダリにおいてキャリアに対するエネルギー障壁を形成すると考えられる。図3.6は、グ레인・バウンダリ・トラッピング・モデルによる(a)多結晶Si膜の構造模型、(b)電荷の分布、(c)エネルギー・バンド構造を、(A)n型試料と(B)p型試料²⁾の両方について示したものである。電気伝導を取り扱

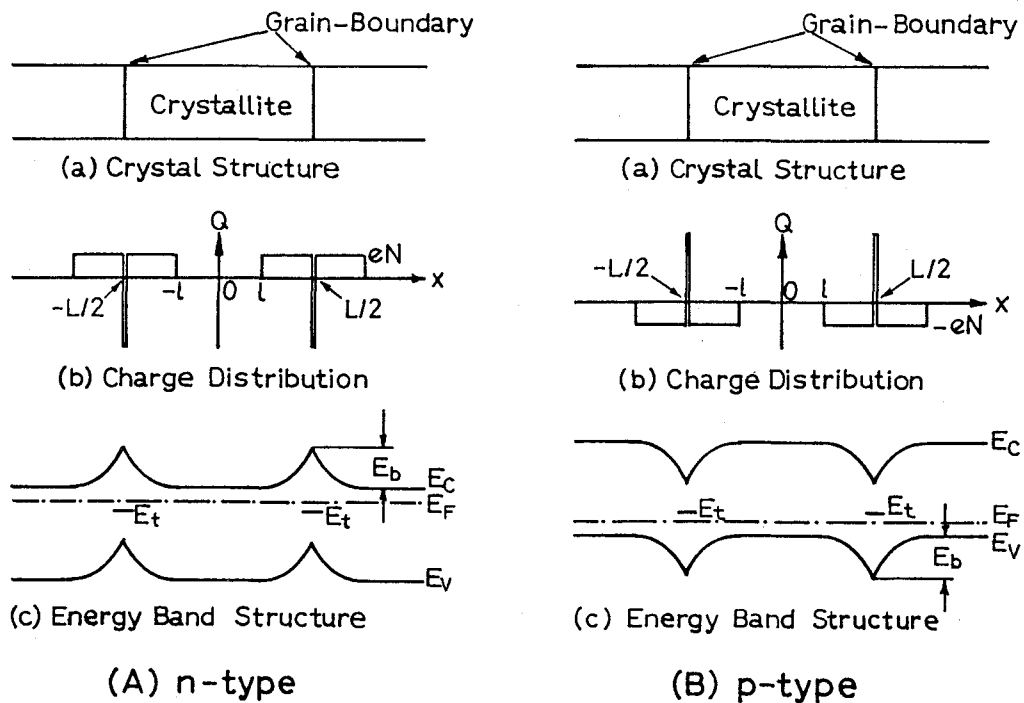


図3.6 グ레인・バウンダリ・トラッピング・モデル

(A)n型試料と(B)p型試料²⁾のそれぞれについて、(a)多結晶Si膜の構造模型、(b)電荷の分布、(c)エネルギー・バンド構造を示したもの。

うには、図3.6のような1次元模型で十分である。また、多結晶Si膜を構成する微結晶のグレイン・サイズは全て等しく L であり、1種類だけの不純物原子が存在し、不純物原子は、すべてイオン化しており、不純物濃度 N で一様に分布していると仮定する。また、微結晶の内部では、単結晶Siと同じエネルギー・バンド構造を仮定する。さらに、グレイン・バウンダリの厚さは L に比べて十分薄くて無視できると仮定し、グレイン・バウンダリにおいて、単位面積当たりの捕獲準位密度 Q_t の捕獲準位がエネルギー E_t のところにあると仮定する。また、この捕獲準位は最初中性であるが、キャリアをトラップすることにより電荷をもつと仮定する。

以上のような、グレイン・バウンダリ・トラッピング・モデルの一般的な枠組みの中で、ここでは、特に、 $LN > Q_t$ の場合を考える。この場合はすべての捕獲準位にキャリアが捕らえられても、なお、自由に動くキャリアが存在し、微結晶の一部分が空乏領域になるのみである。図3.6(b)のように、グレイン・バウンダリから $(L/2 - l) [= Q_t / 2N]$ の範囲内にあるキャリアはすべて捕獲準位に捕えられて、この領域が空乏領域になるという‘abrupt’近似を用いると、空乏領域における電位 $V(x)$ はポアソンの方程式より、

$$\frac{d^2 V}{dx^2} = - \frac{qN}{\epsilon}, \quad l < |x| < L/2 \quad \dots\dots\dots (3-2)$$

ここで、 ϵ は単結晶Siの誘電率、 q は、n型の場合は電子のいないドナーの電荷(+ e ; e は素電荷)であり、p型の場合は電子のいるアクセプタの電荷(- e)である。

(3-2) 式を積分し、適当な境界条件を用いて、

$$V(x) = (-qN/2\epsilon)(x - l)^2 + V_0, \quad l < |x| < L/2 \dots\dots\dots (3-3)$$

ここで、 V_0 は微結晶の中心における伝導帯の端(n型の場合)又は価電子帯の端(p型の場合)の電位である。

したがって、グレイン・バウンダリにおける電位障壁の高さ V_b は、(3-3)式より、

$$V_b = eQ_t^2 / 8\epsilon N \quad \dots\dots\dots (3-4)$$

となり、したがって、また、エネルギー障壁の高さ E_b は、

$$E_b = e^2 Q_t^2 / 8\epsilon N \quad \dots\dots\dots (3-4')$$

となる。

多結晶材料の抵抗は、グレイン・バウンダリ領域からの寄与と微結晶からの寄与とから

成るが、微結晶内部の抵抗はグレイン・バウンダリ領域の抵抗に比べてはるかに低いと考えられるので、ここでは、グレイン・バウンダリ領域の抵抗のみを考える。グレイン・バウンダリを横切って流れる電流には、キャリアが十分に高いエネルギーをもってエネルギー障壁を乗り越えて行く熱活性化過程によるものと、エネルギー障壁よりも低いエネルギーしかもたないキャリアが量子力学的トンネル効果によって障壁を通り抜けるトンネル過程によるものがあるが、トンネル電流は、熱活性化過程による電流に比べて十分に小さいと考えられるので、無視する。結局、熱活性化過程のみを考えれば良いことになるが、これは、ショットキー接合における二極管理論⁸⁾とまったく同様に考えればよい。グレイン・バウンダリ1個当たりの印加電圧を V_a とすると、熱活性化過程による電流密度 J_{th} は、

$$J_{th} = en \left(\frac{kT}{2m^* \pi} \right)^{1/2} \exp\left(-\frac{eV_b}{kT}\right) \left[\exp\left(\frac{eV_a}{kT}\right) - 1 \right] \dots\dots\dots (3-5)$$

となる。ここで、 n は平均のキャリア濃度、 m^* はキャリアの有効質量であり、(3-5)式を導くにあたり、空乏領域内におけるキャリアの散乱は無視した。 $eV_a \ll kT$ のとき、(3-5)式は eV_a / kT で展開でき、また、 $J_{th} = \sigma E = \sigma V_a / L$ より、

$$\sigma = L e^2 n \left(\frac{1}{2\pi m^* kT} \right)^{1/2} \exp\left(-\frac{eV_b}{kT}\right) \dots\dots\dots (3-6)$$

また、 $\sigma = ne\mu$ の関係を用いて、有効移動度 μ_{eff} は、

$$\mu_{eff} = L e \left(\frac{1}{2\pi m^* kT} \right)^{1/2} \exp\left(-\frac{E_b}{kT}\right) \dots\dots\dots (3-7)$$

となる。したがって、グレイン・バウンダリ・トラッピング・モデルで、 $LN > Q_t$ が成り立つ場合には、電気伝導度及び移動度はおおよそ $\exp(-E_A / kT)$ のように温度変化し、活性化エネルギー E_A は、グレイン・バウンダリにあるエネルギー障壁の高さ E_b に他ならず、これは(3-4')式で与えられる。

(3) 結果の検討

図3.3 及び図3.4 にホール移動度とキャリア濃度の温度依存性を示したn型及びp型のMBD多結晶Si膜における電気伝導は、ホール移動度 μ_H が $\exp(-E_A/kT)$ 型の温度変化をしていることから、熱活性化過程によっていると思われる。

図3.3 のn型の試料については、実験結果として得られている水素化の効果を、グレイン・バウンダリ・トラッピング・モデルから定性的に導くことができる。すなわち、水素化によって、ダングリング・ボンド等の粒界欠陥は不活性化され、捕獲準位密度 Q_t は減少すると考えられるが、 Q_t の減少とともに、(3-4')式によりエネルギー障壁の高さ E_b も低くなる。3.3.2項(2)の最後で述べたように、グレイン・バウンダリ・トラッピング・モデルによれば、 E_b は、 μ_H を(3-1)式のように表したときの活性化エネルギー E_A そのものであるから、 E_A が水素化によって減少することが導かれる。このことは、図3.3のn型の試料について、水素アニールのみを施した試料では E_A が38meVであるのに対して、水素プラズマ処理を施した試料では E_A が7meVに減少しているという実験結果と一致している。また、グレイン・バウンダリにおけるエネルギー障壁の高さ E_b が低くなれば、低いエネルギーしか持たないために今までこのエネルギー障壁を越えられなかったようなキャリアも、この障壁を越えられるようになり、また一方、粒界欠陥が不活性化すれば、キャリアの散乱中心が減少し、キャリアが散乱される確率が減少するから、水素化によって有効移動度 μ_{eff} は高くなるであろう。さらに、 Q_t が減少すれば、今まで捕獲準位に捕らえられていたキャリアが自由に動くことができるようになるのだから、水素化によってキャリア濃度 n も増加するだろう。また、 μ_{eff} や n が高くなれば、電気伝導度 $\sigma (= ne\mu)$ も高くなるであろう。これらも実験事実と一致している。すなわち、グレイン・バウンダリ・トラッピング・モデルの描像が成り立つとし、水素化によって粒界欠陥が不活性化されれば、水素化によって、n型試料一般の電気伝導度 σ 、ホール移動度 μ_H 、キャリア濃度 n が高くなるという、表3.1や図3.2の実験結果や、活性化エネルギー E_A すなわちグレイン・バウンダリにおけるエネルギー障壁の高さ E_b が低くなるという図3.3の実験結果が、統一的に理解できる。

ところで、p型試料に対しても、グレイン・バウンダリ・トラッピング・モデルの描像が成り立つとし、水素化によって粒界欠陥が不活性化されれば、上述の議論はまったく同様に成り立つ。したがって、p型試料に対しても、水素化によって、伝導度 σ 、

ホール移動度 μ_H 、キャリア濃度 n が高くなり、ホール移動度 μ_H の温度依存性から求めた活性化エネルギー E_A が低くなることが導かれる。実際、B(硼素)をドーブしたp型多結晶Si膜の水素化において、このような実験結果が報告されている^{6,7)}。ところが、本研究の実験結果は、逆に、表3.1や図3.2で見たように、水素化によって、p型試料の伝導度 σ 、ホール移動度 μ_H 、キャリア濃度 n は減少しており、図3.4で見たように、ホール移動度 μ_H の温度依存性から求めた活性化エネルギー E_A は高くなっている。また、特殊な場合として、表3.1や図3.2で見たように、わずかにp型であった試料が、水素化によってn型になるという結果も得られている。p型試料におけるこれらの実験結果を説明するためには、水素プラズマ処理によって、①通常の水素化とは逆に、グレイン・バウンダリにおいて捕獲準位密度 Q_t が増加したか、②ドーパントであるGaがグレイン・バウンダリもしくは表面に析出するなどして、微結晶内のアクセプタ濃度が減少したか、③何らかの原因で微結晶内にドナーが生じたかのいずれか、もしくはこれら①~③の適当な組み合わせを考えざるを得ない。特に、③の過程は、p型試料のみならず、n型試料における実験結果をも説明する。しかし、本研究で行った水素プラズマ処理は、水素化するために通常用いられている方法であり、①~③のような異常な過程が起こるとは考えにくい。したがって、本研究では、p型試料を水素化して得られた電気的特性の変化の原因については、未解明のままであるが、本研究のn型試料を含んで、これまでに報告されているn型^{5,6)}及びp型^{6,7)}の多結晶Si膜についてのすべての水素化の実験において、水素化によって粒界欠陥が不活性化され、電気的特性が改善されるという結果が得られていることから、本研究のp型試料に何か特別の事情があるものと思われる。

以上述べたように、MBD多結晶Si膜を水素化すると、n型試料の電気伝導度、電子濃度及び電子移動度は高くなり、電気的特性が改善されることが分かった。n型試料におけるこれら水素化の効果は、MBD多結晶Si膜に対してグレイン・バウンダリ・トラッピング・モデルの描像が成り立つとし、水素化によって粒界欠陥が不活性化されると考えれば、定性的に理解することができる。一方、水素化によって、p型試料の電気伝導度、正孔濃度及び正孔移動度は低くなるが、この原因については未解明である。

3.4 まとめ

本章においては、分子線成長(MBD)多結晶Si膜の電気的特性、並びに電気的特性に及ぼす水素化の効果について調べた結果を報告した。

500℃付近の基板温度で形成したMBD多結晶Si膜のキャリア移動度は、n型かp型かに依らず、キャリア濃度にも依らず、 $10\sim 20\text{ cm}^2/\text{V}\cdot\text{s}$ 程度であり、従来の高温($\sim 1000^\circ\text{C}$)工程を経たCVD多結晶Si膜とほぼ同程度であり、水素化アモルファス・シリコン膜に比べて2桁ほど高い。すなわち、MBD法によれば、500℃程度の比較的低い基板温度でも比較的高移動度の多結晶Si膜を形成できることが明らかになった。すなわち、MBD多結晶Si膜は、低温形成多結晶Si薄膜トランジスタ用材料として良好な電気的特性を備えていることが分かった。

また、MBD多結晶Si膜を水素化すると、n型試料については、n型多結晶Si膜について良く知られているように、電気伝導度、電子濃度及び電子移動度は高くなり、電気的特性が改善されることが分かった。n型試料におけるこれら水素化の効果は、MBD多結晶Si膜に対してグレイン・バウンダリ・トラッピング・モデルの描像が成り立つとし、水素化によって粒界欠陥が不活性化されると考えれば、定性的に理解することができる。一方、p型試料については、水素化によって、従来p型多結晶Si膜について良く知られているのと逆に、電気伝導度、正孔濃度及び正孔移動度は低くなる。このことは、水素化によって、捕獲準位密度が増加したか、アクセプタ濃度が減少したか、ドナーが導入されたかのいずれかを考えないと理解できない。しかし、いずれもありそうもないことであり、p型試料についての実験結果の原因については未解明である。

参考文献

- 1) T.I.Kamins: J.Appl.Phys. 42 (1971) 4357.
- 2) J.Y.W.Seto: J.Appl.Phys. 46 (1975) 5247.
- 3) 例えば、菊池誠監修：アモルファス半導体の基礎(1982)オーム社刊のp.123
- 4) D.Kaplan, N.Sol, and G.Velasco: Appl.Phys.Lett. 33 (1978) 440.
- 5) C.H.Seager and D.S.Ginley: Appl.Phys.Lett. 34 (1979) 337.
- 6) T.Makino and H.Nakamura : Appl.Phys.Lett. 35 (1979) 551.
- 7) D.R.Campbell: Appl.Phys.Lett. 36 (1980) 604.
- 8) H.A.Bethe: MIT Radiation Laboratory Report No.43-13 (1942)

第3章関連の著者論文

- a) Molecular Beam Deposited Poly-Si Films for Active Devices; K.Nakagawa, M.Matsui, Y.Katayama, A.Ishizaka, Y.Shiraki, and E.Maruyama: Collected Papers of 2nd International Symposium on Molecular Beam Epitaxy and Related Clean Surface Technologies, Tokyo, 1982, p.197.

第4章 ガラス基板上の 多結晶シリコン薄膜トランジスタ

4.1 まえがき

本章においては、分子線成長多結晶Si膜を用いてガラス基板上に形成した多結晶Si薄膜トランジスタについて述べる。

第2章と第3章で述べたように、分子線成長(MBD)法により比較的高移動度の多結晶シリコン膜の低温形成が可能になった。このことによって、高価な石英基板を用いることなく、耐熱温度の低い安価なガラス基板上に、多結晶Si薄膜トランジスタを作製する途が拓けた。そこで、この分子線成長多結晶Si膜を用い、全工程600℃以下の低温プロセスによって、初めて、ガラス基板上に多結晶Si薄膜トランジスタを試作した。本章では、多結晶Si薄膜トランジスタの低温形成法と試作した薄膜トランジスタの動作特性について述べる。なお、分子線成長多結晶Si膜を用いて低温形成した薄膜トランジスタのことを、分子線成長多結晶Si薄膜トランジスタ、又は、MBD-Si-TFTと呼ぶことにする。

本研究の範囲では、MBD-Si-TFTのトランジスタ特性の再現性は得られていないが、電界効果移動度で $40\text{cm}^2/\text{V}\cdot\text{s}$ という高い値も得られ、応答特性も速いことが分かった。MBD-Si-TFTは、動作速度が速いために、液晶ディスプレイに应用する場合、液晶をスイッチするための単なるアクティブ・マトリックスとしての用途のみならず、周辺駆動回路にも使用可能であり、したがって、MBD-Si-TFTの集積化によって、周辺駆動回路内蔵方式の液晶ディスプレイを形成できる可能性のあることが分かった。周辺駆動回路内蔵方式の利点は、1.2節において詳しく述べたように、外部回路と液晶パネルとの間の接続線数及び外付けLSIの数を大幅に減らすことができ、ディスプレイ・モジュールの小型化と低価格化が可能になることである。

また、TFT特性の光感度特性及び膜厚依存性、並びに、TFT特性に対する水素化の効果について調べた結果についても述べる。

4. 2 低温プロセスによる薄膜トランジスタの作製方法

4. 2. 1 分子線成長法による多結晶Si膜の低温形成

分子線成長 (MBD) 法による多結晶Si膜の低温形成については、第2章の2.2.1項において詳しく述べた。薄膜トランジスタ (TFT) の試作には、ガラス (Corning #7059) 基板上に基板温度500℃で形成した膜厚1μmのノン・ドープのMBD多結晶Si膜を、主として用いた。MBD多結晶Si膜の結晶構造と電気的特性については、それぞれ、第2章 2.3節と第3章 3.3節において詳しく述べた。500℃で形成した膜厚1μmのノン・ドープのMBD多結晶Si膜は、膜の表面で(100)軸配向し、再現性は得られていないが、通常はわずかにp型であり、電気伝導度は $10^{-6} \text{S} \cdot \text{cm}^{-1}$ 程度、移動度は $10 \sim 20 \text{cm}^2 / \text{V} \cdot \text{s}$ である。

4. 2. 2 低温プロセスによる薄膜トランジスタの作製

MBD多結晶Si膜を用い、全工程を600℃以下の低温プロセスにより、ガラス基板 (Corning #7059) 上にMOSFET構造のTFTを試作した。図4.1は試作したTFTの断面構造の一例であり、nチャンネルのTFTである。ノン・ドープのMBD多結晶Si膜はわずかにp型もしくはわずかにn型であるが、いずれにしても、図4.1のチャンネル領域は実質的にはi層である。

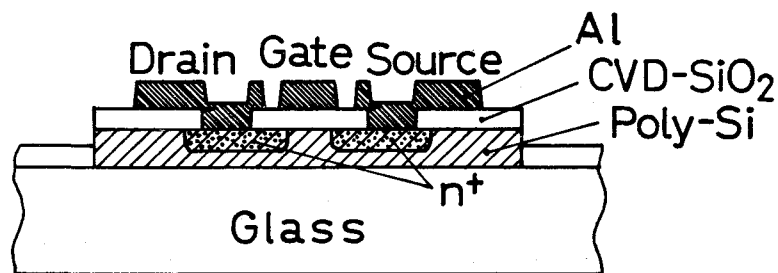


図4.1 MBD-Si-TFTの構造

MBD-Si-TFTの製作プロセスの一例を図4.2に示す。MBD法によりガラス基板上に多結晶Si膜を堆積した [図4.2(1)] 後、必要ならば、MBD多結晶Si膜を島状もしくはメッシュ状に加工する [図4.2(2)]。ソース領域、ドレイン領域の形成は、ガラス基板の耐熱温度を考慮して、室温で100keVのP⁺イオンを $1 \times 10^{16} \text{cm}^{-2}$ のドーズ量で打ち込んだ後、N₂雰囲気中で600℃30分間の低温アニールを行うことによって、n⁺領域を形成した [図4.2(3)]。この600℃という温度が今回の試作工程中で最高の温度である。通常は、イオン打ち込み後の活性化のためには、1000℃付近の温度でアニールを行うが、ここでは基板の耐熱温度を考慮して、リバース・アニール（逆焼鈍）現象¹⁾の起こる直前の温度の600℃における低温アニールとした。この場合、キャリア

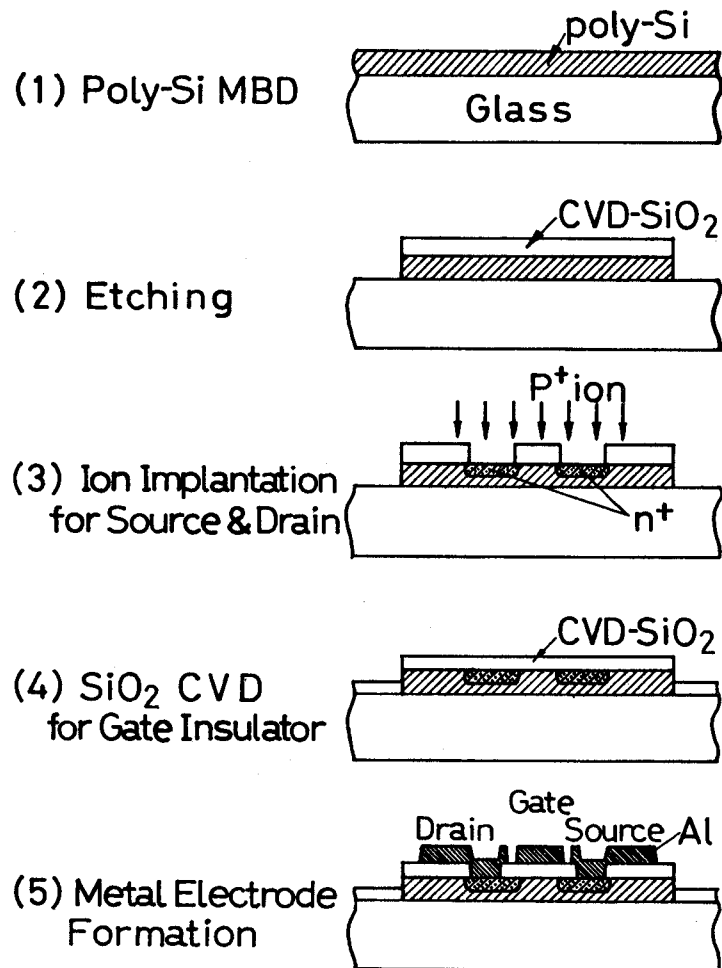


図4.2 MBD-Si-TFTの作製プロセス

の回復度は約80%¹⁾であるが、ソース及びドレインの不純物領域の形成には十分である。ゲート酸化膜としては、400℃で堆積したCVD-SiO₂膜を用いた [図4.2(4)]。Siプロセスにおいて通常用いられる熱酸化膜を用いなくて、CVD-SiO₂膜を用いた理由は、ガラス基板の耐熱温度を考慮したためである。Al電極を形成した [図4.2(5)] 後、H₂ 雰囲気中で400℃30分間のアニールを行うことによって工程が完了する。最終工程のH₂ アニールは、Si-SiO₂ 界面特性を改善し、また、ソース及びドレインのAl電極と不純物層との接触を安定にするために、単結晶Si-MOSトランジスタのプロセスにおいて通常行われている工程である²⁾が、ここでも同じ目的のために行った。

4. 3 結果および検討

4. 3. 1 MBD-Si-TFTの特性

nチャンネルのMBD-Si-TFTの動作特性の一例を図4.3に示す。図4.3は、ゲート電圧 V_G をパラメタとしたときの、室温における（以下同様）ドレイン電流 I_D 対ドレイン電圧 V_D 特性である。このTFTは、500°Cで形成した膜厚1 μm の多結晶Si膜を用い、ゲート酸化膜厚 t_{ox} は700 nmであり、チャンネル長 L は10 μm 、チャンネル幅 W は850 μm である。このTFTは、エンハンスメント・モードで動作し、ゲート閾値電圧 V_T は約0Vであり、 $V_G = 10\text{V}$ における飽和動作領域でのトランス・コンダクタンス g_m は180 μS であることが分かる。また、この g_m の値から電界効果移動度 μ_{FE} は40 $\text{cm}^2/\text{V}\cdot\text{s}$ であることが導かれる。ここで、閾値電圧 V_T は、飽和ドレイン電流を I_{Dsat} としたときの、 $I_{\text{Dsat}}^{1/2}$ 対 V_G 曲線の直線領域を外挿して V_G 軸と交わる点から求めた。また、電界効果移動度 μ_{FE} は、飽和動作領域における g_m の値を、

$$g_m = \mu_{\text{FE}} C_{\text{ox}} (V_G - V_T) W/L \quad \dots\dots\dots (4.1)$$

に代入することによって求めた*。ここで、 $C_{\text{ox}} (= \epsilon_{\text{ox}} / t_{\text{ox}})$ はゲート絶縁膜の単位

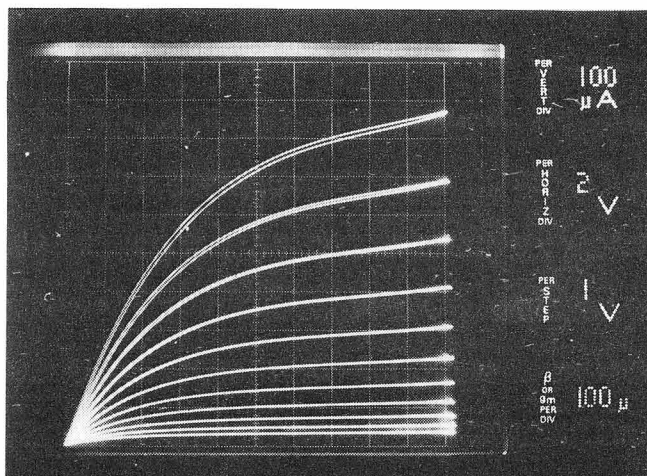


図4. 3 MBD-Si-TFTの $I_D - V_D$ 特性 ($V_G = 0 \sim 10\text{V}$) (300K)

* 理想的なMOSTランジスタの飽和ドレイン電流は、次式で表される³⁾。

$$I_{\text{Dsat}} = \frac{1}{2} \mu_{\text{FE}} C_{\text{ox}} \frac{W}{L} (V_G - V_T)^2 \quad \dots\dots\dots (4.2)$$

したがって、 $I_{\text{Dsat}}^{1/2} \propto V_G - V_T$,

また、 $g_m = \frac{\delta I_{\text{Dsat}}}{\delta V_G} = \mu_{\text{FE}} C_{\text{ox}} \frac{W}{L} (V_G - V_T)$ [(4.1)式]となる。

面積当たりの容量 (ϵ_{ox} はゲート絶縁膜の誘電率) である。

g_m は、 V_G の単位変化当たりの I_D の変化量であるから、 g_m が大きいほど、トランジスタの駆動速度が速いことを意味する。ただし、(4.1)式からも分かるように、 g_m は、形状因子 W 、 L 、 t_{ox} 、及び V_G を陽に含むので、これら設計上の因子を陽には含まないでしかもトランジスタの駆動特性を示す物理量として、電界効果移動度 μ_{FE} が一般に用いられる。上述のようにして求めた μ_{FE} は、 V_G が高くなるとともに高くなり、 $V_G = 10$ Vにおいて $\mu_{FE} = 40 \text{ cm}^2 / \text{V} \cdot \text{s}$ であったのが、 $V_G = 20$ Vにおいては、 μ_{FE} は $50 \text{ cm}^2 / \text{V} \cdot \text{s}$ を越えている。電界効果移動度の $40 \sim 50 \text{ cm}^2 / \text{V} \cdot \text{s}$ という値は、 600°C 以下の低温で形成し 600°C を越える熱処理もレーザー・アニールも施していない Si 膜の中では、今日に至るまで、最高の移動度である。また、この程度の移動度があれば、液晶ディスプレイに应用する場合、図1.3(b)のような駆動回路完全内蔵方式は無理としても、図1.3(c)のように、データの入力部を分割マトリックス回路で構成し、単結晶 Si 素子程度の駆動速度を要する信号側のシフトレジスタのみ外付けとして、他の駆動回路はすべて内蔵する方式を採ることができ、これによって、駆動回路外付け方式に比べて、外部回路との接続線数並びに外付け LSI の数を大幅に減少させることが十分可能となる。このことの工業的意義については、第1章において述べた通りであり、また、このことは、電界効果移動度の低い a-Si-TFT では不可能である。

同じ MBD-Si-TFT の $I_D - V_G$ 特性を図4.4 に示す。 $V_D = 5$ Vでは、OFF電流は約 5×10^{-8} A であり、ON電流とOFF電流の比は 1×10^4 であり、また、 $V_D = 0.5$ Vでは、OFF電流は約 1.5×10^{-10} A であり、ON/OFF電流比は 3×10^5 である。走査線数の多いアクティブ・マトリックス駆動液晶ディスプレイのためにはON/OFF電流比が大きく、かつ、OFF電流が小さいことが必要であるが、図4.4の特性では、電源電圧として通常用いられる $V_D = 5$ Vのとき、ON/OFF電流比は 1×10^4 と小さめであり、OFF電流は約 5×10^{-8} A と大きめであり、また、負のゲート電圧を高くしたときのリーク電流の増大も問題である。本試作では、 g_m を大きくするために W/L を $850 \mu\text{m} / 10 \mu\text{m}$ と大きく設計したが、液晶をスイッチするためのアクティブ・マトリックスとしては g_m は大きい必要はないので、 W/L を、例えば、 $10 \mu\text{m} / 60 \mu\text{m}$ とすることによって、OFF電流を $1/500$ 程度、すなわち、 1×10^{-10} A 程度 ($V_D = 5$ Vのとき) にすることは容易である。第5章 5.4節で述べるように、例えば、 640×400 ドットのカラー表示 (すなわち、 1920×400 画素)

の液晶ディスプレイのアクティブ・マトリックス用TFTとしては、OFF電流の目標仕様値は $\leq 3 \times 10^{-11}$ Aであり、単に W/L の寸法を変更するだけではこの仕様を達成できず、同じ寸法で1桁近くOFF電流を減らす必要がある。

負のゲート電圧を高くしたときに増大するリーク電流を担っているのは正孔であると思われる。ゲート電極に負の電位を印加すると、多結晶Si（実効的にi層）-SiO₂ 界面には正孔が誘起され、p型反転層が形成されるが、今の場合、ドレイン接合は逆バイアスされたpn接合となるので、もしも良好なドレイン接合が形成されていれば、正孔による電流は阻止されるはずである。したがって、何らかの対策により、この接合特性を改善することができれば、正孔による電流を抑制することができ、負のゲート電圧を高くしたときのリーク電流の増大を抑制できる可能性がある。そして、 $V_D = 0.5$ VにおけるOFF抵抗が、 $V_D = 5$ VのときのOFF抵抗の10倍もあることから、正孔による電流を阻止できれば、 $V_D = 5$ VにおけるOFF抵抗も現在の10倍程度に、すなわち、OFF電流を現在の10分の1程度に改善することも可能であろうと思われる。このこと

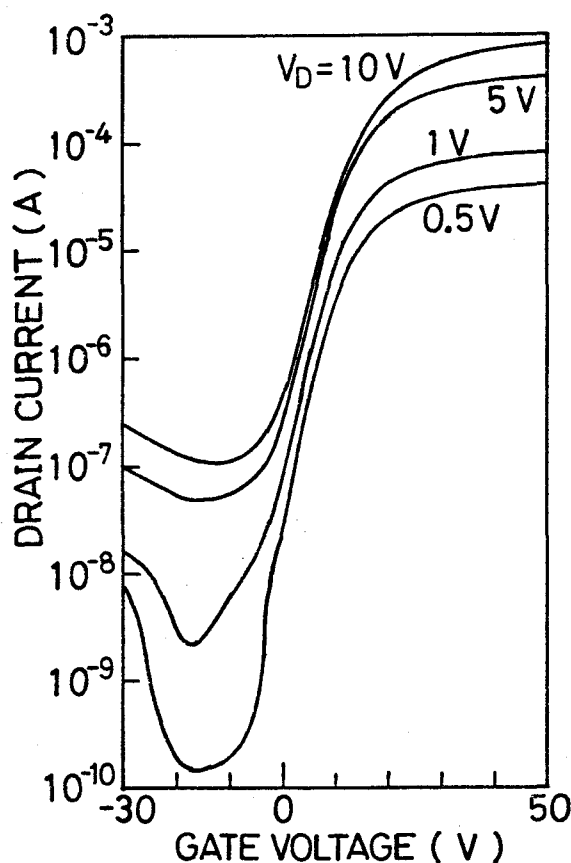


図4.4 MBD-Si-TFTの $I_D - V_G$ 特性(300K)

は、上述のOFF電流 $\leq 3 \times 10^{-11}$ A、並びに、ON/OFF電流比 $\geq 10^5$ という目標仕様値をクリアすることになる。

次に、MBD-Si-TFTの応答特性について述べる。TFTの応答時間が短いことは、アクティブ・マトリクス用TFTとして用いる場合でも、周辺駆動回路をTFTで形成する場合においても重要である。図4.5(c)に示したソース・フォロア型の回路を用いて応答特性を測定した結果を、図4.5(a), (b)に示した。ドレイン電圧 V_{DD} が0Vの場合[(a)]と-15Vの場合[(b)]のそれぞれについて、ゲート電極に15Vのパルス電圧(V_{IN})を印加したときのドレイン電流の変化を、100Ωの負荷抵抗を介して、出力信号電圧(V_{OUT})として測定したものである。 $V_{DD}=0$ Vの場合[(a)]には、ゲート・ソース間の容量 C_{GS} によるゲート入力波形の微分波形(パルス幅はおよそ5ns)が観察されている。 $V_{DD}=-15$ Vの場合[(b)]には、ドレイン電流の変化分に前記の微分波形が

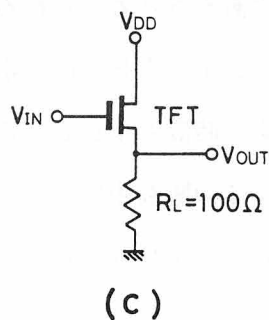
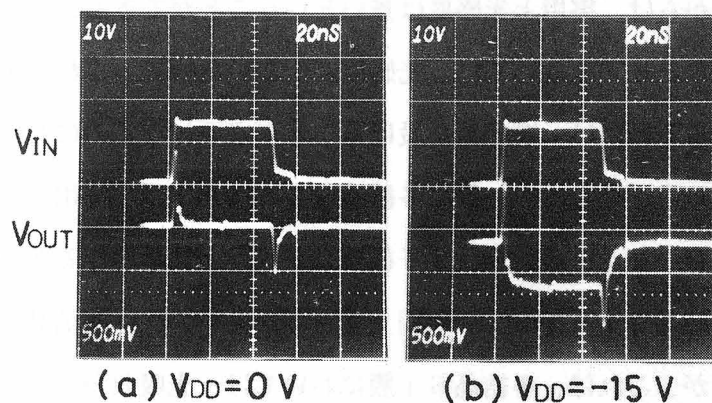


図4.5 MBD-Si-TFTの応答特性

(a) $V_{DD}=0$ Vの場合と (b) $V_{DD}=-15$ Vの場合についての入力信号 V_{IN} と出力信号 V_{OUT} 、並びに、(c)測定回路を示す。 C_{GS} による V_{IN} の微分波形と出力信号波形を分離するために、 $V_{DD}<0$ とした。

重畳された波形が観察されている。図4.5(a), (b)より、ドレイン電流は10 ns以下の時間で立ち上がり、また、立ち下がっている。すなわち、MBD-Si-TFTの応答時間は10 ns以下であることが分かる。

以上は、光を照射しないとき（暗時）のTFT特性について述べたが、TFTを液晶ディスプレイの駆動用に用いる場合、光照射によるTFT特性の変化、すなわち、光感度特性は重要である。もし、TFTに光感度が有れば、素子に遮光層を設けることが必要になり、素子構造上及び工程上の複雑さが増し、光感度が無い場合に比べて不利になる。カラー表示の透過型液晶ディスプレイを考えると、透過光で例えば最少150 fL^{*}以上の輝度を必要とするが、これは、液晶セルの透過率を20%、カラーフィルタの透過率を30%とすると、液晶パネル背面の光源の輝度は10³ fL以上を必要とし、10⁴ fLもあれば十分であることに相当する。MBD-Si-TFTのすぐ近くに輝度1.2×10⁴ fLのD₆₅標準光に近似の光源^{**}を置いて、TFT特性を測定したところ、暗時のTFT特性と有意差は無かった。したがって、MBD-Si-TFTは、液晶ディスプレイの駆動用という観点からは、実用上光感度はないということができる。a-Si-TFTや単結晶SiのMOSFETにおいては、光感度が大きいため、これらを液晶ディスプレイの駆動用に用いるためには、遮光層を設けることが必要になるのに対して、MBD-Si-TFTは、そして、恐らく、一般に多結晶Si-TFTは、実用上光感度がないので遮光層を設ける必要がなく、その分、素子構造及び工程が簡単になるという長所のあることが分かった。多結晶Si-TFTに実用上光感度がないのは、多結晶Si膜の光伝導が小さいためであるが、これは、多結晶Si膜においては、光吸収が小さい上に、光励起されたキャリアの寿命が短いためであろうと考えられる。

以上述べたように、MBD-Si-TFTは、電界効果移動度 μ_{FE} として40~50 cm²/V.sと高い値も得られ、応答時間も10 ns以下と短く、また、実用上光感度がないので、液晶等の平面ディスプレイの駆動用TFTとして有望である。しかし、OFF電流は、例えば、 W/L を850 μ m/10 μ mから10 μ m/60 μ mへと変更しても、なお1桁近く下げる必要がある。

* fL (フット・ランパート) …輝度の単位。1 fL = (1/ π)(cd)/(foot)² = 3.43(cd)/m²

** 顕微鏡用の投光器のタングステン白熱灯（輝度1.8×10⁵ fL、色温度2100 K）に色温度補正フィルタをかけて、D₆₅標準光に近似とした光源

4.3.2 TFT特性のSi膜厚依存性と水素化の効果

(1) Si膜厚依存性

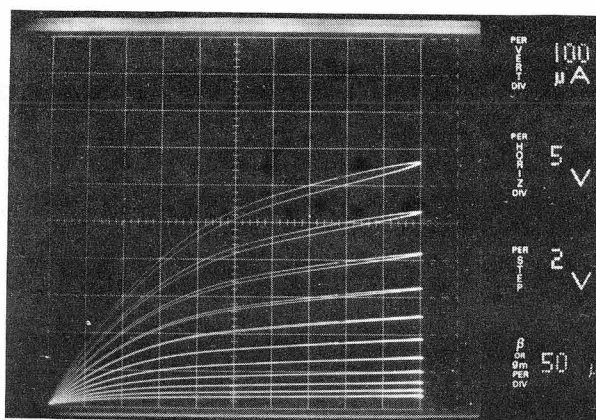
第2章において、MBD多結晶Si膜の表面層における結晶構造に膜厚依存性のあることを述べた。薄い膜においては、多結晶の領域とアモルファスの領域とが共存しており、多結晶領域では $\langle 110 \rangle$ 軸配向している。膜が厚くなると、膜の表面層において、アモルファス的な部分が減少し、十分厚くなると多結晶の領域がほとんどを占め、また、厚い膜ほど、 $\langle 100 \rangle$ 軸配向が強くなり、グレイン・サイズも大きくなる。このような、膜の表面層における結晶性の膜厚依存性が、表面層にチャンネルが形成されて動作するTFTの特性に、どのように反映するかを見るために、TFT特性のSi膜厚依存性を調べた。

多結晶Si膜厚を $0.3\mu\text{m}$ から $1.0\mu\text{m}$ の範囲で変えた3種類のnチャンネルのMBD-Si-TFTの $I_D - V_D$ 特性を図4.6に示す。これらのTFTは、多結晶Si膜の形成以外は、すべて同一プロセスを経て作製されたものであり、ゲート酸化膜厚 t_{ox} は 480nm であり、チャンネル長 L は $20\mu\text{m}$ 、チャンネル幅 W は $1885\mu\text{m}$ である。図4.6より、Si膜厚が $0.3\mu\text{m}$ から $1.0\mu\text{m}$ へと厚くなるにしたがって、閾値電圧 V_T は 64V から 16V へと低下し、また、 $V_G = V_T + 20\text{V}$ における g_m は、 $3.6\mu\text{S}$ から $50\mu\text{S}$ へと、したがって、電界効果移動度 μ_{FE} ($V_G = V_T + 20\text{V}$)は $0.23\text{cm}^2/\text{V}\cdot\text{s}$ から $3.2\text{cm}^2/\text{V}\cdot\text{s}$ へと増大することが分かる。

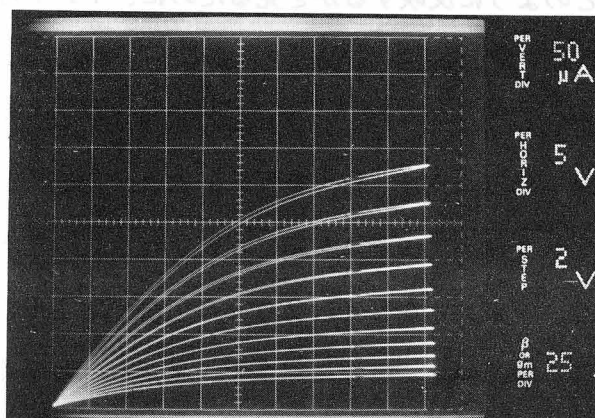
ここで、図4.6(a)のTFTと、Si膜厚が同じ $1\mu\text{m}$ の図4.3のTFTとでは、例えば、 V_T が 16V と 0V 、 μ_{FE} ($V_G = V_T + 20\text{V}$)が $3.2\text{cm}^2/\text{V}\cdot\text{s}$ と $50\text{cm}^2/\text{V}\cdot\text{s}$ というように、トランジスタ特性に大きな差異があるが、これは、本研究の範囲では、Si-SiO₂界面状態を制御しきれていないために、TFT特性に再現性がないことを示している。TFT特性において V_T の制御性と高い μ_{FE} とを得るためには、良好なSi-SiO₂界面特性を再現性良く得ることが必要である。ところで、図4.6の3つのTFTは、すべて同一のプロセスを経て形成されたものであるから、図4.6のTFT間での特性の違いは、Si膜厚の違いに起因する、チャンネル領域における結晶性の違いによると考えられる。

V_T と μ_{FE} のSi膜厚依存性を、それぞれ、図4.7と図4.8の白丸で示した。図4.7と図4.8には、図4.6のTFTの他にこれら3つのTFTと同一Si膜上に形成された別の

(a)



(b)



(c)

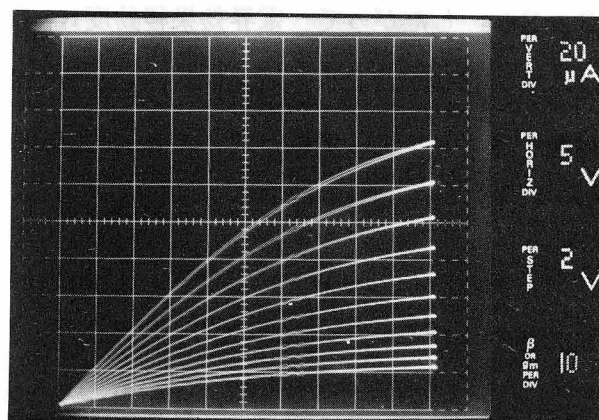


図4.6 MBD-Si-TFTの動作特性のSi膜厚依存性

$t_{\text{Ox}} = 480 \text{ nm}$, $L = 20 \mu\text{m}$, $W = 1885 \mu\text{m}$ は共通。

(a) $t = 1.0 \mu\text{m}$, $V_{\text{G}} = 20 - 40 \text{ V}$; (b) $t = 0.5 \mu\text{m}$,

$V_{\text{G}} = 60 - 80 \text{ V}$; (c) $t = 0.3 \mu\text{m}$, $V_{\text{G}} = 80 - 100 \text{ V}$ 。

この図より閾値電圧 V_{T} は、(a) 16V, (b) 45V, (c) 64Vと見積もることができる。

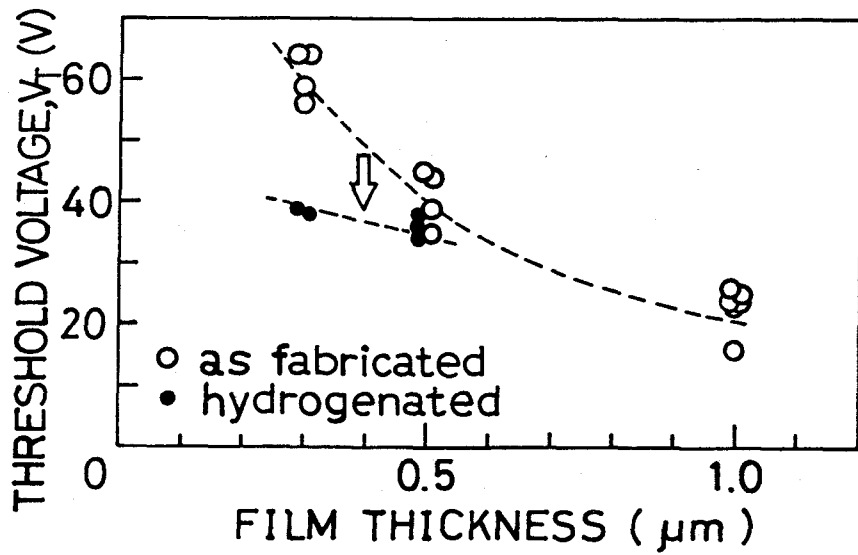


図4. 7 MBD-Si-TFTの閾値電圧のSi膜厚依存性
白丸は水素プラズマ処理前、黒丸は水素プラズマ処理後。

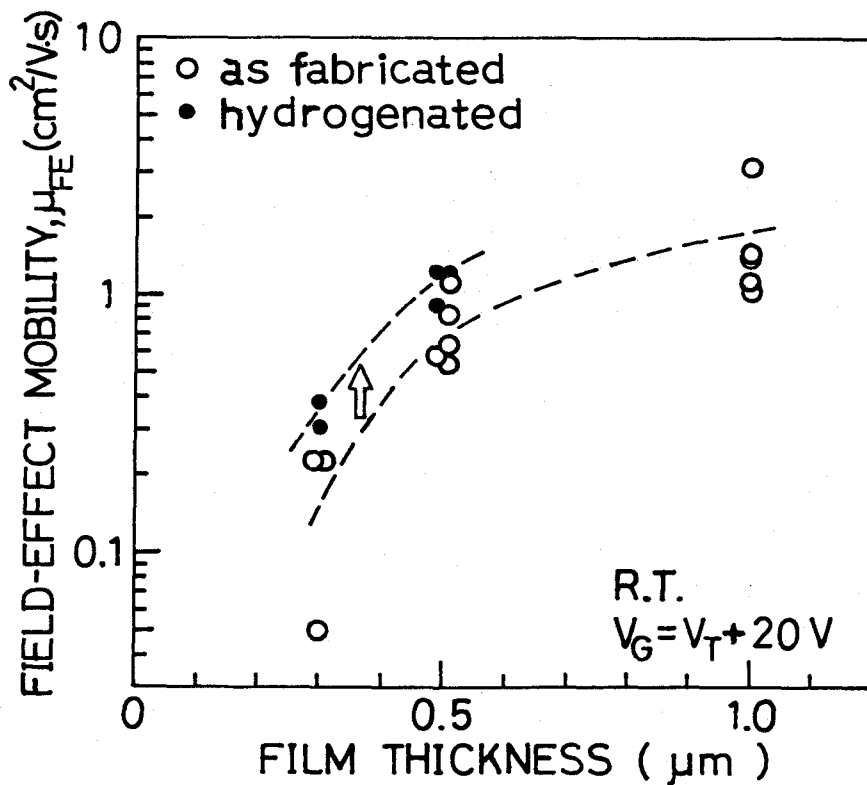


図4. 8 MBD-Si-TFTの電界効果移動度のSi膜厚依存性
白丸は水素プラズマ処理前、黒丸は水素プラズマ処理後。

いくつかのTFTの特性も併せてプロットした。図4.7と図4.8より、Si膜厚の増加とともに、 V_T は減少し、 μ_{FE} は増大することが、明確に示されている。この実験結果は、膜厚の増加とともに、MBD多結晶Si膜表面層において、グレイン・バウンダリのアモルファス領域が減少し、捕獲中心や散乱中心として働く粒界欠陥密度が減少することを反映していると思われる。すなわち、薄い膜では粒界欠陥密度が高いために、ゲート電圧を印加して電子を誘起しても、まず捕獲準位を完全に埋めるためにこれらの電子が使われるため、電子が走行するチャンネルが形成される前に、高いゲート電圧を要し、したがって、薄い膜ほど V_T が高くなると考えられる。また、電子が走行する際には、これら粒界欠陥が散乱中心として働き、一方、電子が捕獲準位に捕らえられたために生じた空間電荷の作るポテンシャル障壁が存在し、この障壁も電子の走行を妨げる。薄い膜ほど散乱中心の数が多きことと、薄い膜ほど捕獲準位密度が高いためにポテンシャル障壁が高くなることにより、薄い膜ほどチャンネルにおける電子の移動度が低く、したがって、TFTの μ_{FE} が低くなるとして、実験結果は理解される。

(2) 水素化の効果

一般に、アモルファスや多結晶のSi薄膜に水素プラズマ処理を施すことにより、Si膜中に水素を導入して、欠陥の主要な原因であるダングリング・ボンドを終端化することによって、Si薄膜の電気的特性の改善が可能であること、及び、MBD多結晶Si膜に水素プラズマ処理を施すと、n型試料については確かに水素化によって電気的特性が改善されることを、第3章において述べた。また、高温プロセスにより作製した多結晶Si-TFTを水素化することによるトランジスタ特性の改善については、既に、Kaminsら⁴⁾によって報告されている。ここでは、低温プロセスによって作製したnチャンネルのMBD-Si-TFTに水素プラズマ処理を施すことによって、トランジスタ特性の改善を試みた結果について報告する。

図4.9は、図4.6(b)のTFTと同一Si膜(膜厚は $0.5\mu\text{m}$)上の別のTFTの水素プラズマ処理の前後のトランジスタ特性を比較して示したものである。水素プラズマ処理によって、 V_T は 4.2V から 3.6V へと低下し、 g_m ($V_G = V_T + 1.7\text{V}$)は $4\mu\text{S}$ から $15\mu\text{S}$ へと増大し、したがって、 μ_{FE} ($V_G = V_T + 1.7\text{V}$)は $0.31\text{cm}^2/\text{V}\cdot\text{s}$ から $1.14\text{cm}^2/\text{V}\cdot\text{s}$ へと高くなることが分かる。

図4.6のTFTと同一Si膜上にあるいくつかのTFTについて、水素プラズマ処理後

の V_T と μ_{FE} ($V_G = V_T + 20V$) を、それぞれ、図4.7 と図4.8 に黒丸でプロットした。図4.7 と図4.8 より明らかなように、水素プラズマ処理によって、 V_T は低下し、 μ_{FE} は高くなり、TFT特性が改善される。これは、水素化によって粒界欠陥の主な原因であるダングリング・ボンドを減らすことができたことによると思われる。このように、水素化はnチャンネルのMBD-Si-TFTの特性改善に有効であることが分かった。

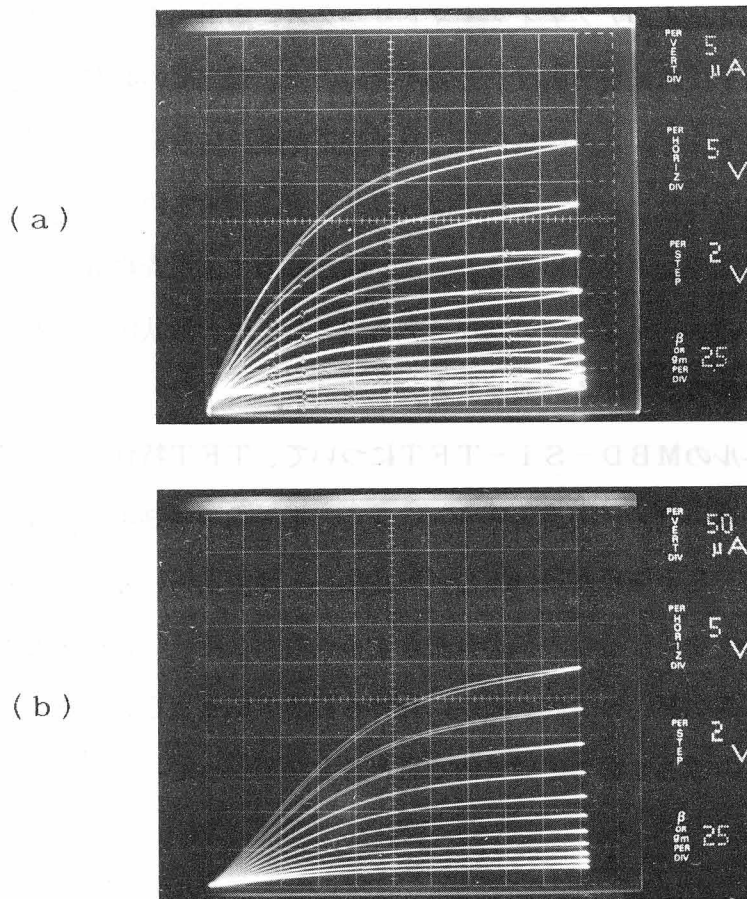


図4.9 水素プラズマ処理によるTFT特性の変化

(a) 水素プラズマ処理前、(b) 水素プラズマ処理後；
いずれも、 $V_G = 40 - 60V$ 。 図より、閾値電圧 V_T は、
(a) 42V、(b) 36Vと見積もることができる。

4.4 まとめ

MBD多結晶Si膜を用いて、600℃以下の低温プロセスにより、ガラス基板上にMOSFET構造の薄膜トランジスタを試作した。

このMBD-Si-TFTは、 $40\sim 50\text{cm}^2/\text{V}\cdot\text{s}$ という高い電界効果移動度を示し、応答時間も10ns以下と短いことが分かった。このことは、ガラス基板上に、初めて、比較的高移動度の多結晶Si薄膜トランジスタを形成することができたことを意味し、第1章において述べたように、駆動回路内蔵方式の大容量の本格的液晶ディスプレイへの途を拓くものとして工業的意義は大きい。

また、MBD-Si-TFTは、実用上光感度が無いことが分かった。このことにより、例えば、液晶ディスプレイのアクティブ・マトリックスに応用する場合、MBD-Si-TFTの場合は、素子に遮光層を設ける必要がないので、遮光層の必要なa-Si-TFTや単結晶Siトランジスタに比べて、素子構造が単純になるという利点がある。

しかし、本試作のMBD-Si-TFTは、OFF電流が大きめであり、したがって、また、ON/OFF電流比が小さめであることが問題であり、走査線数が十分多い本格的な液晶ディスプレイのアクティブ・マトリックス用としては、形状因子を考慮しても、OFF電流をなお1桁近く下げる必要がある。

また、nチャンネルのMBD-Si-TFTについて、TFT特性のSi膜厚依存性を調べた。Si膜厚が厚いほど、閾値電圧 V_T は低く、電界効果移動度 μ_{FE} は高いことが分かった。このことは、Si膜厚が厚いほど、多結晶Si膜表面層における結晶性が良くなり、粒界欠陥の数が少なくなることによると考えられる。また、これに関連して、水素プラズマ処理による水素化が、Si膜表面層における粒界欠陥密度を減少させ、MBD-Si-TFTの特性を改善するのに効果的であることが分かった。

参考文献

- 1) J.M.Shanon, R.A.Ford, and G.A.Gart: Radiat.Eff. 6 (1970) 217.
- 2) 例えば、徳山巍，橋本哲一編著：MOSLSI製造技術，日経マグローヒル社，東京 (1985) p.32.
- 3) 例えば、S.M.Sze: Physics of Semiconductor Devices,2nd Edition (1981) John Wiley & Sons,Inc. p.442.
- 4) T.I.Kamins and Marcoux: IEEE Electron Device Lett. EDL-1 (1980) 159.

第4章関連の著者論文

- a) Polycrystalline-Silicon Thin-Film Transistors on Glass; M.Matsui, Y.Shiraki, Y.Katayama, K.L.I.Kobayashi, A.Shintani, and E.Maruyama: Appl.Phys.Lett. 37 (1980) 936.
- b) Thin-Film Transistors on Molecular-Beam-Deposited Polycrystalline Silicon; M.Matsui, Y.Shiraki,E.Maruyama, and J.Ohwada: J.Appl.Phys. 55 (1984) 1590.

第5章 液晶ディスプレイへの応用

5.1 まえがき

第1章において述べたように、本格的な大容量の液晶ディスプレイ実現のためには、ガラス基板上に形成可能でしかも比較的高い電界効果移動度をもつTFTを集積化して、アクティブ・マトリックスと周辺駆動回路を一体化した薄膜集積回路を、ディスプレイ・パネル上に形成し、これによって液晶を駆動する方式が望ましい。

アモルファスSi-TFTを用いたアクティブ・マトリックス駆動液晶ディスプレイは、既に、ポケット液晶テレビとして実用化されているが、アモルファスSi-TFTの電界効果移動度は $0.3\text{ cm}^2/\text{V}\cdot\text{s}^{1)}$ 程度と低いので、TFTの動作速度が遅いために、周辺駆動回路を一体化して形成することは不可能であり、ディスプレイの大容量化に限界がある。

第2章と第3章とにおいて、分子線成長法によれば比較的高い移動度をもつ多結晶Si膜がガラス基板の耐熱温度範囲内の低温においても形成可能であることを述べ、第4章においては、この分子線成長多結晶Si膜を用いた低温形成多結晶Si-TFTが液晶ディスプレイの駆動用TFTとして有望であることを述べた。

本章においては、低温形成多結晶Si-TFTの液晶ディスプレイへの応用の第一歩として、低温形成多結晶Si-TFTを集積化してTFTマトリックスを形成し、外部駆動回路を用いて、アクティブ・マトリックス駆動方式の液晶表示の原理実験を行った結果について述べる。分子線成長多結晶Si膜を用い、 600°C 以下の低温プロセスにより、ガラス基板上に 10×10 素子のTFTスイッチ・マトリックスを形成し、ツイステッド・ネマティック液晶と組み合わせて、 10×10 画素の透過型の液晶ディスプレイ・パネルを作製し、 7×9 ドットのアルファベット及び数字表示を行ったところ、コントラスト比が $30:1$ という高コントラストの表示を得た。

本章においては、また、本研究の発展として、現在、(株)日立製作所日立研究所において精力的に進められている周辺駆動回路内蔵方式の液晶ディスプレイの研究開発の状況を参照しながら、低温形成多結晶Si薄膜トランジスタの将来を展望する。

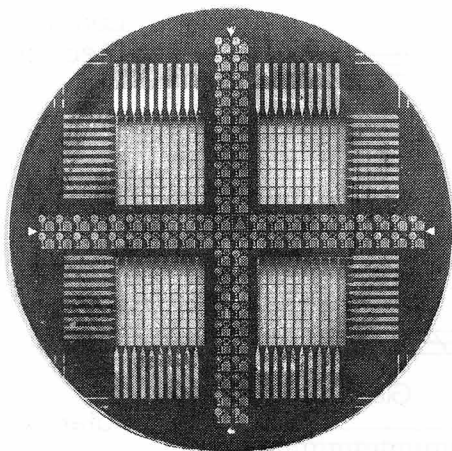
5.2 10×10画素の液晶表示パネルの作製および駆動法

5.2.1 液晶表示パネルの作製

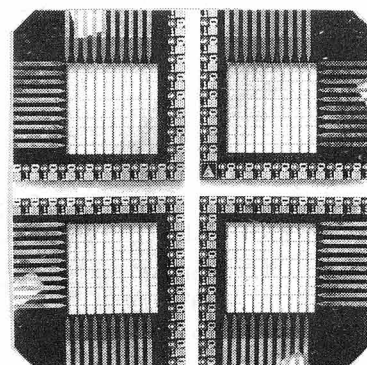
(1) TFTマトリクス構成の液晶表示パネルの構造

ガラス基板上に10×10素子のTFTマトリクスを作製し、ツイステッド・ネマティック液晶と組み合わせて、10×10画素の透過型の液晶表示パネルを作製した。

以下に詳しく述べるような作製プロセスにより、図5.1(a)に示すように、直径51mmのガラス(Corning#7059)基板上に4つの10×10のTFTマトリクスを作製し、図5.1(b)のように切断した。TFTマトリクスの1画素分の顕微鏡写真とその等価回路を図5.2に示す。1画素は、nチャンネルの多結晶Si-TFTと透明画素電極とから成る。このTFTマトリクスとツイステッド・ネマティック液晶とを組み合わせて作製した液晶表示パネルの断面構造図を図5.3に、1画素分の拡大図を図5.4に示す。各画素毎に設けられたTFTにより液晶に印加する電圧をスイッチし、液晶の配向状態(印加電圧が液晶の閾値電圧以下のOFF状態では、分子配向と上下2枚の配向膜によるねじれた状態。印加電圧が液晶の閾値電圧以上のON状態では、ねじれが解けた状態)をスイッチし、これにより、図5.3の下面から入射し下の偏光板によって直線偏光された光が液晶層を透過した後の偏光面をスイッチする(OFF状態では分子配向のねじれに沿って偏光面が90°回転し、ねじれが解けたON状態では偏光面は変わらない)ことによって、上の偏光板によって光が遮られるか通過するか、すなわち、暗状態か明状態かをスイッチする構造で



(a) ウェーファ工程完了時



(b) 4つのTFTマトリクスに切断

図5.1 直径51mmのガラス基板上のTFTマトリクス

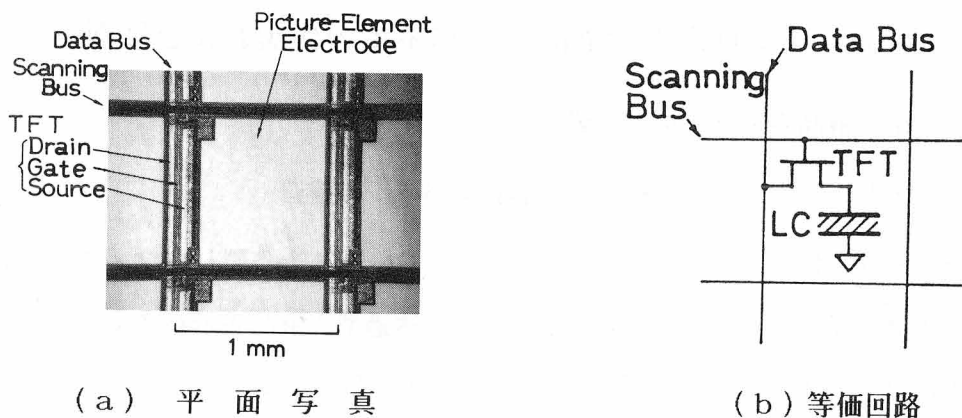


図5.2 TFTマトリックスの1画素

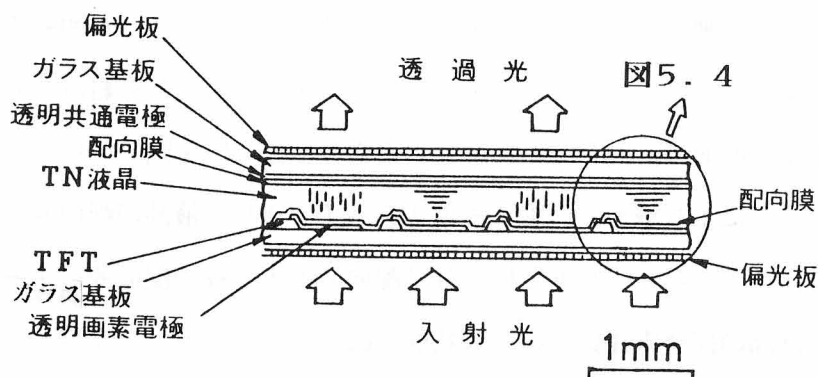


図5.3 液晶表示パネルの断面構造

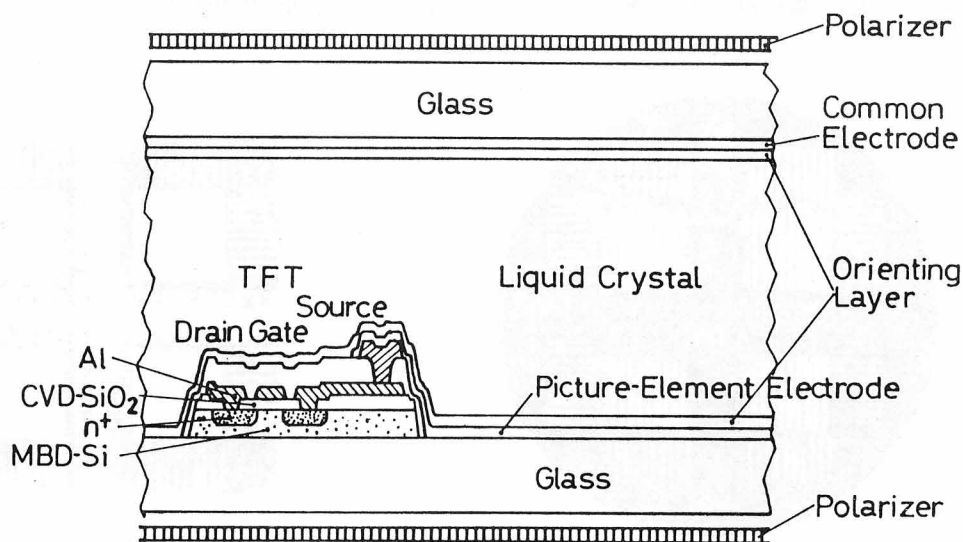


図5.4 液晶表示パネルの断面構造の拡大図

ある。画素寸法は $1\text{ mm} \times 1\text{ mm}$ であり、開口率は68%である。 10×10 画素の液晶ディスプレイ・パネル全体の表示面積は、 $10\text{ mm} \times 10\text{ mm}$ である。TFTマトリックスを構成するTFT素子は図4.1に示したMOSFET構造であり、チャンネル長 L は $10\text{ }\mu\text{m}$ 、チャンネル幅 W は $850\text{ }\mu\text{m}$ であり、ゲート酸化膜厚 t_{ox} は $700\text{ }\mu\text{m}$ である。

(2) TFTマトリックスの作製

MBD多結晶Si膜を用い、全工程を 600°C 以下の低温プロセスにより、ガラス基板(Corning #7059)上に 10×10 素子のTFTマトリックスを作製した。作製プロセスは、4.2.2項で図4.2を用いて単体のTFTについて述べたのと、本質的に同じであるが、信号電極(Data Bus; 垂直電極)と走査電極(Scanning Bus; 水平電極)との交差部分の二層配線と透明画素電極形成のプロセスが、これに付け加わる。以下、図4.2と図5.5を参照しながら、作製プロセスの概略を述べる。

まず、MBD法によりガラス基板上に多結晶Si膜を堆積した[図4.2(1)]後、透明画素電極が形成される部分のSi膜をエッチングにより除去して、Si膜をメッシュ状に加工[図4.2(2)]する。このあとは、4.2.2項で述べたのと全く同じプロセスを用いてTFTを作製するが、図4.2(5)のソース、ドレイン、ゲートのAl電極形成の際に、ドレイン電極と一体化した信号電極配線を形成[図5.5(1)]してしまう。次に、二層配線の層間絶縁膜、兼、パッシベーション膜として、CVD法により 415°C においてPSG(燐ガラス)膜を形成[図5.5(2)]した後、Cr-Au二層膜を蒸着し、これをウェット・エッチングにより加工して走査電極を作製した。それぞれの走査電極は、PSG膜に開けたコンタクト孔を通して、水平方向に並んだ一列のゲート電極と接続している。また、Cr-Au二層膜は、走査電極としてのみならず、図5.5(4)に示したように、後に形成される透明画素電極の酸化インジウム錫(ITO)膜とソース電極のAl膜とが直接に接触しないで電氣的に接続するためにも用いられている。(ITO膜とAl膜が直接接触していると、最終工程のウェット・エッチングの際に、電気化学反応によりAl膜が侵蝕される。)単体TFTにおける最終工程であった 400°C 30分の水素アニールを行い、最後に、膜厚 300 nm のITO(組成は、 In_2O_3 91 mol%, SnO_2 9 mol%)膜を基板温度 150°C でスパッタ堆積し、ITO膜をウェット・エッチングにより加工して透明画素電極を形成して、TFTマトリックスは完成する[図5.5(4)]。

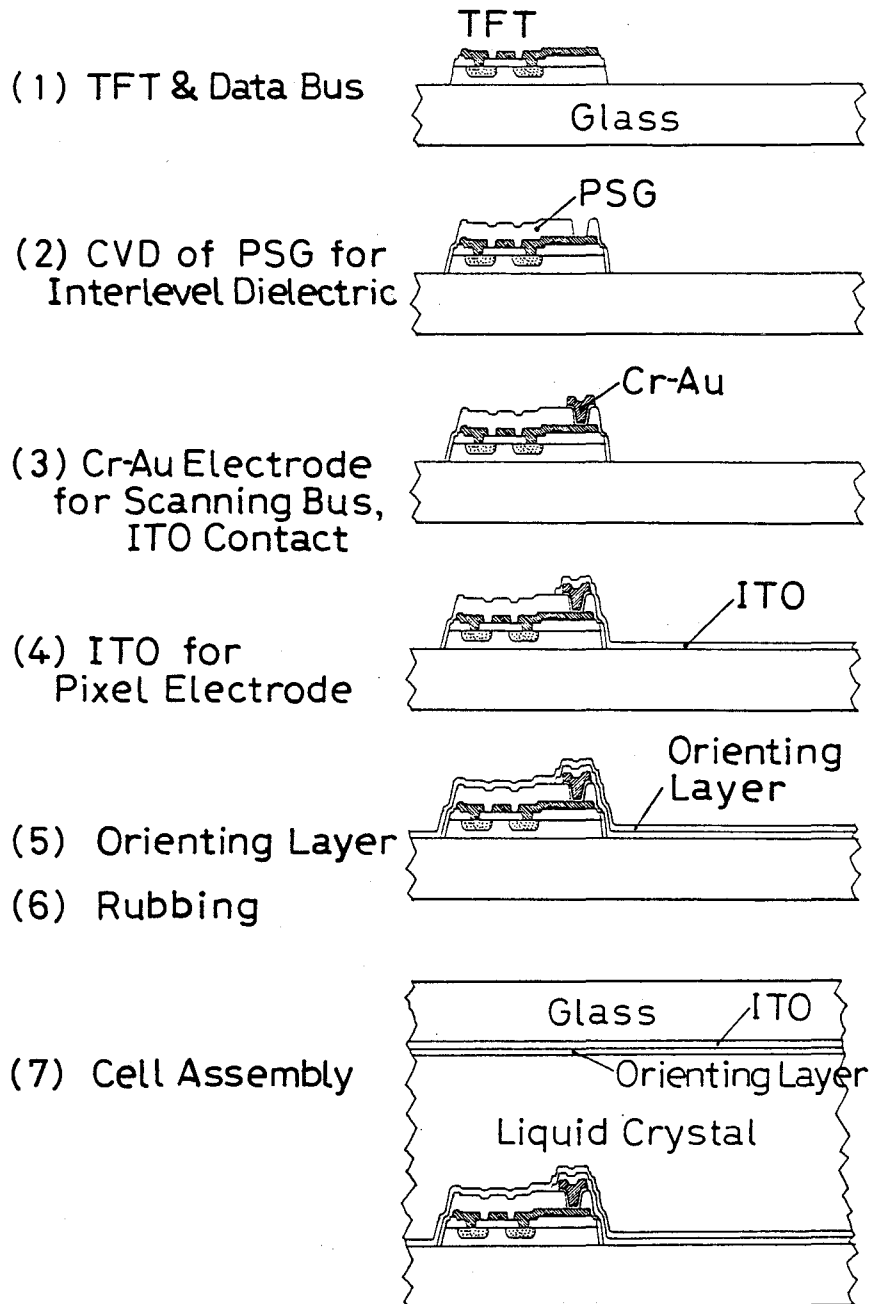


図5.5 TFT-液晶パネルの作製プロセス

このTFTマトリックスと同じプロセスを経た同じ形状のTFT特性の一例は、4.3.1項において既に示したものである。表示実験に用いた液晶パネルのTFTの閾値電圧 V_T は、4.3.1項のTFTに比べて+側に約10Vずれ、 $V_T \sim 10V$ であった。

(3) TFT-液晶表示パネルの作製

10×10素子のTFTマトリックスとツイステッド・ネマティック液晶（メルク社ZI I-1132）とを組み合わせ、10×10画素、画面寸法が10×10mm²の透過型の液晶表示パネルを作製した。

まず、図5.4(5)のように、TFTマトリックスの上部全面に、液晶配向膜としてポリアミド系のスタウテス（STOUTES;日立化成商品名）をスピナ塗布し、120℃30分間のベーキングにより硬化させる。配向膜中には液晶層の厚みを制御するため、直径12μmのガラス・ファイバ及び直径20μmのポリエチレン・ビーズを分散させている。次に、配向膜をラビングする。さらに、直径15μmのガラス・ファイバを分散させた有機シールをスクリーン印刷で塗布し、内面に共通透明電極と配向膜が形成された対向ガラスを貼り合わせて、液晶セルを組み立てる。この状態で、ギャップ（液晶が入る部分の厚み）は、画素部において、平均18μmであった。最後に、真空封入法により液晶を封入し、封入口を有機接着剤で封止し【図5.5(7)】、OFF時に暗状態になるように上下の偏光板を偏光面が平行になるように配置して、液晶表示パネルが完成する（図5.4）。

5.2.2 駆動法

外部駆動回路によりTFT-液晶表示パネルを駆動した。図5.6に駆動回路のブロック図を示し、図5.7に『A』の表示パターンに対応させて主要部の電圧波形を示す。デューティ比1/10（走査線数10）で線順次走査を行い、10×10画素のマトリックス内に7×9ドットのアファベット文字、数字及び記号を表示した。表示方式は、透過型で、モノクロ二値表示（中間調なし）である。クロックの周波数は可変であり、最高100kHz、したがって、フレーム周波数は最高10kHzであり、また、走査パルス $V_{SC i}$ ($i=1\sim 10$) 及び信号パルス $V_{SIG i}$ ($i=1\sim 10$) は最大28Vまで可変である。液晶の劣化防止のために、共通透明電極の電圧 V_{COM} を1フレーム毎に切り替え、液晶に印加される電圧 $V_{SIG i} - V_{COM}$ が交流になるようにした。

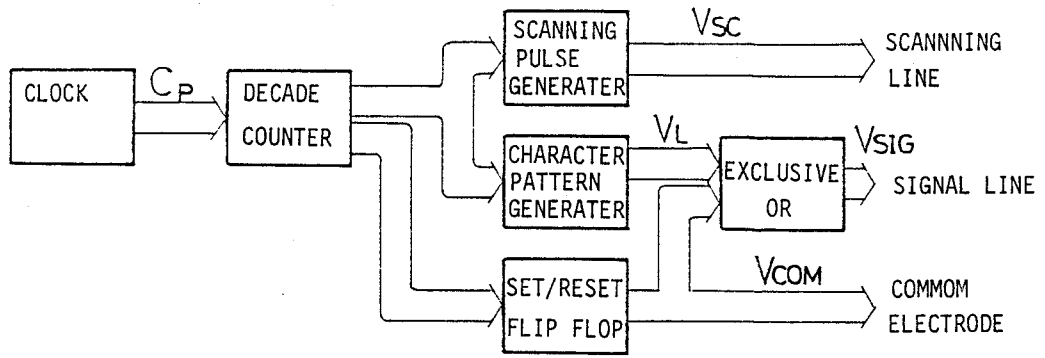


図5.6 駆動回路のブロック構成

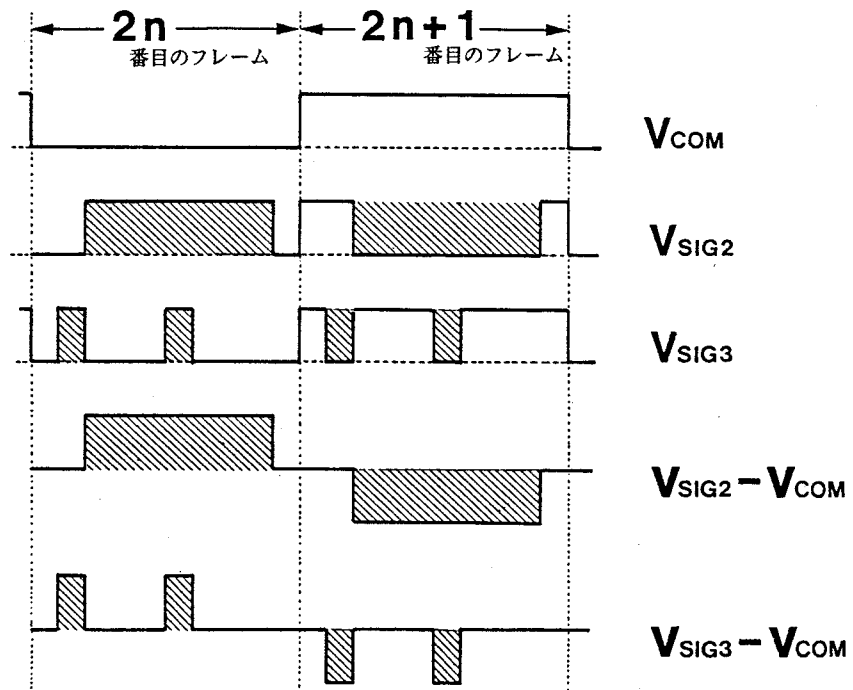
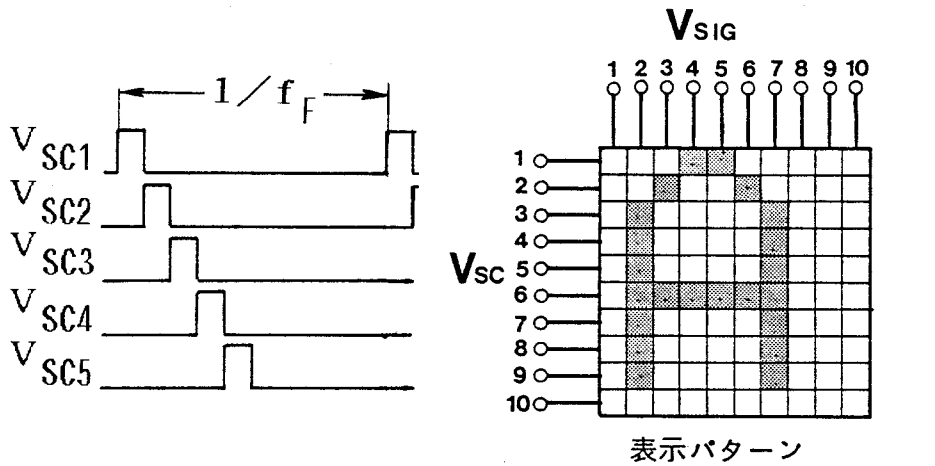


図5.7 駆動波形

右上の『A』の表示パターンに対応する駆動波形

5.3 10×10の液晶パネルの表示特性および検討

試作した表示装置は駆動回路部と表示部とから成るが、そのうちの表示部を、『A』の表示例と共に図5.8に示す。図5.9は、『A』の表示例を拡大した写真である。印加電圧の実効値が液晶の閾値電圧（約2V）以上の画素が、背面からの蛍光灯の光を透過して白く光っている。

図5.9において、暗状態の画素中に見られる細かい傷は、液晶中に分散したガラス・ファイバーが配向膜を損傷したために生じた局所的な配向不良に起因するもの、及び、TFT及び配線の段差のために液晶が完全には充填されない部分の存在に起因するものである。これらの欠陥は、液晶封入工程の改良により、改善できる。

また、画素により明るさの濃淡が見られる。これは、TFTの特性のばらつきによるものである。TFTの特性のばらつきは、表示の均一性や視角範囲等の表示品質に直接係わる問題であり、液晶ディスプレイとして実用化するためには、TFTの特性のばらつきを一定以下に押さえる必要がある。



図5.8 試作した表示装置の表示部

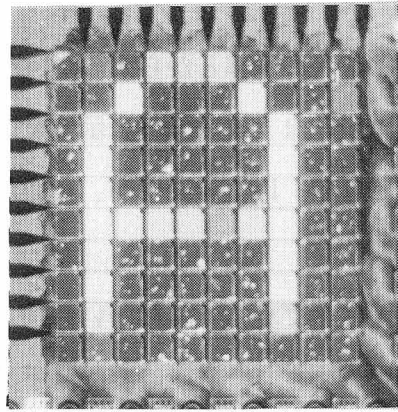


図5. 9 表 示 例

表示状態	フレーム周波数 f_f	印 加 電 圧	備 考
	10 KHz	$V_{SC} = 10 \text{ V}$ $V_{SIG} = 10 \text{ V}$	
	5 KHz	$V_{SC} = 10 \text{ V}$ $V_{SIG} = 10 \text{ V}$	
	2 KHz	$V_{SC} = 10 \text{ V}$ $V_{SIG} = 10 \text{ V}$	クロストーク状態
	10 KHz	$V_{SC} = 6 \text{ V}$ $V_{SIG} = 10 \text{ V}$	
	10 KHz	$V_{SC} = 10 \text{ V}$ $V_{SIG} = 4 \text{ V}$	印加電圧不足

図5. 10 駆動条件をパラメータとした表示特性

図5.10は、外部駆動条件、すなわち、走査パルス電圧 V_{SC} ($= V_G$)、信号パルス電圧 V_{SIG} ($= V_D$)、フレーム周波数 f_F をパラメータとして、表示状態を示したものである。クロストークが少なく最も良好な表示状態の条件は、走査パルス電圧 $V_{SC} \sim 10\text{V}$ 、信号パルス電圧 $V_{SIG} \sim 10\text{V}$ 、フレーム周波数 $f_F \sim 10\text{kHz}$ であった。走査パルス電圧 V_{SC} の最適値はTFTの閾値電圧とほぼ等しい。最適ではないが、適性駆動条件としては、走査パルス電圧 $V_{SC} \sim 10\text{V}$ 、信号パルス電圧 $V_{SIG} \sim 10\text{V}$ 、フレーム周波数 $f_F \geq 5\text{kHz}$ であった。

図5.10に示すように、フレーム周波数 f_F を低くするに従い、OFF画素も点灯してくる。これは、TFTのOFF電流（ソース・ドレイン間のリーク電流）が十分には小さくないために、一つの画素の非アドレス期間に、リーク電流により、不要な信号パルスが液晶に印加されるためと考えられる。この現象は、フレーム周波数が低いほど、また、デュティ比が小さいほど起こりやすかった。すなわち、走査線数の多い大容量ディスプレイを低いフレーム周波数で駆動させるためには、TFTのOFF電流を小さくする必要がある。

TFTのOFF電流を小さくすることが、MBD-Si-TFTの課題のひとつであることは、第4章で述べた通りである。形状因子の W/L を小さくすることの他に、ドレインにおける $i-n^+$ 接合の接合特性を良くすることが重要であることを、第4章において指摘した。

適性駆動電圧が、走査電圧、信号電圧とも 10V とやや高い。適性駆動電圧を低くするためには、TFTのゲート閾値電圧 V_T を下げることが必要である。このためには、第3章と第4章で述べた水素化によって、多結晶Siのグレイン・バウンダリにあるダングリング・ボンド等の欠陥の密度を減少させることが、効果的であると思われる。

上述の最適駆動条件 ($V_{SC} = 10\text{V}$, $V_{SIG} = 10\text{V}$, $f_F = 10\text{kHz}$) 下では、コントラスト比の大きい、明るく良好な画像が得られた。この最適駆動条件下におけるコントラスト比の視角依存性を測定した結果を図5.11に示す。視角 0° (正面) のとき、コントラスト比は約30である。

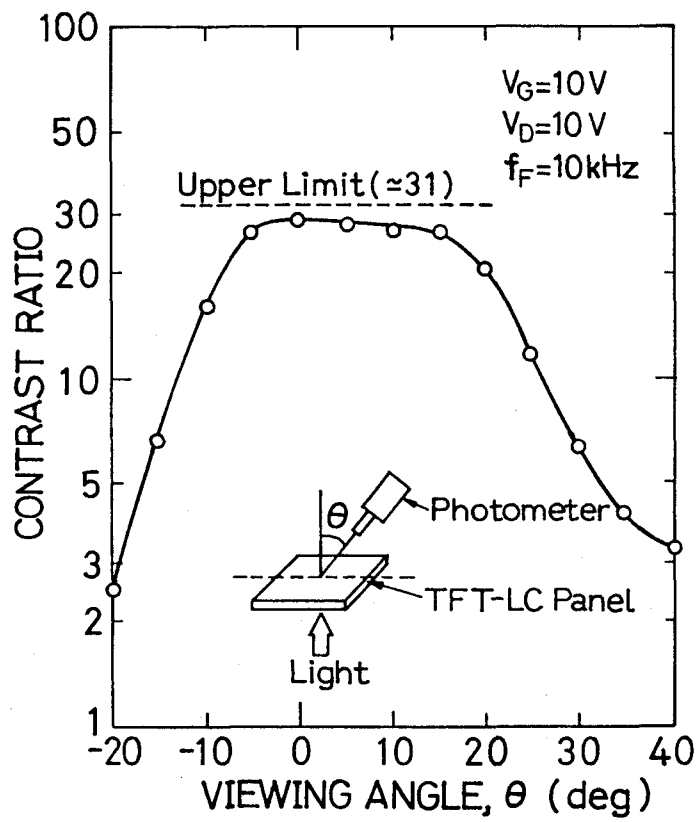


図5. 11 コントラスト比の視角依存性

5. 4 日立研究所におけるTFT-液晶ディスプレイ研究の現状と低温形成多結晶Si薄膜トランジスタの今後の展望

本節においては、本研究の発展として、現在、(株)日立製作所日立研究所(以下、『日研』と略称する)において精力的に進められている周辺駆動回路内蔵方式の液晶ディスプレイへ向けての研究開発の状況を参照しながら、低温形成多結晶Si薄膜トランジスタの将来を展望する。

日研のTFTグループによる大きな成果は、第一に、①低圧CVD法によるアモルファスSi膜の形成と②低温(600℃)における長時間アニールの組み合わせによって、電気的特性の良好な多結晶Si膜の新たな低温形成法を確立し²⁾、現状のプロセス技術で量産化への途を拓いたことにある。本研究のMBD法でも原理的には量産化は困難ではないが、量産化のためにはそのためのMBD装置の開発が必要である。日研のTFTグループの新しい多結晶Si膜の低温形成法は、まず、低圧CVD法により550℃においてアモルファスSi膜を形成し、これを、N₂雰囲気中で600℃で20時間アニールし、多結晶化させるものである。まずアモルファスSi膜を形成して、その後の低温・長時間アニールにより、600℃以上の温度の低圧CVD法によって初めから多結晶膜として形成したSi膜と比べて、より低い温度で、電気的特性のより良い多結晶Si膜を得るところに、この技術の特徴がある。彼らは、Si膜形成温度を500℃から620℃までの範囲で変化させて、600℃、20時間というアニール条件は一定にして、多結晶Si膜の結晶性及びTFT特性とこの形成温度との関係を調べ、550～560℃で形成した膜がアニール後の結晶性においてもTFT特性においても、最も良い特性が得られるという結果を得た²⁾。従来、低圧CVD法により600～650℃において形成したSi膜は、多結晶化していても、電気的特性が悪くて、とてもTFT用の半導体薄膜として用いることはできず、また、600℃を越えるとガラス基板を用いることは不可能であったのに対して、この技術によれば、同じ低圧CVD法によって、ガラス基板上にTFT用の多結晶Si膜を形成することが可能となった。

日研のTFTグループによる成果の第二は、多結晶Siゲートを用いた自己整合構造の多結晶Si-TFTの構造の最適化とプロセス条件の最適化をほぼ達成し²⁾、OFF電流特性を含めてTFT特性を大幅に向上することができ、また、TFT特性のロット間ばらつきを小さくすることができた、すなわち、特性の再現性が得られるようになったことで

ある。TFT特性の向上は、主として、多結晶Siゲートの厚みを100nmと薄くすることにより、水素化の効果を改善することができたことに依っている²⁾。水素化によってnチャンネル多結晶Si-TFTの閾値電圧 V_T が低下し電界効果移動度 μ_H が高くなることは、高温プロセス多結晶Si-TFTについてはKaminsらによって³⁾報告されており、また、低温プロセス多結晶Si-TFTについては本研究の第4章において述べた通りであるが、日研のTFTグループによれば、4.3.1項でも述べた多結晶Si-TFTに特徴的な正孔によるリーク電流も水素化によって阻止でき、OFF電流も減少することが分かった²⁾。これは、水素化によって多結晶Si膜中の粒界欠陥密度を減少させ、禁制帯内にある捕獲準位密度を減少させることにより、捕獲準位を介しての正孔電流を抑制することができ、ドレイン接合における $i-n^+$ 接合の逆阻止能力が向上したことによると考えられる。このようにして、得られたnチャンネルのTFT ($t = 150\text{nm}$, $t_{\text{OX}} = 100\text{nm}$, $t_{\text{gate poly-Si}} = 100\text{nm}$, $W/L = 10\mu\text{m}/50\mu\text{m}$)の特性²⁾は、閾値電圧 $V_T = 6.2\text{V}$, 電界効果移動度 $\mu_H = 37\text{cm}^2/\text{V}\cdot\text{s}$, ON/OFF電流比は 6.3×10^5 , OFF電流は $2.7 \times 10^{-11}\text{A}$ であった。

上記のようにして特性の向上した多結晶Si-TFTを用いて、日研では、 396×133 素子の周辺駆動回路内蔵アクティブ・マトリックス^{4,5)}を作製し、ツイステッド・ネマティック液晶と組み合わせて、対角3.3インチの8色マルチ・カラー表示の 132×133 ドット (396×133 画素)の周辺駆動回路内蔵の液晶ディスプレイを試作した^{4,5,2)}。これは、対角10インチの8色マルチ・カラー表示の 640×400 ドット (1920×400 画素)の周辺駆動回路内蔵液晶ディスプレイの部分試作である。10インチ液晶ディスプレイの駆動用TFTの主要特性目標値は、閾値電圧 $V_T \leq 8\text{V}$, 電界効果移動度 $\mu_H \geq 30\text{cm}^2/\text{V}\cdot\text{s}$, ON/OFF電流比 $\geq 1 \times 10^5$, OFF電流 $\leq 3 \times 10^{-11}\text{A}$, ゲート耐圧 $\geq 50\text{V}$ であり、これらの仕様は、上述のTFT特性の改善によって、既に、満たされている。周辺駆動回路内蔵アクティブ・マトリックスの構成を図5.12に示す。図5.12では、データの入力部を 33×12 の分割マトリックス回路 (396本の表示部の信号側配線を33ブロックに分け、順次各ブロックを選択しながら、12本の入力データ線により信号を入力する方式)で構成し、信号側駆動回路のシフトレジスタ (ブロック選択回路)のみ外付けとしている^{4,5)}。実際に試作した周辺駆動回路内蔵アクティブ・マトリックスの各部の回路特性は、ほぼ、目標特性を満たしている。

試作した液晶ディスプレイの表示例を図5.13に示す⁵⁾。線欠陥等は存在するが、信号側

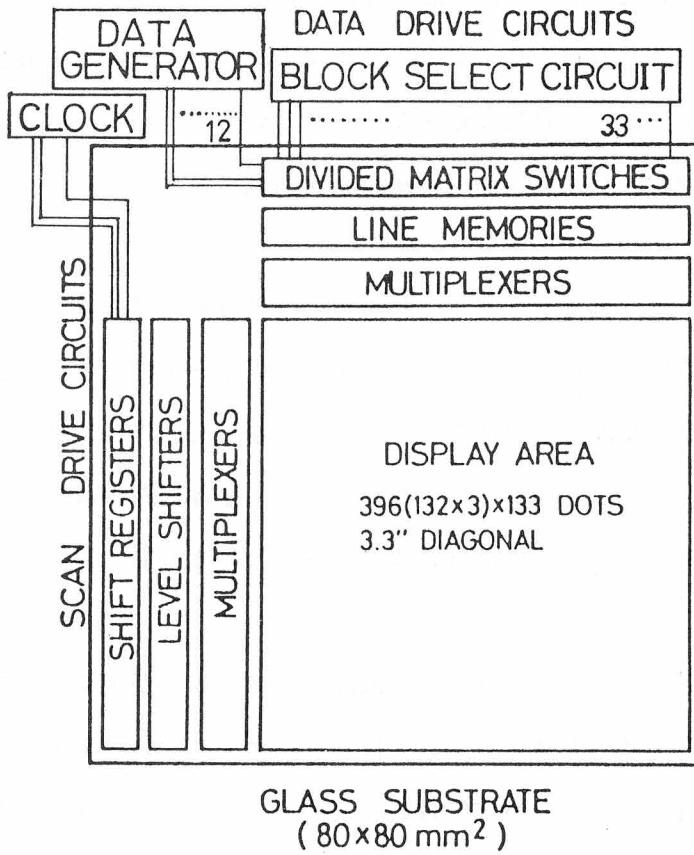


図5. 12 周辺駆動回路内蔵液晶ディスプレイの構成^{2,4,5)}

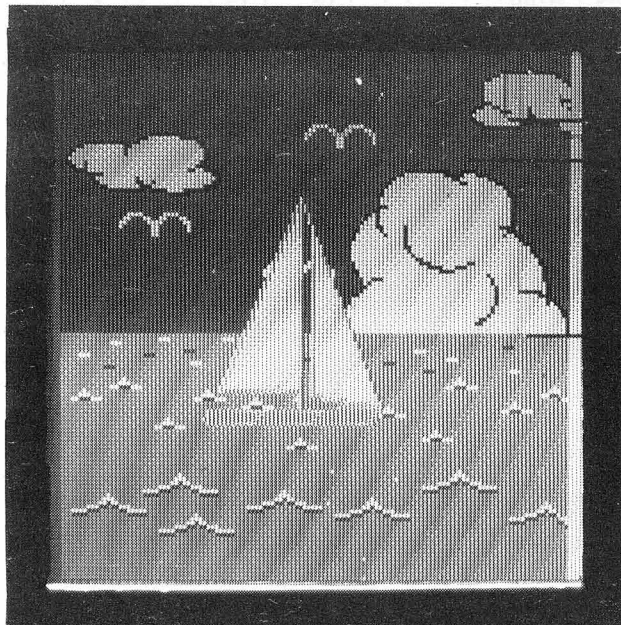


図5. 13 表示例⁵⁾

駆動回路、走査側駆動回路がいずれも最終段まで動作しているのが確認できた。この試作は、周辺駆動回路内蔵の対角10インチの8色マルチ・カラー表示の液晶ディスプレイの部分試作であるが、部分試作で良好な結果が得られていることから、低温形成多結晶Si-TFTを用いて、対角10インチの周辺駆動回路内蔵液晶ディスプレイを実現できる見通しが得られたと言えよう。

本研究が、低温形成多結晶Si膜とこれを用いた低温形成多結晶Si-TFTの研究の先駆的役割を果たしているのに対して、日研のTFTグループの仕事の意義は、低温形成多結晶Si-TFTを、量産化が可能なプロセスの面からも、TFT特性の面からも、実用化のレベルにまで高めたことにあり、また、実際に、駆動回路内蔵の大容量の液晶ディスプレイへそのまま拡大できる形の部分試作を行うことによって、実用化の可能性を更に高めた点にある。

対角10インチ以上のマルチ・カラーの液晶ディスプレイが実用化されれば、液晶ディスプレイはオフィス・オートメーション(OA)用ディスプレイ端末の主座を占めるようになり、ブラウン管(CRT)時代に替わる平面ディスプレイ時代の幕開けとなろう。そして、今後、液晶ディスプレイが、対角10インチから対角20インチへと、更に大画面化し、高精細化するにしたがって、低温形成多結晶Si-TFTの重要性が高まるものと思われる。また、量産化に伴って、低温形成多結晶Si-TFTが低価格化・高品質化した暁には、低温形成多結晶Si-TFTは、単にディスプレイ応用のみならず、長尺の密着読取り1次元イメージ・センサや大面積の固体撮像板の走査用など様々の分野で応用される可能性がある。

5.5 まとめ

低温形成多結晶Si-TFTの液晶ディスプレイへの応用の第一歩として、分子線成長多結晶Si膜を用い、600℃以下の低温プロセスにより、ガラス基板上に10×10素子のTFTスイッチ・マトリックスを形成し、ツイステッド・ネマティック液晶と組み合わせて、10×10画素の透過型の液晶ディスプレイ・パネルを作製し、外部駆動回路を用いて、7×9ドットのアルファベット及び数字表示を行った。

最適駆動条件下では、コントラスト比が30:1という高コントラストの表示を得た。デューティ比1/10(走査線数10)と小さいにもかかわらず、適性駆動フレーム周波数が5kHz以上と高い。これは、TFTのON/OFF電流比が不足し、特に、OFF電流が大きいためである。TFTの形状因子の W/L を小さくすることの他に、ドレインにおけるi-n⁺接合の接合特性を良くすることが重要である。また、適性駆動電圧が、走査電圧、信号電圧とも10Vとやや高い。適性駆動電圧を低くするためには、TFTのゲート閾値電圧 V_T を下げる必要がある。このためには、第3章と第4章で述べた水素化によって、多結晶Siのグレイン・バウンダリにあるダングリング・ボンド等の欠陥の密度を減少させることが、効果的であると思われる。

本章においては、また、本研究の発展として、現在、(株)日立製作所日立研究所において精力的に進められている周辺駆動回路内蔵方式の液晶ディスプレイの研究開発の状況を参照しながら、低温形成多結晶Si薄膜トランジスタの将来を展望した。

参考文献

- 1) 例えば、T.Sunata, T.Yukawa, K.Miyake, Y.Matsusita, Y.Murakami, Y.Ugai, J.Tamura, and S.Aoki: IEEE Trans. Electron Devices, ED-33 (1986) 1212.
- 2) A.Mimura, N.Konishi, K.Ono, J.Ohwada, Y.Hosokawa, Y.A.Ono, T.Suzuki, K.Miyata, and H.Kawakami: Technical Digest of International Electron Devices Meeting, Washington, D.C., 1987, p.436.
- 3) T.I.Kamins and Marcoux: IEEE Electron Device Lett. EDL-1 (1980) 159.
- 4) J.Ohwada, M.Takabatake, H.Kawakami, Y.A.Ono, A.Mimura, K.Ono, N.Konishi, T.Suzuki, and K.Miyata: Extended Abstracts of 19th Conf. on Solid State Devices and Materials, Tokyo, 1987, p.55.
- 5) 大和田淳一, 高島勝, 小野義正, 三村秋男: 電子情報通信学会技術報告EID87-56 (1988) 27.

第5章関連の著者論文

- a) A 10X10 Polycrystalline-Silicon Thin-Film Transistor Matrix for Liquid-Crystal Display; M.Matsui, J.Owada, Y.Shiraki, E.Maruyama, and H.Kawakami: Proceedings of 14th Conference (1982 International) on Solid State Devices, Tokyo, 1982; Jpn. J. Appl. Phys. 22 (1983) Suppl. 22-1, p.497.

第6章 結 論

本研究において、分子線成長法によれば400℃という低温においても多結晶Si膜が形成可能であることを見だし、この分子線成長多結晶Si膜を用いて、低温プロセスによって、電界効果移動度の高い多結晶Si薄膜トランジスタ(TFT)を、初めてガラス基板上に作製した。分子線成長多結晶Si膜の膜構造、電気的特性、及び、多結晶Si薄膜トランジスタの動作特性について調べ、また、低温形成多結晶Si薄膜トランジスタを液晶ディスプレイの駆動用トランジスタに応用することを検討した。以下に、得られた結論と今後の展望を述べる。

まず、分子線成長(MBD)法によって、石英基板上に種々の成長温度で種々の厚みのSi薄膜を形成し、膜構造を調べた結果、以下の点が明らかになった。

(1) MBD-Si膜は、400℃以上の成長温度で多結晶となる。この400℃という温度は、従来の比較的低真空中での真空蒸着、常圧気相成長(CVD)法、低圧CVD法によって多結晶Si膜の得られる765℃、650℃、600℃に比べて著しく低い。これは、清浄雰囲気故に、飛来したSi原子のマイグレーションやアモルファス状態で堆積した領域の再結晶化を妨げる原因となる残留不純物原子の試料表面への付着が極めて少ないことによると思われる。

非晶質基板上への多結晶Si膜の成長温度の下限を一挙に400℃にまで低温化することができたが、このことにより、多結晶Si薄膜トランジスタの製造工程の低温化が可能となり、従来は高温に耐える石英基板上にのみ作製されていた多結晶Si薄膜トランジスタを、軟化点温度の低い安価なガラス基板上に形成することが可能となった。

(2) MBD多結晶Si膜は繊維構造をもって配向し、この配向特性は膜厚と成長温度に依存する。

MBD多結晶Si膜表面層においては、薄い膜では、 $\langle 110 \rangle$ 軸配向した微結晶粒の周りにアモルファスの領域が存在すると考えられるが、厚い膜ほど、 $\langle 100 \rangle$ 軸配向が強くなり、アモルファス領域は小さくなり、十分厚い膜では、アモルファス領域は無くなり、 $\langle 100 \rangle$ 軸配向が支配的となる。また、成長温度が高いほど、配向性は良くなる。

(3) 600°Cで形成した厚さ1.4 μmの膜は、表面層では、〈100〉軸配向が強く、膜の内部では、〈110〉軸配向が強いという膜内構造をもつ。

(4) MBD多結晶Si膜の成長過程には、固相エピタキシーによる部分があることが示唆される。

(5) MBD多結晶Si膜の表面には、結晶粒を反映していると思われる粒形が一面にあることが、走査型電子顕微鏡(SEM)像によって示された。粒形が結晶粒を反映しているとすれば、厚い膜ほど、表面におけるグレイン・サイズが大きく、厚みが1.4 μmの膜のグレイン・サイズは、約200 nm×200 nmである。

次に、MBD多結晶Si膜の電気的特性、並びに電気的特性に及ぼす水素化の効果について調べた。

500°C付近の基板温度で形成したMBD多結晶Si膜のキャリア移動度は、n型かp型かに依らず、キャリア濃度にも依らず、 $10\sim 20\text{ cm}^2/\text{V}\cdot\text{s}$ 程度であり、従来の高温(～1000°C)工程を経たCVD多結晶Si膜とほぼ同程度であり、水素化アモルファス・シリコン膜に比べて2桁ほど高い。すなわち、MBD法によれば、500°C程度の比較的低い基板温度でも比較的高移動度の多結晶Si膜を形成できることが分かった。すなわち、MBD多結晶Si膜は、低温形成多結晶Si薄膜トランジスタ用材料として良好な電気的特性を備えていることが明らかになった。

また、MBD多結晶Si膜を水素化すると、n型試料の電気伝導度、電子濃度及び電子移動度は高くなり、電気的特性が改善されることが分かった。n型試料におけるこれら水素化の効果は、MBD多結晶Si膜に対してグレイン・バウンダリ・トラッピング・モデルの描像が成り立つとし、水素化によって粒界欠陥が不活性化されると考えれば、定性的に理解することができる。一方、水素化によって、p型試料の電気伝導度、正孔濃度及び正孔移動度は低くなるが、この原因については未解明である。

以上述べたような膜構造と電気的特性をもつMBD多結晶Si膜を用いて、600°C以下の低温プロセスにより、ガラス基板上にMOSFET構造の薄膜トランジスタを試作した。このMBD-Si-TFTは、 $40\sim 50\text{ cm}^2/\text{V}\cdot\text{s}$ という高い電界効果移動度を示し、応答時間も10 ns以下と短いことが分かった。すなわち、比較的高い電界効果移動度を持ち、したがって、動作速度の速い多結晶Si薄膜トランジスタを、初めて、ガラス基板

上に形成することができた。また、MBD-Si-TFTは、実用上光感度がなく、したがって、表示素子の駆動用トランジスタとして応用する場合、遮光層を設ける必要がないので、素子構造が単純になるという利点のあることが分かった。しかし、本研究のMBD-Si-TFTは、OFF電流が大きめであり、したがって、また、ON/OFF電流比が小さいことが問題であり、走査線数が十分多い本格的な液晶ディスプレイのアクティブ・マトリックス用としては、形状因子を考慮しても、OFF電流をなお1桁近く下げる必要がある。

また、nチャンネルのMBD-Si-TFTについて、TFT特性のSi膜厚依存性を調べた。Si膜厚が厚いほど、閾値電圧 V_T は低く、電界効果移動度 μ_{FE} は高いことが分かった。このことは、Si膜厚が厚いほど、多結晶Si膜表面層における結晶性が良くなり、粒界欠陥の数が少なくなることによると考えられる。また、これに関連して、水素プラズマ処理による水素化が、Si膜表面層における粒界欠陥密度を減少させ、MBD-Si-TFTの特性を改善するのに効果的であることが分かった。

ここで述べたように、本研究の範囲では、TFTのOFF電流の低減が課題として残るものの、本研究においては、比較的高い電界効果移動度をもち、したがって、動作速度の速い多結晶Si薄膜トランジスタを、初めて、ガラス基板上に形成することができた。このことは、第1章において述べたように、例えば、液晶ディスプレイへ応用した場合に、画素をスイッチするためのアクティブ・マトリックスとしてのみならず、周辺駆動回路をも一体化して、安価なガラス基板上に形成できる可能性があり、駆動回路内蔵方式の大容量の本格的液晶ディスプレイへの途を拓くものとして工業的意義は大きい。

この様な観点から、低温形成多結晶Si-TFTの液晶ディスプレイへの応用の第一歩として、分子線成長多結晶Si膜を用い、600℃以下の低温プロセスにより、ガラス基板上に10×10素子のTFTスイッチ・マトリックスを形成し、ツイステッド・ネマティック液晶と組み合わせて、10×10画素の透過型の液晶ディスプレイ・パネルを作製した。外部駆動回路を用いて、7×9ドットのアルファベット及び数字表示を行ない、コントラスト比が30:1という高コントラストの表示を得た。

以上述べたように、本研究においては、分子線成長法によれば比較的高移動度の多結晶Si膜を比較的低温で形成することが可能であることを示し、また、この分子線成長多結

晶Si膜を用いて、ガラス基板上に多結晶Si薄膜トランジスタが形成可能であることを示し、さらに、この低温形成多結晶Si薄膜トランジスタの実現によって、周辺駆動回路内蔵の大容量の本格的液晶ディスプレイの実現の可能性を示し、実際に、駆動回路外付けではあるが、10×10画素の液晶表示の原理実験を行った。本研究の発展として、現在、㈱日立製作所日立研究所においては、低温形成多結晶Si薄膜トランジスタ駆動による駆動回路内蔵方式の液晶ディスプレイの研究開発が精力的に行われており、対角10インチの640×400ドットの8色マルチ・カラー表示(1920×400画素)の液晶ディスプレイを実現できる技術レベルに達していることは、第5章で述べた通りである。日立研究所のグループの仕事の意義が、低温形成多結晶Si薄膜トランジスタを実用化のレベルにまで高めたことにあるのに対して、本研究の意義は、低温形成多結晶Si膜とこれを用いた低温形成多結晶Si薄膜トランジスタの研究の先駆的役割を果たしたことにある。

対角10インチ以上のマルチ・カラー表示の液晶ディスプレイが実用化されれば、液晶ディスプレイはOA(オフィス・オートメーション)用ディスプレイ端末の主座を占めるようになり、CRT(ブラウン管)時代に替わる平面ディスプレイ時代の幕開けとなろう。そして、今後、液晶ディスプレイが、対角10インチから対角20インチへと、更に大画面化し、高精細化するにしたがって、低温形成多結晶Si薄膜トランジスタの重要性が高まるものと思われる。また、量産化に伴って、低温形成多結晶Si薄膜トランジスタが低価格化、高品質化した暁には、低温形成多結晶Si薄膜トランジスタは、単にディスプレイ応用のみならず、長尺の密着読取り1次元イメージ・センサや大面積の固体撮像板の走査用をはじめ、様々の分野で応用される可能性がある。

謝 辞

本論文をまとめるに当たり、終始御懇切なる御指導と御鞭撻を賜った大阪大学基礎工学部濱川圭弘教授に衷心より御礼申し上げます。また、本論文の作製に当たり御懇篤なる御検討と御教示を頂いた大阪大学基礎工学部難波進教授、末田正教授、山本鋭彦教授、小林猛教授、蒲生健次教授に厚く御礼申し上げます。同大学基礎工学部高倉秀行助教授、岡本博明助手には、本論文の内容に関して有益な御討論を頂いた。心から御礼を申し上げます。

本研究は、㈱日立製作所中央研究所において、多くの方々の御指導と御援助のもとに行なうことができた。本研究の機会を与えて頂き、また、本研究の遂行に当たり終始御懇切なる御教示と御鞭撻を賜った㈱日立製作所中央研究所武田康嗣所長、高崎工場古賀康史主管技師長（元中央研究所）、中央研究所中村道治企画室長、中央研究所松村宏善第1部長に厚く御礼申し上げます。

本研究の方向を示して頂き、また、本研究の遂行に当たり、終始御指導と御鞭撻を賜った㈱日立製作所基礎研究所丸山瑛一所長（元中央研究所）に心から御礼申し上げます。

東京大学先端科学技術研究センター白木靖寛助教授（元㈱日立製作所中央研究所）、㈱日立製作所茂原工場川上英昭画像システム開発センタ長（元日立研究所）、日立研究所大和田淳一研究員、光技術研究開発㈱つくば研究所片山良史プロセス研究部長（元㈱日立製作所中央研究所）、㈱日立製作所中央研究所嶋田壽一主任研究員、同所中川清和研究員、同所池津武氏、同所吉田功主任研究員、住友金属工業㈱総合技術研究所新谷昭主任研究員（元㈱日立製作所中央研究所）、日立計測エンジニアリング㈱永田文男主管研究員（元㈱日立製作所中央研究所）、日本大学工学部長嶋直之教授（元㈱日立製作所武蔵工場）には、多くの御指導、御討論、御援助を頂いた。心から御礼を申し上げます。

終わりに当たり、本研究のバック・グラウンドとなった固体物理学と物理実験に関する基礎を若い日の著者に授けて下さった佐々木互東京大学名誉教授（現東邦大学理学部教授）に心から感謝を申し上げます。