The University of Osaka
Institutional Knowledge Archive

Title	極薄ゲート絶縁膜を有する半導体デバイスの信頼性に関する研究
Author(s)	細井, 卓治
Citation	大阪大学, 2005, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/257
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

極薄ゲート絶縁膜を有する
半導体デバイスの信頼性に関する研究

2005年

細 井 卓 治

内容梗概

本論文は，半導体デバイス微細化の重要課題であるゲート酸化膜の信頼性についての研究結果をまとめたものであり，6 章から構成されている．以下，各章ごとに概要を述べる．

第 1 章

第 1 章では，近年の半導体デバイスの微細化に伴ってますます重要性を増しているゲート絶縁膜の信頼性について，懸念材料となっている絶縁破壊現象及びゲートリーク電流に関する研究報告状況を中心に解説する．また，本研究の目的，本論文の構成について概略を述べる．

第 2 章

第 2 章では，極薄ゲート酸化膜における擬似絶縁破壊 (Soft Breakdown : SBD) 後のゲートリーク電流の時間発展に関する詳細な実験結果を示す．5 nm 以上の厚い絶縁膜では，完全絶縁破壊 (Hard Breakdown : HBD)，SBD いずれの場合も破壊後のゲートリーク電流の増加は極めて急峻であり，絶縁破壊とは瞬間的な現象であると考えられていた．しかし，最近の製品で使用されているような極薄ゲート絶縁膜 (< 2 nm) では，SBD 後のゲートリーク電流は HBD の場合と異なり，時間的に緩やかに増加する．これは SBD により形成された局所的なリークパスが次第に拡大・成長するためである．本章では，SBD 後のゲートリーク電流を破壊後長時間にわたって測定することにより，その時間発展が SBD 後の時間のべき乗で表わされること，そして印加電圧に指数関数的に依存していることを明らかにし，定式化を行う．また，電圧と並んで代表的な酸化膜劣化の加速因子である温度依存性についても述べる．

第 3 章

第 3 章では，SBD 後のゲートリーク電流が最終的に飽和することに注目し，その物理的要因について考察している．絶縁破壊後のゲート酸化膜の電流–電圧特性についてはこれまでに多くの報告がなされてきたが，SBD 後のゲートリーク電流がある値で飽和傾向を示す原因については議論されていない．本章では，SBD 後ゲートリーク電流の時間発展が電圧に指数関数的に依存するという第 2 章の実測結果を考慮し，リークパスに印加される電圧が次第に減少するために，ゲートリーク電流増加もまた徐々に緩やかになり，最終的な飽和につながることを示す．リークパスに印加される電圧の減少は，ゲートリーク電流増加に伴ったデバイス中の寄生抵抗における電圧降下の増大に起因している．また，MOS キャパシタ及び MOSFET 中の寄生抵抗の起源について，デバイスシミュレーションや理論解析によって分析を行う．

第 4 章

第 4 章では，第 2，3 章で述べた実験結果を基にして，SBD 後のゲートリーク電流の時間変化に関して一貫したモデルの提案を行う．最近，チップ中の MOSFET の絶縁破壊だけでなく，チップ全体での過剰な消費電力が LSI の信頼性を左右する要因であると指摘されている．本研究では，SBD 後ゲートリーク電流の時間変化モデルを利用し，LSI 動作電圧下で生起する SBD が MOSFET の電気的な特性に及ぼす影響を検討する．また，絶縁破壊統計と併せて考えることにより，チップ全体での消費電力という観点から信頼性評価を行う．

第 5 章

第 5 章では，LSI 動作条件下で生起する絶縁破壊が CMOS 回路に及ぼす影響について，回路シミュレーションからより実用的に検証する．実際の動作電圧のような低電圧で生起するる SBD 特性を実験的に確認することは，10 年以上の時間を要するため原理的に不可能である．そのため，従来行われてきた信頼性議論では，加速試験 (高電圧条件) で生起する SBD と動作電圧 (低電圧条件) で生起する SBD が同じ特性を示すことを前提としていた．そこでまず，第 4 章で述べた SBD ゲートリーク電流の時間変化モデルを応用し，LSI 動作電圧下で生起する SBD の特性を外挿する．続いて，絶縁破壊後の MOSFET 特性を再現するコンパクトモデルを考案し，外挿した SBD の特性と組み合わせることで，CMOS 回路について回路シミュレーションを行う．回路動作や消費電力という観点から，ゲート絶縁膜の絶縁破壊が CMOS 回路に及ぼす影響を議論する．

第 6 章

本論文で取り上げた各研究の成果についてまとめる．

目 次

内容梗概 **i**

第 1 章　序論 **1**
1.1　半導体デバイスの微細化 1
1.2　極薄ゲート絶縁膜の信頼性 4
1.2.1　ゲート酸化膜の絶縁破壊 4
1.2.2　リーク電流と消費電力 8
1.3　本研究の枠組み 10

第 2 章　Soft Breakdown 後ゲートリーク電流の時間発展 **17**
2.1　はじめに 17
2.2　Hard Breakdown と Soft Breakdown 18
2.3　Soft Breakdown 後ゲートリーク電流の時間発展の解析 21
2.3.1　Soft Breakdown の局所性の検証 21
2.3.2　Soft Breakdown 後ゲートリーク電流の時間発展特性 24
2.3.3　ストレス中断法による低電圧条件下での評価 26
2.3.4　ゲートリーク電流増加の電圧加速特性の解析 30
2.3.5　Soft Breakdown 後ゲートリーク電流の時間発展の定式化 33
2.4　ゲートリーク電流増加の温度加速特性の解析 35
2.5　まとめ 37

第 3 章　Soft Breakdown 後ゲートリーク電流の飽和要因の解析 **43**
3.1　はじめに 43
3.2　寄生抵抗による Soft Breakdown 後のゲートリーク電流の飽和 43
3.3　MOS キャパシタにおける寄生抵抗 46
3.4　MOSFET における寄生抵抗 48
3.5　まとめ 51

第 4 章　Soft Breakdown 後ゲートリーク電流の時間変化モデルと信頼性評価 **55**
4.1　はじめに 55
4.2　Soft Breakdown 後ゲートリーク電流の時間変化モデル 55
4.3　LSI 動作条件下の MOSFET で生起する Soft Breakdown 57
4.4　ゲートリーク電流の観点からみた極薄ゲート酸化膜の信頼性評価 60
4.5　まとめ 63

第 5 章　回路シミュレーションによる絶縁破壊が CMOS 回路に及ぼす影響の検証　69
5.1　はじめに 69
5.2　LSI 動作条件下で起こる Soft Breakdown の特性 69
5.3　絶縁破壊後の MOSFET のモデリング 72
5.3.1　MOSFET モデル (BSIM4) 72
5.3.2　絶縁破壊後 MOSFET のコンパクトモデル 78
5.4　CMOS 回路動作と信頼性への影響の検証 80
5.5　まとめ 83

第 6 章　結論　87

付 録 A　ゲート酸化膜劣化モデル　89
A.1　E モデル 89
A.2　$1/E$ モデル 89
A.3　power–law モデル 91

付 録 B　Weibull 統計の基礎　95
B.1　Weibull 統計 95
B.2　ゲート酸化膜絶縁破壊統計の面積依存性 96
B.3　同一デバイス内で絶縁破壊が複数回生起する場合の Weibull 統計 97

謝辞　101

研究業績　103

第1章　序論

1.1　半導体デバイスの微細化

人々のコンピュータ利用形態はシリコン大規模集積回路 (Large–Scale–Integrated–Circuit : LSI) の高性能化・高集積化と共に変遷し，1960 年代はメインフレーム (複数名で 1 台のコンピュータを使用) であったものが，1990 年代のパーソナル・コンピュータ (1 人で 1 台を使用) を経て，ユビキタス・コンピューティングと呼ばれる第 3 世代に移り始めている．ユビキタス・コンピューティングとは，米 Xerox・パロアルト研究所の Weiser が 1988 年に提唱したコンセプトで，単独のコンピューターが持っている情報のみで判断を行うのではなく，あらゆるところに埋め込まれているコンピューター群がネットワークで相互に結びつき，人間・機械系の高度な協調・調和を実現できる社会を指すシステムの概念である．近年のブロードバンドや携帯情報端末の急速な普及に続き，デジタル家電・カーエレクトロニクスなどの登場もあって，ユビキタス社会の到来は目前まで迫っている．

LSI は 1960 年の金属–酸化膜–半導体電界効果トランジスタ (Metal–Oxide–Semiconductor Field–Effect Transistor : MOSFET) の実現に始まり，ゲート酸化膜の安定な製膜等のプロセス技術や MOS 回路技術の成熟と共に発展してきた．その LSI の基本構成要素である MOSFET の構造を図 1.1 に示す．MOSFET はソース・ドレイン間に流れる電流をゲート電圧によって制御することで ON/OFF 動作を行うデバイスであり，ゲート絶縁膜の果たす役割が非常に大きい．シリコン基板を酸化するという簡易なプロセスにより形成されるシリコン酸化膜 (SiO_2) が，化学的に安定で，かつ良質な Si/SiO_2 界面をもち，ゲート絶縁膜として機能したことはシリコン LSI の発展にとって奇跡と言えるほどの幸運であった．LSI の高集積化は，1965 年に米 intel の設立者 Moore が提唱した半導体技術の進歩に関する経験則「半導体チップの集積度はおよそ 1.5–2 年で 2 倍になる」(Moore の法則 [1]) を，多少の差はあるものの現在に至るまで忠実に守ってきた [2]．集積度と性能は完全に比例するわけではないが，転じて「マイクロプロセッサ (Micro Processer Unit : MPU) の性能はおよそ 1.5–2 年で 2 倍になる」と言われることもある． LSI の高集積化・高性能化を進めるにあたって，回路が縮小されてもデバイスの特性が変わらないことが設計上かつ動作上望ましいため，MOSFET の増幅特性は変えずにどのように縮小してゆくかを規定した指導原理が存在する．結論的には，表 1.1 に示すように，MOSFET の縦横高さの 3 サイズをどれも同じ比率 k で縮小すれば，デバイス特性を変えずに，k 倍の性能向上及び k^2 倍の高集積化が実現できる．この原理はスケーリング則 (比例縮小則) と呼ばれ，LSI の生産が始まって間もない 1974 年に米 IBM の Dennard らによって提唱された [3].

1971 年に米 intel が発表した世界初の MPU である 4004 はプロセス技術 10 μm，総トランジスタ数 2,300 個であったが，2004 年 2 月に発表した最新の Pentium® 4 (Prescott) では，プロセス技術 90 nm (物理ゲート長 50 nm)，総トランジスタ数 125,000,000 個である．実に 30 年間でおよそ 1/100 倍の MOSFET の縮小が実現されたことになる．一般的にプロセス技術はゲート長を意味するが，微細化が著しく進んだ現在では，物理ゲート長はそれよりも小さくなっているため注意が必要である．では，実際に LSI の微細化進行が Moore の法則を満

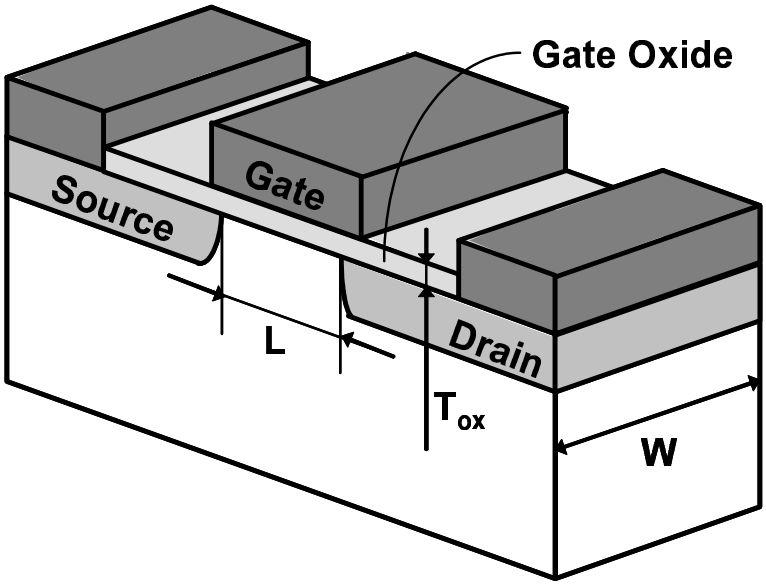


図 1.1: MOSFET の構造.

表 1.1: MOSFET のスケーリング則 [3]

素子寸法 (L，W，T_{ox})	$1/k$
接合深さ (X_{j})	$1/k$
基板不純物濃度 (N)	k
電圧 (V)	$1/k$
電流 (I)	$1/k$
容量 ($C = LW/T_{\mathrm{ox}}$)	$1/k$
遅延時間 (VC/I)	$1/k$
消費電力 (VI)	$1/k$
電力密度 (VI/LW)	1
集積度	k^2

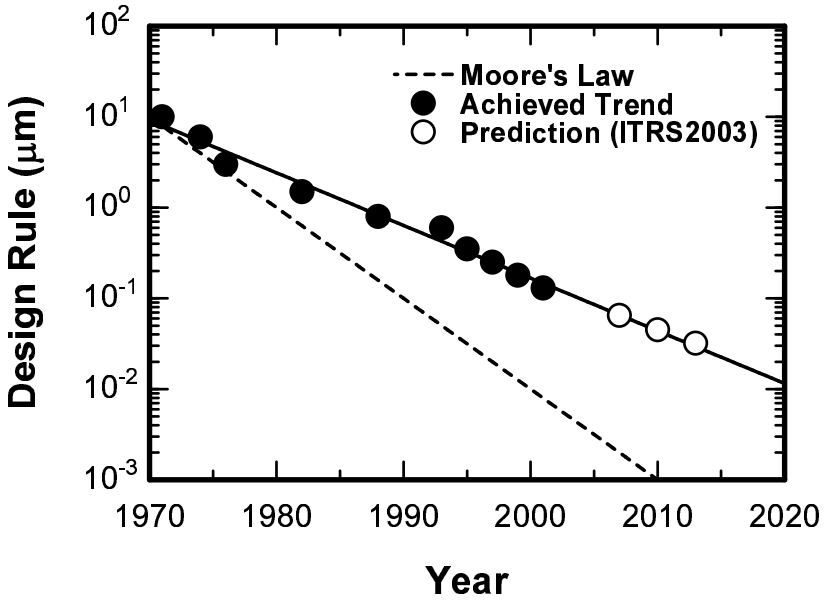


図 1.2: MPU のデザインルールの推移．● は達成実績，○ は 2003 年度版国際半導体ロードマップ [4] の予測，破線は Moore の法則による期待値を示す．

足させてきたかというと，そうではない．図 1.2 に 1970 年以降の MPU のデザインルールの推移を示す．デザインルールと呼ばれる尺度は，過去に対しては達成したプロセス技術であり，未来に対しては微細化進行の予測値である．ここで重大な点は，Moore の法則では 3 年で 4 倍の素子数増加が期待されるにも関わらず，実際のデザインルールは 3 年で 0.7 倍にしか縮小されていないことである．つまり，実際の集積度は 3 年で 2 倍にしかなっていなかったのである．この差は LSI チップ面積の増大による総トランジスタ数の増加によって補われてきた．ところが，消費電力はチップの中に組み込むトランジスタ数に比例し，かつ電源電圧の 2 乗で増える．面積の増大はチップの肥大化を招くだけでなく，技術的に電源電圧を下げることができなかったこともあり，最近では消費電力増加が大きな問題となっている．1990 年代初めの Pentium® の消費電力は 10 W 程度であったものが，Pentium® 4 ではほぼ 100 W にまで達している．また消費電力の増大による発熱は，チップに冷却システムの搭載なしには実用に耐えられないほどに大きくなっている．

一方で，LSI 微細化による高性能化もまた，MOSFET の微細化の物理的限界，特に SiO_2 系ゲート絶縁膜の薄膜化限界によって行き詰まろうとしている．図 1.3 は，今後の MOSFET の微細化トレンドを示している [4]．2004 年現在，最新の 90 nm プロセス技術で製作された Pentium® 4 (Prescott) におけるゲート絶縁膜厚は 1.2 nm であり，これは 5 原子層分の厚みでしかない．既に量子効果が無視できない領域に達しており，直接トンネル現象による大電流が流れることによって，発熱・消費電力増加だけでなく，MOSFET の ON/OFF 動作にも影響が出ることが懸念されている．微細化トレンドに示されている通りに薄膜化が進むと，2016 年には 0.5 nm (2–3 原子層) にまで薄くなり，もはやゲート絶縁膜として機能しなくなると予想される．2001 年に，intel が研究レベルで SiO_2 膜厚 0.8 nm の MOSFET を製作した報告 [5] はあるが，実用化されるかどうかは疑問が残る．そこで，SiO_2 系膜に替わり，high–κ

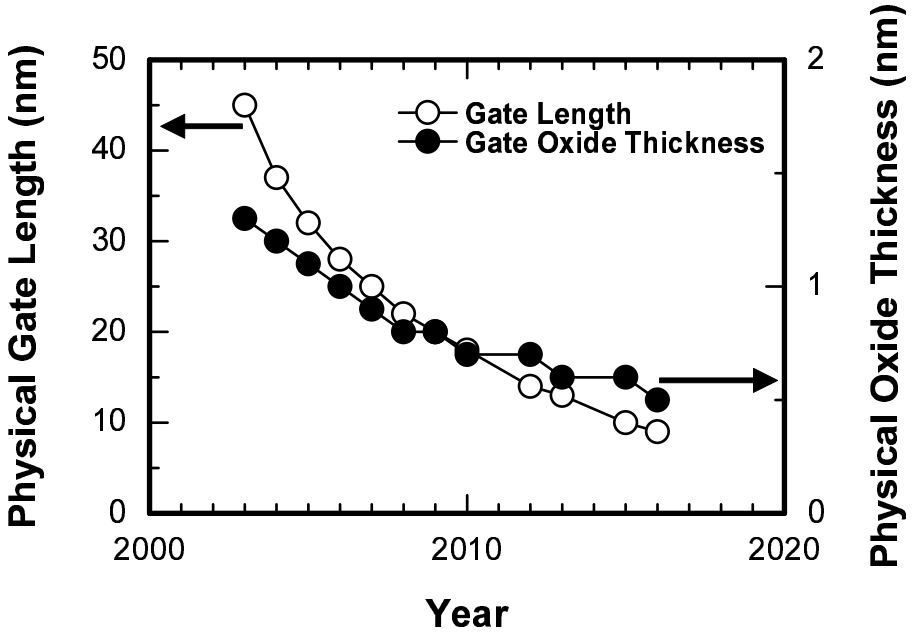


図 1.3: 2003 年度版国際半導体ロードマップ [4] における MOSFET の物理ゲート長及びゲート絶縁膜厚の縮小化予測.

膜と呼ばれる高誘電率材料をゲート絶縁膜として用いる研究が盛んに行われている．しかし，次々世代であるプロセス技術 45 nm までは，窒素濃度プロファイル制御を施した SiON 膜が適用できるとする報告 [6] もあることから，high–κ ゲート絶縁膜が実現した後も，用途によって極薄 SiO_2 系膜が用いられる可能性は高い．ゲート酸化膜の薄膜化は先に示したように急激に進行したのに対し，その信頼性を評価する手法は著しく遅れているのが現状であり，極薄ゲート酸化膜の信頼性確保が重要課題となっている．

1.2　極薄ゲート絶縁膜の信頼性

本章では，極薄ゲート絶縁膜の信頼性評価において最も重要な，絶縁破壊現象とゲートリーク電流の 2 つについて概略を述べる．

1.2.1　ゲート酸化膜の絶縁破壊

半導体デバイスを製品として市場に出す場合，10 年以上の信頼性が保証されなければならない．実際の動作条件で信頼性を保証するには原理的に 10 年以上かかるため，加速試験が一般に行われている．例えば，ゲート酸化膜の信頼性評価法では，使用電圧よりも厳しい高電圧ストレス及び温度を加えて酸化膜劣化を加速し，絶縁破壊が起こるまでの時間を測定する (Time–Dependent–Dielectric–Breakdown : TDDB)．使用電圧における絶縁破壊時間 (Time-to-Breakdown : t_{BD}) は，加速試験の結果から外挿予測される．外挿してゲート絶縁膜寿命を求めるには，絶縁破壊時間を電圧及び温度の関数として表すことが重要で，酸化膜

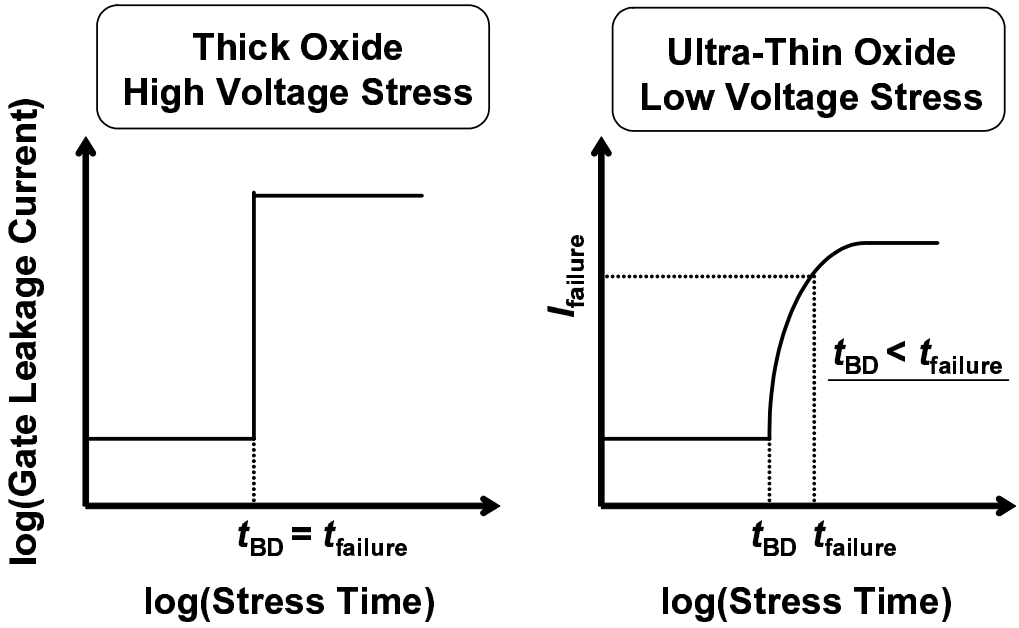


図 1.4: 厚膜と極薄膜における典型的な定電圧 TDDB 測定結果の模式図．厚膜の場合，ゲートリーク電流が瞬時かつ急激に増加するのに対し，極薄膜では緩やかに増加するため，絶縁破壊時間 t_{BD} から故障時間 t_{failure} の間に差が生じる．

電界の指数関数で表わされる E モデル [7–10]，酸化膜電界の逆数の指数関数で表わされる $1/E$ モデル [11–13]，印加電圧のべき乗で表わされる Power–law モデル [14–16] などの電圧加速モデルが提案されている．これらのモデルの詳細については，付録 A にまとめている．また，t_{BD} の温度による劣化加速は 0.02 dec./℃ であることが報告されている [17–19]．

絶縁破壊が致命的であり，かつ MOSFET 1 個の故障が LSI の誤動作を引き起こす場合にこの信頼性評価法が適用できる．実際，ゲート絶縁膜が厚い世代においては，生起する絶縁破壊の多くは大幅なゲートリーク電流の増加を伴う完全絶縁破壊 (Hard Breakdown : HBD) であったので，チップ内の 1 つの MOSFET が HBD を起こした時点が LSI の寿命と定義して特に支障はなかった．ところが絶縁破壊以前から相当量の直接トンネル電流が流れる極薄ゲート酸化膜においては，少量のゲートリーク電流の増加を示す擬似絶縁破壊 (Soft Breakdown : SBD) [20, 21]，絶縁破壊にまでは至らないものの低電界領域でリーク電流の増加を示すストレス誘起リーク電流 (Stress Induced Leakage Current : SILC) [22–25] など，厚膜では軽視されてきた現象が問題となってくる．また，図 1.4 に示すように，厚膜の世代における絶縁破壊は，ゲートリーク電流の急激な増加が瞬時に起きる現象であるのに対し，極薄膜ではゲートリーク電流が緩やかに増加する破壊モードの存在が報告されている [26–32]．この絶縁破壊モードに関しては，Progressive Breakdown と呼ばれる新しい破壊モードであると見なす立場 [26, 27, 32] や，時間的に緩やかな劣化であることから熱的な HBD であると見なす立場 [29, 31]，破壊後の酸化膜の電流–電圧特性が SBD の特徴であるべき乗則 [33–35] に従うことから SBD であると見なす立場 [28, 30] とがある．この場合，ゲートリーク電流がある値を越えたときが故障だと定義すると，故障時間は従来の絶縁破壊時間よりも長くなり，信頼性にある程度の余裕が生じることになる．さらに，0.18 μm プロセス技術以降の課題として，ゲート電位が負の状態でチップの温度が高まると，p 型 MOSFET のしきい値電圧の絶対値が次

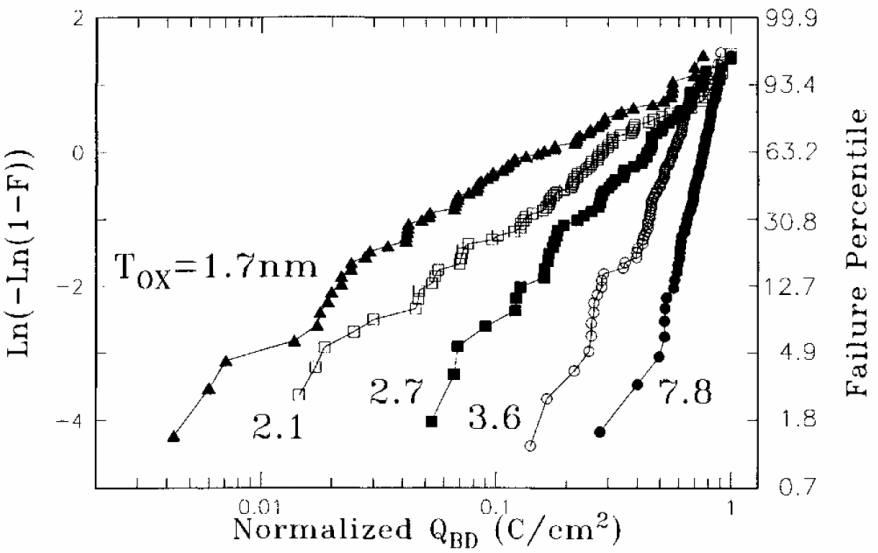


図 1.5: ゲート酸化膜厚 $T_{\rm ox}$ =1.65–7.8 nm の Weibull 分布 [39]．$T_{\rm ox}$ の薄膜化と共に Weibull 傾き β が減少している．

第に大きくシフトして MOSFET の動作速度が遅くなる NBTI (Negative Bias Temperature Instability) も報告されている [36–38]．以上のようなことから，極薄ゲート酸化膜では新たな信頼性の定義及び評価手法が要求されている．

ゲート酸化膜の絶縁破壊時間の統計は，累積故障率が時間の関数である Weibull 統計を用いて議論されている．Weibull 統計の詳細については，付録 B にまとめている．図 1.5 に厚さ 1.65–7.8 nm のゲート酸化膜の Weibull 分布を示す [39]． なお，ここでは横軸は絶縁破壊までに酸化膜に注入された総電荷量 (Charge-to-Breakdown : $Q_{\rm BD}$) であるが，実質的にストレス時間と同じである．これより，膜厚が薄くなるほど，統計ばらつきを表す指標である Weibull 傾きが小さくなっていることが分かる．図 1.6 のように，Weibull 傾き β を膜厚の関数として表すと，$T_{\rm ox}$= 5 nm のときには 2.5–3 であるものが，1.5 nm 以下に薄くなると 1 に近付いていることが分かる [39]．つまり厚膜の場合には，個体間でばらつきが少ないため，チップ内の MOSFET はその全てがほぼ同時期に絶縁破壊を起こすと考えられる．それに対し，極薄膜の場合は，使用開始から極めて早い段階で絶縁破壊を起こす MOSFET が存在する．わかりやすい例として，図 1.7 に $\beta = 3$ と 1 の Weibull 分布を示す．どちらの場合も，MOSFET の平均寿命 (=平均絶縁破壊時間) は同一であると仮定している．MPU の過去のトレンドから，ゲート酸化膜厚 $T_{\rm ox}$= 5 nm のときの集積度は 500 万個，$T_{\rm ox}$= 1.5 nm のときの集積度は 1 億個と考えると，チップ内の MOSFET の 1 つが絶縁破壊する確率は，$T_{\rm ox}$= 5 nm の場合 0.2 ppm であり，$T_{\rm ox}$= 1.5 nm の場合 0.01 ppm である．このことから，チップ内の MOSFET の 1 つが絶縁破壊するまでの時間は，$T_{\rm ox}$= 1.5 nm の方が $T_{\rm ox}$= 5 nm より約 6 桁も早いことが分かる．これは MOSFET 単体の平均寿命が 1000 年であるとしても，チップ全体で考えると，T_{ox} = 1.5 nm の場合は数日で絶縁破壊する MOSFET が存在することを意味している．そのようなチップの信頼性を保証することは非常に難しく，最近は絶縁破壊が起きることを見越した上での信頼性の議論が行われている．1997 年に Bell 研の Weir ら，2000 年には IBM の Linder らは，絶縁破壊が MOSFET の ON/OFF 動作に影響しないことを指摘し [40, 41]，そ

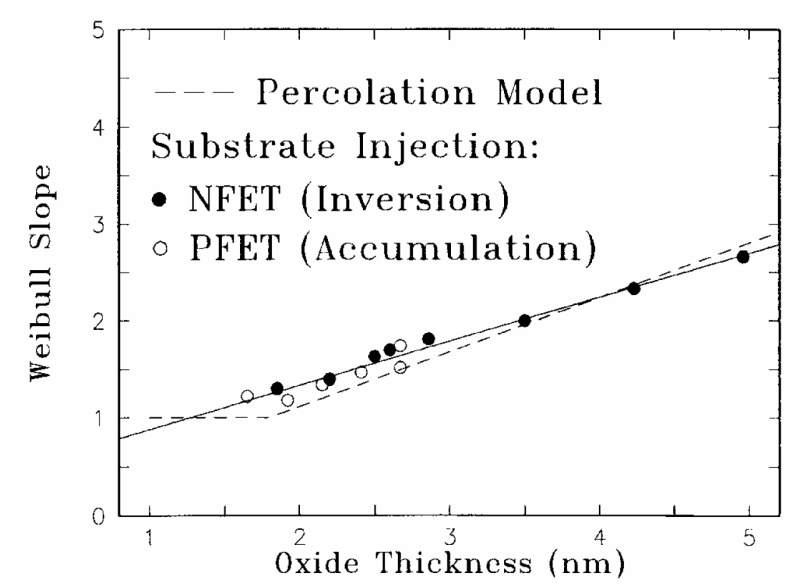


図 1.6: Weibull 傾き β のゲート酸化膜厚 $T_{\rm ox}$ 依存性 [39]．$T_{\rm ox} = 1.5$ nm 以下では $\beta = 1$ となる．

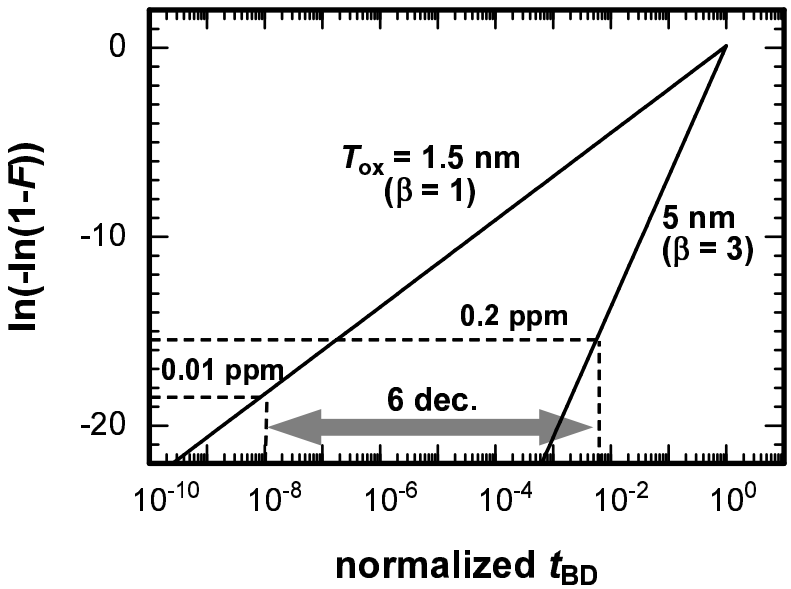


図 1.7: 極薄ゲート酸化膜 LSI の危険性．ゲート酸化膜 $T_{\rm ox}$= 1.5, 5 nm (それぞれ Weibull 傾き $\beta = 1, 3$) のチップ中の MOSFET 1 個が絶縁破壊するまでの時間を比較すると約 6 dec. の差がある．

の後 IMEC の Kaczer らは，極薄ゲート酸化膜の絶縁破壊後もロジック回路は正常に動作することを実験的に示している [42]．これらに代表されるように，ここ数年の傾向として絶縁破壊はもはや IC チップの信頼性を左右しないとする楽観論も増えてきている．しかし，これらの予測は信頼性加速試験において生起した絶縁破壊の特性に基づいており，実際の LSI 動作条件下で起こり得る絶縁破壊が加速試験の場合と同じ特性を示すことが前提となっている．そのため，実際にはより注意深い議論が必要である．

1.2.2　リーク電流と消費電力

半導体デバイスの微細化が進んだ現在，LSI が動作していない場合にも流れるリーク電流が大きな問題となっている．リーク電流は LSI の総消費電力や待機時の電力に強く影響し，発熱や騒音などの原因となる．図 1.8 に Intel が発表した MPU の動作周波数と消費電力を示す．2004 年現在，Pentium® 4 の消費電力は 100 W を超えており，2007 年に登場が予定されている 20 GHz MPU では 1000 W に達する勢いで消費電力は増大している．リーク電流は微細化の進行に対して指数関数的に増加することを考えると，実際にはそれ以上となる可能性が高い．0.13 μm プロセスまでは，LSI の動的な消費電力をどう下げるかが主要な問題で，チップの動作周波数と電源電圧を動的に制御することで解決してきた．しかし，LSI の動作状況に応じて低消費電力化を図るこれまでの手法では，90 nm 以降の世代に対応できない．この世代では，リーク電流が全消費電力の数 10 %を占めると言われており，リーク電流の低減が必須となっている．

LSI 中の論理回路を構成する MOSFET は，ゲートに電圧が印加されたときにソース・ドレイン間に電流が流れることで，ON/OFF 動作を行っている．ゲートに電圧が加わっていない OFF のときは電流は流れないはずだが，MOSFET の性質上微妙なリーク電流が流れる．図 1.9 に MOSFET における代表的なリーク電流である，サブスレッショルドリーク，ゲートリーク，GIDL (Gate Induced Drain Leakage) [43]，接合リークを示す．GIDL は本質的に接合リーク電流と同じバンド間トンネリングに起因したリークである．微細化に伴う不純物濃度の増大が主原因の接合リーク電流とゲート絶縁膜の薄膜化によって顕在化してきた GIDL は，現状では実用上問題ない水準に抑制できているのに対し，サブスレッショルドリーク電流とゲートリーク電流は大きな脅威となっている．例えば，Intel の Pentium® 4 ではチップ全体の消費電力の約 20 %をサブスレッショルドリーク電流が，約 10 %をゲートリーク電流が占めており，合計 30–40 %の電力がリーク電流に費やされている．サブスレッショルドリーク電流は，高速動作化に伴う MOSFET しきい値電圧の低減に原因があり，しきい値電圧が 0.1 V 下がるとリーク電流は 10 倍になる．また，100℃ の温度上昇に対しても 10 倍増加する．一方，ゲートリーク電流はゲート絶縁膜の薄膜化に原因があり，T_{ox} が 0.2 nm 薄くなると 10–100 倍増加すると言われている．現行の 90 nm プロセス技術では，ゲートリーク電流はサブスレッショルドリーク電流よりも 1 桁程度少ないが，微細化が進み 65 nm プロセス技術となると，サブスレッショルドリーク電流と同等以上の消費電力になると予想されている．

以上のことから，ゲート絶縁膜の絶縁破壊が LSI 動作にほとんど影響しないとしても，ゲートリーク電流が大幅に増加するのであれば，消費電力の増大につながり，新たな信頼性の懸念材料となり得ることが指摘されている [44]．

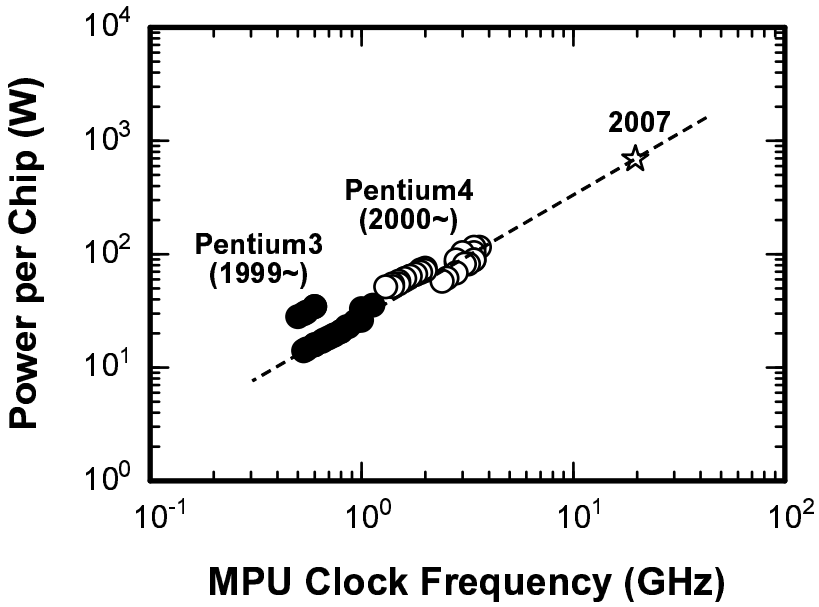


図 1.8: Intel が発表した MPU の動作周波数と消費電力．2007 年には 20 GHz の MPU の登場が予定されている．

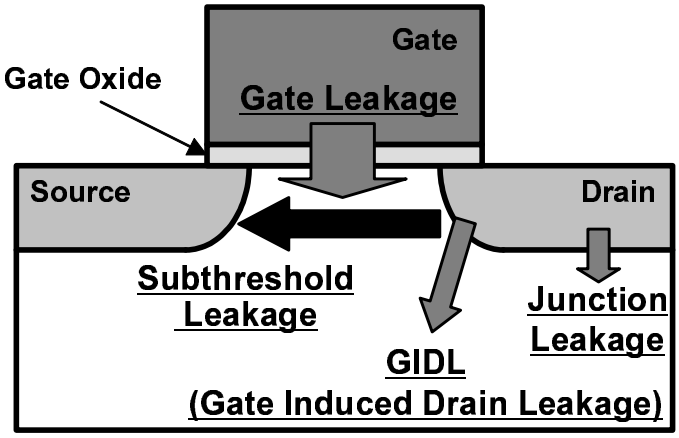


図 1.9: MOSFET における各リーク電流成分．

1.3　本研究の枠組み

1.2 節で述べたように，極薄ゲート絶縁膜の絶縁破壊はリーク電流増加を引き起こすため，最近の LSI 信頼性を議論する上では，回路動作と消費電力の両面を考慮する必要がある．絶縁破壊はもはや信頼性を損なうものではないとする報告 [40–42, 45–48] が見られるが，これらは全て信頼性加速試験結果に基づいた予測であり，実際の LSI 使用条件下で起こる絶縁破壊も同じ特性を示すとは限らない．ゆえに本論文では，実際の使用条件下における極薄ゲート絶縁膜の絶縁破壊が，LSI の回路動作や消費電力にどのように影響するかを定量的に見積もるための信頼性予測モデルの構築を行い，現在及び将来の LSI の信頼性についての知見を得ることを目的としている．

ゲート酸化膜厚が薄く，そしてゲート電圧が低くなるほど，生起する絶縁破壊は HBD よりも SBD が支配的になることが実験的に明らかとなっており [40, 45, 49–51]，極薄ゲート酸化膜において生起する絶縁破壊はほぼ全てが SBD であると予想される．さらに，SBD 後のゲートリーク電流は時間的に緩やかに増加することが見出されたことから [26–32]，その時間発展の電圧依存性について詳細に調べ，定式化を行った (第 2 章)．また，ゲートリーク電流の増加が，デバイス中の寄生抵抗における電圧降下を引き起こし，電流の増加を律速することを明らかにした (第 3 章)．このネガティブフィードバック効果を考慮することで，SBD 後のゲートリーク電流の時間変化に関する一貫したモデルを構築した．また，実際の LSI 使用条件下において生起する SBD 後のゲートリーク電流を計算し，MOSFET の機能及びチップ全体の消費電力に及ぼす影響を定量的に評価した (第 4 章)．一方，SBD 後の酸化膜におけるゲートリーク電流は，ゲート電圧のべき乗で表わされることが報告されている [33–35] ので，その特性と第 4 章で行った計算結果を組み合わせることにより，1 V 程度の LSI が使用する電源電圧条件下における SBD の特性を予測した．その MOSFET 特性を用いることにより，LSI 動作条件下で生起する絶縁破壊が，CMOS 回路動作や消費電力に及ぼす影響を回路シミュレーションにより調べた (第 5 章)．

参考文献

[1] G. E. Moore, "Cramming More Components onto Integrated Circuits," Electronics, vol.38, pp. 114–117, (April 1965)

[2] G. E. Moore, "No Exponential is Forever: But "Forever" Can Be Delayed!," Int. Solid–State Circuits Conference, 1.1, San Francisco, USA (Feburary 2003)

[3] R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc, "Design of Ion–Implanted MOSFET's with Very Small Physical Dimensions," IEEE J. Solid–State Circuits, vol. SC–9, pp. 256–268 (October 1974).

[4] International Technology Roadmap for Semiconductors, 2003 update [Online] Available : http://public.itrs.net/

[5] R. Chau, "30 nm and 20 nm Physical Gate Length CMOS Transistors," *Silicon Nanoelectronics Workshop*, Kyoto, Japan (June 2001),

[6] D. Matsushita, K. Muraoka, Y. Nakasaki, K. Kato, S. Inumiya, K. Eguchi, and M. Takayanagi, "Novel Fabrication Process to Realize Ultra–thin (EOT=0.7 nm) and Ultra–low Leakage SiON Gate Dielectrics," Proc. VLSI Tech. Symp., pp. 172–173, Hawaii, USA (June 2004).

[7] D. Crook, "Method of Determining Reliability Screens for Time Dependent Breakdown," Proc. Int. Reliab. Phys. Symp., vol. 17, pp. 1–7, San Francisco, USA (April 1979).

[8] E. S. Anolick and G. Nelson, "Low Field Time Dependent Dielectric Integrity," Proc. Int. Reliab. Phys. Symp., vol. 17, pp. 8–12, San Francisco, USA (April 1979).

[9] A. Berman, "Time–Zero Dielectric Reliability Test by a Ramp Method," Proc. Int. Reliab. Phys. Symp., vol. 19, pp. 204–209, Orlando, USA (April 1981).

[10] J. W. McPherson and D. A. Baglee, "Acceleration Factors for Thin Gate Oxide Stressing," Proc. Int. Reliab. Phys. Symp., vol. 23, pp. 1–5, Orlando, USA (March 1985).

[11] I.–C. Chen, S. E. Holland, and C. Hu, "Electrical Breakdown in Thin Gate and Tunneling Oxides," IEEE Trans. Electron Devices, vol. ED–32, pp. 413–422 (February 1985).

[12] I.–C. Chen, S. E. Holland, K. K. Young, C. Chang, and C. Hu, "Substrate Hot Hole Current and Oxide Breakdown," Appl. Phys. Lett., vol. 49, pp. 669–671 (September 1986).

[13] K. F. Schuegraf and C. Hu, "Hole Injection SiO_2 Breakdown Model for Very Low Voltage Lifetime Extrapolation," IEEE Trans. Electron Devices, vol. 41, pp. 761–767 (May 1994).

[14] E. Y. Wu, J. Aitken, E. Nowak, A. Vayshenker, P. Varekamp, G. Hueckel, J. McKenna, D. Harmon, L.–K. Han, C. Montrose, and R. Dufresne, "Voltage–Dependent Voltage-Acceleration of Oxide Breakdown for Ultra–Thin Oxides," IEDM Tech. Dig., 2000, pp. 54–57, San Francisco, USA (December 2000).

[15] M. Takayanagi, S. Takagi, and Y. Toyoshima, "Experimental Study of Gate Voltage Scaling for TDDB under Direct Tunneling Regime," Proc. Int. Reliab. Phys. Symp., vol. 39, pp. 380–385, Orlando, USA (April 2001).

[16] E. Y. Wu, A. Vayshenker, E. Nowak, J. Suñé, and R.–P. Vollertsen, "Experimental Evidence of T_BD Power–Law for Voltage Dependence of Oxide Breakdown in Ultrathin Gate Oxides," IEEE Trans. Electron Devices, vol. 49, pp. 2244–2253 (December 2002).

[17] B. Kaczer, R. Degraeve, N. Pangon, T. Nigam, and G. Groeseneken, "Investigation of Temperature Acceleration of Thin Oxide Time–to–Breakdown," Microelectron. Eng., vol. 48, pp. 47–50 (September 1999).

[18] B. E. Weir, M. A. Alam, J. D. Bude, P. J. Silverman, A. Ghetti, F. Baumann, P. Diodato, D. Monroe, T. Sorsch, G. L. Timp, Y. Ma, M. M. Brown, A. Hamad, D. Hwang, and P. Mason, "Gate Oxide Reliability Projection to the Sub–2 nm Regime," Semicond. Sci. Technol., vol. 15, pp. 455–461 (May 2000).

[19] E. Y. Wu, D. L. Harmon, and L.–K. Han, "Interrelationship of Voltage and Temperature Dependence of Oxide Breakdown for Ultrathin Oxides," IEEE Electron Device Letters, vol. 23, pp. 362–364 (July 2000).

[20] K. Okada, S. Kawasaki, and Y. Hirofuji, "New Experimental Findings on Stress Induced Leakage Current of Ultra Thin Silicon Dioxides, " ," Ext. Abst. SSDM, pp. 565–567, Yokohama, Japan (August 1994).

[21] M. Depas, T. Nigam, and M. Heyns, "Soft Breakdown of Ultrathin Gate Oxide Layers," IEEE Trans. Electron Devices, vol. 43, pp. 1499–1503 (September 1996).

[22] D. A. Baglee and M. C. Smayling, "The Effects of Write/Erase Cycling on Data Loss in EEPROM's," IEDM Tech. Dig., pp. 624–628, Washington D. C., USA (December 1985).

[23] T. N. Nguyen, P. Olivo, and B. Ricco, "A New Failure Mode of Very Thin ($<$ 50 Å) Thermal SiO_2 Films," Proc. Int. Reliab. Phys. Symp., vol. 25, pp. 66–71, San Diego, USA (April 1987).

[24] P. Olivo, T. N. Nguyen, and B. Ricco, "High–Field–Induced Degradation in Ultra Thin SiO_2 Film," IEEE Trans. Electron Devices, vol. ED–35, pp. 2259–2267 (December 1988).

[25] K. Naruke, S. Taguchi, and M. Wada, "Stress Induced Leakage Current Limiting to Scale Down EEPROM Tunnel Oxide," IEDM Tech. Dig., pp. 424–427, San Francisco, USA (December 1988).

[26] F. Monsieur, E. Vincent, G. Pananakakis, and G. Ghibaudo, "Wear–Out Breakdown Occurrence and Failure Detection in 18–25 ÅUltrathin Oxides," Microelectron. Reliab., vol. 41, pp. 1035–1039 (July 2001).

[27] F. Monsieur, E. Vincent, D. Roy, S. Bruyere, G. Pananakakis, and G. Ghibaudo, "A Thorough Investigation of Progressive Breakdown in Ultra–Thin Oxides: Physical Understanding and Application for Industrial Reliability Assessment," Proc. Int. Reliab. Phys. Symp., vol. 40, pp. 45–54, Dallas, USA (April 2002).

[28] T. Hosoi, S. Uno, Y. Kamakura, and K. Taniguchi, "Voltage Acceleration of Ultra–Thin Gate Oxide Degradation before and after Soft Breakdown," Ext. Abst. SSDM, pp. 696–697, Nagoya, Japan (September 2002).

[29] B. P, Linder, S. Lombardo, J. H. Stathis, A. Vayshenker, and D. J. Frank, "Voltage Dependence of Hard Breakdown Growth and the Reliability Implication in Thin Dielectrics," IEEE Electron Device Letters, vol. 23, pp. 661–663 (November 2002).

[30] T. Hosoi, P. Lo Ré, Y. Kamakura, and K. Taniguchi, "A New Model of Time Evolution of Gate Leakage Current after Soft Breakdown in Ultra–Thin Gate Oxides," IEDM Tech. Dig., pp. 155–158, San Francisco, USA (December 2002).

[31] B. P, Linder, J. H. Stathis, D. J. Frank, S. Lombardo, and A. Vayshenker, "Growth and Scaling of Oxide Conduction after Breakdown," Proc. Int. Reliab. Phys. Symp., vol. 41, pp. 402–405, Dallas, USA (March–April 2003).

[32] F. Monsieur, E. Vincent, G. Ribes, V. Huard, S. Bruyere, D. Roy, G. Pananakakis, and G. Ghibaudo, "Evidence for Defect–Generation–Driven Wear–Out of Breakdown Conduction Path in Ultra Thin Oxides," Proc. Int. Reliab. Phys. Symp., vol. 41, pp. 424–431, Dallas, USA (March–April 2003).

[33] K. Okada and K. Taniguchi, "Electrical Stress–Induced Variable Range Hopping Conduction in Ultra–Thin Silicon Dioxides," Appl. Phys. Lett., vol. 70, pp. 351–353 (January 1997).

[34] M. Houssa, T. Nigam, P. W. Mertens, and M. M. Heyns, "Model for the Current–Voltage Characteristics of Ultrathin Gate Oxides after Soft Breakdown," J. Appl. Phys., vol. 84, pp. 4351–4355 (October 1998).

[35] E. Miranda, J. Suñé, R. Rodríguez, M. Nafría, and X. Aymerich, "A Function–Fit Model for the Soft Breakdown Failure Mode," IEEE Electron Device Letters, vol. 20, pp. 265–267 (June 1999).

[36] S. Ogawa, M. Shimaya, and N. Shiono, "Interface–Trap Generation at Ultrathin SiO_2 (4–6 nm)–Si Interfaces during Negative–Bias Temperature Aging," J. Appl. Phys., vol. 77, pp. 1137–1148 (Feburary 1995).

[37] T. Yamamoto, K. Uwasawa, and T. Mogami, “Bias Temperature Instability in Scaled p^+ Polysilicon Gate p–MOSFETs,” IEEE Trans. Electron Devices, vol. 46, pp. 921–926, (May 1999).

[38] N. Kimizuka, T. Yamamoto, T. Mogami, K. Yamaguchi, K. Imai, and T. Horiuchi, “Impact of Bias Temperature Instability for Direct–Tunneling Ultrathin Gate Oxide on MOSFET Scaling,” Proc. VLSI Tech. Symp., pp. 73–74, Kyoto, Japan (June 1999).

[39] E. Y. Wu, J. H. Stathis, and L. K. Han, “Ultra–Thin Oxide Reliability for ULSI Applications,” Semicond. Sci. Technol., vol. 15, pp. 425–435 (May 2000).

[40] B. E. Weir, P. J. Silverman, D. Monroe, K. S. Krisch, M. A. Alam, G. B. Alers, T. W. Sorsch, G. L. Timp, F. Baumann, C. T. Liu, Y. Ma, and D. Hwang, “Ultra–Thin Gate Dielectrics: They Break Down, but Do They Fail?,” IEDM Tech. Dig., pp. 73–76, Washington D. C., USA (December 1997).

[41] B. P. Linder, J. H. Stathis, R. A. Wachnik, E. Wu, S. A. Cohen, A. Ray, A. Vayshenker: “Gate Oxide Breakdown under Current Limited Constant Voltage Stress,” Proc. VLSI Tech. Symp., pp. 214–215, Hawaii, USA (June 2000).

[42] B. Kaczer, R. Degraeve, M. Rasras, K. V. de Mieroop, P. J. Roussel, and G. Groeseneken, “Impact of MOSFET Gate Oxide Breakdown on Digital Circuit Operation and Reliability,” IEDM Tech. Dig., pp. 553–556, San Francisco, USA (December 2000).

[43] T. Y. Chan, A. T. Wu, P. K. Ko, and C. Hu, “The Impact of Gate–Induced Drain Leakage Current on MOSFET Scaling,” IEDM Tech. Dig., pp. 718–721, Washington D. C., USA (December 1987).

[44] K. Okada, “The Gate Oxide Lifetime Limited by ‘B–mode’ Stress Induced Leakage Current and the Scaling Limit of Silicon Dioxides in Direct Tunneling Regime,” Semicond. Sci. Technol., vol. 15, pp. 478–484 (May 2000).

[45] B. E. Weir, M. A. Alam, P. J. Silverman, F. Baumann, D. Monroe, J. D. Bude, G. L. Timp, A. Hamad, Y. Ma, M. M. Brown, D. Hwang, T. W. Sorsch, A. Ghetti, and G. D. Wilk, “Ultra–Thin Gate Oxide Reliability Projections,” Solid–State Electron., vol. 46, pp. 321–328 (March 2002).

[46] M. A. Alam, R. K. Smith, B. E. Weir, and P. J. Silverman, “Uncorrelated Breakdown of Integrated Circuits,” Nature, vol. 420, p. 378 (November 2002).

[47] M. A. Alam, R. K. Smith, B. E. Weir, and P. J. Silverman, “Statistically Independent Soft Breakdowns Redefine Oxide Reliability Specification,” IEDM Tech. Dig., pp. 151–154, San Francisco, USA (December 2002).

[48] J. Suñé and E. Y. Wu, “Statistics of Successive Breakdown Events for Ultra–Thin Gate Oxides,” IEDM Tech. Dig., pp. 147–150, San Francisco, USA (December 2002).

[49] T. Sakura, H. Utsunomiya, Y. Kamakura, and K. Taniguchi, “A Detailed Study of Soft– and Pre–Soft–Breakdowns in Small Geometry MOS Structures,” IEDM Tech. Dig., pp. 183–186, San Francisco, USA (December 1998).

[50] A. Cacciato, S. Evseev, and H. Valk, "Evolution from Soft to Hard Breakdown in Thin Gate Oxides: Effect of Oxide Thickness, Capacitor Area and Stress Current," Solid–State Electron., vol. 45, pp. 1339–1344 (August 2001).

[51] M. A. Alam, B. E. Weir, and P. J. Silverman, "A Study of Soft and Hard Breakdown—-part II: Principles of Area, Thickness, and Voltage Scaling," IEEE Trans. Electron Devices, vol. 49, pp. 239–246 (Feburary 2002).

第2章　Soft Breakdown後ゲートリーク電流の時間発展

2.1　はじめに

ゲート酸化膜の絶縁破壊はLSIの信頼性を大きく左右するため，MOSFETが実現した1960年代から現在に至るまで多くの研究がなされてきたが，酸化膜が壊れる原因すら未だ明らかとなっていない．従来なされてきた提案の多くは，局所領域において何らかの原因により内部電界が増大することによって絶縁破壊が発生すると考えている．その主原因としては，電子トラップ及びホールトラップが挙げられ，それぞれ酸化膜中にトラップされた電子及びホールの総量が臨界値に達した時点で絶縁破壊が発生するとされている．絶縁破壊に至るまでの機構として，電気的ストレスによって酸化膜中に電気的に中性な点欠陥 (中性電子トラップ) がランダムに生成され，これらの欠陥を中心とする一定の大きさの球が図2.1に示したように，酸化膜の一方の界面から他方の界面までつながったときに絶縁破壊が発生すると考えるパーコレーションモデル [1, 2] が，絶縁破壊統計などの実験結果をよく説明できるとして広く受け入れられている．欠陥生成機構としては，酸化膜中に注入されるホールが起源であるという説と，水素が関係しているとする説とに大別される．また，酸化膜の絶縁破壊時間 (Time–to–Breakdown : t_{BD}) の電界加速モデルとしては，酸化膜電界の指数関数で表わされる E モデル [3–6]，酸化膜電界の逆数の指数関数で表わされる $1/E$ モデル [7–9]，印加電圧のべき乗で表わされる Power–law モデル [10–12] が提案されている．しかし，それぞれ低電界域に外挿した絶縁破壊時間に大きな差があることから，物理的メカニズムの解明と併せて

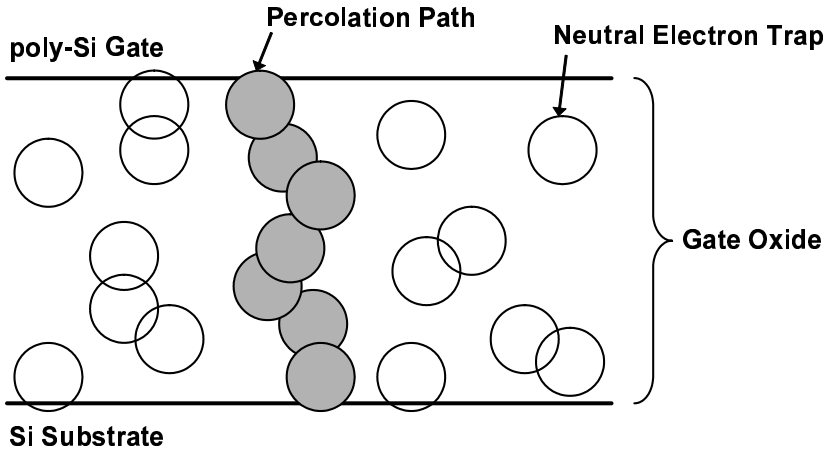


図 2.1: パーコレーションモデル [1, 2] の模式図．電気的ストレスにより酸化膜中にランダムに発生する欠陥 (中性電子トラップ) が一方の界面から他方の界面までをつないだときに絶縁破壊が起きる．

様々な議論がなされている．これらに関しては付録 A にまとめている．

一方で，従来の厚膜では絶縁破壊時に急峻で大幅なゲートリーク電流増加を示していたが，LSI の世代が進み，ゲート酸化膜が 5 nm 以下と極めて薄くなると，時間的に緩やかでかつ増加幅の小さい絶縁破壊破壊モードが観測されるようになった．前者は完全絶縁破壊 (Hard Breakdown : HBD) ，後者は擬似絶縁破壊 (Soft Breakdown : SBD) [13, 14] と呼ばれる．ゲート酸化膜厚が薄く，そしてゲート電圧が低くなるほど，HBD よりも SBD が生起する確率が高くなることが実験的に明らかとなっており [15–19]，極薄ゲート酸化膜において生起する絶縁破壊はほぼ全てが SBD である．それゆえ，現在そして将来の LSI に関しては，SBD を対象とした信頼性議論が必要となる．

本章では，SBD 後のゲートリーク電流が時間的に緩やかに増加することに注目し，時間に対するゲートリーク電流増加の定量的な見積もりを行うために，その電圧依存性及び温度依存性に関する実験結果を述べる．まず，2.2 節で，SBD に注目して実験を行う上で HBD と SBD を区別する必要があるため，それぞれの特徴について解説する．2.3 節では，SBD 後のゲートリーク電流増加が局所的なリークパスの拡大により引き起こされていることを確認した上で，SBD 後ゲートリーク電流の時間発展特性及びその電圧依存性についての実験結果を述べる．また，実験結果を基にして SBD 後ゲートリーク電流の時間発展の定式化を行う．続いて，2.4 節で，電圧と並び代表的な酸化膜劣化加速因子である温度をパラメータとした実験を行い，SBD 後ゲートリーク電流の時間発展の温度依存性について報告する．そして最後に 2.5 節にてまとめとする．

2.2　Hard Breakdown と Soft Breakdown

図 2.2 に，ゲート酸化膜厚 5 nm の n^+ poly–Si ゲート pMOSFET で観測された HBD 及び SBD 後の電流–電圧特性を示す．SBD と HBD の違いを決定づける物理的指標は見出されていないが，5 nm 程度の膜厚であれば破壊後のゲートリーク電流量が明らかに異なるため，経験的に見分けることができる．しかし，図 2.3 に示すように，ゲート酸化膜厚が薄くなると SBD 後ゲートリーク電流が増大し，HBD 後ゲートリーク電流量との差が小さくなっていることから，両者を区別するためには破壊後の電流量の大きさだけでは充分ではない．SBD 後ゲートリーク電流に注目する本研究では，より明確に区別する必要があるので，本節で HBD と SBD の特徴を概説し，区別のための指標を述べる．

SBD あるいは HBD に至るまでの機構は基本的に同じであることが，経時絶縁破壊 (Time–Dependent Dielectric Breakdown : TDDB) 試験において SBD 時間 (Time–to–SBD : t_{SBD}) のみがゲート面積依存性を示すこと [20]，SBD 前後でストレス電界を変化させたとき HBD 時間 (Time–to–HBD : t_{HBD}) は変化後のストレス条件にのみ依存すること [21]，などから推定されている．また，SBD 後もストレスを印加し続けると HBD が発生することも知られている．図 2.4 に，酸化膜厚 2.8 nm の n^+ poly–Si ゲート pMOS キャパシタに対して定電圧ストレス TDDB 試験を行った際のゲートリーク電流の経時変化を示す．破壊後のリーク電流が，HBD の場合は一定値であるのに対し，SBD の場合はノイズが見られることが報告 [14, 22, 23] されている．また，破壊後の酸化膜が示す電流–電圧特性が，HBD の場合はオーミックな比例関係を示すのに対し，SBD の場合はべき乗則に従うことが報告されている [24–26]．図 2.3 に示した HBD，SBD それぞれの電流–電圧特性も，このことを裏付けている．図 2.3 は log プロットなのでわかり難いが，後述の第 5 章 5.2 節中の図 5.3 により明瞭に示されているので参照されたい．

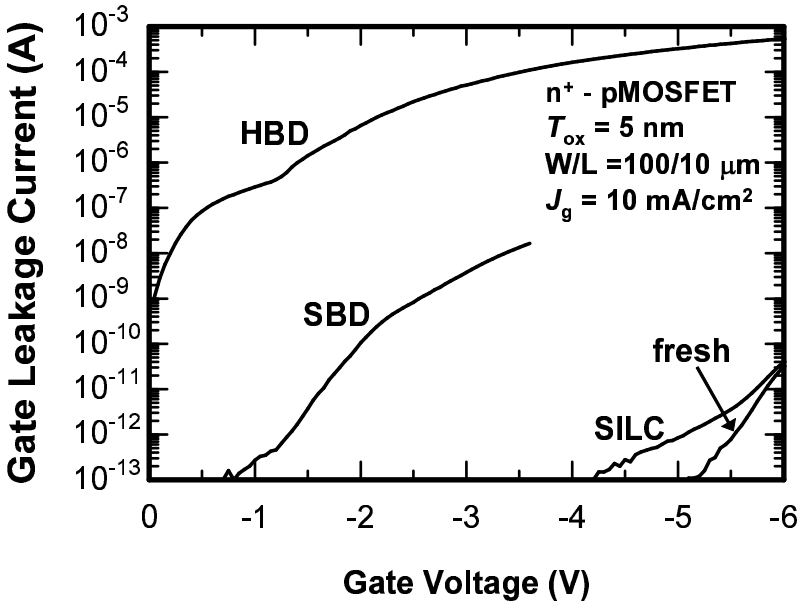


図 2.2: 酸化膜厚 5 nm の n^+ poly–Si ゲート pMOSFET で観測された HBD 及び SBD 後の電流–電圧特性.

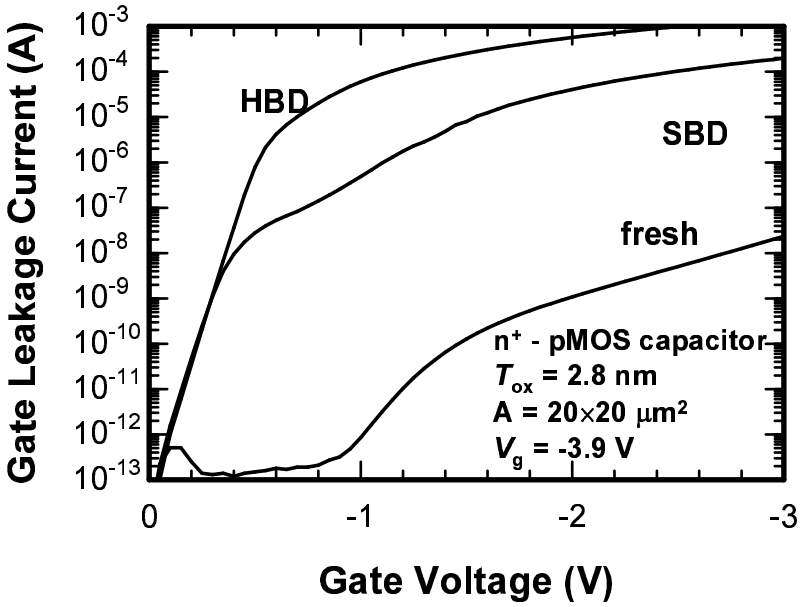


図 2.3: 酸化膜厚 2.8 nm の n^+ poly–Si ゲート pMOS キャパシタで観測された HBD と SBD の電流–電圧特性.

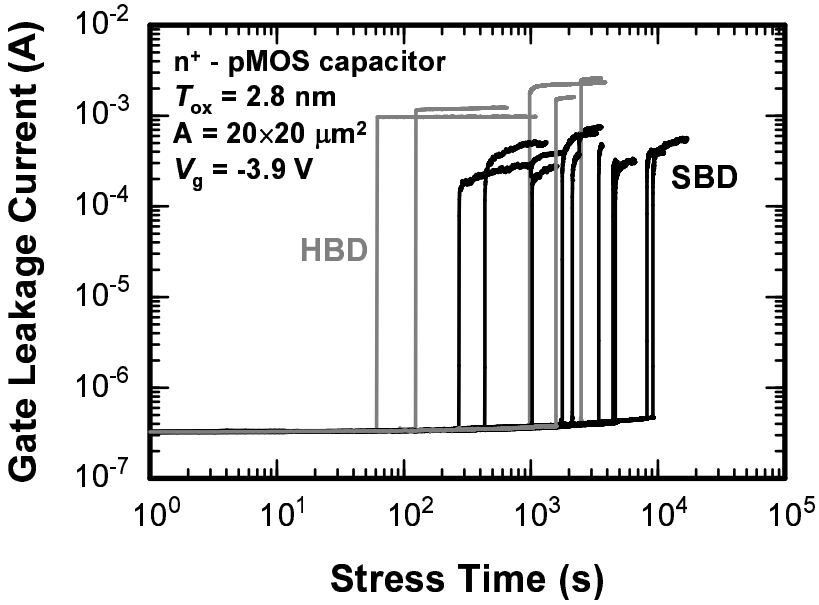


図 2.4: ゲート酸化膜 2.8 nm の pMOS キャパシタの定電圧ストレス試験結果．Hard Breakdown (グレー) と Soft Breakdown (黒) の 2 種類の破壊モードが見られる．

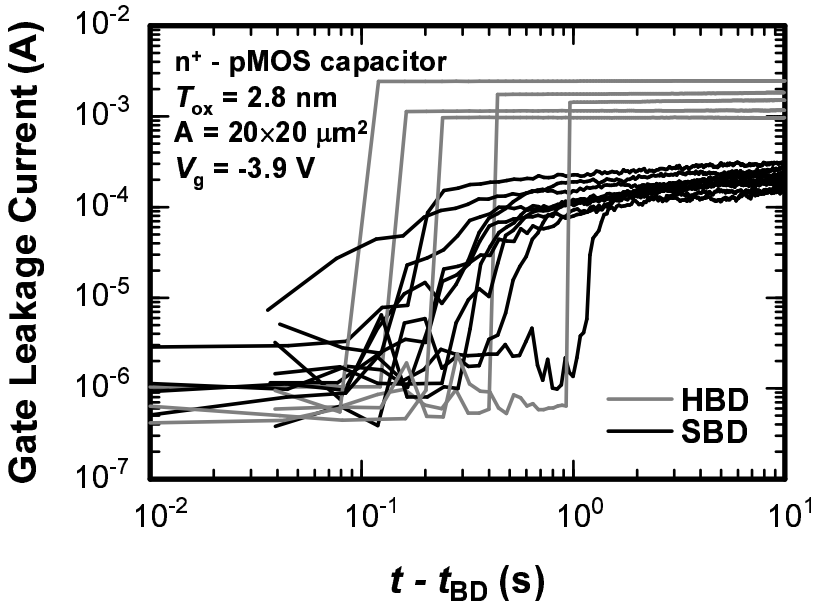


図 2.5: 絶縁破壊後のゲートリーク電流の時間変化．急峻な立ち上がり (< 40 msec) を示す HBD に対し，SBD は時間的に緩やかに増加している．

本研究では，絶縁破壊直後のゲートリーク電流の立ち上がりに注目する．図 2.4 の実験結果を破壊後の時間に対して再プロットしたものを図 2.5 に示す．HBD の場合，サンプリングレートの 40 msec 以下の時間でリーク電流が飽和しているのに対して，SBD の場合は時間的に緩やかに増加している．このことも HBD と SBD を分ける決定的な違いであると考えられる．SBD に関する他の研究報告においても，酸化膜厚 2 nm 以下の極薄膜で SBD 後のゲートリーク電流は緩やかに増加している [27]．それに対して，酸化膜厚が 3 nm や 5.6 nm で観測される HBD の場合は，絶縁破壊が起こってからゲートリーク電流が飽和するまでの時間が 10 μsec と極めて短い [28]．絶縁破壊発生時にリークパスに集中するエネルギーがあるしきい値を超えると HBD となり，それよりも小さいと SBD となる，とする報告もある [29]．これらのことは，HBD と SBD とでは絶縁破壊発生後の劣化モードが異なることを示唆しており，本研究の測定では，瞬間的にゲートリーク電流が増加・飽和したものは HBD として除外している．

2.3 Soft Breakdown 後ゲートリーク電流の時間発展の解析

MOS キャパシタに対して定電圧ストレス TDDB 試験を行い，SBD 後長時間にわたってゲートリーク電流を測定することで，SBD 後のゲートリーク電流の時間発展特性を調べた．試料には n^+ poly–Si ゲート pMOS キャパシタを用い，ゲート絶縁膜は 2.8，2.1 nm の酸化膜と 1.5 nm の酸窒化膜の計 3 種類について測定した．このような極薄膜では直接トンネル効果によるゲートリーク電流は不可避であり，10^{-4} A 以上の大電流がバックグラウンドに流れると SBD の検出が困難となるため，ゲート面積 1×1，5×5，20×20 μm^2 の試料を用いて直接トンネル電流を抑えている．なお，本節における測定は全て室温で行った．

2.3.1 Soft Breakdown の局所性の検証

同一の MOS デバイス内で複数回の SBD (multiple SBD) が起こり [13,30–32]，ゲートリーク電流が徐々に増えてゆくと考える向きもあるが，本研究ではゲートリーク電流の増加は最初の SBD によって生じたリークパスの拡大・成長に起因していると考えている．図 2.6 に示すように，面積の異なる pMOS キャパシタ (1.5 nm SiON) に対する定電圧ストレス TDDB 試験結果から，SBD が起こるまでのゲートリーク電流量はゲート面積に依存しているのに対して，SBD 後のリーク電流の飽和値はゲート面積に関係なくほぼ同程度となっている．また，SBD 後の時間に対して再プロットした図 2.7 から，SBD 後のゲートリーク電流増加はゲート面積に依存しない関数で表わされることが予想される． もし SBD 後のリーク電流増加が複数回の SBD によって引き起こされたものだとすると，1 回の SBD が起こるまでの時間はゲート面積によってスケーリングされることから，同一時間スケールではゲート面積が大きい方が確率的に SBD 回数が多くなる．その場合，ゲートリーク電流増加の挙動及びリーク電流の飽和値はゲート面積依存性を示すはずであるが，図 2.6，2.7 に示した実験結果はそのようなゲート面積依存性を示していない．このことから，SBD 後のゲートリーク電流は局所的な 1 つのリークスポットを介して流れる電流が次第に増えていることが分かる．

実際，図 2.8 に示した発光顕微鏡 (Light Emission Microscopy : LEM) による観察で，1 つの破壊箇所が大きくなり，そこを流れる電流が時間と共に増大していく様子が見て取れる [33]．また，導電性原子間力顕微鏡 (Conductive Atomic Force Microscopy : C–AFM) による観察でも同様の結果が得られている [34]．以上のことから，SBD 後のゲートリーク電流の時間発

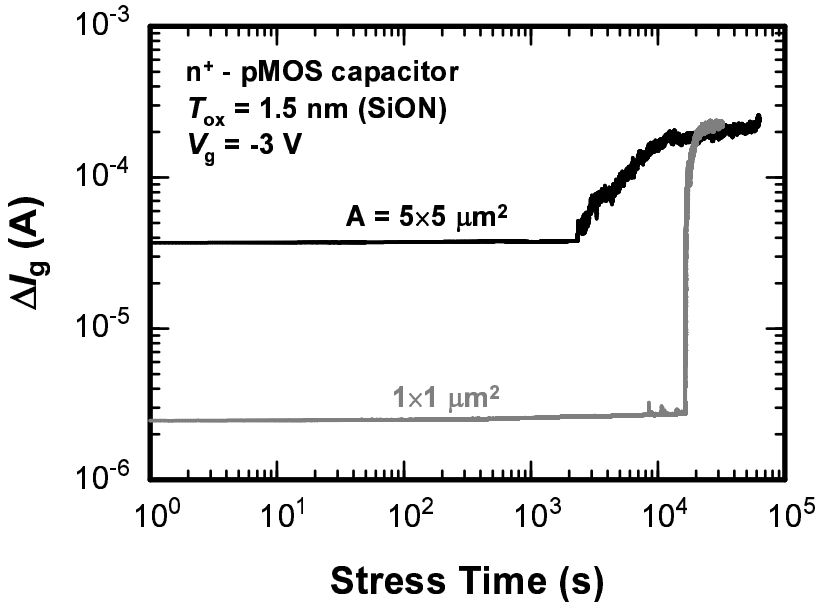


図 2.6: 異なるゲート面積の pMOS キャパシタ (ゲート絶縁膜 1.5 nm SiON) に対する TDDB 試験結果

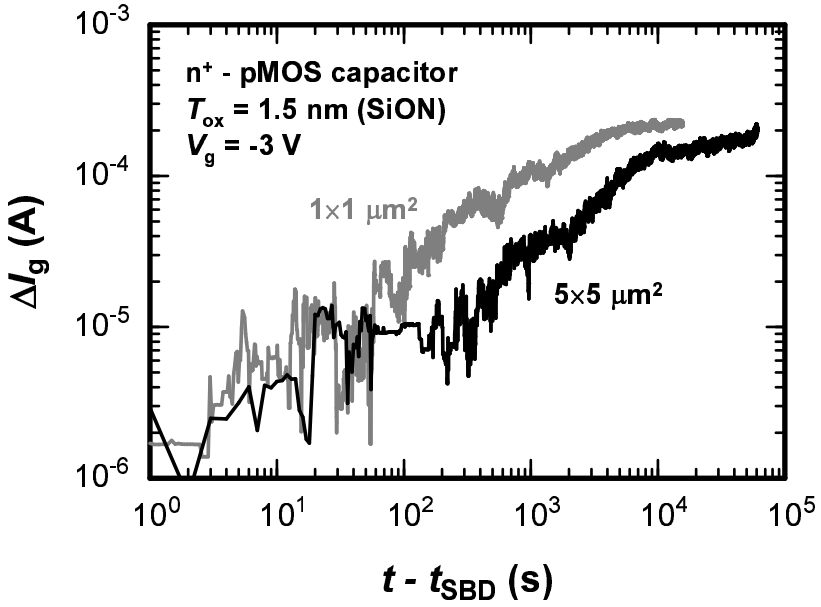
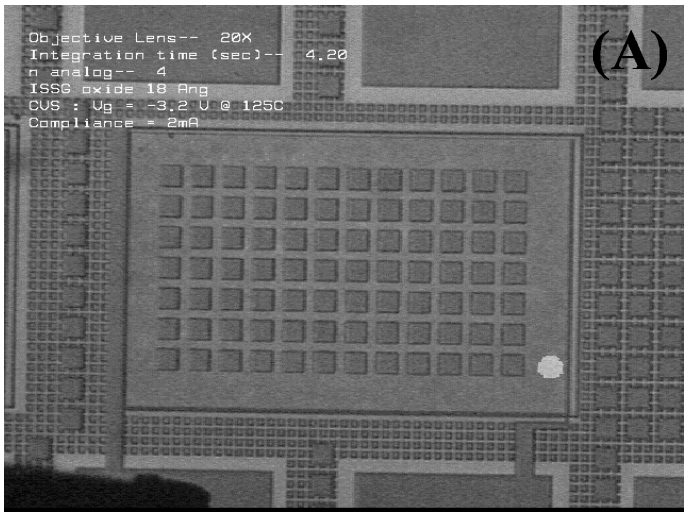
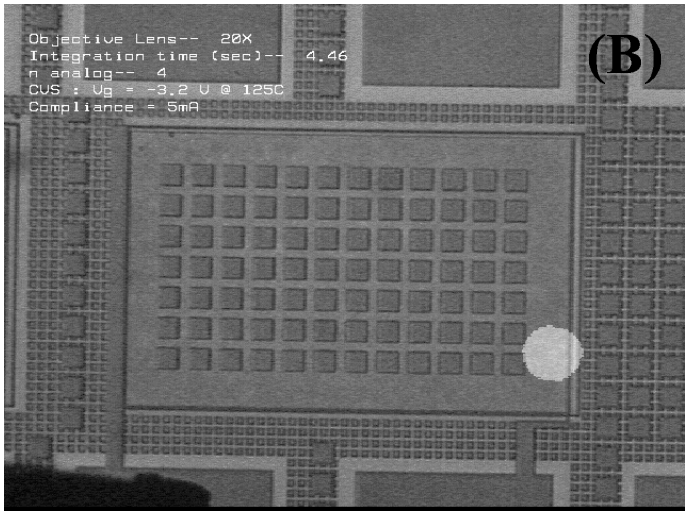


図 2.7: SBD 後のゲートリーク電流の増加

Objective Lens-- 20%
Integration time (sec)-- 4.20
n analog– 4
ISSG oxide 18 Ang
CVS : Vg = -3.2 V @ 125C
Compliance = 2 mA



Objective Lens-- 20%
Integration time (sec)-- 4.20
n analog-- 4
CVS : Vg = -3.2 V @ 125C
Compliance = 5 mA



Objective Lens-- 20%
Integration time (sec)-- 13.26
n analog-- 4
After I-V : -10<Vg<0

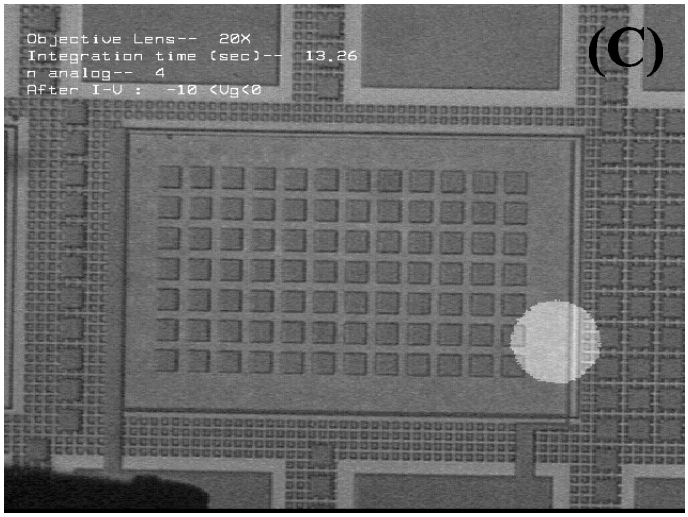


図 2.8: 発光顕微鏡 (Light Emission Microscopy : LEM) によって観測された定電圧ストレス下での SBD の様子 [33]. (A) SBD 直後, (B) 100 秒後, (C) HBD 後.

展を調べることにより，ゲート酸化膜の SBD 後の劣化，すなわちリークパスの成長についての知見を得ることが可能であると言える．

2.3.2　Soft Breakdown 後ゲートリーク電流の時間発展特性

図 2.9 に酸化膜厚 1.5 nm の酸窒化膜に対して行った定電圧ストレス TDDB 試験結果を示す．いずれのゲート電圧条件下においても SBD 発生後のゲートリーク電流は漸増し，次第に飽和していく様子が見て取れる．t_{SBD} はストレス電圧が低いほど長くなっており，t_{SBD} は印加電圧に強く依存している．一方，飽和に至るまでの時間は，−3.8 V で数秒であるのに対して，−2.9 V においては数千秒である．また，−3.3 V と −3.5 V で比較すると，t_{SBD} はほぼ同じであるが，リーク電流が飽和するまでの時間は明らかに −3.3 V の方が長くなっている．このように SBD 後のゲートリーク電流の増加速度も電圧によって加速されていることから，SBD 後のリークパスの成長に要する時間もまたストレス電圧に依存していると考えられる．

$V_{\mathrm{g}} = -2.8$ V の定電圧ストレス TDDB 試験下において測定された 1.5 nm の酸窒化膜の $I-V$ 特性の経時変化を図 2.10 に示す．導電率が SBD 直後に大幅に上昇し，SBD 発生から 50 秒後，4,000 秒後，10,000 秒後とストレス時間が長くなると共に電流は徐々に上昇している．このことからも，リークパスの拡大・成長は緩やかに進行していることが分かる．また，SBD 直後とリークパスが充分成長した時点 (10,000 秒後) での導電率を比較すると，$V_{\mathrm{g}}= -2$ V 前後の高ストレス電圧下では，両者の差が約 10 倍であるのに対し，$V_{\mathrm{g}}= -1$ V 前後の低電圧領域においては，100 倍以上と顕著な違いがある．実際のデバイス動作電圧はこの低電圧領域であることを考えると，SBD が MOSFET の機能に及ぼす影響は大きいと考えられる．

SBD 後のゲートリーク電流の時間変化に注目するために，図 2.9 における t_{SBD} を電流値に 10 %の増加が見られた瞬間と定義し，それぞれの時間から t_{SBD} を差し引いたものを図 2.11 に示す．また，縦軸には，SBD 以前から流れているダイレクトトンネル電流を差し引いた正味の電流増加量 ΔI_{g} をプロットしている． この図より，以下の 3 つの特徴が見て取れる．

1. SBD 発生後，初期のゲートリーク電流の時間発展は，SBD 後の時間 $(t - t_{\mathrm{SBD}})$ に対して log–log プロットで線形である．
2. その傾きは電圧に依存しない．
3. 電圧が低いほど，直線は右に平行移動する．

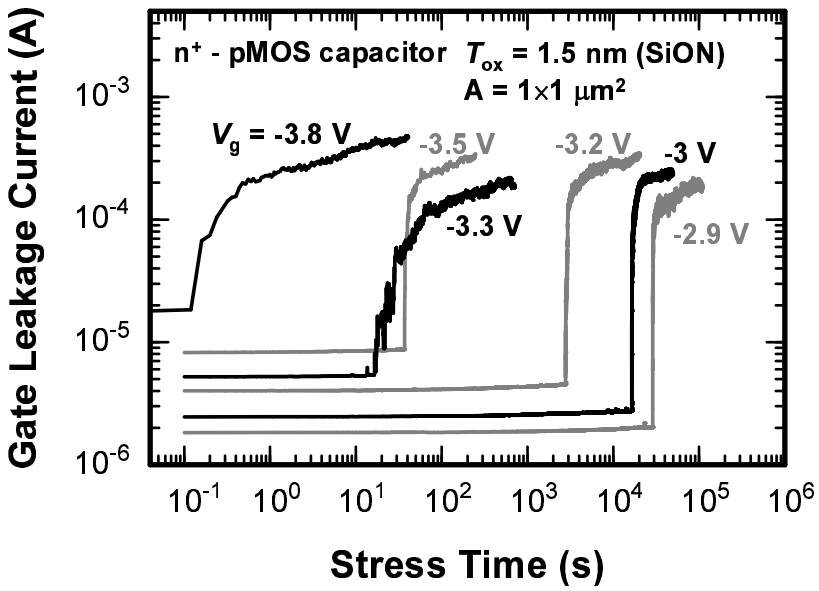


図 2.9: pMOS キャパシタ (ゲート絶縁膜 1.5 nm SiON) に対し，幅広いストレス電圧で行った定電圧ストレス TDDB 試験結果.

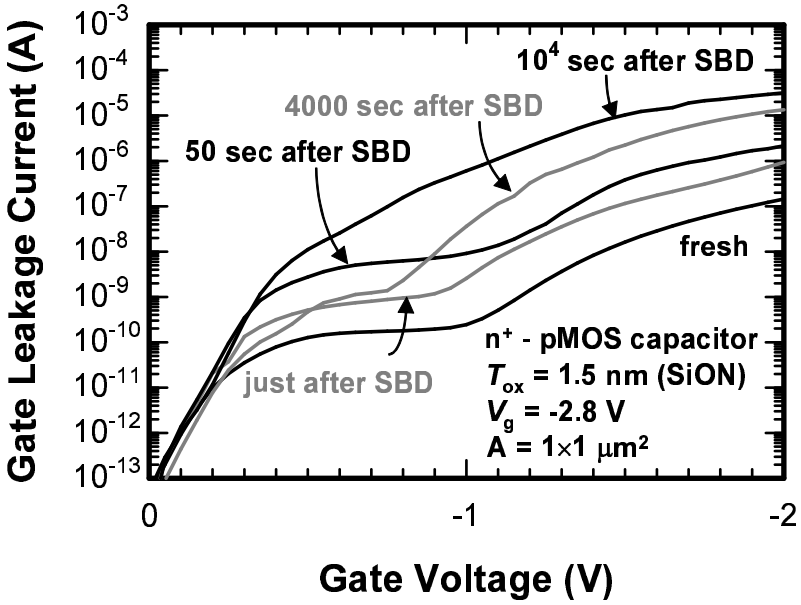


図 2.10: 定電圧ストレス試験で測定された SBD 後の酸化膜絶縁性 ($I-V$ 特性) の経時変化. 時間と共に次第に絶縁性が劣化している.

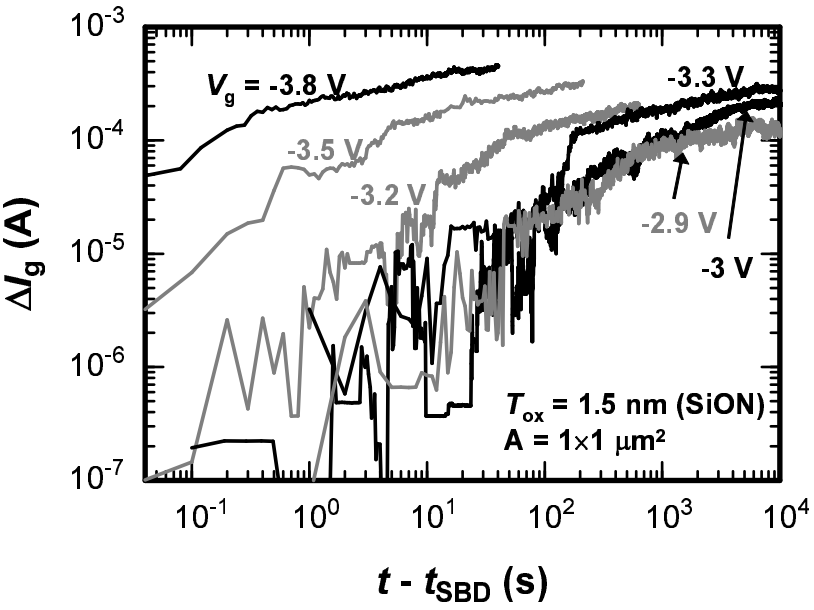


図 2.11: SBD 後のゲートリーク電流の時間変化．リーク電流の増加量は時間に対して線形で，その傾きは電圧に依存していないが，電圧が低いほど直線が x 軸方向に平行移動している．

2.3.3　ストレス中断法による低電圧条件下での評価

SBD 後の劣化について調べる際，通常の TDDB 試験では SBD が起こるまでに長時間を要する低電圧領域において，測定時間短縮のためストレス中断法 (Two–Stage Stress 法) を用いた [35]．その実験の概念図を図 2.12 に示す．一般の定電圧ストレス TDDB 試験では，SBD 後もそれまでと同じストレス電圧下でゲートリーク電流を測定し続けるのに対し，ストレス中断法では，まず最初に高ストレス電圧で SBD を起こし，SBD 後すぐに低ストレス電圧に切り替えて低電圧領域における劣化を抽出するものである．この手法は，SBD を生起するのに数日以上の時間を要するような非常に低いストレス電圧条件において効果的である．

図 2.13 に，$V_g = -3.5$ V のストレスで SBD を生起し， リーク電流が 2 倍増加した時点でストレスを中断し，再度 $V_g = -3.5$ V のストレスを再開した結果を示す．ストレス再開後のゲートリーク電流を，SBD 時間 t_{SBD}(= 8.6 秒) を加算した時間に対してプロットすると，ストレス中断前のゲートリーク電流と連続しており，一般的な定電圧ストレス TDDB 試験結果と同様の挙動を示している．また，図 2.14 にストレス中断法による測定結果と通常の TDDB 試験結果の比較を示す．いずれも SBD 後のゲートリーク電流の挙動についてのみを示している．ストレス中断法においては，ゲートリーク電流が初期値 (バックグラウンド電流) の 2 倍に達した時点で一旦ストレス (−3.5 V) を中断し，その後電圧を −3 V に切り替えてストレスを再開した．いずれの測定結果もほぼ同じ挙動を示していることから，ストレスの中断がリークパス成長に何ら影響を与えていないことが分かる．すなわち，絶縁破壊生起時に形成されるリークパスは，ストレス電圧に関係なく物理的に同一のものであり，その導電率はリークパスの成長度 (ストレス印加時間とストレス電圧に依存) によって決定されると考えら

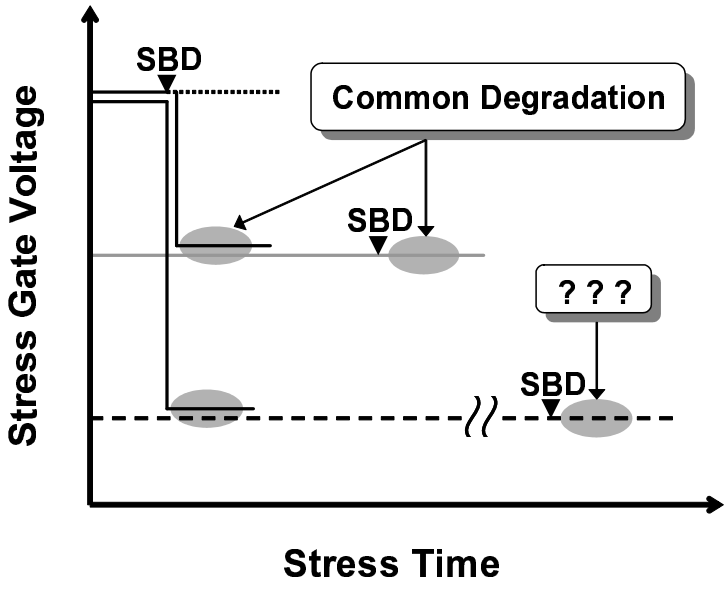


図 2.12: ストレス中断法の概念図.

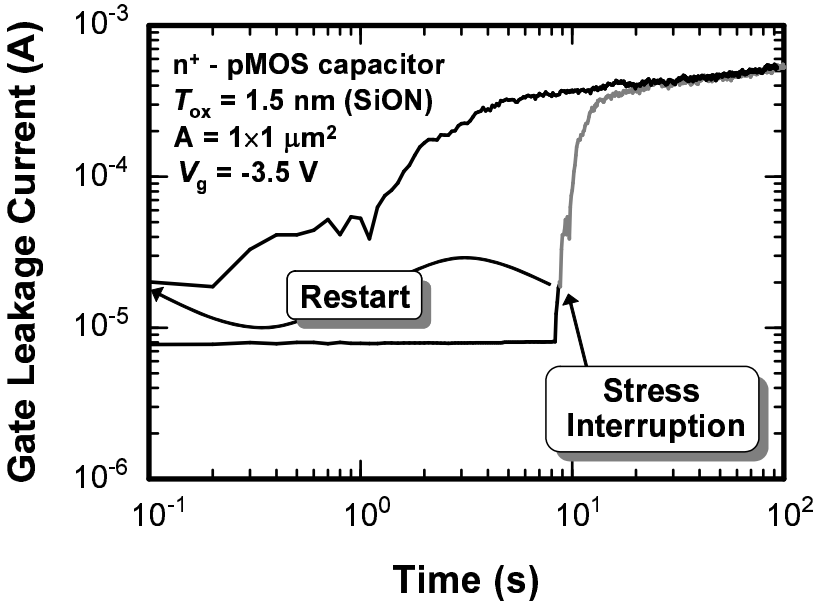


図 2.13: $V_g = -3.5$ V で SBD を生起し，ストレスを一度中断した後，再度 $V_g = -3.5$ V のストレスを再開したときのゲートリーク電流の経時変化．ストレス再開後のゲートリーク電流を，SBD 時間 $t_{SBD} = 8.6$ 秒を加算した時間に対してプロットすると (グレー)，ストレス中断前のゲートリーク電流と連続している．

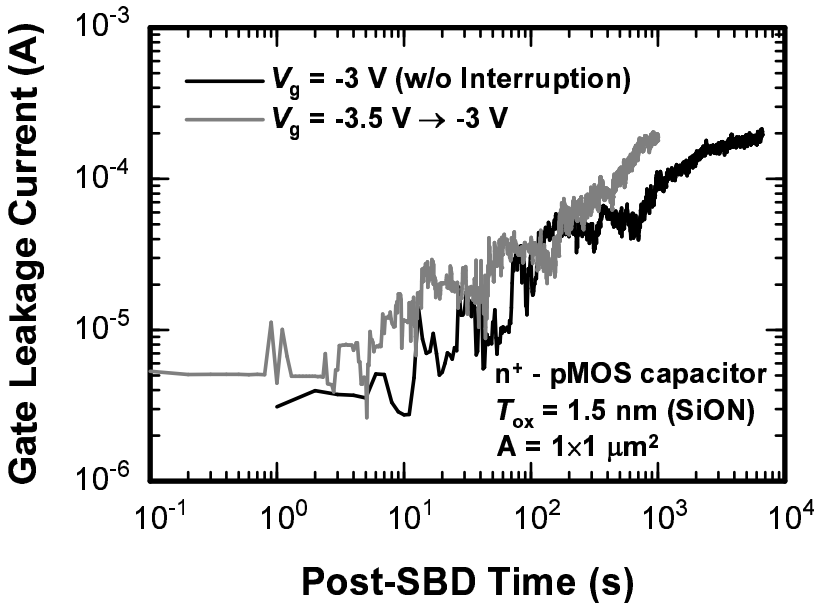


図 2.14: V_g= −3 V での SBD 後ゲートリーク電流増加の様子．ストレス中断法 (V_g= −3.5 V で SBD を生起) による測定は，通常の定電圧 TDDB 試験とほぼ同一の挙動を示している．

れる．

図 2.15 に，1.5nm の酸窒化膜，2.1nm の酸化膜においてストレス中断法を用いて測定した SBD 後ゲートリーク電流増加を示す．SBD を生起する電圧は 1.5nm の酸窒化膜で V_g= −3.5 V，2.1nm の酸化膜で V_g= −3.8 V とし，いずれの絶縁膜においても，SBD 後のゲートリーク電流が SBD 前の電流値の 2 倍に達した時点でストレスを中断することにより，リークパスが同程度に成長した状態からのゲートリーク電流の増加を測定した．ここでも 2.3.2 項で述べた 3 つの特徴が見て取れる．直線で表わされる電流増加の傾き α は，T_{ox}= 1.5 nm では ∼ 0.7 ， T_{ox}= 2.1 nm では ∼ 1.0 であった．また，第 3 章で測定した T_{ox}= 2.8 nm の pMOS キャパシタでは α =∼ 2 と非常に大きな値になった．α が大きいことは，SBD 後のゲートリーク電流が急峻に増えることを意味しており，そのため厚い酸化膜での SBD は瞬時の破壊現象のように見える．酸化膜が 2 nm 以下になってようやく絶縁破壊後の後ゲートリーク電流の漸増現象が表面化してきたこと [27] や，5 nm 前後の酸化膜で SBD が発見された当初，HBD 同様瞬時の破壊現象だと見なされていた経緯から考えても，α は本質的に酸化膜厚に依存していると考えられる．

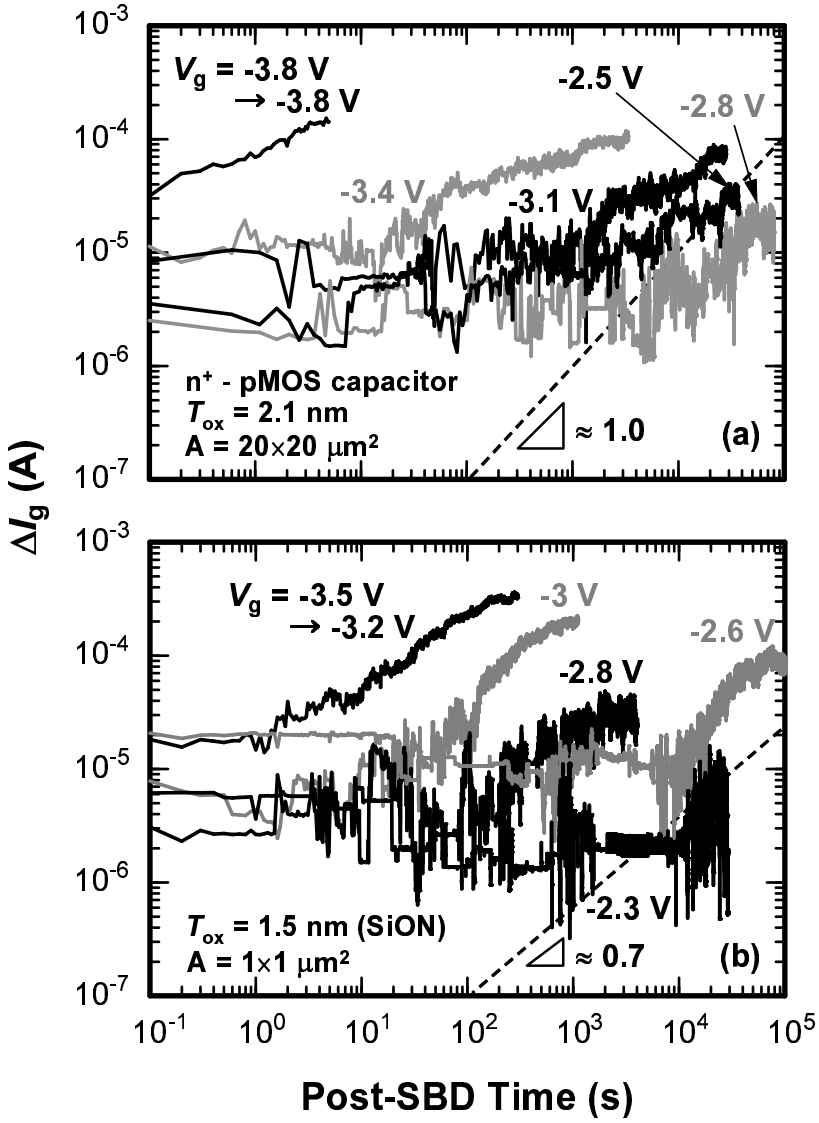


図 2.15: ストレス中断法を用いて測定された低ストレス電圧での SBD 後のゲートリーク電流の時間変化．ゲートリーク電流増加の直線部分の傾き α は，(a) 2.1 nm SiO_2 の場合 $\sim$ 1.0, (b) 1.5 nm SiON の場合 $\sim$ 0.7.

2.3.4　ゲートリーク電流増加の電圧加速特性の解析

図 2.16 に，SBD 後ゲートリーク電流の時間発展の模式図を示す．log–log プロットにおける傾き α の直線が，ゲート電圧が低いほど右に平行移動していることは，リークパスの成長に要する時間が長くなっていることを意味している．リークパスが 3 倍成長するのに要する時間，すなわちゲートリーク電流が初期値の 3 倍に達した時点を $t_{\mathrm{post-SBD}}$ と定義し，測定結果から様々な V_{g} に対する $t_{\mathrm{post-SBD}}$ を求め，t_{SBD} と共に図 2.17 にプロットした．$\log(t_{\mathrm{post-SBD}})$ は V_{g} に対して線形となっており，電圧が低くなるほど，ゲートリーク電流の増加は指数関数的に遅くなることが分かる．以降，$\log(t_{\mathrm{post-SBD}}) - V_{\mathrm{g}}$ プロットの傾きを電圧加速係数と呼ぶ．同電圧で測定したデータでも，2 dec. 程度のばらつきはあるが，これは SBD 直後のリークパスの形状が各測定で一様となっていないことに起因したものだと考えられる．一方，$\log(t_{\mathrm{SBD}})$ もまた，電圧が低いほど大きくなっている．t_{SBD} のゲート電圧依存性については，2.1 節で述べたように E モデル，$1/E$ モデル，power–law モデルが提案されている．室温条件での加速試験で用いられるような高いストレス電圧域では，$1/E$ モデル及び power–law モデルのいずれも，E モデルのように $\log(t_{\mathrm{SBD}})$ が V_{g} に対してほぼ線形となる (付録 A 参照)．よって，$\log(t_{\mathrm{SBD}})$ と $\log(t_{\mathrm{post-SBD}})$ のどちらもが V_{g} に対して線形であると考え，それぞれの電圧加速係数を γ，γ' とする．1.5 nm の酸窒化膜，2.1 nm の酸化膜いずれにおいても，SBD までの劣化 (t_{SBD}) の電圧加速係数は $\gamma = 5.5$ dec./V，SBD 後のリークパスの成長 ($t_{\mathrm{post-SBD}}$) の電圧加速係数は $\gamma' = 4.4$ dec./V とほぼ等しくなっている．t_{SBD} と $t_{\mathrm{post-SBD}}$ で電圧加速係数が近い値となっていることから，SBD 前後で酸化膜劣化の物理的起源は同一である可能性がある．

2.1 節で述べたように，絶縁破壊に至るまでの酸化膜劣化モデルとしては，酸化膜中にランダムに生成されたトラップがゲート側と基板側の界面をつないだときに絶縁破壊が起きるパーコレーションモデル [1,2] が広く受け入れられている． また，Degraeve らは，絶縁破壊

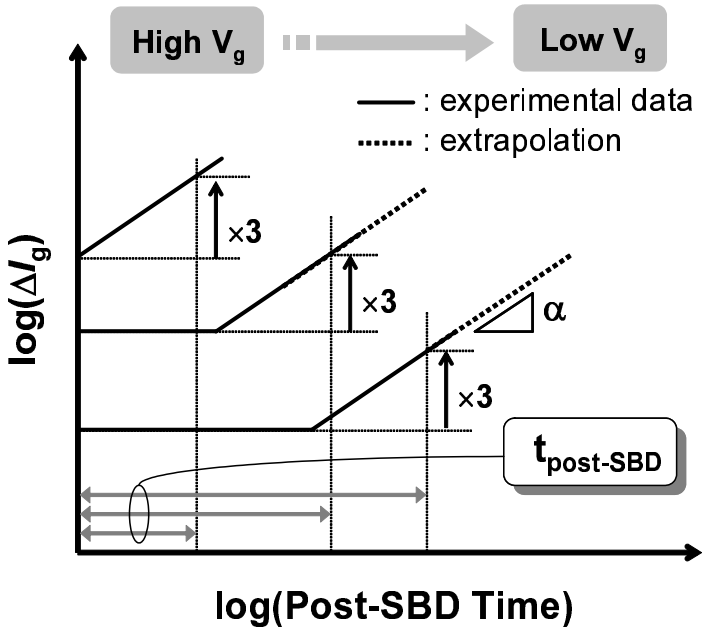


図 2.16: SBD 後のゲートリーク電流の時間変化の模式図．ストレス再開時のリーク電流の 3 倍に達するまでの時間を，リークパス成長に要する時間 $t_{\mathrm{post-SBD}}$ と定義する．

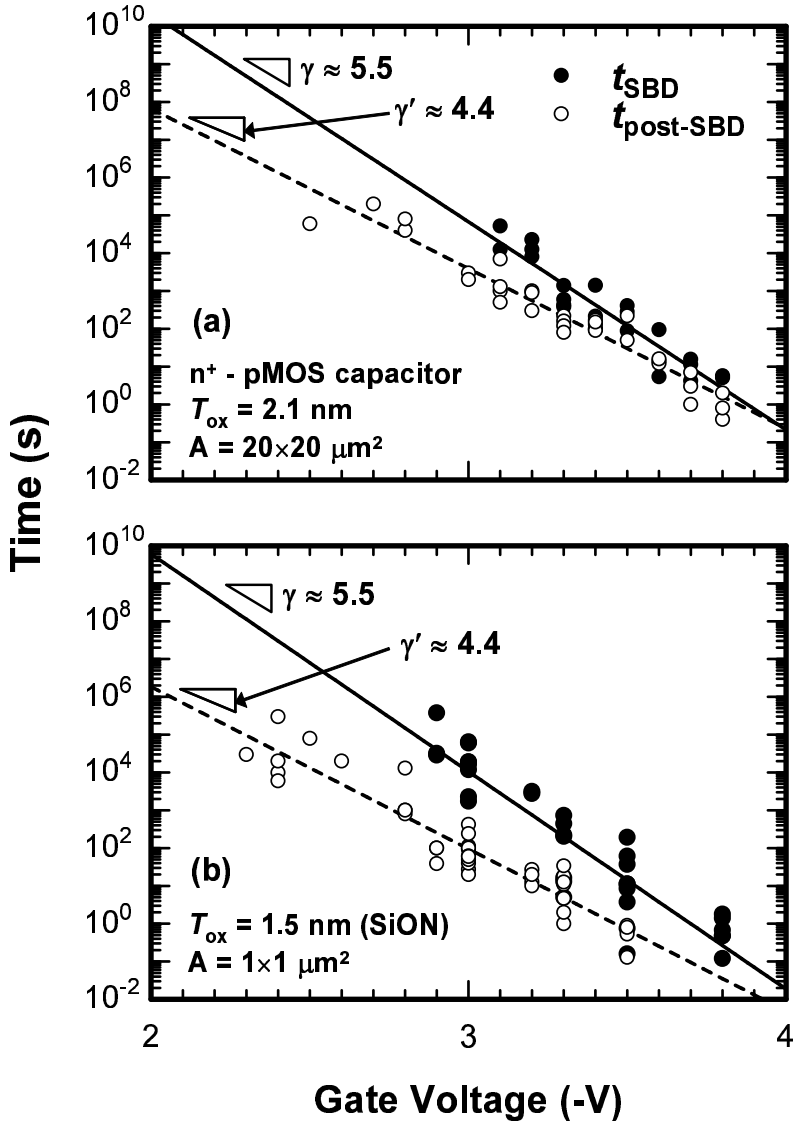


図 2.17: SBD 時間 $t_{\mathrm{SBD}}(\bullet)$ と SBD 後のリークパス成長に要する時間 $t_{\mathrm{post-SBD}}(\circ)$ の電圧加速特性．(a) 1.5nm SiON，(b) 2.1nm SiO_2.

前の酸化膜中のトラップ生成速度は，時間の 0.56 乗に依存することを報告している [1]．一方で，Hu らは注入ホットキャリアによる界面トラップ生成速度は，時間の平方根の関数として表わされることを拡散律速反応方程式から導き出した [36]．Ogawa らも拡散律速モデルを基にして，負電圧・高温ストレス条件 (Negative Bias Temperature : NBT) における界面トラップ生成速度が時間の 0.25 乗に依存することを報告している [37]．本研究で得られた 2 つの事実，SBD 後のゲートリーク電流の時間発展がべき乗則に従うこと，SBD 前後で酸化膜劣化の電圧加速が似ていることを考えると，リークパスの形成過程だけでなく成長過程もトラップ生成に支配されていると考えられる．Pey らは，透過電子顕微鏡 (Transmission Electron Microscopy : TEM) 観察により，SBD 時にリークパス周辺で Si 基板の酸化膜方向へのエピ

タキシャル成長 (Dielectric Breakdown Induced Epitaxy : DBIE) が起きていることを報告している [38]．これは SBD 時のリークパスで消費されるエネルギーが原因と考えられている．すなわち，図 2.18 に示すように，局所的な酸化膜の薄膜化のために起きる電界集中・温度上昇によりトラップ生成が促進され，第 2，第 3 のリークパスが近接した箇所に形成されるとするモデルを提案している．ここで言う第 2，第 3 のリークパス形成とは，multiple SBD を意味しない．なぜなら，multiple SBD における 2 回目，3 回目の SBD は 1 回目の SBD 発生場所とは独立であることが報告されているからである [30]．従って，このモデルはリークパス成長がトラップ生成に支配されているという推測と一致することから，リークパス成長の物理モデルとして有力な候補である．

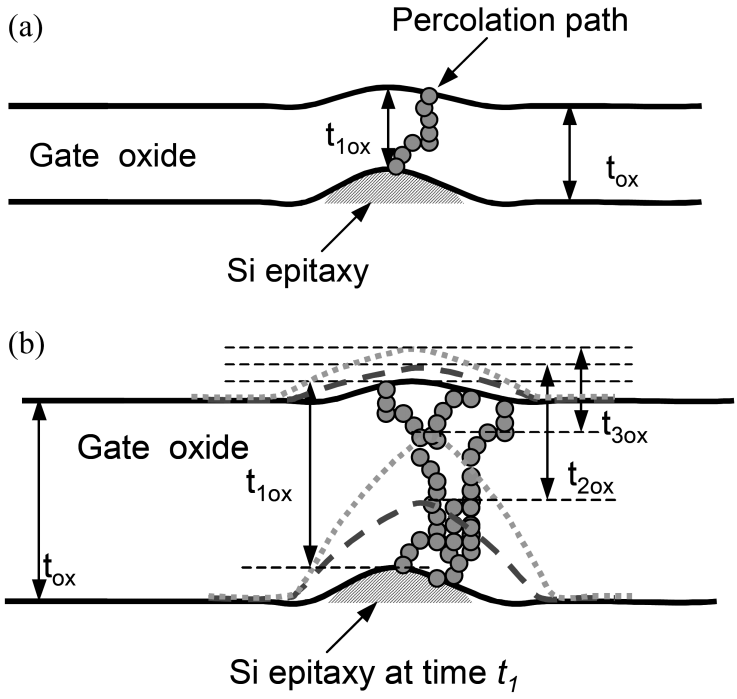


図 2.18: 絶縁破壊誘起エピタキシャル成長の模式図 [38]．(a) 絶縁破壊時のエネルギーの集中により，リークパス周辺で Si 基板が酸化膜方向にエピタキシャル成長 (Dielectric Breakdown Induced Epitaxy : DBIE) し，局所的に酸化膜が薄くなるため電界集中・温度上昇が起きる．(b) 電界集中・温度上昇によりトラップ生成が促進され，第 2，第 3 のリークパスが近接した箇所に形成される．

2.3.5 Soft Breakdown 後ゲートリーク電流の時間発展の定式化

図 2.16 に示されたように，SBD 後のゲートリーク電流の時間発展は，SBD 後の時間に対して log–log プロットで線形であることから，次式のべき乗則が成り立つ．

$$I_{\mathrm{g,post}}(t) = A\,(\theta t)^{\alpha} \tag{2.1}$$

ここで， α は実験により求めることができる酸化膜に固有の値で，A は任意定数である．

また， θ はリークパス成長の時間加速因子であり，図 2.17 に示されたように，リークパスの成長に要する時間 $t_{\mathrm{post-SBD}}$ は電圧に指数関数的に依存していることから，

$$\theta(V_{\mathrm{g}}) = B \cdot 10^{\gamma' V_{\mathrm{g}}} \tag{2.2}$$

が成り立つ．ここで，γ' は電圧加速係数，B は任意定数である．

以上の 2 式を組み合わせることにより，SBD 後のゲートリーク電流の時間変化は次のように表される．

$$I_{\mathrm{g,post}}(t) = C\left(10^{\gamma' V_{\mathrm{g}}} \cdot t\right)^{\alpha} \tag{2.3}$$

ここで C は任意定数である．

図 2.19 に，式 (2.3) を用いて図 2.15 の実験データに対するフィッティングを行った結果を示す．図 2.17 で示したように，$t_{\mathrm{post-SBD}}$ は 2 dec. 程度のばらつきを持っているため，完全には一致してはいないが，SBD 後電流の時間発展の特徴を良好に反映したフィッティング結果が得られている．このフィッティングに用いた α，γ'，C の値は表 2.1 にまとめた．γ' は，図 2.17 に示した測定結果から得られた数値である．

表 2.1: 図 2.19 におけるフィッティングで用いたパラメータ.

	α	γ' (dec./V)	C ($\mathrm{A}^{1/\alpha} \cdot \mathrm{sec}^{-1}$)
(a) 2.1 nm SiO_2	1.0	4.4	1×10^{-21}
(b) 1.5 nm SiON	0.7	4.4	6×10^{-16}

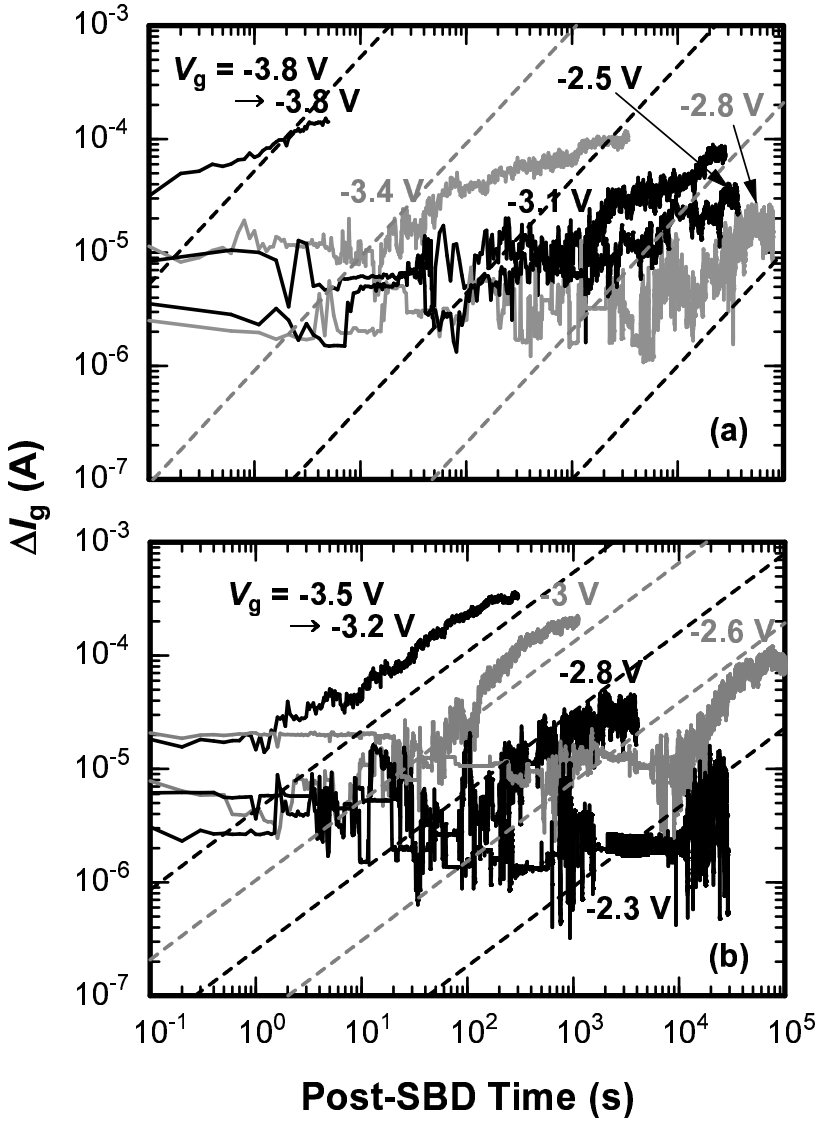


図 2.19: 式 (2.3) を用いた図 2.15 の実験データへのフィッティング結果.

2.4 ゲートリーク電流増加の温度加速特性の解析

酸化膜劣化の代表的な加速因子としては，電圧と温度の 2 つが挙げられる．2.3.4 項では SBD 後のゲートリーク電流増加の電圧加速特性について詳細に調べたが，第 2 の加速因子である温度について，室温 (∼ 25 ℃) から 140 ℃ までの温度範囲で定電圧ストレス TDDB 試験を行い，SBD 後のゲートリーク電流増加の温度依存性を調べた．試料には，ゲート絶縁膜が 1.5 nm の酸窒化膜の n^+ poly–Si ゲート pMOS キャパシタを用いた．

図 2.20 に室温と 100 ℃ の条件下で行った定電圧ストレス TDDB 試験結果を示す．同一ストレス電圧条件下にも関わらず．100 ℃ の方が t_{SBD} が短くなっている．これはトラップ生成が温度で加速されるためだと考えられている．また，SBD 以前のバックグラウンドリーク電流も温度依存性を示している [39] が，これはキャリアが酸化膜/シリコン界面に衝突する回数が高温ほど多くなり，トンネルするキャリア数が増すためである．

SBD 後のゲートリーク電流の時間発展を調べるため，図 2.20 のデータを SBD 後の時間に対して再プロットしたものを図 2.21 に示す．室温での測定よりも 100 ℃ での測定の方が，ゲートリーク電流が立ち上がる時点が早くなっており，またゲートリーク電流増加の傾きも大きくなっている．これらのことは SBD 後のゲートリーク電流増加も温度により加速されることを意味している．2.3.4 項と同様，図 2.16 のように $t_{\mathrm{post-SBD}}$ を定義し，その中間値を温度に対してプロットしたものを図 2.22 に示す．t_{SBD} は 0.02 deg./℃ の温度依存性を示しており，この値は他の報告 [40–42] とよく一致している．一方，$t_{\mathrm{post-SBD}}$ の温度依存性は 0.01 deg./℃ と t_{SBD} よりも小さくなっている．この原因は，リークパス周辺はキャリア流の集中による温度上昇が起こり，基板温度への依存が弱くなっているからだと推測される．

SBD 前の酸化膜劣化 (t_{SBD}) の温度加速特性については， 0.02 deg./℃ という値が報告さ

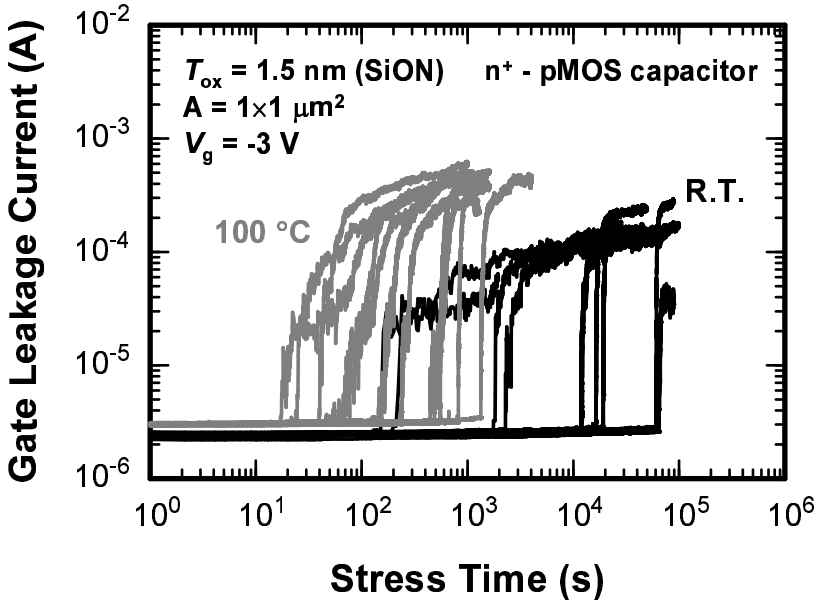


図 2.20: 室温と 100 ℃ の温度条件下で行った定電圧ストレス TDDB 試験結果．100 ℃ の方が t_{SBD} が小さくなっている．

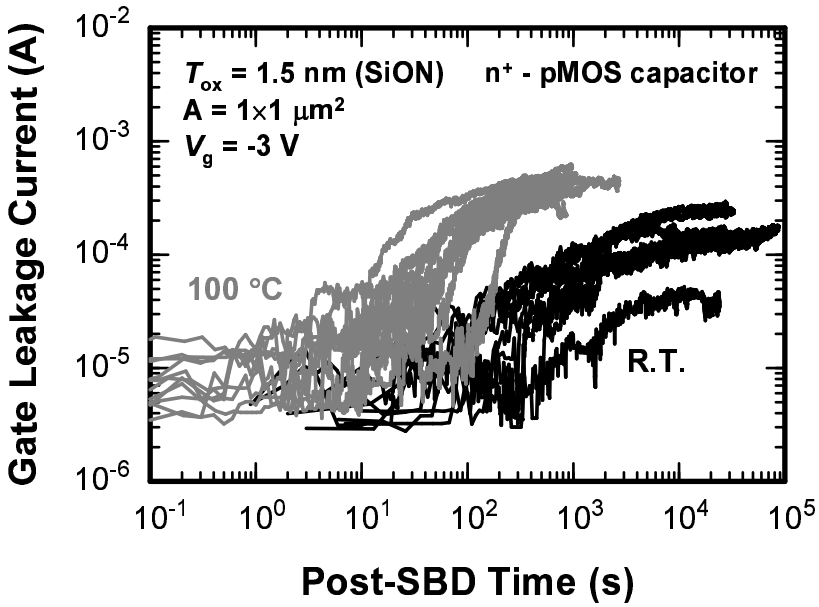


図 2.21: 室温と 100 ℃での SBD 後ゲートリーク電流の時間変化．SBD 後のゲートリーク電流増加も 100 ℃の方が速くなっている．

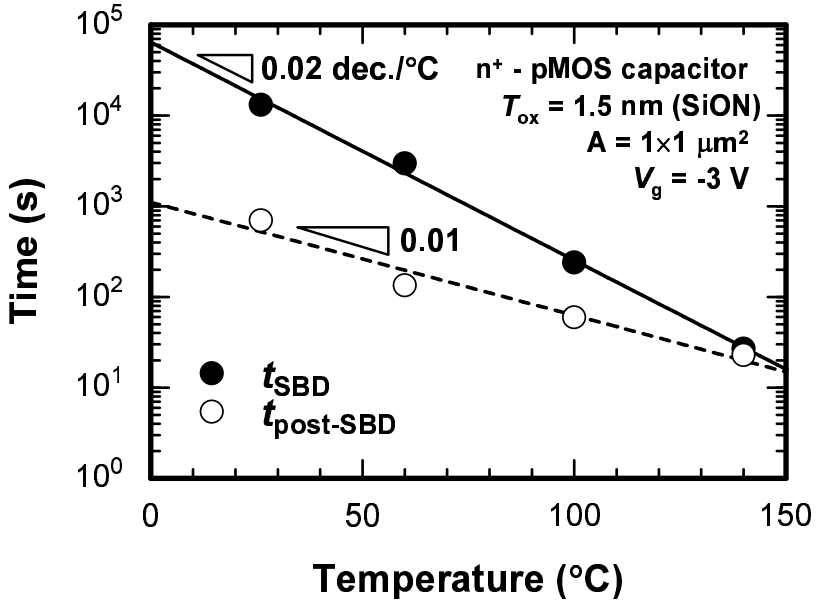


図 2.22: 室温から 140 ℃の範囲で定電圧ストレス TDDB 試験を行ったときの t_{SBD} と $t_{\mathrm{post-SBD}}$ の温度依存性．t_{SBD} の温度加速が 0.02 deg./℃であるのに対し，$t_{\mathrm{post-SBD}}$ は 0.01 deg./℃となっている．

れているが，その物理的起源は明らかではない．1 つの可能性としては，温度によりトラップ生成が促進されると考えられているが，絶縁破壊が起こるまでに酸化膜中に注入された総電荷量のアレニウスプロットが非線形であることから，単純なモデルで表わされるわけではない．SBD 後のリークパスの成長についても未だ不明な点が多いことから，温度加速特性の原因については今後更なる検討が必要である．

2.5 まとめ

時間的に緩やかに増加する Soft Breakdown 後のゲートリーク電流の時間発展特性を調べた．その結果，以下の特徴が明らかとなり，これらを基にして SBD 後のゲートリーク電流の時間発展式を導出した．

1. SBD 後ゲートリーク電流の時間発展は SBD 後の時間 $(t - t_{\mathrm{SBD}})$ のべき乗で記述される．
2. べき乗項は電圧に依存せず，絶縁膜の膜質・膜厚によって決まる．
3. リーク電流増加 (リークパス成長) に要する時間 $t_{\mathrm{post-SBD}}$ は電圧に指数関数的に依存する．

t_{SBD} と $t_{\mathrm{post-SBD}}$ の電圧加速係数が近い値であることから，SBD 前の酸化膜劣化だけでなく，SBD 後のリークパス成長も酸化膜中のトラップ生成過程に支配されていると推測される．

また，SBD 後ゲートリーク電流の時間発展は温度によっても加速されることが分かった．しかし，$t_{\mathrm{post-SBD}}$ の温度加速係数は 0.01 dec./V と，t_{SBD} の 0.02 dec./V よりも小さく，SBD 後ゲートリーク電流の時間発展の温度依存性は弱い．より正確な SBD 後ゲートリーク電流のモデリングには温度依存性の原因を解明する必要がある．

参考文献

[1] R. Degraeve, G. Groeseneken, R. Bellens, J. L. Ogier, M. Depas, P. J. Roussel, and H. E. Maes, "New Insights in the Relation between Electron Trap Generation and the Statistical Properties of Oxide Breakdown," IEEE Trans. Electron Devices, vol. 45, pp. 904–911 (April 1998).

[2] J. H. Stathis, "Percolation Model for Gate Oxide Breakdown," J. Appl. Phys., vol. 86, pp. 5757–5766 (November 1999).

[3] D. Crook, "Method of Determining Reliability Screens for Time Dependent Breakdown," Proc. Int. Reliab. Phys. Symp., vol. 17, pp. 1–7, San Francisco, USA (April 1979).

[4] E. S. Anolick and G. Nelson, "Low Field Time Dependent Dielectric Integrity," Proc. Int. Reliab. Phys. Symp., vol. 17, pp. 8–12, San Francisco, USA (April 1979).

[5] A. Berman, "Time–Zero Dielectric Reliability Test by a Ramp Method," Proc. Int. Reliab. Phys. Symp., vol. 19, pp. 204–209, Orlando, USA (April 1981).

[6] J. W. McPherson and D. A. Baglee, "Acceleration Factors for Thin Gate Oxide Stressing," Proc. Int. Reliab. Phys. Symp., vol. 23, pp. 1–5, Orlando, USA (March 1985).

[7] I.–C. Chen, S. E. Holland, and C. Hu, "Electrical Breakdown in Thin Gate and Tunneling Oxides," IEEE Trans. Electron Devices, vol. ED–32, pp. 413–422 (February 1985).

[8] I.–C. Chen, S. E. Holland, K. K. Young, C. Chang, and C. Hu, "Substrate Hot Hole Current and Oxide Breakdown," Appl. Phys. Lett., vol. 49, pp. 669–671 (September 1986).

[9] K. F. Schuegraf and C. Hu, "Hole Injection SiO_2 Breakdown Model for Very Low Voltage Lifetime Extrapolation," IEEE Trans. Electron Devices, vol. 41, pp. 761–767 (May 1994).

[10] E. Y. Wu, J. Aitken, E. Nowak, A. Vayshenker, P. Varekamp, G. Hueckel, J. McKenna, D. Harmon, L.–K. Han, C. Montrose, and R. Dufresne, "Voltage–Dependent Voltage-Acceleration of Oxide Breakdown for Ultra–Thin Oxides," IEDM Tech. Dig., 2000, pp. 54–57, San Francisco, USA (December 2000).

[11] M. Takayanagi, S. Takagi, and Y. Toyoshima, "Experimental Study of Gate Voltage Scaling for TDDB under Direct Tunneling Regime," Proc. Int. Reliab. Phys. Symp., vol. 39, pp. 380–385, Orlando, USA (April 2001).

[12] E. Y. Wu, A. Vayshenker, E. Nowak, J. Suñé, and R.–P. Vollertsen, "Experimental Evidence of T_BD Power–Law for Voltage Dependence of Oxide Breakdown in Ultrathin Gate Oxides," IEEE Trans. Electron Devices, vol. 49, pp. 2244–2253 (December 2002).

[13] K. Okada, S. Kawasaki, and Y. Hirofuji, "New Experimental Findings on Stress Induced Leakage Current of Ultra Thin Silicon Dioxides, " ," Ext. Abst. SSDM, pp. 565–567, Yokohama, Japan (August 1994).

[14] M. Depas, T. Nigam, and M. Heyns, "Soft Breakdown of Ultrathin Gate Oxide Layers," IEEE Trans. Electron Devices, vol. 43, pp. 1499–1503 (September 1996).

[15] B. E. Weir, P. J. Silverman, D. Monroe, K. S. Krisch, M. A. Alam, G. B. Alers, T. W. Sorsch, G. L. Timp, F. Baumann, C. T. Liu, Y. Ma, and D. Hwang, "Ultra–Thin Gate Dielectrics: They Break Down, but Do They Fail?," IEDM Tech. Dig., pp. 73–76, Washington D. C., USA (December 1997).

[16] T. Sakura, H. Utsunomiya, Y. Kamakura, and K. Taniguchi, "A Detailed Study of Soft– and Pre–Soft–Breakdowns in Small Geometry MOS Structures," IEDM Tech. Dig., pp. 183–186, San Francisco, USA (December 1998).

[17] A. Cacciato, S. Evseev, and H. Valk, "Evolution from Soft to Hard Breakdown in Thin Gate Oxides: Effect of Oxide Thickness, Capacitor Area and Stress Current," Solid–State Electron., vol. 45, pp. 1339–1344 (August 2001).

[18] M. A. Alam, B. E. Weir, and P. J. Silverman, "A Study of Soft and Hard Breakdown——part II: Principles of Area, Thickness, and Voltage Scaling," IEEE Trans. Electron Devices, vol. 49, pp. 239–246 (Feburary 2002).

[19] B. E. Weir, M. A. Alam, P. J. Silverman, F. Baumann, D. Monroe, J. D. Bude, G. L. Timp, A. Hamad, Y. Ma, M. M. Brown, D. Hwang, T. W. Sorsch, A. Ghetti, and G. D. Wilk, "Ultra–Thin Gate Oxide Reliability Projections," Solid–State Electron., vol. 46, pp. 321–328 (March 2002).

[20] K. Okada, "Extended Time Dependent Dielectric Breakdown Model Based on Anomalous Gate Area Dependence of Lifetime in Ultra Thin Silicon Dioxides," Jpn. J. Appl. Phys., vol. 36, pp. 1443–1447 (March 1997).

[21] K. Okada and S. Kawasaki, "New Dielectric Breakdown Model of Local Wearout in Ultra Thin Silicon Dioxides," Ext. Abst. SSDM, pp. 473–475, Osaka, Japan (August 1995).

[22] F. Crupi, R. Degraeve, G. Groeseneken, T. Nigam, and H. E. Maes, "On the Properties of the Gate and Substrate Current after Soft Breakdown in Ultra–Thin Oxide Layers," IEEE Trans. Electron Devices, vol. 45, pp. 2329–2334 (November 1998).

[23] T. Tomita, H. Utsunomiya, T. Sakura, Y. Kamakura, and K. Taniguchi, "A New Soft Breakdown Model for Thin Thermal SiO_2 Films under Constant Current Stress," IEEE Trans. Electron Devices, vol. 46, pp. 159–164 (January 1999).

[24] K. Okada and K. Taniguchi, "Electrical Stress–Induced Variable Range Hopping Conduction in Ultra–Thin Silicon Dioxides," Appl. Phys. Lett., vol. 70, pp. 351–353 (January 1997).

[25] M. Houssa, T. Nigam, P. W. Mertens, and M. M. Heyns, "Model for the Current–Voltage Characteristics of Ultrathin Gate Oxides after Soft Breakdown," J. Appl. Phys., vol. 84, pp. 4351–4355 (October 1998).

[26] E. Miranda, J. Suñé, R. Rodríguez, M. Nafría, and X. Aymerich, "A Function–Fit Model for the Soft Breakdown Failure Mode," IEEE Electron Device Letters, vol. 20, pp. 265–267 (June 1999).

[27] M. Depas, T. Nigam, and M. M. Heyns, "Definition of Dielectric Breakdown for Ultra Thin (<2 nm) Gate Oxides," Solid–State Electron., vol. 41, pp. 725–728 (May 1997).

[28] S. Lombardo, A. La Magna, I. Crupi, C. Gerardi, and F. Crupi, "Reduction of Thermal Damage in Ultrathin Gate Oxides after Intrinsic Dielectric Breakdown," Appl. Phys. Lett., vol. 79, pp. 1522–1524 (September 2001).

[29] H. Satake and A. Toriumi, "Dielectric Breakdown Mechanism of Thin SiO_2 Studied by the Post–Breakdown Resistance Statistics," IEEE Trans. Electron Devices, vol. 47, pp. 741–745 (April 2000).

[30] M. A. Alam, R. K. Smith, B. E. Weir, and P. J. Silverman, "Uncorrelated Breakdown of Integrated Circuits," Nature, vol. 420, p. 378 (November 2002).

[31] M. A. Alam, R. K. Smith, B. E. Weir, and P. J. Silverman, "Statistically Independent Soft Breakdowns Redefine Oxide Reliability Specification," IEDM Tech. Dig., pp. 151–154, San Francisco, USA (December 2002).

[32] J. Suñé and E. Y. Wu, "Statistics of Successive Breakdown Events for Ultra–Thin Gate Oxides," IEDM Tech. Dig., pp. 147–150, San Francisco, USA (December 2002).

[33] F. Monsieur, E. Vincent, D. Roy, S. Bruyere, G. Pananakakis, and G. Ghibaudo, "A Thorough Investigation of Progressive Breakdown in Ultra–Thin Oxides: Physical Understanding and Application for Industrial Reliability Assessment," Proc. Int. Reliab. Phys. Symp., vol. 40, pp. 45–54, Dallas, USA (April 2002).

[34] M. Porti, M. Nafria, X. Aymerich, A. Olbrich, and B. Ebersberger, "Electrical Characterization of Stressed and Broken Down SiO_2 Films at a Nanometer Scale Using a Conducive Atomic Force Microscope," J. Appl. Phys., vol. 91, pp. 2071–2079, (February 2002).

[35] K. Okada and S. Kawasaki, "New Dielectric Breakdown Model of Local Wearout in Ultrathin Silicon Dioxides," Proc. VLSI Tech. Symp., pp. 143–144, Kyoto, Japan (June 1997).

[36] C. Hu, S. C. Tam, F.-C. Hsu, P.-K. Ko, T.-Y. Chan, and K. Terrill, "Hot–Electron–Induced MOSFET Degradation—Model, Monitor, and Improvement," IEEE Trans. Electron Devices, vol. ED-32, pp. 375–385 (February 1985).

[37] S. Ogawa and N. Shiono, "Generalized Diffusion–Reaction Model for the Low–Field Charge–Buildup Instability at the Si-SiO_2 Interface," Phys. Rev. **B,**vol. 51, pp. 4218–4230 (February 1995).

[38] K. L. Pey, C. H. Tung, M. K. Radhakrishnan, L. J. Tang, and W. H. Lin, "Dielectric Breakdown Induced Epitaxy in Ultrathin Gate Oxide—A Reliability Concern," IEDM Tech. Dig., pp. 163–166, San Francisco, USA (December 2002).

[39] E. Y. Wu, R.–P. Vollertsen, R. Jammy, A. Strong, and C. Radens, "Leakage Current and Reliability Evaluation of Ultra-thin Reoxidized Nitride and Comparison with Silicon Dioxides," Proc. Int. Reliab. Phys. Symp., vol. 40, pp. 255–267, Dallas, USA (April 2002).

[40] B. Kaczer, R. Degraeve, N. Pangon, T. Nigam, and G. Groeseneken, "Investigation of Temperature Acceleration of Thin Oxide Time-to-Breakdown," Microelectron. Eng., vol. 48, pp. 47–50 (September 1999).

[41] B. E. Weir, M. A. Alam, J. D. Bude, P. J. Silverman, A. Ghetti, F. Baumann, P. Diodato, D. Monroe, T. Sorsch, G. L. Timp, Y. Ma, M. M. Brown, A. Hamad, D. Hwang, and P. Mason, "Gate Oxide Reliability Projection to the sub–2 nm Regime," Semicond. Sci. Technol., vol. 15, pp. 455–461 (May 2000).

[42] E. Y. Wu, D. L. Harmon, and L.–K. Han, "Interrelationship of Voltage and Temperature Dependence of Oxide Breakdown for Ultrathin Oxides," IEEE Electron Device Letters, vol. 21, pp. 362–364 (July 2000).

第3章　Soft Breakdown後ゲートリーク電流の飽和要因の解析

3.1　はじめに

第2章で擬似絶縁破壊 (Soft Breakdown : SBD) 後のゲートリーク電流の時間発展について定式化を行った．この式を実際のデバイスに適用すると，ストレス電圧が印加されている限りゲートリーク電流は際限なく増加し続けることになる．しかし，実際には図2.9のように，SBD後のゲートリーク電流は最終的に飽和傾向を示す．SBDが回路に与える影響や消費電力の観点から信頼性評価を行うには，SBD後のゲートリーク電流の飽和値を定量的に見積もることが重要である．

第2章で述べたように，リークパスの成長には印加電圧が大きく関与している．ゲートリーク電流の増加が飽和する理由は，寄生抵抗における電圧降下によりリークパスに印加される電圧が減少し，リークパス成長が著しく遅くなったためと考えられる．Mirandaらは，SBD後のゲートリーク電流はロジスティックモデルで説明できると報告しており，寄生抵抗によるネガティブフィードバックの可能性を指摘している [1]．本章では，まず3.2節で，MOSキャパシタに外部抵抗器を直列に接続して定電圧ストレス試験を行い，SBD後のゲートリーク電流増加に伴う電圧降下量を様々に制御し，寄生抵抗がSBD後ゲートリーク電流の飽和の原因であることを検証する．続く3.3節で，SBD後のMOSキャパシタの寄生抵抗は，リークパス直下における広がり抵抗 (Spreading Resistance) が支配的であることを示す．また，3.4節では，MOSキャパシタよりも複雑な構造であるnMOSFET内の寄生抵抗成分の解析を行う．そして最後に，3.5節でまとめとする．

3.2　寄生抵抗によるSoft Breakdown後のゲートリーク電流の飽和

図3.1に示すように，ゲート酸化膜厚2.8 nmのn^+ poly–Siゲート pMOSキャパシタに対して基板–グラウンド間に可変外部抵抗器 r_{ext} を直列に挿入し定電圧ストレスTDDB試験を行った．SBD後のゲートリーク電流増加に伴う電圧降下量を様々に変化させ，リークパスに印加される電圧 V_{path} の制御を試みた．多量のダイレクトトンネル電流が流れて，SBD以前に外部抵抗で電圧降下が生じることを避けるため，比較的厚いゲート酸化膜の試料を用いて実験を行った．これは，SBDまでの酸化膜劣化に影響を与えないようにするためである．r_{ext} はSBD前のバックグラウンドリーク電流ではほとんど電圧降下は生じず，SBD後に初めて有意な電圧降下を示す値とした．

図3.2に，100 kΩの外部抵抗器を用いて行った定電圧ストレスTDDB試験結果を示す．なお，ストレスゲート電圧 V_{g} は −4.2 Vとした．外部抵抗器を用いると，SBD後のゲートリーク電流は ∼ 10 μA で飽和傾向を示す． その後，外部抵抗器を外して同電圧のストレスを再開したところ，ゲートリーク電流は再度増加し，r_{ext} なしのTDDB試験と同レベルの ∼ 100 μA まで達している．このことから，外部抵抗器における電圧降下がリークパス成長を抑制し

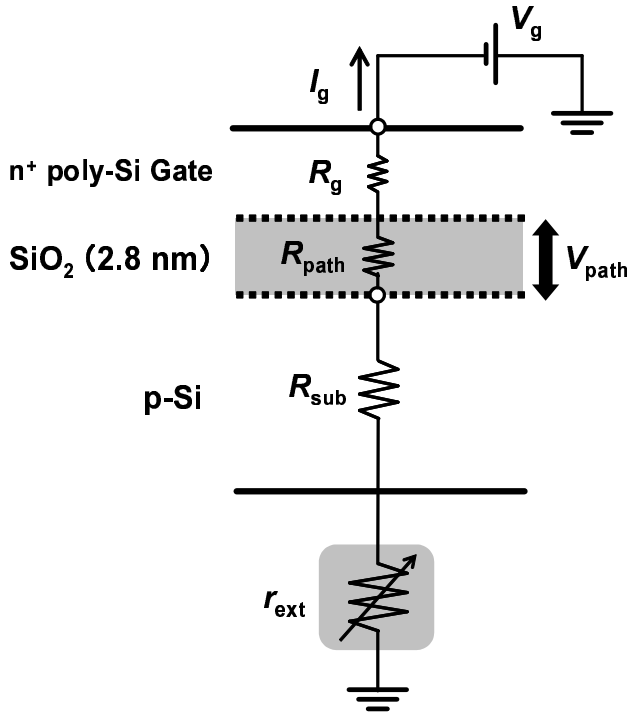


図 3.1: 可変外部抵抗器 r_{ext} を用いた実験概念図.

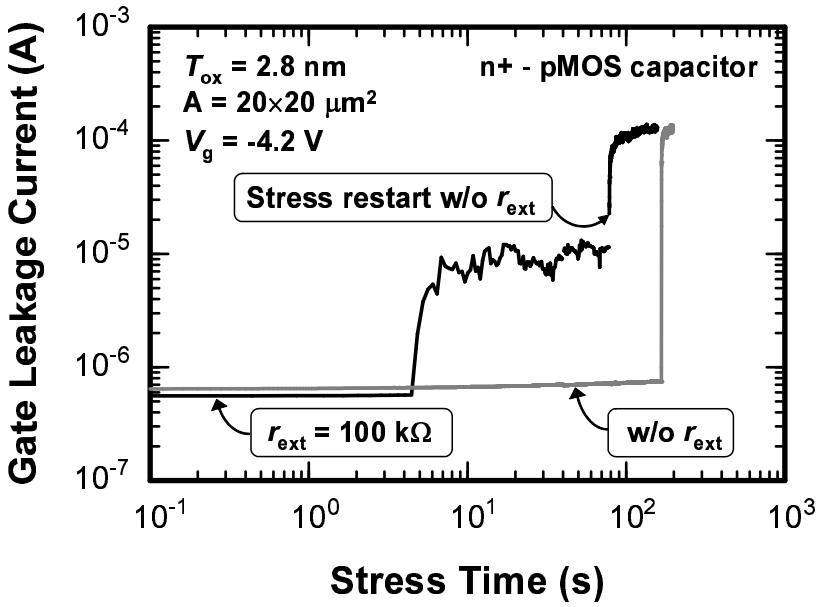


図 3.2: 100 kΩ の外部抵抗器を用いて行った定電圧ストレス TDDB 試験結果.

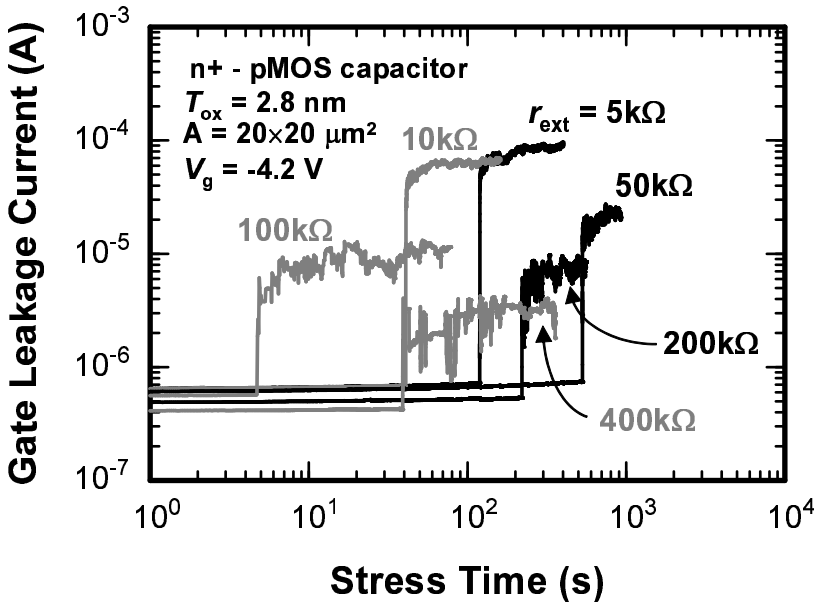


図 3.3: 様々な r_{ext} に対して行った定電圧ストレス TDDB 試験結果.

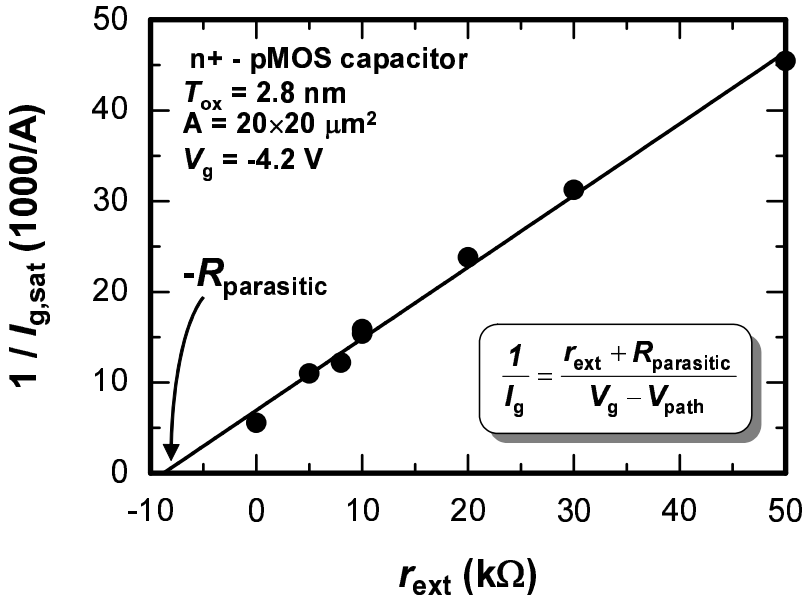


図 3.4: ゲートリーク電流の飽和値 $I_{\mathrm{g,sat}}$ と r_{ext} の関係.

ていることが分かる．つまり，リークパスに加わっている電圧 V_{path} がリークパスの成長に大きく影響していると言える．図 3.3 に外部抵抗器 r_{ext} の抵抗値を様々に変化させ，定電圧ストレス TDDB 試験を行った結果を示す．r_{ext} が大きくなるほど，ゲートリーク電流の飽和値 $I_{\mathrm{g,sat}}$ は小さくなっており，$I_{\mathrm{g,sat}}$ は r_{ext} により決定されていることが分かる．ここで，$I_{\mathrm{g,sat}}$ を SBD が起きた瞬間の 10 秒後からの 10 秒間の平均値とする．図 3.4 に，実験から得られた $I_{\mathrm{g,sat}}$ の逆数を r_{ext} の関数として示す．$1/I_{\mathrm{g,sat}}$ は r_{ext} と線形性を有している．このことは以下のように説明できる．ゲートリーク電流増加の時間変化は式 (2.3) で表される時間のべき乗の関数で，その時間加速因子が電圧の指数関数となる．このことから，簡単のため，外部抵抗における電圧降下が支配的になり，リークパスに加わる電圧 V_{path} がある閾値 V_{th} を下回ったとき，ほとんどリーク電流の増加が見られなくなり，ほぼ飽和状態に達すると仮定すると，

$$V_{\mathrm{g}} - I_{\mathrm{g,sat}} \cdot r_{\mathrm{ext}} = V_{\mathrm{th}} \tag{3.1}$$

が成り立つ．式 (3.1) より，$1/I_{\mathrm{g,sat}}$ と r_{ext} は線形関係にあることが分かる．しかし，実験結果は式 (3.1) とは異なり，0 点で交差せず，オフセット値を持っている．これは，実際には寄生抵抗 $R_{\mathrm{parasitic}}$ が基板内部に存在していることを意味している．図 3.4 の例では，x 切片の値から $R_{\mathrm{parasitic}} = 8.8$ kΩ と見積もられる．

3.3　MOS キャパシタにおける寄生抵抗

$\mathrm{n^+poly}$–Si ゲート pMOS キャパシタ内の寄生抵抗は，ゲート中の電子が非常に狭いリークパスを通って p 型 Si 基板中に拡散してゆく際の広がり抵抗が支配的であると推測される．リークパスを半径 a の円筒であると仮定すると，広がり抵抗 R_{spread} は次式で表わされる [2].

$$R_{\mathrm{spread}} = \frac{\rho}{4a} \tag{3.2}$$

ここで，ρ は Si 基板の抵抗率である．本実験で用いた nMOSFET では，Si 基板の $\rho = 10$ Ω·cm であるので，a が nm オーダーの場合，R_{spread} は 10 MΩ オーダーとなり測定結果と大きく異なる．これは $\rho = 10$ Ω·cm が，注入キャリアが基板の多数キャリアに相当する場合の値であるためで，本実験のように注入される電子が p 型 Si 基板内で少数キャリアである場合，解析的に広がり抵抗を求めることは極めて困難となる [3].

そこで，寄生抵抗の起源を明らかにするため，リークパスを不純物濃度 10^{20} cm^{-3} の $\mathrm{n^+poly}$–Si からなる半径 a の円筒で仮定して，ドリフト拡散ベースのデバイスシミュレータ *ATLAS* [4] を用いてシミュレーションを行った．SBD スポットの半径 3 nm，ゲート電圧 −4.2 V，酸化膜厚 2.8 nm としたときに得られた電位分布を図 3.5 に示す．リークパス直下で電圧降下が著しいことから，Si 基板中の広がり抵抗が支配的であることが分かる．なお，式 (3.2) で表わされるように，広がり抵抗は本質的にリークパスの形状・大きさと Si 基板の抵抗率にのみ依存することから，デバイスシミュレーションを行う際のリークパスの材質は任意でよい．シミュレーションにより得られたゲート–基板間の電流量と図 3.5 の電位分布から，寄生抵抗 $R_{\mathrm{parasitic}}$ の値を見積もることができる．具体的には，MOS キャパシタ全体に印加されている電圧 $V_{\mathrm{g}} = -4.2$ V から，V_{path} を差し引くことにより寄生抵抗による電圧降下が見積もられる．SBD スポットの半径 3 nm，ゲート電圧 −4.2 V の場合だと，$R_{\mathrm{parasitic}} = 6.8$ kΩ となった．リークパスの半径を様々に変化させ，同様のデバイスシミュレーションを行ったところ，実験値 $R_{\mathrm{parasitic}} = 8.8$ kΩ を与える半径 a は約 2.5 nm となった．このリークパスの大きさは，$a < 5$ nm とする他の報告 [5–7] と一致しており，8.8 kΩ という寄生抵抗は妥当である

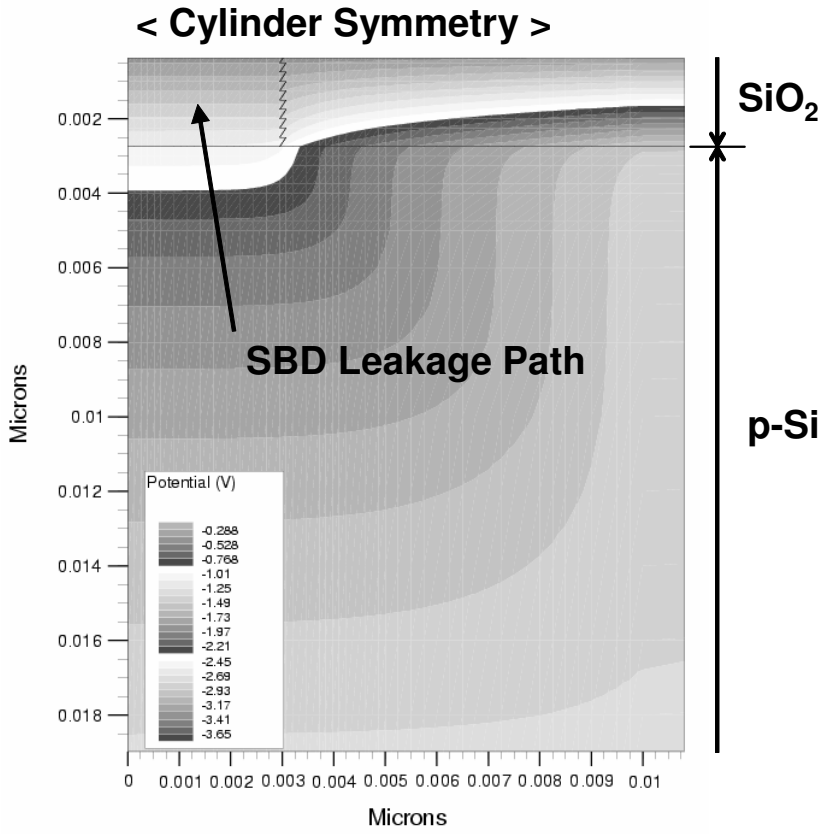


図 3.5: リークパスの半径 3 nm，ゲート電圧 −4.2 V，酸化膜厚 2.8 nm としたとき，デバイスシミュレーションによって得られた電位分布.

といえる．この結果から，MOS キャパシタの場合，SBD 後のゲートリーク電流の飽和は Si 基板内での広がり抵抗によって引き起こされていることが分かる．

3.4　MOSFET における寄生抵抗

ゲート酸化膜厚 2.2 nm，ゲート長 0.6 μm，ゲート幅 5 μm の nMOSFET に対し，ソース/ドレインと基板を接地し，ゲートに 4 V を印加して行った定電圧ストレス TDDB 試験結果を図 3.6 に示す．SBD 後のゲートリーク電流は急激に増加し，MOS キャパシタと同様に最終的に飽和傾向を示している．SBD 後のゲートリーク電流の増加が急峻な理由は，MOS キャパシタに比べて SBD を生起するストレス電圧が高く，SBD 後のリークパス成長が大幅に加速されているためである．ゲートリーク電流の飽和値から，nMOSFET 内の抵抗は 10 kΩ のオーダーであると見積もられる．

ゲートリーク電流の飽和値 $I_{\mathrm{g,sat}}$ を SBD が起きた瞬間の 10 秒後からの 10 秒間の平均値とし，リークパスのチャネル方向における位置のパラメータ s に対してプロットしたものを図 3.7 に示す．s は次式のように，SBD 後の MOSFET のソース電流とドレイン電流から求めることができる [8].

$$s = \frac{I_{\mathrm{d,SBD}} - I_{\mathrm{d,fresh}}}{(I_{\mathrm{d,SBD}} - I_{\mathrm{d,fresh}}) + (I_{\mathrm{s,SBD}} - I_{\mathrm{s,fresh}})}, \tag{3.3}$$

ここで，$I_{\mathrm{s(d),fresh}}$ と $I_{\mathrm{s(d),SBD}}$ はそれぞれ，V_{g}= -1.5 V，V_{s}= V_{d}= V_{sub}= 0 V の蓄積条件下で測定した SBD 前後のソース (ドレイン) 電流である．測定を行う際の V_{g} が大きいと s は 0.5 に近い値となるが，今回の場合，$-0.5 < V_{\mathrm{g}} < -2$ V で s は V_{g} にほとんど依存していないことを確認した上で，V_{g}= -1.5 V を用いた．SBD が起こる箇所はチャネル方向に一様に分布しており，$I_{\mathrm{g,sat}}$ は SBD がソース/ドレインで起こったとき ($s = 0, 1$ のとき) に最大，チャネル中央で起こったとき ($s = 0.5$ のとき) に最小となる弱い位置依存性がある．以前に，Kaczer らも同様のデータを報告しているが，この位置依存性には注目していない [9].

3.2 節で述べたように，ゲートリーク電流の飽和は，寄生抵抗 $R_{\mathrm{parasitic}}$ での電圧降下が増大し，V_{path} が減少することにより，リークパスの成長が極度に遅くなることが原因である．つまり，リークパス自体の抵抗 R_{path} は $R_{\mathrm{parasitic}}$ に対して無視できるほど小さく，$I_{\mathrm{g,sat}}$ は $\sim V_g/R_{\mathrm{parasitic}}$ で与えられる．図 3.7 に示した $I_{\mathrm{g,sat}}$ の弱いリークパス位置依存性から，SBD 後の nMOSFET 内の寄生抵抗は位置依存性を示すものと，示さないものの 2 種類が存在すると考えられる．SBD 後の nMOSFET 内の寄生抵抗としては，図 3.8(a) に示したように，チャネル抵抗 R_{c}，チャネル内での広がり抵抗 $R_{\mathrm{c,spread}}$，ゲート抵抗 R_{g}，ゲート内での広がり抵抗 $R_{\mathrm{g,spread}}$，ソース (ドレイン) 抵抗 $R_{\mathrm{s(d)}}$ が存在する．これらのうち $R_{\mathrm{c,spread}}$，R_{g}，$R_{\mathrm{g,spread}}$，R_{s}，R_{d} はリークパス位置 s に依存しないので，それらの和を R' とする．一方，リークパス直下からソース，ドレイン両拡散層までのチャネル抵抗 R_{cd} と R_{cs} は s の関数として次式で表わされる．

$$\begin{cases} R_{\mathrm{cs}} = sR_{\mathrm{sd}} \\ R_{\mathrm{cd}} = (1-s)\,R_{\mathrm{sd}} \end{cases} \tag{3.4}$$

ここで，R_{sd} はソース–ドレイン間の抵抗である．ゲートのみに正電圧が印加されている状況下では，図 3.8(b) のようにチャネル抵抗 R_{c} は R_{cs} と R_{cd} の並列抵抗でり，次式のように表される．

$$R_{\mathrm{c}} = \frac{R_{\mathrm{cs}}R_{\mathrm{cd}}}{R_{\mathrm{cs}} + R_{\mathrm{cd}}} = s\,(1-s)\,R_{\mathrm{sd}} \tag{3.5}$$

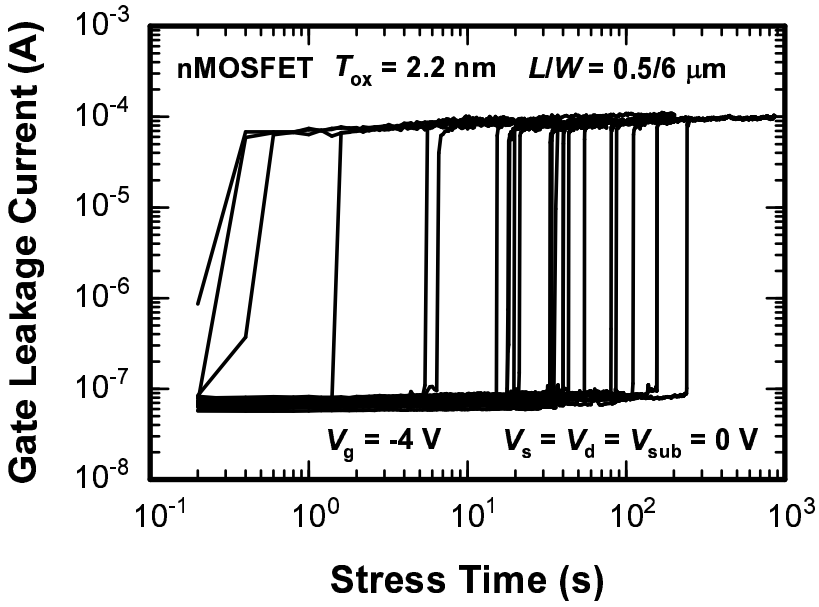


図 3.6: ゲート酸化膜厚 2.2 nm，ゲート長 0.6 μm，ゲート幅 5 μm の nMOSFET に対する定電圧ストレス TDDB 結果.

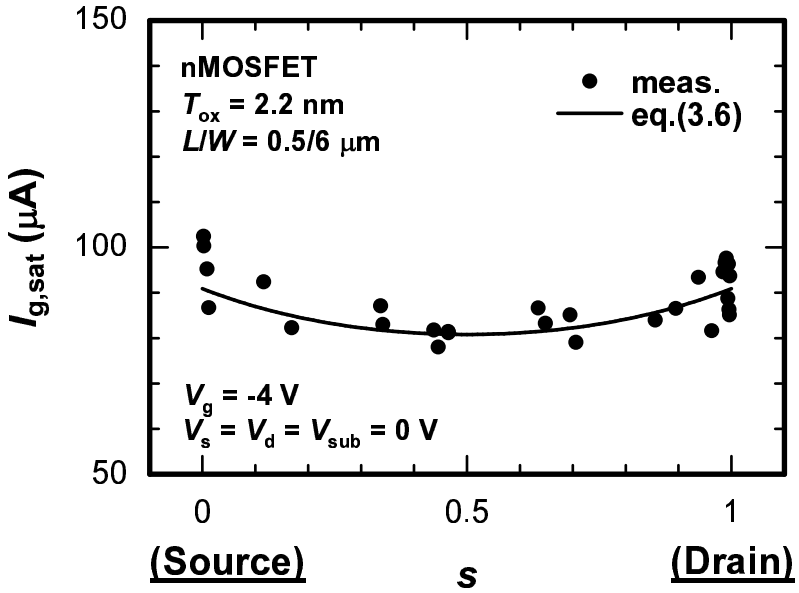


図 3.7: SBD 後ゲートリーク電流の飽和値 $I_{\mathrm{g,sat}}$ とリークパスのチャネル方向における位置 s の関係．$I_{\mathrm{g,sat}}$ は $s = 0, 1$ のとき最大となり，$s = 0.5$ のときに最小となっている.

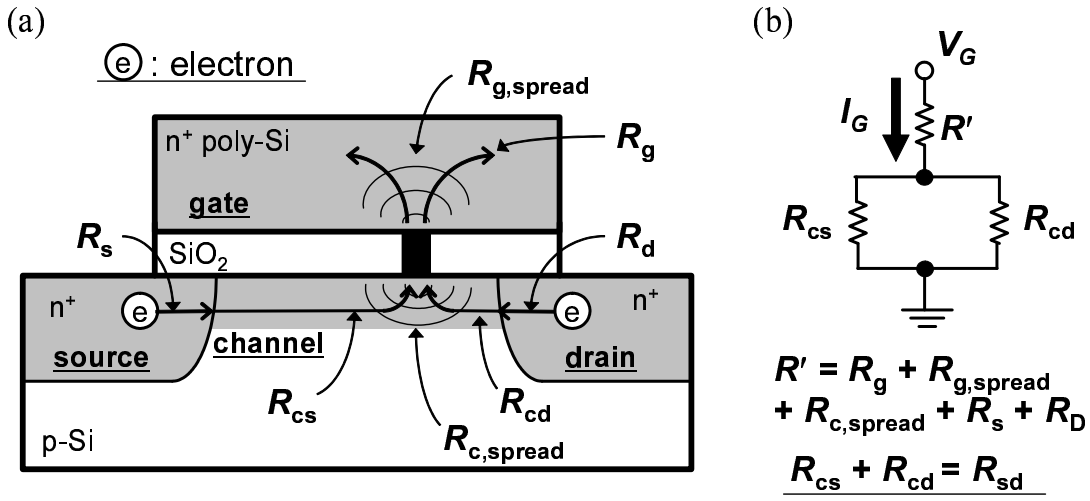


図 3.8: (a) SBD 後の nMOSFET 内の寄生抵抗成分．リークパスの抵抗 R_{path} 以外に，チャネル抵抗 R_{c}，チャネル内での広がり抵抗 $R_{\mathrm{c,spread}}$，ゲート抵抗 R_{g}，ゲート内での広がり抵抗 $R_{\mathrm{g,spread}}$，ソース (ドレイン) 抵抗 $R_{\mathrm{s(d)}}$ が存在する．(b) SBD 後 nMOSFET の等価回路モデル．チャネル抵抗はソース側抵抗 R_{cs} とドレイン側抵抗 R_{cd} の並列抵抗となる．

ゆえに，$I_{\mathrm{g,sat}}$ は次式で表わされる．

$$I_{\mathrm{g,sat}} = \frac{V_{\mathrm{g}}}{R' + s\,(1-s)\,R_{\mathrm{sd}}} \tag{3.6}$$

ここで，$R' = R_{\mathrm{c,spread}} + R_{\mathrm{g}} + R_{\mathrm{g,spread}} + R_{\mathrm{s}} + R_{\mathrm{d}}$ である．図 3.7 に，式 (3.6) を用いて行った実験結果へのフィッティングを示す．フィッティングにより，$R' = 44$ kΩ，$R_{\mathrm{sd}} = 22$ kΩ が得られた．このソース–ドレイン間の抵抗 $R_{\mathrm{sd}} = 22$ kΩ は一般的な MOSFET の ON 抵抗値よりも大きいが，それはゲートに 4 V という高電圧が印加されていることにより，リークパス直下とソース/ドレイン間の電圧も高くなっており，I_{d}–V_{d} 特性の飽和領域で抵抗値を見積もっているためだと考えられる．実際，今回測定した nMOSFET の I_{d}–V_{d} 特性及び I_{d}–V_{g} から高電圧条件下でのチャネル抵抗を見積もったところ，妥当な値となった．このとき，合成チャネル抵抗 R_{c} は式 (3.5) より $R_{\mathrm{c}} = 0$–5.5 kΩ と求まり，リークパス位置に依存しない抵抗成分 $R' = 44$ kΩ よりも約 1 桁小さいことから，$I_{\mathrm{g,sat}}$ のリークパス位置依存性が非常に弱いことが説明できる．

次に，リークパス位置に依存しない寄生抵抗 R' のうち，どの抵抗が最も支配的であるかを考察する．チャネルに比べて断面積が充分に大きいゲート，ソース，ドレインの抵抗 R_{g}，R_{s}，R_{d} の寄与は無視できるほど小さい．そのため，3.3 節で述べた MOS キャパシタの場合と同様，ゲート内での広がり抵抗 $R_{\mathrm{g,spread}}$ とチャネル内での広がり抵抗 $R_{\mathrm{c,spread}}$ が支配的であると考えられる．リークパスが半径 a の円筒であると仮定すると，図 3.9 に示したように $R_{\mathrm{g,spread}}$ は式 (3.2) を用いて解析的に求めることができる．なお，実験に用いた nMOSFET のゲート不純物濃度 1×10^{20} cm^{-3} より，ゲート電極の抵抗率は $\rho = 0.001$ Ω·cm とした [10]．一方，チャネル中の電位・電子は Si/SiO$_2$ 界面から深さ方向に対して複雑な分布を持つため，$R_{\mathrm{c,spread}}$ は式 (3.2) から求めることは困難である．そこで，*ATLAS* を用いたデバイスシミュレーションを様々な a に対して行い，求められた $R_{\mathrm{c,spread}}$ を図 3.9 に示す．$R_{\mathrm{c,spread}}$ が $R_{\mathrm{g,spread}}$ よりも

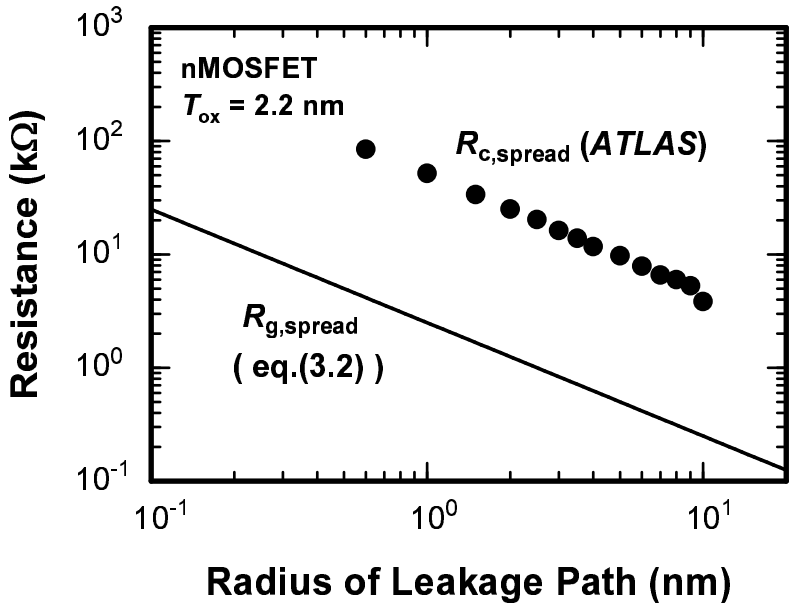


図 3.9: 式 (3.2) から求めた $R_{\mathrm{g,spread}}$ とデバイスシミュレーションにより求めた $R_{\mathrm{c,spread}}$ の比較.

1 桁大きくなっていることから，R' で支配的な成分はチャネル内の広がり抵抗 $R_{\mathrm{c,spread}}$ であることが分かる．また，$I_{\mathrm{g,sat}}$ のリークパス位置依存性に対するフィッティングより $R' = 44$ kΩ であることから，リークパス半径 a の大きさは約 2 nm 程度であると考えられる．この大きさは MOS キャパシタの場合と同一オーダーであり，また他の報告 [5–7] とよく一致している．

3.5 まとめ

SBD 後のゲートリーク電流が最終的に飽和することに注目し，その機構を実験，理論解析，デバイスシミュレーションにより調べた．MOS キャパシタに外部抵抗器を直列に接続して定電圧ストレス試験を行った結果，外部抵抗やデバイス中の寄生抵抗における有意な電圧降下によって，ゲートリーク電流の増加が著しく緩やかとなり，飽和傾向を示すことが分かった．MOS キャパシタ中の寄生抵抗は，Si 基板内の広がり抵抗が支配的であることを明らかにした．また，MOSFET の寄生抵抗はチャネル内の広がり抵抗が支配的であるものの，リークパス直下からソース/ドレイン間のチャネル抵抗の寄与も僅かにあることを，SBD 後ゲートリーク電流の飽和値のチャネル方向のリークパス位置依存性から示した．リークパスを円筒形と仮定すると，MOS キャパシタ，MOSFET どちらの場合も，SBD 後の寄生抵抗は ∼ 10 kΩ で，リークパス半径 a は 1–5 nm と見積もられた．

参考文献

[1] E. Miranda and A. Cester, "Degradation Dynamics of Ultrathin Gate Oxides Subjected to Electrical Stress," IEEE Electron Device Letters, vol. 24, pp. 604–606 (September 2003).

[2] R. Holm, *Electric Contacts*, (Springer–Verlag, Berlin, 1967) 4th ed., p. 4.

[3] W. B. Shockley, G. L. Pearson, and J. R. Haynes, "Hole Injection in Germanium — Quanttitative Studies and Filamentary," Bell Systems Technical Journal, vol. 28, pp. 344–366 (October 1949).

[4] SILVACO Japan Inc., http://www.silvaco.co.jp/.

[5] J. Suñé, E. Miranda, M. Nafría, and X. Aymerich, "Point Contact Conduction at the Oxide Breakdown of MOS Devices," IEDM Tech. Dig., pp. 191–194, San Francisco, USA (December 1998).

[6] D. Goguenheim, A. Bravaix, D. Vuillaume, F. Mondon, Ph. Candelier, M. Jourdain, and A. Meubertzhagen, "Experimental Study of the Quasi–Breakdown Failure Mechanism in 4.5 nm–Thick SiO_2 Oxides," Microelectron. Reliab., vol. 39, pp. 165–169 (February 1999).

[7] S. Lombardo, A. La Magna, I. Crupi, C. Gerardi, and F. Crupi, "Reduction of Thermal Damage in Ultrathin Gate Oxides after Intrinsic Dielectric Breakdown," Appl. Phys. Lett., vol. 79, pp. 1522–1524 (September 2001).

[8] R. Degraeve, B. Kaczer, A. De Keersgieter, and G. Groeseneken, "Relation between Breakdown Mode and Location in Short–Channel nMOSFETs and its Impact on Reliability Specifications," IEEE Trans. Device Mater. Reliab., vol. 1, pp. 163–169 (September 2001).

[9] B. Kaczer, R. Degraeve, A. De Keersgieter, K. Van de Mieroop, V. Simons and G. Groeseneken, "Impact of MOSFET Gate Oxide Breakdown on Digital Circuit Operation and Reliability," IEEE Trans. Electron Devices, vol. 49, pp. 500–506 (March 2002).

[10] S. M. Sze, *Physics of Semiconducter Devices* (John Wiley & Sons Inc., New York, 1981) 2nd ed., p. 32.

第4章　Soft Breakdown後ゲートリーク電流の時間変化モデルと信頼性評価

4.1　はじめに

ここ数年のゲート絶縁膜信頼性の話題として，MOSFET 1つの絶縁破壊はLSIにとって致命的ではないという報告 [1–4] がなされる一方で，LSIチップ全体でのオフリーク電流による消費電力がLSI寿命を決定するという指摘もある [5]．現在製品として市場に出ている最先端のチップのゲート絶縁膜厚は1.2 nmである．そのような極薄膜では完全絶縁破壊 (Hard Breakdown : HBD) よりも破壊後のゲートリーク電流の増加が少なく，かつ時間的に緩やかな擬似絶縁破壊 (Soft Breakdown : SBD) が支配的になる [6–8]．したがって，極薄ゲート絶縁膜においては，厚膜のように1つのMOSFETの絶縁破壊=LSI寿命と単純に定義できない．このため，新たな寿命の定義や信頼性評価法の確立が急務となっている．

本研究では，第2，3章で述べたSBD後のゲートリーク電流の時間発展特性及び飽和要因の解析結果から，両者を組み合わせることによりSBD後ゲートリーク電流を予測・再現するモデルを構築する．また，そのモデルを応用して消費電力の観点からLSI信頼性評価を行う手法を提案する．まず4.2節で，第2章で確立したSBD後ゲートリーク電流の時間発展式に対し，第3章で述べた寄生抵抗によるネガティブフィードバックを考慮することで，SBD後ゲートリーク電流の時間変化モデルを構築する．4.3節では，そのモデルを利用して，実測することが時間的に不可能なLSI動作電圧条件下 (~ 1 V) のMOSFETで生起するSBD特性を外挿する．次に，4.4節では，4.3節で外挿したSBD特性と絶縁破壊統計を併せて考えることにより，LSIチップ全体の消費電力の観点から信頼性評価を行う．最後に4.5節にてまとめとする．

4.2　Soft Breakdown後ゲートリーク電流の時間変化モデル

本研究では，SBD後ゲートリーク電流の時間変化を漸増領域と飽和領域の2つに分けて考える．第2章ではSBD後ゲートリーク電流の時間発展式 (式 (2.3)) を確立し，3章でゲートリーク電流の飽和は寄生抵抗による電圧降下に起因していることを明らかにした．これらより，SBD後ゲートリーク電流を再現するためのモデルとして，図4.1のフローチャートに示すようなネガティブフィードバックを考案した．SBDに起因するゲートリーク電流の増加が寄生抵抗 $R_{\mathrm{parasitic}}$ 及び外部抵抗 r_{ext} による電圧降下を引き起こし，リークパスに加わる電圧 V_{path} が減少する．その結果，次の瞬間におけるゲートリーク電流の増加量が指数関数的に減少する，というフィードバックが生じる．SBD後のある時点 t から $t+\Delta t$ までの間のゲートリーク電流の増加量 $\Delta I_{\mathrm{g}}(t)$ は，式 (2.3) の時間微分にその時点での $V_{\mathrm{path}}(t)$ を代入したものと Δt との積により得られる． そして，$\Delta I_{\mathrm{g}}(t)$ が加算された電流 $I_{\mathrm{g}}(t+\Delta t) = I_{\mathrm{g}}(t) + \Delta I_{\mathrm{g}}(t)$ が外部抵抗 r_{ext} と寄生抵抗 $R_{\mathrm{parasitic}}$ に流れて生じる電圧降下により，リークパスにかかる電圧は $V_{\mathrm{path}}(t+\Delta t) = V_{\mathrm{g}} - (r_{\mathrm{ext}} + R_{\mathrm{parasitic}}) \cdot I_g(t+\Delta t)$ となる．以降同様に，この $V_{\mathrm{path}}(t+\Delta t)$

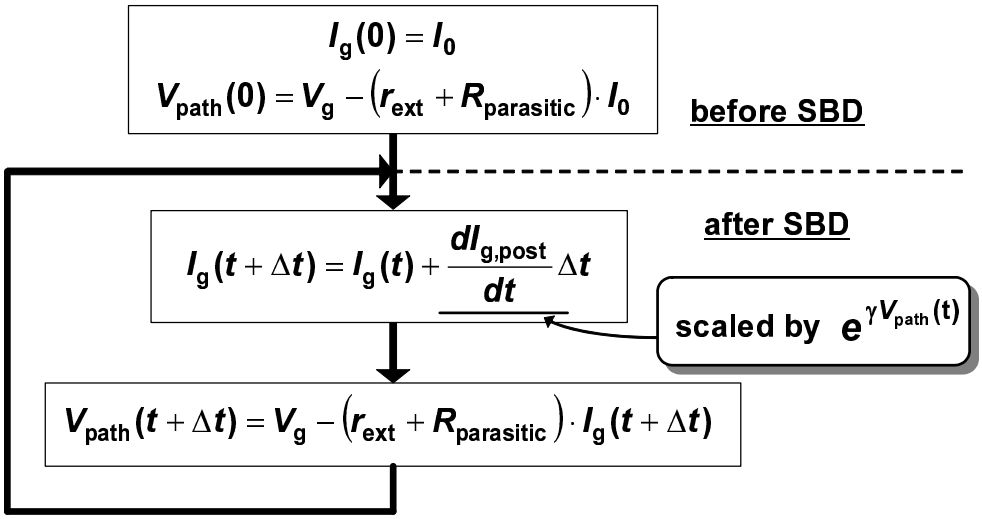


図 4.1: SBD 後のゲートリーク電流の計算フローチャート.

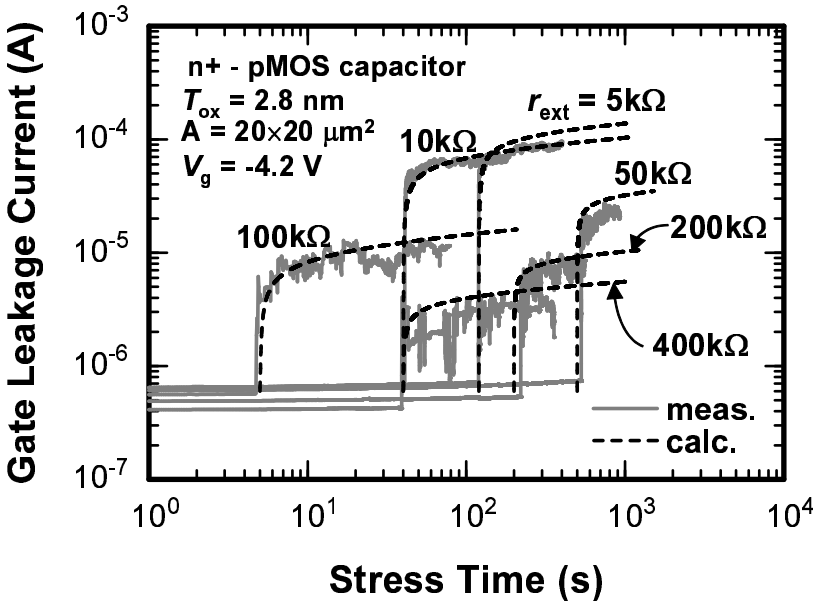


図 4.2: 酸化膜厚 2.8 nm の n^+poly-Si ゲート pMOS キャパシタにおいて，寄生抵抗 $R_{\mathrm{parasitic}}$ 及び外部抵抗 r_{ext} を考慮して計算した SBD 後のゲートリーク電流の時間変化．実測値は図 3.3 に示したものと同じである．

に律速されて増加した電流は $I_g(t+2\Delta t)$，その電流による電圧降下がフィードバックされて，リークパスにかかる電圧は $V_{path}(t+2\Delta t)$，$\cdots$ と順に決定される．このようにして I_g と V_{path} を繰り返し計算することにより，SBD 後ゲートリーク電流が再現できる．初期条件は，SBD 前に直接トンネルにより流れているバックグラウンド電流を I_0 とすると，$I_g(0) = I_0$，$V_{path}(0) = V_g - (r_{ext} + R_{parasitic})\, I_0$ である．寄生抵抗 $R_{parasitic}$ としては，第 3 章で述べたように，n^+poly–Si ゲート pMOS キャパシタではリークパス直下の p 型 Si 基板中での広がり抵抗，nMOSFET ではチャネルでの広がり抵抗とチャネル抵抗が存在している．広がり抵抗はリークパスの半径に依存しているため，寄生抵抗も厳密には時間の関数として表わす必要がある．しかし，SBD リークパスの組成・形状などは未だ明らかとなっておらず，時間の関数として扱うことは事実上不可能なため，ここでは定数として扱う．

外部抵抗 r_{ext} が直列に接続されたゲート酸化膜厚 2.8 nm の n^+ poly–Si ゲート pMOS キャパシタに対する $V_g = -4.2$ V の定電圧ストレス TDDB 試験を考え，図 4.1 に示したモデルを用いて SBD 後ゲートリーク電流の時間変化を計算した結果を図 4.2 に示す．各 r_{ext} における SBD 時間 t_{SBD} は実測値をそのまま加算してプロットした．計算に用いたパラメータは，実測定により抽出された $R_{parasitic} = 8.8$ kΩ，$\alpha = 2$，$\gamma' = 5$ dec./V である (第 3 章 3.2 節参照)．また，$C = 1 \times 10^{13}$ $A^{1/2} \cdot sec^{-1}$ はフィッティングにより決定した．計算結果は実測値をよく再現しており，SBD 後ゲートリーク電流計算モデルの妥当性が確認された．

4.3 LSI 動作条件下の MOSFET で生起する Soft Breakdown

本節では，図 4.1 の SBD 後ゲートリーク電流計算モデルを用いて，動作条件下 (~ -1 V) の極薄ゲート酸化膜 MOSFET における SBD 特性の予測を試みる．まず，ゲート酸窒化膜 1.5 nm の pMOS キャパシタにおいて，$V_g = -3.2$ – -2.3 V の範囲で測定された SBD 後ゲートリーク電流 (図 2.15(b)) を再現するための計算を行った．パラメータには，表 2.1 に示したように実験から抽出される $\alpha = 0.7$，$\gamma' = 4.4$ dec./V，$C = 6 \times 10^{-16}$ $A^{1/0.7} \cdot sec^{-1}$ を用い，$R_{parasitic} = 1$ kΩ はフィッティングにより決定した．図 4.3 中に示した計算結果 (実線) は測定結果とよく一致している．また，LSI 動作条件下で生起する SBD 特性を外挿予測するため，$V_g = -1$ V として SBD 後のゲートリーク電流について計算を行った結果を図 4.3 中の破線に示す．加速試験同様，$V_g = -1$ V で 10^{-3} A に達するほど顕著なリーク電流の増加が認められる．これは第 3 章で述べたように，ゲートリーク電流の飽和を引き起こすほどの電圧降下が寄生抵抗で生じるには，たとえ $V_g = -1$ V においても相当量のゲートリーク電流が必要なためである．すなわち，極限までリークパス成長が進行すると $\sim V_g/R_{parasitic}$ に漸近すると予想される．

先の計算で使用した $R_{parasitic} = 1$ kΩ はフィッティング結果である．より正確に SBD 特性を予測するためには，フィッティング以外の方法で $R_{parasitic}$ を決定しなければならない．第 3 章 3.4 節で述べたように，nMOSFET における寄生抵抗成分のうち，チャネルでの広がり抵抗が支配的であることが明らかになっているものの，チャネル中の電子・電位分布が複雑なために，寄生抵抗を解析的に見積もることは困難である． 一方，第 3 章 3.3 節で述べたように，デバイスシミュレーションは広がり抵抗を見積もるのに非常に有用な手法である．ここでは，MOS キャパシタの場合と同様，デバイスシミュレータ *ATLAS* [9] によりチャネルでの広がり抵抗を見積もった．これ以外の寄生抵抗としては，リークパス–ソース/ドレイン間のチャネル抵抗も僅かに存在するが，その寄与は僅かである (第 3 章 3.4 節参照)．よって，寄生抵抗のチャネル方向位置依存性は無視し，SBD により nMOSFET のチャネル中央 (ソース–ド

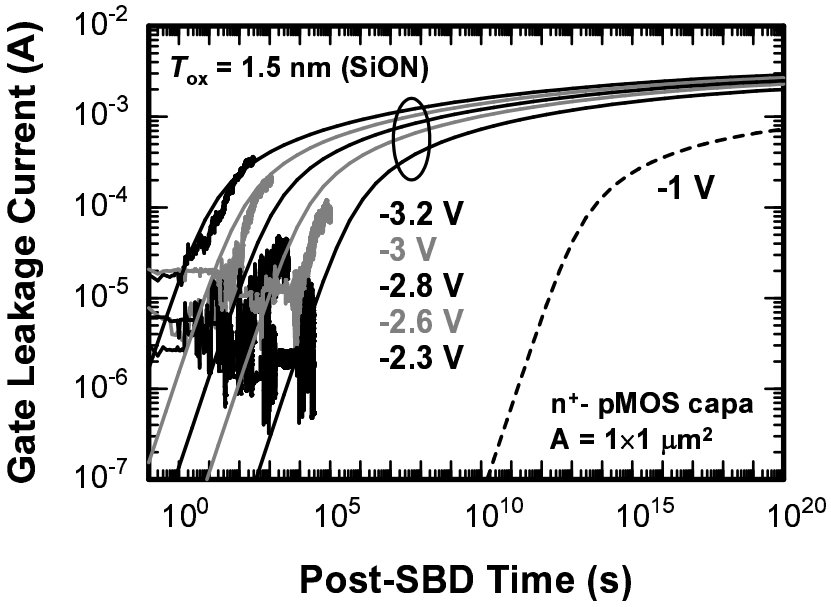


図 4.3: ゲート酸窒化膜 1.5 nm の n^+poly-Si ゲート pMOS キャパシタにおける SBD 後のゲートリーク電流の時間変化の計算結果．実測値は図 2.15(b) に示したものと同じである．

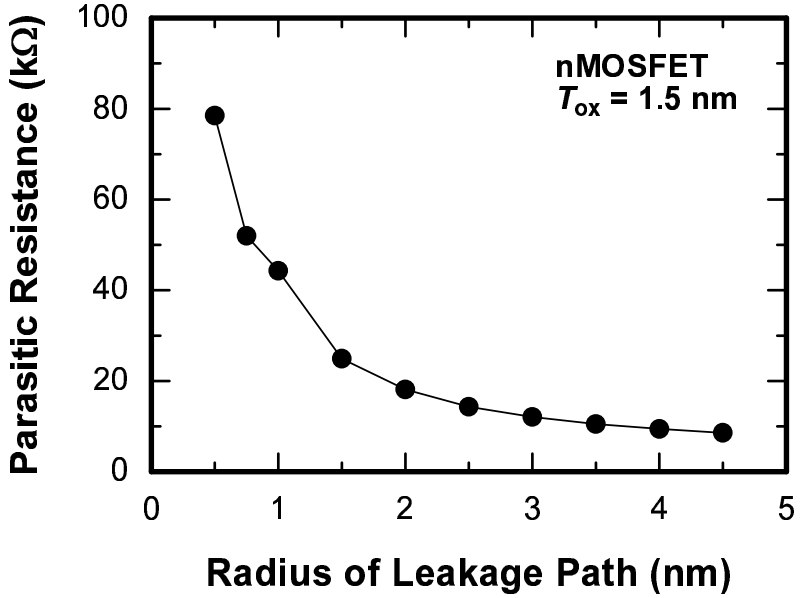


図 4.4: デバイスシミュレータ *ATLAS* により求めたゲート酸化膜 1.5 nm の nMOSFET における寄生抵抗.

レイン間の中心) に半径 a のリークパスが形成されたと仮定し，デバイスシミュレーションを行った．なお，リークパス径 a がゲート長に対して充分小さいとき，寄生抵抗はゲートサイズに依存しない．図 4.4 に $V_g = 1$ V での寄生抵抗を見積もった結果を示す．$a < 2$ nm のときはリークパスの成長に対する寄生抵抗の減少は大きいが，$a > 3$ nm になると次第に 10 kΩ に漸近している．SBD 後のリークパスの半径は 5 nm 以下であるという報告 [10–12] を考慮すると，ゲートリーク電流が飽和に達したときの nMOSFET 中の寄生抵抗の値は約 10 kΩ 以上であると考えられる．

最悪の場合を想定して，$R_{\mathrm{parasitic}} = 10$ kΩ とし，$V_g = 1$ V 及び 2 V の定電圧ストレス下で生起した SBD 後のゲートリーク電流の時間変化を計算した結果を図 4.5 に示す．ゲートリーク電流の飽和レベルを見ると，$V_g = 1$ V 及び 2 V どちらの場合も，$I_g \sim 10^{-4}$ A となっている．第 2 章・図 2.10 に示したように，実際の測定において $V_g = -2.8$ V で SBD を生起した後の 1.5 nm の酸窒化膜の $I-V$ 特性を見ると，リークパス成長が飽和したと思われる 10^4 秒経過のもので，$V_g = -1$ V で $I_g \sim 10^{-6}$ A となっている．この値は計算値よりも 2 桁小さい．これは，リークパス成長に対して充分な時間を設定でき，ゲートリーク電流増加が非常に緩やかであっても飽和値を再現可能な計算に対し，実際の測定ではせいぜい～数日までしか実測できないために，実際にはまだリークパス成長の余地があるにも関わらず試験を終了してしまっていると考えられる．リークパスの成長に要する時間は指数関数的に長くなっていくことから考えると，人間の時間感覚では飽和に達した (=リークパス成長終了) と判断しても無理ないことである．しかしながら，再度強調しておくと，極限までリークパス成長が進行すると，リークパスを介した電流は $\sim V_g/R_{\mathrm{parasitic}}$ にまで達するというのが本研究の主張である．

一方，図 4.5 に示した計算結果から，LSI 動作条件下で生起する SBD が MOSFET 機能を損なう可能性について考察する．MOSFET のゲート面積を 0.05 μm^2 とすると，$V_g = 1$ V 及

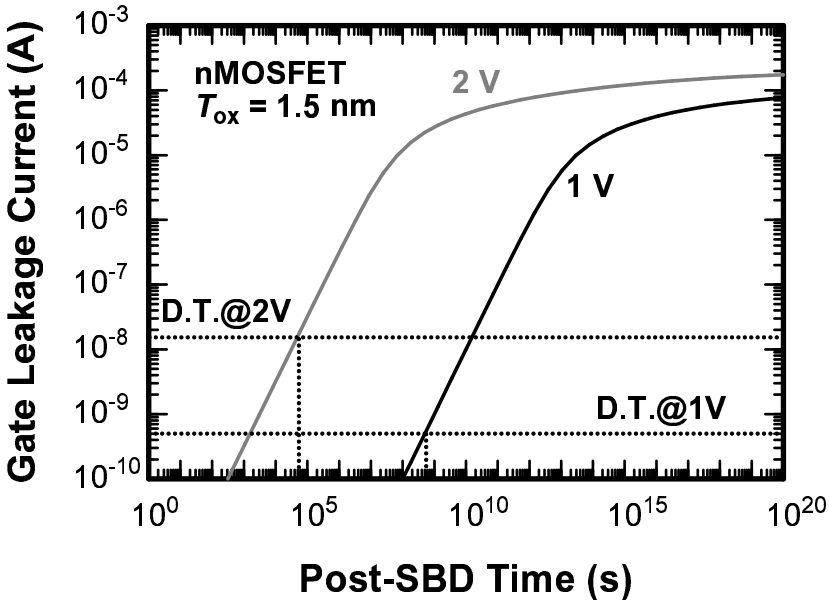


図 4.5: 図 4.1 のモデルを用いて計算されたゲート酸化膜 1.5 nm の nMOSFET における SBD 後のゲートリーク電流の時間変化.

び 2 V で直接トンネルにより流れる電流はそれぞれ $\sim 5 \times 10^{-10}, \sim 1.5 \times 10^{-8}$ A と見積もられる [13]．少なくともこの電流値を超えるほどの電流がリークパスを介して流れないことには，SBD は MOSFET の機能自体に何も影響しない．2 V の場合，SBD 発生から $\sim 10^5$ 秒後 ($\sim$ 1 日) に，リークパスを介した電流が直接トンネル電流を超える．このとき，10 年間の製品保証を満足するには，チップ中の全ての MOSFET が 10 年間絶縁破壊を起こさないことが前提となる．それに対し，1 V の場合は直接トンネル電流を超えるほどの大電流が流れるには，$\sim 5 \times 10^8$ 秒程度 (約 20 年) かかる．したがって，もし仮にチップの使用開始直後にチップ中の MOSFET の 1 つで SBD が起きたとしてもその影響が現れるのは，製品保証期間 (10 年間) よりも先のことになる．この結果は，極微細 MOSFET 1 つの絶縁破壊は LSI にとって致命的ではないとする予測 [1–4] を支持するものである．

しかし，この計算は室温条件を仮定して行ったものであるので，MPU のような実際には室温よりも高温となるようなチップの信頼性予測を行うには，温度条件も考慮しなければならない．また，電圧と温度以外の加速因子が存在する可能性もある．SBD に起因したゲートリーク電流がどの程度流れたときに MOSFET が正常に機能しなくなるのか，という基準も曖昧であり，実際にはより詳細な議論が必要である．

4.4　ゲートリーク電流の観点からみた極薄ゲート酸化膜の信頼性評価

前 4.3 節では，LSI 動作条件下において MOSFET の 1 つが SBD を起こしたとしても，回路動作に影響が出るまでは膨大な時間がかかるために，信頼性上の問題はほとんどないと予想された．しかし，高集積 LSI チップにおいては，SBD を起こす MOSFET は 1 つではなく多数存在すると考えられるため，それに起因したリーク電流の増加が消費電力上の問題となる可能性がある [5]．そこで本節では，LSI 動作条件下で生起する SBD が LSI チップ全体の消費電力に与える影響を考察する．

図 4.6 に示した 2 億個の MOSFET (ゲート酸化膜厚 1.5 nm) が集積された LSI チップ (総ゲート面積 0.1 cm^2) を考え，MOSFET の 1 つ 1 つにおいて，次式のような累積故障関数 $F(t)$ からなる Weibull 分布に従って独立に SBD が生起すると仮定する．

$$F(t) = 1 - \exp\left[-\left(\frac{t}{\theta}\right)^{\beta}\right] \tag{4.1}$$

ここで，θ は平均絶縁破壊時間，β は Weibull 傾きと呼ばれる統計ばらつきの指標である．$F(t)$ は，平均絶縁破壊時間 θ を持つ集合のうち，ある時間 t までに絶縁破壊した個数の割合を与える．

図 2.9 より，厚さ 1.5 nm の酸窒化膜の平均寿命は，ゲート面積 1×1 $\mu\mathrm{m}^2$，ゲート電圧 1 V で 2.5×10^{15} 秒と見積もられる．このとき，最悪の場合を想定して，低電圧での絶縁破壊時間 t_{BD} を予測する酸化膜劣化の電圧加速モデルには最も悲観的な E モデル [14–17] (付録 A 参照) を適用し，その電圧加速係数 γ は図 2.17 に示した 5.5 dec./V とした．また，極薄ゲート酸化膜の絶縁破壊統計の報告 [18]，及び絶縁破壊に至るまでの酸化膜劣化モデルとして一般的に受け入れられているパーコレーションモデル [19, 20] から，1.5 nm の酸化膜の Weibull 傾きは $\beta = 1$ になると予測されている．想定した LSI チップ中の MOSFET のゲート面積は 0.05 $\mu\mathrm{m}^2$ とした．面積 1 の累積故障関数 $F(t)$ に対して 面積 N の大きさの累積故

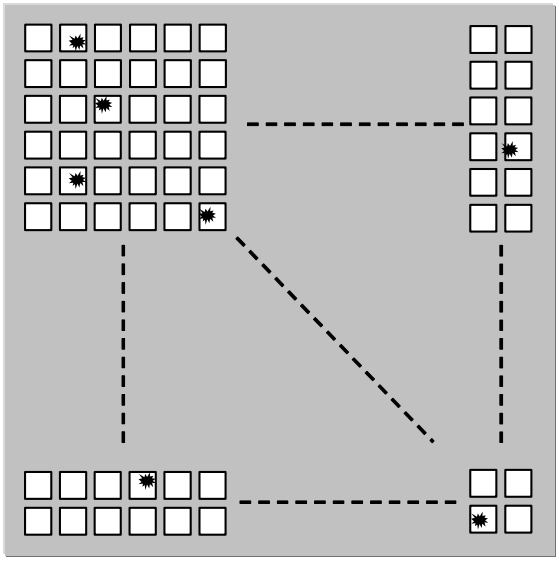


図 4.6: 総ゲート面積 0.1 cm^2，MOSFET (ゲート酸化膜厚 1.5 nm) 2 億個が集積された LSI チップ内の個々の MOSFET で次々と SBD が生起してゆく模式図.

障関数 $F_N(t)$ は,

$$F_N(t) = 1 - \exp\left[-\left(\frac{t}{\theta/N^{1/\beta}}\right)^{\beta}\right] \tag{4.2}$$

と表わされる (付録 B 参照) ことを考慮すると，MOSFET 1 つの電源電圧 1 V 印加下での平均絶縁破壊時間 θ は 5×10^{16} 秒と算出される．最終的に累積故障関数 $F(t)$ は次式のように表わされる.

$$F(t) = 1 - \exp\left[-\left(\frac{t}{5 \times 10^{16}}\right)\right] \tag{4.3}$$

LSI チップ中の各 MOSFET が式 (4.3) に従って SBD を起こすとし，SBD 後ゲートリーク電流の時間変化の 1 つ 1 つを図 4.1 で示されるモデルから計算し，それらを次々に加算していくことで，チップ全体でのゲートリーク電流を見積もったところ，図 4.7 に示すようになった．また，ある時間内に同一 MOSFET 内で起こる k 回目の SBD は，次式のような Weibull 分布で表されることが確率論的に示されている [21, 22] (付録 B 参照).

$$\ln\{-\ln[1 - F(t)]\} = \ln\left\{\left(\frac{t}{t_{\mathrm{SBD},63\%}}\right)^{\beta} - \ln\left[\sum_{i=0}^{k-1}\frac{1}{i!}\left(\frac{t}{t_{\mathrm{SBD},63\%}}\right)^{i\beta}\right]\right\} \tag{4.4}$$

上式を用いることにより，1 つの MOSFET 中に 2 回目，3 回目，$\cdots$ と生起する SBD による寄与も加算した.

たとえ MOSFET 1 つの平均絶縁破壊時間 θ が非常に大きくとも，Weibull 傾き $\beta = 1$ として表わされる極薄膜特有の大きな寿命ばらつきによって，いくつかの MOSFET は早期に

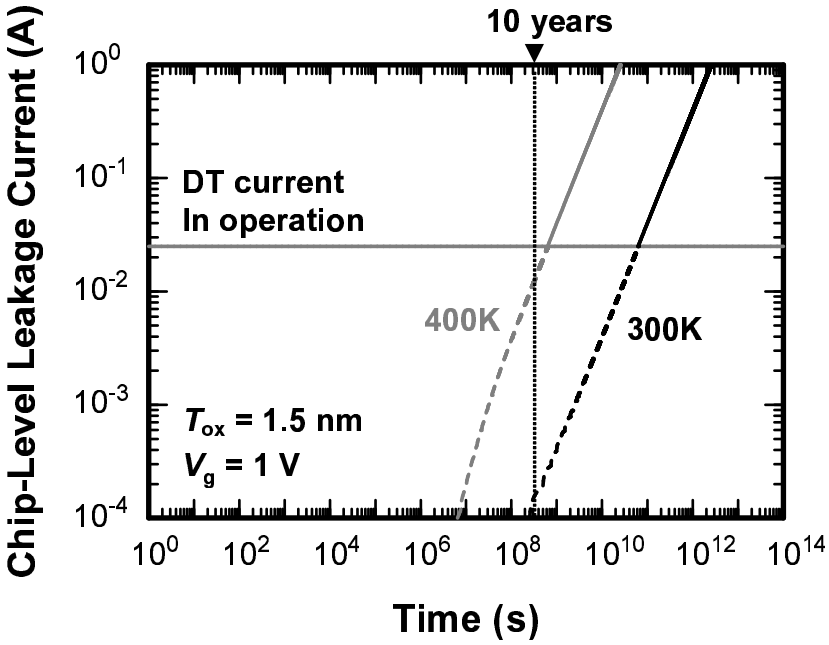


図 4.7: SBD に起因した LSI チップ全体のリーク電流増加の計算結果.

SBD を起こすと予想される (第 1 章・図 1.7 参照)．そのため，図 4.7 に示すように，平均絶縁破壊時間 5×10^{16} 秒 (∼ 15 億年) よりも約 5 桁早い 10^{11} 秒 (∼ 3000 年) の時点で，SBD に起因するゲートリーク電流が，通常使用時にバックグラウンドで流れている直接トンネル電流 (∼ 25 mA) を超えることが分かる．なお，この直接トンネル電流量は以下のようにして見積もった．チップ中には nMOSFET と pMOSFET それぞれが同数あると考え，pMOSFET のゲート面積は nMOSFET の 3 倍であるとすると，総ゲート面積 0.1 cm^2 の 25%，0.025 cm^2 が nMOSFET が占めるゲート面積である．pMOSFET の直接トンネル電流は nMOSFET と比べて 1–2 桁小さいことから，それは無視できるものとし，ゲート酸化膜厚 1.5 nm の全 nMOSFET に $V_g = 1$ V を印加したときの電流密度が 1 A/cm^2 である [13] ことから，チップ全体での直接トンネル電流 I_{DT} は $I_{DT} = 0.025$ A となる．

以上より，SBD に起因するゲートリーク電流によって，LSI チップ全体のリーク電流が過剰に流れるまでの時間は ∼ 1000 年以上と非常に長いことが分かった．絶縁破壊時間の温度加速が 0.02 dec./℃ であること [23–25] を考慮すると，高温条件 (400 K) でリーク電流が過剰に流れるまでの時間は ∼ 20 年となり，信頼性を保証するにはやや厳しい．一方，前 4.3 節で，動作条件下での SBD が MOSFET 機能を損なうまでの時間は，SBD 発生から ∼ 20 年以上と予測されており，チップ全体での消費電力が過剰になるのとほぼ同時期である．このことから，MOSFET 単体の正常機能だけでなく，チップ全体での消費電力の観点からも LSI 信頼性を議論する必要があることが分かる．特に，最近では低消費電力用などチップ用途が多様化してきており，チップに要求される条件は様々である．本章で提案した SBD 後ゲートリーク電流の時間変化モデルを利用した信頼性評価方法は，MOSFET の正常機能あるいはチップ全体の消費電力それぞれの観点から寿命予測を行うことが可能なので，非常に有用である．

最後に，SBD 後ゲートリーク電流の時間変化モデルを利用した LSI 信頼性評価法の手順をまとめる．

1. 対象チップを構成する MOSFET に対して定電圧ストレス TDDB 試験を行い，平均絶縁破壊時間 t_{SBD} 及びその電圧加速係数 γ を求める．最悪の場合を想定し，動作電圧下での平均絶縁破壊時間は E モデルを用いて外挿する．なおゲート面積が異なる MOSFET の評価を行う場合，評価対象の MOSFET の平均絶縁破壊時間は，測定した MOSFET の Weibull 傾きからゲート面積比を考慮し換算する．

2. SBD 後ゲートリーク電流の時間発展のべき乗項 α と電圧加速係数 γ' を実測から求める．

3. 理論解析もしくはデバイスシミュレーションにより，ゲートリーク電流飽和の原因となる SBD 後 MOSFET 中の寄生抵抗の値を決定する．

4. 以上により得られたパラメータを用い，図 4.1 に示したモデルで LSI 動作条件下における SBD 後ゲートリーク電流の時間変化を計算する．

5. MOSFET において重大な故障につながるほどのゲートリーク電流を用途・回路構成などから定義する．計算した SBD によるゲートリーク電流がその値を越えるまでの時間を見積もり，MOSFET 機能の観点から信頼性評価を行う．

6. チップ中の MOSFET が Weibull 統計に従って次から次に SBD を生起すると仮定し，SBD に起因するゲートリーク電流増加を順次加算し，チップ全体でのリーク電流を計算する．計算したチップ全体でのリーク電流が，あるしきい値—例えば新品の状態でのリーク電流 (すなわち直接トンネル電流) や設計値など—よりも 10%以上大きくなったときが LSI の寿命であると定義し，消費電力の観点から LSI の信頼性評価を行う．しきい値はチップの用途 (低消費電力用やハイエンド用など) に応じて設定する．

また，より正確な信頼性予測のためには，実際のチップの温度条件を想定し，手順 1–3 のパラメータ抽出を行う必要がある．

4.5 まとめ

第 2，3 章の結果を基にして，SBD 後ゲートリーク電流の時間変化モデルを構築した．SBD 後ゲートリーク電流の時間発展に関するパラメータは加速試験により，また飽和の原因となる寄生抵抗は理論解析・デバイスシミュレーションにより決定される．LSI 動作電圧 (∼1 V) 下にあるゲート酸化膜 1.5 nm の nMOSFET で生起する SBD を想定し，SBD 後のゲートリーク電流の時間変化を計算した．その結果，SBD によって MOSFET が機能を喪失するまでには，SBD 発生から ∼ 20 年の時間を要することが分かった．また，絶縁破壊統計と併せて考えることにより，SBD に起因するチップ全体でのリーク電流増加を定量的に見積もり，消費電力の観点から行う信頼性評価法を提案した．その結果，MOSFET の SBD による回路誤動作とほぼ同時期に，過剰な消費電力も問題となることが示唆された．

参考文献

[1] B. E. Weir, P. J. Silverman, D. Monroe, K. S. Krisch, M. A. Alam, G. B. Alers, T. W. Sorsch, G. L. Timp, F. Baumann, C. T. Liu, Y. Ma, and D. Hwang, "Ultra–Thin Gate Dielectrics: They Break Down, but Do They Fail?," IEDM Tech. Dig., pp. 73–76, Washington D. C., USA (December 1997).

[2] B. P. Linder, J. H. Stathis, R. A. Wachnik, E. Wu, S. A. Cohen, A. Ray, A. Vayshenker: "Gate Oxide Breakdown under Current Limited Constant Voltage Stress," Proc. VLSI Tech. Symp., pp. 214–215, Hawaii, USA (June 2000).

[3] B. Kaczer, R. Degraeve, M. Rasras, K. V. de Mieroop, P. J. Roussel, and G. Groeseneken, "Impact of MOSFET Gate Oxide Breakdown on Digital Circuit Operation and Reliability," IEDM Tech. Dig., pp. 553–556, San Francisco, USA (December 2000).

[4] B. E. Weir, M. A. Alam, P. J. Silverman, F. Baumann, D. Monroe, J. D. Bude, G. L. Timp, A. Hamad, Y. Ma, M. M. Brown, D. Hwang, T. W. Sorsch, A. Ghetti, and G. D. Wilk, "Ultra–Thin Gate Oxide Reliability Projections," Solid–State Electron., vol. 46, pp. 321–328 (March 2002).

[5] K. Okada, "The Gate Oxide Lifetime Limited by 'B–mode' Stress Induced Leakage Current and the Scaling Limit of Silicon Dioxides in Direct Tunneling Regime," Semicond. Sci. Technol., vol. 15, pp. 478–484 (May 2000).

[6] T. Sakura, H. Utsunomiya, Y. Kamakura, and K. Taniguchi, "A Detailed Study of Soft– and Pre–Soft–Breakdowns in Small Geometry MOS Structures," IEDM Tech. Dig., pp. 183–186, San Francisco, USA (December 1998).

[7] A. Cacciato, S. Evseev, and H. Valk, "Evolution from Soft to Hard Breakdown in Thin Gate Oxides: Effect of Oxide Thickness, Capacitor Area and Stress Current," Solid–State Electron., vol. 45, pp. 1339–1344 (August 2001).

[8] M. A. Alam, B. E. Weir, and P. J. Silverman, "A Study of Soft and Hard Breakdown—-part II: Principles of Area, Thickness, and Voltage Scaling," IEEE Trans. Electron Devices, vol. 49, pp. 239–246 (Feburary 2002).

[9] SILVACO Japan Inc., http://www.silvaco.co.jp/.

[10] J. Suñé, E. Miranda, M. Nafría, and X. Aymerich, "Point Contact Conduction at the Oxide Breakdown of MOS Devices," IEDM Tech. Dig., pp. 191–194, San Francisco, USA (December 1998).

[11] D. Goguenheim, A. Bravaix, D. Vuillaume, F. Mondon, Ph. Candelier, M. Jourdain, and A. Meubertzhagen, "Experimental Study of the Quasi–Breakdown Failure Mechanism in 4.5 nm–Thick SiO_2 Oxides," Microelectron. Reliab., vol. 39, pp. 165–169 (February 1999).

[12] S. Lombardo, A. La Magna, I. Crupi, C. Gerardi, and F. Crupi, "Reduction of Thermal Damage in Ultrathin Gate Oxides after Intrinsic Dielectric Breakdown," Appl. Phys. Lett., vol. 79, pp. 1522–1524 (September 2001).

[13] N. Yang, W. K. Henson, and J. J. Wortman, "A Comparative Study of Gate Direct Tunneling and Drain Leakage Currents in N-MOSFET's with Sub–2–nm Gate Oxides," IEEE Trans. Electron Devices, vol. 47, pp. 1636–1644 (August 2000).

[14] D. Crook, "Method of Determining Reliability Screens for Time Dependent Breakdown," Proc. Int. Reliab. Phys. Symp., vol. 17, pp. 1–7, San Francisco, USA (April 1979).

[15] E. S. Anolick and G. Nelson, "Low Field Time Dependent Dielectric Integrity," Proc. Int. Reliab. Phys. Symp., vol. 17, pp. 8–12, San Francisco, USA (April 1979).

[16] A. Berman, "Time–Zero Dielectric Reliability Test by a Ramp Method," Proc. Int. Reliab. Phys. Symp., vol. 19, pp. 204–209, Orlando, USA (April 1981).

[17] J. W. McPherson and D. A. Baglee, "Acceleration Factors for Thin Gate Oxide Stressing," Proc. Int. Reliab. Phys. Symp., vol. 23, pp. 1–5, Orlando, USA (March 1985).

[18] E. Y. Wu, J. H. Stathis, and L. K. Han, "Ultra–Thin Oxide Reliability for ULSI Applications," Semicond. Sci. Technol., vol. 15, pp. 425–435 (May 2000).

[19] R. Degraeve, G. Groeseneken, R. Bellens, J. L. Ogier, M. Depas, P. J. Roussel, and H. E. Maes, "New Insights in the Relation between Electron Trap Generation and the Statistical Properties of Oxide Breakdown," IEEE Trans. Electron Devices, vol. 45, pp. 904–911 (April 1998).

[20] J. H. Stathis, "Percolation Model for Gate Oxide Breakdown," J. Appl. Phys., vol. 86, pp. 5757–5766 (November 1999).

[21] M. A. Alam, R. K. Smith, B. E. Weir, and P. J. Silverman, "Statistically Independent Soft Breakdowns Redefine Oxide Reliability Specification," IEDM Tech. Dig., pp. 151–154, San Francisco, USA (December 2002).

[22] J. Suñé and E. Y. Wu, "Statistics of Successive Breakdown Events for Ultra–Thin Gate Oxides," IEDM Tech. Dig., pp. 147–150, San Francisco, USA (December 2002).

[23] B. Kaczer, R. Degraeve, N. Pangon, T. Nigam, and G. Groeseneken, "Investigation of Temperature Acceleration of Thin Oxide Time-to-Breakdown," Microelectron. Eng., vol. 48, pp. 47–50 (September 1999).

[24] B. E. Weir, M. A. Alam, J. D. Bude, P. J. Silverman, A. Ghetti, F. Baumann, P. Diodato, D. Monroe, T. Sorsch, G. L. Timp, Y. Ma, M. M. Brown, A. Hamad, D. Hwang, and P. Mason, "Gate Oxide Reliability Projection to the sub–2 nm Regime," Semicond. Sci. Technol., vol. 15, pp. 455–461 (May 2000).

[25] E. Y. Wu, D. L. Harmon, and L.–K. Han, "Interrelationship of Voltage and Temperature Dependence of Oxide Breakdown for Ultrathin Oxides," IEEE Electron Device Letters, vol. 21, pp. 362–364 (July 2000).

第5章　回路シミュレーションによる絶縁破壊がCMOS回路に及ぼす影響の検証

5.1　はじめに

第4章では，LSIの信頼性について，極薄ゲート酸化膜の擬似絶縁破壊 (Soft Breakdown : SBD) によるMOSFET機能の喪失と，チップ全体での過剰な消費電力という2点から議論した．しかし，より現実的に絶縁破壊の影響を見積もるには，実際に回路を構成するMOSFETが絶縁破壊を起こしたときに，回路にどのような影響が生じるのか，という議論が必要不可欠である．なぜなら，回路中でのMOSFETは全てが同じ役割を果たしているわけではなく，どのMOSFETが壊れるかによって当然回路への影響は変わってくるためである．実験による調査は，回路中のどのMOSFETが絶縁破壊を起こすのか制御する，もしくはあらかじめ絶縁破壊を起こしたMOSFETを含む回路を製作する必要があり，実行は極めて困難である．そのため，最近は回路シミュレーションによって絶縁破壊が回路に及ぼす影響を解析するという試みがなされている [1–3]．現在までになされている報告では，加速試験によって生起した絶縁破壊と実際の動作電圧下で起きる絶縁破壊の特性が同じであることが前提となっており，これが崩れてしまうと解釈が大きく変わる．第4章で述べたSBD後ゲートリーク電流の時間変化モデルによる予測では，加速試験においてゲートリーク電流が飽和しているように見えても，実際にはリークパス成長が進行中であることが示唆された．すなわち，これまでの報告は実際よりも楽観的な予測と考えられる．

本研究では，LSI動作電圧下で生起するSBD特性を予測し，それを絶縁破壊後のMOSFETの電気的特性を再現するコンパクトモデルと組み合わせて回路シミュレーションを行う．さらに，得られる結果を基に，絶縁破壊がCMOS回路に及ぼす影響を考察する．まず5.2節で，第4章で述べたSBD後ゲートリーク電流の時間変化モデルを用いて，LSI動作電圧で生起するSBD特性を外挿予測する．また，完全絶縁破壊 (Hard Breakdown : HBD) と，加速試験において生起するSBDそれぞれの特性についても述べる．次に5.3節で，絶縁破壊後のMOSFETの電気的特性を再現するためのコンパクトモデルを考案する．このモデルでは，BSIM4 (Berkeley Short IGFET Model, Version–4) [4] を基に，前5.2節で決定した各絶縁破壊特性をパラメータとして用いる．5.4節では，前節にて考案したコンパクトモデルを用いてSPICE (Simulation Program Integrated Circuit Emphasis) シミュレーションを行い，絶縁破壊が回路の動作や消費電力に及ぼす影響を調べた．最後に5.5節にてまとめとする．

5.2　LSI動作条件下で起こるSoft Breakdownの特性

本節では，回路シミュレーションを行う上で必要となる，絶縁破壊後のゲート酸化膜の電流–電圧特性の調査を行う．

図5.1に，ゲート酸化膜厚2.2 nm，ゲート長0.6 μm，ゲート幅5 μmのnMOSFETに対して$V_{\mathrm{g}} = 4$ V及び3.4 Vで行った定電圧ストレスTDDB試験結果を示す．　また，$V_{\mathrm{g}} = 4$

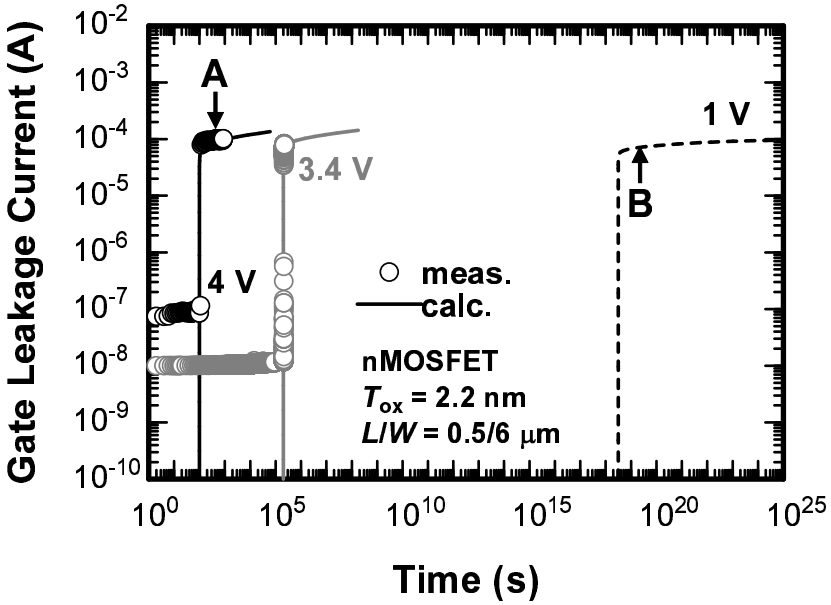


図 5.1: ゲート酸化膜厚 2.2 nm の MOSFET に対する定電圧ストレス TDDB 試験結果と計算結果.

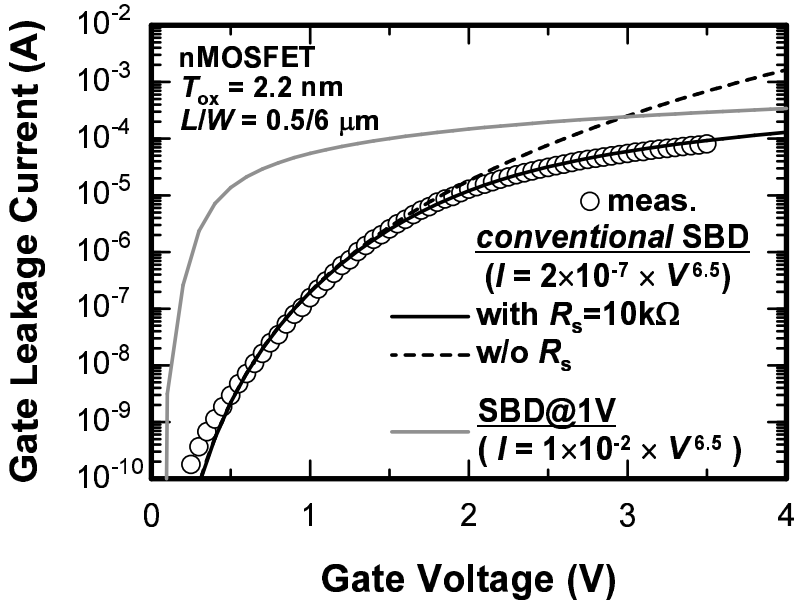


図 5.2: SBD 後の酸化膜の $I-V$ 特性．○ 実測値で，その他は SBD 後ゲートリーク電流の計算結果から外挿したもの．conventional SBD 及び SBD@1V はそれぞれ図 5.1 中の A 及び B の時点での $I-V$ 特性に相当する．

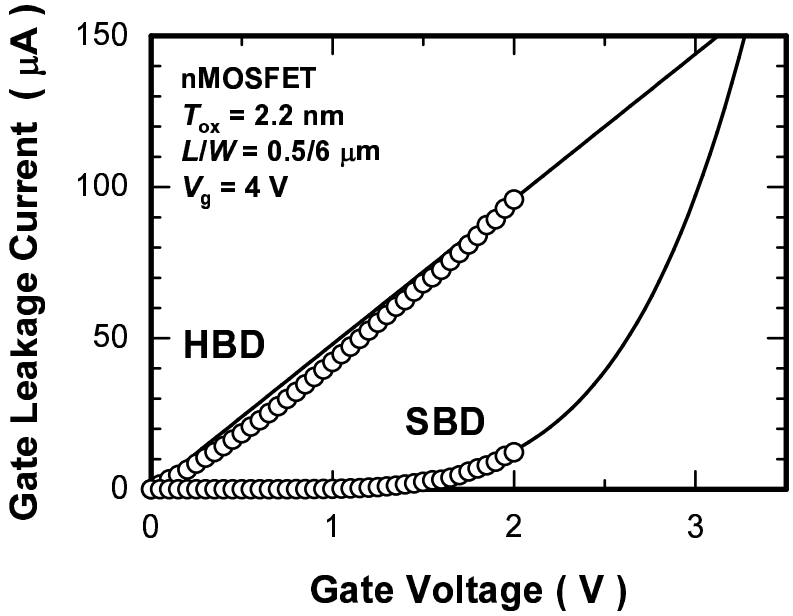


図 5.3: HBD 後の酸化膜の $I-V$ 特性．べき乗則に従う SBD に対し，HBD は線形 (オーミック) となっている．

表 5.1: SBD@1V，conventional SBD，HBD それぞれの電流–電圧特性パラメータ．ここで，$I_{\mathrm{gc}} = K \times (V_{\mathrm{g}} - V_{\mathrm{c}})^p$ である．

	K (A/V^p)	p
conventional SBD	2×10^{-7}	6.5
SBD@1V	1×10^{-2}	6.5
HBD	5×10^{-5}	1

V，3.4 V，1 V のときの SBD 後ゲートリーク電流を，第 4 章で述べたモデルから計算した結果も示す．このとき，実験から抽出した $\alpha = 1.0$，$\gamma' = 4.4$ dec./V，$C = 1 \times 10^{-21}$ A $\cdot$ sec^{-1} と，デバイスシミュレーションにより見積もった $R_{\mathrm{parasitic}} = 10$ kΩ をパラメータに用いた．また，計算結果に加算する t_{SBD} は，$\gamma = 5.5$ dec./V として E モデルから外挿した．$V_{\mathrm{g}} = 4$ V と 3.4 V では，測定結果と計算結果でよい一致が見られ，ゲートリーク電流は $\sim 10^{-4}$ A で飽和している．このとき，$V_{\mathrm{g}} = 4$ V において，SBD 発生から 1,000 秒後 (図 5.1 中 A) に測定された酸化膜の電流–電圧特性を図 5.2 に示す．なお，SBD 発生から 1,000 秒後のゲートリーク電流増加は充分に緩やかであることは確認した．

SBD の特徴として，絶縁破壊後の酸化膜の電流–電圧特性がべき乗則に従うことがある [5–7]．図 5.2 に，測定結果をべき乗則 $I_{\mathrm{g}} = KV_{\mathrm{g}}{}^{p}$ でフィッティングした結果を破線で示す．ここで，$K = 2 \times 10^{-7}$ A/V$^{6.5}$，$p = 6.5$ とした．$V_{\mathrm{g}} < 2$ V ではよいフィッティングが得られているが，それ以外では，実測値からずれている．これは，MOSFET 中に存在する寄生抵抗による電圧降下を無視しているためと考えられる．そこで，SBD 後ゲートリーク電流の計算にも用いた $R_{\mathrm{parasitic}} = 10$ kΩ を考慮に入れ，電流–電圧特性のフィッティングを行ったところ，非常に良いフィッティング（実線）が得られた．これまでの回路シミュレーションによる絶縁破壊の影響の報告では，この加速試験で生起する SBD 後に測定された酸化膜の電流–電圧特性 (本論文中では conventional SBD と呼ぶ) が，動作電圧での SBD 後も出現すると仮定されている．また，$V_{\mathrm{g}} = 1$ V のときの SBD 後ゲートリーク電流も，高 V_{g} で行われる加速試験と同様に $\sim 10^{-4}$ A まで達している．ここで，$V_{\mathrm{g}} = 4$ V のときと同じように，SBD 発生から 1×10^{19} 秒後の時点 (図 5.1 中 B) でゲートリーク電流が充分に飽和すると仮定する．そのときの酸化膜の電流–電圧特性を，図 5.2 中のグレー実線で示す．ただし，この場合も酸化膜の電流–電圧特性はべき乗則に従うとし，べき乗項 p は加速試験の場合と共通の $p = 6.5$ とした．また，$V_{\mathrm{g}} = 1$ V のときに流れる電流は $I_{\mathrm{g}} \sim 10^{-4}$ A であることから，$K = 1 \times 10^{-2}$ A/V$^{6.5}$ とした．このことは，ゲートリーク電流が飽和したように見える時点では，$V_{\mathrm{g}} = 1$ V のときの方が高 V_{g} のときよりもリークパスが著しく成長していることを意味している．そこで，加速試験で生起する SBD (conventional SBD) と区別するため，1 V で生起する SBD を SBD@1V と呼ぶ．

一方，図 5.3 に示すように，完全絶縁破壊 (Hard Breakdown :HBD) 後の酸化膜はオーミック性を示す．よって，HBD の場合のパラメータは $K = 5 \times 10^{-5}$ A/V，$p = 1$ と仮定した．以上，conventional SBD，SBD@1V，HBD それぞれについて決定された特性パラメータを表 5.1 にまとめる．なお，本節ではゲートリーク電流が飽和したときを想定したが，ゲートリーク電流が増加過程にあったとしても，任意の時点での SBD 特性が外挿可能である．これは，べき乗項は加速試験で生起する SBD と共通と仮定したとき，任意のゲートリーク電流値に対し K が決定できるためである．

5.3　絶縁破壊後の MOSFET のモデリング

5.3.1　MOSFET モデル (BSIM4)

絶縁破壊後の MOSFET のコンパクトモデルを議論する前に，今回シミュレーションに用いた BSIM4 について紹介する．BSIM4 は，U. C. Berkeley の Hu らによって開発された回路シミュレータで，物理をベースとした MOSFET モデルである．BSIM4 を SPICE シミュレーションに組み込むことで，極微細トランジスタ特有の現象を再現することが可能となる．このモデルはサブミクロン設計にて要求される正確さに対応すると同時に，幾何学や温度効果

なども考慮されていて，さらに統計解析に優れているため，将来開発される世代の MOSFET の解析などにも使用されている．

BSIM4 には，それまでの回路シミュレータでは無視されていたゲートトンネル電流も考慮に入れられるようにプログラムされている．図 5.4 はゲートトンネル電流を誘因するキャリアの直接トンネリング要素を示したものである．MOS 構造におけるトンネル現象は，伝導帯電子トンネリング (Electron Conduction–band Tunneling : ECB)，価電子帯電子トンネリング (Electron Valence–band Tunneling : EVB)，価電子帯ホールトンネリング (Hole Valence–band Tunneling : HVB) の 3 つが存在する [8]．ゲートリーク電流に対しどのトンネル電流が支配的となるかは，デバイスの種類 (pMOSFET あるいは nMOSFET) とゲート電圧の大きさによって異なる．表 5.2 に各トンネル電流の構成要素を条件別にまとめる．図 5.5 に，表 5.2 中の各トンネル電流が MOSFET のどの領域を流れているかを示す．I_{gd}，I_{gs} はそれぞれゲート–ドレイン間，ゲート–ソース間のオーバーラップ領域でのリーク電流である． また，I_{gc} はゲート–チャネル間をトンネルし，ドレイン電極もしくはソース電極へと流

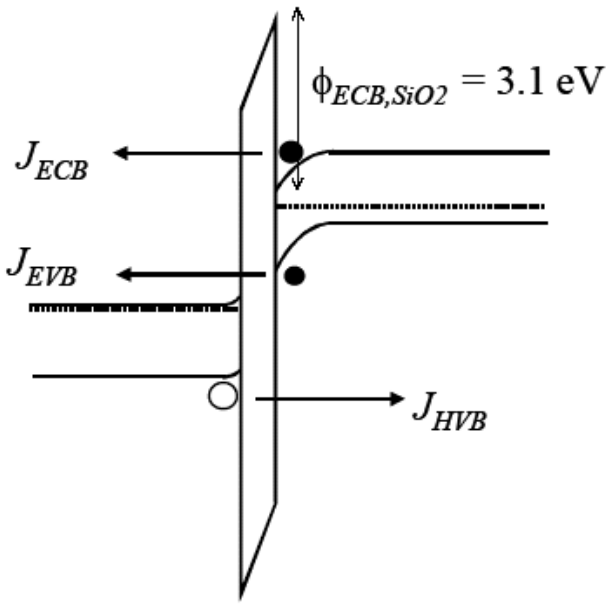


図 5.4: BSIM4 において考慮されているゲートトンネル電流のメカニズム [8].

表 5.2: キャリアの直接トンネルに起因する電流.

	I_{gd} , I_{gs}	I_{gc}	I_{gb}	
Region of Operation	all	inversion	$V_{\mathrm{g}} > 0$	$V_{\mathrm{g}} < 0$
pMOSFET	ECB	HVB	ECB	EVB
nMOSFET	ECB	ECB	ECB	EVB

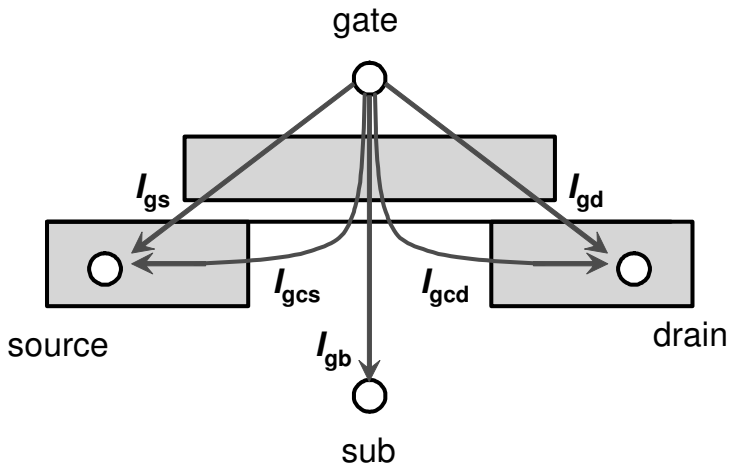


図 5.5: BSIM4 にて考慮されている各トンネル電流.

れるリーク電流で，I_{gb} はゲート–基板間のリーク電流である．I_{gd}，I_{gs} はゲート酸化膜の両側の電極が同種であることから，電圧条件に関わらず伝導帯電子トンネリングが支配的である．また，I_{gc} はチャネルが形成される反転層状態の時のみ現われ，pMOSFET では価電子帯ホールトンネリング，nMOSFET では伝導帯電子トンネリングによって構成される．一方，I_{gb} については，ゲート電圧が正の状態ではキャリアに対するエネルギ障壁高さが最も低い伝導帯電子トンネリングが，また負の状態では伝導帯電子トンネリング及び価電子帯ホールトンネリングが，酸化膜の対極にある Si のバンドギャップに遮られるため，価電子帯電子トンネリングが支配的となる．

次に，上記の各トンネル電流を計算するモデルを述べる．BSIM4 では，ゲートリーク電流密度は以下の式で与えられる [9].

$$J_{\mathrm{g}} = A \cdot \left(\frac{T_{\mathrm{oxref}}}{T_{\mathrm{ox}}}\right)^{ntox} \cdot \frac{V_{\mathrm{g}} \cdot V_{\mathrm{aux}}}{T_{\mathrm{ox}}^2} \cdot \exp\left[-B\left(\alpha - \beta|V_{\mathrm{ox}}|\right)\left(1 + \gamma|V_{\mathrm{ox}}|\right)T_{\mathrm{ox}}\right] \tag{5.1}$$

$$A = \frac{q^2}{8\pi h \phi_b} \tag{5.2}$$

$$B = \frac{8\pi\sqrt{2qm_{\mathrm{ox}}}\phi_b^{3/2}}{3h} \tag{5.3}$$

ここで，m_{ox} は酸化膜中でのキャリアの有効質量，ϕ_b はトンネル障壁高さ，T_{ox} は酸化膜厚，T_{oxref} は参考酸化膜厚，$ntox$，α，β，γ はフィッティングパラメータ ($ntox$ は通常 1)，V_{aux} はトンネルキャリア密度を概算するための補助関数である．表 5.3 に，各リーク電流に対する補助関数をまとめる．表中の $nigbacc$，$nigbinv$，$eigbinv$，$nigc$ はフィッティングパラメータである．

また，図 5.5 中に示す I_{gcd}，I_{gcs} は I_{gc} を分割することで求められる．それぞれの電流は以下の式のようにモデル化されている．

$$I_{\mathrm{gcs}} = I_{\mathrm{gc}} \cdot \frac{-1 + pigcd \cdot V_{\mathrm{ds}} + \exp[-pigcd \cdot V_{\mathrm{ds}}] + 10^{-4}}{(pigcd \cdot V_{\mathrm{ds}})^2 + 2 \times 10^{-4}} \tag{5.4}$$

$$I_{\mathrm{gcs}} = I_{\mathrm{gc}} \cdot \frac{-1 + pigcd \cdot V_{\mathrm{ds}} + \exp[-pigcd \cdot V_{\mathrm{ds}}] + 10^{-4}}{(pigcd \cdot V_{\mathrm{ds}})^2 + 2 \times 10^{-4}} \tag{5.5}$$

ここで，$pigcd$ は I_{gcd} と I_{gcs} の比率を決定するフィッティングパラメータであり，通常は 1 と設定されている．

BSIM4 のゲートトンネル電流モデルは，極微細 MOSFET の電流特性も正確にシミュレート出来るという特長がある反面，上記のようにフィッティングパラメータが多い．そのため，実測値と比較する際は，測定に用いた MOSFET の物理的・電気的特性から各パラメータを最適な値に設定する必要がある．図 5.6 は，本研究で用いた nMOSFET の絶縁破壊前の各端子電流のゲート電圧特性の測定結果である．この nMOSFET のゲート酸化膜厚は 2.2nm，ゲート長 0.6 μm，ゲート幅 5.0 μm である．図 5.6 に示すように，BSIM4 を用いた SPICE シミュレーションにより，実測値に対する良好なフィッティングが得られた．このとき，式 (5.1) 中で用いた各フィッティングパラメータの設定値を表 5.4 にまとめる．この設定を入力したモデルカードを用いることによって，絶縁破壊後の素子特性，並びに絶縁破壊したデバイスが含まれる回路の動作確認をシミュレーション出来る準備が整った．

表 5.3: 各トンネル電流要素に対する補助関数 V_{aux}.

	Region of operation	V_{aux}
I_{gb}	acc.	$nigbacc \cdot V_{\mathrm{tm}} \cdot \log(1 + \exp\left[-\frac{V_{\mathrm{gb}} - V_{\mathrm{fb}}}{nigbacc \cdot V_{\mathrm{tm}}}\right])$
I_{gb}	inv. + dep.	$nigbinv \cdot V_{\mathrm{tm}} \cdot \log(1 + \exp\left[\frac{V_{\mathrm{oxdepinv}} - eigbinv}{nigbinv \cdot V_{\mathrm{tm}}}\right])$
I_{gc}	inv. + dep.	$nigc \cdot V_{\mathrm{tm}} \cdot \log(1 + \exp\left[\frac{V_{\mathrm{gs_{eff}}} - V_{\mathrm{th0}}}{nigc \cdot V_{\mathrm{tm}}}\right])$
I_{gs}	both	$\lvert V_{\mathrm{gs}} \rvert$
I_{gd}	both	$\lvert V_{\mathrm{gs}} \rvert$

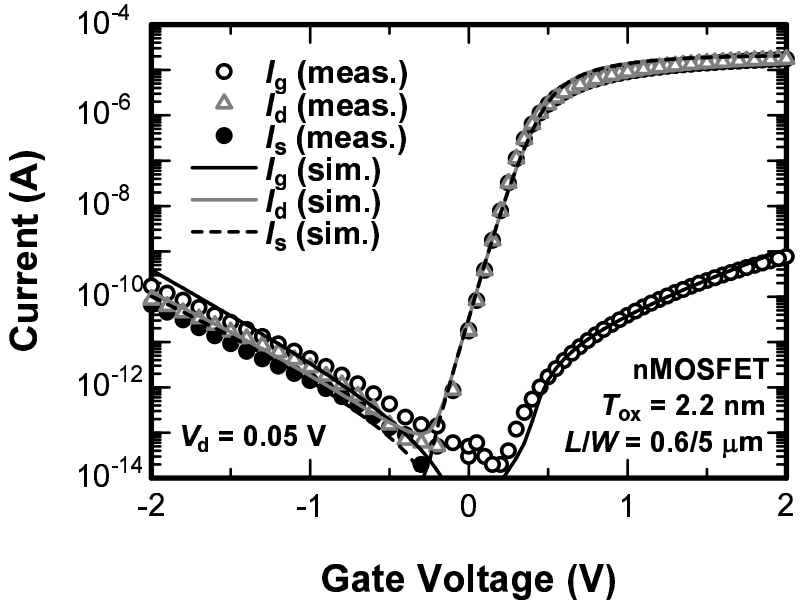


図 5.6: 酸化膜厚 2.2nm，ゲートサイズ $L/W = 0.6\ /\ 5.0\ \mu$m の nMOSFET における各端子電流のゲート電圧特性．シンボルは実測値で，線は BSIM4 を用いた SPICE シミュレーション結果.

表 5.4: フィッティングパラメータの設定値.

Current (nFET)	Region	α [(F·s^2/g^{-1})$^{1/2}$/m]	β [(F·s^2/g)$^{1/2}$/(V· m)]	γ [V^{-1}]
I_{gb}	acc.	0.0182	0.0030	0.002
	inv. + dep.	0.0180	0.0040	0.002
I_{gc}	inv. + dep.	0.0142	0.0018	0.002
I_{gd}	all	0.0142	0.0018	0.002
I_{gs}	all	0.0142	0.0018	0.002

Current (pFET)	Region	α [(F·s^2/g^{-1})$^{1/2}$/m]	β [(F·s^2/g)$^{1/2}$/(V· m)]	γ [V^{-1}]
I_{gb}	acc.	0.0125	0.0013	0.002
	inv. + dep.	0.0110	0.0012	0.002
I_{gc}	inv. + dep.	0.0074	0.0009	0.002
I_{gd}	all	0.0065	0.0005	0.002
I_{gs}	all	0.0065	0.0005	0.002

5.3.2　絶縁破壊後 MOSFET のコンパクトモデル

MOSFET における絶縁破壊は，ゲート–ドレイン (ソース) 間で起きたときに最も機能に影響が出る．最悪の場合を想定し，ゲート–ドレイン (ソース) 間で絶縁破壊が起きたときの MOSFET の電気的特性を再現するコンパクトモデルを考案する．

図 5.7 に，ゲート–ドレインオーバーラップ領域における絶縁破壊後の MOSFET 回路モデルを示す．このモデルでは，ゲート–ドレイン間に電圧制御電流源を挿入する．絶縁破壊後の酸化膜の電流–電圧特性がべき乗則に従うことから，この電圧制御電流源はその両端子間の電位差 $(V_{\mathrm{g}} - V_{\mathrm{c}})$ のべき乗に比例すると仮定する．ここで，図中の V_{c} は，リークパス直下の電位である．これより，表 5.1 に示す各絶縁破壊のパラメータがそのまま使用できる．さらに，インパクトイオン化による絶縁破壊後の基板電流増加にも対応できるよう，ゲート–基板間にも同様の電圧制御電流源を設置した．

定電圧ストレス試験によってゲート–ドレイン間に SBD (conventional SBD) が生起した nMOSFET の電流特性の実測値を図 5.8 に示す．なお，試験時の各端子電圧は $V_{\mathrm{g}} = 4$ V，$V_{\mathrm{d}} = V_{\mathrm{s}} = V_{\mathrm{sub}} = 0$ V である．また，図 5.7 に示すモデルを用いて SPICE シミュレーションを行った結果もプロットした．各端子電流の特性，特にドレイン電圧を印加時のゲートリーク電流のシフトもコンパクトモデルを用いたシミュレーションにより良好に再現できている．これより，コンパクトモデルの妥当性が確認された．図 5.7(a) に示すように，$V_{\mathrm{d}} = 0$ V においても I_{d} が流れている．これは測定器の問題で，ソース–ドレイン間に存在する微妙な電位差 ($\sim \mu$V) のためである．よって，シミュレーションの際もソース–ドレイン間に 少なくとも $\sim \mu$V の電位差が存在するとした．このとき，I_{gc} には表 5.1 示した conventional SBD のパラメータを用い，I_{gb} に対しては，$K = 1 \times 10^{-11}$ A/V^{12}，$p = 12$ とした．

また，HBD の場合も，表 5.1 に示したパラメータを用い，各電流の特性が再現できた．よって，図 5.7 のコンパクトモデルと表 5.1 に示したパラメータを用い，conventional SBD, SBD@1V，HBD それぞれが CMOS 回路に及ぼす影響について，回路シミュレーションにより検証する．

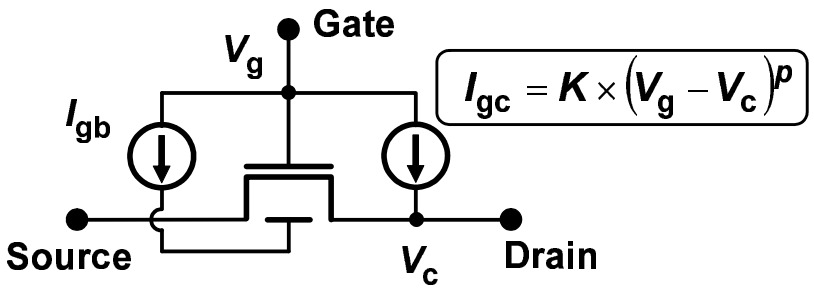


図 5.7: ゲート–ドレイン間で絶縁破壊が起きたときの MOSFET のコンパクトモデル．

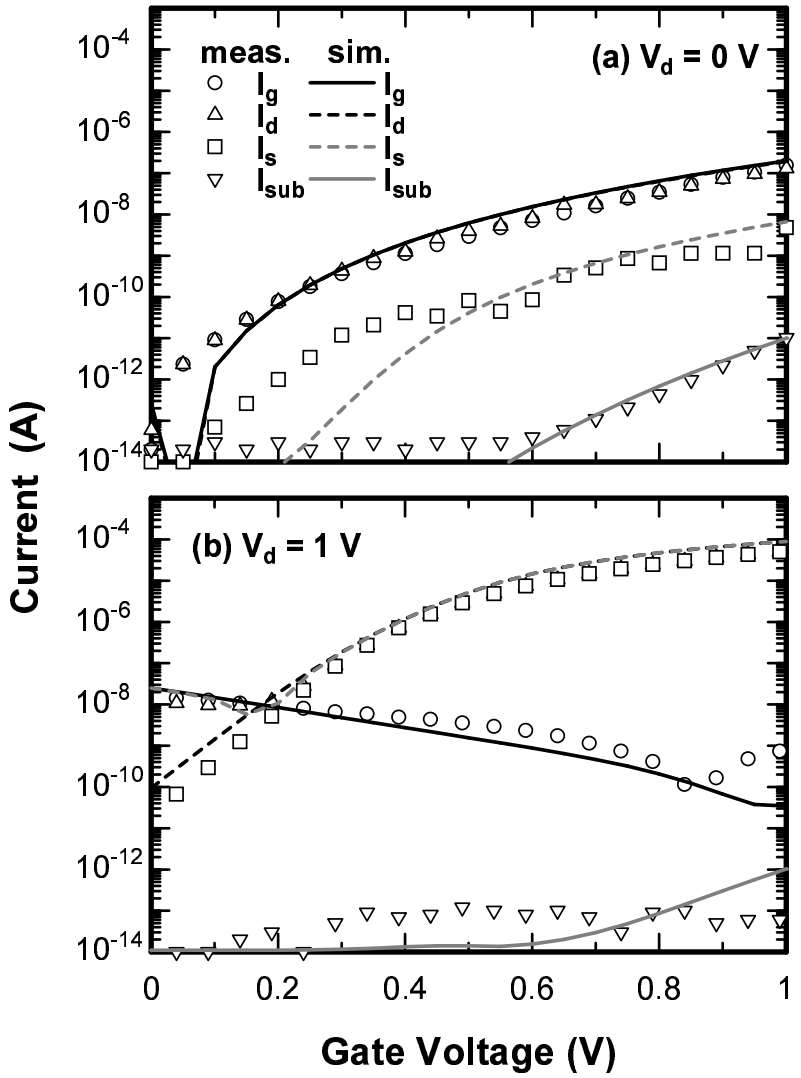


図 5.8: ゲート–ドレイン間で絶縁破壊が起きたときの nMOSFET の各端子電流の実測値とシミュレーション結果.

5.4　CMOS 回路動作と信頼性への影響の検証

絶縁破壊の影響を検証するため，図 5.9 に示す 2 段の CMOS インバータからなる回路を想定した．2 段目のインバータを構成する nMOSFET (N2) のゲート–ソース間で絶縁破壊が起こったと仮定する．また，ゲート–ドレイン間の絶縁破壊についても，同様に考えた．conventional SBD，SBD@1V，HBD それぞれに対し，1 段目のインバータの出入力特性をシミュレーションした結果を図 5.10 に示す．conventional SBD の場合，ゲート–ソース間，ゲート–ドレイン間のどちらで起きたとしても，破壊前の特性と変わっておらず，インバータ特性への影響は見られない．しかし，SBD@1V の場合は，ゲート–ソース間，ゲート–ドレイン間のどちらも出入力特性に変化が見られ，ノイズマージンが減少している．ノイズマージンの減少は，ゲート–ソース間で破壊が起きたときの方が大きい．さらに，入力電圧が 0 V 付近，もしくは 1 V 付近のロジック確定時の出力電圧はそれぞれ 1 V，0 V となっていない．これはリーク電流が流れていることを意味しており，消費電力の増加が起きていると予想される．HBD の場合，さらに激しい特性劣化・ノイズマージンの減少が起きている．これほど特性が劣化すると，ロジックを確定することが困難となり回路動作にも相当の影響が出ると推測される．

次に，この回路の消費電力について考える．図 5.11 は，1 段目のインバータの入力電圧が 0 V のときに，電源電圧 V_{DD} のワード線から流れる電流を示したものである．ゲート–ソース間で conventional SBD が生じた場合，電流量は破壊前とほとんど変わっておらず，消費電力に対する影響はないことが分かる．ところが，ゲート–ソース間の場合は，conventional SBD であっても約 3 桁の電流の増加が見られている．以上のことから，conventional SBD は回路動作への影響はほとんどないが，ゲート–ソース間で起きた場合は消費電力増加を引き起こす．一方，SBD@1V の場合，ゲート–ソース間・ゲート–ドレイン間どちらにおいても，破壊前と比べて約 5 桁電流が増加している．このことは，SBD@1V はノイズマージンの減少だけでなく，深刻な消費電力問題につながることを意味している．また，2 段目のインバータを構成する pMOSFET (P1) で絶縁破壊が起きた場合についてのシミュレーションも，同様の結果となった．

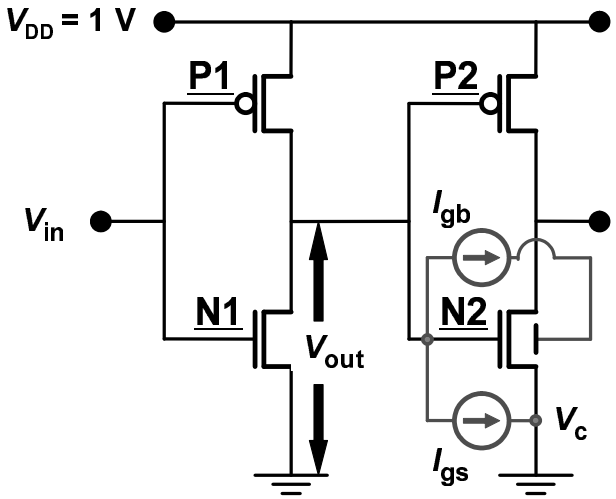


図 5.9: シミュレーションを行った CMOS 回路．2 段目のインバータを構成する nMOSFET (N2) で絶縁破壊が起こったと仮定した．

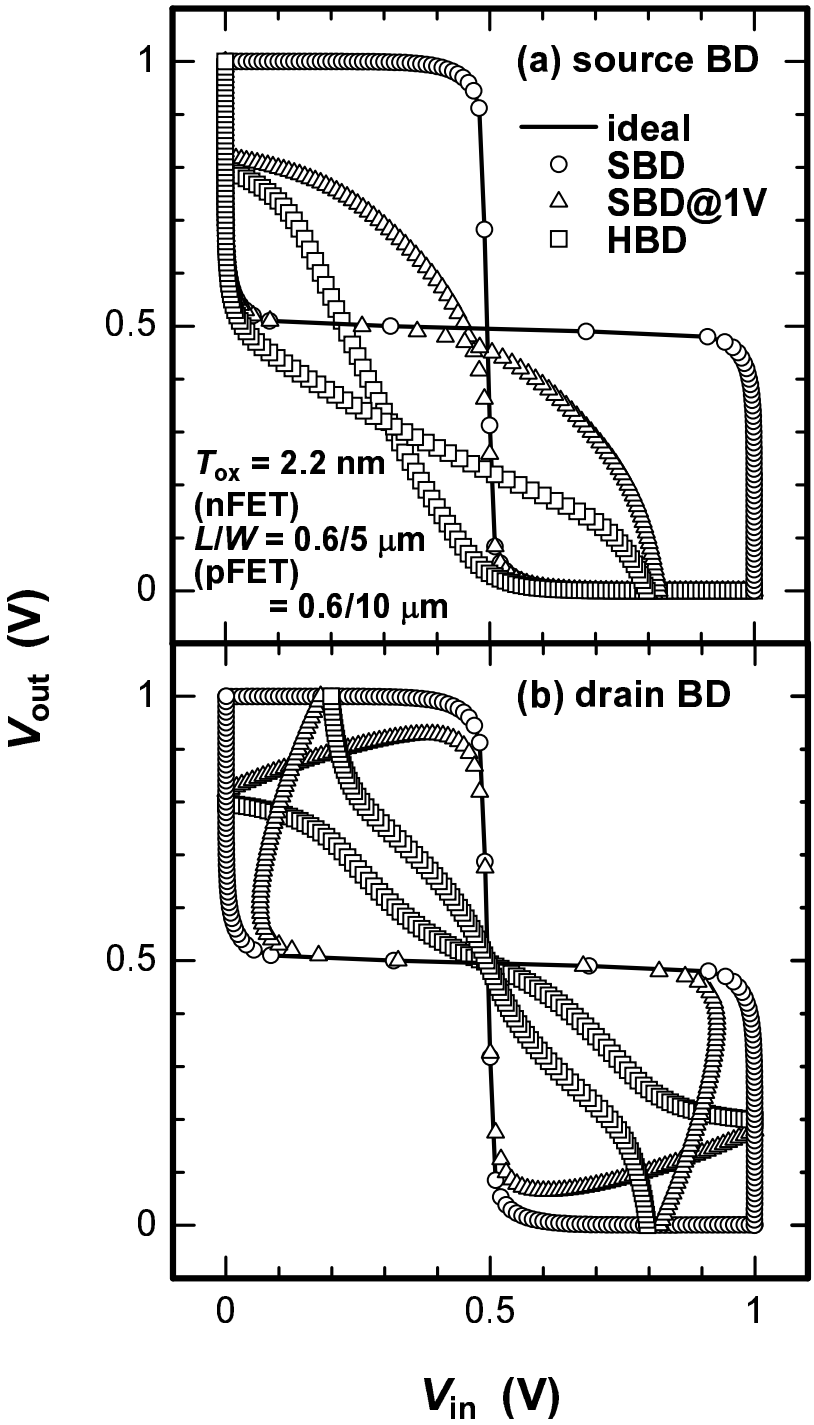


図 5.10: 1 段目の CMOS インバータの出入力特性のシミュレーション結果．(a) ゲート–ソース間絶縁破壊，(b) ゲート–ドレイン間絶縁破壊

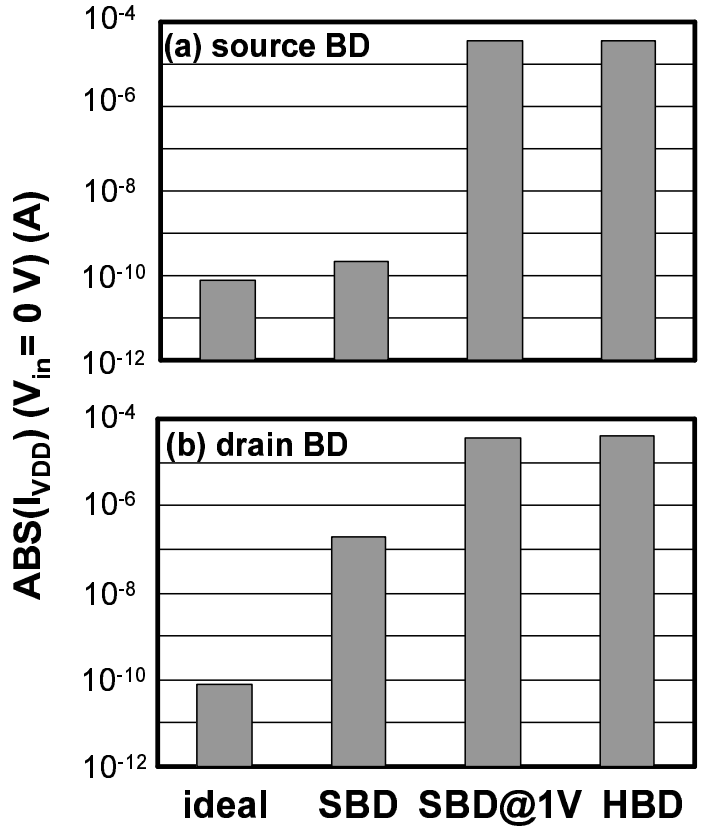


図 5.11: 1 段目の CMOS インバータのロジックが確定しているときのリーク電流量.

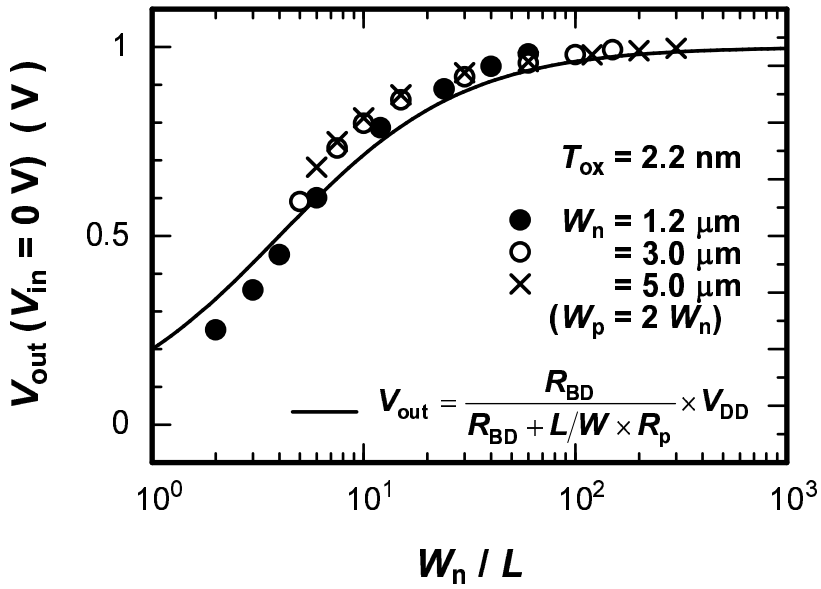


図 5.12: MOSFET の W/L 比に対するロジック確定時のリーク電流量.

図 5.12 に，1 段目のインバータ特性の劣化度合を，様々なゲート幅とゲート長の比 W/L に対して示す．nMOSFET に対し 1.2，3.0，5.0 μm という 3 種類のゲート幅を想定し，pMOSFET のゲート幅は nMOSFET の 2 倍であると仮定した．また，劣化の指標として，入力電圧が 0 V の時の出力電圧の値 (理想値：1 V) を用いた．W/L 比が 10 以下のとき，出力電圧が 1 V よりも小さくなっている．また，W/L 比がさらに小さくなると絶縁破壊後の特性劣化が激しくなっている．特に，W/L が 5 を下回ると入力電圧が 0V でも出力電圧が 0.5V まで上がらないほどの特性劣化が現われた．この場合，入力電圧がどのような状態であっても，CMOS の出力は常に OFF 状態となるため，もはやインバータの役割を果たしていないといえる．

このインバータ特性劣化の W/L 比依存性は，出力電圧 V_{out} が MOSFET のチャネル抵抗に依存しているためである．このとき，V_{out} は次式のように表わされる．

$$V_{\mathrm{out}} = V_{\mathrm{DD}} \times \frac{R_{\mathrm{BD}}}{R_{\mathrm{BD}} + R_{\mathrm{p}}} \tag{5.6}$$

ここで，R_{p} は 1 段目のインバータを構成する pMOSFET (P1) のチャネル抵抗であり，R_{BD} は絶縁破壊を起こしたした nMOSFET (N2) におけるリークパスの抵抗と寄生抵抗の和である．R_{BD} は MOSFET サイズに依存しないため [10]，見かけ上 R_{p} だけが W/L 比に依存し，

$$V_{\mathrm{out}} = V_{\mathrm{DD}} \times \frac{R_{\mathrm{BD}}}{R_{\mathrm{BD}} + L/W \times R_{\mathrm{p}}} \tag{5.7}$$

と表わされる．上式で $R_{\mathrm{BD}} = 15$ kΩ，$R_{\mathrm{p}} = 60$ kΩ とすることにより，図 5.12 中に示すような良好なフィッティングが得られた．このことから，リークパスの抵抗値が MOSFET の抵抗値と同程度のときに，回路動作に及ぼす影響が大きくなると考えられる．このように，絶縁破壊が回路に及ぼす影響は，絶縁破壊を起こした MOSFET と直列に接続された抵抗に依存しているため，回路構成も考慮して信頼性評価を行う必要がある．

5.5 まとめ

本章では，LSI 動作電圧下で生起する SBD 特性を予測し，絶縁破壊後の MOSFET の電気的特性を再現するコンパクトモデルを考案した．両者を組み合わせて回路シミュレーションを行うことにより，絶縁破壊が CMOS 回路に及ぼす影響について，正常動作や消費電力という観点から検証した．その結果，HBD は回路動作と消費電力両面に甚大な影響を及ぼすことが分かった．また，加速試験で見られる SBD が回路動作へ及ぼす影響は軽微であるが，場合によっては消費電力増加を引き起こす可能性がある．CMOS インバータの場合，絶縁破壊がゲート–ソース間ではなく，ゲート–ドレイン間で起きたときの方が消費電力増加が著しい．一方，動作電圧下で生起する SBD は，消費電力という点で HBD と同程度の悪影響を及ぼす．また，回路動作という点からも，ノイズマージンが減少し，ロジック確定時の出力電圧が低下した．

ただし，絶縁破壊が与える回路動作への影響は，MOSFET 中で絶縁破壊が起こる場所及び回路に使用されている MOSFET のゲートサイズに依存していることから，より正確な信頼性評価のためには，対象チップの回路構成を考慮しなければならない．

参考文献

[1] B. Kaczer, R. Degraeve, M. Rasras, K. V. de Mieroop, P. J. Roussel, and G. Groeseneken, "Impact of MOSFET Gate Oxide Breakdown on Digital Circuit Operation and Reliability," IEDM Tech. Dig., pp. 553–556, San Francisco, USA (December 2000).

[2] R. Rodríguez, J. H. Stathis, B. P. Linder, S. Kowalczyk, C. T. Chuang, R. V. Joshi, G. Northrop, K. Bernstein, A. J. Bhavnagarwala, and S. Lombardo, "The Impact of Gate–Oxide Breakdown on SRAM Stability," IEEE Electron Device Letters, vol. 23, pp. 559–561, (September 2002).

[3] J. H. Stathis, R. Rodríguez, B. P. Linder, "Circuit Implications of Gate Oxide Breakdown," Microelectron. Reliab., vol. 43, pp. 1193–1197, (August 2003).

[4] BSIM4.3.0, BSIM research Group, UC Berkeley, [Online] Avairable : http://www-device.eecs.berkeley.edu/~bsim3/bsim4.html

[5] K. Okada and K. Taniguchi, "Electrical Stress–Induced Variable Range Hopping Conduction in Ultra–Thin Silicon Dioxides," Appl. Phys. Lett., vol. 70, pp. 351–353 (January 1997).

[6] M. Houssa, T. Nigam, P. W. Mertens, and M. M. Heyns, "Model for the Current–Voltage Characteristics of Ultrathin Gate Oxides after Soft Breakdown," J. Appl. Phys., vol. 84, pp. 4351–4355 (October 1998).

[7] E. Miranda, J. Suñé, R. Rodríguez, M. Nafría, and X. Aymerich, "A Function–Fit Model for the Soft Breakdown Failure Mode," IEEE Electron Device Letters, vol. 20, pp. 265–267 (June 1999).

[8] K. M. Cao, W.–C. Lee, W. Liu, X. Jin, P. Su, S. K. Fung, J. X. An, B. Yu, and C. Hu, "BSIM4 Gate Leakage Model Including Source–Drain Partition," IEDM Tech. Dig., pp. 815–818, San Francisco, USA (December 2000).

[9] W. Liu, *MOSFET Models for SPICE Simulation including BSIM3v3 and BSIM4*, New York: Wiley–Interscience, 2001.

[10] M. A. Alam, B. E. Weir, and P. J. Silverman, "A Study of Soft and Hard Breakdown—-part II: Principles of Area, Thickness, and Voltage Scaling," IEEE Trans. Electron Devices, vol. 49, pp. 239–246 (Feburary 2002).

第6章　結論

本研究では，極微細・高集積LSIの信頼性確保のための重要課題となる極薄ゲート酸化膜の絶縁破壊現象に着目し，現象的及び物理的に絶縁破壊後のゲートリーク電流に関する新たな知見を得た．また，MOSFET単体の故障だけでなく，チップ全体での消費電力増加という観点から，新たな信頼性評価法の提案を行った．その具体的内容をまとめると以下のようになる．

第2章では，極薄ゲート酸化膜における擬似絶縁破壊 (Soft Breakdown : SBD) 後のゲートリーク電流の時間発展に関する詳細な実験結果を示す．5 nm以上の厚い絶縁膜では，完全絶縁破壊 (Hard Breakdown : HBD)，SBDいずれの場合も破壊後のゲートリーク電流の増加は極めて急峻であり，絶縁破壊とは瞬間的な現象と考えられていた．それに対し，最近使用されている極薄ゲート酸化膜では，SBD後のゲートリーク電流は緩やかに増加する．これはSBDが継続的に複数回起こるためではなく，局所的なSBDスポットが拡大・成長することに起因している．SBD後のゲートリーク電流の時間発展は，破壊後の時間のべき乗で表わされること，及び電圧に指数関数的に依存していることを明らかにした．SBD後のリークパス成長の物理機構は，絶縁破壊前の酸化膜劣化と同様，トラップ生成過程である可能性が高い．また，SBD後のゲートリーク電流の時間発展は，弱いながらも温度依存性を持つことが明らかとなった．

第3章では，SBD後のゲートリーク電流の飽和要因について，実験・理論解析・デバイスシミュレーションから考察した．その結果，寄生抵抗における電圧降下がリークパスにかかる電圧 V_{path} を次第に減少させ，そのためにゲートリーク電流の増加が著しく緩やかとなり，最終的には飽和傾向を示すことが明らかとなった．これは，SBD後のゲートリーク電流の時間発展 (リークパスの成長) は V_{path} に指数関数的に律速されるためである．デバイスシミュレーションや理論解析から，MOSキャパシタの寄生抵抗はリークパス直下の広がり抵抗が支配的であることが分かった．また，MOSFETの寄生抵抗はチャネルにおける広がり抵抗が支配的であるが，僅かながらチャネル抵抗の寄与も見られた．

第4章では，第2，3章で述べた実験結果を基に，SBD後のゲートリーク電流の時間変化に関して一貫したモデルを考案した．実験によるパラメータ抽出と考案したモデルを組み合わせることにより，あらゆる条件下—例えばLSI動作電圧下—にあるMOSFETにおける絶縁破壊の特性を外挿予測することが可能となった．さらに，絶縁破壊統計と併せて考えることにより，SBDによるチップ全体でのリーク電流増加を定量的に見積もり，消費電力の観点から行う信頼性評価法を提案した．絶縁破壊がMOSFETの機能を損なう可能性，及びチップ全体での著しい消費電力増加を引き起こす可能性について検討した結果，現在のLSIの世代では，チップ使用開始からほぼ同時間経過した時に，これら2つの問題が顕在化することが分かった．

第5章では，第4章で述べたゲートリーク電流の時間変化モデルから，LSI動作電圧下で起こるSBDの特性を外挿予測し，回路シミュレーションを行うことで，絶縁破壊が回路に及ぼす影響をより実用的に検証した．また，絶縁破壊後のMOSFETの電気的特性を再現する

ためのコンパクトモデルを考案した．従来行われてきた信頼性議論では，動作電圧下で起こる SBD が加速試験の場合と同じ特性となることを前提としていた．ところが，実際に動作電圧下で起こる SBD は従来考えられていた以上の激しい劣化を示すことを指摘し，ゲート酸化膜の信頼性評価に対する新たな問題を提起した．これは，SBD 後ゲートリーク電流が飽和傾向を示していても，実際にはリークパス成長が非常に緩やかながらも進行しているためである．そこで，動作電圧下など，任意の条件下で生起する SBD の特性を予測する外挿法を提案した．また，予測した特性を基に回路シミュレーションを行い，絶縁破壊が CMOS 回路に及ぼす影響について考察した．その結果，LSI 動作電圧下で生起する SBD は，消費電力という点で回路に対して甚大な悪影響を及ぼすこと，さらに回路動作という点でノイズマージンの減少，及びロジック確定時の出力電圧低下などの問題を引き起こすことが分かった．一方で，絶縁破壊が回路に及ぼす影響は，MOSFET 中の絶縁破壊場所，及び回路を構成する MOSFET のゲートサイズに依存することが明らかとなった．したがって，より詳細な信頼性評価のためには，回路構成も考慮する必要がある．

本論文で提案した信頼性評価手法は，条件を制限することなく任意の LSI に対して適用可能であり，また MOSFET レベル，回路レベル，チップレベルと多岐にわたる評価が可能である．

付 録A　ゲート酸化膜劣化モデル

信頼性加速試験による信頼性評価では，加速試験条件とデバイス動作条件双方での電気的ストレスによる酸化膜劣化が物理的に同一であることが前提となっている．しかし，そのことを実際に確かめることは，製品保証期間の ∼ 10 年以上という極めて長い測定時間が必要となるため，事実上不可能である．第 2 章で述べたように，絶縁破壊に至るまでの酸化膜劣化モデルとしては，電気的ストレスによって酸化膜中にランダムに生成された欠陥が，ゲート側と基板側の界面をつないだときに絶縁破壊が起きるとするパーコレーションモデル [1,2] が広く受け入れられている．ここでは，ゲート酸化膜の絶縁破壊時間 t_{BD} の電圧依存性に関して提案されている，E モデル [3–6]，$1/E$ モデル [7–9]，power–law モデル [10–12] という代表的な 3 つについて，欠陥生成の起源も絡めて概説する．

A.1　E モデル

注入されるキャリアの量やエネルギに関係なく，酸化膜に加わる電界 E_{ox} のみが欠陥生成を支配すると考えるのが E モデルである．この場合，欠陥生成を一般的な化学反応速度論に基づく活性化過程であると考え，絶縁破壊に至るまでの時間 t_{BD} は次式のように表わされる．

$$\tau_{\mathrm{BD}} \propto \exp\left(-\gamma \cdot E_{\mathrm{ox}}\right) \tag{A.1}$$

ここで，γ は電界加速係数である．

酸化膜中に酸素欠損があるとすると，局所的に分極が生じ，$O_3{\equiv}Si{-}Si{\equiv}O_3$ に平行に電界がかかった状態となる．図 A.1 で分かるように，それぞれのユニットでの分極ベクトルは逆向きであるので，分極と電界との相互作用の結果として，②の系ではエネルギが下がり，①の系ではエネルギが上がる．このことによって，絶縁破壊の活性化エネルギを決めているエンタルピ項が電界によって減少する．つまり，同じ素過程が起きたときでも，低い活性化エネルギで結合が切れてしまうことを意味している．このことによって，一定温度であれば，電界の指数関数依存性が現れ，E モデルが再現される．

A.2　$1/E$ モデル

ゲート酸化膜中に注入したキャリアによって酸化膜劣化が進行すると考えるのが $1/E$ モデルの基本的な考えである．このモデルの電界依存性の起源は，電界が大きいほど注入キャリアのエネルギは高く，この高エネルギ電子が破壊に対して作用すると考える．ゲート酸化膜に注入された電子が酸化膜の伝導帯にトンネルした後で酸化膜電界によって加速され，大きなエネルギを得た電子がアノード電極に到達し，電極内で電子–ホール対を作る．この効率は電子のエネルギと電子–ホール対生成のしきいエネルギによって決まり，$\alpha \propto \exp(H/Eox)$ という形で表わされることが予想される．このようにして生成されたホールがゲート酸化膜中の捕獲準位にトラップされることによって，酸化膜劣化が進行すると考える．トラップされ

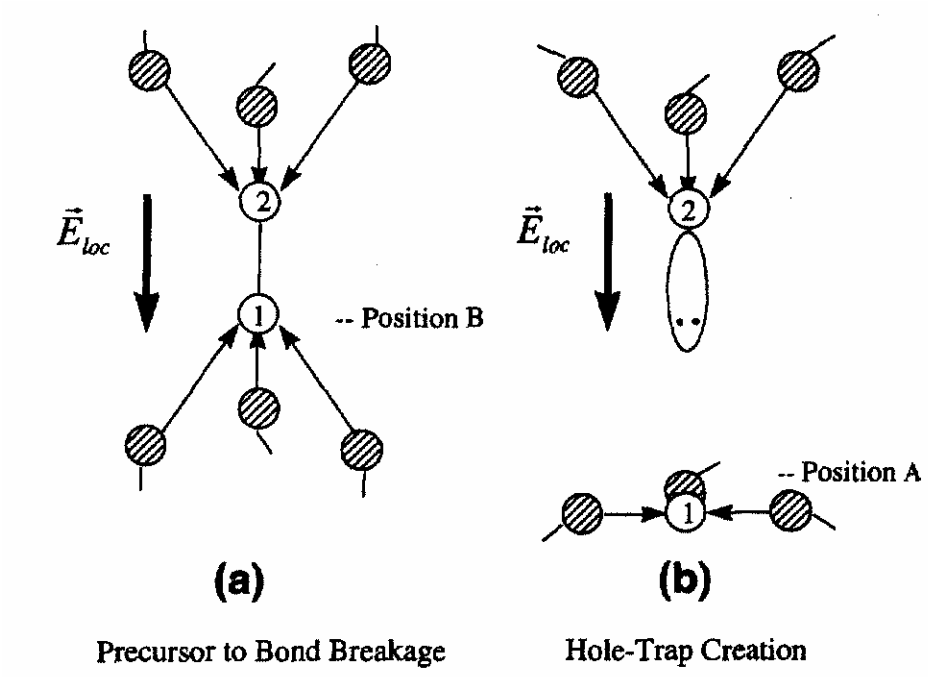


図 A.1: E モデルの物理的描像 [13]．酸素欠損がある領域に電界がかかった場合，①側と②側の $Si{\equiv}O_3$ によって生じる双極子モーメントの向きは逆向きになり，電界との相互作用で結合を切るための活性化エネルギが下がる．

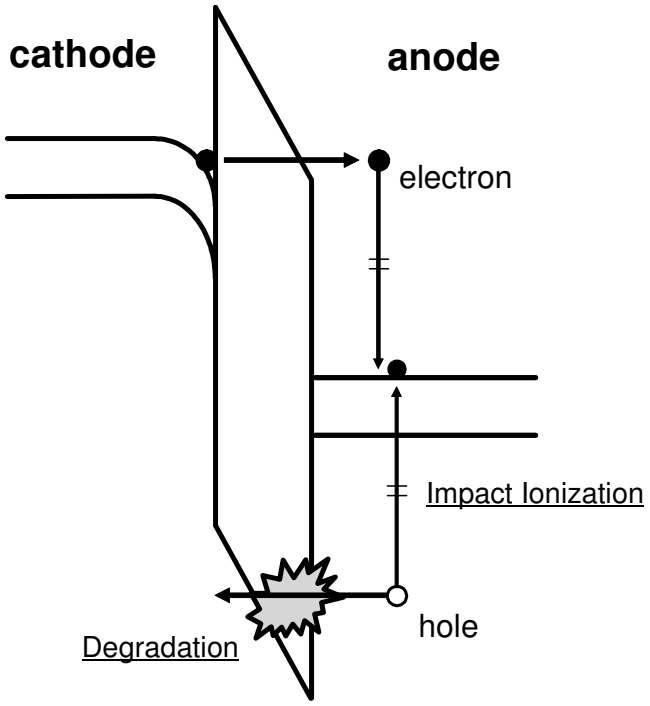


図 A.2: $1/E$ モデルの物理的起源と考えられている，Anode Hole Injection モデルの模式図．

たホールは，ゲート酸化膜中に新たなトラップや界面準位を形成し，これらにキャリアが捕獲されることによって，局所的に電界を変調してリーク電流密度を増大させる．局所的に電界が強まった箇所では，トラップ生成がさらに増加するという正のフィードバックがかかって，最終的に大電流が流れ，絶縁破壊に至ると考えられている．図 A.2 に示すようにホールが陽極 (Anode) で発生し，その一部が陰極 (Cathode) 側に流れていくことから，このモデルは Anode Hole Injection モデルとも呼ばれている．このモデルの場合，絶縁破壊までの時間 τ_{BD} は，

$$\tau_{\mathrm{BD}} \propto \exp\left(G/E_{\mathrm{ox}}\right) \tag{A.2}$$

と表される．式 (A.2) で $\ln(\tau_{\mathrm{BD}})$ は酸化膜電界 $1/E_{\mathrm{ox}}$ に比例しており，これが $1/E$ モデルといわれる所以である．

これまで 10 年以上の長い期間，上記の 2 つのモデルが並立する形で議論されてきた．これは，ゲート酸化膜に印加される電界が 10 MV/cm を超えるような高電界領域では，2 つのモデルから得られる加速試験の結果がほとんど変わらないことに起因している．絶縁破壊のモデルとして，いずれが妥当かを知るためには，低電界領域での実測結果が不可欠であり近年，低電界領域における実測結果が度々報告されるようになった．最近これらの実験結果を受けて，低電界から高電界領域までの実験結果を統一的に説明するモデルが提案された [14]．絶縁破壊を支配する機構は 2 つあって，FN トンネル電流が支配的かどうかによって，電界印加による結合の切断と陽極で生成したホールの捕獲による電界変調のいずれの機構が絶縁破壊を支配するかが変化する，と考えられている．つまり，電子が伝導帯で得るエネルギが小さい低電界領域では E モデルが絶縁破壊を支配し，電子がインパクトイオン化を起こすために充分大きなエネルギを得る高電界領域では $1/E$ モデルが支配する．このように考えることで，これまで報告されてきた実験結果を統一的に記述できることを示している．

A.3 power–law モデル

power–law モデルは最近になって提唱されたモデルで，

$$\tau_{\mathrm{BD}} \propto V_{\mathrm{g}}^{B} \tag{A.3}$$

と表わされる．これは，t_{BD} の電圧加速係数が電圧依存性を示すという実験結果から予測されたモデルである．

その物理的起源については，Anode Hole Injection モデルから次のように推測しされている．$1/E$ モデルが提案されたとき，酸化膜は厚膜だったため，電子が FN トンネルにより陽極に注入され，インパクトイオン化により生成されたホールもまた FN トンネルにより酸化膜に注入されていた．インパクトイオン化率は電圧依存性を持つものの，厚膜で用いられる高ストレス電圧 (> 4 V) においては，ほぼ一定値となっていた．ところが極薄膜では，両キャリアとも直接トンネルにより酸化膜中に注入される上，用いられるストレス電圧が低い (< 3 V) ために，キャリアのエネルギは小さくなり，インパクトイオン化率が大幅に減少してしまう．そのために，式 (A.3) のような依存性が現れると考えられている．

最後に，E モデル，$1/E$ モデル，power–law モデルを用いて絶縁破壊時間を外挿したときの差について述べる．図 A.3 に，各モデルによる外挿の模式図を示す．通常，加速試験で用いられるようなストレス電圧は 2.5 V 以上であり，また測定可能な電圧幅は大きくても 1.5 V である．そのような領域では，E モデル，$1/E$ モデル，power–law モデルいずれによるフィッ

トも大差ない．しかし，∼1 V のような電源電圧ではその差は顕著になり，寿命予測に対する影響は大きくなる．結論的には，E モデルが最も悲観的な予測となる．

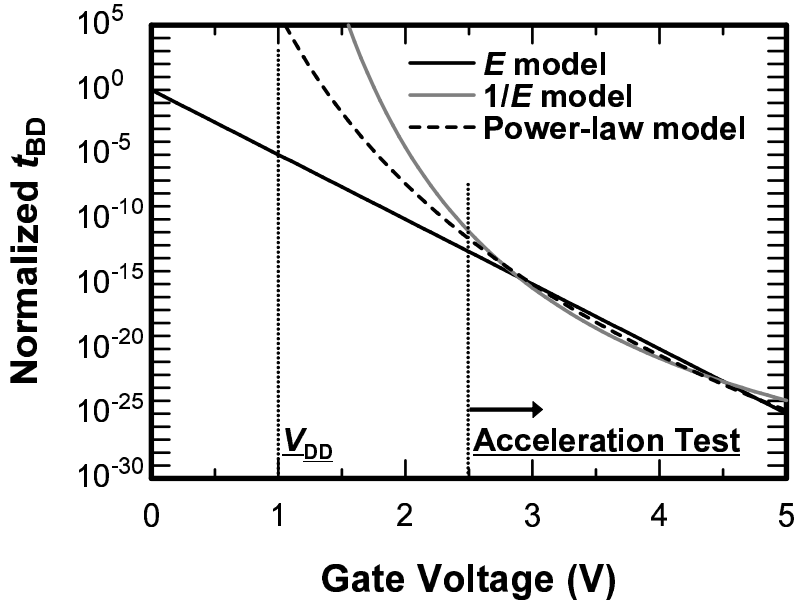


図 A.3: 絶縁破壊時間 t_{BD} の電圧加速モデルの模式図．加速試験で用いるような電圧域では，E モデル，$1/E$ モデル，power–law モデルいずれのモデルを用いても，外挿予測される寿命の差はほとんどない．しかし，電源電圧 V_{DD} 近傍では，E モデルを用いて外挿予測される寿命が他のモデルよりも著しく短くなる．

参考文献

[1] R. Degraeve, G. Groeseneken, R. Bellens, J. L. Ogier, M. Depas, P. J. Roussel, and H. E. Maes, "New Insights in the Relation between Electron Trap Generation and the Statistical Properties of Oxide Breakdown," IEEE Trans. Electron Devices, vol. 45, pp. 904–911 (April 1998).

[2] J. H. Stathis, "Percolation Model for Gate Oxide Breakdown," J. Appl. Phys., vol. 86, pp. 5757–5766 (November 1999).

[3] D. Crook, "Method of Determining Reliability Screens for Time Dependent Breakdown," Proc. Int. Reliab. Phys. Symp., vol. 17, pp. 1–7, San Francisco, USA (April 1979).

[4] E. S. Anolick and G. Nelson, "Low Field Time Dependent Dielectric Integrity," Proc. Int. Reliab. Phys. Symp., vol. 17, pp. 8–12, San Francisco, USA (April 1979).

[5] A. Berman, "Time–Zero Dielectric Reliability Test by a Ramp Method," Proc. Int. Reliab. Phys. Symp., vol. 19, pp. 204–209, Orlando, USA (April 1981).

[6] J. W. McPherson and D. A. Baglee, "Acceleration Factors for Thin Gate Oxide Stressing," Proc. Int. Reliab. Phys. Symp., vol. 23, pp. 1–5, Orlando, USA (March 1985).

[7] I.–C. Chen, S. E. Holland, and C. Hu, "Electrical Breakdown in Thin Gate and Tunneling Oxides," IEEE Trans. Electron Devices, vol. ED–32, pp. 413–422 (February 1985).

[8] I.–C. Chen, S. E. Holland, K. K. Young, C. Chang, and C. Hu, "Substrate Hot Hole Current and Oxide Breakdown," Appl. Phys. Lett., vol. 49, pp. 669–671 (September 1986).

[9] K. F. Schuegraf and C. Hu, "Hole Injection SiO_2 Breakdown Model for Very Low Voltage Lifetime Extrapolation," IEEE Trans. Electron Devices, vol. 41, pp. 761–767 (May 1994).

[10] E. Y. Wu, J. Aitken, E. Nowak, A. Vayshenker, P. Varekamp, G. Hueckel, J. McKenna, D. Harmon, L.–K. Han, C. Montrose, and R. Dufresne, "Voltage–Dependent Voltage–Acceleration of Oxide Breakdown for Ultra–Thin Oxides," IEDM Tech. Dig., 2000, pp. 54–57, San Francisco, USA (December 2000).

[11] M. Takayanagi, S. Takagi, and Y. Toyoshima, "Experimental Study of Gate Voltage Scaling for TDDB under Direct Tunneling Regime," Proc. Int. Reliab. Phys. Symp., vol. 39, pp. 380–385, Orlando, USA (April 2001).

[12] E. Y. Wu, A. Vayshenker, E. Nowak, J. Suñé, and R.–P. Vollertsen, "Experimental Evidence of T_BD Power–Law for Voltage Dependence of Oxide Breakdown in Ultrathin Gate Oxides," IEEE Trans. Electron Devices, vol. 49, pp. 2244–2253 (December 2002).

[13] J. W. McPherson and H. C. Mogul, "Underlying Physics of the Thermochemical E model in Describing Low–Field Time–Dependent Dielectric Breakdown in SiO_2 Thin Films," J. Appl. Phys., vol. 84, pp. 1513–1523 (August 1998).

[14] C. Hu and Q. Lu, "A Unified Gate Oxide Reliability Model," Proc. Int. Reliab. Phys. Symp., vol. 37, pp. 47–51, San Diego, USA (March 1999).

付 録B　Weibull統計の基礎

B.1　Weibull統計

ある確率事象を定量化する確率変数 t が以下のような確率密度関数によって表されるとき，この確率事象は Weibull 統計に従うという．

$$f(t) = \frac{\beta}{\theta}\left(\frac{t}{\theta}\right)^{\beta-1}\exp\left[-\left(\frac{t}{\theta}\right)^{\beta}\right] \tag{B.1}$$

ここで β は形状母数 (shape parameter) と呼ばれる分布形状に関わるパラメータで，θ は尺度母数 (scale parameter) と呼ばれる確率変数の尺度に関わるパラメータである．Weibull 分布は故障の統計によく用いられるため，この関数は故障確率とも呼ばれる．

この確率事象が $(0, t)$ のいずれかで発生する確率 (累積故障確率) は，以下のような式で表される．

$$F(t) = \int_0^t f(t)dt = 1 - \exp\left[-\left(\frac{t}{\theta}\right)^{\beta}\right] \tag{B.2}$$

この式は以下のように変形することができる．

$$\ln[-\ln[1 - F(t)]] = \beta[\ln(t) - \ln(\theta)] \tag{B.3}$$

式 (B.3) は，$\ln[-\ln[1 - F(t)]]$ を $\ln(t)$ に対してプロットしたとき，傾きが β の直線となることを示している．また，$t = \theta$ のときに $\ln[-\ln[1 - F(t)]]$ はゼロとなる．

このとき，$\ln[-\ln[1 - F(\theta)]] = 0$ から，

$$F(\theta) = 1 - 1/e = 0.632 \tag{B.4}$$

となるため，$t = \theta$ のときの累積故障確率は常に 63.2%である事が分かる．

この分布の平均値 μ, 及び標準偏差 σ は以下の式で表される．

$$\mu = \int_0^{\infty} t\frac{\beta}{\theta}\left(\frac{t}{\theta}\right)^{\beta-1}\exp\left[-\left(\frac{t}{\theta}\right)^{\beta}\right]dt \tag{B.5}$$

$$= \theta\ \Gamma\left(\frac{1}{\beta} + 1\right) \tag{B.6}$$

$$\sigma = \sqrt{\int_0^{\infty} t^2\frac{\beta}{\theta}\left(\frac{t}{\theta}\right)^{\beta-1}\exp\left[-\left(\frac{t}{\theta}\right)^{\beta}\right]dt - \mu^2} \tag{B.7}$$

$$= \theta\sqrt{\Gamma\left(\frac{2}{\beta} + 1\right) - \Gamma\left(\frac{1}{\beta} + 1\right)^2} \tag{B.8}$$

ただし $\Gamma(x)$ は Gamma 関数である．Weibull 統計は最弱リンクモデルを元に導出することができる [1]．このモデルは材料などに含まれる多数の亀裂・欠陥のうち最も致命的なものによって材料全体の寿命が支配されるという確率モデルであり，ゲート酸化膜の絶縁破壊現象の統計的性質を記述するのに非常に妥当なものであることが分かる．

B.2　ゲート酸化膜絶縁破壊統計の面積依存性

面積のみが異なる 2 種類のゲート酸化膜 (面積 A_1, A_2) での絶縁破壊統計分布では以下のような関係式が成り立つ．

$$\frac{\theta_1}{\theta_2} = \left(\frac{A_2}{A_1}\right)^{1/\beta} \tag{B.9}$$

この関係は絶縁破壊統計が Weibull 分布であることから直接導き出される結果である．

式 (B.9) は以下のように容易に証明することができる．

面積 A のゲート酸化膜の累積故障確率が

$$F_A(t) = 1 - \exp\left[-\left(\frac{t}{\theta_A}\right)^{\beta}\right] \tag{B.10}$$

によって与えられるとき，面積 NA のゲート酸化膜の累積故障確率 $F_{NA}(t)$ を考える．面積 A の酸化膜において，時刻 t までに絶縁破壊が起こらない確率は $1 - F_A(t)$ で表わされる．そこで，面積 A の酸化膜が N 個あるとすると，その全てで時刻 t までに絶縁破壊が起こらない確率は $[1 - F_A(t)]^N$ となることから，N 個のうちの 1 個が時刻 t までに絶縁破壊する確率，すなわち面積 NA のゲート酸化膜の累積故障確率 $F_{NA}(t)$ は次式のように表わされる．

$$F_{NA}(t) = 1 - [1 - F_A(t)]^N \tag{B.11}$$

$$= 1 - \exp\left[-N\left(\frac{t}{\theta_A}\right)^{\beta}\right] \tag{B.12}$$

$$= 1 - \exp\left[-\left(\frac{t}{\theta_A/N^{1/\beta}}\right)^{\beta}\right] \tag{B.13}$$

また，θ_A 及び θ_{NA} の間には次式のような関係が成り立つ．

$$\theta_{NA} = \theta_A\left(\frac{1}{N^{1/\beta}}\right) \tag{B.14}$$

同じく，面積 MA のゲート酸化膜での尺度母数 θ_{MA} は

$$\theta_{MA} = \theta_A\left(\frac{1}{M^{1/\beta}}\right) \tag{B.15}$$

として与えられるため，式 (B.14)，(B.15) から，次式を得る．

$$\frac{\theta_{NA}}{\theta_{MA}} = \left(\frac{M}{N}\right)^{1/\beta} \tag{B.16}$$

この式は式 (B.10) と同じものである．

式 (B.10) を用いることにより，同じ膜厚の任意の面積を持ったゲート酸化膜の絶縁破壊統計を求めることができるため，工学的に非常に便利な関係式である．

B.3　同一デバイス内で絶縁破壊が複数回生起する場合の Weibull 統計

同一デバイス内で複数回の絶縁破壊が生起する場合，k 回目の累積故障関数は次式のように表わされる [2,3].

$$F_k(t) = 1 - \exp\left[-\left(\frac{t}{\theta}\right)^{\beta}\right] \cdot \sum_{i=0}^{k-1} \frac{1}{i!}\left(\frac{t}{\theta}\right)^{i\beta} \tag{B.17}$$

この式は以下のようにして導出される.

ある酸化膜の累積故障確率が

$$F(t) = 1 - \exp\left[-\left(\frac{t}{\theta}\right)^{\beta}\right] \tag{B.18}$$

によって与えられるとする.

ある時刻 t までの間に 1 つの酸化膜で起こる平均絶縁破壊回数を $\mu(t)$ とすると，1 個の酸化膜中に k 回の絶縁破壊が起こる確率 $P_k(\mu)$ は Poisson 分布なので，次式で表わされる.

$$P_k(\mu) = \frac{\mu^k \exp(-\mu)}{k!} \tag{B.19}$$

ここで，時刻 t までに 1 回も絶縁破壊が起こらない確率は，時刻 t に 1 回目の絶縁破壊が起こる確率と同じであるので,

$$P_0(k) = 1 - F_1(t) = \exp(-\mu) \tag{B.20}$$

となり，このとき,

$$\mu(t) = \left(\frac{t}{\theta}\right)^{\beta} \tag{B.21}$$

が成り立つ.

よって，ある時刻 t に k 回目の絶縁破壊が起こる確率を考えると,

$$1 - F_k(t) = \sum_{i=0}^{k-1} P_i(t) \tag{B.22}$$

$$= \exp\left[-\left(\frac{t}{\theta}\right)^{\beta}\right] \cdot \sum_{i=0}^{k-1} \frac{1}{i!}\left(\frac{t}{\theta}\right)^{i\beta} \tag{B.23}$$

が成り立つ．これは式 (B.17) と一致している.

参考文献

[1] 市川昌弘, 信頼性工学, 第 2 章 p. 26, 裳華房, 1996.

[2] M. A. Alam, R. K. Smith, B. E. Weir, and P. J. Silverman, "Statistically Independent Soft Breakdowns Redefine Oxide Reliability Specification," IEDM Tech. Dig., pp. 151–154, San Francisco, USA (December 2002).

[3] J. Suñé and E. Y. Wu, "Statistics of Successive Breakdown Events for Ultra–Thin Gate Oxides," IEDM Tech. Dig., pp. 147–150, San Francisco, USA (December 2002).

謝 辞

本研究を遂行し本論文を作成するにあたり，終始懇切なる御指導，御鞭撻を賜りました大阪大学大学院工学研究科電子情報エネルギー工学専攻 谷口研二教授に心より厚く御礼申し上げます.

本論文を作成するにあたり，有意義な御助言と御指導を頂いた大阪大学大学院工学研究科尾浦憲治郎教授，森田瑞穂教授に深く感謝致します.

本論文に対して御検討，御教示をいただきました大阪大学大学院工学研究科 谷野哲三教授，北山研一教授，原晋介助教授，松岡俊匡助教授，丸田章博講師に厚く御礼申し上げます.

著者が大阪大学大学院工学研究科物質・生命工学専攻博士前期課程在学中，半導体に関する研究の機会を与えて下さり，その後も終始懇切なる御指導を頂きました梅野正隆名誉教授 (現 福井工業大学教授)，安武潔教授，志村考功助手に感謝致します.

著者が大阪大学大学院工学研究科電子情報エネルギー工学専攻博士後期課程に在学中，鎌倉良成助手の懇切かつ丁寧な御教示，御鞭撻を賜りましたことに厚く御礼申し上げます．また事務的な面で御支援を頂いた古田典子秘書，野村友子秘書に感謝致します.

本論文の出版に際し，多大な御協力をいただいた辻博史氏に感謝致します.

本論文第 3 章で述べた寄生抵抗の研究過程において，デバイスシミュレーション結果を御提供して頂くと共に，理論的な面に関しても活発な御議論を頂いた Pascal Lo Ré 氏 (現 シャープ株式会社) に感謝致します.

本論文第 5 章で述べた回路シミュレーション研究の過程において，多大な協力をして頂いた森川周一氏 (現 株式会社 NTT ドコモ関西) に感謝致します.

同じ研究グループメンバーとして活発な御議論をしていただいた宇野重康工学博士 (現 Claremont Graduate University)，中辻広志工学博士 (現 シャープ株式会社)，出口和亮氏 (現 株式会社ルネサステクノロジ)，酒井敦氏，久保田圭氏 (現 新電元工業株式会社)，谷藤亮氏 (現 株式会社東芝)，細井宏昭氏，内田雅也氏に感謝致します.

その他谷口研究室の方々及び大阪大学大学院工学研究科物質・生命工学専攻応用表面科学講座 (現 精密科学専攻原子制御プロセス領域) の皆様と公私問わず貴重な時間を共有できたことを心より感謝致します.

現所属の広島大学ナノデバイス・システム研究センターの芝原健太郎助教授を初め，関係者の皆様には，本研究遂行にあたって多くの御協力と温かい励ましを頂きました．ここに感謝申し上げます.

本論文には，半導体理工学センター (STARC) からの援助並びに試料提供により遂行された実験結果が含まれています．また，本研究を行うにあたり，STARC 研究員の皆様から頂いた多くの貴重な御助言に感謝致します.

最後に，著者が本研究を遂行するにあたり，支援と激励を頂いた両親と姉，そして妻に感謝します.

研究業績

学術論文

1. T. Shimura, T. Hosoi, R. Ejiri, and M. Umeno, "Ordered Structure in Buried Oxide Layers of SOI Wafers," Jpn. J. Appl. Phys., vol. 38, Suppl. 38–1, pp. 297–300 (1999).

2. T. Hosoi, T. Shimura, and M. Umeno, "X–Ray Scattering from the Crystalline SiO_2 in Buried Oxide Layers of SIMOX Wafers," Acta Crystallographica, vol. A55, Suppl. p. 503 (1999).

3. T. Shimura, T. Hosoi, and M. Umeno, "Characterization of SOI Wafers by X–Ray CTR Scattering," J. Cryst. Growth, vol. 210, no. 1, pp. 98–101 (March 2000).

4. T. Shimura, T. Hosoi, and M. Umeno, "Epitaxially Ordered Structure in the Buried Oxide Layer of SIMOX Wafers," The Physics and Chemistry of SiO_2 and the Si–SiO_2 Interface", H. Z. Massoud, I. J. R. Baumvol, M. Hirose, and E. H. Poindexter (Editors), Proc. Vol. 2000–2, The Electrochemical Society, Pennington, NJ, pp. 241–249 (2000).

5. T. Shimura, T. Hosoi, K. Fukuda, and M. Umeno, "Existence of an Epitaxially Ordered Phase in the Buried Oxide of SIMOX Wafers," Solid State Phenomena, vol. 82–84, pp. 485–490 (2002).

6. T. Shimura, T. Hosoi, K. Fukuda, M. Umeno, and A. Ogura, "Formation of Epitaxially Ordered SiO_2 in Oxygen-Implanted Silicon during Thermal Annealing," J. Cryst. Growth, vol. 236, no.1–3, pp. 37–40 (March 2002).

7. T. Hosoi, S. Morikawa, Y. Kamakura, and K. Taniguchi, "Effect of Oxide Breakdown on Complementary Metal Oxide Semiconductor Circuit Operation and Reliability," Jpn. J. Appl. Phys., vol. 43, part 1, no. 11B, pp. 7866–7870 (November 2004).

8. T. Hosoi, Y. Kamakura, and K. Taniguchi, "Dependence of Gate Leakage Current on Location of Soft Breakdown Spot in Metal–Oxide–Semiconductor Field–Effect Transistor," Jpn. J. Appl. Phys., vol. 43, part 2, no. 12B, pp. L1598–L1600 (December 2004).

国際会議

1. T. Shimura, R. Ejiri, T. Hosoi, and M. Umeno, "Analysis of Ordered Structure of Buried Oxide Layers in SIMOX Wafers," Proceedings of the 9th International Sym-

posium on Silicon–on–Insulator Technology and Devices, Proceedings Volume 99–3, The Electrochemical Society, Seattle, USA, pp. 155–160 (May 2–7, 1999).

2. T. Hosoi, T. Shimura, and M. Umeno, "X–Ray Scattering from the Crystalline SiO_2 in Buried Oxide Layers of SIMOX Wafers," 18th International Union of Crystallography Congress (IUCr XVIII), Glasgow, UK, P06.11.021 (August 4–13, 1999).

3. T. Shimura, T. Hosoi, and M. Umeno, "The Crystalline SiO_2 Phase in the BOX Layer of SIMOX Wafers," Proceedings of the 3rd SANKEN International Symposium on Advanced Nanoelectronics: Devices, Materials, and Computing, Osaka, Japan, pp. 128–132 (March 14–15, 2000).

4. K. Fukuda, T. Hosoi, T. Shimura, K. Yasutake, and M. Umeno, "Investigation of SOI Wafers by X–Ray Diffraction Techniques," Proceedings of the 3rd International Symposium on Advanced Science and Technology of Silicon Materials", Kona, Hawaii, USA, pp. 636–641 (November 20–24, 2000).

5. T. Hosoi, S. Uno, Y. Kamakura, and K. Taniguchi, "Voltage Acceleration of Ultra–Thin Gate Oxide Degradation before and after Soft Breakdown," International Conference on Solid State Device and Materials (SSDM2002), Nagoya, Japan, pp. 696–697 (September 17–19, 2002).

6. T. Hosoi, P. Lo Ré, Y. Kamakura, and K. Taniguchi, "A New Model of Time Evolution of Gate Leakage Current after Soft Breakdown in Ultra–Thin Gate Oxides," IEEE International Electron Device Meeting (IEDM2002), San Francisco, USA, pp. 155–158 (December 8–11, 2002).

7. T. Hosoi, S. Morikawa, Y. Kamakura, and K. Taniguchi, "Effect of Soft Breakdown in Ultrathin Gate Oxides on CMOS Logic Circuit," International Workshop on Dielectric Thin Films for Future ULSI Devices – Science and Technology (IWDTF2004), Tokyo, Japan, pp. 63–64 (May 26–28, 2004).

学会発表

1. 志村 考功, 細井 卓治, 江尻 理帆, 梅野 正隆, "SOI ウェーハの埋め込み酸化層からの X 線散乱," 第 59 回応用物理学会学術講演会, 17a–ZF–4, 広島 (1998 年 9 月 15–18 日).

2. 細井 卓治, 志村 考功, 梅野 正隆, "SIMOX ウェハの埋め込み酸化層中の結晶相からの X 線散乱," 第 46 回応用物理学関係連合講演会, 31a–ZP–7, 千葉 (1999 年 3 月 28–31 日).

3. 細井 卓治, 志村 考功, 梅野 正隆, "低ドーズ SIMOX の埋め込み酸化膜層中からの X 線散乱," 第 60 回応用物理学会学術講演会, 3p–ZS–14, 神戸 (1999 年 9 月 1–4 日).

4. 細井 卓治, 志村 考功, 梅野 正隆, 小椋 厚志, "X 線回折法による SIMOX の BOX 形成過程の評価," 第 48 回応用物理学関係連合講演会, 30a–P11–4, 東京 (2001 年 3 月 28–31 日).

5. 出口 和亮, 宇野 重康, 細井 卓治, 森川 周一, 鎌倉 良成, 谷口 研二, “チャネルホットホール注入による極薄酸化膜の劣化特性,” 第 62 回応用物理学会学術講演会, 12a–C–2, 豊田 (2001 年 9 月 11–14 日).

6. 細井 卓治, 出口 和亮, 宇野 重康, 鎌倉 良成, 谷口 研二, “極薄ゲート酸化膜における絶縁破壊現象の過渡特性,” 第 62 回応用物理学会学術講演会, 12a–C–4, 豊田 (2001 年 9 月 11–14 日).

7. 細井 卓治, 出口 和亮, 宇野 重康, 鎌倉 良成, 谷口 研二, “極薄ゲート酸化膜における Hard 及び Soft Breakdown によるリークパス成長,” 第 49 回応用物理学関係連合講演会, 27p–A–10, 神奈川 (2002 年 3 月 27–30 日).

8. 細井 卓治, 森川 周一, 鎌倉 良成, 谷口 研二, “極薄ゲート酸化膜における擬似絶縁破壊後のリーク電流の飽和機構,” 第 64 回応用物理学会学術講演会, 31a–P3–9, 福岡 (2003 年 8 月 30 日–9 月 2 日).

9. 森川 周一, 細井 卓治, 鎌倉 良成, 谷口 研二, “極薄ゲート酸化膜の擬似絶縁破壊による回路動作への影響,” 第 64 回応用物理学会学術講演会, 31a–P3–10, 福岡 (2003 年 8 月 30 日–9 月 2 日).

10. 細井 宏昭, 細井 卓治, 森川 周一, 鎌倉 良成, 谷口 研二, “極薄ゲート酸化膜絶縁破壊後の MOSFET 電流特性,” 第 51 回応用物理学関係連合講演会, 28p–C–1, 東京 (2004 年 3 月 28–31 日).

11. 細井 卓治, 日野 真毅, 佐野 孝輔, 大石 範弘, 芝原 健太郎, “仕事関数変調のための窒素導入を行った Mo ゲート MOSFET の移動度評価,” 第 64 回応用物理学会学術講演会, 3p–P10–2, 仙台 (2004 年 9 月 1–4 日).

研究会

1. 鎌倉 良成, 細井 卓治, 森川 周一, 久保田 圭, 谷口 研二, “極薄ゲート酸化絶縁膜の経時絶縁性劣化,” 日本学術振興会 半導体界面制御技術第 154 委員会 第 38 回研究会 (2002 年 12 月 6 日) 名古屋.

2. 細井 卓治, Pascal Lo Ré, 鎌倉 良成, 谷口 研二, “極薄ゲート酸化膜における擬似絶縁破壊後のゲートリーク電流の時間変化,” 極薄・表面物理分科会/シリコンテクノロジー分科会共催特別研究会 極薄シリコン酸化膜の形成・評価・信頼性 (2003 年 1 月 24–25 日) 静岡.

3. 細井 卓治, Pascal Lo Ré, 鎌倉 良成, 谷口 研二, “擬似絶縁破壊後による消費電力増加の LSI 信頼性への懸念,” 応用物理学会シリコンテクノロジー分科会 第 48 回研究集会 (2003 年 2 月 6 日) 東京.

4. 森川 周一, 細井 卓治, 鎌倉 良成, 谷口 研二, “極薄ゲート酸化膜の擬似絶縁破壊が与える回路動作への影響,” 電子情報通信学会エレクトロニクスソサイエティ研究会, VLD2003–57 (2003 年 9 月 29 日) 東京.

5. 谷口 研二, 細井 卓治, 酒井 敦, 久保田 圭, 谷藤 亮, 森川 周一, 細井 宏昭, 鎌倉 良成, “極薄シリコン酸化膜の信頼性劣化のメカニズム,” 極薄・表面物理分科会/シリコンテクノロジー分科会共催特別研究会 極薄シリコン酸化膜の形成・評価・信頼性 (2004 年 1 月 23–24 日) 静岡.