OUKA
The University of Osaka
Institutional Knowledge Archive

Title	4H-SiC バイポーラデバイスにおける結晶欠陥と電気特性の関係に関する研究
Author(s)	中山, 浩二
Citation	大阪大学, 2013, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/25962
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

博士学位論文

4H-SiC バイポーラデバイスにおける結晶欠陥と電気特性の関係に関する研究

中　山　浩　二

２０１３年１月

大阪大学大学院工学研究科

4H-SiC バイポーラデバイスにおける
結晶欠陥と電気特性の関係に関する研究

2013 年 1 月

中山　浩二

内容梗概

本論文は、4H-SiC バイポーラデバイスの特性を向上するため実施した結晶欠陥と電気特性に関する研究成果をまとめたものである。論文は以下の 7 章で構成される。

第 1 章は序論であり、本論文に関連する研究分野について述べたあと、4H-SiC バイポーラデバイスの実現に向けた問題点およびその解決策として挙げられる炭素空孔の低減や基底面転位の貫通刃状転位への変換確率の増加について説明した。本論文の研究背景と目的をまとめた。

第 2 章では、4H-SiC バイポーラデバイスおよび 4H-SiC バイポーラデバイスの電気特性に影響を与える欠陥について説明した。n 型ドリフト層を持つ 4H-SiC pin ダイオードおよび p 型ドリフト層を持つ SiCGT の先行研究の成果についてまとめた。さらに、キャリアを制限する炭素空孔、および、順方向電圧を増大させる基底面転位の先行研究の成果についてもまとめた。

第 3 章では、炭素空孔低減プロセスにより作製した厚いドリフト層を持つ 4H-SiC pin ダイオードの電気特性についてまとめた。炭素空孔を低減したドリフト層(エピタキシャルウェハ)を、炭素注入プロセス、および、熱酸化プロセスにより形成した。作製したドリフト層(エピタキシャルウェハ)を持つ 4H-SiC pin ダイオードは、炭素空孔を低減していないものと比べて、順方向電圧が 1 割程度(4.5V→4.0V)小さくなった。一方、逆回復特性はほとんど変わらない結果となった。順方向電圧については、ドリフト層中のキャリア寿命が支配的になっているのに対し、逆回復特性では、pn 接合界面における再結合が支配的になっていることを明らかにした。

第 4 章では、4H-SiC pin ダイオードの順方向電圧劣化低減に向けて、デバイス構造や成長条件の評価を行った。順方向電圧劣化は、4H-SiC pin ダイオードを<11$\bar{2}$0>方向に 8°オフした(000$\bar{1}$)C 面基板上に作製することで低減できることを見出した。また、順方向電圧劣化したデバイスは、ショックレー型積層欠陥周辺での再結合の影響で、逆回復時間が短くなることを見出した。さらに、(000$\bar{1}$)C 面基板上に作製した 4H-SiC pin ダイオードで、世界最高耐電圧の 8.3kV を実現した。

第 5 章では、p 型ドリフト層を持つ SiC Commutated Gate Turn-off Thyristor(SiCGT)のオン電圧劣化と最小点弧電流劣化について評価を行った。さらに、温度を上げて、オン電圧劣化を無効化できる Temperature Elevation Degradation Reduction of Electrical

Characteristics(TEDREC)現象についても評価を行った。通電電流を増加すると、オン電圧劣化が大きくなり、ショックレー型積層欠陥が新たに発生することを明らかにした。通電ストレス試験後のオン電圧劣化した SiCGT のオン電圧は、温度を 150℃以上にすると、通電ストレス試験前のオン電圧とほぼ等しくなった。また、SiCGT に電流を通電すると、最小点弧電流が増大(劣化)した。オン電圧劣化と最小点弧電流劣化には相関関係が見られた。さらに、いずれの劣化現象に対しても、温度を上げることにより、デバイスを問題なく動作できることを実証した。

第 6 章では、順方向(オン)電圧劣化や TEDREC 現象のメカニズムを明らかにするため、ショックレー型積層欠陥を有する n 型ドリフト層および p 型ドリフト層を持つ 4H-SiC pin ダイオード電気特性のデバイスシミュレーションを行った。n 型ドリフト層および p ドリフト層を持つ 4H-SiC pin ダイオードを用いて、デバイスシミュレーションを実施し、順方向電圧劣化と TEDREC 現象について、実験結果と同様な結果が得ることができた。順方向電圧劣化が発生するのは、ショックレー型積層欠陥における電子のポテンシャルが、擬フェルミ準位より低くなり、n^+層から注入された電子が、ショックレー型積層欠陥に捕獲され、反対側の p^+層側に達することができないのが原因であることを見出した。室温の低注入状態では、ショックレー型における電子のポテンシャルが、擬フェルミ準位より高いが、高注入状態になると、ショックレー型積層欠陥における電子のポテンシャルが、擬フェルミ準位より低くなるため、順方向電圧劣化が発生することを示した。また、温度が上がると、擬フェルミ準位が下がり、高注入状態でも、ショックレー型積層欠陥における電子のポテンシャルが、擬フェルミ準位より高くなるため、順方向電圧劣化が発生しなくなる。

第 7 章では、本研究で得られた成果を総括し、今後の課題と将来の展望について述べ、本論文の結論とした。

目次

第 1 章　序論 1

1.1　研究の背景 1
1.2　研究の目的 3
1.3　論文の構成 5

第 2 章　4H-SiC バイポーラデバイスと結晶欠陥 8

2.1　はじめに 8
2.2　4H-SiC pin ダイオード 8
2.2.1　4H-SiC pin ダイオードの特徴 8
2.2.2　4H-SiC pin ダイオードの構造 9
2.2.3　4H-SiC pin ダイオードの電気特性評価技術 10
2.3　SiCGT(SiC Commutated Gate Turn-off Thyristor) 13
2.3.1　SiCGT の構造と特徴 13
2.3.2　SiCGT の電気特性 15
2.4　4H-SiC バイポーラデバイスに影響を与える結晶欠陥 19
2.4.1　炭素空孔に起因する $Z_{1/2}$ センター 19
2.4.2　ショックレー型積層欠陥 21
2.5　まとめ 29

第 3 章　高キャリア寿命を持つ 4H-SiC pin ダイオード .. 31

3.1　はじめに 31
3.2　実験方法 31
3.3　順方向の電流-電圧特性 34
3.4　逆回復特性 37
3.5　順方向の電流-電圧特性と逆回復特性のデバイスシミュレーション 39
3.6　まとめ 44

第 4 章　4H-SiC pin ダイオードの順方向電圧劣化特性 ... 46

4.1　はじめに 46
4.2　実験方法 46
4.3　順方向電圧劣化の各種依存性 48
4.3.1　順方向電圧劣化に対するドリフト層厚み依存性 48

4.3.2　順方向電圧劣化に対するデバイスサイズ依存性 52
4.3.3　順方向電圧劣化に対する面方位依存性 54
4.4　{0001}4H-SiC pin ダイオードの順方向の電流-電圧特性と逆回復特性の劣化現象 55
4.4.1　{0001}4H-SiC pin ダイオードの順方向電圧劣化 55
4.4.2　{0001}4H-SiC pin ダイオードの逆回復特性劣化 55
4.5　順方向の電流-電圧特性と逆回復特性における劣化現象の相関関係の考察 59
4.5.1　順方向の電流-電圧特性と逆回復特性における劣化現象の相関 59
4.5.2　ショックレー型積層欠陥周辺での表面再結合を考慮したキャリア寿命 59
4.5.3　劣化現象とτ_{bulk}およびs_{SF}の関係 61
4.5.4　モンテカルロ手法を用いたショックレー型積層欠陥の振る舞いの考察 62
4.5.5　劣化現象から求めたτ_{bulk}とs_{SF}の計算結果 65
4.6　逆回復特性の劣化現象における$(000\bar{1})$C 面 4H-SiC pin ダイオードと (0001)Si 面 4H-SiC pin ダイオードの相異の考察 66
4.7　高耐電圧$(000\bar{1})$C 面 4H-SiC pin ダイオード 66
4.8　まとめ 68
第 5 章　p^-ドリフト層を有する SiCGT のオン電圧劣化特性と最小点弧電流劣化特性および TEDREC 現象 70
5.1　はじめに 70
5.2　実験方法 71
5.3　SiCGT のオン電圧劣化 72
5.3.1　オン電圧劣化の通電ストレス電流依存性 72
5.3.2　オン電圧劣化の温度依存性 76
5.4　SiCGT の最小点弧電流劣化 80
5.4.1　最小点弧電流劣化とオン電圧劣化との関係 80
5.4.2　最小点弧電流劣化した SiCGT の観察 83
5.4.3　TEDREC 法を用いた最小点弧電流劣化した SiCGT の動作 88
5.5　まとめ 89

第 6 章　ショックレー型積層欠陥を有する n ドリフト層および p ドリフト層を持つ 4H-SiC pin ダイオードの電気特性デバイスシミュレーション 91
6.1　はじめに 91
6.2　デバイスシミュレーション方法 91
6.3　ショックレー型積層欠陥を有する n 型ドリフト層を持つ 4H-SiC pin ダイオード 92
6.3.1　順方向の電流-電圧特性 92
6.3.2　電子と正孔の密度分布 95
6.4　ショックレー型積層欠陥を有する p 型ドリフト層を持つ 4H-SiC pin ダイオード 98
6.5　まとめ 101
第 7 章　結論 103
7.1　はじめに 103
7.2　本研究で得られた成果 103
7.3　将来の展望 106
謝辞 108
研究業績リスト 111

第 1 章　序論

1.1　研究の背景

現在、パワーエレクトロニクス機器の心臓部となるパワーデバイスにはシリコン(Si)半導体デバイスが用いられている。しかし、Si パワーデバイスの性能は、Si の物性値に基づく限界に近づきつつある。そこで、Si に比べて物理特性が優れているワイドギャップ半導体材料が、パワーデバイスの性能を向上させ、次世代パワーデバイスを実現させる材料として期待されている。表 1. 1 に代表的な半導体材料とその特性を示す[1]。例えば、4H-SiC は、周期表中の第 2 周期の炭素を含む次世代の半導体材料で、第 3 周期以降に位置している Si をはじめとする従来の半導体材料と比べて、格子定数が小さく、原子間の結合エネルギーが強くなるため、広いバンドギャップを持つ。この広いバンドギャップにより、4H-SiC の絶縁破壊電界強度は大きくなる。また、原子間の強い結合エネルギーは、高い格子振動周波数、つまり高エネルギーのフォノンにつながなる。この高エネルギーフォノンにより、4H-SiC は大きな飽和電子速度、熱伝導度を持つ。このように、軽元素ワイドギャップ半導体は、Si や GaAs と比較して優れた物性値を持つ。ワイドギャップ半導体を利用したデバイスは、高耐電圧、高耐熱、高速動作、低損失といった特性を示し、パワーエレクトロニクス機器への適用が期待されている。最近では、6H-SiC より電子移動度が大きく、3C-SiC より絶縁破壊強度の大きい 4H-SiC を用いたショットキーダイオードや MOSFET が市販化されている。また、二次元電子ガスが利用でき、キャリア移動度の高い GaN を用いた HEMT も市販化されている。このような市販化されたワイドギャップ半導体デバイスは、600V～1200V の低電圧電源回路などで用いられている。また、SiC を適用した鉄道車両用インバータ装置が、東京メトロやウクライナのキエフ市地下鉄に採用されるなど、ワイドギャップ半導体の適用範囲は拡大しており、実用化が加速している。

表 1. 1 代表的な半導体の主な物性値

材料	Si	GaAs	SiC			GaN	ダイヤモンド
			4H	6H	3C		
バンドギャップ [eV]	1.12	1.42	3.26	3.02	2.23	3.42	5.47
遷移型	間接	直接	間接	間接	間接	直接	間接
絶縁破壊電界強度 [MV/cm]	0.3	0.4	2.8	3	1.5	3	8
電子移動度 [cm^2/(Vs)]	1350	8500	1000	450	1000	1200	2000
飽和電子速度 [10^7cm/s]	1	1	2.2	1.9	2.7	2.4	2.5
熱伝導率 [W/(cmK)]	1.5	0.46	4.9	4.9	4.9	1.3	20

一方、近年、パワーエレクトロニクス技術の適用範囲は拡大しており、分散電源や電力貯蔵装置を含む電力系統においては、交流から直流、もしくは、直流から交流への変換を行う電力変換装置などのパワーエレクトロニクス機器の導入が進んでいる。このような高耐電圧･大電流領域のパワーエレクトロニクス機器に用いられるパワーデバイスには、高耐電圧化と低抵抗化を同時に実現することが求められる。4H-SiC には、次の 2 つの特徴があるため、4H-SiC バイポーラデバイスは、電力用途などの高耐電圧･大電流領域でのパワーデバイスへの応用が期待されている。1 点目は、4H-SiC が、絶縁破壊電界強度が高い等の優れた特性を有していることである。そのため、高耐電圧特性を有するパワーデバイスに好適な材料として注目されている。2 点目は、4H-SiC が、Si と同じ間接遷移型の半導体であるため、長いキャリア寿命が期待できることである。そのため、伝導度変調を利用する低抵抗バイポーラデバイスの作製が可能となる。たとえば、Si デバイスの耐電圧値は、ドリフト層の厚みや不純物密度の制御といった制約(絶縁破壊電界強度を 0.3MV/cm、ドリフト層の厚みを 400μm、ドリフト層の不純物密度を 9N の $5\times10^{13}cm^{-3}$ とした時、理論耐電圧値は約 6kV)により、6～8kV が限界である。そこで、20kV 以上の耐電圧値を得るために、Si デバイスを直列に 3 個以上接続する必要がある。一方、4H-SiC は絶縁破壊電界強度が Si の 10 倍と大きいことから、20kV 以上の耐電圧値を得ることが可能で、1 個の 4H-SiC デバイスで 3 個以上の Si デバイスを置き換えることが可能となる。4H-SiC のバンドギャップは、Si の 3 倍あるため、バイポーラデバイスのビルトイン(立ち上がり)電圧も 3 倍大きいが、Si バイポーラデバイスを 3 個以上直列に接続した場合と比較すると、4H-SiC バイポーラデバイスのビルトイン電圧(定常損失)は Si より小さくなる。

しかし、このように有望な 4H-SiC バイポーラデバイスにも、次のような課題がある。(1)間接遷移型の半導体にも関わらずキャリア寿命が数μs と非常に短い[2]。(2)デバイスに電流を通電すると、順方向電圧が増大(劣化)する[3]。本論文では、特に記載がなければ、順方向電圧とは、順方向電流密度 $100A/cm^2$ の時の順方向電圧を示す。

まず、(1)キャリア寿命が短い理由は次のとおりである。4H-SiC の結晶成長は、一般的に SiH_4 と C_3H_8 を原料ガスとする熱 CVD 法を用いて、エピタキシャル成長で行う[4]。SiH_4 ガスは、1000℃以上で分解しはじめ、Si クラスター(Si_x)となり、1500～1600℃を超えると、Si(g)となる[5]。4H-SiC の結晶成長において、Si クラスターは、欠陥種となるため、一般に 4H-SiC の結晶成長は、1500℃以上の高温で行われる。さらに、厚いエピタキシャル層が必要な場合、成長温度を 1600℃以上に上昇し、高速で成長を行う[6]。一方、4H-SiC のキャリア寿命を制限している点欠陥 $Z_{1/2}$ センターは、熱平衡条件により、1600℃を超えると急激に増加する[7]。長いキャリア寿命を得るには、成長温度を下げる必要があるが、成長温度を下げると、結晶成長速度が遅くなり、厚いエピタキシャル層を得るのが難しくなる。例えば、200μm のエピタキシャル膜を作成するのに、100μm/h の結晶成長速度で 2 時間必要だったのに対し、10μm/h の結晶成長速度では 20 時間を要するようになる。このため、エピタキシャル成長した 4H-SiC 膜中には、キャリア寿命を制限する $Z_{1/2}$ センターが存在し、長いキャリア寿命を

得ることが難しくなっている。

次に、(2)順方向電圧が増大(劣化)する理由は次のとおりである。4H-SiC のエピタキシャル成長は、結晶軸を{0001}基底面から数度傾けた面上でステップフロー成長[4]を用いて行う。そのため、{0001}基底面に含まれる基底面転位と呼ばれる線欠陥が、エピタキシャル成長したドリフト層中に{0001}基底面に沿って伝播する。結晶中では、基底面転位は Si コアを持つショックレー型部分転位と C コアを持つショックレー型部分転位の 2 本に分かれる。2 本のショックレー型部分転位に挟まれた箇所にショックレー型積層欠陥と呼ばれる面欠陥が発生する。ショックレー型積層欠陥は、2 本のショックレー型部分転位同士の斥力と、ショックレー型積層欠陥のエネルギーがつりあうまで、{0001}基底面に沿って広がり、ショックレー型積層欠陥の幅は、4H-SiC の場合、およそ 33nm となる[8]。ここで、バイポーラデバイスでは、順方向に電流を通電すると、ドリフト層中で電子と正孔の再結合が起こる。この電子と正孔の再結合のエネルギーにより、Si コアを持つショックレー型部分転位が、{0001}基底面に沿ってショックレー型積層欠陥を拡げる方向に動く[9]。通常、4H-SiC バイポーラデバイスは、電流がエピタキシャルウェハの表面から裏面に向けて流れる縦型デバイスとなるため、電流の通電方向は、{0001}基底面とほぼ直角となる。ショックレー型積層欠陥は、<0001>方向に対して、量子井戸的に振舞い[10]、電子を捕獲し、正孔トラップとして働く。そのため、ショックレー型積層欠陥では、電子と正孔の再結合が促進され、少数キャリアの注入が抑えられ、十分な伝導度変調が得られず、高抵抗となる。そして、電流は、高抵抗なショックレー型積層欠陥が存在する領域ではなく、十分な伝導変調が起こっているショックレー型積層欠陥の存在しない領域を流れる。実際に電流が流れている面積が小さくなったため、通電領域の電流密度が増加し、順方向電圧が増大する。この現象を順方向電圧劣化と呼ぶ。

1.2 研究の目的

本研究の目的は、結晶欠陥と電気特性の関係を評価することにより、4H-SiC バイポーラデバイスの特性を向上することである。具体的には、前節で示したふたつの課題に対して、(1) 長いキャリア寿命を持つ 4H-SiC pin ダイオードの作製、および、(2) 順方向電圧劣化を抑制する手法の確立することを目的とする。

まず、ひとつめの目的である長いキャリア寿命を持つ 4H-SiC pin ダイオードについて説明する。4H-SiC のキャリア寿命を制限しているのは、電子を捕獲して、正孔トラップとして働く炭素空孔に起因する $Z_{1/2}$ センターである[11,12]。$Z_{1/2}$ センターを低減するために、4H-SiC 中の格子間炭素の拡散係数が大きいことを利用し、格子間炭素を供給することにより、炭素空孔を低減する手法が開発されている。ひとつは、4H-SiC の表面を熱酸化し、熱酸化で発生した余剰炭素を 4H-SiC 中に拡散させる手法である。もうひとつは、4H-SiC の表面に炭素原子をイオン注入し、アニールにより注入した炭素を 4H-SiC 中に拡散する手法である。いずれの手法でも、表面再結合の影響を除外したバルクのキャリア寿命として、20μs とい

う数字が得られている。しかし、実際の高耐電圧で必要な厚いエピタキシャル層を用いたバイポーラデバイスの電気特性は報告されていない。さらに、これらのキャリア寿命改善手法がキャリア寿命以外に及ぼす影響についても、あまり報告されていない。また、4H-SiC バイポーラデバイスのプロセスでは、高温を要するプロセスが多く、その影響も懸念される。4H-SiC の高温プロセスには次のようなものがある。まず、イオン注入後に、イオン注入による結晶のダメージを回復させ、注入したイオン原子を電気的に活性化させる目的で行う活性化アニールがある。次に、電極を形成するために、電極金属と 4H-SiC 間でオーム性接触を形成するためのアニールがある。これらは、1500～2000℃という非常に高い温度で行われる。このようなプロセスを用いて作製したデバイスの電気特性を評価することは非常に重要となる。

本研究では、キャリア寿命を改善したドリフト層を持つ 4H-SiC pin ダイオードの電気特性を評価し、キャリア寿命改善手法が電気特性に与える影響を明らかにすることを目的とする。インバータなどのパワーエレクトロニクス機器に、ダイオードを適用する場合は、定常損失と過渡(スイッチング)損失の和で表される電力損失で評価しなければならない。ダイオードの定常損失は主に順方向電圧と順方向電流の積で、スイッチング損失は主に逆回復損失で、それぞれ決まる。一般に、pin ダイオードの逆回復損失は、順方向通電時のドリフト層に注入された少数キャリアの量に比例する。そのため、キャリア寿命が長くなると、ドリフト層に注入される少数キャリアが増え、順方向電圧は低下する一方、逆回復損失は増大する。このように、pin ダイオードの順方向電圧と逆回復損失は、トレードオフの関係にある。本研究では、キャリア寿命を改善したドリフト層を持つ 4H-SiC pin ダイオードの順方向の電流-電圧特性を評価するとともに、逆回復特性についても、評価した。さらに、得られた電気特性とデバイスシミュレーション結果を比較した結果についても述べる。

つぎに、本研究の二つ目の目的である順方向電圧劣化を抑制する手法について説明する。順方向電圧劣化は、4H-SiC 基板に存在する基底面転位が、4H-SiC エピタキシャル層に伝搬するために発生する。基板中に存在する基底面転位は、そのほとんどが貫通刃状転位に変換され、4H-SiC エピタキシャル層に伝播するが、わずかな基底面転位がそのまま 4H-SiC エピタキシャル層に伝播する。そのため、順方向電圧劣化を低減するには、この 4H-SiC 基板と 4H-SiC エピタキシャル層における基底面転位から貫通刃状転位への変換率を、100%に近づけ、4H-SiC エピタキシャル層中の基底面転位をゼロとすればよい。そこで、次のような、エピタキシャル成長に使用する基板を工夫する手法が提案されている。

①$(000\bar{1})$C 面成長[13,14]

エピタキシャル成長の基板として、$(000\bar{1})$C 面基板を使用する。

②低オフ角成長[15]

オフ角を一般に使用されている 8 度より小さくした基板を使用する。

③KOH エッチング[16,17]

KOH エッチング処理した基板を使用する。

④リソグラフィ+エッチング [16,17]

表面を亀甲模様状にエッチングした基板を使用する。

いずれの手法も、順方向電圧劣化を低減できることが報告されている。

本研究では、デバイス構造や結晶成長条件が順方向電圧劣化に与える影響を明らかにし、順方向電圧劣化を抑制することが目的である。まず、4H-SiC エピタキシャル層の厚みや、デバイスのサイズ、結晶の面方位が順方向電圧劣化に与える影響を評価した。さらに、上述の①$(000\bar{1})$C 面成長により形成した高耐電圧 4H-SiC pin ダイオードの電気特性評価結果について述べる。そして、順方向(オン)電圧劣化が、順方向(オン)特性や逆回復特性に与える影響も評価した。

順方向電圧劣化を低減する手法が報告されている一方、ショックレー型積層欠陥に拡張する欠陥として、基板からドリフト層に伝播した基底面転位の他に、基底面に存在するハーフループ(half-loop arrays、もしくは、pair arrays)が報告されている[18]。さらに、通電電流を増加すると、順方向電圧劣化が大きくなる現象も存在する[19]。このように、順方向電圧劣化を完全になくすことは非常に難しい。そこで、デバイスの使用方法を工夫し、順方向電圧劣化したデバイスをうまく利用することが重要となる。

本研究では、順方向電圧劣化したデバイスの順方向電圧温度依存性を調べ、150℃以上で順方向電圧劣化前後の順方向電圧が変わらないこと、つまり、高温では順方向電圧劣化が無視できることを見出した。さらにデバイスシミュレーションと比較することにより、そのメカニズムについても評価した。

1.3 論文の構成

本論文は第 1 章を含めて本文 7 章と謝辞、研究業績リストで構成されている。本論文の構成と各章のつながりを図式化したものを図 1. 1 に示す。

第 2 章では、4H-SiC バイポーラデバイスと通電特性を制限する結晶欠陥について先行研究で得られた研究成果についてまとめる。

第 3 章では、キャリア寿命を長くするという課題に対して、炭素拡散プロセスにより作製した 4H-SiC pin ダイオードの電気特性について述べる。具体的には、炭素注入プロセスや熱酸化プロセスを行ったエピタキシャルウェハを用いて、4H-SiC pin ダイオードを作製し、順方向の電流-電圧特性、逆回復特性を評価すると共に、デバイスシミュレーションとの比較を行った。

第 4 章から第 6 章では、4H-SiC バイポーラデバイスの順方向(オン)電圧劣化への解決策についてまとめている。まず、第 4 章では、n 型ドリフト層を持つバイポーラデバイスの順方向電圧劣化の低減という課題について、順方向電圧劣化の各種構造条件依存性について述べる。具体的には、順方向電圧劣化のドリフト層厚み、デバイスサイズ、基板面方位の依存性について述べる。さらに、$(000\bar{1})$C 面基板上に作製した高耐電圧 4H-SiC pin ダイオードの電気特性について述べる。そして、順方向電圧劣化と逆回復特性の関係についても述べ

る。

第 5 章では、p 型ドリフト層を持つバイポーラデバイスの順方向電圧劣化の低減という課題について、順方向電圧劣化の測定条件依存性について述べる。具体的には、順方向電圧劣化の電流依存性、温度依存性について評価すると共に、発光像によるデバイスの観察を行った。また、p 型ドリフト層を持つバイポーラデバイスとして評価したスイッチングデバイスの最小点弧電流が増大(劣化)することについても示した。

第 6 章では、順方向電圧劣化の機構を明らかにするという課題について、ショックレー型積層欠陥を有する 4H-SiC pin ダイオードのデバイスシミュレーション結果について述べる。具体的には、n 型、もしくは、p 型のドリフト層を持つ 4H-SiC pin ダイオードに、ショックレー型積層欠陥を定義し、順方向の電流-電圧特性のデバイスシミュレーションを実施した。さらに、順方向の電流-電圧特性の温度依存性のデバイスシミュレーションも実施し、実験結果を比較した。

第 7 章では、本研究で得られた成果を総括し、今後の課題と将来の展望について述べ、本論文の結論とする。

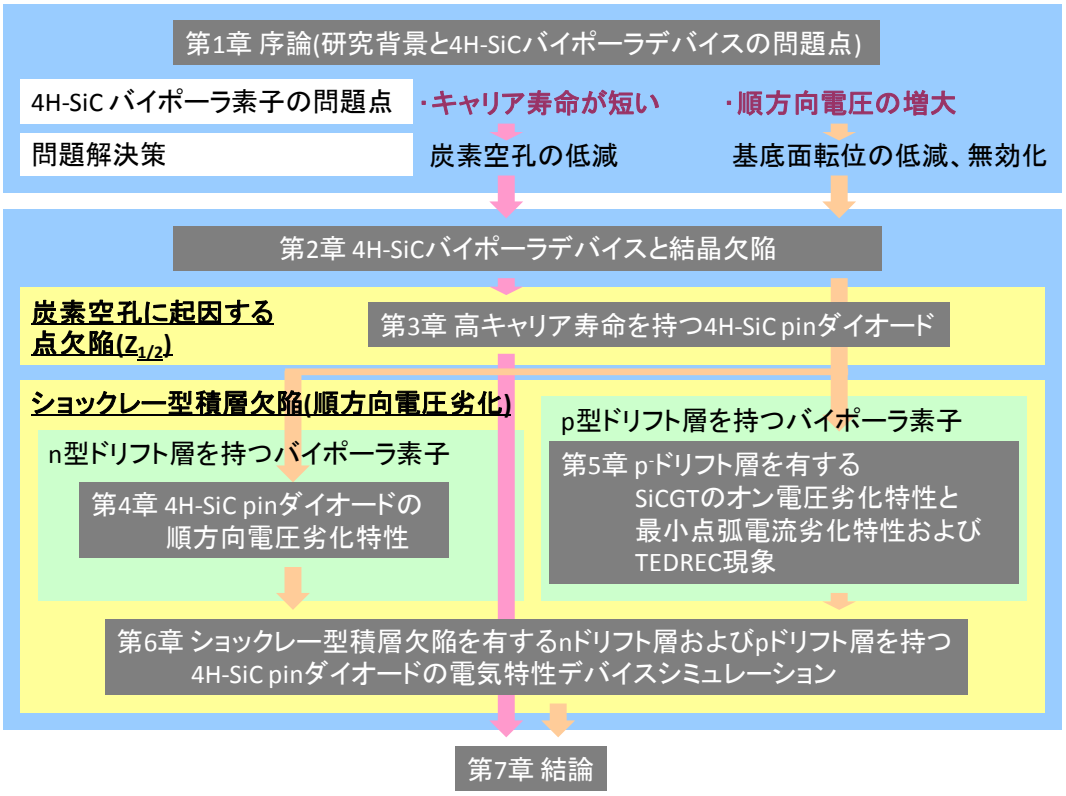


図 1.1 本論文の構成と各章のつながり

参考文献

[1] 松波弘之、大谷昇、木本恒暢、中村孝:「半導体 SiC 技術と応用」, 第 2 版, 日刊工業新聞社 (2011) 12-14.

[2] 松波弘之、大谷昇、木本恒暢、中村孝:「半導体 SiC 技術と応用」, 第 2 版, 日刊工業新聞社 (2011) 19.

[3] H. Lendenmann, F. Dahlquist, N. Johansson, R. Soderholm, P. A. Nilsson, J. P. Bergman and P. Skytt: *Mater. Sci. Forum* **353-356** (2001) 727.

[4] N. Kuroda, K. Shibahara, W. S. Yoo, S. Nishino and H. Matsunami: *Ext Abst. 19th Conf. Solid state Devices and Materials* (1987) 227.

[5] A. Ellison: Ph. D. Dissertation, Linchöping Univ, Linchöping, Sweden (1999) paper I.

[6] M. Ito, L. Storasta and H. Tsuchida: *Appl. Phys. Express* **1** (2008) 015001.

[7] B. Zippelius, J. Suda and T. Kimoto: *Mater. Sci. Forum* **717-720** (2012) 247.

[8] M. H. Hong, A. V. Samant and P. Pirouz: *Phylosophical Magazine A* **80**, 4 (2000) 919.

[9] M. Skowronski and S. Ha: *J. Appl. Phys.* **99** (2006) 011101.

[10] U. Lindefelt, H. Iwata, S. Oberg and P. R. Briddon: *PHYSICAL REVIEW B* **67** (2003) 155204.

[11] K. Danno, D. Nakamura, and T. Kimoto: *Appl. Phys. Lett.* **90**, 20 (2007) 202109.

[12] T. Kimoto, K. Danno, and J. Suda: *Phys. Status Solidi B* **245**, 7 (2006) 1327.

[13] K. Nakayama, Y. Sugawara, H. Tsuchida, T. Miyanagi, I. Kamata, T. Nakamura, K. Asano and D. Takayama: *Proc. 16th Int. Symp. Power Semiconductor Devices & ICs* (2004) 357.

[14] H. Tsuchida, I. Kamata, T. Miyanagi, T. Nakamura, K. Nakayama, R. Ishii1 and Y. Sugawara: *Jpn. J. Appl. Phys.* **44**, 25 (2005) L806.

[15] H. Tsuchida, T. Miyanagi, I. Kamata, T. Nakamura, K. Izumi, K. Nakayama, R. Ishii, K. Asano and Y. Sugawara: *Mater. Sci. Forum* **483-485** (2005) 97.

[16] Z. Zhang and T. S. Sudarshan: *Appl. Phys. Lett.* **87** (2005) 151913.

[17] M. K. Das, J. J. Sumakeris, B. A. Hull and J. Richmond: *Mater. Sci. Forum* **527-529** (2006) 1329.

[18] S. Ha, M. Skowronski, and H. Lendenmann: *J. Appl. Phys.* **96** (2004) 393.

[19] Y. Sugawara, Y. Miyanagi, K. Nakayama, K. Asano, S. Ogata, T. Izumi and A. Tanaka: *Proc. 19th Int. Symp. Power Semiconductor Devices & ICs* (2007) 273.

第 2 章　4H-SiC バイポーラデバイスと結晶欠陥

2.1　はじめに

バイポーラデバイスは、電流の流れを電子と正孔の両方が担うデバイスであり、電子を多数キャリアとする n 型半導体層と、正孔を多数キャリアとする p 型半導体層を交互に組み合わせた構造をもつ。4H-SiC では、不純物の拡散係数が小さいため、この各半導体層を、4H-SiC バルク基板上に、熱 CVD 法を用いたエピタキシャル成長で形成する。最も簡単な 4H-SiC バイポーラデバイスの構造として、不純物密度の濃い n 型半導体である 4H-SiC バルク基板上に、不純物密度の低い n 型半導体層のドリフト層と不純物密度の濃い p 型半導体層を形成した 4H-SiC pin ダイオードがある。ドリフト層の役割は、電流を通電しない条件下で、デバイスに印加される電圧を分担することである。そのため、デバイスの耐電圧値を上げるため、ドリフト層の不純物密度は小さく、厚みは大きくする必要がある。このような 4H-SiC バイポーラデバイスには、(1)間接遷移型の半導体にも関わらずキャリア寿命が数μs と非常に短い[1]、(2)デバイスに順方向に電流を通電すると、電圧が増大する[2]といった問題が存在する。(1)に関しては、炭素空孔に起因する $Z_{1/2}$ センターと呼ばれる点欠陥[3,4]が、(2)に関しては、基板から伝搬した基底面転位から拡張したショックレー型積層欠陥と呼ばれる面欠陥[5]が、それぞれ原因とされている。

順方向電圧劣化は、伝導帯下端より 0.23eV 低いショックレー型積層欠陥が形成する準位とフェルミ準位の比較で説明される[6]ことがあるが、n 型と p 型では、フェルミ準位の位置が異なるため、p 型のドリフト層を持つバイポーラデバイスの順方向電圧劣化を調べることは、そのメカニズムを解明するためにも非常に重要なことである。

本章では、4H-SiC バイポーラデバイスとして本研究で用いた n 型のドリフト層を持つ 4H-SiC pin ダイオードと p 型のドリフト層を持つ SiCGT (SiC Commutated Gate Turn-off Thyristor)について述べる。さらに、課題となる結晶欠陥である $Z_{1/2}$ センターと呼ばれる点欠陥とショックレー型積層欠陥と呼ばれる面欠陥について述べる。

2.2　4H-SiC pin ダイオード

2.2.1　4H-SiC pin ダイオードの特徴

本節では、4H-SiC バイポーラデバイスのうち、整流デバイスとして主に研究されている 4H-SiC pin ダイオードの特徴について示す。

4H-SiC のバンドギャップは、Si の約 3 倍であるため、4H-SiC pin ダイオードにおける順方向のビルトイン電圧が Si より約 3 倍高くなる。しかし、4H-SiC の方が、絶縁破壊電界強度が Si と比べて約 10 倍大きいため、高耐電圧化が可能となる。Si pin ダイオードの耐電圧値は 6～8kV に対し、4H-SiC pin ダイオードは 20kV 以上が可能となるので、20kV 以上では、3 個以上直列接続した Si pin ダイオードを 1 個の 4H-SiC pin ダイオードで置き換えることが

可能となる。この結果、4H-SiC pin ダイオードは、Si pin ダイオードと同等、もしくは、それ以下のビルトイン電圧を持つこととなる。

また、4H-SiC pin ダイオードは、4H-SiC ショットキーダイオードと比べると、ビルトイン電圧が高いが、少数キャリアの注入によるドリフト層の伝導度変調により、抵抗が大幅に小さくなる[7]。理論的なダイオードの順方向電圧は、ビルトイン電圧とドリフト層の抵抗による電圧降下の和から求めることができる。高耐電圧化のため、ドリフト層を厚くすると、4H-SiC pin ダイオードは、4H-SiC ショットキーダイオードと比べて、抵抗が大幅に下がるので、順方向電圧も小さくなる[7]。また、順方向バイアス時の電流が大きくなり、自己発熱により温度が上昇すると、少数キャリア寿命が長くなり[8]、拡散長が伸びるため、ドリフト層に蓄積される少数キャリアが増加し、順方向電圧がさらに小さくなる。したがって、電力用途などの高耐電圧･大電流領域では、4H-SiC pin ダイオードを用いると、4H-SiC ショットキーダイオードを用いるときより、定常損失を小さくすることができる。

一方、インバータなどのパワーエレクトロニクス機器に、ダイオードを適用する場合は、定常損失とスイッチング損失の和で表される電力損失で評価しなければならない。ダイオードのスイッチング損失は、主に逆回復損失で表される。一般に、4H-SiC pin ダイオードでは、4H-SiC ショットキーダイオードと比べると、少数キャリアの注入によりドリフト層に注入されたキャリアが存在するため、4H-SiC pin ダイオードの逆回復損失は大きくなる。また、温度が上昇すると、少数キャリアの注入量が増え、4H-SiC pin ダイオードの逆回復損失は大きくなる。しかし、逆回復損失は、キャリア寿命を制御することにより、低減することが可能である。実際の 4H-SiC pin ダイオードが、Si ダイオードや 4H-SiC ショットキーダイオードより有利な領域は、使用されるパワーエレクトロニクス機器の定格電圧や定格電流、定格運転時のダイオードの定常損失と逆回復損失や接合温度、さらに、キャリア周波数や過電流耐量などを考慮して求めなければならない。4H-SiC pin ダイオードが有利な領域は、定常損失だけでなく、スイッチング損失も考慮すると減少するが、超高耐電圧領域では、ドリフト層が厚くなり、4H-SiC ショットキーダイオードでは抵抗が大幅に増大するため、逆回復損失を考慮しても、4H-SiC pin ダイオードの方が電力損失が小さく、有利になってくる。

2.2.2　4H-SiC pin ダイオードの構造

図 2. 1 に典型的な 4H-SiC pin ダイオード素子断面構造の模式図を示す。4H-SiC p 型基板は、低抵抗化や高品質化が難しいため、4H-SiC デバイスの基板としては、通常 n 型が使われており、4H-SiC pin ダイオードも n 型のドリフト層を持つこの構造が一般的である。4H-SiC 中の不純物の拡散係数が小さいため、アノード層の形成には、イオン注入、もしくは、エピタキシャル成長を用いている。特徴としては、エピタキシャル成長を用いた方が、イオン注入を用いた方より、オン電圧が小さくなる傾向がある[9]。これは、イオン注入により生成した欠陥により、エピタキシャル成長に比べて、少数キャリアの注入が抑えられる

ためと考えられる。

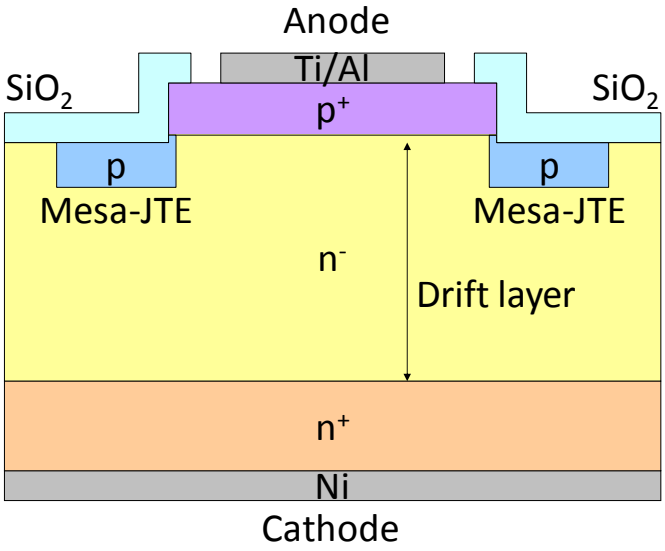


図 2. 1 典型的な 4H-SiC pin ダイオード素子断面構造の模式図

イオン注入により 4H-SiC pin ダイオードを形成する場合、プレーナ構造も可能となるが、エピタキシャル成長を用いた場合、デバイス分離のため、エッチングにより、メサ構造をとる必要がある。4H-SiC はウェットエッチングの速度が遅いため、通常、反応性イオンエッチング(RIE:Reactive Ion Etching)が用いられる[10]。メサ構造では、メサ底部の終端部に電界が集中するので、ガードリングや JTE(Junction Termination Extension)を用いて、終端部の電界緩和を行う。4H-SiC に対する不純物の拡散係数が小さいため[11]、拡散技術の適用が難しいため、終端構造の形成には、イオン注入技術が使用される。このようにして、形成された終端部は、通常、酸化膜により保護される。

2.2.3 4H-SiC pin ダイオードの電気特性評価技術

インバータなどのパワーエレクトロニクス機器は、定常損失とスイッチング損失の和で表される電力損失でその適合性を評価しなければならない。ダイオードにおいては、定常損失は順方向の電流-電圧特性で決まり、スイッチング損失は逆回復特性で決まる。4H-SiC pin ダイオードの典型的な順方向の電流密度-電圧特性を図 2. 2 に、逆回復特性を図 2. 3 に示す。温度が上昇すると、順方向電圧は下がり、逆回復損失は増加することがわかる。このトレードオフを改善することが重要な開発要素となる。このような、順方向の電流-電圧特性や逆回復特性に大きな影響を与える物性値として、キャリア寿命がある。4H-SiC pin ダイオードなどのデバイスでは pn の積層構造を持った状態でのキャリア寿命が重要となるため、実デバイスでキャリア寿命を評価する必要がある。そのため、電気特性を利用してキャリア寿命を評価する技術が必要となる。次に、静特性と動特性にわけて、評価技術を述べる。

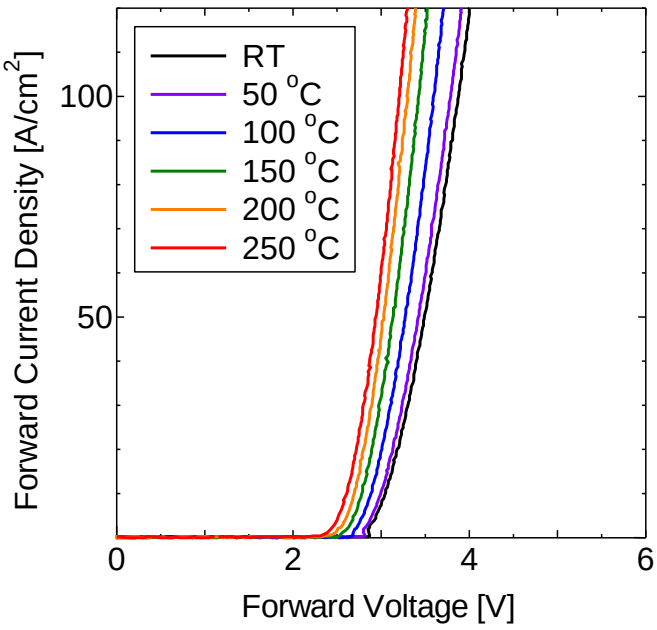


図 2. 2 4H-SiC pin ダイオードの典型的な順方向の電流密度-電圧特性の温度依存性(測定温度 RT～250℃)

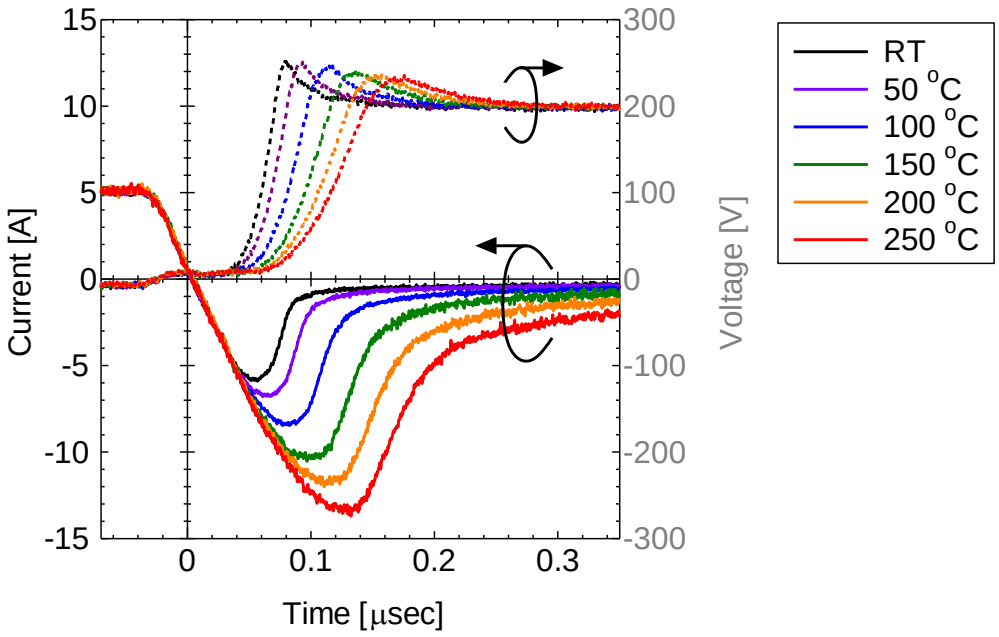


図 2. 3 4H-SiC pin ダイオードの典型的な逆回復特性の温度依存性(測定温度 RT～250℃)

pn ダイオードの逆方向電流密度 J_r および順方向電流密度 J_f は、拡散電流と生成電流および再結合電流の和で表され、

$$J_{\mathrm{r}} = e\left(\frac{D_{\mathrm{p}}}{L_{\mathrm{p}}N_{\mathrm{d}}} + \frac{D_{\mathrm{n}}}{L_{\mathrm{n}}N_{\mathrm{a}}}\right)n_{\mathrm{i}}^2 + \frac{e n_{\mathrm{i}} W}{\tau_{\mathrm{e}}} \tag{2. 1}$$

$$J_{\mathrm{f}} = e\left(\frac{D_{\mathrm{p}}}{L_{\mathrm{p}}N_{\mathrm{d}}} + \frac{D_{\mathrm{n}}}{L_{\mathrm{n}}N_{\mathrm{a}}}\right)n_{\mathrm{i}}^2 \exp\left(\frac{eV}{kT}\right) + \frac{eW}{2}s\upsilon N_{\mathrm{t}} n_{\mathrm{i}} \exp\left(\frac{eV}{2kT}\right) \tag{2. 2}$$

となる[12]。ここで、e は電子の電荷、D_{p}、L_{p} は正孔の拡散係数と拡散距離、D_{n}、L_{n} は電子のの拡散係数と拡散距離、N_{a} は p 層のアクセプタ密度、N_{d} は n 層のドナー密度、n_{i} は真性キャリア密度、W は空乏層暑さ、τ_{e} は電子正孔対生成に要する時間、V は印加電圧、k はボルツマン定数、T は温度、s、υ はキャリアの捕獲断面積と熱速度である。4H-SiC はバンドギャップが大きく、室温近傍では真性キャリア密度が小さいため、第 2 項の生成電流および再結合電流がそれぞれ支配的となる。ここで、4H-SiC pn ダイオードの逆方向電流を測定することにより、電子正孔対生成に要する時間や SRH(Shockley-Read- Hall)モデル[13]における再結合寿命($1/s\upsilon N_{\mathrm{t}}$)を求めることができる。また、(2. 2)式より、pn ダイオードの順方向電流 J_{f} は、

$$J_{\mathrm{f}} \propto \exp\left(\frac{eV}{nkT}\right) \tag{2. 3}$$

で与えられる。ここで、n は理想因子(ideal factor)で、n 値とも呼ばれる。一般に、pn ダイオードの順方向電流は、n 値が 1 の時、(2. 2)式第 1 項の拡散電流が支配的となり、n 値が 2 の時、(2. 2)式第 2 項の再結合電流が支配的となる[14]。

pin ダイオードの動特性として、逆回復特性や順回復特性、OCVD(Open Circuit Voltage Decay)などがある。いずれも、キャリア寿命を算出する手法である。逆回復特性では、順方向通電時に蓄積されたキャリアの数と逆回復電流により外部に取り出されたキャリアの数が等しいと考え、解析を行う。逆回復特性から求められたキャリア寿命 τ_{rr} は、

$$Q = I_{\mathrm{f}}\tau_{\mathrm{rr}} = \int i_{\mathrm{rr}}\,dt = \frac{1}{2}I_{\mathrm{rm}}t_{\mathrm{rr}} \tag{2. 4}$$

の関係より、

$$\tau_{\mathrm{rr}} = \frac{I_{\mathrm{rm}}t_{\mathrm{rr}}}{2I_{\mathrm{f}}} \tag{2. 5}$$

となる[15]。ここで、Q は順方向通電時にドリフト層に蓄積された電荷、I_{f} は順方向電流、i_{rr} は逆回復時の電流値、I_{rm} は逆回復電流ピーク値、t_{rr} は逆回復時間である。順回復特性では、順回復するまでに外部より注入されたキャリアの数と順方向通電時に蓄積されたキャリアの数が等しいと考え、解析を行う。順回復特性から求められたキャリア寿命 τ_{fr} は、

$$Q = I_{\mathrm{f}}\tau_{\mathrm{fr}} = \int i_{\mathrm{fr}}\,dt = I_{\mathrm{f}}t_{\mathrm{fr}} \tag{2. 6}$$

の関係より、

$$\tau_{\mathrm{fr}} = t_{\mathrm{fr}} \tag{2. 7}$$

となる[16]。ここで、i_{fr}は順回復時の電流値、t_{fr}は逆回復時間である。OCVD では、回路開放後の電圧の減少が、キャリアの消滅によるキャリア密度減少と関係があることから、解析を行う。OCVD から求められたキャリア寿命は、

$$\tau_{\mathrm{OCVD}} = -\frac{2kT}{e} \cdot \frac{1}{\mathrm{d}V/\mathrm{d}t} \tag{2. 8}$$

となる[17]。ここで、d*V*/d*t* は pn ダイオード間に発生する電圧の減少率である。一般に、逆回復特性では、pn 接合界面における再結合などの影響により、逆回復電流により取り出されたキャリアの数は、蓄積されたキャリアの数より小さくなる。同様の考え方で、順回復するまでに外部から注入されたキャリアの数は、蓄積されたキャリアの数より大きくなる。

2.3 SiCGT(SiC Commutated Gate Turn-off Thyristor)

2.3.1 SiCGT の構造と特徴

SiCGT は、4H-SiC n^+基板上に pnpn の 4 層構造を持つ GCT(Gate Commutated Turn-off)サイリスタである[18]。図 2. 4 に SiCGT セル断面構造図の模式図を示す。

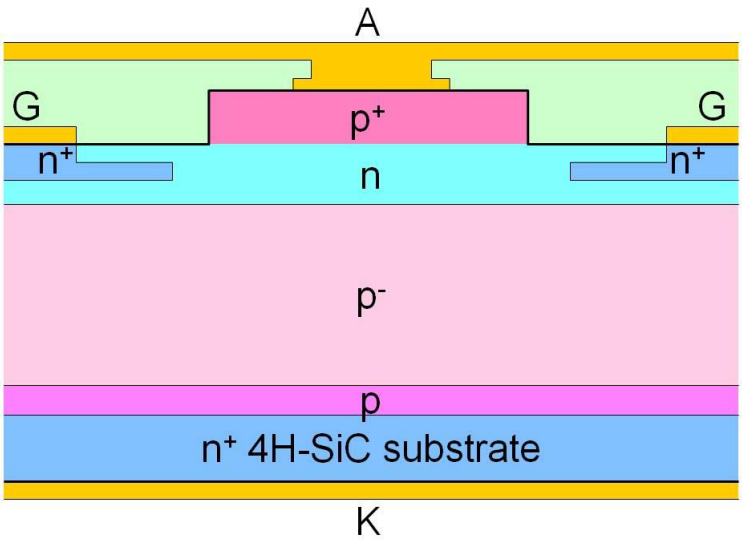


図 2. 4 SiCGT セル断面構造模式図(A:アノード、G:ゲート、K:カソード)

伝導変調を有効に活用するサイリスタ構造では 4 層の半導体層が必要である。4H-SiC p 型基板は、低抵抗化や高品質化が難しいため、4H-SiC デバイスの基板としては、通常 n 型が使われている。サイリスタ構造では、ドリフト層は、基板と異なる型を持つため、n 型基板上に作製した SiCGT のドリフト層は、p 型となる。断面構造図から、SiCGT は pnpn の 4

層構造を持つことがわかる。さらに、これを図 2. 5 のように pnp の 3 層構造と npn の 3 層構造にわけると、SiCGT は pnp と npn バイポーラトランジスタの複合構造となっていることがわかる。

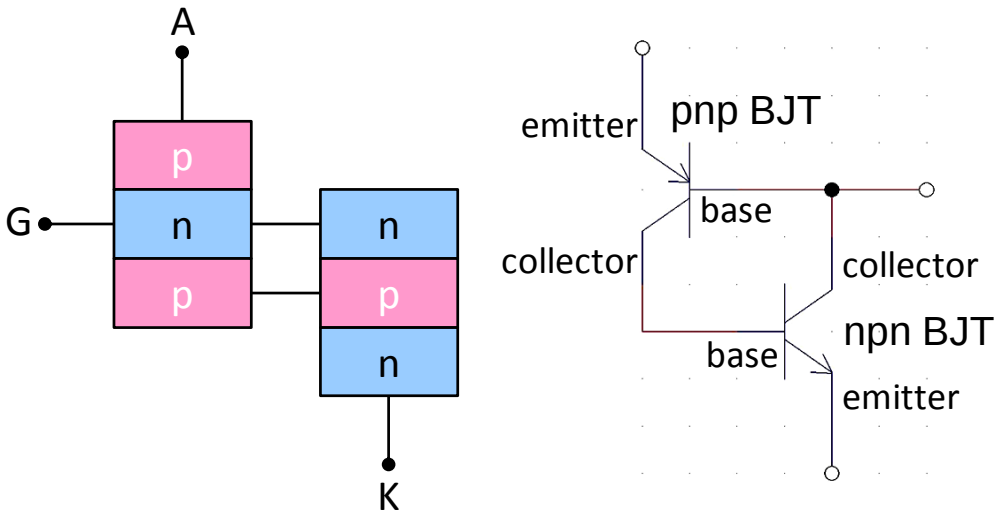


図 2. 5 バイポーラトランジスタを用いた SiCGT の等価的な構造図と等価回路(A:アノード、G:ゲート、K:カソード)

まず、SiCGT の動作を、pnp と npn バイポーラトランジスタからなる複合構造と考えて説明する。上部の pnp バイポーラトランジスタのゲートに電流を流すことにより、エミッタ-コレクタ間に増幅電流を流す。この増幅電流により、下部の npn バイポーラトランジスタを動作させる。この正帰還動作により、SiCGT はターンオンする。ターンオフは、上部の pnp バイポーラトランジスタのゲートに逆電流を流し、上部の pnp バイポーラトランジスタをオフさせ、下部の npn バイポーラトランジスタとの正帰還を停止させることにより行う。SiCGT のターンオン動作について具体的に説明する。SiCGT のアノード(A)とゲート(G)の pn ダイオードに順方向の電圧を印加し、アノードからゲートにゲート電流を流す。これにより、バイポーラトランジスタの正帰還動作を行い、アノードからカソード(K)に電流を通電(ターンオン)する。SiCGT のターンオフ時は、まず、アノードとゲートの pn ダイオードに逆方向の電圧を印加し、上部の pnp バイポーラトランジスタのゲートに逆電流を流し、オフさせる。しかし、下部の npn バイポーラトランジスタがオフしていないこと、アノードからカソードに通電していた電流を直ちに遮断することができないことから、アノードからカソードに流れていたアノード電流は、一旦、ゲートからカソードに流れるゲート電流として転流される。この時、GTO とは異なり SiCGT では、すべてのアノード電流をゲート電流に転流させる。下部の npn バイポーラトランジスタのゲートへの正帰還が停止しているため、転流された電流が減少し、ターンオフに至る。

次に、SiCGT のデバイス構造について説明する。4H-SiC は低抵抗で高品質な p 型基板の作製が難しいため、SiCGT は 4H-SiC n^+基板を用いて作製する。n^+基板上に、p^+バッファ層、p^-ドリフト層、n ゲート層、p^+アノード層の順で、エピタキシャル成長法により形成する。p^+バッファ層は、p^-ドリフト層中に伸びる空乏層が n^+基板に到達し、パンチスルーを起こすことを防ぐために設けている。また、p^+バッファ層は、n^+基板から p^-ドリフト層への過剰な電子の注入を抑制し、ターンオフ動作を速くして、ターンオフ損失を低減する効果がある。しかし、n^+基板からの電子の注入を抑制しすぎると、p^-ドリフト層で十分な伝導度変調が得られなくなり、オン電圧が大きくなる。以上のことを考慮し、p^+バッファ層のアクセプタ密度と厚みは慎重に設計する必要がある。

p^-ドリフト層は、オフ状態の電圧が印加され、SiCGT の耐電圧値を決める層である。p^-ドリフト層の厚みを増やし、不純物密度を下げると、耐電圧値は上昇する。しかし、p^-ドリフト層の厚みが、電子や正孔の拡散長より長くなると、十分な伝導度変調が得られず、オン電圧が上昇する。また、実際に使用する回路において、SiCGT に電圧が印加された時、空乏層が p^-ドリフト層全面に空乏層が拡がるくらい、p^-ドリフト層の厚みが薄かったり、不純物密度が低かったりすると、ターンオフ時に、p^-ドリフト層中の過剰キャリアがなくなり、電圧の上昇率(dV/dt)が急峻になり、ノイズの原因となる。したがって、常時使用する電圧値やサージなどによる過電圧値などを元に、p^-ドリフト層の不純物密度や厚みは設計される。

n ゲート層に、上部の pnp バイポーラトランジスタのオンオフ動作を決める重要な役割がある。ただ、n ゲート層のドナー密度を下げ、厚みを薄くしすぎると、オフ状態において、n ゲート層側にも空乏層が伸び、パンチスルーすることも考えられるので、注意が必要である。また、ターンオフ損失を低減するには、ターンオフ動作を速くする必要があり、上部の pnp バイポーラトランジスタのベース部に注入された過剰キャリアの引き抜きが重要となる。そのため、SiCGT では、n ゲート層に埋め込みゲート領域を、イオン注入により形成し、過剰キャリアの引き抜きを促進している。

p^+アノード層は、オン状態において、n ゲート層を超え、p^-ドリフト層へ正孔を注入することを目的としている。4H-SiC の p 層エピタキシャル成長では、不純物の固溶限や下部の n 層との格子ミスマッチを考慮して、p^+アノード層は、あまり高不純物密度のエピタキシャル成長が行われない。一方、薄い p^+層に対しては、オーミックコンタクトを形成することが難しい。このことから、通常、p^+アノード層は、2 層構造となり、不純物密度がそれほど濃くない注入層と不純物密度が濃いコンタクト層を持つ。

デバイス表面はアノードとゲート間の電気絶縁のため、SiO_2 で保護されている。また、通電電流容量を上げるため、酸化膜上にコンタクトホールを形成し、表面のアノード電極と p^+アノード層を接続している。

2.3.2　SiCGT の電気特性

SiCGT のターンオン動作について、pnp と npn バイポーラトランジスタからなる複合構造

を用いて、説明する。図 2. 6 に SiCGT のターンオン動作における pnp と npn バイポーラトランジスタを用いた等価的な構造図を示す。ここで、アノード電流を I_A、カソード電流を I_K、ゲート電流を I_G、上部の pnp バイポーラトランジスタの電流増幅率をα_1、下部の npn バイポーラトランジスタの電流増幅率をα_2 とする。

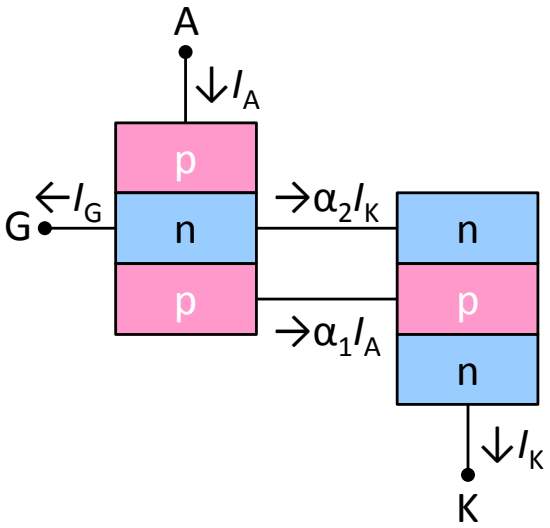


図 2. 6 SiCGT のターンオン動作における pnp と npn バイポーラトランジスタを用いた等価的な構造図と電流成分(A:アノード、G:ゲート、K:カソード、I_A:アノード電流、I_K:カソード電流、I_G:ゲート電流、α_1:上部の pnp バイポーラトランジスタの増幅率、α_2:下部の npn バイポーラトランジスタの増幅率)

それぞれのバイポーラトランジスタにおいて、

$$I_A = I_G + \alpha_2 I_K + \alpha_1 I_A \tag{2. 9}$$

$$\alpha_2 I_K + \alpha_1 I_A = I_K \tag{2. 10}$$

となる。これらの式から、I_A を消去し、I_K について整理すると、

$$I_K = \frac{\alpha_1}{1-(\alpha_1+\alpha_2)} I_G \tag{2. 11}$$

となる。ゲート電流 I_G がゼロに近づくと、カソード電流 I_K もゼロである。ゲート電流 I_G が増加すると、カソードの漏れ電流 I_K が増加する。さらに、ゲート電流 I_G が増加し、$(\alpha_1+\alpha_2)$ が 1 に近づき、

$$\alpha_1 + \alpha_2 = 1 \tag{2. 12}$$

となり、分母がゼロとなると、カソード電流 I_K が急速に増加し、ゲート制御状態から外れて、ターンオンに至る。この(2. 12)式が、ターンオンの条件となる。ターンオンした SiCGT は、pnp と npn バイポーラトランジスタのベース電流を相互に供給しあうことで、(2. 12)式の条件を満たす。この状態のことをラッチアップという。ラッチアップした SiCGT のオン特性は、ゲート電流に依存せず、オフ状態になるまで変化しない

このように、SiCGT は、ゲート電流をある値以上とするとオン状態となり、このしきい値電流を最小点弧電流と呼ばれる。図 2. 7 に SiCGT の典型的なオン時の電流-電圧特性を示す。ゲート電流(I_G)を 100mA とし、温度を 25℃～200℃の範囲で変化させて測定した。4H-SiC pin ダイオードと同様に、電圧を上昇すると、3V 付近で立ち上がり、電流の通電が始まる。順方向電流密度 100A/cm^2 での微分オン抵抗(dV/dJ)は、5mΩcm^2 となり、十分な伝導度変調が起こっていると考えられる。SiCGT はバイポーラトランジスタの正帰還動作によりオンする。電流が飽和しないので、短時間過負荷(300%、3 秒など)運転可能な電力変換装置に適用が可能である。

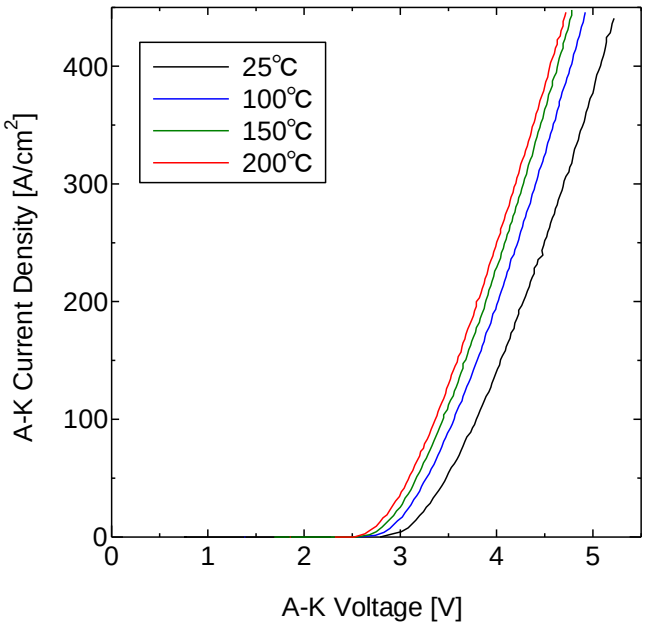


図 2. 7 SiCGT の典型的なオン時の電流-電圧特性の温度依存性(ゲート電流 I_G=100mA、測定温度 25℃～200℃)

SiCGT のアノード-ゲート間の pn ダイオードに逆方向の電圧を印加すると、上部の pnp バイポーラトランジスタに逆方向電流が流れ、オフし、SiCGT は電流を通電しないオフ状態となる。図 2. 8 に、SiCGT の典型的なオフ特性を示す。測定は、アノードとゲートを短絡(ショート)させて行った。p$^-$ドリフト層のアクセプタ密度は 2×10^{14}cm^{-3} で、厚みは 75μm である。印加電圧 5kV、素子温度 300℃でも漏れ電流密度は、10^{-4}A/cm^2 以下となった。

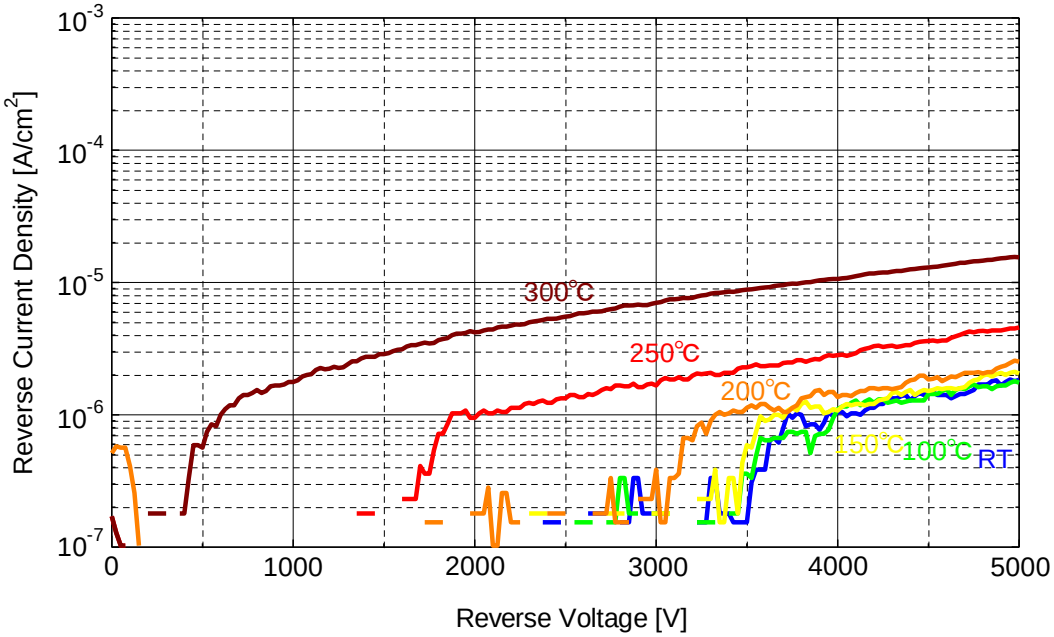


図 2. 8 SiCGT の典型的なオフ特性の温度依存性(測定温度 RT～300℃)

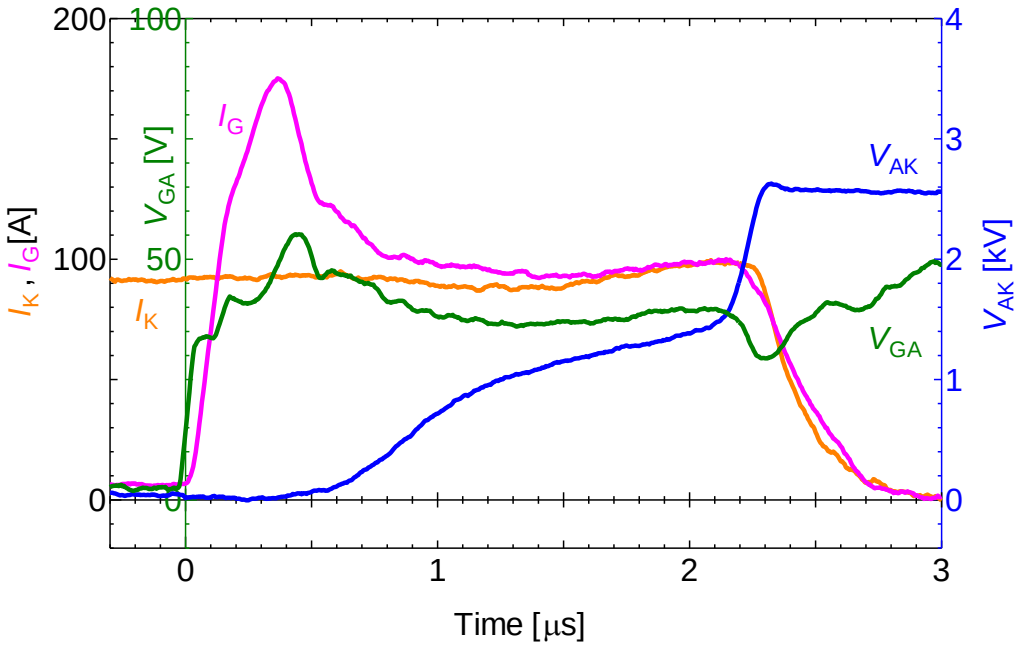


図 2. 9 室温における典型的な SiCGT のターンオフ特性(I_K:カソード電流(橙)、I_G:ゲート電流(赤紫)、V_{AK}:アノード-カソード間電圧(青)、V_{GA}:ゲート-アノード間電圧の時間依存性(緑))

最後に、SiCGT のターンオフ特性について述べる。図 2. 9 に SiCGT の室温における典型的なターンオフ特性を示す。図 2. 9 には、カソード電流(I_K)、ゲート電流(I_G)、ゲート電圧(V_{GA})、

アノード-カソード間電圧(V_{AK})を示す。アノード電流(I_A)は、I_K から I_G を引いたものとして求まる。I_A が流れている状態から、ゲートにターンオフに必要な V_{GA} を印加する。V_{GA} とゲート回路の浮遊インダクタンスによって決まる di/dt によって、I_A は I_G へ転流する。転流が完了すると、p^-ドリフト層の過剰キャリアが消滅を始め、pn 接合付近の過剰キャリアがなくなると、pn 接合から空乏層が伸びてくる。この時、V_{AK} が増加しはじめる。その後、過剰キャリアの消滅による空乏層の拡大により、V_{AK} は増加する。図 2. 9 のようなターンオフ特性を示す SiCGT では、800V 付近で空乏層が p^-ドリフト層全面に拡大するため、800V を超えると、p^-ドリフト層中の過剰キャリアが存在しないため、電圧は、急速に上昇する。電圧が回路の電源電圧に達した後、n ゲート層や p バッファ層に蓄積されている過剰キャリアが減少することにより、電流が減少し、ターンオフ動作が完了する。

2.4　4H-SiC バイポーラデバイスに影響を与える結晶欠陥

2.4.1　炭素空孔に起因する $Z_{1/2}$ センター

4H-SiC pin ダイオードの定常損失を低減するためには、キャリア寿命を長くして、ドリフト層全域で十分な伝導度変調を起こし、順方向電圧を下げる必要がある。しかし、4H-SiC は間接遷移型の半導体にもかかわらず、キャリア寿命が数μs と非常に短い[1]。特に、高耐電圧領域で使用される 4H-SiC pin ダイオードは、厚いドリフト層を持つため、キャリア寿命の改善が必要である。図 2. 10 にドリフト層の厚みと必要なキャリア寿命の関係を示す[19]。10kV を超える高耐電圧領域では、100μm 以上のドリフト層厚みが必要であるが、そのためには、6μs 以上のキャリア寿命が必要なのがわかる。

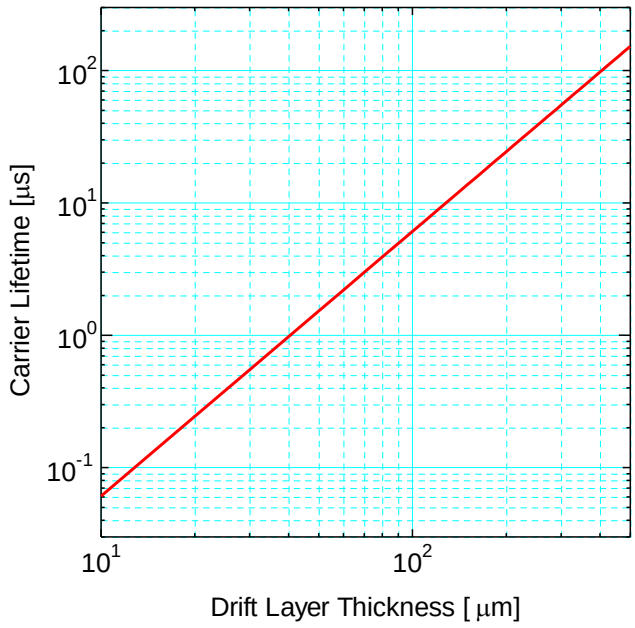


図 2. 10　ドリフト層の厚みに対して、必要なキャリア寿命の最小値

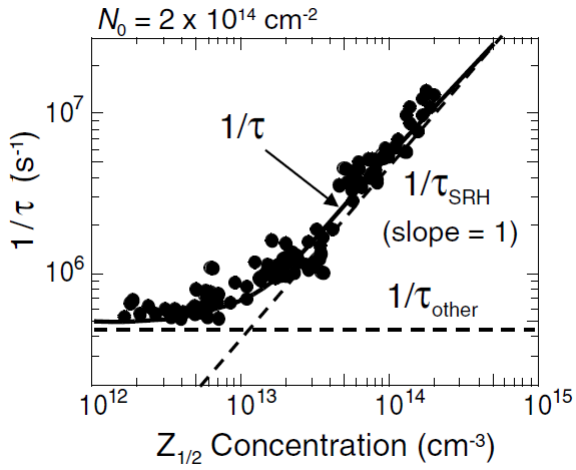


図 2. 11 キャリア寿命(τ)の逆数と $Z_{1/2}$ センター密度の関係 [4](N_0:ドナー密度、τ_{SRH}、ショックレーリードホール(SRH)キャリア寿命、τ_{other}:別のキャリア寿命制限要因によって決まるキャリア寿命): $Z_{1/2}$ センター密度が $10^{13}cm^{-3}$ 以上の時、1/ τは $Z_{1/2}$ センター密度とほぼ比例関係にある。$Z_{1/2}$ センター密度が $10^{13}cm^{-3}$ 以下の時、1/ τは一定となり、別のキャリア寿命制限要因が支配的となっていることが推測される [4]。

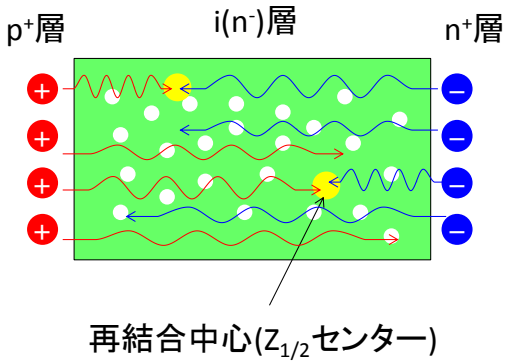


図 2. 12 $p^+/i(n^-)/n^+$構造における再結合中心($Z_{1/2}$ センター)での電子と正孔の再結合の模式図: p^+層から $i(n^-)$層に注入された正孔と n^+層から $i(n^-)$層に注入された電子の再結合が、再結合中心($Z_{1/2}$ センター)において促進される。このため、電子と正孔のキャリア寿命が制限され、短くなる。

4H-SiC のキャリア寿命を制限している要因について、p 型半導体については解明されていないが、n 型半導体についてはほぼ解明されている。n 型半導体においてキャリア寿命を制限しているのは、電子を捕獲して、正孔トラップとして働く炭素空孔に起因する $Z_{1/2}$ センターである [3,4]。図 2. 11 にキャリア寿命と $Z_{1/2}$ センター密度の関係を示し、図 2. 12 に再結合中心($Z_{1/2}$ センター)における電子正孔対再結合の模式図を示す。$Z_{1/2}$ センターは、伝導帯

下端より、0.65eV 低い準位を形成し、捕獲断面積は $1\times10^{14}cm^2$ で、電子を捕獲していない時は、中性で電子を捕獲して負に帯電するアクセプタ型のトラップとして働く[20]。$Z_{1/2}$ センター密度を低減するために、4H-SiC 中の格子間炭素の拡散係数が大きいことを利用し、格子間炭素を供給して、炭素空孔を低減する手法が開発されている。図 2. 13 に熱処理での格子間炭素拡散による炭素空孔低減の模式図を示す。格子間炭素を供給する方法はふたつ提案されている。ひとつは、4H-SiC の表面を熱酸化し、熱酸化で発生した余剰炭素を 4H-SiC 中に拡散させる手法である[21]。もうひとつは、4H-SiC の表面に炭素原子をイオン注入し、アニールにより注入した炭素を 4H-SiC 中に拡散する手法である[22]。いずれの手法でも、表面再結合の影響を除外したバルクのキャリア寿命として、20μs という数字が得られている[23,24]。

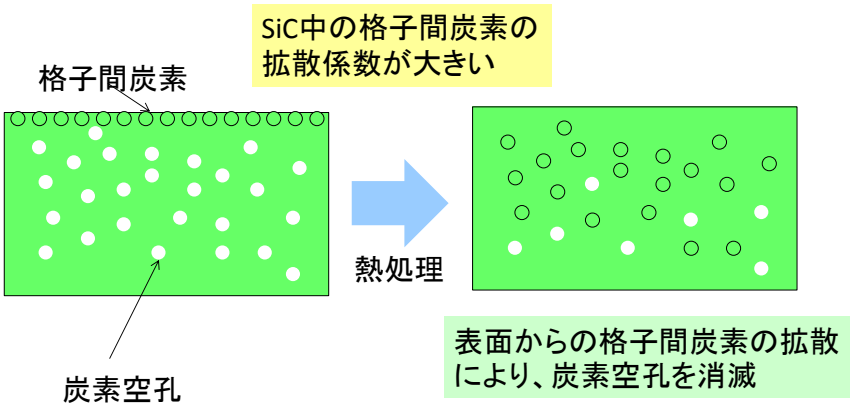


図 2. 13 格子間炭素を熱処理により拡散し、炭素空孔を低減する模式図: SiC 中の格子間炭素の拡散係数が大きいことを利用し、熱処理により、表面からの格子間炭素を拡散させ、炭素空孔を低減する。

4H-SiC pin ダイオードの作製プロセスでは、高温を要するプロセスが多い。まずは、結晶を成長するためのエピタキシャル成長である。次に、イオン注入後に、イオン注入によるダメージを回復させ、注入したイオン原子を電気的に活性化させる目的で行う活性化アニールである。さらに、電極を形成するために、電極金属と 4H-SiC 間でオーム性接触を形成するためのアニールがある。これらは、1500～2000℃という非常に高い温度で行われる。このような高温のプロセスでは、熱平衡状態で、結晶中に炭素空孔が発生するので、$Z_{1/2}$ センターが増える。特に、1750℃以上で、$Z_{1/2}$ センターが検出されることが報告されている[25]。このように、キャリア寿命を制限する欠陥は特定されつつあるが、高温のデバイス作製プロセスが欠陥を発生させてしまうことが懸念される。

2.4.2　ショックレー型積層欠陥

4H-SiC バイポーラデバイスは、高耐電圧領域での実用化が期待されているが、通電により、順方向電圧が増大する現象がある[26]。この現象は順方向電圧劣化現象、もしくは、順方

向電圧劣化現象と呼ばれ、メカニズムは次のとおりである。

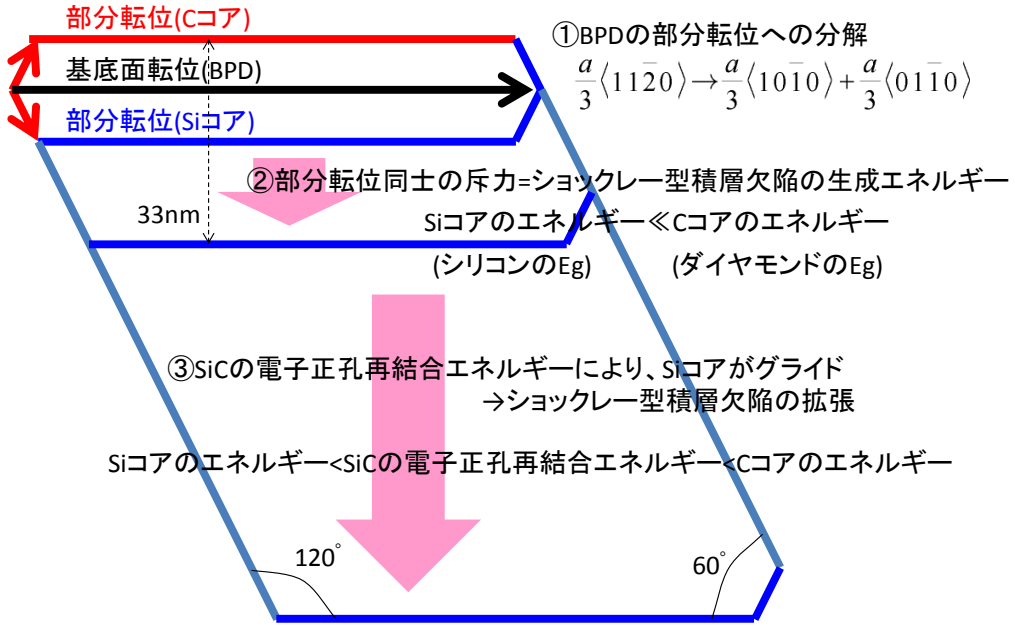


図 2. 14 基底面転位(BPD)が 2 本の部分転位に分かれて、ショックレー型積層欠陥が{0001}面内を拡大する様子を示す模式図: 次のように、基底面転位がショックレー型積層欠陥に拡張する。①基底面転位が、C コアを持つ部分転位と Si コアを持つ部分転位の二本に分解する。②二本の部分転位が、部分転位同士の斥力とショックレー型積層欠陥の生成エネルギーが釣り合うまで、拡がる。二本の部分転位の間には、ショックレー型積層欠陥が存在する。③SiC の電子と正孔の再結合エネルギーにより、Si コアがショックレー型積層欠陥を拡大する方向に移動する。

4H-SiC 基板の{0001}基底面に存在する基底面転位と呼ばれる線欠陥が、エピタキシャル成長したドリフト層中に{0001}基底面に沿って伝播する。基底面転位(a/3<11$\bar{2}$0>)は、

$$\frac{a}{3}\langle 11\bar{2}0\rangle \rightarrow \frac{a}{3}\langle 10\bar{1}0\rangle + \frac{a}{3}\langle 01\bar{1}0\rangle \qquad (2.13)$$

のように、結晶中で Si コアを持つショックレー型部分転位と C コアを持つものの 2 本に分かれ、2 本のショックレー型部分転位に挟まれた領域にショックレー型積層欠陥と呼ばれる面欠陥が存在する。図 2. 14 と図 2. 15 に 2 本の部分転位に挟まれるショックレー型積層欠陥が拡大する模式図を示す。ショックレー型積層欠陥は、2 本のショックレー型部分転位同士の斥力と、ショックレー型積層欠陥が発生することによる結晶歪みのエネルギーがつりあうまで、{0001}基底面に沿って広がり、ショックレー型積層欠陥の幅は、4H-SiC の場合、およそ 33nm[27]となる。この時、Si コア(Si-Si 結合)のエネルギーの方が、C コア(C-C 結合)のエネルギーより小さいため、Si コアを持つショックレー型部分転位が C コアを持つショ

ックレー型部分転位から離れる方向に動く。

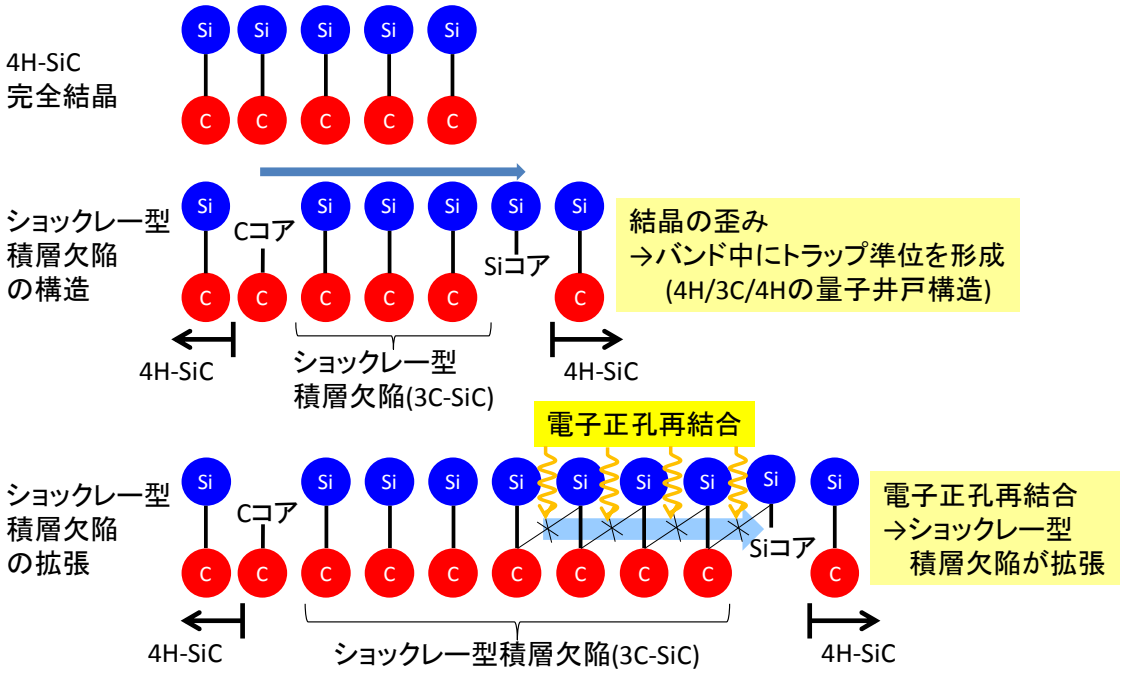


図 2. 15 2 本の部分転位に挟まれたショックレー型積層欠陥が{11$\bar{2}$0}面内を拡大する様子を示す模式図

次に、順方向に電流を通電すると、バイポーラデバイスでは、ドリフト層中で電子と正孔の再結合が起こる。この電子と正孔の再結合のエネルギーにより、Si コアを持つショックレー型部分転位が、ショックレー型積層欠陥を{0001}基底面に沿って拡げる方向に動く。4H-SiC の電子と正孔の再結合エネルギーは、C(ダイヤモンド)のバンドギャップより小さく、Si のバンドギャップより大きいため、C コアを活性化することができないが、Si-Si 結合を切って、Si コアは活性化することができる。このため、C コアを持つショックレー型部分転位は動かず、Si コアを持つショックレー型部分転位だけが動くことができる。ショックレー型積層欠陥は、伝導帯下端より 0.23eV 低いところに電子の準位を形成するため、通電中の伝導帯に存在する電子は、ショックレー型積層欠陥を形成し、伝導帯下端より低い準位に移動することにより、エネルギーを小さくすることができる。このため、Si コアを持つショックレー型部分転位は、ショックレー型積層欠陥を拡大する方向に移動する。移動した Si コアを持つショックレー型部分転位は、通電を止めた後も結晶のパイエルスポテンシャルにピンニングされるため[28]、縮小せずに存在する。ピンニングされた Si コアを持つショックレー型部分転位は、350℃以上の高温下では、パイエルスポテンシャルのバリアを超えて、ショックレー型積層欠陥を縮小する方向に移動こと も報告されている[29,30]。しかし、縮小したショックレー型積層欠陥も、通電すると再び拡大するため、順方向電圧劣化はな

くならない。

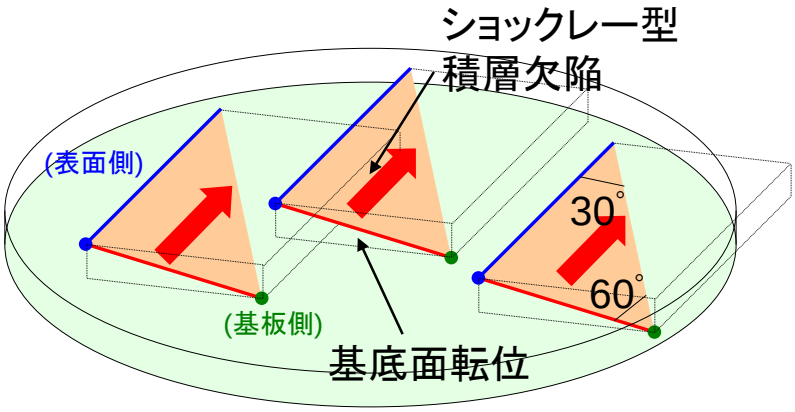


図 2. 16 エピタキシャル層中のショックレー型積層欠陥拡張の模式図: 基底面転位(赤線)は、ドリフト層中に、基板側(緑点)から表面側(青点)に向けて斜めに伝搬する形で存在する。電流を通電するとショックレー型積層欠陥は、基底面転位から、{0001}基底面に沿って拡張する。拡張したショックレー型積層欠陥(肌色)は、一つの鋭角が 30°の直角三角形となる。青線は、ショックレー型積層欠陥が表面と交わる線を示している。

順方向電流通電時にショックレー型積層欠陥を拡げる方向に移動する Si コアを持つ部分転位は、電子と正孔の再結合が起こっているドリフト層から外側では、動けない。したがって、Si コアを持つ部分転位は、ドリフト層表面、もしくは、ドリフト層と基板の界面に達すると止まり、ショックレー型積層欠陥の拡大は止まる。この結果、{0001}基底面から垂直な方向からショックレー型積層欠陥を観察した場合、ショックレー型積層欠陥は、1 辺をドリフト層中の基底面転位とし、図 2. 16 のように 30 度と 60 度の狭角を持つ直角三角形の形状となる。図 2. 17 にショックレー型積層欠陥を含む 4H-SiC の透過型電子顕微鏡像[31]を示す。4H-SiC の結晶構造(C'ABA'C')に対して、ショックレー型積層欠陥を含む結晶構造(C'ABCB')が見られ、積層構造がずれている。図 2. 18 にショックレー型積層欠陥が形成する量子井戸構造の模式図を示す。ショックレー型積層欠陥は、<0001>方向に対して、量子井戸的に振舞い[32]、電子を捕獲し、負に帯電するアクセプタ型の正孔トラップとして働く。4H-SiC 半導体デバイスは、{0001}基底面を数度オフした 4H-SiC 基板上にエピタキシャル成長して形成する[33]。通常、4H-SiC pin ダイオードは縦型デバイスとなるため、電流の通電方向は、{0001}基底面とほぼ直角となる。そのため、ショックレー型積層欠陥では、電子と正孔の再結合が促進され、少数キャリアの注入が抑えられ、十分な伝導度変調が得られず、高抵抗となる。電流は、ショックレー型積層欠陥が存在する高抵抗な領域ではなく、ショックレー型積層欠陥のない伝導変調が起こっている低抵抗な領域を流れる。図 2. 19 と図 2. 20 に通電ストレス試験前後における欠陥と電流の流れの概念図を示す。実際に電流が流れている面積が小さくなったため、抵抗が増加し、順方向電圧が増大する。

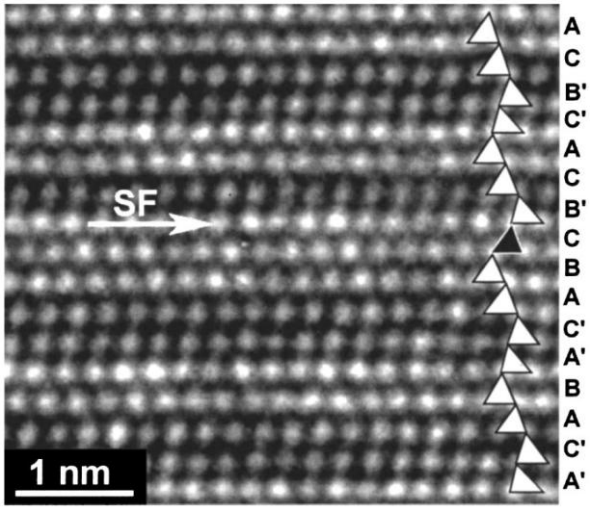


図 2. 17 ショックレー型積層欠陥を含む 4H-SiC の透過型電子顕微鏡像[31](SF:ショックレー型積層欠陥): 図中の A、B、C は、六方最密充填構造における 3 種類の原子の占有位置を示している。ダッシュ(')の有無は、積層の方向を示している。図中の矢印はすべり面を表している。

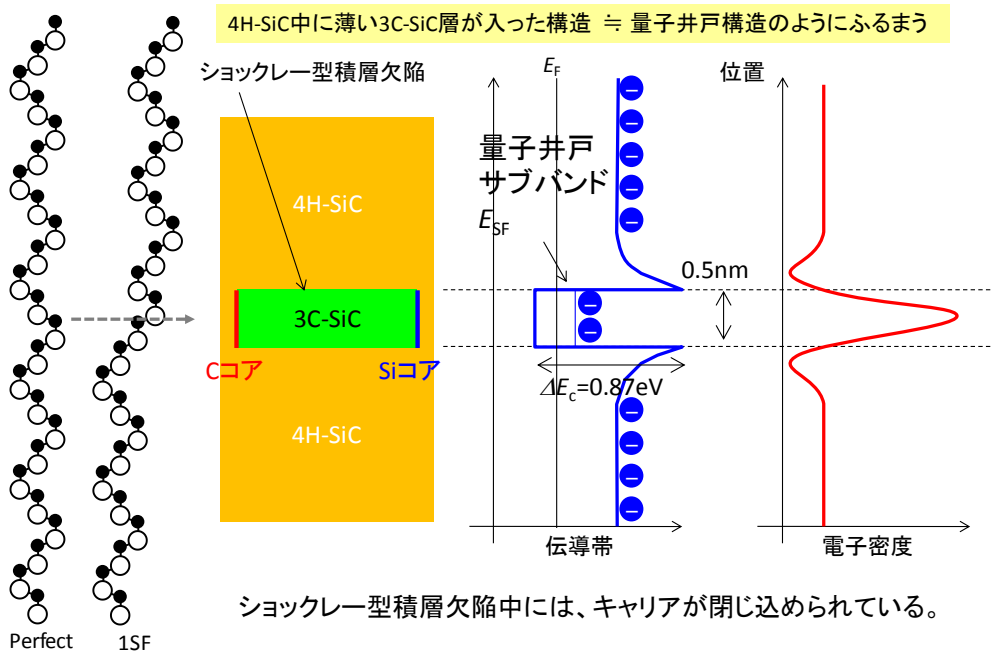


図 2. 18 ショックレー型積層欠陥が形成する量子井戸構造の模式図(E_F:フェルミ準位、ΔE_C:4H-SiC と 3C-SiC の伝導帯下端(電子親和力)の差、E_{SF}:ショックレー型積層欠陥の準位(量子井戸サブバンド)): 左の図は、{11$\bar{2}$0}面からみた 4H-SiC の結晶構造(Perfect)とショックレー型積層欠陥を含む 4H-SiC の結晶構造(1SF)である。○はシリコン(Si)を、●は炭素(C)をそれぞれ表している。矢印で示す面ですべり、ショックレー型積層欠陥となる。4H-SiC 中に存在するショックレー型積層欠陥は、厚さ 0.5nm の 3C-SiC となり、量子井戸構造を作る。そのため、量子井戸には、電子が閉じ込められる。

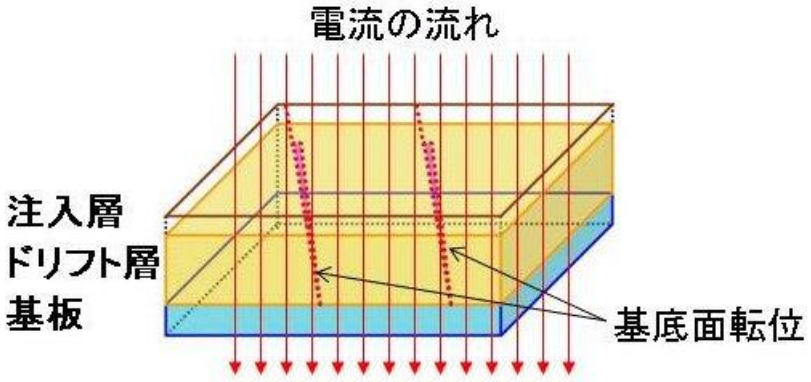


図 2. 19 通電ストレス試験前における欠陥と電流の流れ概念図: 基底面転位は線欠陥であるため、電流の流れを妨げない。

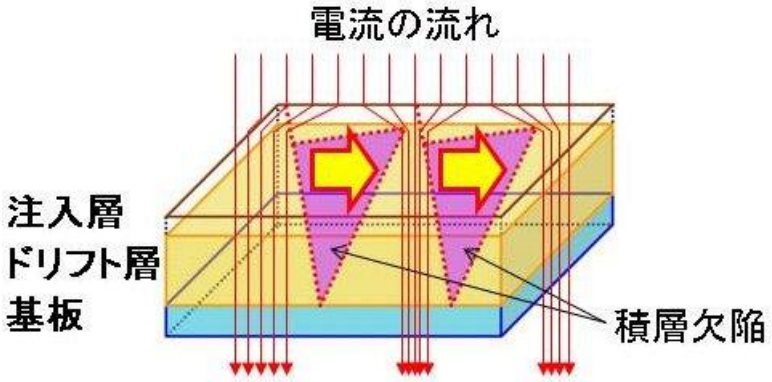


図 2. 20 通電ストレス試験後における欠陥と電流の流れ概念図: 拡張したショックレー型積層欠陥は、電流の流れ方向と垂直に横たわる面欠陥となる。ショックレー型積層欠陥では、電子と正孔の再結合が促進されるため、十分な伝導度変調が得られない。ショックレー型積層欠陥周辺領域のキャリア密度は、正常な領域と比べて、一桁程度小さくなる。このキャリア密度の差により、ショックレー型積層欠陥を含む領域は、正常な領域より、高抵抗層となり、電流は、ショックレー型積層欠陥を避けて流れるようになる。

4H-SiC の結晶中に存在する線欠陥には、貫通型のらせん転位や刃状転位、基底面に存在する基底面転位がある。基板に含まれる線欠陥のエピタキシャル成長における伝搬の様子を図 2. 21 に示す。

基板中に存在する基底面転位は、そのほとんどが貫通刃状転位に変換され、ドリフト層に伝播するが、わずかな基底面転位がそのままドリフト層に伝播し、順方向電圧劣化を引き起こす。貫通型のらせん転位や刃状転位は、デバイスの漏れ電流を若干増やすが、実使用で問題となるほどではない。一方、基底面転位は、順方向電圧劣化の原因となる。そのため、順方向電圧劣化を低減するには、このドリフト層における基底面転位から貫通刃状転位への変換率を、100%に近づければよい。

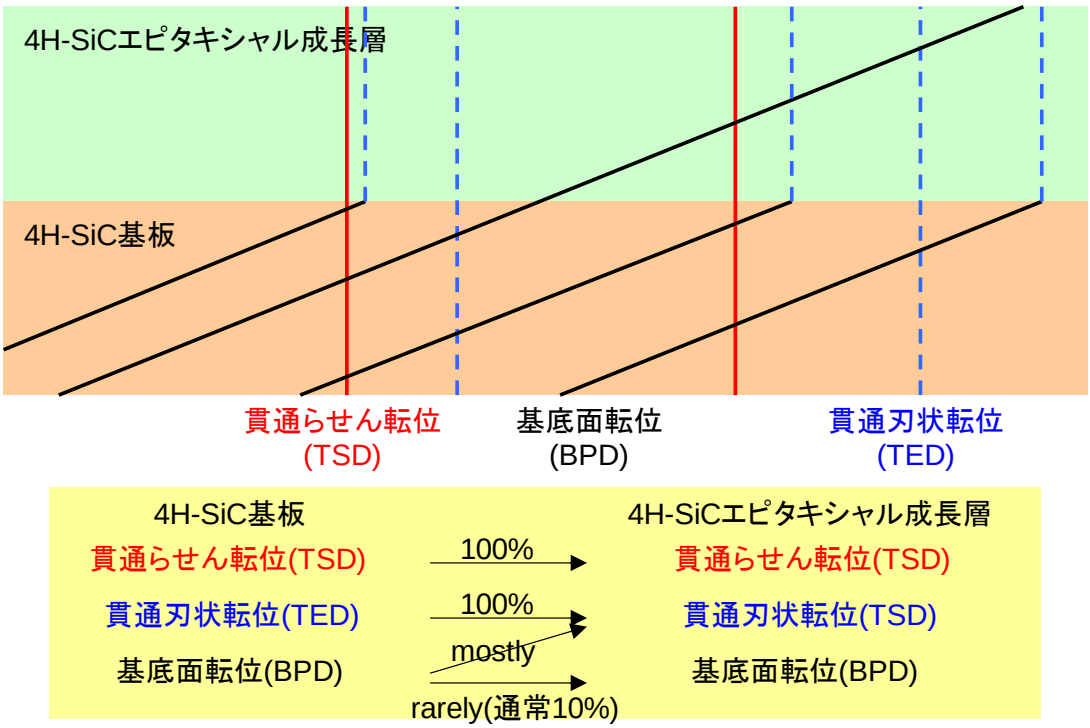


図 2. 21 4H-SiC の結晶成長において線欠陥が伝播する様子を示す模式図(赤:貫通らせん転位/TSD、青:貫通刃状転位/TED、黒:基底面転位/BPD): 4H-SiC 基板とエピタキシャル成長層界面で BPD が TED に変換する。

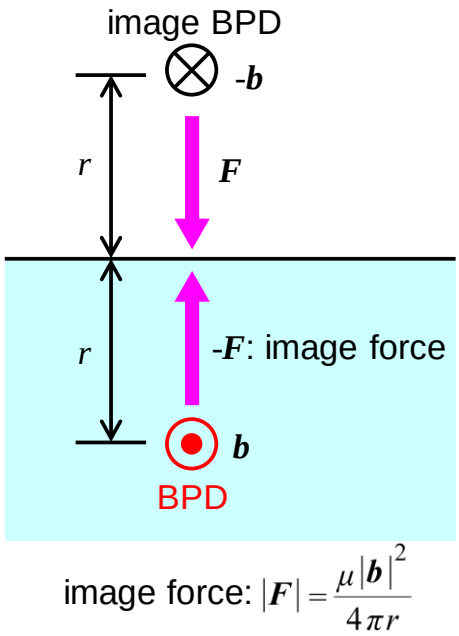


図 2. 22 線欠陥と鏡像力の関係(μ:ラメの第二定数、b:バーガーズベクトル、r :表面と BPD の距離): BPD に対して、image BPD との間に距離 r に反比例する鏡像力(F:image force)が発生する。

基底面転位が貫通刃状転位に変換するメカニズムは、イメージング鏡像力を用いて説明される。図 2. 22 に線欠陥が受ける鏡像力の概念図を示す。線欠陥は、ラメの第二定数μ、バーガーズベクトル b、表面と BPD の距離 r を用いて、

$$|\boldsymbol{F}| = \frac{\mu |\boldsymbol{b}|^2}{4\pi r} \tag{2. 14}$$

と表される鏡像力 F を受ける。鏡像力は、バーガーズベクトルの二乗に比例し、結晶表面との距離に反比例する。これは、結晶表面に近づくにつれて、線欠陥周辺に発生する歪みが、緩和されなくなり、線欠陥に結晶表面方向に力が加わるためである。

そこで、次のような、エピタキシャル成長に使用する基板を工夫する手法が提案されている。

②$(000\bar{1})$C 面成長[34,35]

エピタキシャル成長をする場合、$(000\bar{1})$C 面では、(0001)Si 面と比較して、結晶成長に面のテラスが狭くなり、キンクが低くなる。そのため、鏡像力が大きくなり、変換確率が増える。ただし、$(000\bar{1})$C 面成長では、ドナーとなる窒素の取り込み量が増える[36,37]。窒素は SiC 中の炭素と置換し、取り込まれることから、再表面に炭素が存在する$(000\bar{1})$C 面成長では、炭素と窒素の置換が促進される。このため、n 型半導体層の高純度が難しく、高耐電圧デバイスの実現が容易ではない。

②低オフ角成長[38]

基板における結晶軸のオフ角を一般に使用されている 8 度より小さくすることにより、鏡像力を大きくし、変換確率を増やす。ただし、オフ角を小さくすると、ステップ成長が抑制され、二次元核生成による結晶成長が支配的となるため、良質な 4H-SiC 結晶が得られなくなる [36,37]。

③KOH エッチング[39,40,41]

KOH エッチング処理は、500 度に加熱して、溶融した KOH 中に 4H-SiC 基板を入れ、表面をエッチング処理する。KOH エッチング処理すると、基底面転位周辺に{0001}基底面が局所的に生成される。これにより、オフ角を 0 度とするのと同等の効果を作り出し、鏡像力を大きくし、変換確率を増やす。ただし、KOH エッチングは、欠陥評価に有効な手段であるが、製造ラインに適用するには、KOH の処理などの点で問題がある。また、エピタキシャル成長前に基板処理をするため、K などの不純物を確実に除去する必要もある。

④リソグラフィ+エッチング [40,41]

基板の表面を亀甲模様状にトレンチエッチングをする。トレンチ底部より、エピタキシャル層に斜めに伝搬した基底面転位を、トレンチ壁部で貫通型の刃状転位に変換する。ただし、基板表面の亀甲模様は、エピタキシャル成長後も表面に残り、表面形状に凹凸が存在する。そのため、デバイス製作時の露光処理においてピントが合わないなどの問題が発生する。

こうした手法により、順方向電圧劣化を低減できることが報告されている。しかし、いずれの手法も変換確率を増大するものなので、完全に基底面転位をなくすことは難しい。また、ショックレー型積層欠陥に拡張する欠陥として、基板からドリフト層に伝播した基底面転位の他に、ハーフループ(half-loop arrays、もしくは、pair arrays)も報告されており[42]、今後も重要な課題となる。

2.5 まとめ

本章では、4H-SiC バイポーラデバイスの構造と電気特性、および、4H-SiC バイポーラデバイスの問題点と原因となる結晶欠陥についてまとめた。高耐電圧･大電流が必要な時、4H-SiC バイポーラデバイスは、絶縁破壊電界強度が大きく、間接遷移型であるといった特徴により、有望となる。本研究では、4H-SiC バイポーラデバイスとして、n 型のドリフト層を持つ 4H-SiC pin ダイオードと p 型のドリフト層を持つ SiCGT を用いた。両者とも、バイポーラデバイス特有の伝導度変調を利用しており、通電時の特性は似ている。特に SiCGT は、バイポーラトランジスタの正帰還動作を利用してオンするため、電流が飽和しない特徴を持つ。

このように有望となる 4H-SiC バイポーラデバイスには、二つの問題があり、どちらも結晶欠陥に起因することが分かっている。①キャリア寿命が短いという問題は、点欠陥である炭素空孔に起因する。②順方向電圧が増大するという問題は、ドリフト層中に存在する線欠陥である基底面転位が、面欠陥であるショックレー型積層欠陥に拡張することにより発生する。このため、これらの結晶欠陥を低減することが重要なアプローチにより、高耐電圧･大電流 4H-SiC バイポーラデバイスの作製が可能であると考える。また、②順方向電圧が増大するという問題に対して、結晶欠陥が存在しても、使用条件を工夫することにより、問題を回避するというアプローチによっても、4H-SiC バイポーラデバイスの動作が可能であるとも考える。

参考文献

[1] 松波弘之、大谷昇、木本恒暢、中村孝:「半導体 SiC 技術と応用」, 第 2 版, 日刊工業新聞社 (2011) 19.

[2] H. Lendenmann, F. Dahlquist, N. Johansson, R. Soderholm, P. A. Nilsson, J. P. Bergman and P. Skytt: *Mater. Sci. Forum* **353-356** (2001) 727.

[3] K. Danno, D. Nakamura, and T. Kimoto: *Appl. Phys. Lett.* **90**, 20 (2007) 202109.

[4] T. Kimoto, K. Danno, and J. Suda: *Phys. Status Solidi B* **245**, 7 (2006) 1327.

[5] J. P. Bergman, H. Lendenmann, P. A. Nilsson, U. Lindefelt and P. Skytt: *Mater. Sci. Forum* **353-356** (2001) 299.

[6] U. Lindefelt, H. Iwata, S. Oberg and P. R. Briddon: *Phys. Rev. B* **67** (2003) 155204.

[7] 八尾勉:「pn 接合ダイオード v.s ショットキーダイオード」, 荒井和雄, 吉田貞史 共編, 『SiC 素子の基礎と応用』, 第一版, オーム社 (2003) 177.

[8] 浅野勝則、林利彦、高山大輔、菅原良孝、R. Singh、J. W. Palmour: *電気学会論文誌 D* **123**

(2003) 623.
[9] H. Lendenmann, A. Mukhitdinov, F. Dahlquist, H. Bleichner, M. Irwin, R. Soderholm and P. skytt: *Proc. 13th Int. Symp. Power Semiconductor Devices & ICs* (2001) 31.
[10] 松波弘之:「半導体 SiC 技術と応用」, 第 1 版, 日刊工業新聞社 (2003) 121.
[11] Y. A. Vodakov and E. N. Mokhow: "Silicon Carbide", Univ. South Carolina Press, Columbia (1974) 508.
[12] 松波弘之:「半導体工学」, 第 2 版, 昭晃堂 (1999) 124-127.
[13] W. Shockley and W. T. Read, Jr.: *Phys. Rev.* **87** (1952) 835.
[14] 松波弘之:「半導体工学」, 第 2 版, 昭晃堂 (1999) 127.
[15] B. J. Baliga: "Modern Power Devices", Wiley, New York (1987) 411.
[16] J. G. Kassakian, M. F. Schlecht, and G. C. Verghese: "Principles of Power Electronics," AddisonWesley (1991) 486.
[17] H. Schlangenotto and W. Gerlach: *Solid-State Electron.* **15** (1972) 393.
[18] Y. Sugawara, D. Takayama, K. Asano, A. Agarwal, S. Ryu, J. Palmour and S. Ogata: *Proc. 16th Int. Symp. Power Semiconductor Devices & ICs* (2004) 365.
[19] B.J. Baliga: "Advanced Power Rectifier Concepts", Springer (2009) 156-157.
[20] T. Dalibor, G. Pensl, H. Matsunami, T. Kimoto, W. J. Choyke, A. Schöner and N. Nordell: *Phys. Stat. Sol (a)* **162** (1997) 199.
[21] T. Hiyoshi and T. Kimoto: *Appl. Phys. Exp.* **2**, 4 (2009) 041101.
[22] L. Storasta and H. Tsuchida: *Appl. Phys. Lett.* **90**, 6 (2007) 062116.
[23] T. Kimoto, T. Hiyoshi, T. Hayashi, and J. Suda: *J. Appl. Phys.* **108**, 8 (2010) 083721.
[24] T. Miyazawa, M. Ito, and H. Tsuchida: *Appl. Phys. Lett.* **97**, 20 (2010) 202106.
[25] B. Zippelius, J. Suda and T. Kimot: *Mater. Sci. Forum* **717-720** (2012) 247.
[26] H. Lendenmann, F. Dahlquist, N. Johansson, R. Soderholm, P. A. Nilsson, J. P. Bergman and P. Skytt: *Mater. Sci. Forum* **353-356** (2001) 727.
[27] M. H. Hong, A. V. Samant and P. Pirouz: *Phylosophical Magazine A* **80**, 4 (2000) 919.
[28] 加藤雅治:「入門転位論」, 第 3 版, 裳華房 (2003) 95.
[29] T. Miyanagi, H. Tsuchida, I. Kamata, T. Nakamura, K. Nakayama, R. Ishii and Y. Sugawara: *Appl. Physics. Lett.* **89** (2006) 062104.
[30] J. D. Caldwell, K. X. Liu, M. J. Tadjer, O. J. Glembocki, R. E. Stahlbush, K. D. Hobart and F. Kub: *J. Electron. Mater.* **36**, 4 (2007) 318.
[31] J. Q. Liu, M. Skowronski, C. Hallin, R. Söderholm, and H. Lendenmann: *Appl. Phys. Lett.* **80** (2002) 749.
[32] U. Lindefelt, H. Iwata, S. Oberg and P. R. Briddon: *Phys. Rev. B* **67** (2003) 155204.
[33] M. Skowronski and S. Ha: *J. Appl. Phys.* **99** (2006) 011101.
[34] K. Nakayama, Y. Sugawara, H. Tsuchida, T. Miyanagi, I. Kamata, T. Nakamura, K. Asano and D. Takayama: *Proc. 16th Int. Symp. Power Semiconductor Devices & ICs* (2004) 357.
[35] H. Tsuchida, I. Kamata, T. Miyanagi, T. Nakamura, K. Nakayama, R. Ishii1 and Y. Sugawara: *Jpn. J. Appl. Phys.* **44**, 25 (2005) L806.
[36] H. Matsunami and T. Kimoto: *Mater. Sci. and Eng.* **R20** (1997) 125.
[37] T. Kimoto, A. Itoh and H. Matsunami: *Phys. Stat. Sol. (b)* **202** (1997) 247.
[38] H. Tsuchida, T. Miyanagi, I. Kamata, T. Nakamura, K. Izumi, K. Nakayama, R. Ishii, K. Asano and Y. Sugawara: *Mater. Sci. Forum* **483-485** (2005) 97.
[39] Z. Zhang and T. S. Sudarshan: *Appl. Phys. Lett.* **87** (2005) 151913.
[40] J. J. Sumakeris, J. P. Bergman, M. K. Das, C. Hallin, B. A. Hull, E. Janzen, H. Lendenmann, M. J. O'Loughlin, M. J. Paisley, S. Ha, M. Skowronski, J. W. Palmour and C. H. Carter, Jr: *Mater. Sci. Forum* **527-529** (2006) 141.
[41] M. K. Das, J. J. Sumakeris, B. A. Hull and J. Richmond: *Mater. Sci. Forum* **527-529** (2006) 1329.
[42] S. Ha, M. Skowronski, and H. Lendenmann: *J. Appl. Phys.* **96** (2004) 393.

第 3 章　高キャリア寿命を持つ 4H-SiC pin ダイオード

3.1　はじめに

本章では、キャリア寿命を改善した厚いドリフト層を持つ 4H-SiC pin ダイオードの研究結果を示す。2.2 節で述べたように、4H-SiC pin ダイオードは、その優れた物理特性により、高耐電圧･大電流領域での整流デバイスとして期待されている。しかし、2.4.1 節で述べたように、4H-SiC にはキャリア寿命が短いという問題がある。キャリア寿命が短いと十分な伝導度変調が得られず、順方向電圧が大きくなってしまう。キャリア寿命を制限しているのは、電子を捕獲して、正孔トラップとして働く炭素空孔に起因する $Z_{1/2}$ センターである。$Z_{1/2}$ センターを低減するために、4H-SiC 中の格子間炭素の拡散係数が大きいことを利用して、格子間炭素を供給し、炭素空孔を低減する手法が開発されている。ひとつは炭素注入プロセス[1]で、もうひとつは、熱酸化プロセス[2]である。本研究では、炭素空孔($Z_{1/2}$ センター)を低減したドリフト層を持つ 4H-SiC pin ダイオードの電気特性について述べる。評価した電気特性は、定常損失を決める順方向の電流-電圧特性と、スイッチング損失を決める逆回復特性である。さらに、実験結果とデバイスシミュレーション結果を比較することにより、表面や界面における再結合の影響についても述べる。

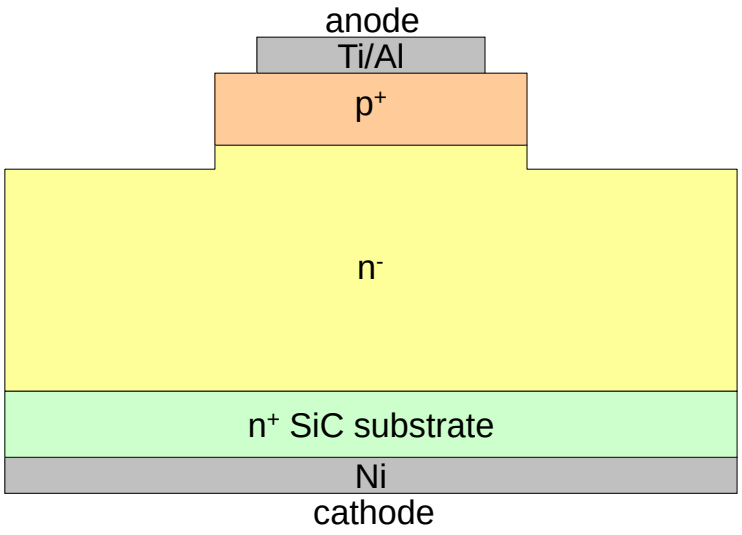
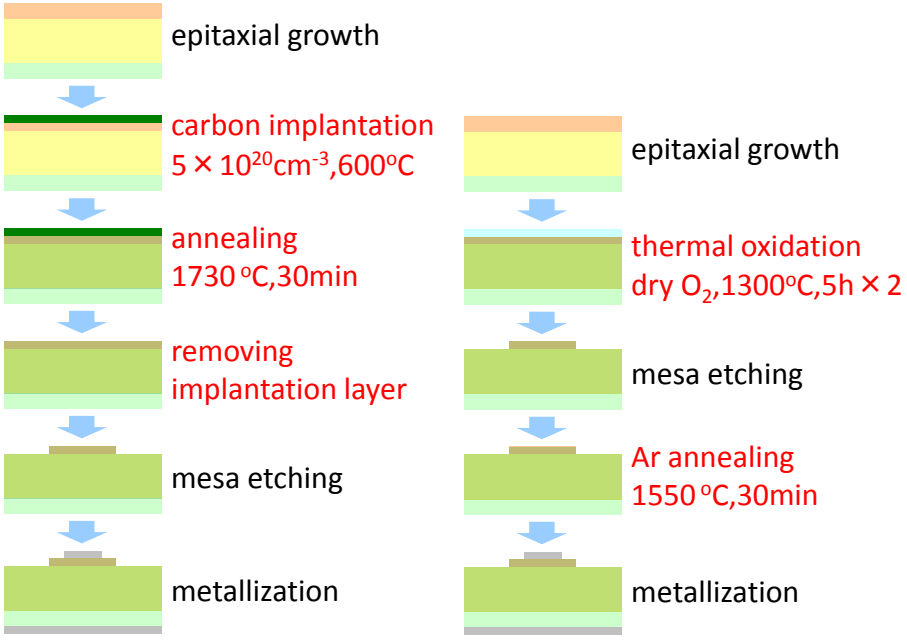


図 3. 1 作製した 4H-SiC pin ダイオード断面構造図の模式図

3.2　実験方法

図 3. 1 に作製した 4H-SiC pin ダイオードの構造図を示す。n^+基板には、<11$\bar{2}$0>方向に 8 度オフした(0001)Si 面の 4H-SiC 基板を使用した。n^-ドリフト層および p^+アノード層は、n^+

基板上にエピタキシャル成長で形成した。n^-ドリフト層とp^+アノード層の成長は、縦型ホットウォール反応炉[3,4]を用いて、別々に行った。n^-ドリフト層の厚みは 120μm である。ドナーとして窒素を用い、ドナー密度は $7\times10^{13}cm^{-3}$ である。n^-ドリフト層の厚みとドナー密度から計算した耐電圧値は、18.5kV である。p^+アノード層の厚みは、3μm である。バルクのキャリア寿命が十分長いとすると、順方向電流密度 $100A/cm^2$ での順方向電圧はおよそ 3V 程度となる。メサ構造の形成は、反応性イオンエッチングで行った。メサの高さは、4μm である。順方向の電流-電圧特性の確認を目的としたため、メサ周辺の電界緩和構造は設けず、表面も熱酸化による酸化膜形成を行わなかった。アノードコンタクトとして、50nm の Ti と 175nm の Al を蒸着し、900℃で 3 分間アニールした。カソードコンタクトは、50nm の Ni を蒸着し、700℃で 3 分間アニールした。作製した 4H-SiC pin ダイオードのサイズは、$1.0\times1.0mm^2$ と $2.3\times2.3mm^2$ である。



(a) (b)

図 3. 2 (a)炭素注入プロセス、および、(b)熱酸化プロセスにより作製した 4H-SiC pin ダイオードの作製フロー: 赤字で示す箇所が、標準プロセスに対して、追加したプロセスである。

試作したサンプルでは、炭素空孔低減による順方向の電流-電圧特性への影響を調べるために、炭素注入プロセスと熱酸化プロセスといった炭素空孔低減プロセスにより作製した。図 3. 2(a)に炭素注入プロセスにより作製した 4H-SiC pin ダイオードの作製フローを示す[1]。p^+アノード層をエピタキシャル成長で形成した後、炭素イオンを 600℃で注入した。炭素イオン注入は、5 段階(40、60、90、120、140keV)の注入エネルギーを用いて、炭素密度が $5\times10^{20}cm^{-3}$ で、深さが 250nm のボックスプロファイルを形成するように実施した。注入した

炭素の活性化アニールは、1730℃で 20 分行った。活性化アニール後、注入した炭素が残っている層は反応性イオンエッチングで除去した。このエッチングにより、500nm の層を除去した。

次に熱酸化プロセスについて説明する。 図 3. 2(b)に熱酸化プロセスにより作製した 4H-SiC pin ダイオードの作製フローを示す[5]。まず、1 回目の熱酸化を、p^+アノード層を形成した後、ドライ酸素中で 1300℃、5 時間行った。1 回目の酸化膜を除去した後、さらに、2 回目の熱酸化を、1 回目と同様にドライ酸素中で、1300℃、5 時間行った。2 回目の酸化膜を、除去したあと、電極形成の前に、Ar 雰囲気中で、1550℃、30 分のアニールを行った。

順方向の電流-電圧特性は、高出力カーブトレーサ(テクトロニクス 371A)のパルスモードで測定した。逆回復特性は、順方向が 5.18A、電流減少率が 150A/μs、逆電圧が 200V の条件で測定した。測定は、ダイオード逆回復測定装置(Lemsys LEMQRR15A)で電圧電流波形を発生し、オシロスコープ(レクロイ WaveRunner6050A)で行った。順方向の電流-電圧特性および逆回復特性は、室温と 50℃～250℃まで 50℃ステップで測定した。

炭素注入プロセスや熱酸化プロセスといった炭素空孔低減プロセスにより作製した 4H-SiC pin ダイオードの電気特性の考察を行うため、二次元数値デバイスシミュレーションを TCAD DESSIS(シノプシス)[6]を用いて行った。DESSIS は、輸送方程式、連続方程式、ポアソン方程式を解くことによって、デバイスの特性を計算する。

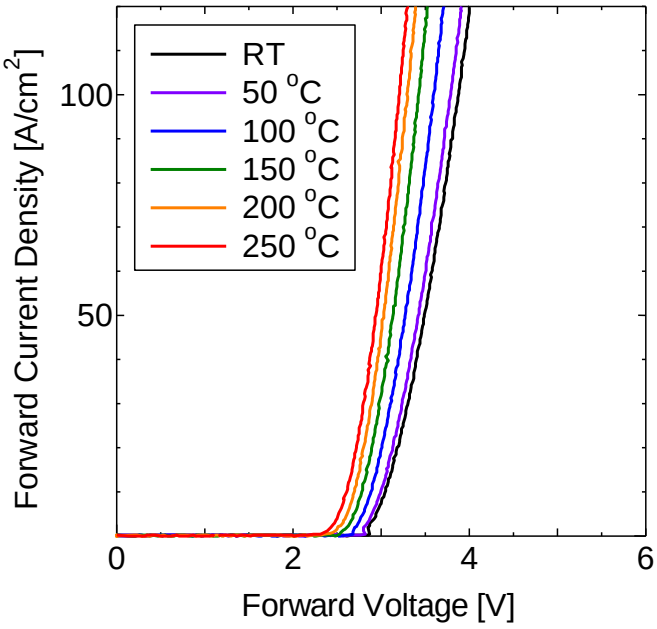


図 3. 3 作製した 4H-SiC pin ダイオードの典型的な順方向の電流密度-電圧特性の温度依存性(測定温度 RT～250℃)

3.3　順方向の電流-電圧特性

図 3. 3 に炭素注入プロセスにより作製した 4H-SiC pin ダイオードの典型的な順方向の電流密度-電圧特性を示す。順方向電圧は温度の上昇とともに減少する。室温の低注入状態での順方向の電流-電圧特性の片対数グラフから求めた理想因子 *n* 値(ideal factor)はおよそ 2 となった。これは、電流輸送において、再結合電流が主となっていることを表している。低注入状態における再結合電流は、温度が上がると増加する。また、逆方向電流-電圧特性における生成電流も温度の上昇とともに増加する。すべての 4H-SiC pin ダイオードは同様の傾向を示した。再結合電流は真性キャリア密度に比例し、再結合寿命に反比例する。温度の上昇により、真性キャリア密度と再結合寿命はともに増加するが、真性キャリア寿命の増加割合の方が大きいため、再結合電流は増加する。生成電流は、真性キャリア密度に比例し、電子･正孔の生成に要する時間に反比例する。温度の上昇により、電子･正孔の生成に要する時間が短くなり、真性キャリア寿命の増加分とあわせて、生成電流は、増加する。

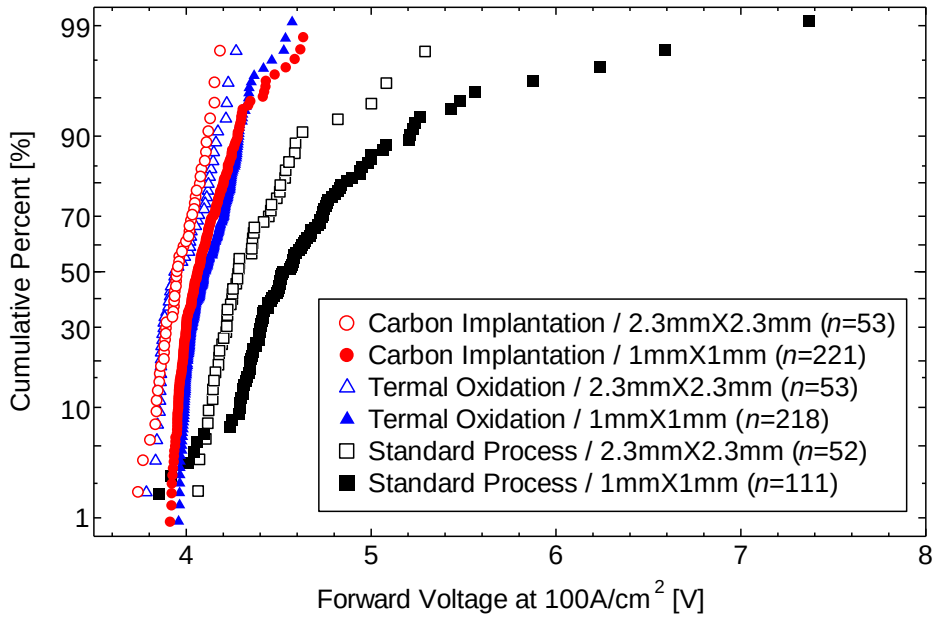


図 3. 4 炭素注入プロセス(赤:○、●)、熱酸化プロセス(青:△、▲)、および、標準プロセス(黒:□、■)を適用した 4H-SiC pin ダイオードにおける順方向電流密度 100A/cm^2 での順方向電圧の正規確率紙を用いた累積確率プロット(*n*:サンプル数): 標準プロセス(standard process)とは、炭素注入プロセスや熱酸化プロセスのどちらも適用していないものである。

図 3. 4 に作製した 4H-SiC pin ダイオードの順方向電流密度 100A/cm^2 における順方向電圧の累積確率プロットを示す。累積確率プロットは、正規確率紙を用いて、作成した。標準プロセス(standard process)とは、炭素注入プロセスや熱酸化プロセスのどちらも適用していないものである。標準プロセスの 4H-SiC pin ダイオードの順方向電圧は、3.9～7.4 と大きくばらついた。一方、炭素注入プロセスもしくは熱酸化プロセスにより作製した 4H-SiC pin

ダイオードの順方向電圧の平均は 4.0V となり、標準プロセスの 4H-SiC pin ダイオード比較して、小さくなった。さらに、炭素注入プロセスや熱酸化プロセスにより作製した 4H-SiC pin ダイオードの順方向電圧はばらつきも小さくなった。また、$2.3\times2.3mm^2$ の 4H-SiC pin ダイオードの順方向電圧は、$1.0\times1.0mm^2$ のものより小さくなった。4H-SiC pin ダイオードでは、メサ周囲に存在する側面(メサ側面)において表面再結合が促進される。デバイスのサイズが大きくなることで、メサ周囲長/デバイス面積の比が小さくなり、メサ側面における表面再結合の影響が小さくなり、順方向電圧も小さくなったと考えられる。

炭素注入プロセスや熱酸化プロセスは、炭素空孔に起因するトラップである $Z_{1/2}$ センター密度を低減させる。この $Z_{1/2}$ センターは、キャリア寿命と逆相関があり、$Z_{1/2}$ センターを低減することにより、キャリア寿命が長くなる [1,2]。μ-PCD(Microwave Photo-Conductivity Decay)[7] で求めたエピタキシャル層のキャリア寿命として、炭素注入プロセスにより作製した場合で 19.2μs[8]、熱酸化プロセスにより作製した場合で 9.2μs[9]という値が報告されている。ここで、エピタキシャル層のキャリア寿命とは、p^+アノード層表面や pn 接合界面における再結合の影響を含むキャリア寿命のことである。表面や界面における再結合の影響を除去したキャリア寿命は、バルクのキャリア寿命とする。また、4H-SiC pin ダイオードを作製する際、メサエッチングを行うが、メサ周辺に存在する側面(メサ側面)における表面再結合を含むキャリア寿命を、実効的なキャリア寿命とする。エピタキシャル層のキャリア寿命には、表面再結合の影響が含まれており、表面再結合の影響を除去したバルクのキャリア寿命として、いずれも 20μs 以上の数値が計算より求められている。順方向電圧は、キャリア寿命に大きく依存するため、炭素注入プロセスや熱酸化プロセスにより作製したドリフト層のバルクキャリア寿命が標準プロセスのものより一桁大きくなり [8,9]、順方向電圧が低減したと考えられる。この結果より、厚いドリフト層を用いた 4H-SiC pin ダイオードにおいて、炭素注入プロセスや熱酸化プロセスが、順方向電圧を低減する効果があることがわかる。

図 3. 5 に作製した 4H-SiC pin ダイオードの典型的な低注入状態における順方向の電流密度-電圧特性を示す。ここで、低注入状態とは、注入された少数キャリアの量が、不純物(n 型ではドナー、p 型ではアクセプタ)の量より少なく、少数キャリアの注入によって、多数キャリアの量が大きく変化しない状態を示す。逆に、高注入状態とは、不純物の量より多い少数キャリアが注入され、電荷中性条件により、多数キャリアが大きく変化する状態を示す。2.58V 付近で(2. 3)式の理想因子 *n* 値(ideal factor)が 2 から 1 に変化している。キャリア寿命が増加すると、再結合電流は減少する。今回、バルクのキャリア寿命が長くなったので、再結合電流が減少し、拡散電流が支配的となる電圧-電流領域が発生したと考えられる。標準プロセスの 4H-SiC pin ダイオードにおいて、電圧が 2.5V 以下における再結合電流は、炭素注入プロセスや熱酸化プロセスにより作製したものより、1.5 倍大きくなった。この結果からも、炭素注入プロセスや熱酸化プロセスが、バルクのキャリア寿命を長くする効果があることがわかる。

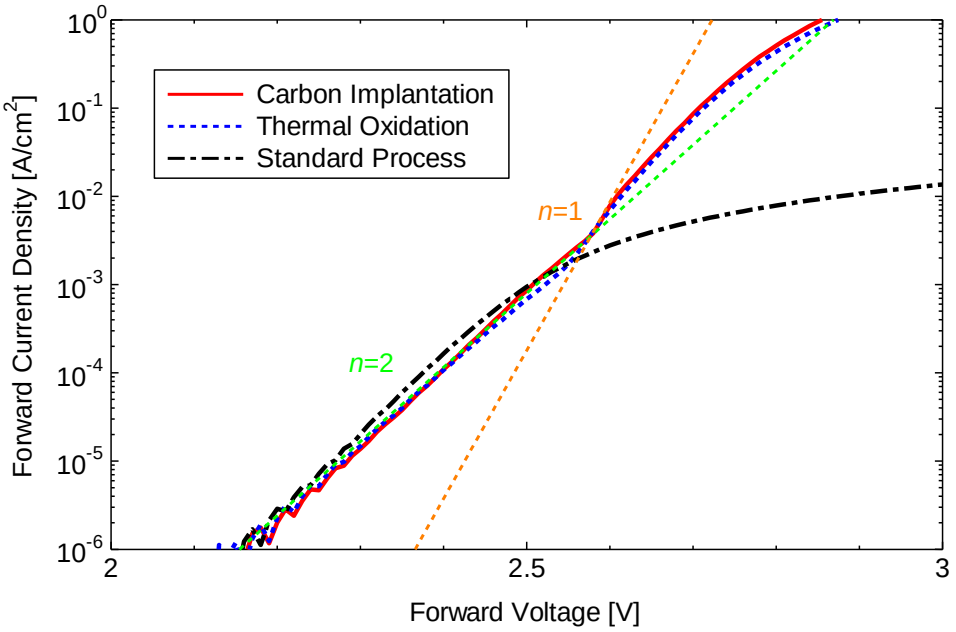


図 3. 5 炭素注入プロセス(赤)、熱酸化プロセス(青)、および、標準プロセス(黒)により作製した 4H-SiC pin ダイオードの低注入状態における典型的な順方向の電流密度-電圧特性(緑:*n* 値=2 とした線、橙:*n* 値=1 とした線)

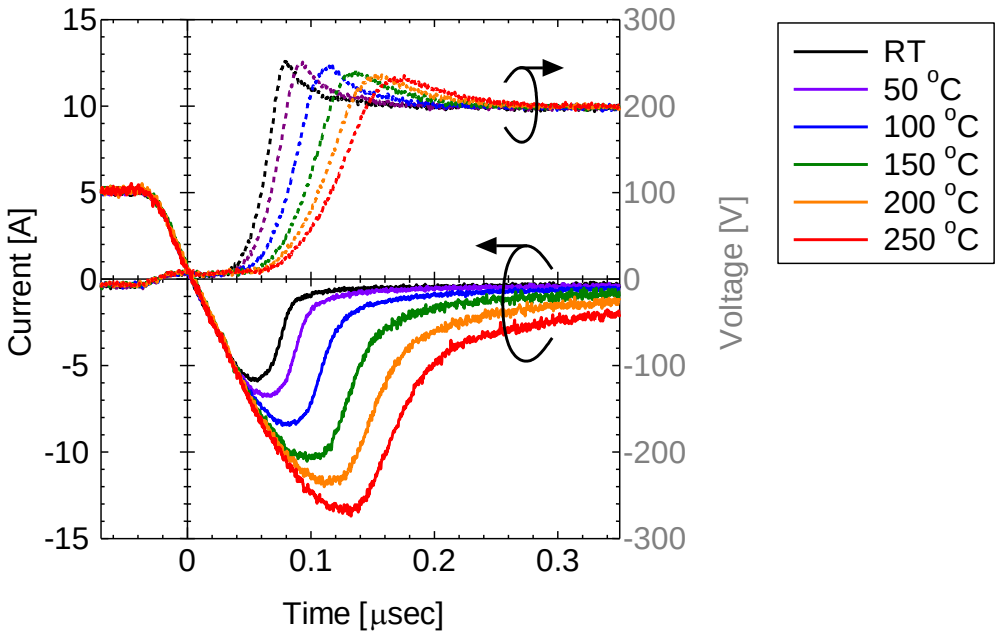


図 3. 6 炭素注入プロセスにより作製した 4H-SiC pin ダイオードにおける典型的な逆回復特性の温度依存性(測定温度 RT～250℃)

3.4　逆回復特性

図 3. 6 に作製した炭素注入プロセスにより作製した 4H-SiC pin ダイオードの典型的な逆回復特性を示す。逆回復時間(t_{rr})は、温度を上昇するにつれて長くなる。これは、温度を上げると、バルクのキャリア寿命が長くなり、順方向電流通電時にドリフト層に蓄積されるキャリアが増加するためである。

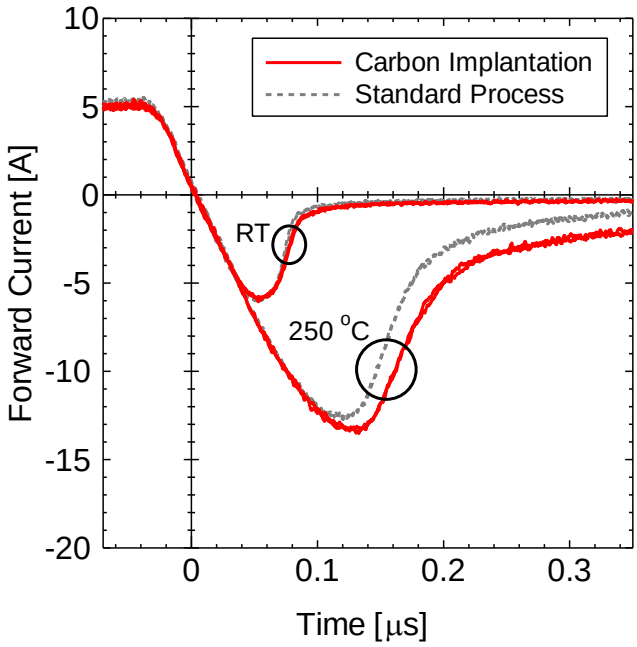


図 3. 7 炭素注入プロセス(赤)、または、標準プロセス(灰)により作製した 4H-SiC pin ダイオードの逆回復特性とその温度依存性(測定温度 RT と 250℃)

図 3. 7 に炭素注入プロセスにより作製した 4H-SiC pin ダイオードの室温および 250℃での逆回復特性を示す。室温では、標準プロセスの 4H-SiC pin ダイオードと炭素注入プロセスにより作製した 4H-SiC pin ダイオードは、ほぼ同じ特性を示した。炭素注入プロセスを適用するとバルクのキャリア寿命が長くなる[8]にも関わらず、逆回復時間は大きく変化しない。4H-SiC pin ダイオードの逆回復特性は実効的なキャリア寿命に依存するが、実効的なキャリア寿命は、表面や界面におけるいくつかの再結合の影響を受けることが報告されている。ひとつは、メサ周囲における表面再結合である。2.2.2 節で述べたように、4H-SiC pin ダイオードを作製する時、デバイスを分離するために、拡散によるプレーナ構造の形成が難しいので、メサエッチングを行い、メサ構造を形成する。Neudeck ら[10]は、4H-SiC pin ダイオードのメサ周囲に存在する側面(メサ側面)での表面再結合が逆回復特性に大きな影響を与えることを報告した。メサ側面での再結合の影響を除去したエピタキシャル層のキャリア寿命は、4H-SiC のメサ周囲長/デバイス面積の比と逆回復回復特性から求めた実効的なキャリア寿命の関係から求めることができる。次に、エピタキシャル層の表面における再結合

である。木本ら[9,11]は、エピタキシャル層の表面における再結合が、エピタキシャル層のキャリア寿命に影響を与えることを報告している。ただし、デバイスの裏面表面での再結合は、エピタキシャル層のキャリア寿命に影響を与えない。これは、基板におけるバルクのキャリア寿命が短いことと、基板の厚みが大きいことによる。最後に、界面における再結合である。まず、Klein ら[12]は、基板とエピタキシャル層の界面における再結合が高注入状態では無視できないことを報告した。また、4H-SiC バイポーラトランジスタにおいて、ベース-エミッタ接続をエピタキシャル成長で形成する時、連続で行うことにより、界面における再結合が抑制され、電流増幅率が向上することが報告されている[13,14,15]。本章では、4H-SiC pin ダイオードの pn 接合のエピタキシャル成長を不連続で行っており、pn 接合界面における再結合を無視することができない。測定した逆回復特性では、このような表面や界面における再結合が、バルクのキャリア寿命より支配的になり、バルクのキャリア寿命の差が逆回復特性に表れていないことが考えられる。

250℃では、炭素注入プロセスにより作製した 4H-SiC pin ダイオードの逆回復時間は、標準プロセスのものより長くなっている。バルクのキャリア寿命は温度を上昇すると大きくなるに対し、表面や界面における再結合は大きく変化しない。そのため、250℃では、バルクのキャリア寿命が増大し、その結果、炭素注入プロセスと標準プロセスで差が発生したと考えられる。

逆回復特性から求められる高注入状態における実効的なキャリア寿命(τ_{HL})は、

$$\tau_{HL} = 2 \cdot \frac{I_{RP}}{I_F} \cdot t_{rr} \tag{3. 1}$$

となる[16]。ここで、I_{RP} はピーク逆回復電流、I_F は順方向通電時の電流を表している。逆回復特性から求めたメサ構造をもつ 4H-SiC pin ダイオードの τ_{HL} は、メサ周囲のメサ側面における表面再結合の影響を含んでいる。本章で作製した 4H-SiC pin ダイオードのメサ表面は、酸化膜で覆われていないため、Si や C のダングリングボンドの起因する準位が多数発生し、その準位を介した再結合が促進される。このため、メサ側面での表面再結合の影響は大きくなる。メサ表面での再結合とエピタキシャル層のキャリア寿命、実効的なキャリア寿命との間には、

$$\frac{1}{\tau_{HL}} = \frac{1}{\tau_{HL0}} + s_P \frac{P}{A} \tag{3. 2}$$

の関係がある[10]。ここで、τ_{HL0} は、高注入状態でのエピタキシャル層のキャリア寿命、s_p はメサ側面における表面再結合速度、P はメサの周囲長、A はデバイスのメサ部分の実効面積である。図 3. 8 に、炭素注入プロセスにより作製した 4H-SiC pin ダイオードおよび標準プロセスの 4H-SiC ダイオードの室温での τ_{HL} の逆数と P/A 比の関係を示す。このグラフの y 切片は、τ_{HL0} の逆数と等しくなる。炭素注入プロセスにより作製した 4H-SiC pin ダイオードの τ_{HL0} は 0.24μs、標準プロセスの τ_{HL0} は 0.23μs とほぼ等しくなった。τ_{HL0} は、順方向電圧と

は異なった傾向を示している。一般に、順方向電圧は、ドリフト層の抵抗で決まり、ドリフト層の抵抗は、バルクのキャリア寿命に依存する。したがって、バルクのキャリア寿命は、順方向電圧を決める重要な要因となる。一方、逆回復時において、キャリアは、ドリフト層中だけでなく、表面や界面における再結合によっても消滅する。したがって、逆回復特性から求めるキャリア寿命は、表面や界面における再結合の影響を大きく受ける。このように、順方向電圧は、バルクのキャリア寿命に依存するが、逆回復特性は、表面や界面における再結合の影響を受ける。その結果、炭素低減プロセスの有無により、バルクのキャリア寿命が変化すると、順方向電圧は変化するが、逆回復特性はあまり変化しない。

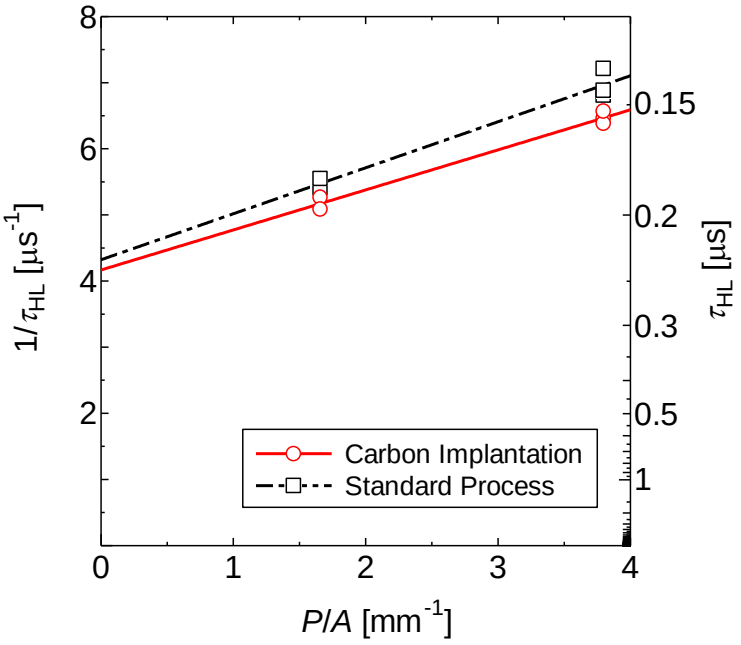


図 3. 8 炭素注入プロセスと標準プロセスで作製した 4H-SiC pin ダイオードにおける τ_{HL}(右目盛、左目盛は τ_{HL} の逆数)と P/A 比の関係(τ_{HL}:逆回復特性から求められる高注入状態における実効的なキャリア寿命、P:素子の周囲長、A:素子の実効面積)

3.5　順方向の電流-電圧特性と逆回復特性のデバイスシミュレーション

本節では、バルクのキャリア寿命だけでなく、表面や界面における再結合も考慮して、順方向電圧と逆回復特性のデバイスシミュレーションを行い、表面や界面における再結合の電気特性への影響を調べる。図 3. 9 にデバイスシミュレーションで使用した 4H-SiC pin ダイオードの構造と各層の条件を示す。p アノード層、n ドリフト層、n バッファ層の不純物密度と厚みについては、作製した 4H-SiC pin ダイオードの設計値を用いた。基板は低抵抗のため、基板厚みはそれほど大きな影響を与えないので、基板の厚みは、5μm と薄くした。電子の捕獲断面積は正孔と比べて小さくなるので、電子の最大ショックレー･リード･

ホール(SRH)キャリア寿命は正孔と比べて 4〜5 倍程度大きくなる[17,18]。ここでは、電子の最大 SRH キャリア寿命を正孔の 5 倍と仮定した。SRH キャリア寿命の不純物密度依存性は考慮した。本デバイスシミュレーションでは、基板のキャリア寿命は、エピタキシャル層と同等とした。基板は、結晶成長時の温度(2200℃以上)がエピタキシャル成長の温度(1600℃)より大きいため、炭素空孔に起因する $Z_{1/2}$ センターが多く、キャリア寿命が極端に短い。そのため、本来は、基板のキャリア寿命は、エピタキシャル層より、短くする必要があるが、バッファ層が 5μm と厚いため、基板での再結合は無視できると考え、基板のキャリア寿命はエピタキシャル層と同じとした。表面と界面における再結合は、エピタキシャル成長を不連続で行った pn 界面、ドリフト層とバッファ層との界面、バッファ層と基板との界面、および、アノード電極表面で起こるとした。本節では、簡単のため、電極表面と pn 接合界面で同じ再結合速度を持つと仮定した。カソード電極表面での表面再結合は、作製した 4H-SiC pin ダイオードの基板が十分厚く無視できるので、デバイスシミュレーションでも無視した。

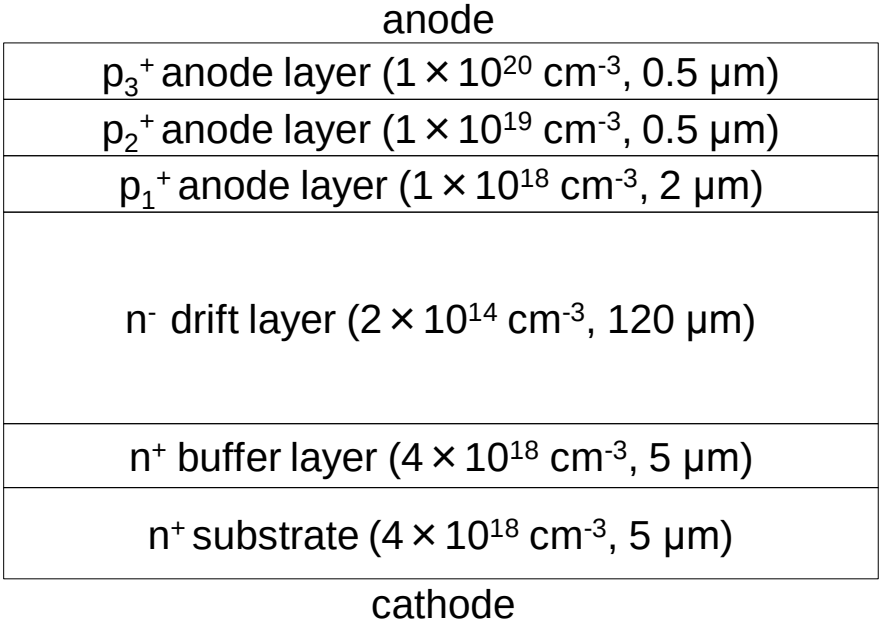


図 3. 9 デバイスシミュレーションで使用した 4H-SiC pin ダイオードの積層構造模式図

デバイスシミュレーションで用いた 4H-SiC pin ダイオードは、メサ構造を持たないので、デバイスシミュレーションから求めた τ_{HL} は、メサ周囲のメサ側面での再結合の影響を含まない τ_{HL0} と等しくなる。デバイスシミュレーションから得られた典型的な順方向の電流密度-電圧特性を図 3. 10 に、典型的な逆回復特性を図 3. 11 に示す。ここで、室温での電子の最大 SRH キャリア寿命(τ_e)を 20μs、再結合速度(s_0)を 5×10^4cm/s とした。

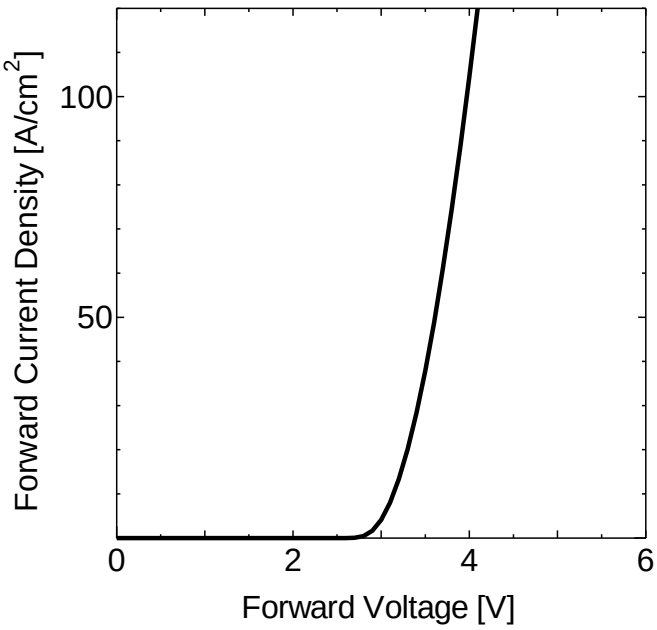


図3. 10 デバイスシミュレーションにより得られた4H-SiC pinダイオードの典型的な順方向の電流密度-電圧特性 (τ_e=20μs、s_0=5×10^{4}cm/s)

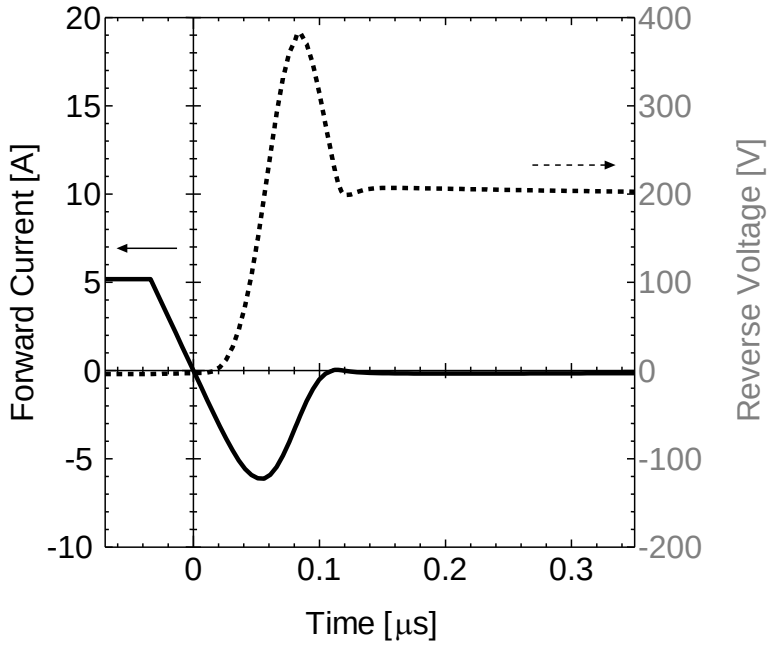


図3. 11 デバイスシミュレーションにより得られた4H-SiC pinダイオードの典型的な逆回復特性 (順方向 5.18A、電流減少率 150A/μs、逆電圧 200V、τ_e=20μs、s_0=5×10^{4}cm/s、実線:電流、破線; 電圧)

逆回復特性の結果において、実験結果より大きな電圧のオーバーシュートが見られるが、回路の浮遊インダクタンスから発生したものである。本節では、逆回復電流が重要となるため、電圧のオーバーシュートを低減するためのクランプコンデンサを用いたデバイスシミュレーションは実施していない。順方向の電流密度-電圧特性および逆回復特性の電流波形は、実験結果と非常によい一致をみた。

図 3. 12 に表面や界面における再結合を無視した順方向電圧とτ_{HL0}のτ_e依存性を示す。τ_eが 1μs までは、τ_eの増加に伴い、順方向電圧は減少する。τ_eが 1μs 以上では、順方向電圧は、ほぼ一定でおよそ 3.3V となる。逆回復特性では、τ_{HL0}はτ_eの増加とともに増加する。表面や界面における再結合を無視すると、逆回復特性はτ_eに大きく依存する。しかしながら、実験結果から求めたτ_{HL0}は、バルクのキャリア寿命には依存していないので、表面や界面における再結合のような要因が支配的になっていると考えられる。

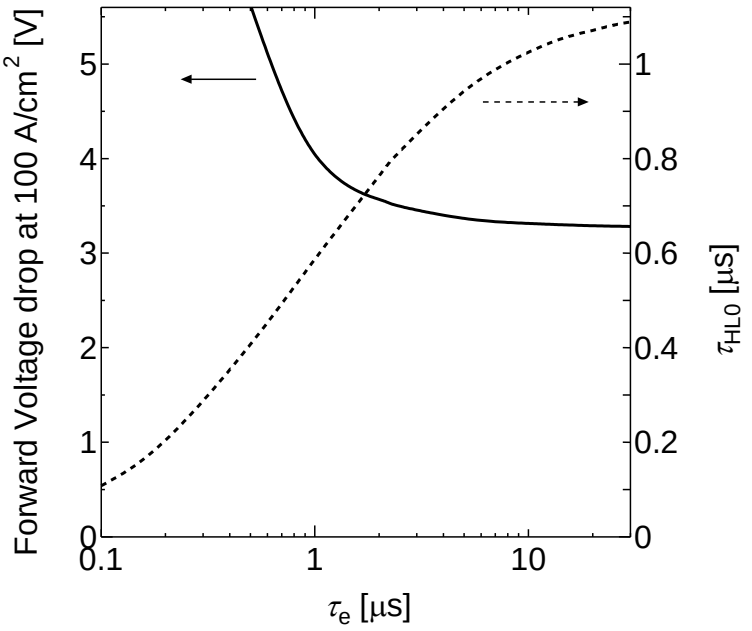


図 3. 12 デバイスシミュレーションから得られた順方向電流密度 100A/cm^{2}における順方向電圧(左目盛、実線)、および、τ_{HL0}(右目盛、破線)のτ_e依存性 (τ_{HL0}:高注入状態でのエピタキシャル層のキャリア寿命、τ_e:電子の最大 SRH キャリア寿命)

続いて、表面や界面における再結合を考慮したデバイスシミュレーションを実施した。図 3. 13 に順方向電圧の再結合速度(s_0)依存性を示す。デバイスシミュレーションは、電子の最大 SRH キャリア寿命(τ_e)を 0.5 から 30μs まで変化させて行った。s_0が 1×10^4cm/s までは、順方向電圧は変化しないが、s_0が 1×10^4 cm/s から 5×10^6 cm/s では、順方向電圧は、s_0の増加に伴い、大きくなる。また、τ_eが 20μs 以上になると、順方向電圧はτ_eに依存しなくなった。

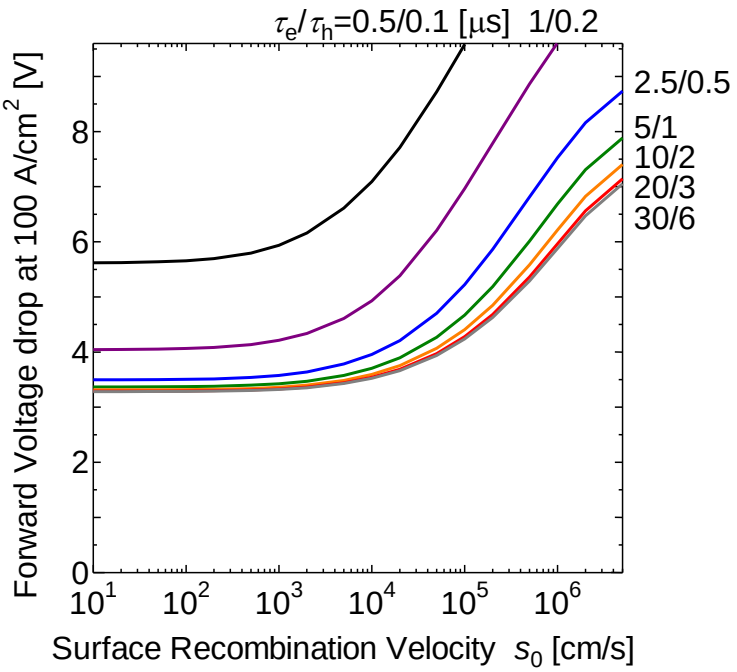


図 3. 13 デバイスシミュレーションから得られた順方向電流密度 100A/cm^2 における順方向電圧の表面再結合速度 s_0 依存性(τ_e:電子の最大 SRH キャリア寿命、τ_h:正孔の最大 SRH キャリア寿命、τ_e/τ_h=5)

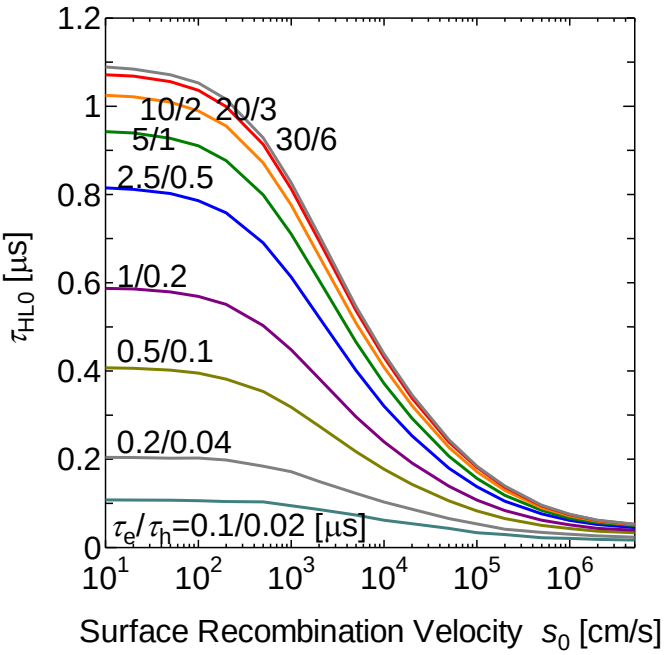


図 3. 14 デバイスシミュレーションから得られた逆回復特性から求めた τ_{HL0} の表面再結合速度 s_0 依存性(τ_{HL0}:高注入状態でのエピタキシャル層のキャリア寿命、τ_e:電子の最大 SRH キャリア寿命、τ_h:正孔の最大 SRH キャリア寿命、τ_e/τ_h=5)

図 3. 14 に逆回復特性から求めたτ_{HL0}の再結合速度(s_0)依存性を示す。s_0が1×10^6cm/s より小さい時、s_0が減少するにともない、τ_{HL0}も増加する。τ_{HL0}も、τ_eが 20μs 以上になると、τ_eに依存しなくなる。炭素注入プロセスや熱酸化プロセスにより作製したエピタキシャル層のキャリア寿命は、10μs 以上が報告されている [2,8]。一方、標準プロセスのエピタキシャル層のキャリア寿命は、1～3μs である。そこで、炭素注入プロセスを適用した 4H-SiC pin ダイオードの最大 SRH キャリア寿命を 20μs、順方向電圧を平均値より 3.95V とし、図 3. 13 より、再結合速度を求めた。同様に、熱酸化プロセスにより作製した 4H-SiC pin ダイオードでは、最大 SRH キャリア寿命を 20μs、順方向電圧を平均値より 3.94V とし、標準プロセスの 4H-SiC pin ダイオードでは、最大 SRH キャリア寿命を 2.5μs、順方向電圧を平均値より 4.28V とし、再結合速度を求めた。その結果、炭素注入プロセスの再結合速度は6.0×10^4cm/s、熱酸化プロセスのものは6.4×10^4cm/s、標準プロセスのものは、2.4×10^4cm/s と見積もることができた。また、逆回復特性から求め、メサ側面での再結合を除去したキャリア寿命(τ_{HL0})が、炭素注入プロセスにより作製したもので 0.23μs、標準プロセスで 0.23μs と等しくなることから、図 3. 14 を用いて、再結合速度を求めた。その結果、炭素注入プロセスにより作製したものは5.0×10^4cm/s、標準プロセスのものは2.9×10^4cm/sc と見積もることができた。順方向電圧から求めた再結合速度と、τ_{HL0}から求めた再結合速度は、ほぼ等しくなった。これは、実験結果が、表面と界面における再結合効果により説明できることを示している。さらに、炭素注入プロセスや熱酸化プロセスが、再結合速度を増加させて、τ_{HL0}を短くしていることも示している。炭素注入プロセスや熱酸化プロセスは、過剰な格子間炭素を発生させている [1,5] ので、この過剰な格子間炭素が界面に偏析し、再結合中心となっていることが考えられる。

3.6　まとめ

120μm の厚いドリフト層を持つ 4H-SiC pin ダイオードについて、炭素注入プロセスにより作製したもの、および、熱酸化プロセスにより作製したものについて、順方向の電流-電圧特性、および、逆回復特性について評価した。炭素空孔を低減できると期待される炭素注入プロセスや熱酸化プロセスにより作製した 4H-SiC pin ダイオードの順方向電流密度100A/cm^2における順方向電圧は 4.0V となり、標準プロセスと比較して小さくなった。この結果より、炭素注入プロセスや熱酸化プロセスが、120μm の厚いドリフト層を持つ 4H-SiC pin ダイオードの抵抗低減に効果があり、順方向電圧を低減させることがわかった。

一方、室温での 4H-SiC pin ダイオードの逆回復特性については、炭素注入プロセスと標準プロセスで大きな差は見られなかった。炭素注入プロセスにより作製した 4H-SiC pin ダイオードはバルクのキャリア寿命が長いにも関わらず、逆回復時間は標準プロセスを変わらなかった。室温の逆回復特性では、バルクのキャリア寿命ではなく、表面や界面における再結合の影響が強くなっていると考えられる。

250℃での逆回復特性では、炭素注入プロセスにより作製した 4H-SiC pin ダイオードの逆

回復時間が、標準プロセスのものより長くなっている。これは、温度が上昇すると、バルクのキャリア寿命が熱放出により大きくなり、温度によりあまり変化しない表面再結合より、逆回復特性に大きな影響を与え始めたものと考えられる。

デバイスシミュレーションにおいて、表面や界面における再結合を定義した 4H-SiC pin ダイオードの順方向の電流-電圧特性や逆回復特性が、実験結果とよく一致していることからも、4H-SiC pin ダイオードの逆回復特性において、表面や界面における再結合を考慮した方がよいことがわかった。

参考文献

[1] L. Storasta and H. Tsuchida: *Appl. Phys. Lett* **90** (2007) 062116.
[2] T. Hiyoshi and T. Kimoto: *App. Phys. Express* **2** (2009) 041101.
[3] M. Ito, L. Storasta and H. Tsuchida: *Appl. Phys. Express* **1** (2008) 015001.
[4] H. Tsuchida, I. Kamata, T. Jikimoto and K. Izumi: *J. Cryst. Growth* **237-239** Part 2 (2002) 1206.
[5] T. Hiyoshi and T. Kimoto: *Appl. Phys. Express* **2** (2008) 091101.
[6] http://www.synopsys.com/Tools/TCAD/Pages/default.aspx
[7] 住江伸吾、高松弘行: *R&D 神戸製鋼技法* **52** (2002) 2, 87.
[8] T. Miyazawa, M. Ito and H. Tsuchida: *Appl. Phys. Lett.* **97** (2010) 202106.
[9] T. Kimoto, T. Hiyoshi, T. Hayashi and J. Suda: *J. Appl. Phys.* **108** (2010) 083721.
[10] P. G. Neudeck: *J. Electron. Mater.* **27**, 4 (1998) 317.
[11] T. Kimoto, K. Danno and J. Suda: *Phys. Status Solidi (b)* **245**,7 (2008) 1327.
[12] P. B. Klein, R. Myers-Ward, K. K. Lew, B. L. VanMil, C. R. Eddy, Jr., D. K. Gaskill, A. Shrivastava and T. S. Sudarshan: *J. Appl. Phys.* **108** (2010) 033713.
[13] S. Krishnaswami, A. Agarwal, S. H. Ryu, C. Capell, J. Richmond, J. Palmour, S. Balachandran, T. P. Chow, S. Bayne, B. Geil, K. Jones and C. Scozzie: *IEEE Electron Device Lett.* **26**, 3 (2005) 175.
[14] M. Domeiji, H. S. Lee, E. Danielsson, C. M. Zetterling, M. Östling and Schöner : *IEEE Electron Device Lett.* **26**, 10 (2005) 743.
[15] J. Zhang, X. Li, P. Alexandrov, L. Fursin, X. Wang and J. H. Zhao: *IEEE Trans. Electron Devices* **55**, 8 (2008) 1899.
[16] B. J. Baliga: *MODERN POWER DEVICES*, Wiley, New York (1987) 411.
[17] P. B. Klein: *J. Appl. Phys.* **103** (2008) 033702.
[18] P. B. Klein: *Phys. Status Solid A* 206 (2009) 10, 2257.

第 4 章　4H-SiC pin ダイオードの順方向電圧劣化特性

4.1　はじめに

4H-SiC バイポーラデバイスには、2.4.2 節で述べたように、順方向電圧劣化という問題がある[1]。本章では、まず、順方向電圧劣化のドリフト層厚み依存性、および、デバイスサイズ依存性について述べる。さらに、順方向電圧劣化の面方位依存性についても述べる。

4H-SiC pin ダイオードを電力変換装置に適用する場合、電力損失として、定常損失とスイッチング損失を評価しなければならない。そこで、本章では、{0001}面基板を用いて作製した 4H-SiC pin ダイオードの定常損失を評価するため、その順方向の電流-電圧特性を、そして、スイッチング損失を評価するため、その逆回復特性をについて調べた。さらに、通電ストレス試験を行い、順方向電圧劣化が順方向の電流-電圧特性や逆回復特性に与える影響についても述べる。

最後に、順方向電圧劣化を低減する手法として、$(000\bar{1})$C 面基板を用いて、高耐電圧 4H-SiC pin ダイオードを作製した結果について述べる。

4.2　実験方法

図 4. 1 に作製した 4H-SiC pin ダイオードの構造を示す。(0001)Si 面、および、$(000\bar{1})$C 面 4H-SiC pin ダイオードについては、終端構造としてメサ JTE[2]を用いた。n 型 4H-SiC 基板上に N を添加した n^-型層と Al を添加した p^+型層を成長した。順方向電圧劣化の面方位依存性の実験では、基板品質の異なる Type A と Type B と呼ぶ二種類のウェハメーカーが供給する基板を用いたが、それ以外では Type A の基板を用いた。エピタキシャル成長で形成した pn 接合は、イオン注入で形成したものより順方向特性が良好であるため、本章では n^-型ドリフト層と p^+型アノード層をエピタキシャル成長により形成した。エピタキシャル成長は縦型ホットウォール CVD 装置で行った[3]。典型的な成長速度は 15μm/h である。作製したエピタキシャル層の厚みと濃度は、モニターウェハを用いて、容量-電圧(CV:Capacitance-Voltage)測定、分光膜厚計(分光エリプソメーター)により測定した。p^+型アノード層を 2μm 成長した後、RIE で 4μm の高さのメサを形成した。アノード電極とカソード電極はそれぞれ、Ti/Al と Ni で形成した。メサ JTE の表面には SiO_2 保護膜を形成した。

順方向電圧劣化を評価するために、順方向に 100A/cm^2 の直流電流を 1 時間通電する通電ストレス試験を実施した。図 4. 2 に通電ストレス試験中の順方向電圧の通電時間依存性を示す。順方向電圧は、通電時間とともに上昇している。図 4. 3 に通電ストレス試験前後の順方向の電流密度-電圧特性を示す。通電ストレス試験前後の電流-電圧特性を室温にて測定し、順方向電流密度 100A/cm^2 における順方向電圧(V_F)の差をΔV_F とした。直流電流は高砂製作所製直流電源 KX-210L により通電し、試験前後の電流-電圧特性は、Textronix 社製カーブトレーサ 371A のパルスモードにて測定した。

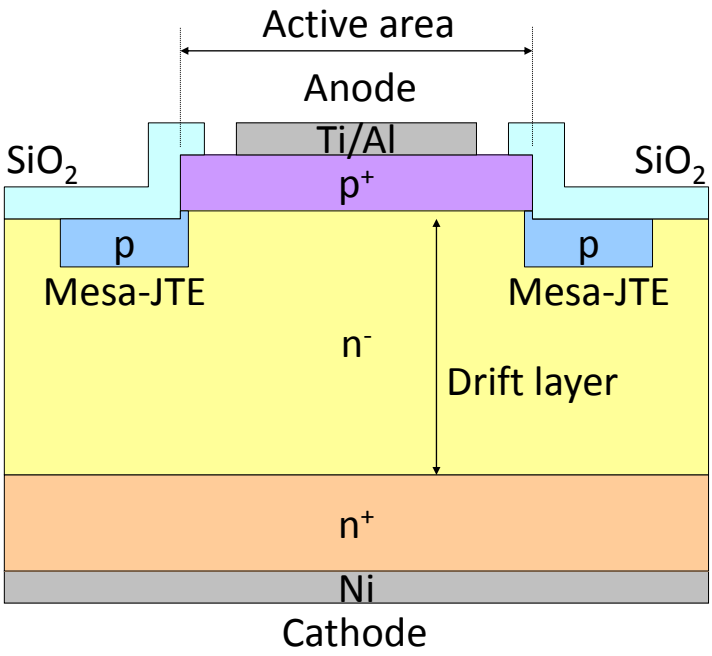


図 4. 1 メサ JTE を用いた 4H-SiC pin ダイオードの構造模式図

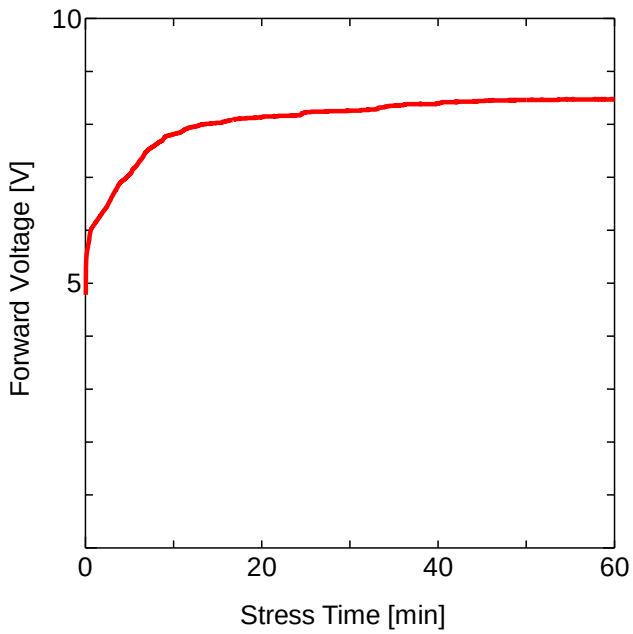


図 4. 2 通電ストレス試験における順方向電圧の通電時間依存性(通電ストレス試験条件:順方向電流密度 100A/cm^2、1 時間、素子条件:(0001)Si 面<11$\bar{2}$0>方向オフ基板、ドリフト層厚み 60μm、デバイスサイズϕ2.6mm)

作製した 4H-SiC pin ダイオードの逆回復特性は、Lemsys 社製ダイオード測定モジュール LEMQRR15A を用いて電流電圧波形を印加し、LeCroy 社製カーブトレーサ WaveRunner6050A を用いて出力波形を記録することにより、測定した。通電ストレス試験前後のキャリア寿命(τ_p)の差を$\Delta\tau_p$とした。

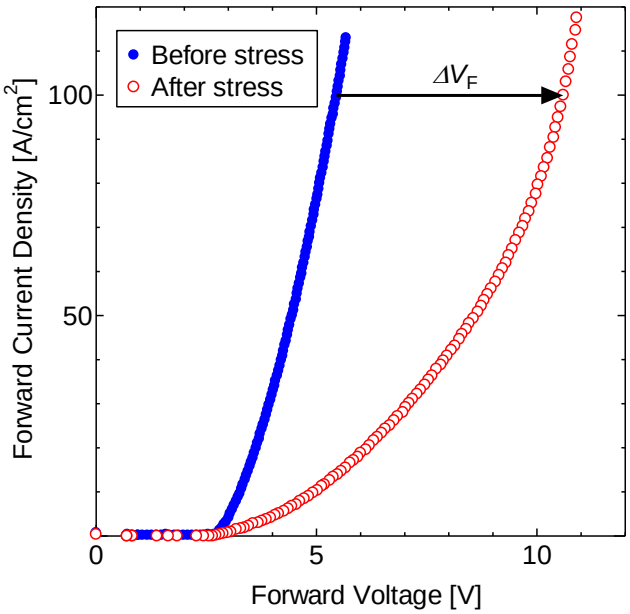


図 4. 3 通電ストレス試験前(青)後(赤)での(0001)Si 面 4H-SiC pin ダイオードにおける順方向の電流密度-電圧特性(通電ストレス試験条件:順方向電流密度 100A/cm^2、1 時間、素子条件:(0001)Si 面<11-20>方向オフ基板、ドリフト層厚み 60μm、デバイスサイズϕ2.6mm): 測定は、室温まで冷却し行った。

4.3 順方向電圧劣化の各種依存性

4.3.1 順方向電圧劣化に対するドリフト層厚み依存性

順方向電圧劣化に対するドリフト層の厚み依存性を調べるため、ドナー密度 3～5×10^{14}cm^{-3}、厚さ 12.5μm、40μm、45μm、75μm、150μm の 5 種類の n$^-$層を(0001)Si 面 8°オフ基板上に形成した。オフ方向は、<11$\bar{2}$0>である。基板には、Type A のウェハメーカーの供給する基板を用いた。4H-SiC pin ダイオードの p 型領域の形状は円形で、直径は、2.6mm である。図 4. 4 にΔV_Fのドリフト層厚み依存性を示す。

ΔV_Fは厚みの大きいドリフト層をもつ 4H-SiC pin ダイオードで、ばらついたが、ドリフト層の厚みが増加するにしたがって、ΔV_Fの平均値も増加しているのがわかる。その平均値はドリフト層厚み 12.5μm では 0.08V と小さいが、75μm、150μm ではそれぞれ 2.8V、9.7V と大きくなり、ドリフト層の厚みが増えるにしたがって増加した。

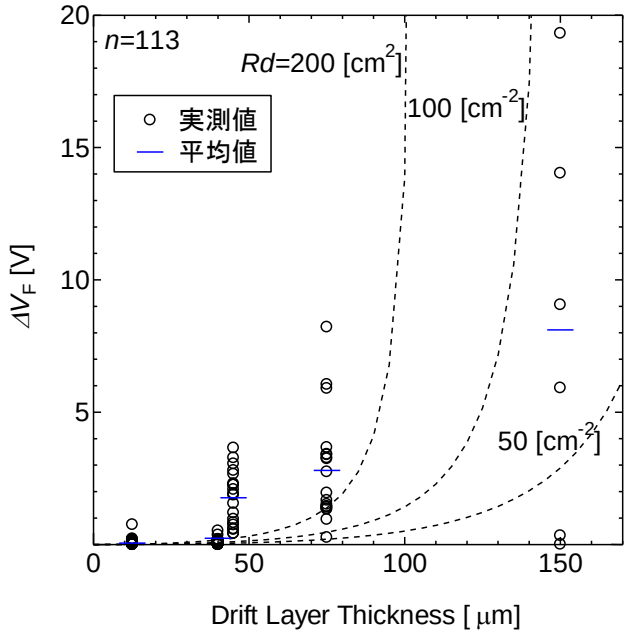


図 4. 4 ΔV_F のドリフト層厚み依存性(n:サンプル数、R:基底面転位の基板からエピタキシャル層への伝搬確率、d:基板中の基底面転位密度、Rd:エピタキシャル層中の基底面転位密度、通電ストレス試験条件:順方向電流密度 100A/cm^2、1 時間): 図中の点線は、(4. 13)式を用いて、ドリフト層中の基底面転位密度(Rd)を 50cm^{-2}、100cm^{-2}、200cm^{-2} とした時のΔV_F を示す。

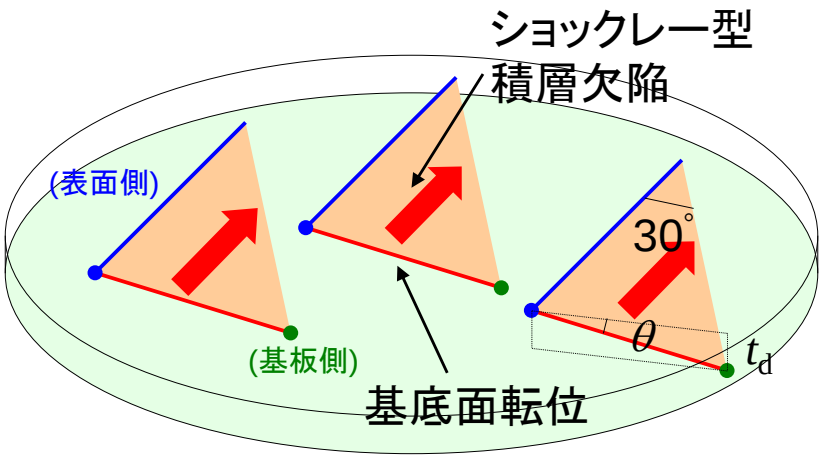


図 4. 5 エピタキシャル層中のショックレー型積層欠陥拡張の模式図(t_d:ドリフト層の厚み、θ :基板表面と{0001}面とのなすオフ角): 基底面転位は、ドリフト層中に、基板側から表面側に向けて斜めに伝搬する形で存在する。ショックレー型積層欠陥は、基底面転位から、{0001}基底面に沿って拡張する。拡張したショックレー型積層欠陥は、一つの鋭角が 30 ° の直角三角形となる。

基板からドリフト層中に伝搬した線状の基底面転位は、通電によりショックレー型積層欠陥となり、ドリフト層中の基底面転位を一辺とし、表面側の頂点が 30 度の角度を持つ直角三角形の形状となるまで、図 4. 5 の矢印の方向に拡大する[4]。ここで、t_d はドリフト層の厚み、θ はオフ角である。

この様子をデバイスの表面から見たのが、図 4. 6 である。これより、ショックレー型積層欠陥の面積 S_{SF} は、

$$S_{SF} = \frac{1}{2} \times \frac{t_d}{\tan\theta} \times \frac{t_d / \sin\theta}{\tan 30^\circ} = \frac{\sqrt{3}\, t_d^2 \cos\theta}{2 \sin^2\theta} \tag{4. 1}$$

となる。このように、ショックレー型積層欠陥の面積は、ドリフト層の厚みの二乗に比例して大きくなる。

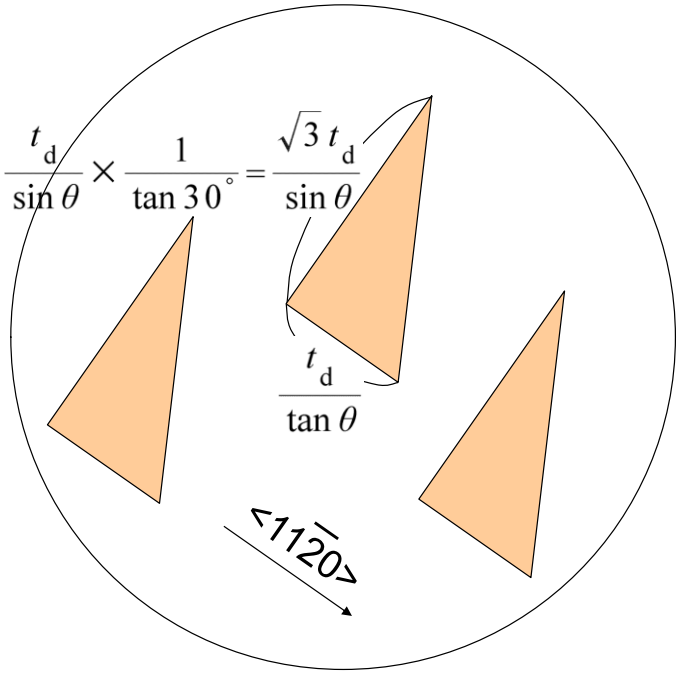


図 4. 6 デバイスの表面からみたショックレー型積層欠陥の模式図(t_d :ドリフト層の厚み、θ: 基板表面と{0001}面とのなすオフ角): 基板表面とθのオフ角をなす一つの鋭角が 30 ˚ の直角三角形のショックレー型積層欠陥を、基板表面から見た形状を示す。

次に、ΔV_F との関係を考察する。ある電流密度 J の時のオン抵抗 $R_{onS}(J)$を

$$R_{onS}(J) = \frac{dV}{dJ} \tag{4. 2}$$

とすると、電流密度 J_0 の時の順方向電圧 V_F は、

$$V_{\mathrm{F}} = \int_0^{I_0/S_0} R_{\mathrm{onS}}(J)\,\mathrm{d}J \tag{4.3}$$

となる。ここで、I_0は測定電流値、S_0はデバイスの有効面積で、

$$I_0/S_0 = J_0 \tag{4.4}$$

である。通電ストレス試験後、順方向電圧がΔV_{F}だけ上昇し、電流がショックレー型積層欠陥のない領域を流れると仮定すると、ショックレー型積層欠陥の領域を流れる電流は無視できるので、

$$V_{\mathrm{F}} + \Delta V_{\mathrm{F}} \approx \int_0^{I_0/S_1} R'_{\mathrm{onS}}(J)\,\mathrm{d}J \tag{4.5}$$

となる。ここで、S_1は通電ストレス試験後にデバイス内で電流を流すことができるショックレー型積層欠陥のない領域の有効面積、$R'_{\mathrm{onS}}(J)$はショックレー型積層欠陥のない領域の電流密度Jの時のオン抵抗である。通電ストレス後におけるショックレー型積層欠陥のない領域のキャリア寿命やキャリア移動度などの物理特性値は、通電ストレス前と同じであるため、

$$R_{\mathrm{onS}}(J) = R'_{\mathrm{onS}}(J) \tag{4.6}$$

となる。これより、ΔV_{F}は、

$$\Delta V_{\mathrm{F}} \approx \int_{I_0/S_0}^{I_0/S_1} R_{\mathrm{onS}}(J)\,\mathrm{d}J \tag{4.7}$$

となる。ここで、電流密度I_0/S_0からI_0/S_1の間において、$R_{\mathrm{onS}}(J)$が一定(R_{onS})とすると、

$$\Delta V_{\mathrm{F}} \approx R_{\mathrm{onS}}\left(\frac{I_0}{S_1} - \frac{I_0}{S_0}\right) = \frac{R_{\mathrm{onS}} I_0}{S_0}\left(\frac{1}{1-r} - 1\right) = \frac{R_{\mathrm{onS}} J_0}{\dfrac{1}{r} - 1} \tag{4.8}$$

となる。ここで、rはデバイス中のショックレー型積層欠陥が閉める面積の割合で、

$$S_1 = S_0(1-r) \tag{4.9}$$

である。

次に、デバイス中のショックレー型積層欠陥の面積の割合rを求める。デバイス中の基底面転位が一様に分布し、ショックレー型積層欠陥同士の重なりを無視すると、デバイス中のショックレー型積層欠陥の面積の合計S_{AllSF}は、

$$S_{\mathrm{AllSF}} = d \times S_{\mathrm{Chip}} \times R \times S_{\mathrm{SF}} = \frac{\sqrt{3}\, S_{\mathrm{Chip}} R d t_{\mathrm{d}}^{2} \cos\theta}{2 \sin^{2}\theta} \tag{4. 10}$$

となる。ここで、d は基板中の基底面転位密度、S_{Chip} はデバイスの有効面積、R は基底面転位の基板からエピタキシャル層への伝搬確率、S_{SF} はショックレー型積層欠陥 1 個あたりの面積である。これより、デバイス中にショックレー型積層欠陥が占める面積の割合 r は、

$$r = \frac{S_{\mathrm{AllSF}}}{S_{\mathrm{Chip}}} = \frac{\sqrt{3}\, R d t_{\mathrm{d}}^{2} \cos\theta}{2 \sin^{2}\theta} \tag{4. 11}$$

となり、特に θ が十分小さい時は、

$$r \approx \frac{\sqrt{3}\, R d t_{\mathrm{d}}^{2}}{2\theta^{2}} \tag{4. 12}$$

となる。

よって、ΔV_{F} は、

$$\Delta V_{\mathrm{F}} \approx \frac{R_{\mathrm{onS}} J_{0}}{\left(\dfrac{2 \sin^{2}\theta}{\sqrt{3}\, R d t_{\mathrm{d}}^{2} \cos\theta} - 1 \right)} \approx \frac{R_{\mathrm{onS}} J_{0}}{\left(\dfrac{2\theta^{2}}{\sqrt{3}\, R d t_{\mathrm{d}}^{2}} - 1 \right)} \tag{4. 13}$$

となる。ドリフト層中の基底面転位密度(R_{d})を 50cm^{-2}、100cm^{-2}、200cm^{-2} とした時のΔV_{F} を図 4. 4 に示す。これより、ΔV_{F} は、ドリフト層厚み t_{d} に大きく依存し、その値が大きくなると、ΔV_{F} も大きくなることがわかる。順方向に 100A/cm^{2} の電流を通電した場合、図 4. 2 のように順方向電圧は 20 分程度で飽和していることから、1 時間通電後、ショックレー型積層欠陥は図 4. 6 のように三角形状に拡大していると考えられる。このことから、厚いドリフト層が必要な高耐電圧バイポーラデバイスでは、順方向電圧劣化を解決することが重要な課題であることがわかる。

4.3.2　順方向電圧劣化に対するデバイスサイズ依存性

次にΔV_{F} のデバイスサイズ依存性を調べるため、p 型領域の直径が 0.25mm、0.65mm、1.3mm、2.6mm の 4 種類の 4H-SiC pin ダイオードを作製した。n^{-}層は、ドナー密度 3-5×10^{14}cm^{-3}、厚さ 40μm、150μm の 2 種類を(0001)Si 面 8°オフ基板状に形成した。基板には、Type A のウェハメーカーの供給する基板を用いた。図 4. 7 にΔV_{F} のデバイスサイズ依存性を示す。ΔV_{F} はデバイスサイズにはあまり依存していないことがわかる。これは、(4. 13)式からわかるように、ΔV_{F} がデバイスサイズ S_{chip} に依存していないためである。

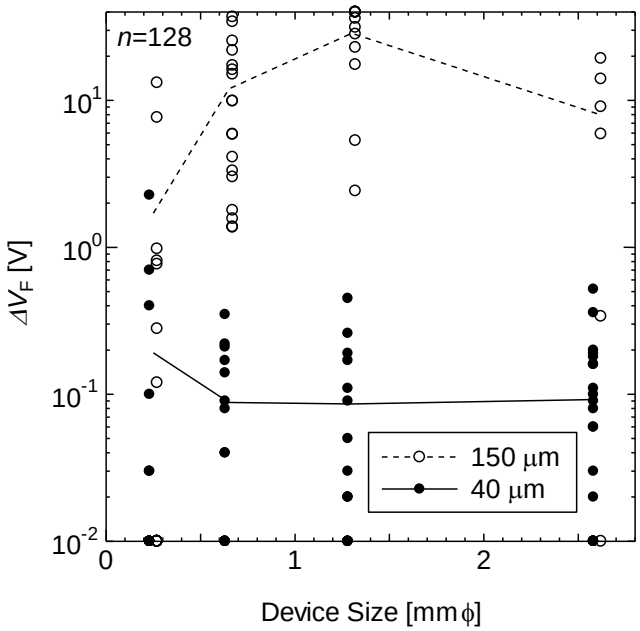


図 4. 7 ドリフト層の厚みを 150μm(○)、40μm(●)とした時の、ΔV_F のデバイスサイズ依存性 (*n*:サンプル数、通電ストレス試験条件:順方向電流密度 100A/cm^2、1 時間): 実線および点線は、それぞれの素子サイズでの平均値を結んだ線である。

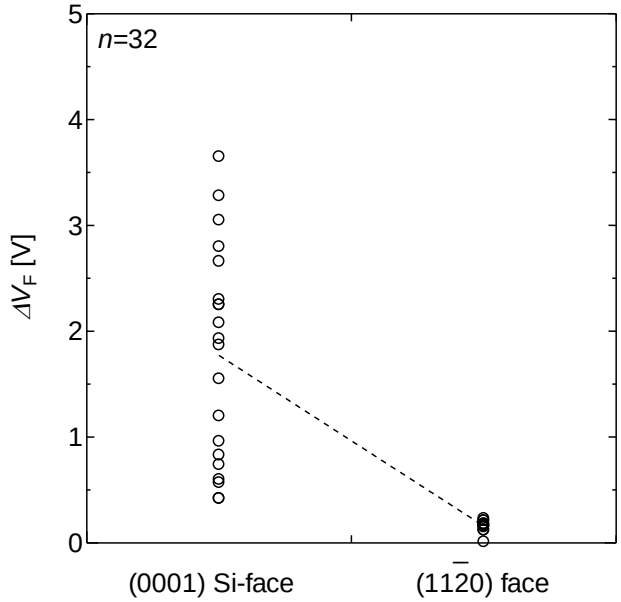


図 4. 8 (0001)Si 面(○)と(11$\bar{2}$0)(●)を用いた 4H-SiC pin ダイオードのΔV_F (*n*:サンプル数、通電ストレス試験条件:順方向電流密度 100A/cm^2、1 時間): 点線は、それぞれの条件での平均値を結んだ線である。

4.3.3　順方向電圧劣化に対する面方位依存性

次にΔV_Fの基板の結晶面方位依存性を調べるために、(0001)Si 面 8°オフ基板と(11$\bar{2}$0)面基板上に、厚さ 45μm、ドナー密度 3～5×$10^{14}$$cm^{-3}$の n^-層を形成し、4H-SiC pin ダイオードを作製した。基板には、Type A のウェハメーカーの供給する基板を用いた。4H-SiC pin ダイオードの p 型領域の直径は、2.6mm である。

それぞれの結晶面の 4H-SiC pin ダイオードのΔV_Fを比較した結果を図 4. 8 に示す。(11$\bar{2}$0)面のΔV_Fは、(0001)Si 面より、小さくなった。これは、ショックレー型積層欠陥が(11$\bar{2}$0)面内で拡がり、(11$\bar{2}$0)面基板を用いた 4H-SiC pin ダイオードの場合、電流方向に対しショックレー型積層欠陥が平行に入り、キャリア寿命キラーとして顕著には働かないためと考えられる。しかし、この(11$\bar{2}$0)面基板を用いた場合、ショックレー型積層欠陥を介した大きな逆方向漏れ電流が流れる[5]ため、実用化には向かない。

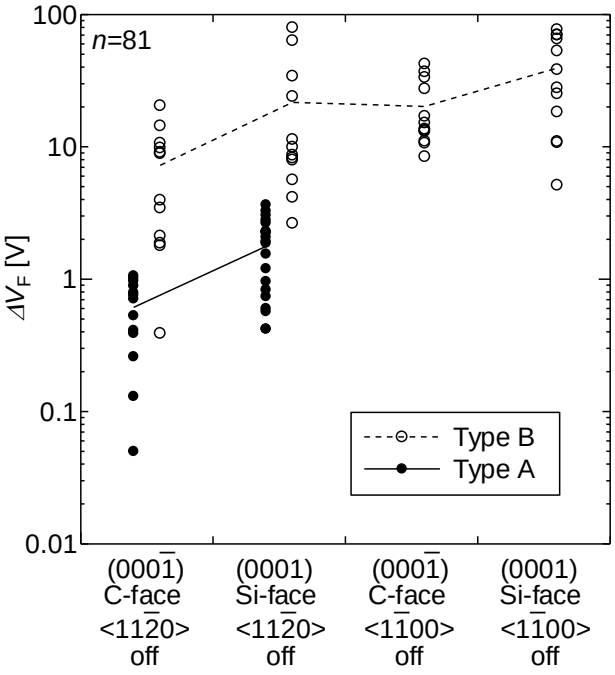


図 4. 9 ΔV_Fの面方位依存性(*n*:サンプル数、通電ストレス試験条件:順方向電流密度 100A/cm^2、1 時間): Type A(●)と Type B(○)は異なるウェハメーカーから供給されたものを示す。実線および点線は、それぞれの条件での平均値を結んだ線である。

他の面方位についても調べるため、(0001)Si 面 8°オフ基板と(000$\bar{1}$)C 面 8°オフ基板のオフ方向がそれぞれ<11$\bar{2}$0>と<1$\bar{1}$00>の合計 4 種類の基板を用いた。それぞれの基板上に、厚さ 45μm、ドナー密度 3～5×$10^{14}$$cm^{-3}$の n^-層を形成し、4H-SiC pin ダイオードを作製した。4H-SiC pin ダイオードの p 型領域の直径は、2.6mm である。本研究では、Type A と Type B の異なるウェハメーカーの供給する基板を用いた。4H-SiC pin ダイオードの p 型領域の直径

は、2.6mm である。図 4. 9 にΔV_Fの面方位依存性を示す。ΔV_F の平均値は、(000$\bar{1}$)C 面の方が(0001)Si 面よりも小さく、約 1/2 になった。この傾向は、オフ方向に関係なく、また、基板メーカーを変えても同じ結果になった。これは、(000$\bar{1}$)C 面オフ基板上に形成したドリフト層中の基底面転位やショックレー型積層欠陥が少ないことを示している。X 線トポグラフィを用いて基底面転位密度を測定すると、(000$\bar{1}$)C 面の方(約 20 個/cm^2)が、(0001)Si 面(約 200 個/cm^2)より約 1/10 と少なくなっており[6]、この結果と一致する。また、オフ方向に関して、<11$\bar{2}$0>オフ方向の基板を用いた方が<1$\bar{1}$00>方向の基板を用いた時より、ΔV_Fの平均値が小さくなった。以上の結果より、<11$\bar{2}$0>方向に 8°オフした(000$\bar{1}$)C 面基板上に作製した 4H-SiC pin ダイオードで、ΔV_Fの平均値が最も小さくなった。Type A の基板を用いた方が、Type B の基板を用いた時より、ΔV_F が小さくなっているが、これは、基板中の基底面転位の数が Type A の方が少なくなっているためと考えられる。

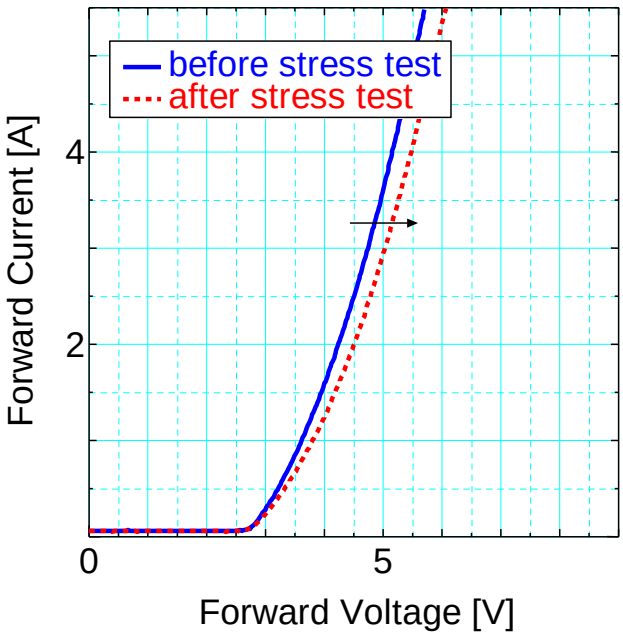
4.4　{0001}4H-SiC pin ダイオードの順方向の電流-電圧特性と逆回復特性の劣化現象

4.4.1　{0001}4H-SiC pin ダイオードの順方向電圧劣化

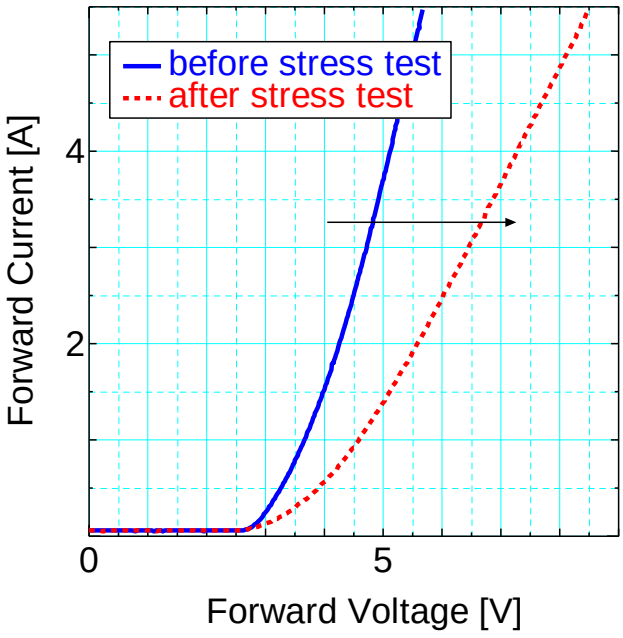
パワーエレクトロニクス機器の効率を見積もるには、デバイスの定常損失を示す静特性とスイッチング損失を示す動特性を評価しなければならない。まず、作製した 4H-SiC pin ダイオードの静特性を示す順方向の電流-電圧特性を評価した。図 4. 10 に典型的な通電ストレス試験前後における(000$\bar{1}$)C 面 4H-SiC pin ダイオードと(0001)Si 面 4H-SiC pin ダイオードの順方向の電流密度-電圧特性を示す。(000$\bar{1}$)C 面 4H-SiC pin ダイオードも(0001)Si 面 4H-SiC pin ダイオードも通電ストレス試験前の順方向電流密度 100A/cm^2 での順方向電圧は、5.5V 程度となった。次に通電ストレス試験を実施し、順方向電圧劣化現象を評価した。 (000$\bar{1}$)C 面 4H-SiC pin ダイオードの順方向電流密度 100A/cm^2 でのΔV_Fは 0.35V となったが、(0001)Si 面 4H-SiC pin ダイオードの値(2.72V)に比べると約 1/8 である。

4.4.2　{0001}4H-SiC pin ダイオードの逆回復特性劣化

次に、4H-SiC pin ダイオードの重要な動特性である逆回復特性を測定した。図 4. 11 と表 4. 1 に典型的な通電ストレス試験前後における(000$\bar{1}$)C 面 4H-SiC pin ダイオードと(0001)Si 面 4H-SiC pin ダイオードの逆回復特性示す。逆回復特性は、4H-SiC pin ダイオードの順方向に 5.18A の電流を通電したのち、150A/μs で電流を減少させ、逆方向電圧 200V を印加して、測定した。(000$\bar{1}$)C 面 4H-SiC pin ダイオードの逆回復時間(t_{rr})、および、逆回復電流ピーク値(I_{RP})は、それぞれ、46.2ns、2.52A となり、(0001)Si 面 4H-SiC pin ダイオード(t_{rr}=51.7ns、I_{RP}=3.55A)と比べて小さくなった。メサ型 4H-SiC pin ダイオードの少数キャリア寿命τ_pと 4H-SiC pin ダイオードの逆回復時間 t_{rr}には、

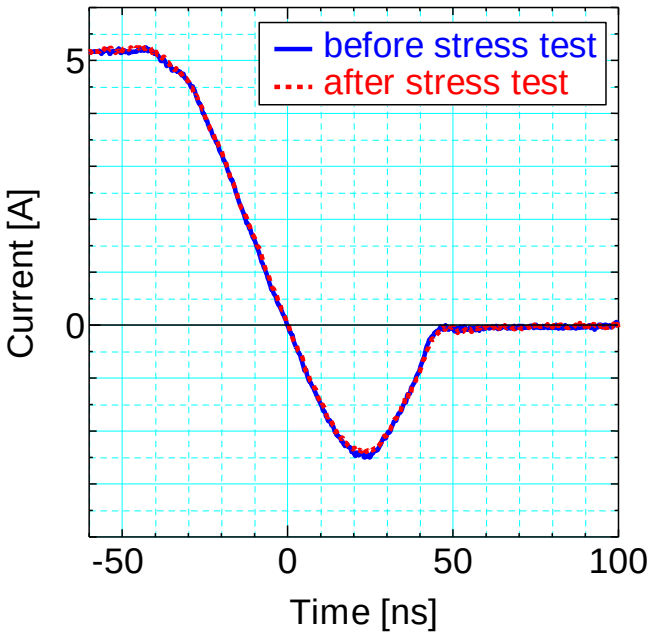


(a)

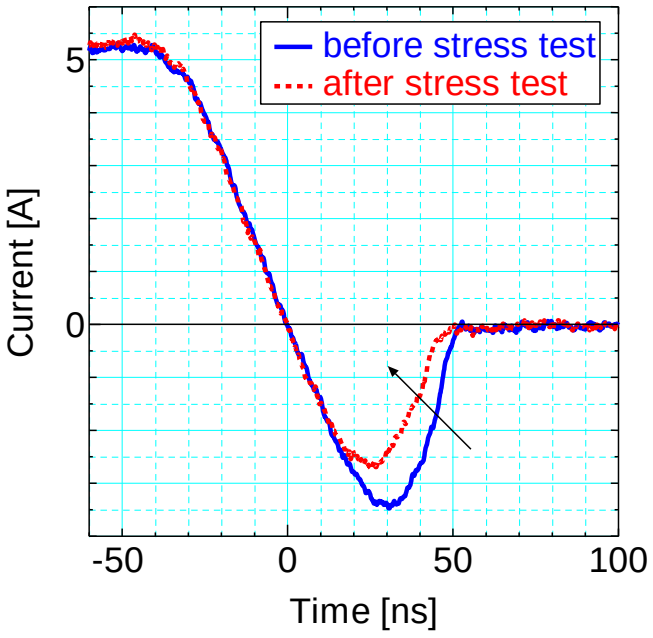


(b)

図 4. 10 (a) $(000\bar{1})$C 面 4H-SiC pin ダイオードと(b) (0001)Si 面 4H-SiC pin ダイオードにおける通電ストレス試験前後の典型的な順方向の電流密度-電圧特性(通電ストレス試験条件:順方向電流密度 100A/cm^2、1 時間、青実線:通電ストレス試験前、赤点線:通電ストレス試験後)



(a)



(b)

図 4. 11 (a) (000$\bar{1}$)C 面 4H-SiC pin ダイオードと(b) (0001)Si 面 4H-SiC pin ダイオードにおける通電ストレス試験前後の典型的な逆回復特性(I_F=5.18A、di/dt=150A/μs、V_R=200V、通電ストレス試験条件:順方向電流密度 100A/cm^2、1 時間、青実線:通電ストレス試験前、赤点線:通電ストレス試験後)

表 4. 1 作製した 4H-SiC pin ダイオードの典型的な逆回復特性の相違(通電ストレス試験条件:順方向電流密度 100A/cm^2、1 時間)

	ΔV_f	ストレス試験前				ストレス試験後			
		t_{rr}	I_{RP}	Q_{rr}	τ_p	t_{rr}	I_{RP}	Q_{rr}	τ_p
(000-1) C-face	0.35 V	46.2 ns	2.52 A	58.3 nC	45.0 ns	46.5 ns	2.43 A	56.5 nC	43.6 ns
(0001) Si-face	2.72 V	51.7 ns	3.55 A	91.7 nC	70.8 ns	47.5 ns	2.74 A	64.9 nC	50.1 ns

また、図 4. 11 に示すように、通電ストレス試験前後において、$(000\bar{1})$C 面 4H-SiC pin ダイオードの逆回復特性はほとんど変化しなかったのに対して、(0001)Si 面 4H-SiC pin ダイオードは大きく変化した。

$$\tau_p = 2 \cdot \frac{I_{RP}}{I_F} \cdot t_{rr} \quad 、 \quad Q_{RR} = \frac{1}{2} I_{RP} t_{rr} \tag{4. 14}$$

という関係[7]がある。ここで、I_F は順方向電流、I_{RP} は逆回復電流ピーク値である。これより求めた$(000\bar{1})$C 面 4H-SiC pin ダイオードの逆回復電荷(Q_{RR})、少数キャリア寿命(τ_p)は 43.6ns であり、(0001)Si 面 4H-SiC pin ダイオードのτ_p(50.1ns)と比較して、36%低減できた。このように$(000\bar{1})$C 面 4H-SiC pin ダイオードは優れた逆回復特性を示す。

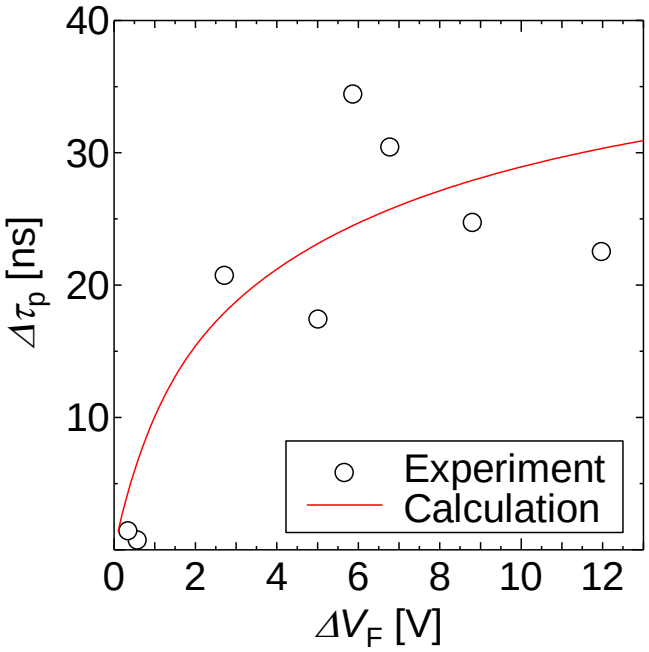


図 4. 12 $\Delta\tau_p$ とΔV_F の関係(通電ストレス試験条件:順方向電流密度 100A/cm^2、1 時間): 実線は、4.5.2 節以降で述べる方法で求めた計算結果である。具体的には次のとおりである。まず、(4. 20)式の第二式からβを求める。次に、(4. 21)式から、βと 4.5.5 節で求めた s_{SF} と τ_{bulk} を用いてαを求める。そして、(4. 20)式の第一式より、τ_1 を求め、$\Delta\tau_p$ を求めた。

4.5　順方向の電流-電圧特性と逆回復特性における劣化現象の相関関係の考察

4.5.1　順方向の電流-電圧特性と逆回復特性における劣化現象の相関

図 4. 12 に、$(000\bar{1})$C 面 4H-SiC pin ダイオードおよび(0001)Si 面 4H-SiC pin ダイオードの $\Delta\tau_p$ と ΔV_F の関係を示す。ここで通電ストレス試験前後の τ_p 差を $\Delta\tau_p$ とした。実線は、4.5.2 節以降で述べる方法で求めた計算結果である。ΔV_F が大きいデバイスは、$\Delta\tau_p$ も大きい傾向が得られた。

4.5.2　ショックレー型積層欠陥周辺での表面再結合を考慮したキャリア寿命

順方向電圧劣化のメカニズムは次のように考えられている。まず、基板中に含まれている基底面転位と呼ばれる線欠陥がドリフト層中に伝搬する。基底面転位は電子と正孔の再結合のエネルギーにより、ショックレー型積層欠陥と呼ばれる面欠陥に拡張する。このショックレー型積層欠陥は少数キャリア寿命キラーとして働き、ショックレー型積層欠陥が存在する領域は、十分な伝導度変調を得ることができず、高抵抗領域となり、電流が流れにくくなる。その結果、通電領域が狭くなり、順方向電圧が増大し、順方向電圧劣化現象が起こる[8]。

このメカニズムのみで考えた時、順方向電圧劣化現象が起こった場合、通電領域が狭くなり、実際に電流を通電している実効的なデバイスの面積が小さくなるだけである。ところで、メサ型 4H-SiC pin ダイオードの少数キャリア寿命 τ_p と 4H-SiC pin ダイオードの逆回復時間 t_{rr} には、(4. 14)式の関係があり、逆回復時間 t_{rr} や逆回復電流ピーク値 I_{RP} は、順方向電流 I_F が一定であれば、デバイスの面積に依存せず、変化しない。実験結果では、順方向電圧が劣化(増大)した場合、順方向電流 I_F が変化していないにも関わらず、デバイスの逆回復時間 t_{rr}、逆回復電流ピーク値 I_{RP} が両方とも減少している。

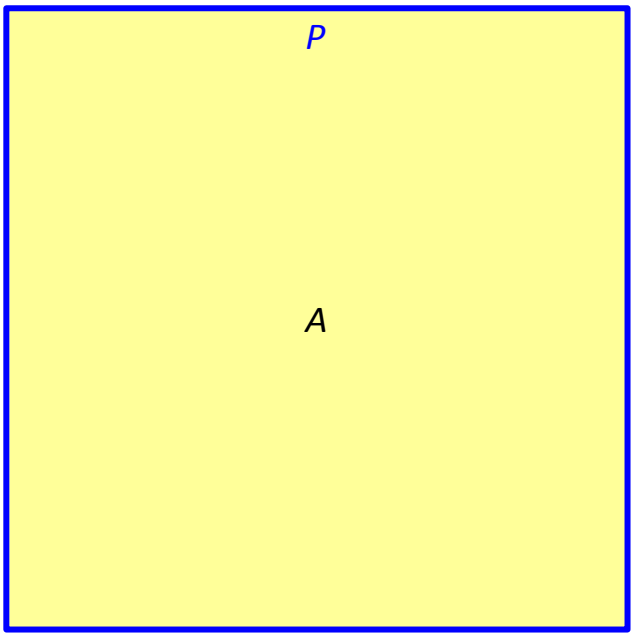
次に、逆回復特性より求めたメサ型 4H-SiCpin ダイオードの少数キャリア寿命(τ_0)には、

$$\frac{A}{\tau_0}=\frac{A}{\tau_{bulk}}+s_p P \tag{4. 15}$$

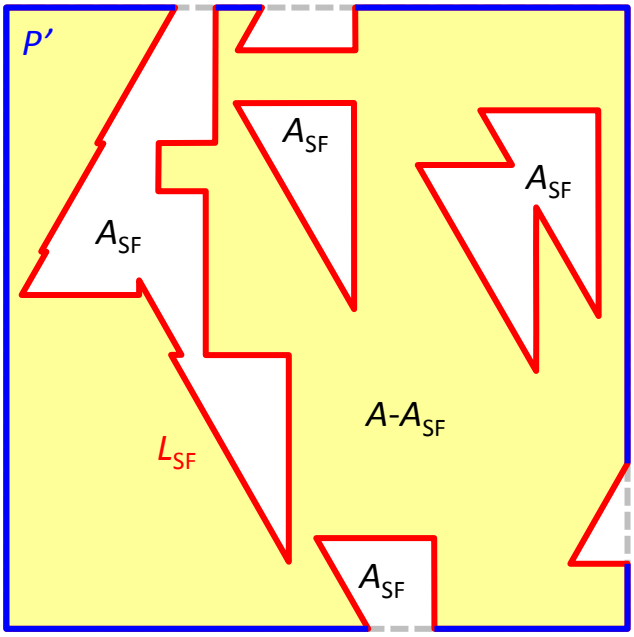
の関係[9]がある。ここで、τ_{bulk} は i 層バルク結晶中の再結合で決まる少数キャリア寿命、s_p はメサ周辺側面における表面再結合速度である。また、図 4. 13 に示すように、P はメサ周辺長、A はデバイスの有効面積である。

順方向電圧が増大したデバイスの逆回復時間、逆回復電流ピーク値の両方が減少したのは、通電ストレス試験後、ショックレー型積層欠陥が拡大した順方向電圧劣化したデバイスで、ショックレー型積層欠陥周辺での再結合が無視できなくなったためと考えられる。通電ストレス試験後の少数キャリア寿命を τ_1 とすると、(4. 15)式は、通電領域がショックレー型積層欠陥の拡大により縮小していることを考量して、

$$\frac{A-A_{SF}}{\tau_1}=\frac{A-A_{SF}}{\tau_{bulk}}+s_p P'+s_{SF}L_{SF} \tag{4. 16}$$



(a)



(b)

図 4. 13 通電ストレス試験前(a)と試験後(b)の典型的なショックレー型積層欠陥分布の概念図(*P*:(a)の青線で示すメサ周辺長、*A*:(a)の黄色の領域で示すデバイスの有効面積、*P*':(b)の青線で示すショックレー型積層欠陥が存在するメサ部の長さを除いたメサ周辺部での再結合が発生している実効的なメサ周囲長、A_{SF}:(b)の赤線で囲まれた領域の合計で示すデバイス中のショックレー型積層欠陥が占める面積、L_{SF}:(b)の赤線で示すショックレー型積層欠陥周囲長の合計)

となる。ここで、図 4. 13(b)に示すように、P’はショックレー型積層欠陥が存在するメサ部の長さを除いたメサ周辺部での再結合が発生している実効的なメサ周囲長、s_{SF} はショックレー型積層欠陥周辺部での表面再結合速度、L_{SF} はショックレー型積層欠陥周囲長の合計、A_{SF} はデバイス中のショックレー型積層欠陥が占める面積である。(4. 15)式と(4. 16)式より、s_p を消去すると

$$\frac{A-A_{SF}}{\tau_1}=\frac{A-A_{SF}}{\tau_{bulk}}+\left(\frac{A}{\tau_0}-\frac{A}{\tau_{bulk}}\right)\frac{P'}{P}+s_{SF}L_{SF} \tag{4. 17}$$

となり、整理すると、

$$\frac{1}{g}\left\{\frac{1}{r}\left(\frac{1}{\tau_0}\cdot\frac{P'}{P}-\frac{1}{\tau_1}\right)+\frac{1}{\tau_1}\right\}=\frac{1}{\tau_{bulk}}\cdot\frac{1}{g}\left\{1+\frac{1}{r}\left(\frac{P'}{P}-1\right)\right\}-s_{SF} \tag{4. 18}$$

となる。ここで r はデバイス中のショックレー型積層欠陥の割合、g は L_{SF} と A_{SF} の比で、

$$r=\frac{A_{SF}}{A}\quad、\quad g=\frac{L_{SF}}{A_{SF}} \tag{4. 19}$$

である。(4. 18)式は、

$$\alpha=\frac{1}{g}\left\{\frac{1}{r}\left(\frac{1}{\tau_0}\cdot\frac{P'}{P}-\frac{1}{\tau_1}\right)+\frac{1}{\tau_1}\right\}\quad、\quad\beta=\frac{1}{g}\left\{1+\frac{1}{r}\left(\frac{P'}{P}-1\right)\right\} \tag{4. 20}$$

とすると、

$$\alpha=\frac{1}{\tau_{bulk}}\beta-s_{SF} \tag{4. 21}$$

と整理することができる。

4.5.3　劣化現象と τ_{bulk} および s_{SF} の関係

順方向電圧劣化量(ΔV_F)には、

$$\Delta V_F=\frac{R_{onS}J_0}{\frac{1}{r}-1} \tag{4. 22}$$

の関係[10]がある。ここで、J_0 はオン電圧劣化量を評価する電流密度、R_{onS} は電流密度 J_0 の時の微分オン抵抗である。

この結果、図 4. 14 に示すフローチャートに従い τ_{bulk} と s_{SF} を求めることができる。まず、順方向電圧劣化現象で得られる ΔV_F を測定し、(4. 22)式を用いて r を求める。r と g、および、r と P’/P には次節 4.5.4 で述べるような相関があるので、r を用いて、図 4. 16 より g を、図 4. 17 より P’/P を、それぞれ求める。また、得られた逆回復特性より、(4. 14)式を用いて τ_p

を求める。そして、(4. 20)式より、αとβを求め、縦軸にαを、横軸にβをプロットする。このグラフは、(4. 21)式より、傾きが $1/\tau_{bulk}$ を、切片が s_{SF} を示す。

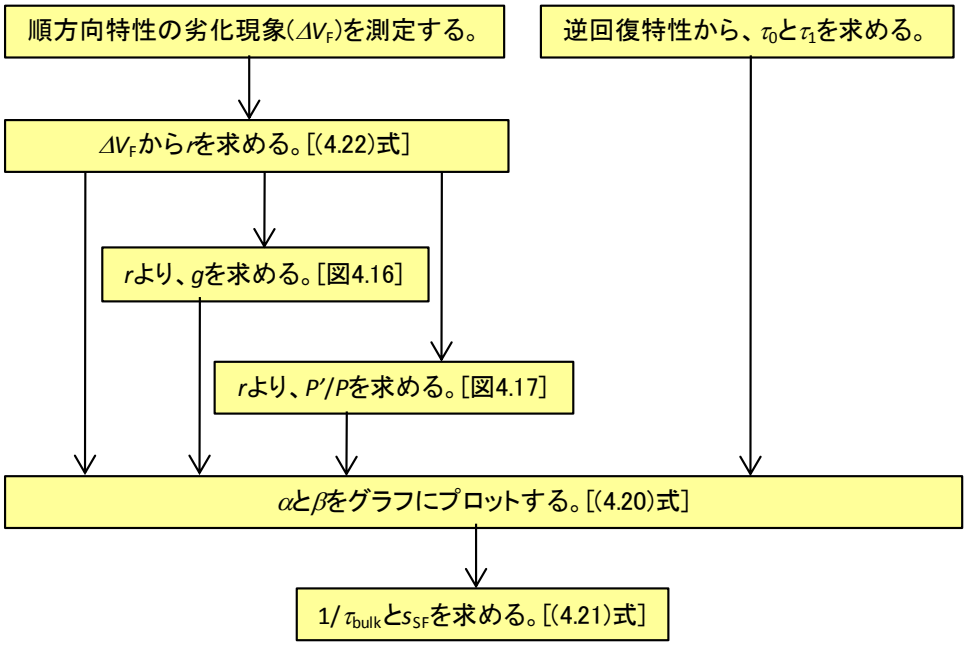


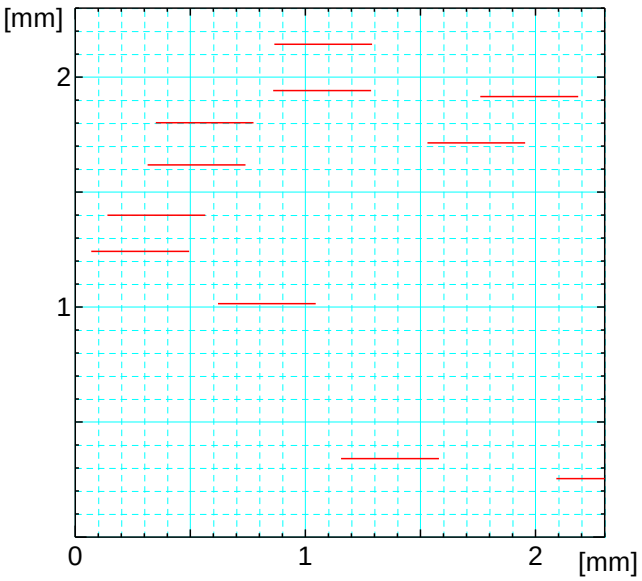
図 4. 14 実験結果より s_{SF} と τ_{bulk} を求めるフローチャート

4.5.4　モンテカルロ手法を用いたショックレー型積層欠陥の振る舞いの考察

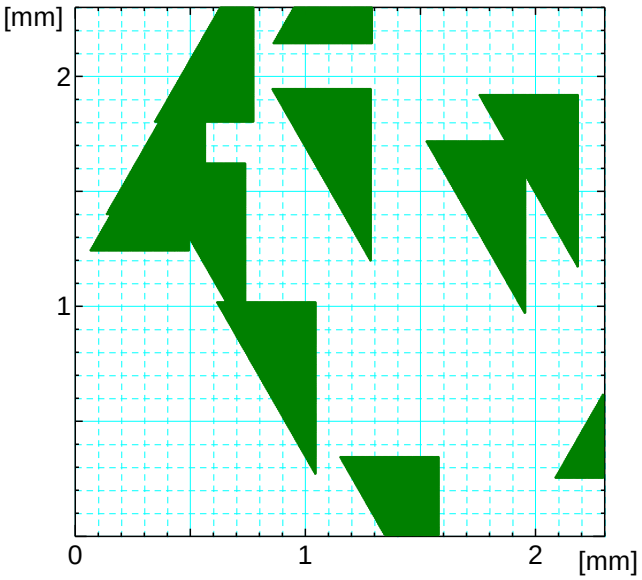
r と g、および、r と P'/P の関係を求める。ショックレー型積層欠陥同士の重なりを無視すると、g は、

$$g=\frac{L_{SF}}{A_{SF}}=\frac{l_{SF}}{a_{SF}} \tag{4. 23}$$

の関係が成り立つ。ここで、l_{SF} および a_{SF} は、それぞれ、ショックレー型積層欠陥 1 個あたりの周囲長および面積である。8 度オフ基板上に 60μm のドリフト層を形成した場合、g=127.6cm^{-1} となる。しかし、実際のデバイスでは、ショックレー型積層欠陥の重なりを無視することはできない。このことは、P'/P を求めることも難しくしている。そこで、モンテカルロ手法を用いて、r に対する g および P'/P の関係を求める。まず、ショックレー型積層欠陥は、ドリフト層中に存在する基底面転位を起点して発生し、その形状は直角三角形の形状をしていると仮定する[11]。ドリフト層中に乱数により、基底面転位を発生させ、その後、基底面転位をショックレー型積層欠陥に拡張させる。乱数の発生には、Mersenne Twister 法[12]を用いた。図 4. 15 にドリフト層厚み 60μm、基底面転位密度 200cm^{-2}、デバイスサイズ 2.3mm×2.3mm とした時の典型的な結果を示す。



(a)



(b)

図 4. 15 モンテカルロ手法を用いて求めた典型的なドリフト層中の(a) 基底面転位分布と(b)ショックレー型積層欠陥分布: 次に手順を示す。①デバイス領域にメッシュを割り当てる。②各メッシュ領域を基板-エピタキシャル層界面とし、基底面転位密度に基づき、界面における基底面転位(点)の有無を計算する。③界面における基底面転位(点)が存在するメッシュから、ドリフト層厚みとオフ角、オフ方向に基づき、(a)のように、ドリフト層中の基底面転位(線:赤の実線で示す)を計算する。④ドリフト層中の基底面転位(線)から、(b)のように、ショックレー型積層欠陥(緑の三角形示す)を計算する。

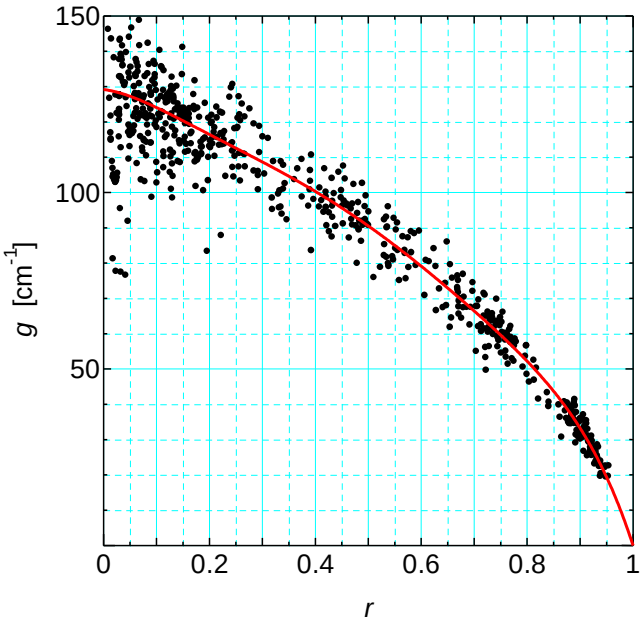


図 4. 16 モンテカルロ手法により求めた $r=A_{SF}/A$ と $g=L_{SF}/A_{SF}$ の相関(A_{SF}:デバイス中のショックレー型積層欠陥が占める面積、A:デバイスの有効面積、L_{SF}:ショックレー型積層欠陥周囲長の合計): 赤線は、データから求めたスプライン曲線である。

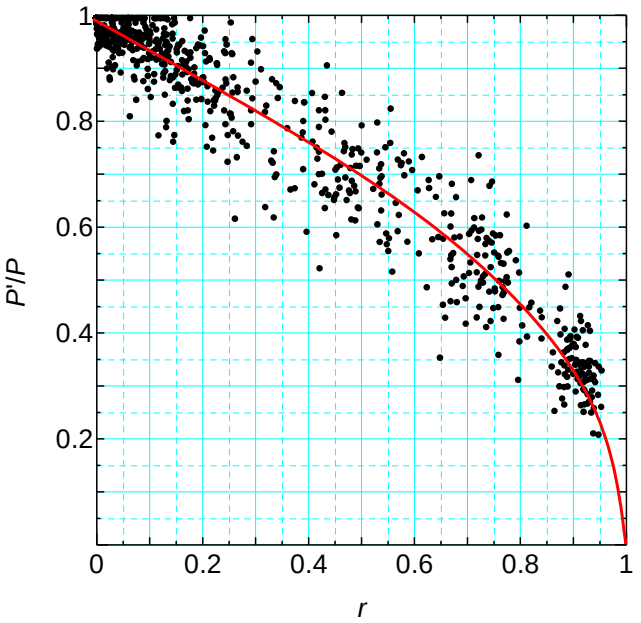


図 4. 17 モンテカルロ手法により求めた $r=A_{SF}/A$ と P'/P の相関(A_{SF}:デバイス中のショックレー型積層欠陥が占める面積、A:デバイスの有効面積、P':ショックレー型積層欠陥が存在するメサ部の長さを除いたメサ周辺部での再結合が発生している実効的なメサ周囲長、P:メサ周辺長): 赤線は、データから求めたスプライン曲線である。

この時のドリフト層中に伝搬した基底面転位は 11 個で、r、g、P'/P は、それぞれ、0.239、108、0.941 である。基底面転位は、ドリフト層中にエピタキシャル層と基板の界面から表面に向かって入り、ここでは、左から右方向に入るとした。そして、この基底面転位がショックレー型積層欠陥として、上方向、もしくは、下方向に拡張するとした。

図 4. 16 にモンテカルロ手法を用いて求めた r と g の相関を示す。条件は、基板のオフ角を 8 度、ドリフト層厚み 60μm、デバイスサイズ 2.3mm×2.3mm とした。$r \rightarrow 0$ では、$g = L_{SF}/A_{SF} = l_{SF}/a_{SF} = 127.6$ となり、r の増大と共に、g は減少する。r が増大することは、ショックレー型積層欠陥が増えることを示し、この時通電エリアが縮小し、通電領域の周辺長でもある L_{SF} が減少し、g も減少する。r が 1 に近づき、ショックレー型積層欠陥がデバイス中のほとんどの領域を占有すると、L_{SF} は 0 に近づき、g は 0 になる。

図 4. 17 に同様にモンテカルロ手法を用いて求めた r と P'/P の関係を示す。r の増大に伴い、P'/P は減少する。これは、ショックレー型積層欠陥が増えると、メサ周辺部にショックレー型積層欠陥が存在しやすくなり、実効的なメサ周囲長である P'/P が減少するためである。

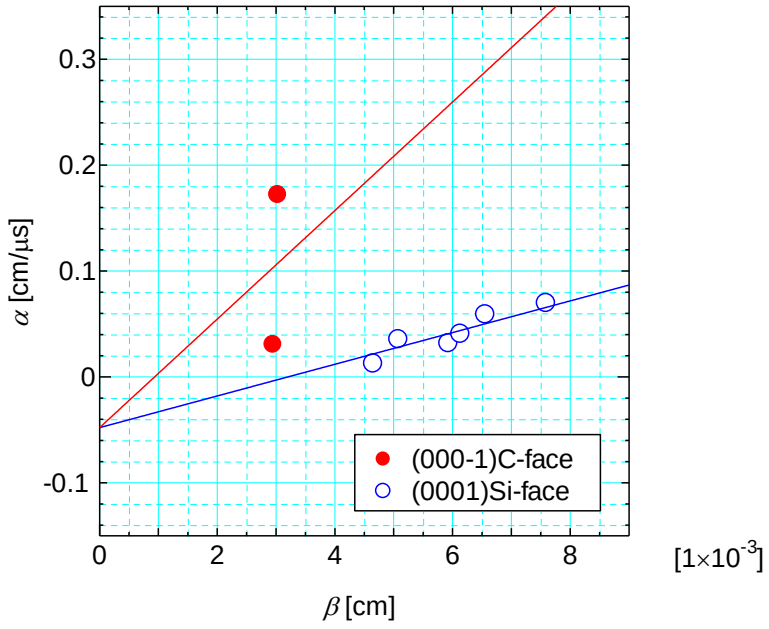


図 4. 18 αとβの関係: αとβは(4. 20)式より求めた値である。

4.5.5　劣化現象から求めた τ_{bulk} と s_{SF} の計算結果

得られた結果を図 4. 18 にプロットする。(0001)Si 面の 4H-SiC pin ダイオードのデータは直線上にのっており、その切片から、表面再結合速度 s_{SF} は 0.048cm/μs と求めることができる。また、図 4. 18 のグラフの傾きより(0001)Si 面 4H-SiC pin ダイオードの τ_{bulk} は 66.8ns と

求めることができる。

図 4. 12 に、ここで求めた s_{SF} と τ_{bulk} を用いて計算した値を実線で示した。計算方法は、以下の通りである。まず、(4. 20)式の第二式からβを求める。次に、(4. 21)式から、βとここで求めた s_{SF} と τ_{bulk} を用いてαを求める。そして、(4. 20)式の第一式より、τ_1 を求め、$\Delta\tau_p$ を求めた。ΔV_F が大きくなると、$\Delta\tau_p$ も大きくなり、実験値とよくあっていることがわかる。このことより、ショックレー型積層欠陥周辺での再結合は無視することができず、ショックレー型積層欠陥の増大とともに、その周辺での再結合の影響が大きくなったということがわかる。

4.6　逆回復特性の劣化現象における(000$\bar{1}$)C 面 4H-SiC pin ダイオードと(0001)Si 面 4H-SiC pin ダイオードの相異の考察

(0001)Si 面 4H-SiC pin ダイオードと(000$\bar{1}$)C 面 4H-SiC pin ダイオードで表面再結合速度 s_{SF} は変わらないと考えられるので、s_{SF} を 0.048cm/μs として、図 4. 18 の傾きから (000$\bar{1}$)C 面 4H-SiC pin ダイオードの τ_{bulk} を求めると 19.5ns となり、Si 面と比較して小さい値を示している。これにより、(000$\bar{1}$)C 面 4H-SiC pin ダイオードの方が(0001)Si 面 4H-SiC pin ダイオードより短い逆回復時間を示したと考えられる。また、(000$\bar{1}$)C 面 4H-SiC pin ダイオードの τ_{bulk} が大きくばらついているのは、(000$\bar{1}$)C 面の少数キャリア寿命が面内で大きくばらついているためと考えられる。

また、(000$\bar{1}$)C 面基板上に作製した 4H-SiC pin ダイオードの方が(0001)Si 面基板上に作製した場合と比べて$\Delta\tau_p$ が小さくなっている。これは、(000$\bar{1}$)C 面基板上に形成したエピタキシャル層の基底面転位密度が、(0001)Si 面基板上に形成した場合と比べて一桁以上小さい[6]ため、ショックレー型積層欠陥も少なくなり、ショックレー型積層欠陥周辺での再結合の影響が小さくなったためと考えられる。

4.7　高耐電圧(000$\bar{1}$)C 面 4H-SiC pin ダイオード

次に、<11$\bar{2}$0>方向に 8°オフした(000$\bar{1}$)C 面基板上に高耐電圧 4H-SiC pin ダイオードを作製した。(000$\bar{1}$)C 面基板上にエピタキシャル成長すると、(0001)Si 面基板上にエピタキシャル成長する場合と比べて、ドナー不純物である窒素が取り込まれやすい一方、アクセプタ不純物であるアルミニウムは取り込まれにくくなる[13,14]。窒素は SiC 中で炭素(C)を置換する形で、アルミニウムはシリコン(Si)を置換する形で、それぞれ取り込まれる。(0001)Si 面では、表面が Si で終端されており、(000$\bar{1}$)C 面では、表面が C で終端されている。エピタキシャル背長では、この終端されている元素がそれぞれ置換されやすくなるため、(000$\bar{1}$)C 面成長では、(0001)Si 面成長と比べて、窒素が置換されやすく、アルミニウムが置換されにくくなる。高耐電圧バイポーラデバイスでは、高耐電圧化のため、ドリフト層の不純物密度

を下げるとともに、ドリフト層へ少数キャリアを注入し、抵抗を下げるため、注入層の不純物密度を高くしなければならない。4H-SiC pin ダイオードでは、ドリフト層は n 型、注入層は p 型となるため、ドリフト層の窒素密度を下げ、注入層のアルミニウム密度を上げなければならない。しかし、前述のとおり、$(000\bar{1})$C 面成長では、(0001)Si 面成長と比べ、両方を実現することが難しい。我々は、エピタキシャル成長に用いるガスや部材の高純度化、アルミニウムを取り込むため原料ガスの増量、成長温度、圧力の最適化を行い、$(000\bar{1})$C 面成長でも、(0001)Si 面成長と遜色ない不純物密度を実現した。基板には、Type A のウェハメーカーの供給する基板を用いた。p^+アノード層をエピタキシャル成長で形成すると、良好な順方向特性を得られる[15]が、素子分離のため、メサ状のエッチングが必要となり、メサ底部の終端部での電界集中により、耐電圧性能が低下する。良好な順方向特性と高耐電圧を同時に実現するため、メサ状にエッチングした後、メサの外側に Al をイオン注入し、終端部に電界緩和構造を備えたメサ JTE を形成した。この 4H-SiC pin ダイオードのドリフト層の厚みは 60μm、素子の形状は円形で、サイズは 0.25mmϕである。図 4. 19 に作製した 4H-SiC pin ダイオードの代表的な逆方向電流密度-電圧特性を示す。耐電圧値は、メサ形成や JTE 形成などのプロセスの影響でばらついたが、最高値は 8.3kV であった。これは、ドリフト層の厚みと不純物密度から求めた理論値の 85%に相当する。5.5kV での漏れ電流は 1×10^{-4}A/cm^2 と小さい。

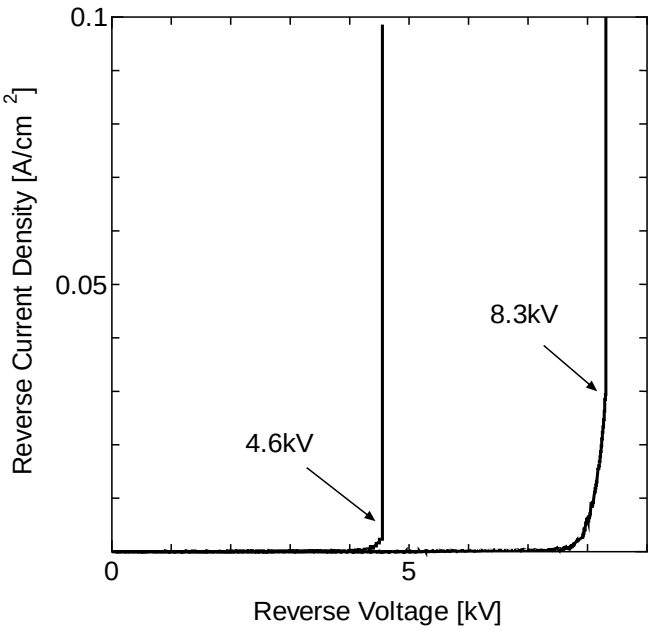


図 4. 19 $(000\bar{1})$C 面 4H-SiC pin ダイオードの代表的な逆方向電流密度-電圧特性: 図中の耐電圧値は、破壊する直前に素子に印加されていた電圧とした。

図 4. 20 に耐電圧 4.6kV の 4H-SiC pin ダイオードの通電ストレス試験前後の順方向の電流密度-電圧特性を示す。順方向電流密度 100A/cm^2 での順方向電圧は 4.1V、オン抵抗は 5.9mΩcm^2 となった。これは、非常に小さい値であり、十分な伝導度変調が得られていることが判る。理想因子 n 値(ideal factor)は 2.06 となり、再結合電流が支配的あることを示している[16]。また、(000$\bar{1}$)C 面上に作製した 4.6kV の 4H-SiC pin ダイオードの通電ストレス試験前後のΔV_F は 0.04V となり、図 4. 3 で示した(0001)Si 面上に作製した 4H-SiC pin ダイオードのΔV_F と比べて非常に小さくなった。

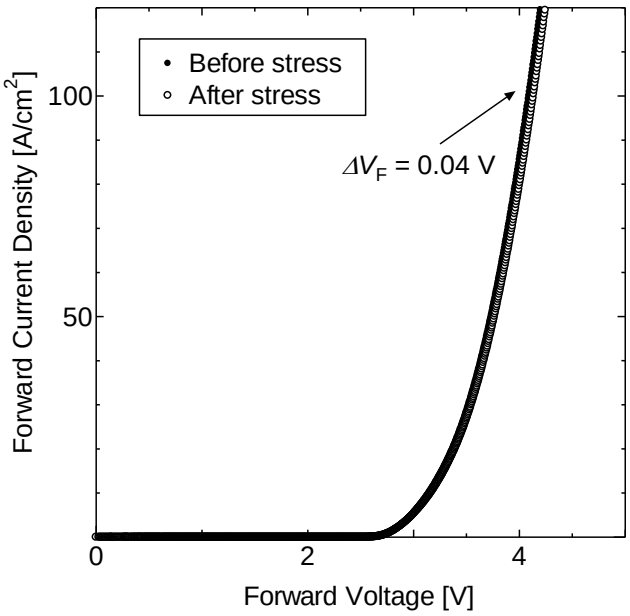


図 4. 20 通電ストレス試験前(●)後(○)の(000$\bar{1}$)C 面 4H-SiC pin ダイオードの順方向の電流密度-電圧特性の相違(通電ストレス試験条件:順方向電流密度 100A/cm^2、1 時間)

4.8 まとめ

順方向電圧劣化の 4H-SiC pin ダイオードのドリフト層厚み、デバイスサイズ、および面方位依存性を評価した。次に主な結果を示す。

・ΔV_F のドリフト層厚み依存性を調べた結果、ドリフト層厚みが増加するとΔV_F が大きくなった。

・ΔV_F の面方位依存性を調べた結果、<11$\bar{2}$0>方向に 8°オフした(000$\bar{1}$)C 面基板上に作製した 4H-SiC pin ダイオードで、ΔV_F の平均値が最も小さくなった。

・ΔV_F のデバイスサイズ依存性は少ない。

次に、(000$\bar{1}$)C 面 4H-SiC pin ダイオードと(0001)Si 面 4H-SiC pin ダイオードを作製し、順方向電圧劣化現象と逆回復特性を評価した。次に主な結果を示す。

・(000$\bar{1}$)C 面 4H-SiC pin ダイオードは、(0001)Si 面 4H-SiC pin ダイオードと比較して、優

れた逆回復特性を示した。

・(000$\bar{1}$)C 面 4H-SiC pin ダイオードは通電ストレス試験前後で逆回復特性がほとんど変化しなかったのに対して、(0001)Si 面 4H-SiC pin ダイオードは大きく変化した。

・順方向電圧劣化した 4H-SiC pin ダイオードの逆回復特性では、ショックレー型積層欠陥周辺での再結合の影響が無視できない。ショックレー型積層欠陥周辺での再結合速度は 0.048cm/μs と見積もることができ、(000$\bar{1}$)C 面および(0001)Si 面のキャリア寿命は、それぞれ、19.5ns および 66.8ns となった。

さらに、(000$\bar{1}$)C 面基板上に高耐電圧少劣化 4H-SiC pin ダイオードを作製し、特性を評価した。最高耐電圧は 8.3kV であり、順方向電圧が 4.1V と小さく、ΔV_F も 0.04V と小さい資料が得られた。

参考文献

[1] H. Lendenmann, F. Dahlquist, N. Johansson, R. Soderholm, P.A.Nilsson, J. P. Bergman and P. Skytt: *Mater. Sci. Forum* **353-356** (2001) 727.

[2] Y. Sugawara, K. Asano, R. Singh and J. W. Palmour: *Mater. Sci. Forum* **338-342** (2000) 1371.

[3] H. Tsuchida, I. Kamata, T. Jikimoto and K. Izumi: *J. Cryst. Growth* **237-239** Part 2 (2002) 1206.

[4] H. Lendenmann, F. Dahlquist, J. P. Bergman, H. Bleichner and C. Hallin: *Mater. Sci. Forum* **389-393** (2002) 1259.

[5] Y. Tanaka, K. Kojima, T. Suzuki, T. Hayashi, K. Fukuda, T. Yatsuo and K. Arai: *Mater. Sci. Forum* **457-460** (2004) 1065.

[6] H. Tsuchida, I. Kamata, T. Miyanagi, T. Nakamura, K. Nakayama, R. Ishii and Y.Sugawara: *Jpn. J. Appl. Phys.* **44**, 25 (2005) L806.

[7] B. J. Baliga: "Modern Power Devices", Wiley, New York (1987) 411.

[8] J. P. Bergman, H. Lendenmann, P. A. Nilsson, U. Lindefelt and P. Skytt: *Mater. Sci. Forum* **353-356** (2001) 299.

[9] P. G. Neudeck: *J. Electron. Mater.* **27**, 4 (1998) 317.

[10] H. Lendenmann, F. Dahlquist, J. P. Bergman, H. Bleichner and C. Hallin: *Mater. Sci. Forum* **389-393** (2002) 1259.

[11] H. Lendenmann, F. Dahlquist, J. P. Bergman, H. Bleichner and C. Hallin: *Mater. Sci. Forum* **389-393** (2002) 1259.

[12] M. Matsumoto and T. Nishimura: *ACM Transactions on Modeling and Computer Simulation* **8**, 1 (1998) 3.

[13] H. Matsunami and T. Kimoto: *Mater. Sci. and Eng.* **R20** (1997) 125.

[14] T. Kimoto, A. Itoh and H. Matsunami: *Phys. Stat. Sol. (b)* **202** (1997) 247.

[15] H. Lendenmann, A. Mukhitdinov, F. Dahlquist, H. Bleichner, M. Irwin, R. Soderholm and P. skytt: *Proc. 13th Int. Symp. Power Semiconductor Devices & ICs* (2001) 31.

[16] 松波弘之:「半導体工学」, 第 2 版, 昭晃堂 (1999) 127.

第 5 章　p^-ドリフト層を有する SiCGT のオン電圧劣化特性と最小点弧電流劣化特性および TEDREC 現象

5.1　はじめに

4H-SiC は低抵抗かつ高品質な p 型基板の作製が難しいため、pnpn の四層構造をもつ 4H-SiC スイッチングデバイスは、n 型基板上に p 型のドリフト層をもつ構造をとる[1]。第 2.4.2 節で述べた順方向電圧劣化は、n 型のドリフト層を持つ 4H-SiC pin ダイオードに関する報告がほとんどで、p 型のドリフト層を持つ 4H-SiC バイポーラデバイスに関するものはほとんどない。n 型半導体の順方向電圧劣化は、フェルミ準位とショックレー型積層欠陥が形成する準位が近く、その大小関係で議論されることが多い。n 型半導体の場合、フェルミ準位は、バンド中央より伝導帯下端側に存在するが、p 型半導体の場合、フェルミ準位は、バンド中央より、価電子帯上端側に存在する。このように、n 型半導体と p 型半導体では、フェルミ準位の位置が異なる。そのため、p 型のドリフト層を持つ 4H-SiC バイポーラデバイスで順方向電圧劣化を調べることは重要である。そこで、p 型のドリフト層を持つ素子として第 2.3 節で述べた SiCGT(SiC Commutated Gate Turn-off Thyristor)を用いる。SiCGT はスイッチングデバイスのため、順方向電圧劣化をオン電圧劣化と呼ぶ。本章では、SiCGT のオン電圧劣化特性について述べ、さらに、オン電圧劣化した SiCGT のオン電圧温度依存性についても述べる。なお、本章では、さらに、オン電圧劣化した SiCGT のオン特性温度依存性についても述べる。そして、オン電圧劣化の対策に関して、温度を上げた状態で、デバイスを動作させる TEDREC(Temperature Elevation Degradation Reduction of Electrical Characteristics)法についても述べる。

また、SiCGT は、上部に pnp バイポーラトランジスタを持つスイッチングデバイスである。4H-SiC バイポーラトランジスタには、信頼性の面で大きく二つの問題が存在する[2]。ひとつは、コレクタ-エミッタ間の電圧が通電により増加する問題である。これは、4H-SiC pin ダイオードにおける順方向電圧劣化と同じメカニズムで発生する。もうひとつは、電流増幅率が、通電により、減少するというものである。電流増幅率の減少は、次の三つの異なる原因に起因するものがある[3-4]。①4H-SiC と SiO_2 の界面で、界面準位密度が増加する[5,6]。②欠陥により発生した電子と正孔の再結合により、ベースとエミッタ領域のキャリア寿命が低下する。③ベースとエミッタの領域にショックレー型積層欠陥が侵入し、キャリア寿命が低下する[2]。

第 2.3 節で述べたように、SiCGT は電流駆動型であるため、ターンオンする時、ゲートに点弧電流を通電する。ゲートに通電する点弧電流を増加し、上部の pnp バイポーラトランジスタの電流増幅率を増加させ、(2. 12)式

$$\alpha_1 + \alpha_2 = 1 \tag{5. 1}$$

の条件を満たすようになると、SiCGT はターンオンする。このターンオンするために必要な最小の電流は最小点弧電流と呼ばれる。最小点弧電流は、ゲート駆動回路の設計において、重要の要素のひとつであり、電源回路の容量を決める時に用いられる。電源回路の容量を大きくすると、最小点弧電流が大きくても点弧できるが、駆動回路が大きくなる。駆動回路を小型化するためには、点弧電流はできるだけ小さい方がよい。一方、点弧電流を下げすぎると、ノイズによる誤点弧の恐れがある。そのため、駆動回路における点弧電流は、最小点弧電流以上の値を確保しつつ、できるだけ低く抑えるよう最適化されている。十分なゲート電流を供給できない場合、つまり、ゲート駆動回路が供給する電流が最小点弧電流を下回った場合、SiCGT は、ターンオンできなくなる。そのため、SiCGT の最小点弧電流の信頼性について調べることは重要となる。本章では、SiCGT の最小点弧電流が通電とともに増大(劣化)する現象についても調べた。さらに、その原因について、フォトエミッション顕微鏡を用いて調べた結果についても述べる。

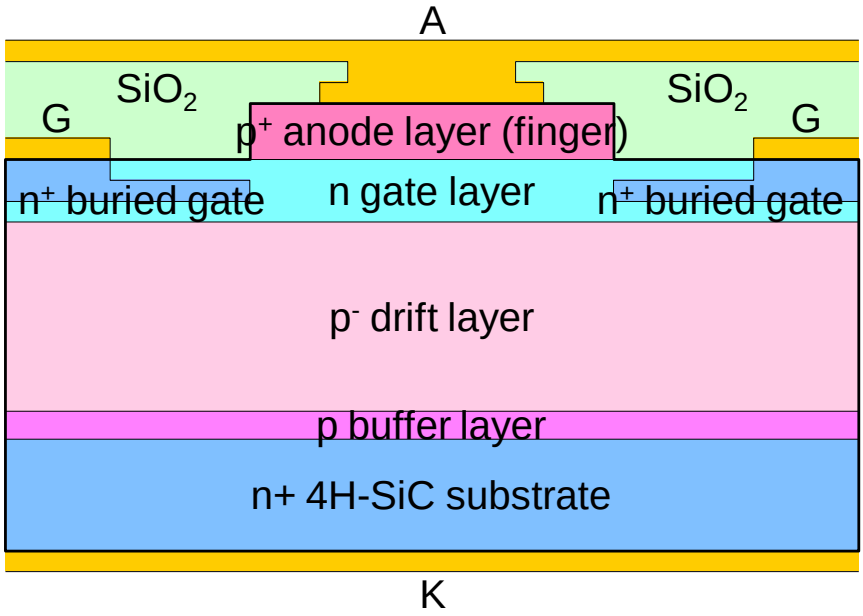


図 5. 1 SiCGT のセル断面構造図(A:アノード、G:ゲート、K:カソード)

5.2　実験方法

図 5. 1 に SiCGT のセル断面構造模式図を示す。n^+4H-SiC 基板上に、p バッファ層、p^-ドリフト層、n ゲート層、p^+アノード層をエピタキシャル成長により形成した。p ドリフト層のアクセプタ密度は 1～5×$10^{14}$$cm^{-3}$、厚みは 75μm である。$p^+$アノード層には、n ゲート層を

通り抜けて p^-ドリフト層へ注入する正孔を供給する注入層と、p^+アノードの表面電極とコンタクトを形成するためにコンタクト層の 2 層を設ける。p^+アノード層までエピタキシャル成長で形成した後、p^+アノードフィンガを形成するために、反応性イオンエッチングで p^+アノード層のエッチングを行う。次に、デバイス分離のため、デバイス周辺部にメサ形状を、反応性イオンエッチングで n ゲート層をエッチングすることにより形成する。メサ周辺の電界を緩和するため、終端構造として窒素をイオン注入することによりメサ JTE[7]を形成する。SiCGT のメサ JTE は、図 4. 1 に示す 4H-SiC pin ダイオードのメサ JTE とほぼ同じで、p 型と n 型が逆になった構造である。また、ターンオフ時に、ゲート層から過剰キャリアを引き抜き、ターンオフ時間を短縮するために、n^+埋め込みゲート領域もイオン注入により形成する。その後、ゲート電極、アノード電極、カソード電極を形成後、デバイス表面に酸化膜を形成し、アノードとゲート間に逆過電圧が印加され、デバイスが破壊するのを防いだ。

5.3　SiCGT のオン電圧劣化

5.3.1　オン電圧劣化の通電ストレス電流依存性

まず、SiCGT のオン電圧劣化の通電ストレス電流依存性について調べた。通電ストレス電流の大きさ依存性を調べるため、通電ストレス電流として、電流密度 100A/cm^2、200A/cm^2、300A/cm^2 を選んだ。通電ストレス試験は、まず、100A/cm^2 の通電ストレス電流を所定時間通電し、その後、200A/cm^2、300A/cm^2 と通電ストレス電流を増加していき、実施した。通電ストレス試験前と、各通電ストレス電流を通電した後に、SiCGT のオン特性を測定した。各通電ストレス試験は、表 5. 1 に示すような条件のパルス電流通電ストレス試験を実施した。通電ストレス試験では、SiCGT を水冷で室温に固定したヒートシンク上に設置した。第 2.4.2 節で述べたように、ショックレー型積層欠陥の拡大や縮小は、温度に依存する。通電電流を変化すると、デバイスでのオン損失が変化し、デバイス温度が変化する。そこで、通電電流を、連続した直流ではなく、2kHz のパルス電流とし、損失が同じになるように、Duty を変化させた。Duty を減少すると、1 サイクルでの通電時間が短くなるため、SiCGT の合計通電時間が 1 時間となるようにとなるように、パルス電流通電時間を変化させた。オン特性は、温度上昇を防ぐために、Tektronix 371A カーブトレーサのパルスモードで測定した。図 5. 2 に SiCGT 表面のアノード電極およびゲート電極の配置模式図を示す。横に長いアノードフィンガを 45 本配置し、その間にゲート電極を設けた。アノードフィンガの電極は、左側のアノード電極に接続し、ゲート電極は、右側のゲート電極に接続した。発光像を観察するため、SiCGT の酸化膜の上には電極を形成せず、アノード電極とゲート電極を左右のパッドにまとめた。アノードからカソードに流れる主電流は、図 5. 2 で表から裏に向けて流れる。SiCGT のサイズは、4mm×4mm である。

表 5. 1 パルス電流通電試験条件

Current Density	Duty Rate	Frequency	Temperature	Time
100 A/cm^2	50 %	2 kHz	RT	2 hours
200 A/cm^2	20 %	2 kHz	RT	5 hours
300 A/cm^2	10 %	2 kHz	RT	10 hours

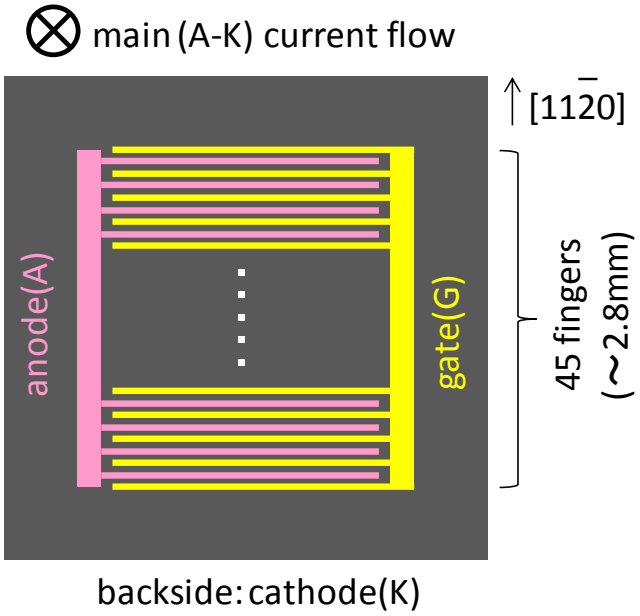


図 5. 2 SiCGT 上のアノード電極とゲート電極の配置模式図

図 5. 3 に、室温での SiCGT のオン時の電流-電圧特性を示す。通電ストレス試験前のオン電圧は、電流密度 100A/cm^2 で 6V と大きくなっている。通常、SiCGT では、アノードフィンガ上の酸化膜にコンタクトホールをあけ、SiCGT 表面に金電極を形成することで、アノードフィンガを表面の金電極と接合し、電流の拡がり抵抗を抑える。しかし、本節では、発光像観察のため、SiCGT 表面に金電極を形成せず、アノード電極をサイドのパッドに集中しているため、オン電圧が大きめの値をなっている。SiCGT のオン電圧は、通電ストレス電流が増加するに伴い、増加している。図 5. 4 に室温、電流密度 100A/cm^2 における SiCGT のオン電圧(V_T)の通電ストレス電流依存性を示す。ここで、電流密度 100A/cm^2 における SiCGT のオン電圧を V_T とし、通電ストレス試験前後での V_T の差をΔV_T とする。100A/cm^2 の通電ストレス試験において、ΔV_T は 0.6V で飽和した。通電ストレス電流を 200A/cm^2 に増加すると、100A/cm^2 の通電ストレス試験でいったん飽和したΔV_T が 0.65V に増加し、飽和した。さらに、通電ストレス電流を電流密度 300A/cm^2 に増加すると、ΔV_T は、1.45V まで増加し、飽和した。これは、電流を増加すると、オン電圧劣化が増加することを示している。

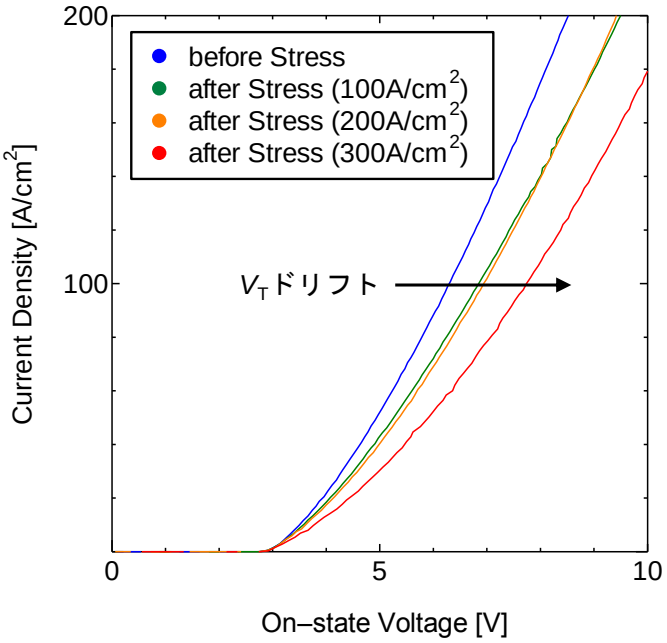


図 5. 3 通電ストレス試験前後における室温での SiCGT のオン時の電流-電圧特性の変化: 通電ストレス試験は、次の順番で実施した。①通電電流密度 100A/cm^2、1 時間、②通電電流密度 200A/cm^2、1 時間、③通電電流密度 300A/cm^2、1 時間

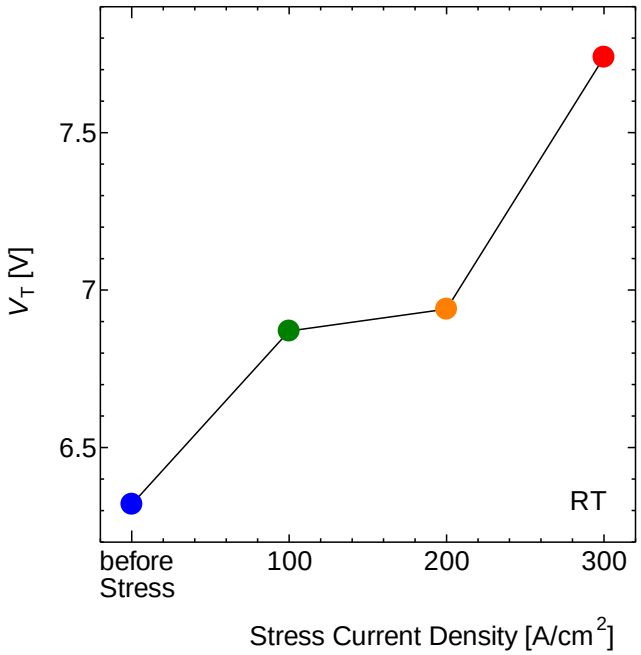


図 5. 4 室温での電流密度 100A/cm^2 におけるオン電圧(V_T)の通電ストレス電流依存性

次に、オン電圧劣化した SiCGT の、ショックレー型積層欠陥の様子を観察するために、SiCGT の発光像の比較を行った。発光像の撮影は、SiCGT に、周波数が 15Hz、Duty が 0.375%、電流密度が 100A/cm^2 のパルス電流を、10 秒間通電し、実施した。図 5. 5 に撮影した発光像を示す。発光像は、通電ストレス試験前、100A/cm^2 の通電ストレス試験実施後、200A/cm^2 の通電ストレス試験実施後、300A/cm^2 の通電ストレス試験実施後に取得した。4H-SiC は間接遷移型の半導体であるため、非発光再結合により、電子と正孔の再結合が起こっても、発光が見られないことが考えられる。一方、4H-SiC の高注入状態において、ドナーとアクセプタの準位間で、発光性の再結合をすることも知られている[8]。したがって、十分な電流が流れ、伝導度変調を起こしているような高注入状態にある箇所には、発光が見られる。そこで、白く強度の強いところは、発光性の再結合がみられ、高注入状態にあると考えられ、黒く強度の弱いところは、発光性の再結合がなく、電流が流れにくくなっていると考えられる。通電ストレス前の発光像では、デバイス全面で発光性の再結合が発生している。一方、100A/cm^2 の通電ストレス電流通電後の発光像では、直角三角形の形状の黒く強度の弱い領域が発生している。この直角三角形の形状を持つ黒く強度の弱い領域は、発光星の再結合がなく、電流が流れにくくなっていると考えられる。ショックレー型積層欠陥では、電子と正孔の再結合が促進され、十分な伝導度変調が起こりにくくなり、電流が流れにくい。そのため、直角三角形の形状を持つ黒く強度の弱い領域は、ショックレー型積層欠陥に相当する[9]と考えられる。このように、ショックレー型積層欠陥が発生し、通電領域が減少しているため、オン電圧の増加が発生する。

さらに、通電ストレス電流を 200A/cm^2、300A/cm^2 と増加すると、新しく、ショックレー型積層欠陥が発生しているのがわかる。第 2.4.2 節で述べたように、ショックレー型積層欠陥は、基板からエピタキシャル層に伝搬した基底面転位が、ドリフト層での電子と正孔の再結合により、ショックレー型積層欠陥となり、1 辺をドリフト層の基底面転位とする直角三角形の形状となるまで拡張する。そのため、通電ストレス電流を通電した後、オン電圧は急速に増加するが、しばらくすると飽和する。電流密度 100A/cm^2 という条件ではドリフト層中で十分な電子と正孔の再結合が発生していることから、ドリフト層中の基底面転位は、すべて、ショックレー型積層欠陥に拡張している。電流の増加により、新たにドリフト層中の基底面転位に起因するショックレー型積層欠陥が発生することは考えにくい。

そこで、ショックレー型積層欠陥を発生させるドリフト層中の基底面転位以外の欠陥を考える。電流が増加すると、過剰キャリアがバッファ層を通り抜け基板に達する。基板には、貫通刃状転位に変換されていないかなりの数の基底面転位が存在しているため、基板の基底面転位がショックレー型積層欠陥に拡張し、ドリフト層に伝搬する。また、デバイスの表面には、表面欠陥が存在している。そのため、p アノード層を通り抜けて、過剰キャリアが表面に達すると、同様にショックレー型積層欠陥が拡張し、ドリフト層に伝搬する。以上より、電流が増加することによって、オン電圧劣化が増加したのは、過剰キャリアが、基板もしくは表面に達し、そこから拡張したショックレー型積層欠陥がドリフト層に伝搬

したためと考えられる。

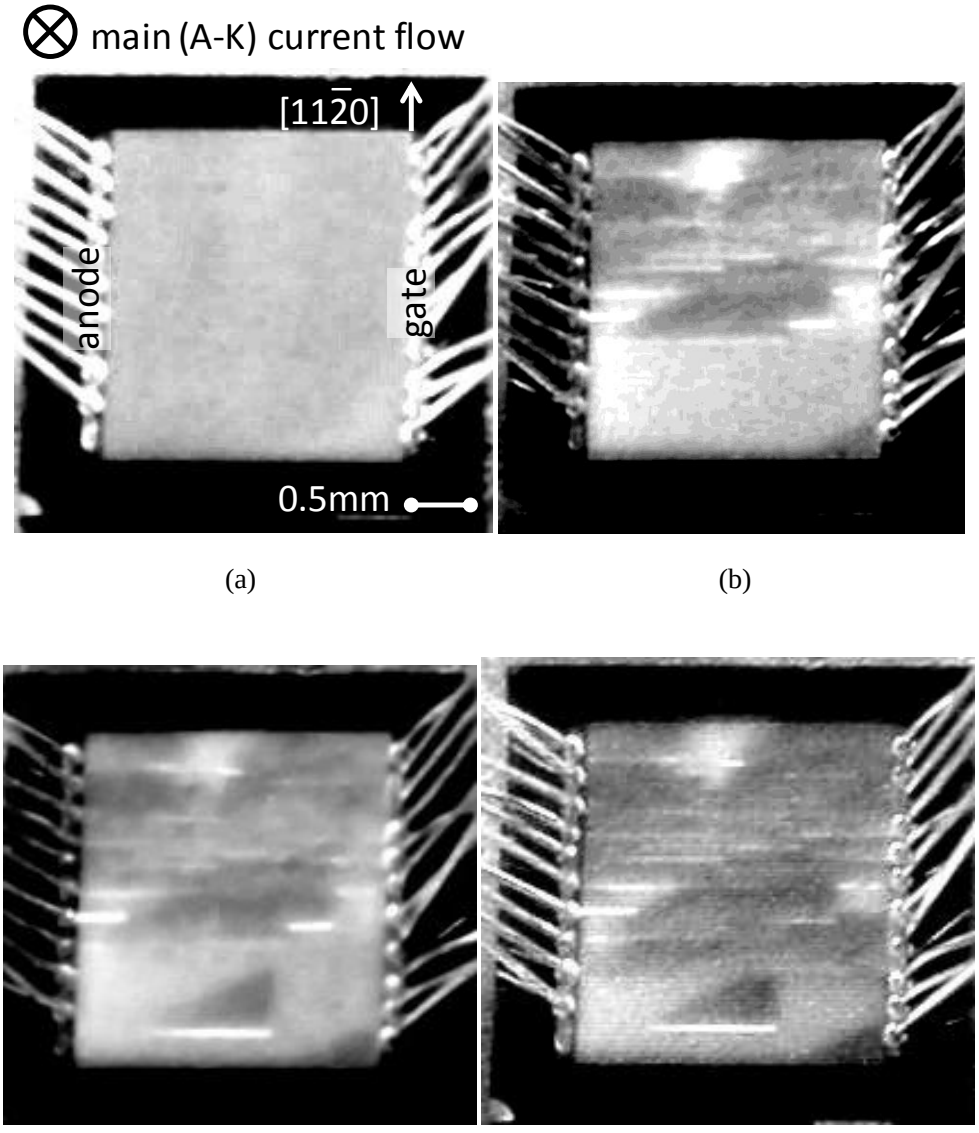


図 5. 5 (a)通電ストレス試験前、(b)100A/cm^2 通電ストレス試験後、(c)200A/cm^2 通電ストレス試験後、(d)300A/cm^2 通電ストレス試験後における室温での SiCGT の発光像(撮影条件:電流密度値/100A/cm^2 のパルス電流、周波数/15Hz、Duty/0.375%、露光時間/10 秒間)

5.3.2　オン電圧劣化の温度依存性

図 5. 6 に 100A/cm^2 の通電ストレス試験前後での、SiCGT の電流密度 100A/cm^2 におけるオン電圧依存性を示す。室温で、SiCGT のオン電圧は、通電ストレス電流の増加に伴って増加する。しかし、温度を上昇させると、通電ストレス前後の SiCGT のオン電圧の差は小

さくなり、150℃を超えると、通電ストレス前後で SiCGT のオン電圧はほぼ等しくなる。その後、250℃まで上昇した後、室温に戻して測定すると、オン電圧劣化は、再び現れ、ΔV_Tは変わらなかった。

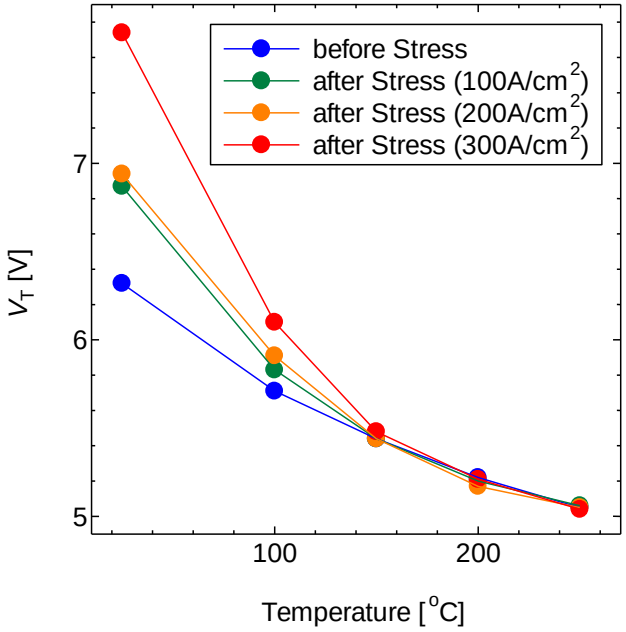


図 5. 6 通電ストレス試験前後における電流密度 100A/cm^2 におけるオン電圧(V_T)のの温度依存性の変化: 通電ストレス試験は、次の順番で実施した。①通電電流密度 100A/cm^2、1 時間、②通電電流密度 200A/cm^2、1 時間、③通電電流密度 300A/cm^2、1 時間

続いて、オン電圧劣化の温度依存性を調べるために、発光像により、ショックレー型積層欠陥の状況を観察した。図 5. 7 に、温度を室温、100℃、150℃の SiCGT の発光像と、加熱後に室温に戻した状態での発光像を示す。発光像の温度特性は、300A/cm^2 での通電ストレス試験を実施したあとに測定した。室温ではっきりと確認できた黒く強度の弱いショックレー型積層欠陥の領域は、100℃で縮小し始め、150℃ではほとんどなくなった。なお、加熱後、温度を室温まで戻すと、通電ストレス電流を通電していないにも関わらず、ショックレー型積層欠陥が現れる。第 2.4.2 節で述べたとおり、ショックレー型積層欠陥は、350℃以上に加熱すると縮小する。今回の測定では、250℃の測定後、室温に戻すと、オン特性(図 5. 6)は元に戻り、発光像(図 5. 7)も過熱前と変わらなかった。一連の温度特性の測定中、通電ストレス電流を通電していないことから、今回の測定において、加熱時、ショックレー型積層欠陥は縮小していないと考えられる。つまり、ショックレー型積層欠陥が存在するにも関わらず、温度を 150℃以上まで昇温すると、ショックレー型積層欠陥を無効化することができたと考えられる。このような現象は TEDREC(Temperature Elevation Degradation Reduction of Electrical Characteristics)現象と呼ばれる。

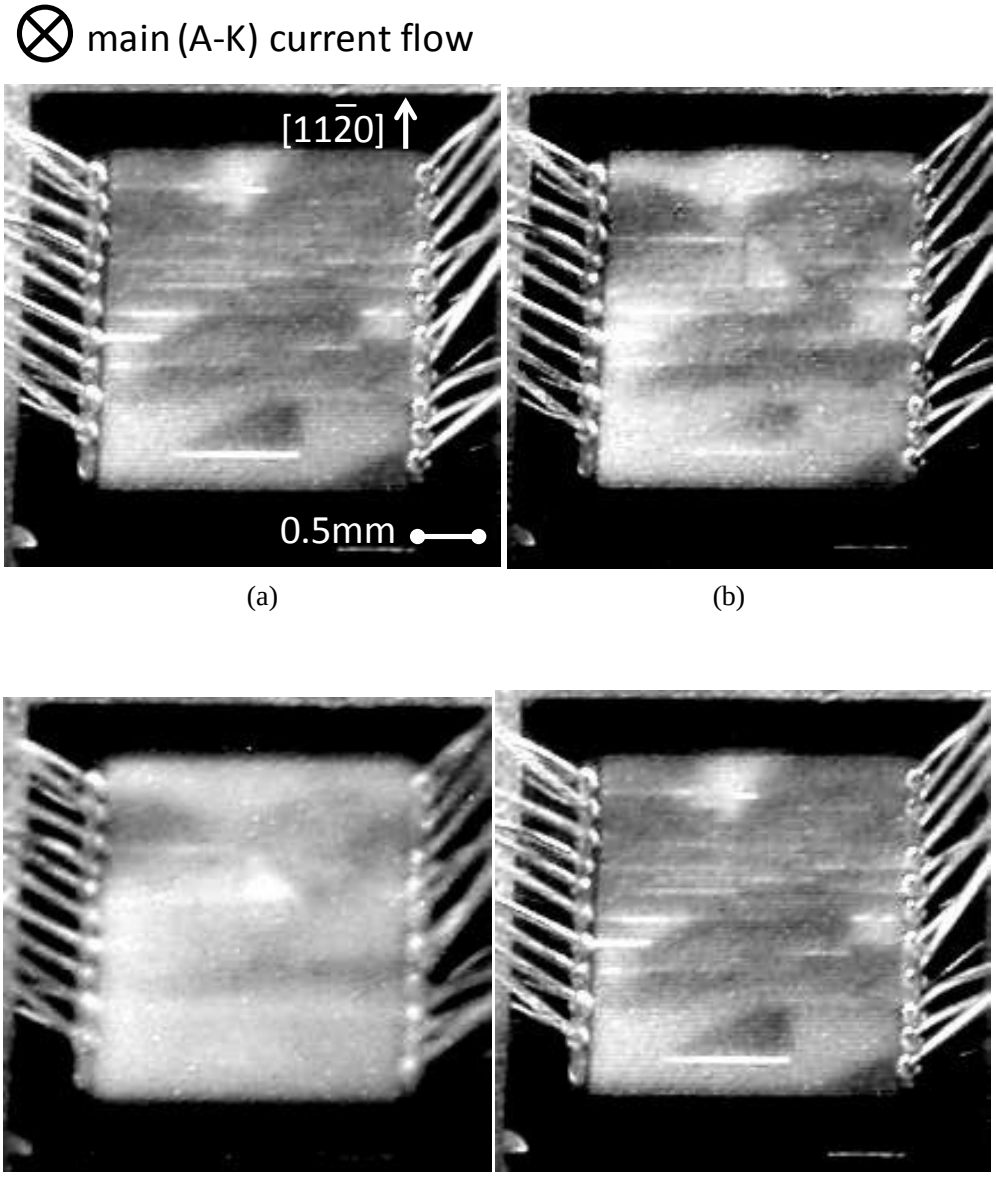


図 5. 7 300A/cm^2 での通電ストレス試験後における(a)RT、(b)100℃、(c)150℃、および、(d)加熱後、RT まで冷却した状態での SiCGT の発光像(撮影条件:電流密度/100A/cm^2 のパルス電流、周波数/15Hz、Duty/0.375%、露光時間/10 秒間)

さらに、この現象を利用し、外部からヒータなどを用いて、デバイスを 150℃以上に加熱し、デバイスを動作させる方法を TEDREC 法と呼ぶ。ただし、TEDREC 法においては、デバイスの温度が上がりすぎないように注意する必要がある。SiCGT などの 4H-SiC バイポーラデバイスにおいて、温度を上げると、キャリア寿命が増大し、ターンオフ時間が長くなり、ターンオフ損失などのスイッチング損失が増大する。また、150～200℃を超えると、

キャリア寿命が長くなる効果より、キャリア移動度が低下する効果が支配的となり、オン電圧が増加し、定常損失も増加する。その結果、更なる温度上昇が発生し、熱暴走に至る恐れがある。そのため、デバイスの接合部温度は、できるだけ低い方がよい。TEDREC 法では、デバイスの自己発熱および外部ヒータによる加熱と、空冷ファンによる冷却のバランスをとりながら、デバイスの動作中の接合部温度を 150℃に維持する。著者らは、このTEDREC 法を用いて、SiCGT と 4H-SiC pin ダイオードを用いた 180kVA 級オール SiC インバータの動作に成功したこと報告している[10]。

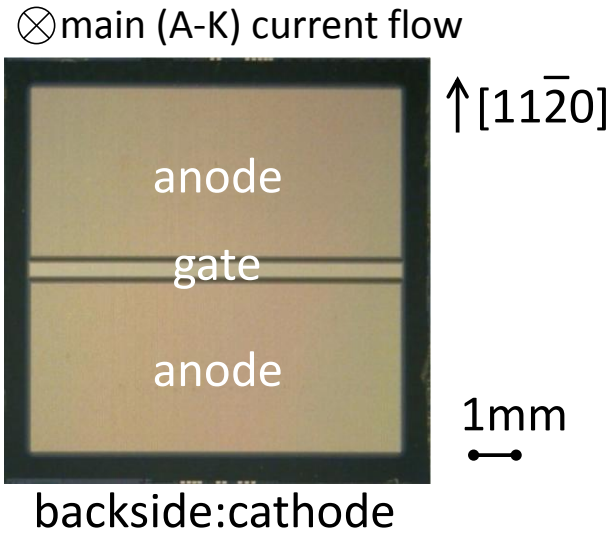


図 5. 8 SiCGT の表面写真

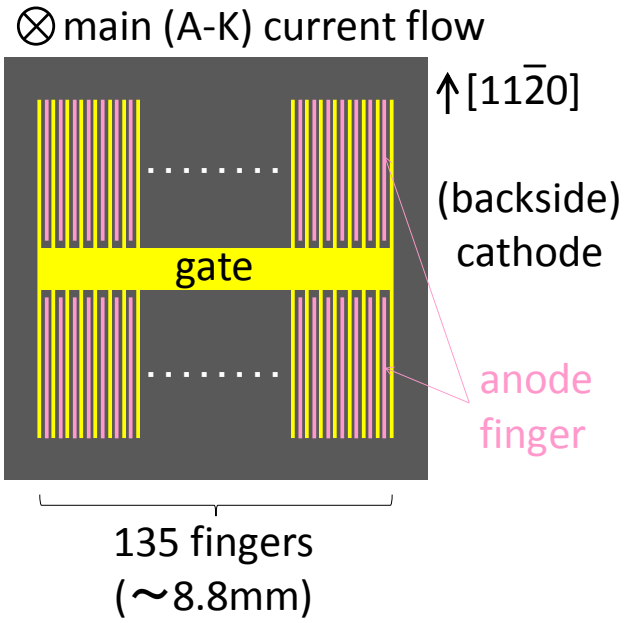


図 5. 9 SiCGT のアノードフィンガとゲートの配置模式図

5.4　SiCGT の最小点弧電流劣化

5.4.1　最小点弧電流劣化とオン電圧劣化との関係

本節では、SiCGT の電流容量を上げるため、アノードフィンガの酸化膜にコンタクトホールを設け、表面の金電極と接合した。また、電流の拡がり抵抗を低減するため、ゲートおよび、カソードにも金電極を形成した。図 5. 8 に SiCGT の表面写真を示す。デバイスのサイズは、10mm×10mm である。同図のように、上下に、アノード電極を配置し、中央にゲート電極を設けた。アノード電極の下には、図 5. 9 のような 4mm×0.03mm のサイズの細長いアノードフィンガが上下に 135 本ずつ配置した。結晶方位は、アノードフィンガの長手方向と$[11\bar{2}0]$方向が平行で、基板は$[11\bar{2}0]$方向に 8 度オフしている。

通電ストレス試験は、SiCGT をパッケージにダイボンドし、ワイヤをボンディングしたのち、パッケージを 70℃に加熱して、直流 50A の電流を通電することにより行った。オン電圧(V_T)および最小点弧電流(I_{GTmin})は、通電ストレス電流を止めて、室温まで冷却した後、テクトロニクス社製カーブトレーサ 371 で測定した。図 5. 10 に SiCGT のオン電圧の通電ストレス時間依存性を示す。オン電圧は、最初の 30 分程度で大きく増加し、その後は、ゆっくりと増加した。この現象をオン電圧劣化と呼び、オン電圧の通電ストレス試験前後の増加量をΔV_Tとする。

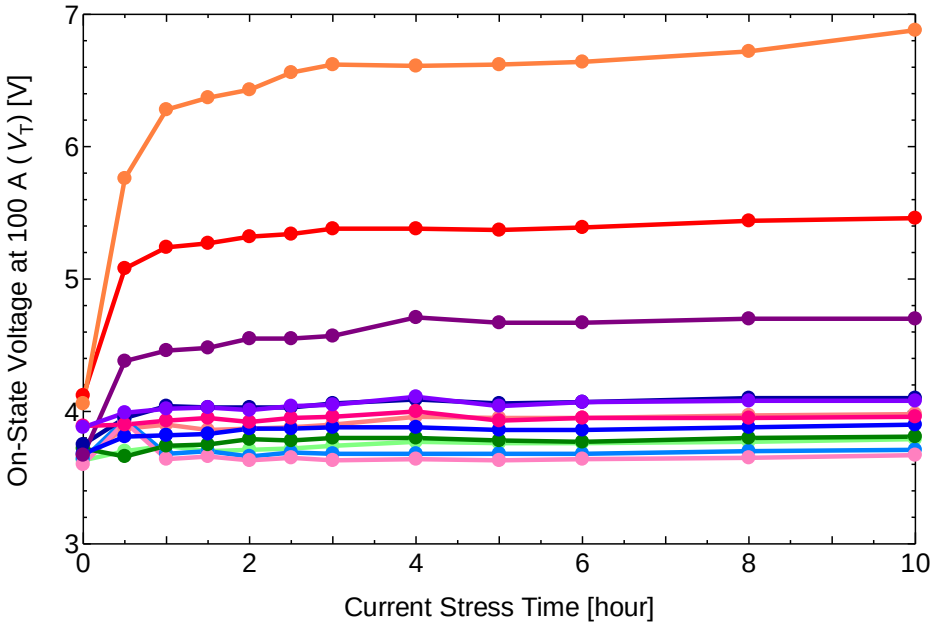


図 5. 10 RT、100A における SiCGT のオン電圧の通電ストレス時間依存性の推移

次に、図 5. 11 に、最小点弧電流の通電ストレス時間依存性を示す。オン電圧同様、最小点弧電流の測定も、通電ストレス電流をとめて、SiCGT を室温まで冷却した後、実施した。最小点弧電流も最初の 30 分で大きく増加し、その後、ゆっくり増加するようになる。この

現象は最小点弧電流劣化呼ばれ、最小点弧電流の通電ストレス試験前後の増加量をΔI_{GTmin}とする。最小点弧電流劣化が発生し、ΔI_{GTmin} が大きくなると、駆動回路から供給される点弧電流が不足し、SiCGT のターンオンができなくなる可能性がある。実際に、最小点弧電流劣化した SiCGT を含む三相インバータを動作させると、SiCGT は破壊しないが、欠相した三相波形が得られ、インバータとして正常に動作しなくなった。そのため、最小点弧電流劣化の原因を調べ、対策を検討する必要がある。

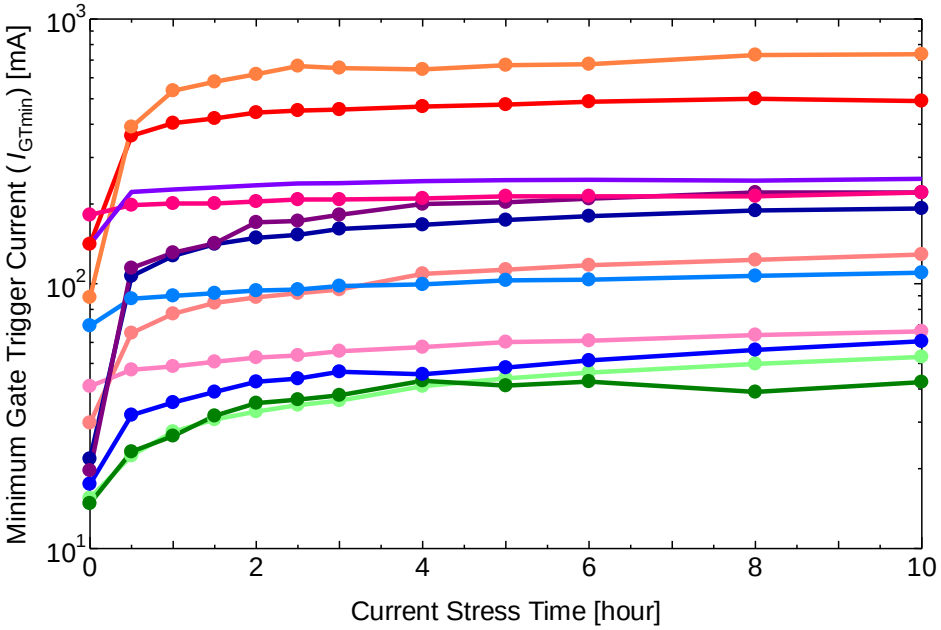


図 5. 11 RT における SiCGT の最小点弧電流の通電ストレス時間依存性の推移

そこで、最小点弧電流劣化の原因について調べるために、SiCGT のアノード(A)-ゲート(G)特性(ゲート特性)を測定した。測定した特性は、SiCGT のアノードとゲート間に存在する pn ダイオードの順方向の電流-電圧特性を示している。測定に用いた SiCGT のΔI_{GTmin} は、0.15A であった。測定には、テクトロニクス社製 370 カーブトレーサの AC 半波モードを用いた。図 5. 12 に通電ストレス試験前後の SiCGT のアノード(A)-ゲート(G)特性を示す。通電ストレス試験後のアノード-ゲート間の電流は、通電ストレス試験前と比べて、0.1A～0.2A 程度増加している。ショックレー型積層欠陥が拡大した場合、順方向電圧は、増大(劣化)するが、図 5. 12 では順方向電圧が減少(電流が増加)している。

まず、順方向電圧が増大(劣化)しなかった原因について述べる。第 2.4.2 節で述べた順方向電圧劣化は、電流の流れる方向とショックレー型積層欠陥が垂直に位置している場合に発生する。SiCGT のアノード-ゲート間の電流は、n ゲート層中を図 5. 13 のように$[1\bar{1}00]$方向、もしくは、$[\bar{1}100]$方向に流れる。ショックレー型積層欠陥は(0001)基底面上に存在し、電流方向($[1\bar{1}00]$、もしくは、$[\bar{1}100]$方向)と平行であるため、順方向電圧が増加しなかった。

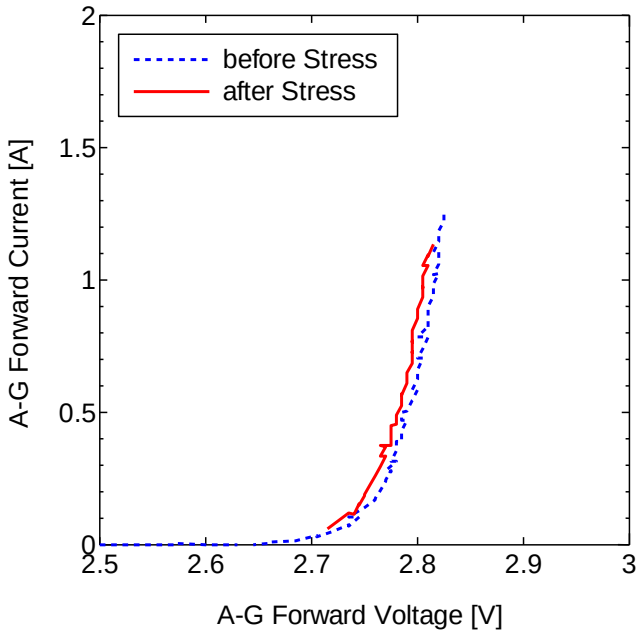


図 5. 12 通電ストレス試験前後の SiCGT のゲート特性(アノード(A)-ゲート(G)間の電流-電圧特性、通電ストレス試験条件:通電電流 50A、温度 70℃、10 時間)

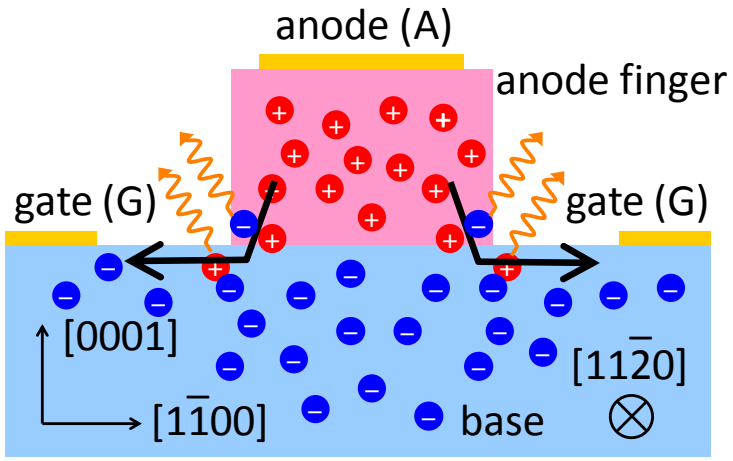


図 5. 13 SiCGT のアノード-ゲート間に流れる電流の{11$\bar{2}$0}面から見た模式図: アノード-ゲート間の順方向に電流が流れる時、ベース領域では、図の矢印のように電流は{0001}面と平行な方向に流れる。ショックレー型積層欠陥は{0001}面と平行に存在するため、電流は、ショックレー型積層欠陥によってさえぎられない。また、通電時、アノード側から正孔が、ゲート側から電子が流れる。電流は最短距離を流れるため、図の矢印の箇所を流れる。そのため電子と正孔の再結合は、アノードフィンガー周辺部で発生しやすくなる。

次に、順方向電流が増加(順方向電圧が減少)した原因について述べる。前述のとおり、ショックレー型積層欠陥と電流の流れる方向が平行なため、ショックレー型積層欠陥を介した再結合電流が発生したためと考えられる。アノード-ゲート間でショックレー型積層欠陥を介したキャリアの再結合が発生すると、ゲート層への注入率が低下し、電流増幅率が低下する。その結果、最小点弧電流劣化が発生していることが考えられる。順方向電流の増加量が、最小点弧電流劣化量(ΔI_{GTmin})とほぼ同じ値を示していることからも、アノード-ゲート間に、ターンオンに寄与しない電流が発生し、それが、最小点弧電流劣化を起こしていることが示唆される。

次に、最小点弧電流劣化とオン電圧劣化の関係について述べる。図 5. 14 に、図 5. 10 および図 5. 11 で示した SiCGT のΔV_FとΔI_{GTmin}の関係を示す。ΔV_Tが増加すると、ΔI_{GTmin}も増加する。ΔV_FとΔI_{GTmin}の相関係数は、0.95 で、正の相関がある。オン電圧劣化は、ショックレー型積層欠陥が原因であるため、最小点弧電流劣化もショックレー型積層欠陥に起因することが示唆される。

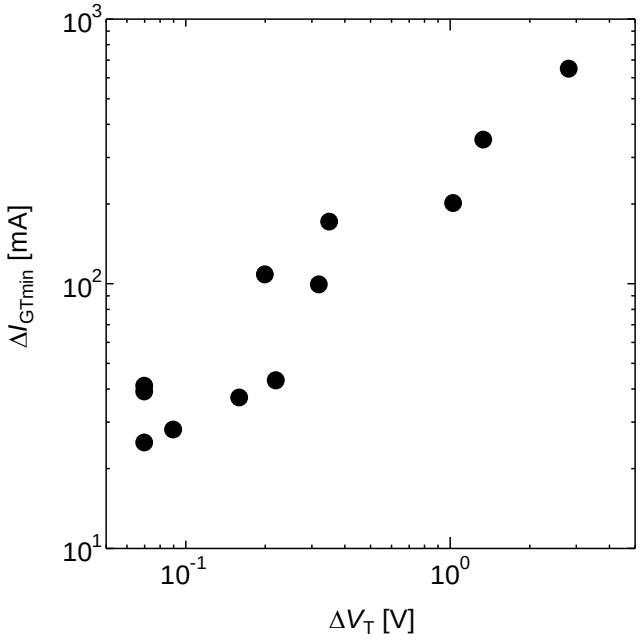


図 5. 14 異なる 12 個の SiCGT より得られたΔV_FとΔI_{GTmin}の相関(通電ストレス試験条件:通電電流 50A、温度 70℃、10 時間): 相関係数は 0.95 となった。

5.4.2 最小点弧電流劣化した SiCGT の観察

電流増加の原因を調べるために、フォトエミッション像を取得して、通電経路を観察した。フォトエミッション像は、浜松フォトニクス社製 PHEMOS-1000 を用いて行った。フォトエミッション像では、まず、デバイスなどの顕微鏡像を撮影し、そこに発光像を重ね合

わせることにより取得する。これにより、発光箇所の場所の特定が容易に行える。SiCGT は表面が金電極でカバーされているため、フォトエミッション像の取得は、裏面電極を研磨で除去したのち、裏面から行った。発光像の撮影は、アノードとゲート間に、20mA の電流を順方向に通電することにより実施した。通電ストレス試験前における SiCGT から得られたフォトエミッション像を図 5. 15 に示す。結晶方位は、図中上向きが[11$\bar{2}$0]方向である。通電ストレス試験前は、アノードフィンガの周辺形状に沿った発光(I)が観測される。

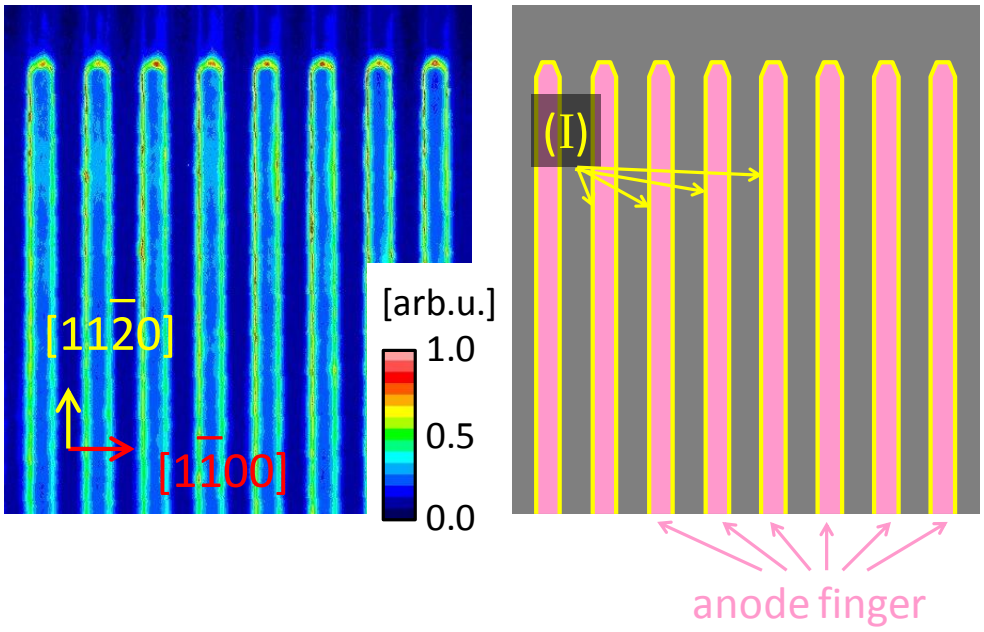


図 5. 15 通電ストレス前の SiCGT から得られた典型的なフォトエミッション像

次に、通電ストレス試験後のフォトエミッションの観察像を図 5. 16 に示す。図 5. 17 は、図 5. 16 中の赤で囲った部分の拡大像である。裏面研磨を手で行ったため、裏面観察面が湾曲しており、顕微鏡像の左上が暗いコントラストとなった。また、顕微鏡像で観察される筋状のものは、研磨傷である。 [11$\bar{2}$0]方向のアノードフィンガの周辺形状に沿った発光(例えば、図 5. 15 や図 5. 17 の(I))と、アノードフィンガ下で[1$\bar{1}$00]方向に連なる強い発光(例えば、図 5. 17 の(II))の 2 種類が観測された。通電ストレス試験前は、[11$\bar{2}$0]方向のアノードフィンガの周辺形状に沿った発光(I)しか見られないのに対し、通電ストレス試験後は、新たに、アノードフィンガ下で[1$\bar{1}$00]方向に連なる発光(II)が観測される。したがって、電流増加の原因は、アノードフィンガ下で[1$\bar{1}$00]方向に連なる発光(II)と関係があると考えられる。次に、この 2 種類の発光起源について述べる。

まず、[11$\bar{2}$0]方向のアノードフィンガの周辺形状に沿った発光(I)について述べる。アノードとゲート間に電流を通電すると、図 5. 13 のように、アノードフィンガ周辺部を経由して電流が流れる。電子と正孔の再結合による発光は、アノードフィンガ周辺部の pn 接合界面

で発生する。これにより、[11$\bar{2}$0]方向のアノードフィンガの周辺形状に沿った発光(I)が発生する。

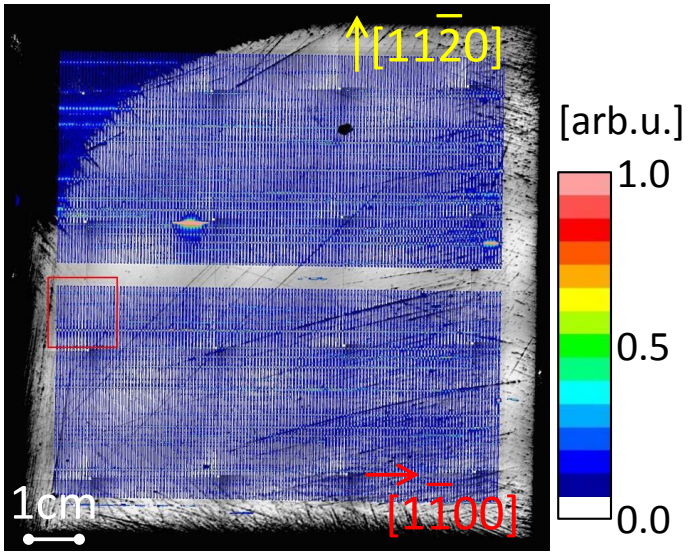


図 5. 16 通電ストレス試験後の SiCGT から得られたフォトエミッション像(I_G=20mA、通電ストレス試験条件:通電電流 50A、温度 70℃、10 時間)

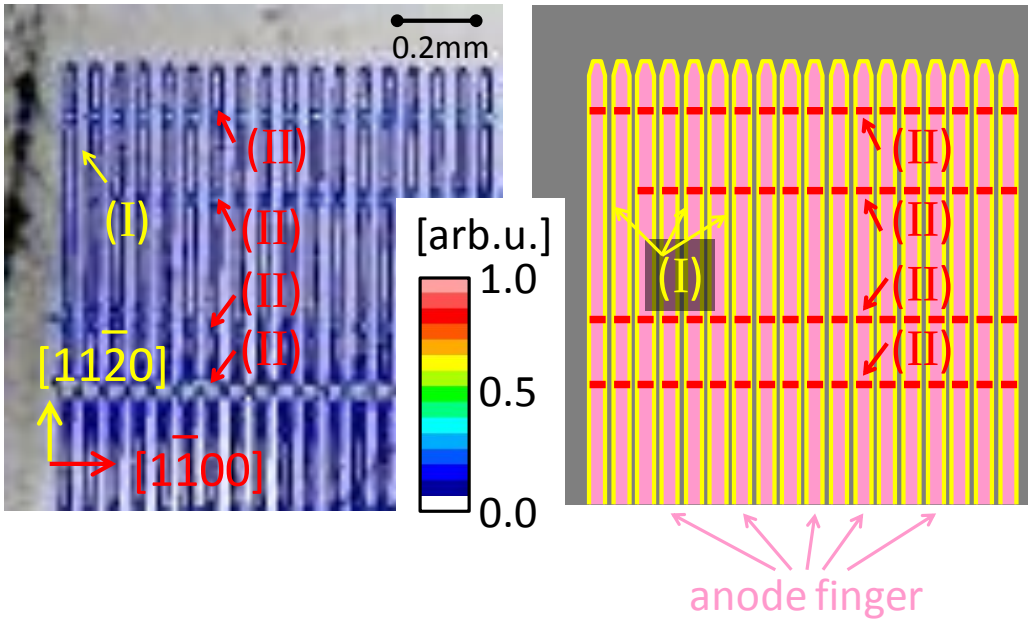


図 5. 17 通電ストレス試験後の SiCGT から得られたフォトエミッション像拡大図(通電ストレス試験条件:通電電流 50A、温度 70℃、10 時間): 図 5. 16 の赤で囲まれた領域を拡大した。

次に、図 5. 16、および、図 5. 17 で観測された[1$\bar{1}$00]方向に連なる発光(II)について述べる。この発光は、アノードフィンガの下で見られる。[1$\bar{1}$00]方向の発光(II)の起源を調べるため、スペクトル像測定した。図 5. 18 に[1$\bar{1}$00]方向に連なる発光(II)のスペクトル像を示す。スペクトル像より、[1$\bar{1}$00]方向に連なる発光(II)は、425nm の波長でピークを持つ発光である。ショックレー型積層欠陥のフォトルミネッセンスは 425nm にピークを持つ[11]ため、この[1$\bar{1}$00]方向に連なる発光(b)もショックレー型積層欠陥に起因するものと考えられる。

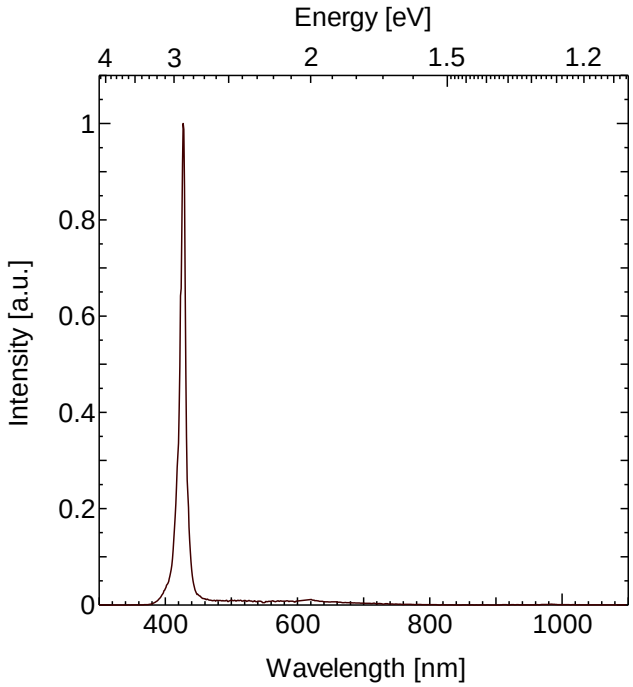


図 5. 18 [1$\bar{1}$00]方向に連なる発光(II)のスペクトル

4H-SiC 中のショックレー型積層欠陥は、0.4nm～0.5nm 程度の厚みを持ち 4H-SiC との伝導帯下端のオフセットが 0.87eV である 3C-SiC と置き換えた量子井戸構造ができる[12]ため、ショックレー型積層欠陥には、多量の電子が存在すると考えられる。SiCGT のアノードとゲート間には、ショックレー型積層欠陥がアノード-ゲート電流の方向と平行に存在している。ショックレー型積層欠陥を有するアノード-ベース構造の立体模式図を図 5. 19 に示し、図 5. 20 に{1$\bar{1}$00}断面模式図を示す。さらに、ショックレー型積層欠陥は、[11$\bar{2}$0]方向に 8 度オフしている(傾いている)ため、アノードフィンガの下の pn 接合部とショックレー型積層欠陥の交わる箇所が存在し、その箇所には、電子が多量に存在する。アノード-ゲート間に順方向電圧を印加すると、この箇所で、ショックレー型積層欠陥中の電子と p アノードから注入された正孔の再結合が促進され、発光が観測される。ショックレー型積層欠陥中の電子が消滅すると、それを補うために、量子井戸構造を持つショックレー型積層欠陥に沿って、ゲートから電子が供給される。正孔についても、ショックレー型積層欠陥に沿っ

て、同様にアノードから供給される。アノードフィンガの下の pn 接合とショックレー型積層欠陥が交わる箇所で電子と正孔の再結合が促進される。これにより、[1$\bar{1}$00]方向に連なる発光(II)が発生する。

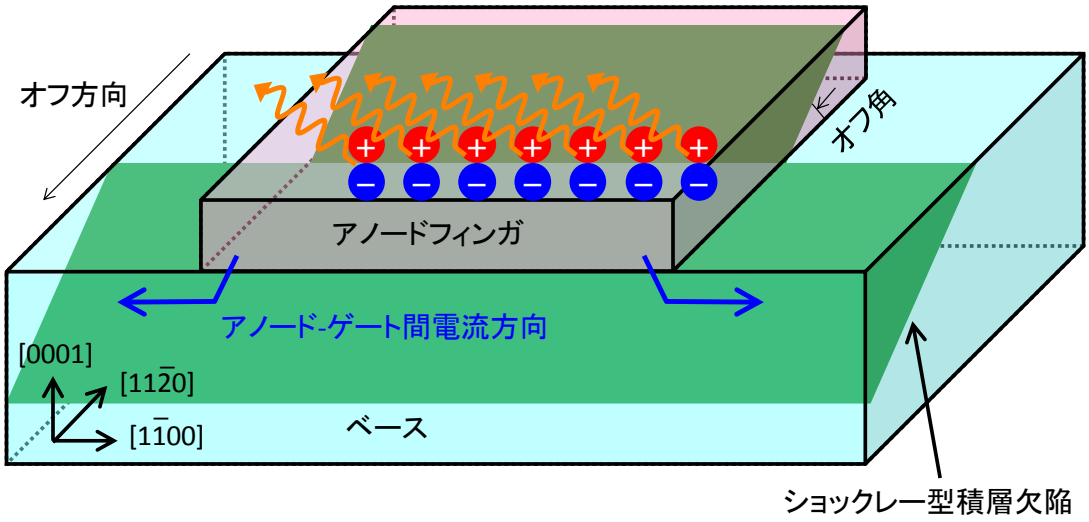


図 5. 19 ショックレー型積層欠陥を有するアノード-ベース構造の立体模式図: ショックレー型積層欠陥がアノード-ゲート電流の方向と平行に存在している。アノードフィンガの下にある pn 接合とショックレー型積層欠陥が交わる箇所で電子と正孔の再結合が促進される。

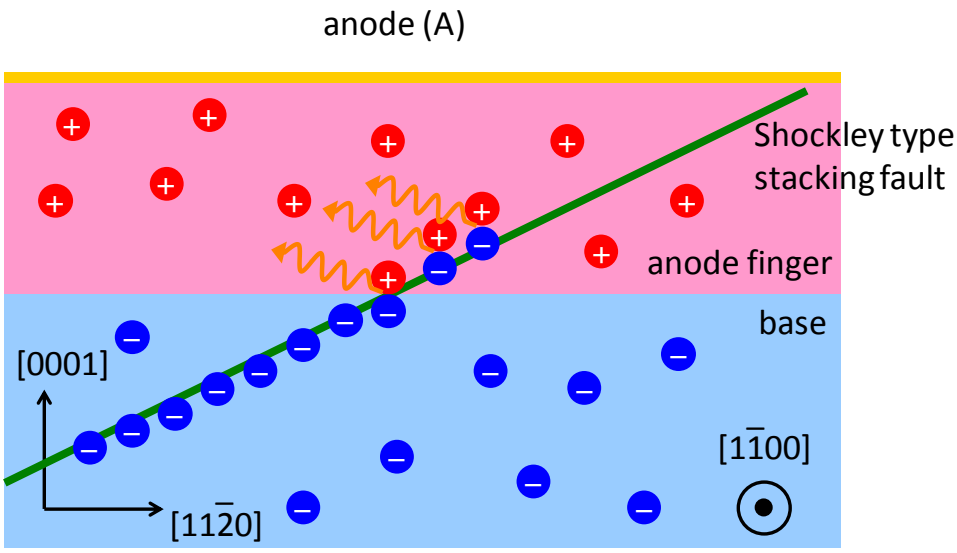


図 5. 20 ショックレー型積層欠陥を有するアノード-ベース構造の{1$\bar{1}$00}断面模式図: ショックレー型積層欠陥は、[11$\bar{2}$0]方向に 8 度オフしている(傾いている)ため、アノードフィンガの下に pn 接合部とショックレー型積層欠陥の交わる箇所が存在する。ショックレー型積層欠陥中には多量の電子が存在し、ショックレー型積層欠陥の中を自由に動く。したがって、ショックレー型積層欠陥の電子と p アノード層の正孔との再結合が、アノードフィンガの下にある pn 接合部とショックレー型積層欠陥の交わる箇所で促進され、発光が観測される。

このように、通電ストレス試験後の SiCGT では、アノードフィンガの下の pn 接合とショックレー型積層欠陥が交わる箇所での再結合電流が発生する。このため、ゲート層への正孔の注入率が低下するため、増幅率が低下し、最小点弧電流が増大(劣化)する。また、この再結合電流は、SiCGT のターンオンには寄与しないため、アノード-ゲート間の電流の増加量と、最小点弧電流劣化量(ΔI_{GTmin})と等しくなる。

5.4.3　TEDREC 法を用いた最小点弧電流劣化した SiCGT の動作

第 5.2.2 節で述べたとおり、通電ストレス試験後の SiCGT のオン電圧は、温度を 150℃以上にすることにより、通電ストレス試験前のオン電圧まで回復することができる。そこで、オン電圧劣化および最小点弧電流劣化した SiCGT のオン特性の温度依存性を調べた。まず、SiCGT のオン電圧の温度依存性について述べる。図 5. 21 にオン電圧の温度依存性を示す。室温では、通電ストレス前後のオン電圧の差があるにも関わらず、150℃以上では、オン電圧の差はほとんどなくなる。これは、第 5.2.2 節で述べたように、ショックレー型積層欠陥が存在するにも関わらず、無効化し、通電領域が拡がったために起こっている。

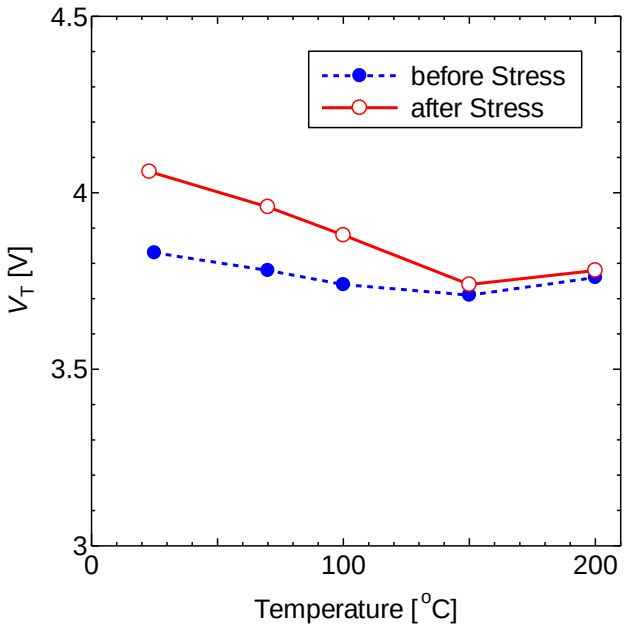


図 5. 21 通電ストレス試験前後における 100A における SiCGT のオン電圧(V_T)の温度依存性
(通電ストレス試験条件:通電電流 50A、温度 70℃、10 時間)

次に、SiCGT の最小点弧電流の温度依存性について述べる。図 5. 22 に SiCGT の最小点弧電流の温度依存性を示す。通電ストレス試験前後の最小点弧電流の差は、温度を上げると小さくなるが、オン電圧劣化とは違い、150℃以上ででも、差はゼロとならない。これは、

ショックレー型積層欠陥の準位が伝導帯下端から 0.23eV だけ深い位置にあり、150℃の熱平衡状態では活性化せず、電子を捕獲し続けているため、アノードとゲート間に再結合電流が流れるためである。一方、最小点弧電流は、通電ストレス試験前後とも、温度を上昇するにつれて、減少している。上部の pnp バイポーラトランジスタでは、温度を上げると、ベースの拡散長が長くなり、エミッタからベースに注入された正孔のうちコレクタ側に集められる正孔の割合(到達率)が増加する。その結果、電流増幅率が増加し、(5. 1)式$\alpha_1+\alpha_2=1$の条件を満たすベース電流(最小点弧電流)は小さくなる。そして、図 5. 22 のように、温度を 150℃より高くすると、通電ストレス試験後の SiCGT の最小点弧電流は、通電ストレス試験前の室温での最小点弧電流より小さくなる。この結果、温度を上げることにより、駆動回路から供給するゲート電流を増やすことなく、最小点弧電流劣化した SiCGT をターンオンすることができる。著者らは、実際に、劣化した SiCGT と 4H-SiC pin ダイオードを用いて、動作前および動作中におけるデバイスの接合部温度を 150℃に維持することにより、三相インバータを動作させ、正常な三相電流電圧波形を得ることに成功した[13]。

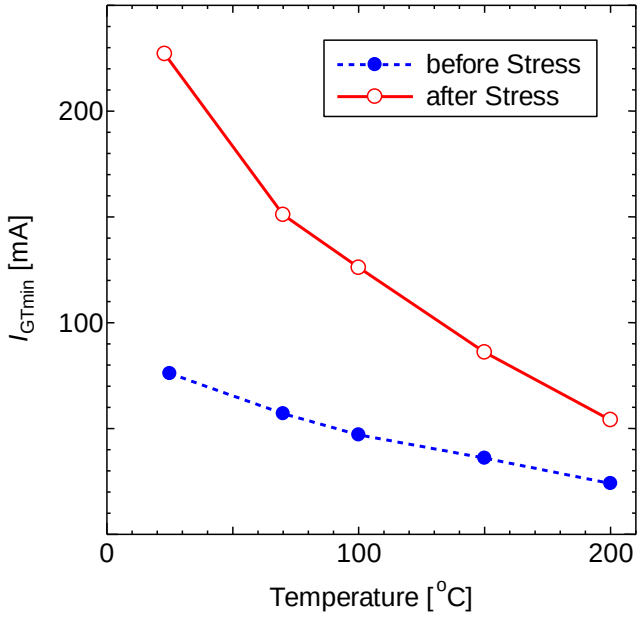


図 5. 22 通電ストレス試験前後における SiCGT の最小点弧電流(I_{GTmin})の温度依存性(通電ストレス試験条件:通電電流 50A、温度 70℃、10 時間)

5.5 まとめ

通電電流を 100A/cm^2、200A/cm^2、300A/cm^2 と変化させて、オン電圧劣化を評価した。その結果、通電電流を増加すると、オン電圧劣化が大きくなる現象が観測された。SiCGT の発光像を観測したところ、通電することにより、ショックレー型積層欠陥が発生している様子が観測された。さらに、通電電流を増大させると、新たに、ショックレー型積層欠陥が発生しているのを確認した。次に、オン電圧劣化した SiCGT のオン電圧温度依存性を調

べた。オン電圧は、温度を上昇すると急激に低下し、150℃以上になると、オン電圧劣化前のオン電圧とほぼ等しくなった。この現象を、TEDREC(Temperature Elevation Degradation Reduction of Electrical Characteristics)現象と名付けた。この現象を利用し、パワーエレクトロニクス機器に組み込まれたデバイスを、動作前に予め 150℃以上に加熱するとともに、動作時に自己発熱でデバイス温度を 150℃以上に保ち動作させる方法を TEDREC 法と呼ぶ。この手法を用いることにより、オン電圧劣化し、ショックレー型積層欠陥を有する SiCGT を組み込んだオール SiC インバータの動作に成功した。

SiCGT に電流を通電すると、オン電圧が増大するオン電圧劣化が観測される他、最小点弧電流の増大(劣化)も観測された。オン電圧劣化と最小点弧電流劣化は相関関係が見られる。オン電圧劣化は、ショックレー型積層欠陥が高抵抗領域として存在し、通電領域が狭くなることにより起こるのに対し、最小点弧電流劣化は、ショックレー型積層欠陥を介した漏れ電流の発生により、ターンオン(点弧)に寄与しない電流が増大することにより発生したと考えられる。また、温度を上げると最小点弧電流も小さくなることから、TEDREC 法が有効であり、TEDREC 法を用いることにより、正常なインバータ動作が得られることも確認した。

参考文献

[1] Y. Sugawara, D. Takayama, K. Asano, A. Agarwal, S. Ryu, J. Palmour and S. Ogata: *Proc. 16th Int. Symp. Power Semiconductor Devices & ICs* (2004) 365.

[2] A. Agarwal, S. Krishnaswami, J. Richmond, C. Capell, S. Ryu, J. Palmour, B. Geil, D. Katsis, C. Scozzie and R. Stahlbush: *Mater. Sci. Forum* **527-529** (2006) 1409.

[3] P. G. Muzykov, R. M. Kennedy, Q. Zhang, C. Capell, A. Burk, A. Agarwal and T. S. Sudarshan: *Microelectron. Reliab.* **49** (2009) 32.

[4] B. Buono, R. Ghandi, M. Domeij, B. G. Malm, C. M. Zetterling and M. Östling: *2011 Int. Conf. Silicon Carbide and Related Materials Abstr.* (2011) 294.

[5] Y. Gao, A. Q. Huang, Q. Zhang, S. Krishnaswami and A. Agarwal: *Proc. 19th Int. Symp. Power Semiconductor Devices & ICs* (2007) 121.

[6] A. Agarwal, S. Krishnaswami, J. Richmond, C. Capell, S. Ryu, J. Palmour, K. Jones and C. Scozzic: *Mater. Res. Soc. Symp. Proc.* **911** (2006) 431.

[7] Y. Sugawara, K. Asano, R. Singh and J. W. Palmour: *Mater. Sci. Forum* **338-342** (2000) 1371.

[8] M. Ikeda, T. Hayakawa, S. Yamagiwa, H. Matsunami and T. Tanaka: *J. Appl. Phys.* **50**, 12 (1979) 8215.

[9] J. P. Bergman, H. Lendenmann, P. A. Nilsson, U. Lindefelt and P. Skytt: *Mater. Sci. Forum* **353-356** (2001) 299.

[10] Y. Sugawara, Y. Miyanagi, K. Nakayama, K. Asano, S. Ogata, S. Okada, T. Izumi and A. Tanaka, *Proceedings of the 19th ISPSD'07* (2007) 273.

[11] A. O. Konstantinov and H. Bleichner: *Appl. Phys. Lett.* **71** (1997) 3700.

[12] U. Lindefelt, H. Iwata, S. Öberg and P. R. Briddon: *Phys. Rev. B* **67** 155204.

[13] Y. Sugawara, Y. Miyanagi, K. Nakayama, K. Asano, S. Ogata, T. Izumi and A. Tanaka: *Proc. 19th Int. Symp. Power Semiconductor Devices & ICs* (2007) 273.

第 6 章　ショックレー型積層欠陥を有する n ドリフト層および p ドリフト層を持つ 4H-SiC pin ダイオードの電気特性デバイスシミュレーション

6.1　はじめに

第 4 章および第 5 章の劣化の結果から、n 型、p 型どちらのドリフト層を持つ場合でも、通電電流により、順方向電圧(オン電圧)が増大することがわかった。さらに、温度を上昇すると順方向電圧(オン電圧)劣化を十分低減できることもわかった。この順方向電圧(オン電圧)劣化のメカニズムを解明することは、順方向電圧(オン電圧)劣化を回避するために非常に重要である。本章では、デバイスシミュレーションを用いて、ショックレー型積層欠陥を有する 4H-SiC pin ダイオードの特性を調べ、順方向電圧(オン電圧)劣化のメカニズムについて検証した結果を述べる。

6.2　デバイスシミュレーション方法

通常、4H-SiC バイポーラデバイスは、結晶軸を(0001)面から<11$\bar{2}$0>方向に 4～8 度で傾けた基板面上にエピタキシャル成長した結晶を用いて作製される[1]。したがって、順方向電圧劣化を引き起こすショックレー型積層欠陥は、<11$\bar{2}$0>方向に傾いた{0001}面に沿って、デバイスのドリフト層中に基板から表面に向かって存在する[2]。そのため、{1$\bar{1}$00}断面デバイスを観察した場合、ショックレー型積層欠陥は傾いているが、{11$\bar{2}$0}断面でデバイスを観察した場合、ショックレー型積層欠陥は傾かず、電極と平行となる。そこで、デバイスシミュレーションでは、簡単のため、図 6. 1 のように、ショックレー型積層欠陥がドリフト層中央に電極と平行に存在する 4H-SiC pin ダイオードを用いた。ショックレー型積層欠陥の長さ(L)と 4H-SiC pin ダイオードの幅(W)の比(L/W)を 0%、50%、90%としてデバイスシミュレーションを実施した。なお、各層の条件は表 6. 1 にまとめた。n 型の 4H-SiC pin ダイオードは、n 型のドリフト層をもつ $p^+n^-n^+$積層構造をとり、p 型の 4H-SiC pin ダイオードは、p 型のドリフト層をもつ $n^+p^-p^+$積層構造を構成する。ショックレー型積層欠陥の領域は 3C-SiC であると仮定し、厚みを 0.5nm、不純物密度をドリフト層と同じとした[3]。4H-SiC および 3C-SiC のバンドギャップは、3.2eV、2.4eV とし、伝導帯下端のバンドオフセットは 0.87eV とした[3]。4H-SiC と 3C-SiC のバンドギャップの差はほとんど伝導帯下端側にかかるため、価電子帯上端側のオフセットは小さくなる。デバイスシミュレーションは、シノプシス社製 DESSIS TCAD[4]を用いた。デバイスシミュレーションの結果から求められる順方向電流密度 100A/cm^2 での順方向電圧を V_F と定義した。

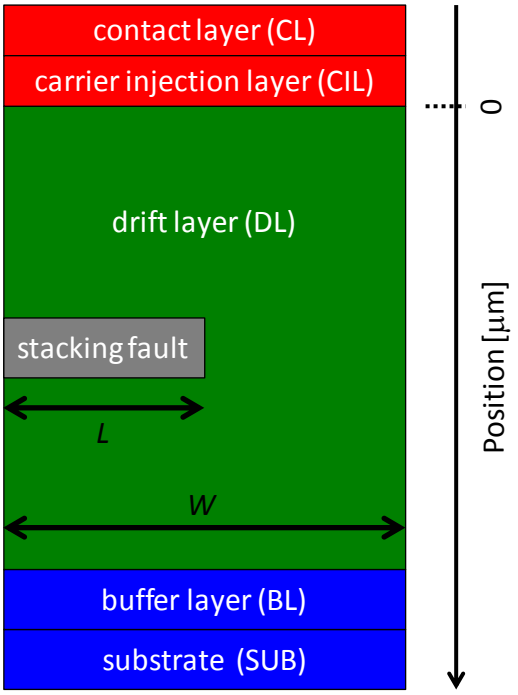


図 6. 1 ショックレー型積層欠陥を有する 4H-SiC pin ダイオードのデバイスシミュレーションモデル(*L*:ショックレー型積層欠陥の長さ、*W*:4H-SiC pin ダイオードの幅)

表 6. 1 n 型もしくは p 型のドリフト層を持つ 4H-SiC pin ダイオードの各層の条件(PND:4H-SiC pin ダイオード)

	Thickness [mm]	Doping Density [cm^{-3}]	Type	
			n-type PND	p-type PND
Contact Layer(CL)	0.5	1×10^{19}	p^+	n^+
Carrier Injection Layer (CIL)	2	1×10^{18}	p^+	n^+
Drift Layer (DL)	120	2×10^{14}	n^-	p^-
Buffer Layer (BL)	5	5×10^{18}	n^+	p^+
Substrate (SUB)	5	5×10^{18}	n^+	p^+

6.3 ショックレー型積層欠陥を有する n 型ドリフト層を持つ 4H-SiC pin ダイオード

6.3.1 順方向の電流-電圧特性

図 6. 2 に、ショックレー型積層欠陥を有する n 型のドリフト層を持つ 4H-SiC pin ダイオードの順方向電流密度 100A/cm^2 における順方向電圧の温度依存性に対するシミュレーション結果を示す。ショックレー型積層欠陥を含まない(*L*/*W*=0%)4H-SiC pin ダイオードの場合、

200℃までは順方向電圧が減少し、200℃を超えると、順方向電圧は増加する。4H-SiC pin ダイオードの順方向電圧は、ビルトイン電圧とドリフト層の抵抗によって決まる[5]。さらに、4H-SiC pin ダイオードのドリフト層の抵抗は、キャリア寿命とキャリア移動度によって決まる[6]。キャリア寿命が増加すると、拡散長が長くなるため、ドリフト層中に注入されたキャリアの量が増加し、抵抗が下がる。また、キャリア移動度が大きくなると、ドリフト層中のキャリアの速度が速くなり、抵抗が下がる。温度が上昇すると、トラップからの熱放出が進み、キャリア寿命は長くなる[7]。一方、キャリア移動度は、格子散乱の増加により、低下する[8]。このように、キャリア寿命とキャリア移動度は、温度に対して、定性的に逆の依存性を示す。また、4H-SiC pin ダイオードのビルトイン電圧は、温度が上昇すると、4H-SiC のバンドギャップが狭くなる[9]ことから、減少する傾向がある。以上のことより、200℃までの領域では、バンドギャップが狭くなること、および、キャリア寿命が長くなることが支配的となり、順方向電圧は減少する。一方、200℃を超えると、キャリア移動度の低下による効果が支配的となり、順方向電圧は増加したと考えられる。

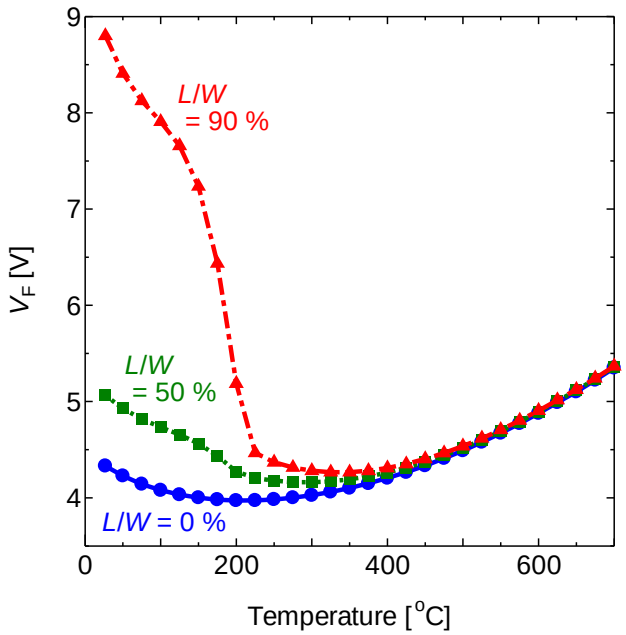
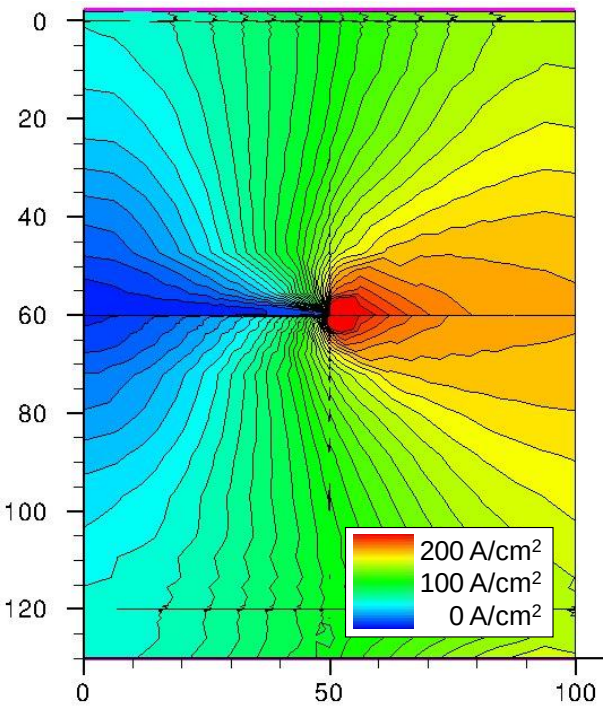
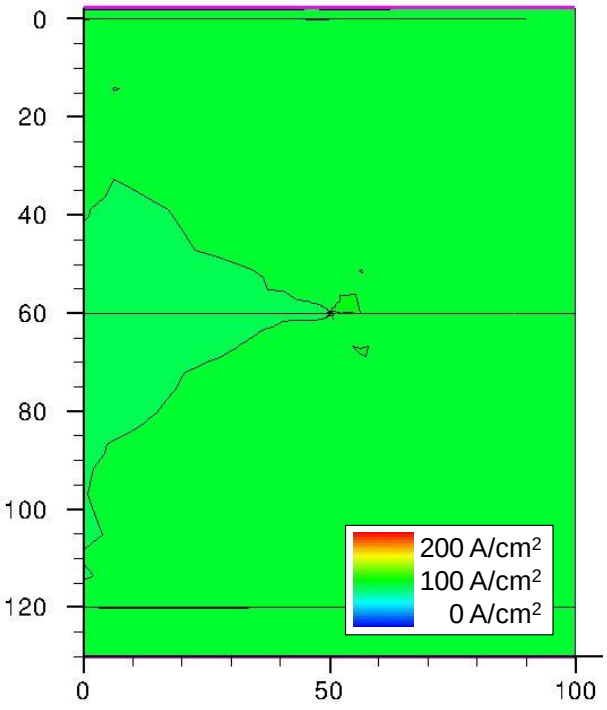


図 6. 2 シミュレーションにより得られたショックレー型積層欠陥を有する n 型のドリフト層を持つ 4H-SiC pin ダイオードの順方向電流密度 100A/cm^2 における順方向電圧の温度依存性(*L*:ショックレー型積層欠陥の長さ、*W*:4H-SiC pin ダイオードの幅)

次に、図 6. 2 における順方向電圧の温度依存性について述べる。室温近傍では、ショックレー型積層欠陥が長くなる(*L*/*W* が大きくなる)につれて順方向電圧も大きくなる。同じ温度で比較した順方向電圧の *L*/*W* 依存性は、150℃までは大きく変わらないが、150℃～250℃において急激に減少し、250℃以上ではかなり小さくなり、400℃以上でほとんど等しくなった。



(a)



(b)

図 6. 3 シミュレーションにより得られた(a)室温および(b)400℃でのショックレー型積層欠陥(*L*/*W* =50%)を有する n 型のドリフト層を持つ 4H-SiC pin ダイオードの順方向電流密度 100A/cm^2 における通電状態の電流密度分布

図 6. 3 に(a)室温および(b)400℃において、4H-SiC pin ダイオードに順方向電流密度 100A/cm^2 の電流を通電した時に得られた電流密度分布を示す。室温では、ショックレー型積層欠陥を避けるように流れている電流が、400℃ではショックレー型積層欠陥の領域も含めたデバイス全面でほぼ均一に電流が流れている。このように、デバイスの動作温度を上げることにより、*L*/*W* 依存性が小さくなり、デバイスシミュレーションにおいて TEDREC 現象を再現できた。

6.3.2　電子と正孔の密度分布

図 6. 4 に、室温において 4H-SiC pin ダイオードに順方向電流密度 100A/cm^2 の電流を通電した時に得られる各断面での電子および正孔の密度分布を示す。A 断面と B 断面の位置は、図 6. 5 に示すとおりである。A 断面は、ショックレー型積層欠陥を有し、CL から SUB に向かって電流が流れる方向と平行な断面である。B 断面は、ショックレー型積層欠陥を含まない断面である。横軸の Position は、図 6. 1 や図 6. 5 に示すように pn 接合部分がゼロとなるように決めた。

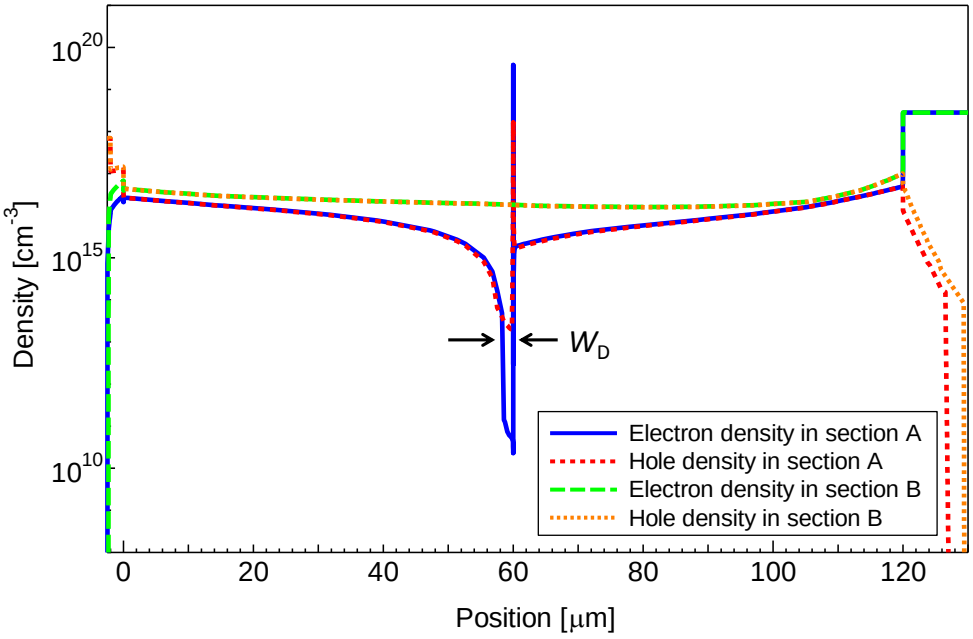


図 6. 4 シミュレーションにより得られた室温、順方向電流密度 100A/cm^2 におけるショックレー型積層欠陥を有する n 型のドリフト層を持つ 4H-SiC pin ダイオードの特定の断面 A、B での電子と正孔の密度分布(A と B は図 6. 5 の点線)

4H-SiC pin ダイオードの場合、n$^+$バッファ層から電子が、p$^+$アノードキャリア注入層から正孔が、それぞれ、n$^-$ドリフト層に注入される。室温においてショックレー型積層欠陥が存在しないと、図 6. 4 の B 断面の電子密度(緑点線)と、正孔密度(オレンジ点線)で示すように、

n^-ドリフト層は、電子と正孔で満たされ、中央部分でも $10^{16}cm^{-3}$ 台の電子と正孔が存在し、十分な伝導度変調が起こっていることがわかる。この時、n^-ドリフト層の電子と正孔の密度はほぼ同じとなっているおり、電荷中性条件を満たしている。

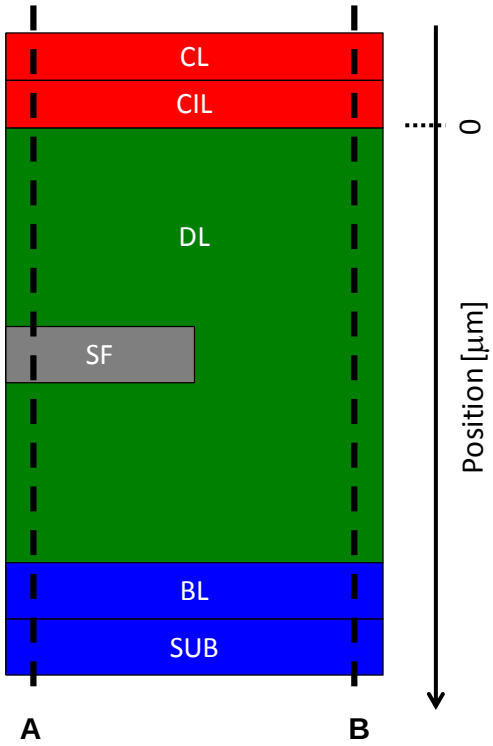


図 6. 5 電子と正孔の密度分布を測定したショックレー型積層欠陥を有する 4H-SiC pin ダイオード(*L*/*W* =50%)の断面 A と断面 B の位置模式図(CL:Contact Layer、CIL:Carrier Injection Layer、DL:Drift Layer、BL:Buffer Layer、SUB:Substrate)

一方、ショックレー型積層欠陥が存在すると、電子と正孔は、図 6. 4 の A 断面の電子密度(青実線)と、正孔密度(赤点線)で示すような分布をとる。ショックレー型積層欠陥の場所には、10^{19} cm^{-3} 台の電子と 10^{18} cm^{-3} 台の正孔が存在しているのに対し、ショックレー型積層欠陥以外のドリフト層では、電子と正孔の密度が、B 断面より最大で一桁減少している。さらに、ショックレー型積層欠陥の p アノードキャリア注入層側 2μm 程度の領域で、電子が 10^{10} cm^{-3} 台と正孔が 10^{13} cm^{-3} 台まで減少している。

n^+バッファ層から n^-ドリフト層に注入された電子は、ショックレー型積層欠陥で捕獲される。このため、A 断面のショックレー型積層欠陥以外のドリフト層の電子と正孔の密度は、B 断面の 60%～10%に減少する。電荷の中性条件により、正孔も電子と同様に減少する。ドリフト層の抵抗は、電子や正孔の密度に反比例するので、A 断面上は抵抗が大きくなるため、電流は B 断面側に集中し、電流密度が増加するため、順方向電圧が増大する。

また、電子は、ショックレー型積層欠陥で捕獲されるため、ショックレー型積層欠陥を

通り抜けて、ショックレー型積層欠陥の n^+バッファ層から見て反対側の p^+アノードキャリア注入層側へ到達しにくくなる。その結果、ショックレー型積層欠陥の p^+アノードキャリア注入層側の領域の電子密度が減少する。電子密度が 10^{10} cm^{-3} 台になり、ドナー密度(2×10^{14} cm^{-3})より小さくなるので、電荷中性条件により、正孔密度がドナー密度より小さくなるが、電子密度ほどは小さくならない。この領域では、空間電荷がドナー密度とほぼ等しい正の電荷を持つので、アノードとカソード間の電圧に対応して、この領域の幅(W_D)が変化する。

次に、400℃において、4H-SiC pin ダイオードに順方向電流密度 100A/cm^2 の電流を通電した時の、電子および正孔の密度分布を、図 6. 6 に示す。A 断面のショックレー型積層欠陥には、図 6. 4 と同様に、 10^{19} cm^{-3} 台の電子と 10^{18} cm^{-3} 台の正孔が存在している。しかし、ショックレー型積層欠陥のないドリフト層では、A 断面も B 断面と同様の電子と正孔の密度分布を持ち、中央付近でも $10^{16}$$cm^{-3}$ 台の電子と正孔が存在する。このように、A 断面も B 断面も、十分な伝導度変調が起こっており、電流も均一に流れると理解される。

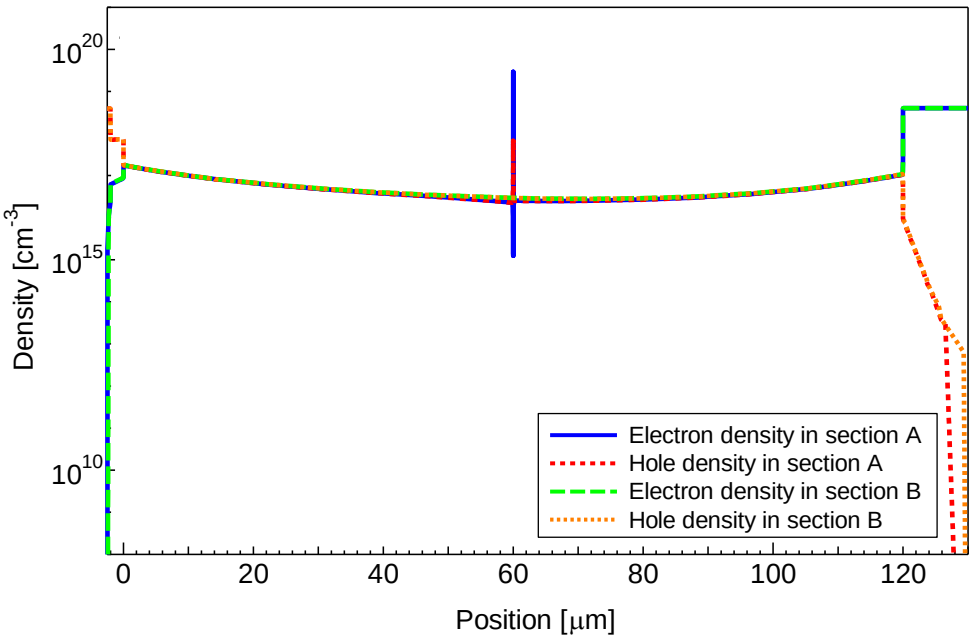


図 6. 6 シミュレーションにより得られた 400℃、順方向電流密度 100A/cm^2 におけるショックレー型積層欠陥を有する n 型のドリフト層を持つ 4H-SiC pin ダイオードの特定の断面 A、B での電子と正孔の密度分布(順方向電流密度=100A/cm^2、A と B は図 6. 5 の点線)

この順方向電圧劣化と TEDREC のデバイスシミュレーション結果について、擬フェルミ準位を用いて考察する。図 6. 7 に 4H-SiC n 型ドリフト層中のショックレー型積層欠陥の準位とフェルミ準位の関係を示す。E_C は伝導帯下端、E_V は価電子帯上端、E_{SF} はショックレー型積層欠陥の準位を示している。E_F は熱平衡状態のフェルミ準位、E_{Fn} は電子の、E_{Fp} は正孔の擬フェルミ準位をそれぞれ表している。温度は、室温(RT)と 400℃、電流密度は、

0A/cm^2 と 100A/cm^2 について示した。ドリフト層のドナー密度が 2×10^{14}cm^{-3} の場合、室温、0A/cm^2 において、ショックレー型積層欠陥の準位は、フェルミ準位と伝導帯下端の間に存在する。電流を増やすと、フェルミ準位が、電子と正孔の擬フェルミ準位に分かれ、電子の擬フェルミ準位が伝導帯下端に、正孔の擬フェルミ準位が価電子帯上端に近づくようになり、電子、および、正孔の密度が増加する。順方向電流密度 100A/cm^2 では、電子の擬フェルミ準位が、ショックレー型積層欠陥の準位より上になるため、ショックレー型積層欠陥の準位が電子で満たされるようになる。このようにショックレー型積層欠陥に電子が捕獲され、順方向電圧劣化が発生する。

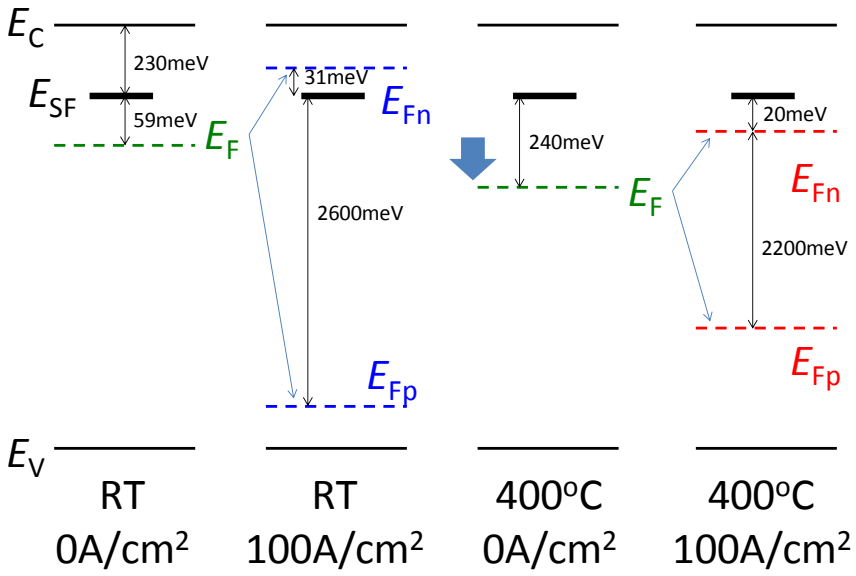


図 6. 7 シミュレーションにより得られた 4H-SiC n 型ドリフト層中におけるショックレー型積層欠陥の準位とフェルミ準位の関係と、デバイス温度および通電電流による相違の模式図(E_C:伝導帯下端、E_V:価電子帯上端、E_{SF}:ショックレー型積層欠陥の準位、E_F:熱平衡状態のフェルミ準位、E_{Fn}、E_{Fp}:電子、正孔の擬フェルミ準位)

一方、温度を上げると、フェルミ準位はバンドの中央に近づく。同様に、温度を上げた時の電子の擬フェルミ準位の位置も同様に中央に近づくため、順方向電流密度 100A/cm^2 時の電子の擬フェルミ準位がショックレー型積層欠陥の準位より下になる。この結果、ショックレー型積層欠陥の準位が電子で満たされなくなる。これは、ショックレー型積層欠陥が電子を放出する確率が大きくなり、ショックレー型積層欠陥にトラップされる確率を上回ることを意味し、これにより、ショックレー型積層欠陥を横切る電流が流れるようになったと考えられる。

6.4　ショックレー型積層欠陥を有する p 型ドリフト層を持つ 4H-SiC pin ダイオ

ード

図 6. 8 に、ショックレー型積層欠陥を有する p 型のドリフト層を持つ 4H-SiC pin ダイオードの順方向電流密度 100A/cm^2 における順方向電圧の温度依存性に対するシミュレーション結果を示す。n 型のドリフト層の場合とほとんど同じ値、傾向を示した。さらに、電流密度が 100A/cm^2 における室温および 400℃での電子と正孔の密度分布を、それぞれ、図 6. 9 および図 6. 10 に示す。こちらも、n 型とほぼ同じ分布を示す。ただし、ショックレー型積層欠陥の p バッファ層側の電子が減少している領域の幅(W_D)が、n 型と比べて、6μm と 3 倍程度広くなっている。このキャリアが減少している領域の電子密度は 10^{11}cm^{-3} 台であり、正孔密度は、アクセプタ密度(2×10^{14}cm^{-3})とほぼ同じとなっている。この結果、この領域の空間電荷は、正孔密度とアクセプタ密度の差となり、n 型ドリフト層の時(ドナー密度と等しく、2×10^{14}cm^{-3})と比べて、小さくなる。幅(W_D)が 3 倍となっていること、幅(W_D)が不純物密度の平方根に反比例していることから、p 型ドリフト層のこの領域の空間電荷は、n 型ドリフト層の場合に対して 1/9 程度となっていると見積もることができる。このように、p 型ドリフト層を持つ 4H-SiC pin ダイオードも n 型ドリフト層と同様に順方向電圧劣化と TEDREC が発生し、p 型ドリフト層を持つ SiCGT で得られた実験結果を再現することが出来た。

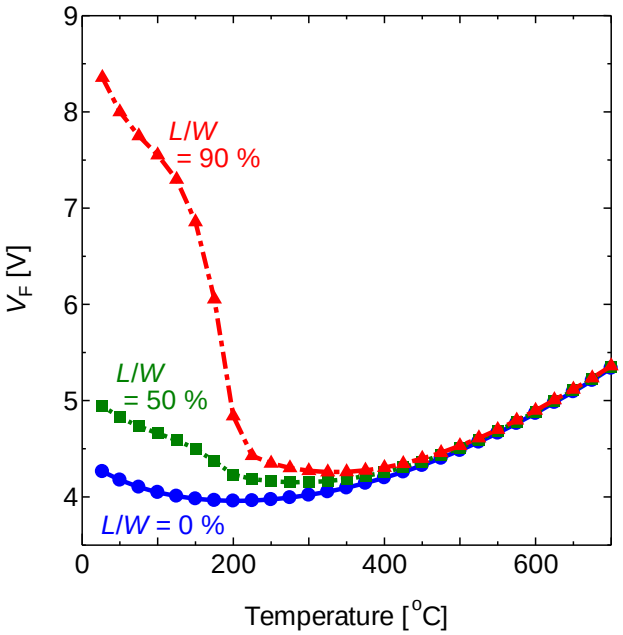


図 6. 8 シミュレーションにより得られたショックレー型積層欠陥を有する p 型のドリフト層を持つ 4H-SiC pin ダイオードの順方向電流密度 100A/cm^2 における順方向電圧の温度依存性(*L*:ショックレー型積層欠陥の長さ、*W*:4H-SiC pin ダイオードの幅)

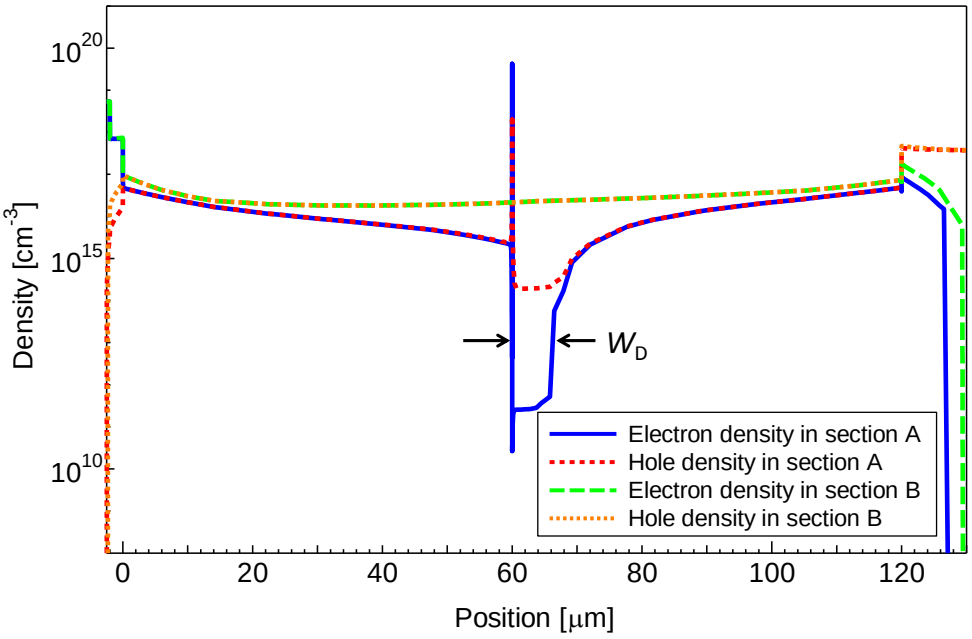


図 6. 9 シミュレーションにより得られた室温、順方向電流密度 100A/cm^2 におけるショックレー型積層欠陥を有する p 型のドリフト層を持つ 4H-SiC pin ダイオードの特定の断面 A、B での電子と正孔の密度分布(A と B は図 6. 5 の点線)

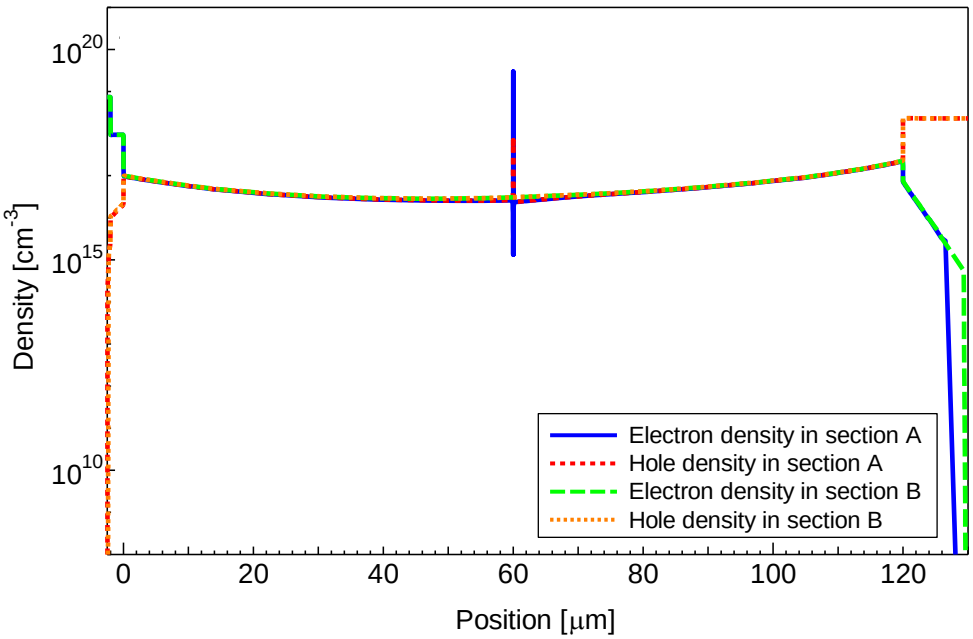


図 6. 10 シミュレーションにより得られた 400℃、順方向電流密度 100A/cm^2 におけるショックレー型積層欠陥を有する p 型のドリフト層を持つ 4H-SiC pin ダイオードの特定の断面 A、B での電子と正孔の密度分布(A と B は図 6. 5 の点線)

次に、p 型ドリフト層における順方向電圧劣化と TEDREC について、n 型ドリフト層と同様に、擬フェルミ準位を用いて考察する。図 6. 11 に 4H-SiC p 型ドリフト層中のショックレー型積層欠陥の準位とフェルミ準位の関係を示す。p 型 4H-SiC では、n 型と異なり、0A/cm^2 の時のフェルミ準位が価電子帯上端よりに存在する。しかし、電流を流すと、フェルミ準位が電子と正孔の擬フェルミ準位にわかれ、電子と正孔を生成するようになる。順方向電流密度 100A/cm^2 の高注入状態では、p 型でも n 型と同じようなバンド図で表されるようになる。これにより、p 型でも n 型同様の順方向電圧劣化と TEDREC 現象が起こる。

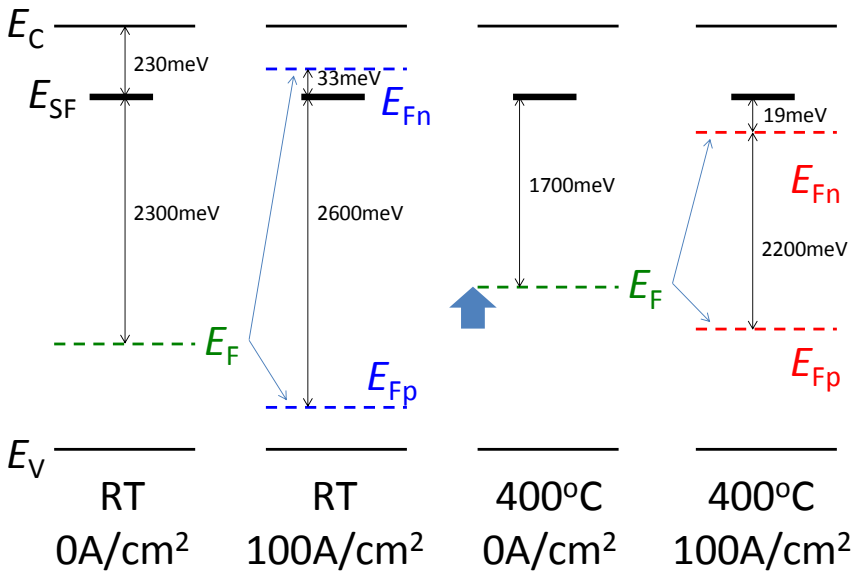


図 6. 11 シミュレーションにより得られた 4H-SiC p 型ドリフト層中におけるショックレー型積層欠陥の準位とフェルミ準位の関係と、デバイス温度および通電電流による相違の模式図(E_C:伝導帯下端、E_V:価電子帯上端、E_{SF}:ショックレー型積層欠陥の準位、E_F:熱平衡状態のフェルミ準位、E_{Fn}、E_{Fp}:電子、正孔の擬フェルミ準位)

6.5 まとめ

n 型ドリフト層および p ドリフト層を持つ 4H-SiC pin ダイオードにおいて、デバイスシミュレーションを実施した。順方向電圧劣化 V_F と TEDREC 現象について、実験結果と同様な結果が得ることができ、デバイスシミュレーションで再現できた。まず、順方向電圧劣化は、高注入状態になった時に発生した。また、温度を上げるとΔV_Fは小さくなった。このような現象は、以下のように解釈できることがわかった。順方向電圧劣化が発生するのは、ショックレー型積層欠陥における電子のポテンシャルが、電子の擬フェルミ準位より低くなり、n^+層から注入された電子が、ショックレー型積層欠陥に捕獲され、反対側の p^+層側に達することができないのが原因である。室温における低注入状態では、ショックレー型積層欠陥における電子のポテンシャルが、擬フェルミ準位より高いが、高注入状態になる

と、ショックレー型積層欠陥における電子のポテンシャルが、擬フェルミ準位より低くなるため、順方向電圧劣化が発生する。また、温度が十分高くなると、擬フェルミ準位が十分下がり、高注入状態でも、ショックレー型積層欠陥における電子のポテンシャルが、擬フェルミ準位より高くなるため、順方向電圧劣化が発生しなくなる。

参考文献

[1] N. Kuroda, K. Shibahara, W. S. Yoo, S. Nishino and H. Matsunami: *Ext Abst. 19th Conf. Solid state Devices and Materials* (1987) 227.

[2] M. Skowronski and S. Ha: *J. Appl. Phys.* **99** (2006) 011101.

[3] U. Lindefelt, H. Iwata, S. Oberg and P. R. Briddon: *Phys. Rev. B* **67** (2003) 155204.

[4] http://www.synopsys.com/Tools/TCAD/Pages/default.aspx

[5] 八尾勉:「pn 接合ダイオード v.s ショットキーダイオード」, 荒井和雄, 吉田貞史 共編, 『SiC 素子の基礎と応用』, 第一版, オーム社 (2003) 177.

[6] B. J. Baliga: *Fundamentals of Power Semiconductor Devices*, Springer, New York (2008) 212.

[7] 浅野勝則、林利彦、高山大輔、菅原良孝、R. Singh、J. W. Palmour: *電気学会論文誌 D* **123** (2003) 5, 623.

[8] H. Matsunami and T. Kimoto: *Mater. Sci. and Eng.* **R20** (1997) 125.

[9] 松波弘之:「半導体工学」, 第 2 版, 昭晃堂 (1999) 15.

第 7 章　結論

7.1　はじめに

本研究では、高耐電圧･大電流領域のパワーエレクトロニクス機器実現のため、結晶欠陥と電気特性の関係を評価することにより、4H-SiC バイポーラデバイスの特性を向上することを最終目的とし研究を行った。4H-SiC バイポーラデバイスとして、n 型ドリフト層を持つ 4H-SiC pin ダイオードと p 型ドリフト層を持つ SiCGT を用いた。まず、厚いエピタキシャル層を持つ 4H-SiC pin ダイオードに、炭素空孔を低減するプロセスを適用することで、順方向電圧の低減に成功した。次に、$(000\bar{1})$C 面基板上にエピタキシャル成長したエピタキシャルウェハを用いて、4H-SiC pin ダイオードを作製することにより、順方向電圧劣化を低減できることを示した。さらに、$(000\bar{1})$C 面基板上に、順方向電圧劣化が少ない高耐電圧 4H-SiC pin ダイオードの作製に成功した。また、p 型ドリフト層を持つ SiCGT においても、オン電圧劣化が発生することを示し、温度特性を調べた。そして、温度を 150℃以上に上昇することにより、順方向電圧劣化がなくなる TEDREC 現象を見出した。最後に、順方向電圧劣化と TEDREC のメカニズムについて、ショックレー型積層欠陥の準位と擬フェルミ準位関係で説明できることを示した。以下に本研究で得られた成果を総括し、将来の展望を述べ、本論文の結論とする。

7.2　本研究で得られた成果

本論文は、第 1 章で高耐電圧･大電流領域のパワーエレクトロニクス機器に用いるパワーデバイス実現へ向けた問題点を記載し、その問題点の解決策として 4H-SiC バイポーラデバイスの採用を挙げた。第 2 章では 4H-SiC バイポーラデバイスと結晶欠陥について説明し、第 3 章で炭素空孔を低減した 4H-SiC pin ダイオードの電気特性について記載した。第 4 章から第 6 章では 4H-SiC バイポーラデバイスの順方向(オン)電圧劣化について記載した。第 3 章から第 6 章に記載した、それぞれの研究で得られた成果を以下にまとめる。

第 3 章では、4H-SiC はキャリア寿命が短く、高耐電圧 4H-SiC pin ダイオードの順方向電圧が大きくなるという問題に対し、炭素空孔低減プロセスにより作製した 4H-SiC pin ダイオードを作製し、順方向電圧を低減することを示し、さらに、逆回復損失が変化しないことも示し、炭素空孔低減プロセスが、順方向電圧低減に有用であることを明らかにした。

- 120μm の厚いドリフト層を持つ 4H-SiC pin ダイオードについて、炭素注入プロセスにより作製したもの、および、熱酸化プロセスにより作製したものについて、順方向の電流-電圧特性、および、逆回復特性について述べた。炭素注入プロセスや熱酸化プロ

セスにより作製した 4H-SiC pin ダイオードの順方向電圧は 4.0V となり、標準プロセスと比較して小さくなった。この結果より、炭素注入プロセスや熱酸化プロセスが、厚いドリフト層を持つ 4H-SiC pin ダイオードの順方向電圧低減に効果があることがわかった。

- 室温での 4H-SiC pin ダイオードの逆回復特性については、炭素注入プロセスと標準プロセスで大きな差は見られなかった。炭素注入プロセスにより作製した 4H-SiC pin ダイオードはバルクのキャリア寿命が長いにも関わらず、逆回復時間は標準プロセスを変わらなかった。室温の逆回復特性では、バルクのキャリア寿命ではなく、表面や界面における再結合の影響が強くなっていると考えられる。
- 250℃での逆回復特性では、炭素注入プロセスにより作製した 4H-SiC pin ダイオードの逆回復時間が、標準プロセスのものより長くなっている。これは、バルクのキャリア寿命が温度の上昇とともに大きくなり、温度によりあまり変化しない表面再結合より、逆回復特性に大きな影響を与え始めたものと考えられる。
- デバイスシミュレーションにおいて、表面や界面における再結合を定義した 4H-SiC pin ダイオードの順方向の電流-電圧特性や逆回復特性が、実験結果とよく一致していることからも、4H-SiC pin ダイオードの逆回復特性において、表面や界面における再結合を考慮した方がよいことがわかった。

第 4 章では、4H-SiC pin ダイオードの順方向電圧が、通電により増加するという問題に対し、順方向電圧のデバイス構造、成長条件依存性を調べ、順方向電圧劣化低減手法を見出した。また、順方向電圧劣化が逆回復特性に与える影響についても調べた。そして、$(000\bar{1})$C 面基板上に、順方向電圧劣化の少ない高耐電圧 4H-SiC pin ダイオードの作製を行い、電気特性を評価した。

- 順方向電圧劣化のドリフト層厚み依存性を調べた結果、ドリフト層厚みが増加すると順方向電圧劣化が大きくなった。順方向電圧劣化のデバイスサイズ依存性については見られなかった。順方向電圧劣化の面方位依存性を調べた結果、$<11\bar{2}0>$方向に 8°オフした$(000\bar{1})$C 面基板上に作製した 4H-SiC pin ダイオードで、順方向電圧劣化が最も小さくなった。
- $(000\bar{1})$C 面 4H-SiC pin ダイオードは、(0001)Si 面 4H-SiC pin ダイオードと比較して、優れた逆回復特性を示した。$(000\bar{1})$C 面 4H-SiC pin ダイオードは通電ストレス試験前後で逆回復特性が変化しなかったのに対して、(0001)Si 面 4H-SiC pin ダイオードは大きく変化した。順方向電圧劣化した 4H-SiC pin ダイオードの逆回復特性では、ショックレー型積層欠陥周辺での再結合の影響が無視できない。その表面再結合速度は 0.048cm/μs と見積もることができ、$(000\bar{1})$C 面および(0001)Si 面のキャリア寿命は、それぞれ、19.5ns

および 66.8ns となった。

- $(000\bar{1})$C 面基板上に高耐電圧少劣化 4H-SiC pin ダイオードを作製し、特性を評価した。最高耐電圧は 8.3kV であり、順方向電圧が 4.1V と小さく、順方向電圧劣化(ΔV_F)も 0.04V と小さくなった。

第 5 章では、p 型のドリフト層を持つ SiCGT においても n 型ドリフト層を持つ 4H-SiC pin ダイオードと同じにようにオン電圧劣化が発生することを示した。さらに、SiCGT には、最小点弧電流が増大(劣化)する問題があることを示した。順方向電圧劣化と最小点弧電流劣化の両方の問題に対して、温度を上げることにより、両劣化を無効化する TEDREC 法を見出した。

- 通電電流を 100A/cm^2、200A/cm^2、300A/cm^2 と変化させて、オン電圧劣化を評価した。その結果、通電電流を増加すると、順方向電圧劣化が大きくなる現象が観測された。SiCGT の発光像を観測したところ、通電することにより、ショックレー型積層欠陥が発生している様子が観測された。さらに、通電電流を増大させたると、新たに、ショックレー型積層欠陥が発生しているのを確認した。次に、オン電圧劣化した SiCGT のオン電圧温度依存性を調べた。オン電圧は、温度を上昇すると急激に低下し、150℃以上になると、オン電圧劣化前のオン電圧とほぼ等しくなった。この現象を、TEDREC(Temperature Elevation Degradation Reduction of Electrical Characteristics)現象と呼ぶ。この現象を利用し、パワーエレクトロニクス機器に組み込まれたデバイスを、動作前に予め 150℃以上に加熱するとともに、動作時に自己発熱でデバイス温度を 150℃以上に保ち動作させる方法を TEDREC 法と呼ぶ。この手法を用いることにより、オン電圧劣化し、ショックレー型積層欠陥を有する SiCGT を組み込んだオール SiC インバータの動作に成功した。
- SiCGT に電流を通電すると、オン電圧が増大するオン電圧劣化が観測される他、最小点弧電流の増大(劣化)も観測された。オン電圧劣化と最小点弧電流劣化は相関関係が見られる。オン電圧劣化は、ショックレー型積層欠陥が高抵抗領域として存在し、通電領域が狭くなることにより起こるのに対し、最小点弧電流劣化は、ショックレー型積層欠陥を介した漏れ電流の発生により、ターンオン(点弧)に寄与しない電流が増大することにより発生したと考えられる。また、温度を上げると最小点弧電流も小さくなることから、TEDREC 法が有効であり、TEDREC 法を用いたインバータ動作も確認した。

第 6 章では、n 型および p 型ドリフト層を持つ 4H-SiC バイポーラデバイスにおいて、順方向(オン)電圧が増大するという問題に対し、デバイスシミュレーションを用いて、順方

向(オン)電圧劣化のメカニズムを明らかにするとともに、TEDREC 現象についてもそのメカニズムを明らかにした。

- n 型ドリフト層および p ドリフト層を持つ 4H-SiC pin ダイオードを用いて、デバイスシミュレーションを実施し、順方向電圧劣化と TEDREC 現象について、実験結果と同様な結果が得ることができた。順方向電圧劣化は、高注入状態になった時に発生している。また、温度を上げると順方向電圧劣化は小さくなった。
- 順方向電圧劣化が発生するのは、ショックレー型積層欠陥における電子のポテンシャルが、電子の擬フェルミ準位より低くなり、n^+層から注入された電子が、ショックレー型積層欠陥に捕獲され、反対側の p^+層側に達することができないのが原因である。室温の低注入状態では、ショックレー型積層欠陥における電子のポテンシャルが、擬フェルミ準位より高いが、高注入状態になると、ショックレー型積層欠陥における電子のポテンシャルが、擬フェルミ準位より低くなるため、順方向電圧劣化が発生する。また、温度が上がると、擬フェルミ準位が下がり、高注入状態でも、ショックレー型積層欠陥における電子のポテンシャルが、擬フェルミ準位より高くなるため、順方向電圧劣化が発生しなくなる。

7.3 将来の展望

本研究では、まず、厚いドリフト層を持つ 4H-SiC pin ダイオードにおいて、炭素空孔低減プロセスを適用し、順方向電圧の低減に成功した。次に、4H-SiC pin ダイオードの順方向電圧劣化について、デバイス構造や面方位依存性を調べ、$(000\bar{1})$C 面基板を用いることにより、順方向電圧劣化を低減できることを見出した。そして、$(000\bar{1})$C 面基板を用いた順方向電圧劣化の少ない高耐電圧 4H-SiC pin ダイオードの作製に成功した。得られた耐電圧値は、8.3kV で、$(000\bar{1})$C 面基板を用いた 4H-SiC pin ダイオードとしては、世界最高耐電圧を示した。さらに、p 型ドリフト層を持つ SiCGT についても、オン電圧劣化の特性を調べるとともに、温度を 150℃以上にすると、オン電圧劣化を無効化できる TEDREC 現象を見出した。最後に、順方向電圧劣化および TEDREC 現象について、ショックレー型積層欠陥の準位と擬フェルミ準位の位置の関係でメカニズムを説明できることを明らかにした。

しかし、本研究で達成できなかった課題も多く残されている。まず、p 型ドリフト層を持つ 4H-SiC バイポーラデバイスの高キャリア寿命化である。p 型 4H-SiC のキャリア寿命制限要因はいまだ明らかにはなっておらず、今後、点欠陥の更なる研究とキャリア寿命改善プロセスの開発を試みなければならない。さらに、キャリア寿命を改善した 4H-SiC バイポーラデバイスでは、定常損失の低減が期待される一方、スイッチング損失の増加が予想される。今後は、Si バイポーラデバイスで行われているプロトン照射や金拡散のようなキャリア寿命制御技術を試みなければならない。また、4H-SiC バイポーラデバイス特有の順方

向(オン)電圧劣化を引き起こす欠陥として、ハーフループの存在が指摘されており、このハーフループを低減するプロセスの開発も望まれる。なお、近年のエピタキシャル成長技術の進展により、オフ角が 4 度の基板上へのエピタキシャル成長が可能となり、エピタキシャル層の基底面転位を起因とする順方向(オン)電圧劣化が低減されているが、今後、更なる低オフ角基板上へのエピタキシャル成長を開発し、更なる基底面転位の低減も望まれる。そして、現在、4H-SiC バイポーラデバイスの研究は、4H-SiC pin ダイオードが主流であるが、高耐電圧･大電流パワーデバイスの実現のために、今後、GTO、GCT、そして、IGBT などの 4H-SiC バイポーラスイッチングデバイスの開発が必要である。

著者は、本研究成果にとどまらず、広く材料研究やデバイス研究を行い、材料からエネルギー技術を革新し、社会貢献できるよう努力していく所存である。そして、4H-SiC バイポーラデバイスが電力系統へ適用されることを信じて、本研究の結びとしたい。

謝辞

本研究の遂行および本論文の作成にあたり、終始懇切なる御指導及び御鞭撻を賜りました大阪大学大学院工学研究科森勇介教授に心より感謝の意を表するとともに御礼の言葉を申し上げます。

研究の基本から熱心に御指導頂き、私を博士課程進学に導いてくださいました故杉野隆教授に心より御礼の言葉を申し上げます。温かく厳しい御指導のおかげで、成長することができました。深く感謝いたします。

研究方針について、様々なアドバイスや、アイデアを示して頂き、御指導を頂きました故青木秀充准教授に心より御礼の言葉を申し上げます。

本論文の作成にあたり、直接の御指導、御助言を賜りました大阪大学大学院工学研究科伊藤利道教授、尾崎雅則教授、舟木剛教授に深く感謝致します。

大学在学中に、御指導と御高配を賜りました大阪大学大学院工学研究科片山光浩教授、栖原敏明教授、近藤正彦教授、大森裕教授、八木哲也教授、谷口研二教授、森田清三教授、斗内政吉教授、宮永憲明教授、西村博明教授、朝日一教授ほか諸先生方に厚く御礼申し上げます。

博士課程進学に際し、御指導と御高配を賜りました白藤純嗣大阪大学名誉教授に心より感謝の意を表するとともに御礼の言葉を申し上げます。

大阪大学大学院工学研究科木村千春助教(現株式会社リコー)には研究で様々なアドバイスを頂き、大変お世話になりました。心から感謝の意を表します。

本研究の遂行に際し、御協力を頂きました大阪大学大学院工学研究科吉村政志准教授、今出完助教、秘書の東沙織氏、常國梨紗氏、岡本幸子氏、片岡さおり氏をはじめ機能性材料創製領域と量子電子機能材料デバイス領域の諸氏に感謝します。

活発な議論を通じて、御指導及び御鞭撻を賜りました松波弘之京都大学名誉教授、京都大学大学院工学研究科木本恒暢教授、京都工芸繊維大学大学院西野茂弘教授(現ワイドギャップマテリアルズ)に感謝の意を表するとともに御礼の言葉を申し上げます。

共に研究を行い、多大なる御指導と御協力を頂いた一般財団法人電力中央研究所材料科学研究所土田秀一氏、宮澤哲哉氏、鎌田功穂氏、伊藤雅彦氏、三柳俊之氏(現富士電機株式会社)、中村智宣氏(現株式会社鬼塚硝子)に深く感謝致します。

本研究の遂行に際し、御協力頂きました一般財団法人電力中央研究所材料科学研究所先進機能材料領域の諸氏に感謝します。

本研究を進めるにあたり、SiCGT をともに製作いただいた CREE 社の John W. Palmour 氏、Anant K. Agarwal 氏、Sei-Hyung Ryu 氏、Craig Capell 氏ほか諸氏に深く感謝いたします。

SiC の結晶成長、欠陥評価に関して、御指導を頂いた株式会社シクスオンの塩見弘氏(現住友電気工業株式会社)、高田禎介氏ほか諸氏、株式会社アクトの岡本好弘氏、丸山宏司氏ほか諸氏に深く感謝いたします。

本研究の遂行にあたり、終始懇切なる御指導及び御検討を賜りました関西電力株式会社電力技術研究所菅原良孝氏(現茨城大学)に深厚なる謝意を表します。

本研究の遂行にあたり、ご指導を賜りました関西電力株式会社電力技術研究所浅野勝則氏に厚く感謝します。

また、デバイスの試作並びに特性評価に多大なる協力を下さった関西電力株式会社研究開発室石井竜介氏、デバイスの特性評価に、多大なる協力を下さった同社電力技術研究所田中篤嗣氏、逸見哲郎氏、緒方修二氏、泉徹氏、林利彦氏、三柳洋一氏(現株式会社エネゲート)、高山大輔氏(現公益財団法人レーザー技術総合研究所)、西村政彦氏(現株式会社ケイ・オプティコム)、株式会社かんでんエンジニアリング旭章夫氏、デバイスシミュレーションに多大なる協力を下さった株式会社かんでんエンジニアリング入倉宏氏に心から感謝いたします。

本研究の遂行にあたり、御支援と御協力を賜りました関西電力株式会社電力技術研究所阿部正之氏、佐々木鉄雄氏、同社電力技術研究所プロジェクト研究室松田央氏、冨岡洋光氏ほか同社電力技術研究所プロジェクト研究室の皆様をはじめ、同社研究開発室ならびに同社電力技術研究所の諸氏に感謝いたします。

本研究は、以上に挙げきれなかった多くの方々からの御協力、御指導、御鞭撻により達成されたものであり、心より御礼申し上げます。

最後に、大学院生活を認め支えてくれた家族、特に妻の万里子、息子の裕貴、娘の実玲に心より感謝し、謝辞の結びとします。

本研究の一部は、日本学術振興会の最先端研究開発支援プログラムにより、助成を受けたものです。ここに記して感謝の意を表します。

2013 年 1 月

中山　浩二

研究業績リスト

学術論文（筆頭）15 件

1) K. Nakayama, Y. Miyanagi, H. Shiomi, S. Nishino, T. Kimoto and H. Matsunami: "The Development of 4H-SiC {03-38} Wafers" *Materials Science Forum* **389-393** (2002) 123-126.

2) K. Nakayama, Y. Miyanagi, K. Maruyama, Y. Okamoto, H. Shiomi and S. Nishino: "The Effect of Epitaxial Growth on Warp of SiC Wafer" *Materials Science Forum* **389-393** (2002) 235-238.

3) K. Nakayama, Y. Sugawara, H. Tsuchida, T. Miyanagi, I. Kamata, T. Nakamura, K. Asano and R. Ishii: "8.3 kV 4H-SiC pin Diode on $(000\bar{1})$ C-face with Small Forward Degradation" *Materials Science Forum* **483-485** (2005) 969-972.

4) K. Nakayama, Y. Sugawara, R. Ishi, H. Tsuchida, T. Miyanagi, I. Kamata and T. Nakamura: "Dynamic Characteristics of 4H-SiC pin Diode on $(000\bar{1})$C-face with Small Forward Degradation" *Materials Science Forum* **527-529** (2006) 1359-1362.

5) 中山浩二, 菅原良孝, 石井竜介, 土田秀一, 三柳俊之, 鎌田功穂, 中村智宣: "4H-SiC pin ダイオードの順方向電圧劣化特性と高耐圧小劣化$(000\bar{1})$C 面 4H-SiC pin ダイオード" *電気学会論文誌* D **128** (2008) 8, 1013-1019.

6) K. Nakayama, Y. Sugawara, Y. Miyanagi, K. Asano, S. Ogata, S. Okada, T. Izumi and A. Tanaka: "Behavior of Stacking Faults in TEDREC Phenomena for 4.5kV SiCGT" *Materials Science Forum* **600-603** (2009) 1175-1178.

7) 中山浩二、石井竜介、菅原良孝、土田秀一、宮澤哲哉: "大容量 SiC ツェナーダイオードの作製と電気特性評価" *電気学会論文誌* C **130** (2010) 8, 1343-1349.

8) K. Nakayama, R. Ishi, K. Asano, T. Miyazawa, M. Ito and H. Tsuchida: "Component Technologies for Ultra-High-Voltage 4H-SiC pin Diode" *Materials Science Forum* **679-680** (2011) 535-538.

9) K. Nakayama, R. Ishi, K. Asano, T. Miyazawa and H. Tsuchida: "SiC Zener Diode Protection of 4.5 kV SiCGT" *Materials Science Forum* **679-680** (2011) 559-562

10) K. Nakayama, Y. Sugawara, H. Tsuchida, C. Kimura and H. Aoki: "Drift Phenomena of Forward and Reverse Recovery Characteristics in {0001} 4H-SiC p-i-n Diode" *Japanese Journal of Applied Physics* **50** (2011) 4, 04DF04.

11) K. Nakayama, A. Tanaka, M. Nishimura, K. Asano, T. Miyazawa, M. Ito and H. Tsuchida: "Characteristics of a 4H-SiC Pin Diode With Carbon Implantation/Thermal Oxidation" *IEEE Transactions on Electron Devices* **59** (2012) 4, 895-901.

12) K. Nakayama, A. Tanaka, K. Asano, T. Miyazawa, M. Ito and H. Tsuchida: "Electric

Characteristics of 4H-SiC pin Diode with Carbon Implantation or Thermal Oxidation" *Materials Science Forum* **717-720** (2012) 989-992.

13) K. Nakayama, A. Tanaka, K. Asano, T. Miyazawa and H. Tsuchida: "Influence of in-grown Stacking Faults on Electrical Characteristics of 4H-SiC pin diode with Long Carrier Lifetime" *Materials Science Forum* **740-742** (2013) 903-906.

14) K. Nakyama, T. Hemmi and K. Asano: "Simulation of TEDREC phenomene for 4H-SiC pin diode with p/n type drift layer" *Materials Science Forum* **740-742** (2013) 1107-1110.

15) K. Nakayama, Y. Miyanagi, M. Nishimura, A. Tanaka, S. Ogata, T. Izumi, T. Hayashi and K. Asano: "Minimun Gate Trigger Current Drift of 4.5kV SiCGT" submitted in *Japanese Journal of Applied Physics.*

学術論文（連名）17 件

国際会議発表（著者登壇分）15 件

1) K. Nakayama, Y. Miyanagi, H. Shiomi and S. Nishino: "SiC Polytype Control and Development of 4H Type 2inch Wafer with Low Resistivity" *The 13th International Conference on Crystal Growth*, 2001, July, Japan.

2) K. Nakayama, Y. Miyanagi, H. Shiomi, S. Nishino, T. Kimoto and H. Matsunami: "The Development of 4H-SiC {03-38} Wafers" *9th International Conference on Silicon Carbide and Related Materials 2001*, 2001, October, Japan.

3) K. Nakayama, Y. Miyanagi, K. Maruyama, Y. Okamoto, H. Shiomi and S. Nishino: "The Effect of Epitaxial Growth on Warp of SiC Wafer" *9th International Conference on Silicon Carbide and Related Materials 2001*, 2001, October, Japan.

4) K. Nakayama, Y. Sugawara, H. Tsuchida, T. Miyanagi, I. Kamata, T. Nakamura, K. Asano and D. Takayama: "4H-SiC pin Diodes on $(000\bar{1})$ C-face with Reduced Forward Degradation" *16th International Symposium on Power Semiconductor Devices & Ics*, 2004, May, Japan.

5) K. Nakayama, Y. Sugawara, H. Tsuchida, T. Miyanagi, I. Kamata, T. Nakamura, K. Asano and R. Ishii: "8.3 kV 4H-SiC pin Diode on $(000\bar{1})$ C-face with Small Forward Degradation" *5th European Conference on Silicon Carbide and Related Materials*, 2004, August, Italy.

6) K. Nakayama, Y. Sugawara, R. Ishi, H. Tsuchida, T. Miyanagi, I. Kamata and T. Nakamura: "Dynamic Characteristics of 4H-SiC pin Diode on $(000\bar{1})$ C-face with Small Forward Degradation" *11th International Conference on Silicon Carbide and Related*

Materials 2005, 2005, September, USA.

7) K. Nakayama, Y. Sugawara, Y. Miyanagi, K. Asano, S. Ogata, S. Okada, T. Izumi and A. Tanaka: "Behavior of Stacking Faults in TEDREC Phenomena for 4.5kV SiCGT" *International Conference on Silicon Carbide and Related Materials 2007*, 2007, October, Japan.

8) K. Nakayama, Y. Miyanagi, K. Asano, S. Ogata, T. Izumi and A. Tanaka: "Light Emission Images of Stacking Faults in TEDREC Phenomena for 4.5 kV SiCGT" *2nd Global COE Student Conference on Innovative Electronics Topics*, 2010, July, Japan.

9) K. Nakayama, R. Ishi, K. Asano, T. Miyazawa, M. Ito and H. Tsuchida: "Development of Component Technologies for Ultra-High-Voltage 4H-SiC pin Diode" *The 8th European Conference on Silicon Carbide and Related Materials*, 2010, August, Norway.

10) K. Nakayama, R. Ishi, K. Asano, T. Miyazawa and H. Tsuchida: "Development of SiC Zener Diode for Protection of SiCGT" *The 8th European Conference on Silicon Carbide and Related Materials*, 2010, August, Norway.

11) K. Nakayama, Y. Sugawara, H. Tsuchida, C. Kimura and H. Aoki: "Recombination at Perimeter of Stacking Faults in 4H-SiC pin Diode with Forward Voltage Drift" *2010 International Comnference on Solid State Devices and Materials*, 2010, September, Japan.

12) K. Nakayama, A. Tanaka, K. Asano, T. Miyazawa, M. Ito and H. Tsuchida: "Electric Characteristics of 4H-SiC pin Diode with Carbon Implantation or Thermal Oxidation" *International Conference on Silicon Carbide and Related Materials 2011*, 2011, September, USA.

13) K. Nakayama, A. Tanaka, K. Asano, T. Miyazawa, M. Ito and H. Tsuchida: "Electric Characteristics of 4H-SiC pin Diode with Carbon Implantation or Thermal Oxidation" *International Symposium on SiC Power Electronics 2011 - Challenges for Ultrahigh-Voltage Power Devices* -, 2011, December, Japan.

14) K. Nakayama, A. Tanaka, K. Asano, T. Miyazawa and H. Tsuchida: "Influence of In-grown Stacking Faults on Electrical Characteristics of 4H-SiC Pin Diode with Long Carrier Lifetime" *The 8th European Conference on Silicon Carbide and Related Materials*, 2012, September, Russia.

15) K. Nakayama, T. Hemmi and K. Asano: "Simulation of TEDREC Phenomena for 4H-SiC Pin Diode with p/n Type Drift Layer" *The 8th European Conference on Silicon Carbide and Related Materials*, 2012, September, Russia.

国際会議発表（連名）24 件

国内会議発表（著者登壇分）11 件

1) 中山浩二, 三柳洋一, 高田禎介, 塩見弘, 西野茂弘:「高品質 SiC バルク結晶の成長」*電子情報通信学会電子デバイス研究会*、2000 年 10 月、京都.
2) 中山浩二, 三柳洋一, 高田禎介, 塩見弘, 西野茂弘:「SiC のポリタイプ制御による 2 インチφ4H 型低抵抗基板の開発」*SiC 及び関連ワイドギャップ半導体研究会 第 9 回講演会*、2000 年 12 月、名古屋.
3) 中山浩二, 三柳洋一, 高田禎介, 塩見弘, 西野茂弘:「SiC のポリタイプ制御による 2 インチφ4H 型低抵抗基板の開発」*2001 年(平成 13 年)春季 第 48 回応用物理学関係連合講演会*、2001 年 3 月、東京.
4) 中山浩二, 三柳洋一, 高田禎介, 塩見弘:「4H-SiC{03-38}と 6H-SiC{01-14}基板の開発」*2001 年(平成 13 年)春季 第 48 回応用物理学関係連合講演会*、2001 年 3 月、東京.
5) 中山浩二, 三柳洋一, 高田禎介, 塩見弘, 西野茂弘:「SiC 結晶成長における大型欠陥発生の原因」*2001 年(平成 13 年)秋季 第 62 回応用物理学会学術講演会*、2001 年 9 月、豊田.
6) 中山浩二, 三柳洋一, 塩見弘, 西野茂弘:「ホットウォール CVD による 2 インチ 4H-SiC エピウェハの開発」*SiC 及び関連ワイドギャップ半導体研究会 第 10 回講演会*、2001 年 12 月、京都
7) 中山浩二, 石井竜介, 菅原良孝, 土田秀一, 三柳俊之, 鎌田功穂, 中村智宣:「4H-SiC(000$\bar{1}$)高耐圧少劣化 pin ダイオードの評価」*SiC 及び関連ワイドギャップ半導体研究会 第 13 回講演会*、2004 年 10 月、名古屋.
8) 中山浩二、菅原良孝:「4H-SiC(000$\bar{1}$)C 面結晶による高耐圧 pin ダイオードの劣化低減」*第 226 回電気材料懇談会*、2007 年 1 月、大阪.
9) 中山浩二、石井竜介、浅野勝則、土田秀一、宮澤哲哉、伊藤雅彦:「超高耐電圧 4H-SiC pin ダイオードの要素技術開発」*SiC 及び関連ワイドギャップ半導体研究会 第 19 回講演会*、2010 年 10 月、つくば.
10) 中山浩二、浅野勝則、三柳洋一、田中篤嗣、西村政彦、泉徹、緒方修二、林利彦:「高エネルギー電子線照射による 4.5kV SiCGT のキャリア寿命制御シミュレーション」*SiC 及び関連ワイドギャップ半導体研究会 第 19 回講演会*、2010 年 10 月、つくば.
11) 中山浩二、逸見哲郎、浅野勝則:「n 型および p 型のドリフト層を持つ 4H-SiC pin ダイオードを用いた TEDREC 現象のシミュレーション」*SiC 及び関連ワイドギャップ半導体研究会 第 21 回講演会*、2012 年 11 月、大阪.

国内会議発表（連名）20 件

報奨 2 件

1) 平成 22 年電気学会電気学術振興賞(論文賞) 中山浩二、菅原良孝、石井竜介、土田秀一、鎌田功穂、中村智宣:「4H-SiC pin ダイオードの順方向電圧劣化特性と高耐圧少劣化(000$\bar{1}$)C 面 4H-SiC pin ダイオード」(2010)
2) 第 58 回電気科学技術奨励賞 中山浩二、石井竜介、土田秀一:「大容量･高耐熱 SiC ツェナーダイオードの開発」(2010)

特許（登録分）5 件

1) 特許 4751380「半導体装置」
2) 特許 4872158「ショットキーダイオード、ｐｎ接合ダイオード、ｐｉｎ接合ダイオード、および製造方法」
3) 特許 4879507「バイポーラ型半導体装置の順方向電圧回復方法、積層欠陥縮小方法およびバイポーラ型半導体装置」
4) 特許 5011493「炭化珪素半導体素子の製造方法」
5) 特許 5044117「炭化珪素バイポーラ型半導体装置」