Osaka University Knowledge Archive

Title	アナログ・フロント・エンド集積回路の低消費電力化に関する研究
Author(s)	大倉, 鉄郎
Citation	大阪大学, 2013, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/26204
rights	
Note	

Osaka University Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

Osaka University

様式3

論　文　内　容　の　要　旨

〔　題　　名　〕アナログ・フロント・エンド集積回路の低消費電力化に関する研究

学位申請者　　大倉　鉄郎

本論文はアナログ・フロント・エンド(AFE：Analog Front End)を構成する可変利得増幅器とパイプラインA/D変換器の低消費電力化に関する研究をまとめたもので、以下の5章で構成した。

第1章では、本研究の導入部として、研究の背景、AFEにおける課題と目的について述べた。

第2章では、2段構成演算増幅器を用いたスイッチト・キャパシタ型可変利得増幅器の低消費電力化について述べた。演算増幅器の入力段相互コンダクタンスと位相補償容量を可変利得増幅器の利得に応じて制御し、更に、出力段相互コンダクタンスも可変とすることで、高い電力効率で全利得に対して帯域と安定性を満たした。0.25μm-CMOSプロセスを用い、動作周波数が40MSps、利得幅が0から30dBの可変利得増幅器を設計した。シミュレーション結果より、最小利得での動作時において、60%の低消費電力効果を確認した。

第3章では、パイプラインA/D変換器に広く用いられるマージド・キャパシタ・スイッチング(MCS：Merged Capacitor Switching)法を用いた場合のキャパシタ差動間ミスマッチに関する解析を行った。パイプラインA/D変換器では、線形性を向上するために大きなキャパシタを要する。しかし、大きなキャパシタを用いると、内部で用いる増幅器の負荷容量が大きくなるため消費電力が増大する。必要最小限のキャパシタを用いる事が、低消費電力設計を行う上で重要である。MCS法を用いた際の、キャパシタ差動間ミスマッチによる非線形性への影響および差動間グラウンド電圧が非線形性へ与える影響を明らかにした。

第4章では、可変利得増幅機能を有したパイプラインA/D変換器の構成を提案し、また、その低消費電力化について述べた。一般的に、AFEでは、A/D変換器の入力信号振幅を適切に調整するため、可変利得増幅器が前置回路として用いられる。アナログ回路の段数が多ければ、消費電力は大きく、またノイズ源も多い。パイプラインA/D変換器の初段MDAC(Multiplying Digital-to-Analog Converter)回路に可変利得増幅機能を付加して、AFEで用いる増幅器の数を削減し消費電力の低減を実現した。また、利得に応じてMDAC回路の入出力段相互コンダクタンスと位相補償容量を制御して、低利得動作時の消費電力低減を図った。0.18μm-CMOSプロセスを用い、分解能が11bit、動作速度が40MSps、可変利得幅が0から18dBのパイプラインA/D変換器を設計した。シミュレーション結果より、最小利得時に、47%の消費電力削減を確認した。また、0から18dBの利得幅を持つ可変利得増幅器と11bitのA/D変換器を組み合わせた場合と比べて、おおよそ35%の低消費電力効果が得られた。

第5章では、本論文をまとめた。

様式 7

論文審査の結果の要旨及び担当者

氏　名　（ 大倉　鉄郎 ）			
論文審査担当者		(職)	氏　名
	主 査	准教授	松岡　俊匡
	副 査	教授	八木　哲也
	副 査	教授	高井　重昌
	副 査	准教授	橋本　昌宜
	副 査	招聘教授	谷口　研二
	副 査	教授	伊藤　利道
	副 査	教授	森　勇介
	副 査	教授	片山　光浩
	副 査	教授	尾崎　雅則
	副 査	教授	栖原　敏明
	副 査	教授	近藤　正彦
	副 査	教授	大森　裕

論文審査の結果の要旨

本論文は、「アナログ・フロント・エンド集積回路の低消費電力化に関する研究」に関する研究成果をまとめたものであり、以下の5章で構成されている。

第1章では、本研究の導入部として、研究の背景、アナログ・フロント・エンド(AFE)における課題と目的について述べている。

第2章では、2段構成演算増幅器を用いたスイッチト・キャパシタ型可変利得増幅器の低消費電力化について述べている。演算増幅器の入力段相互コンダクタンスと位相補償容量を可変利得増幅器の利得に応じて制御し、更に、出力段相互コンダクタンスも可変とすることで、高い電力効率で全利得に対して帯域と安定性を実現している。0.25μm-CMOSプロセスを用い、動作周波数が40MSps、利得幅が0から30dBの可変利得増幅器を設計し、シミュレーションにより、最小利得での動作時において60%の低消費電力効果を確認している。

第3章では、パイプラインA/D変換器に広く用いられるマージド・キャパシタ・スイッチング(MCS:Merged Capacitor Switching)法を用いた場合のキャパシタ差動間ミスマッチに関する解析を行っている。パイプラインA/D変換器では、線形性を向上するために大きなキャパシタを要する。しかし、大きなキャパシタを用いると、内部で用いる増幅器の負荷容量が大きくなるため消費電力が増大する。必要最小限のキャパシタを用いる事が、低消費電力設計を行う上で重要である。本章では、MCS法を用いた際の、キャパシタ差動間ミスマッチによる非線形性への影響および差動間グラウンド電圧が非線形性へ与える影響を明らかにしている。

第4章では、可変利得増幅機能を有したパイプラインA/D変換器の構成を提案し、また、その低消費電力化について述べている。一般的に、AFEでは、A/D変換器の入力信号振幅を適切に調整するため、可変利得増幅器が前置回路として用いられる。アナログ回路の段数が多ければ、消費電力は大きく、またノイズ源も多い。本章では、パイプラインA/D変換器の初段MDAC(Multiplying Digital-to-Analog Converter)回路に可変利得増幅機能を付加して、AFEで用いる増幅器の数を削減し消費電力の低減を実現している。また、利得に応じてMDAC回路の入出力段相互コンダクタンスと位相補償容量を制御して、低利得動作時の消費電力低減を図っている。0.18μm-CMOSプロセスを用い、分解能が11bit、動作速度が40MSps、可変利得幅が0から18dBのパイプラインA/D変換器を設計し、シミュレーションにより、最小利得時に47%の消費電力削減を確認している。また、0から18dBの利得幅を持つ可変利得増幅器と11bitのA/D

変換器を組み合わせた場合と比べて、おおよそ35%の低消費電力効果が得られている。

第5章では、本論文をまとめている。

以上のように、本論文は 1) 入出力相互コンダクタンス及び位相補償容量を可変とする可変利得増幅器の低消費電力化手法、2) MCS 法を用いたパイプライン A/D 変換器の非線形性に関する解析に基づく設計指針、3) 可変利得増幅機能を有したパイプライン A/D 変換器による AFE の低消費電力化手法を提案し、これらが回路性能の向上に寄与することを明らかにしている。これらの研究成果および本論文で述べた回路技術は、アナログ・フロント・エンド集積回路の低消費電力化を可能とし、エレクトロニクス産業の発展に大きく寄与するものである。

よって本論文は博士論文として価値あるものと認める。