The University of Osaka
Institutional Knowledge Archive

Title	アナログ・フロント・エンド集積回路の低消費電力化に関する研究
Author(s)	大倉, 鉄郎
Citation	大阪大学, 2013, 博士論文
Version Type	VoR
URL	https://doi.org/10.18910/26204
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

博士学位論文

アナログ·フロント·エンド集積回路の低消費電力化に関する研究

大倉 鉄郎

2013年7月

大阪大学大学院工学研究科

内容梗概

本論文は，著者が大阪大学大学院工学研究科在学中に電気電子情報工学専攻量子電子デバイス工学部門集積機能デバイス領域において行ったアナログ · フロント · エンド (AFE : Analog Front End) を構成する要素回路の低消費電力化に関する研究の成果をまとめたものであり，5 章から構成されている．以下，各章ごとの概要を述べる．

第 1 章

本章では，本論文の導入部として，研究の背景，AFE における課題と目的を述べた．

第 2 章

AFE において，可変利得増幅器 (PGA : Programmable Gain Amplifier) は信号振幅を適切に制御するために広く用いられている．負帰還演算増幅回路の帰還率を制御する事で可変利得機能を実現する方法が広く用いられているが，帰還率に応じて帯域と位相余裕が変動する問題点を抱えている．一般的に PGA では帰還率を指数関数的に変化させ利得を制御するため，電力効率を下げずに帯域と安定性を両立させることは困難である．帰還率に応じた帯域及び位相余裕の変動を抑えるため，位相補償容量を制御する PGA(C_c-PGA) と入力段相互コンダクタンスを制御する PGA(g_m-PGA) が提案されているが，それぞれ，実装面積の増加と低利得動作時のノイズ性能劣化という問題点がある．

本章では，C_c-PGA と g_m-PGA の問題点を解決するため，入出力段相互コンダクタンス及び位相補償容量を制御する PGA(g_mC_c-PGA) を提案した．g_mC_c-PGA は，利得制御時に入力段相互コンダクタンスと位相補償容量を同時に制御する事で、それぞれの制御幅を小さくすることが可能であり，C_c-PGA に比べて小面積，g_m-PGA に比べて低ノイズな PGA を実現した．また，2 次極を考慮して出力段相互コンダクタンスを制御する事で，消費電力の低減を実現した．シミュレーションにより各方式の PGA を比較し，g_mC_c-PGA の有用性を明かにした．

第 3 章

パイプライン A/D 変換器 (ADC : Analog-to-Digital Converter) の消費電力の大部分は MDAC (Multiplying Digital-to-Analog Converter) 回路が占めているため，低消費電力化のためには MDAC 回路の消費電力削減が重要である．MDAC 回路の消費電力は，MDAC 内部で用いられる容量値によって決定され，容量値は ADC で要求される精度によって決定される．MDAC 回路で用いる容量素子の数を削減する事で負荷容量を低減し，低消費電力化を行う MCS(Merged-Capacitor-Switching) 法が提案されているが，MCS 法を用いたパイプライン A/D 変換器においては，精度と容量値の詳細な解析がなされていなかった．

本章では，従来問題とされていなかった MDAC を構成する D/A 変換セグメント内の差動キャパシタミスマッチによるパイプライン A/D 変換器の非線形性への影響について解析を行った結果を示した．解析で得たモデルによると，セグメント内差動キャパシタミスマッチによって A/D 変換器の線形性が低下することが明かになった．また，差動間グラウンド電圧の電位によって，セグメント内差動ミスマッチの線形性に与える影響が変化することを明かにした．

第 4 章

パイプライン A/D 変換器は 10 ビット以上の分解能を有し，サンプリングレートが数十 MSps を要求されるシステムの AFE として広く用いられている．入力信号振幅が小さい場合でも A/D 変換器の分解能を有効に活用するため，前置回路として PGA が併用されることが多い．しかし，A/D 変換器のサンプリング容量を駆動するため，PGA の消費電力は非常に大きくなってしまう．

本章では，パイプライン A/D 変換器の初段 MDAC 回路に可変利得増幅機能を持たせ，A/D 変換動作と同時に可変利得機能を実行する事で，パイプライン A/D 変換器の高いスループットを維持したまま，PGA 回路を不要にする方法を提案した．さらに，初段 MDAC 回路に第 2 章で提案した，g_mC_c-PGA を用いることで，低利得動作時の消費電流低減を図った．

第 5 章

本論文で取り上げた各研究の成果についてまとめた．

目 次

第 1 章　序論 **1**
1.1　研究背景と目的 1
1.2　本論文の構成 4

第 2 章　可変利得増幅器の低消費電力化 **9**
2.1　はじめに 9
2.2　PGA 回路を構成するスイッチト · キャパシタ回路 9
2.2.1　動作原理 10
2.2.2　ノイズ 15
2.3　既存 PGA 回路の構成 19
2.3.1　位相補償容量可変 PGA 回路 24
2.3.2　入力段相互コンダクタンス可変 PGA 回路 24
2.4　入出力段相互コンダクタンス及び位相補償容量を制御する PGA 回路 27
2.5　各 PGA の比較検討 28
2.5.1　消費電流 29
2.5.2　面積 30
2.5.3　出力換算ノイズ 30
2.5.4　比較のまとめ 31
2.6　設計回路 31
2.7　シミュレーション結果 35
2.8　むすび 41

第 3 章　パイプライン A/D 変換器におけるキャパシタミスマッチの非線形性への影響に関する解析 **45**
3.1　はじめに 45
3.2　パイプライン A/D 変換器の基本動作 45
3.2.1　MDAC 回路 49
3.2.2　各単位処理回路への要求精度 52
3.2.3　問題点 58
3.3　MDAC セグメント内差動キャパシタミスマッチに関する解析 59
3.4　シミュレーション結果 66
3.5　むすび 66

第 4 章　可変利得増幅機能を有したパイプライン A/D 変換器の低消費電力化　71
4.1　はじめに 71
4.2　既存回路の構成 72
4.3　可変利得増幅機能を有するパイプライン A/D 変換器の構成 73
4.3.1　MDAC 回路 75
4.3.2　フラッシュA/D 変換器 77
4.4　シミュレーション結果 80
4.4.1　初段 MDAC 回路の特性 80
4.4.2　フラッシュA/D 変換器のオフセット電圧 82
4.4.3　可変利得増幅機能を有したパイプライン A/D 変換器の全体特性 82
4.5　むすび 86

第 5 章　結論　89

付 録 A 負帰還増幅回路の帰還率とアンプ構成　91

研 究 業 績　99

第1章　序論

1.1　研究背景と目的

LSI(Large Scale Integration) 市場は 1990 年代から急速な発展を遂げてきた．更に，今後も継続して成長していくと考えられている [1]．これは，半導体技術の進歩に伴い LSI の活用範囲が益々広がっており，日常生活の隅々にまで使われるようになってきているためである．産業機器はもちろんの事，自動車，スマートフォンやディジタルスチールカメラ等のディジタル機器，そして，農業分野等においても，LSI が用いられ，様々な自然界の信号をセンシングし情報処理が行われている．

LSI の信号処理経路を図 1.1 に示す．LSI 内部における様々な信号処理の多くはディジタル領域で行われる．しかし，自然界に存在する信号はアナログ領域である．各種センサが自然界の信号を電圧，電流などの電気信号に変換し，その電気信号に対して，アナログ · フロント · エンドでアナログ信号処理とディジタル信号への変換が行われる．アナログ · フロント · エンドは，信号振幅の調整，帯域制限，バッファリング等を行う演算増幅器と A/D 変換器で構成されている．A/D 変換後の信号は，ディジタル領域で様々な信号処理が施される．ディジタル信号処理が行われた信号を自然界に出力する際には，D/A 変換器を用いてディジタル信号を人間が認識できるアナログ信号に変換する．また，無線通信システムにおいて，通信プロトコルが高レベルの層でディジタル信号を扱う場合でも，アンテナから伝送される通信波は，全て正弦波を基本とするアナログ信号であり，同様にアナログ · フロント · エンドが用いられている．この様に，LSI でディジタル信号処理を行うためには，様々なアナログ回路が必須である．そのため，LSI 市場の拡大と共に，アナログ回路市場も拡大を続けていくと予想されている (図 1.2 : WSTS 2011 年秋季半導体市場予測 [1] および 2012 年の DATABeans による世界アナログ IC 市場予測 [2] を元にグラフ化)．

前述した様に，LSI 内部における信号処理は，そのほとんどがディジタル信号領域で行われている．ディジタル回路は，半導体の微細化が進むことで，高性能化，小型化，および低消費電力化の恩恵を受けられる．ディジタル回路の消費電力 P は $NCfV^2$ に比例する．ここで，N はゲート数，C は負荷容量，f は動作周波数，V は電源電圧を表している．高性能化のため，N と f を向上させた場合でも，微細化により C と V を低下させることで，3 乗相当の電力削減効果が得られる．また，集積ゲート数は微細化の 2 乗，動作周波数は微細化に比例して上昇すると仮定すれば，ディジタル回路は消費電力の増加なく集積度と速度を上げる事が可能である．一方，LSI 内部でアナログ信号処理を行うアナログ回路においては，ディジタル回路のように微細化の恩恵を受けることはほとんどない．アナログ回路では，ディジタル回路と違い常に電流が流れた状態であるため，電源電圧を低下させても消費電力は 1 乗でしか低減できない．また，電源電圧を低下させると，ダイナミック · レンジが狭くなり，精度劣化が起こる．さらに，トランジスタサイズを小さくすればノイズの増加や相対精度の劣化が起こり，性能劣化に繋がる．配線の微細化では配線抵抗が増加し，近接配線によって寄生容量が増加する．つまり，アナログ回路で小型化を実現するには，そのための回路トポロジーを考案する必要がある．また，消費電力を低減するには，定常的に流れている電流を削減する方法が不可欠である．ここで，2005 年

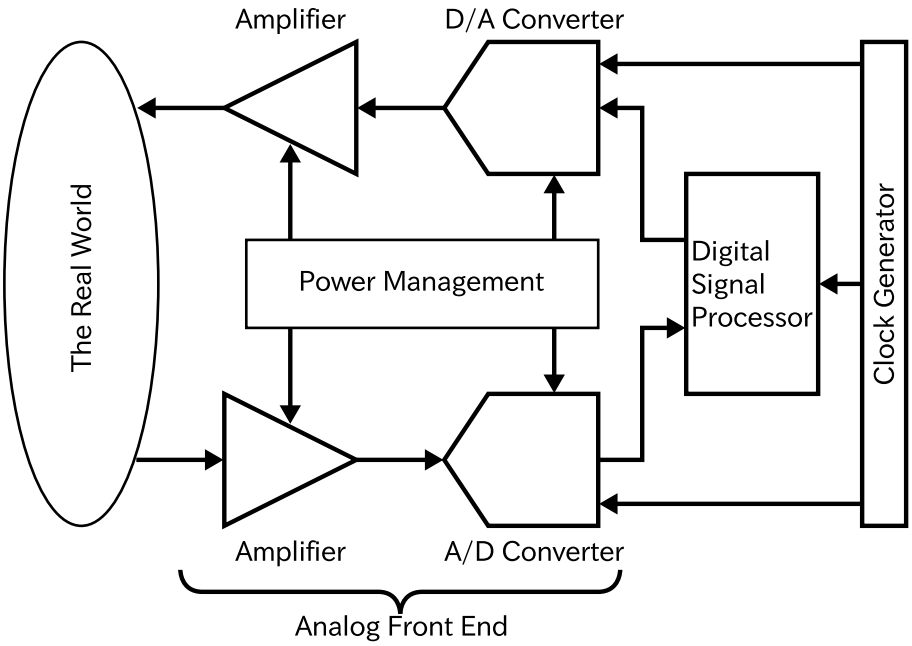


図 1.1: 信号処理経路

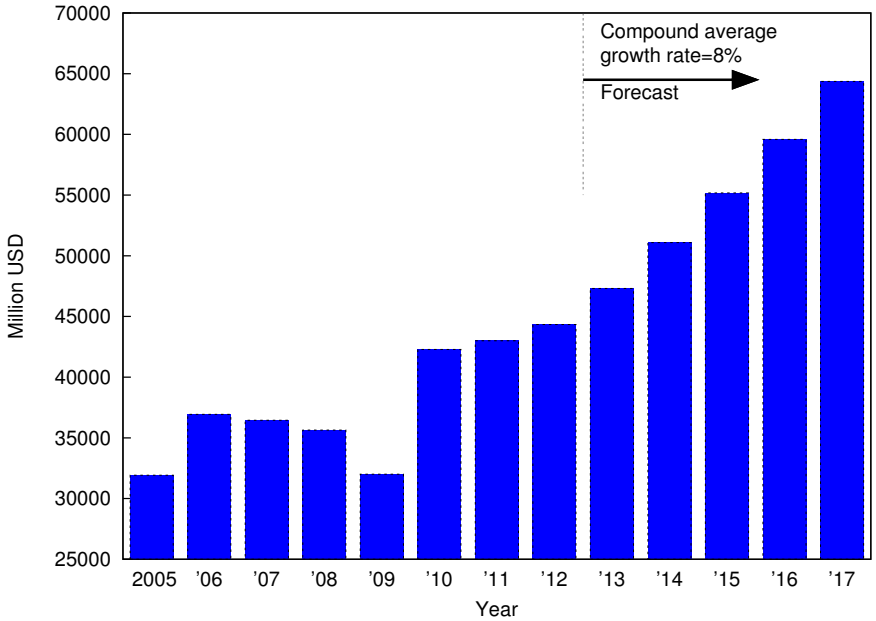


図 1.2: アナログ回路の市場規模 [1][2]

から 2013 年までに主要な国際学会 (ISSCC : International Solid-State Circuits Conference，VLSI : Symposium on VLSI Circuits) で発表された A/D 変換器の FOM(Figure of Merit) とプロセステクノロジーの関係を図 1.3 に示す．FOM は電力効率を表す指標で，

$$\mathrm{FOM} = \frac{\mathrm{Power}}{2^{\mathrm{ENOB}} \cdot 2 \cdot \mathrm{BW}} \tag{1.1}$$

で与えられる [3]．ここで，Power，ENOB，BW はそれぞれ消費電力，有効分解能，そして信号帯域

を示している．FOM の値が小さいほど，電力効率の高い A/D 変換器である．プロセステクノロジーの微細化が，電力効率の向上に直結していないことが見てとれる．

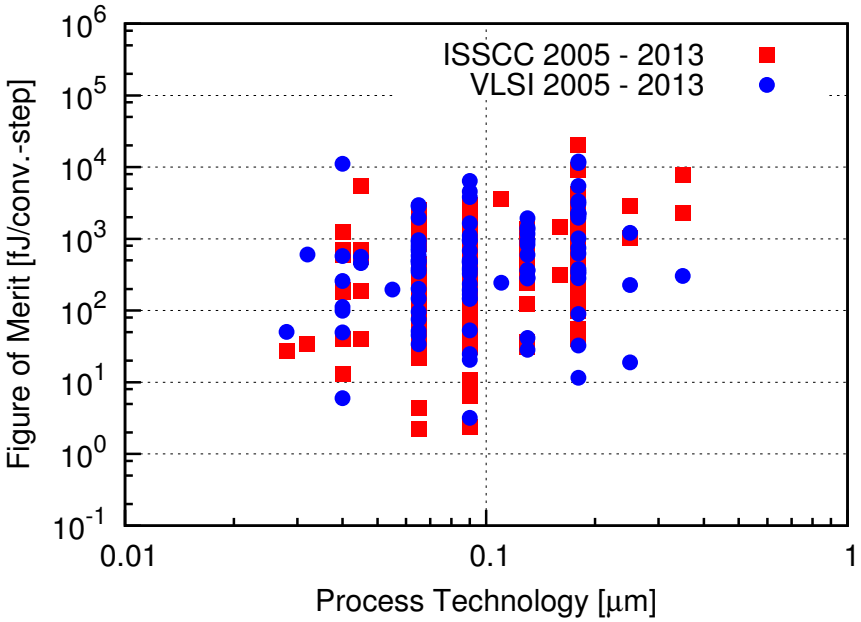


図 1.3: プロセステクノロジーと FOM の関係 [4]

本研究では，アナログ · フロント · エンドを構成する要素回路の中でも，信号振幅を適切に調節するために用いられる可変利得増幅器 [5][6] と，変換速度が数 MSps から数百 MSps で，分解能が 10 から 16 ビット程度において，電力効率とチップ面積のバランスに優れたパイプライン A/D 変換器 [7][8][9][10] に着目した．

パイプライン A/D 変換器と可変利得増幅器は自動車用センサ，医療機器，ディジタル通信，ビデオインターフェース，イメージングプロセス等を有するアプリケーションで広く用いられている [11][12][13]．パイプライン A/D 変換器，可変利得増幅器ともに高利得，広帯域な増幅器を用いて構成される．低電源電圧下では高利得な増幅器を実現することは非常に難しく，両回路ともに電源電圧の低下によるデメリットが大きい．そのため，特にバッテリー駆動のアプリケーションでは，定常的に消費される電流量を削減することによる低消費電力化が強く求められている．また，システムの多機能化により，多チャンネル入力の処理を要求するアプリケーションが増加している．A/D 変換器の入力にマルチプレクサを用いることで，1 つの A/D 変換器で複数チャンネルの信号処理が行われるが，可変利得増幅器は各チャンネル毎にそれぞれ用いる事が多く，面積と消費電力が増大する．そのため，可変利得増幅器の低消費電力化に対する要求も高い．本論文では，可変利得増幅器とパイプライン A/D 変換器に対して，定常的な電流消費を抑えることで消費電力の低減を目指した．また，可変利得増幅機能を有するパイプライン A/D 変換器を提案することで，アナログ · フロント · エンドで用いる増幅器の数を削減し低消費電力化を図った．

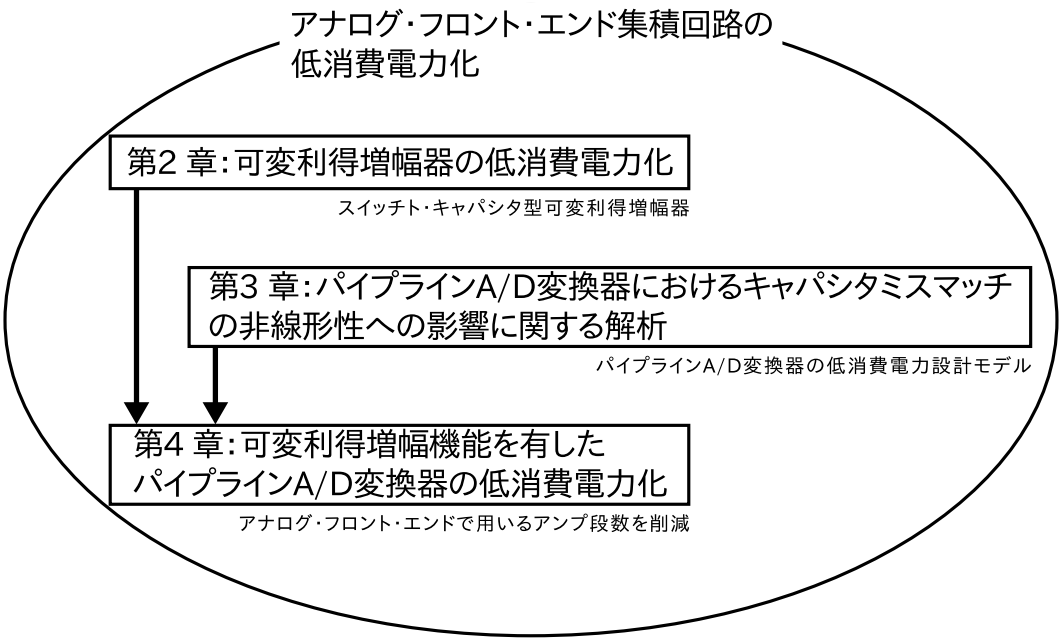


図 1.4: 本論文の構成

1.2　本論文の構成

本論文では，以上の背景に基づき，アナログ · フロント · エンドを構成する PGA 回路とパイプライン A/D 変換器に着目し，その低消費電力化の研究を行った．図 1.4 に示すように，可変利得増幅器の低消費電力化，パイプライン A/D 変換器の低消費電力設計に有効なキャパシタ差動間ミスマッチによる非線形性への影響に関する解析，そして，可変利得増幅機能を有するパイプライン A/D 変換器の提案と，その低消費電力化を行った．

第 2 章 可変利得増幅器の低消費電力化

本章では，2 段構成演算増幅器を用いたスイッチト · キャパシタ型可変利得増幅器の低消費電力化について述べる．2 段構成演算増幅器の入力段相互コンダクタンスと位相補償容量を可変利得増幅器の利得に応じて制御し，更に，出力段相互コンダクタンスも可変にすることで，高い電力効率で全利得に対して帯域と安定性を満たす可変利得増幅器を実現した．0.25μm CMOS プロセスを用い，動作周波数が 40MSps，利得幅が 0 から 30dB の可変利得増幅器でのシミュレーション結果より，最小利得での動作時に 60%の低消費電力効果を確認した．

第 3 章 パイプライン A/D 変換器におけるキャパシタミスマッチの非線形性への影響に関する解析

MDAC 回路で用いるキャパシタは，パイプライン A/D 変換器の精度と消費電力に大きく影響する．最小限の電力で要求精度を満たすためには，キャパシタミスマッチとパイプライン A/D 変換器の線形性に関するモデルが必要である．本章では，パイプライン A/D 変換器に広く用いられるマージド · キャパシタ · スイッチング法を用いた場合のキャパシタミスマッチに関する解析を行った．MDAC 回路に用いるキャパシタの D/A 変換セグメント内差動ミスマッチによって微分非直線性 (DNL : Differential

Non-Linearlity) が悪化し，またミッシングコードの発生確率が差動間グラウンド電圧に依存することを明かにした．

第 4 章 可変利得増幅機能を有したパイプライン A/D 変換器の低消費電力化

A/D 変換器の前置回路として，入力信号振幅を適切な振幅に調整するために可変利得増幅器が用いられる事が多い．アナログ回路の段数が多ければ，定常的な電流量も大きく，また，ノイズ源も多くなる．本章では，パイプライン A/D 変換器を構成する初段 MDAC 回路の利得を可変にし，可変利得増幅機能を有するパイプライン A/D 変換器を実現した．また，入力利得に応じて，MDAC 回路で用いた演算増幅器の相互コンダクタンスと位相補償容量を適切に制御し，低利得動作時の消費電力低減を行った．

0.18μm CMOS プロセスを用い，分解能が 11 ビット，動作速度が 40MSps，可変利得幅が 0 から 18dB のパイプライン A/D 変換器におけるシミュレーション結果より，最小利得での動作時に，47%の消費電力削減を確認した．また，可変利得増幅器を A/D 変換器に取り込む事で，可変利得増幅器と A/D 変換器がそれぞれ独立に存在する場合と比べて，およそ 35%の低消費電力効果が期待できる．

第 5 章 結論

本章で本研究のまとめを述べる．

参考文献

[1] World Semiconductor Trade Statistics. [Online]. Available: http://www.wsts.org

[2] databeans. [Online]. Available: http://databeans.net/products/current_products/trackers/tr_analog-analog.php

[3] R. Walden, "Analog-to-digital converter survey and analysis," *IEEE Journal on Selected Areas in Communications*, vol. 17, no. 4, pp. 539–550, 1999.

[4] Murmann, B., "ADC Performance Survey 1997-2013." [Online]. Available: http://www.stanford.edu/ murmann/adcsurvey.html

[5] J. Khoury, "On the design of constant settling time AGC circuits," *IEEE Trans. Circuts Syst. II*, vol. 45, no. 3, pp. 283–294, 1998.

[6] K. Ragab, M. Kozak, and N. Sun, "Thermal Noise Analysis of a Programmable-Gain Switched-Capacitor Amplifier With Input Offset Cancellation," *IEEE Trans. Circuts Syst. II*, vol. 60, no. 3, pp. 147–151, 2013.

[7] S. H. Lewis, H. S. Fetterman, J. Gross, G. F., R. Ramachandran, and T. R. Viswanathan, "A 10-b 20-Msample/s analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 27, no. 3, pp. 351–358, 1992.

[8] B. Murmann and B. Boser, "A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2040–2050, 2003.

[9] I. Ahmed, J. Mulder, and D. Johns, "A Low-Power Capacitive Charge Pump Based Pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 45, no. 5, pp. 1016–1027, 2010.

[10] J.-K. Woo, H. Lee, H.-C. Kim, D.-K. Jeong, and S. Kim, "1.2V 10-bit 75MS/s Pipelined ADC With Phase-Dependent Gain-Transition CDS," *IEEE Transaction on VLSI Systems*, vol. PP, no. 99, pp. 1–1, 2013.

[11] M. Al-Shyoukh and A. Teutsch, "A pipelined dual-channel switched capacitor programmable gain amplifier," in *Proc. IEEE Int. Symp. Circuits and Systems*, 2006, pp. 4 pp.–.

[12] K. Zhu, S. Balagopal, and V. Saxena, "Systematic design of 10-bit 50MS/s pipelined ADC," in *IEEE Workshop on Microelectronics and Electron Devices*, 2013, pp. 17–20.

[13] J. Yuan, S. W. Fung, K. Y. Chan, and R. Xu, "A 12-bit 20 MS/s 56.3 mW Pipelined ADC With Interpolation-Based Nonlinear Calibration," *IEEE Trans. Circuts Syst. I*, vol. 59, no. 3, pp. 555–565, 2012.

第2章　可変利得増幅器の低消費電力化

2.1　はじめに

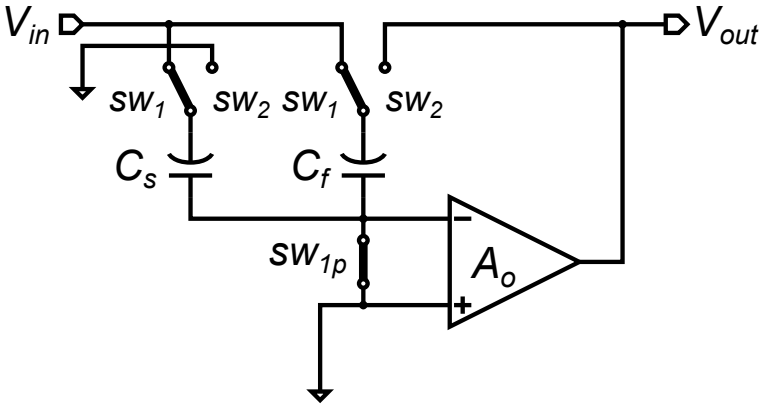
可変利得増幅器 (PGA : Programmable Gain Amplifier) はイメージングシステムや，通信システム等で信号振幅を適切に制御するために広く用いられている．ディジタル制御 PGA としては，演算増幅器の帰還率を制御するスイッチト · キャパシタ方式 [1][2] や，バイアスオフセット方式 [3] が提案されている．スイッチト · キャパシタ型 PGA は，高精度な可変利得を実現可能であるが，帰還率を制御すると帯域と位相余裕が帰還率によって変わる問題を抱えている [4]．一般に PGA では帰還率を指数関数的に変化させ利得を制御するため，電力効率を下げずに帯域と安定性を両立させることは困難である．帰還率に応じた帯域及び位相余裕の変動を抑えるため，位相補償容量可変 PGA(C_c-PGA)[5]，入力段相互コンダクタンス可変 PGA(g_m-PGA)[6] が提案されている．C_c-PGA では，帰還率に比例した位相補償容量を使用することで，帰還率の変化に起因する 1 次極の変動を抑えているが，位相補償容量に依存する 2 次極とゼロ点の変動を抑えることができない．そのため，位相余裕を帰還率によらず一定にすることが難しく，電力効率が低下する．また，位相補償容量を指数関数的に制御するため使用する容量値が大きく，チップ面積が大きいという欠点がある．一方，g_m-PGA は，帰還率に反比例して入力段相互コンダクタンスを制御する事で 1 次極の変動を抑えている．2 次極とゼロ点は入力段相互コンダクタンスに依存しないことから，帰還率に関わらず帯域と位相余裕が一定となる．しかし，低利得時に入力段の相互コンダクタンスを指数関数的に小さくするため，出力換算ノイズは C_c-PGA に比べて大きくなり，精度劣化を招く．

本章では，従来 PGA の問題点を解決するため，帰還率に応じて入力段相互コンダクタンスと位相補償容量を同時に制御し，さらに出力段相互コンダクタンスも制御する低消費電力可変利得増幅器を提案する．提案する PGA は入力段相互コンダクタンス，位相補償容量を同時に制御することで，それぞれの制御幅を小さくすることが可能であり，C_c-PGA に比べて小面積，g_m-PGA に比べて低ノイズで実現することができる．また，2 次極を考慮して出力段相互コンダクタンスを制御することにより，更なる消費電力の削減を実現している．以下では，シミュレーションにより本方式の有用性を明かにし，また，各方式の面積の比較を行った．

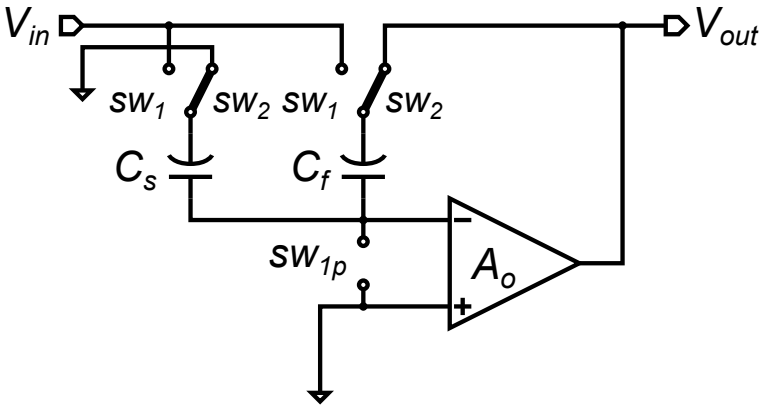
本章の構成は以下の通りである．2.2 節では，PGA 回路を構成するスイッチト · キャパシタ回路の動作原理を説明する．2.3 節では，既存回路の考察とその問題点について述べる．2.4 節では，提案する PGA 回路の構造を示し，2.5 節において各 PGA 方式の比較検討結果について述べる．設計回路の動作について 2.6 節に，シミュレーション結果を 2.7 節に記し，2.8 節では，本章のまとめを述べる．

2.2　PGA 回路を構成するスイッチト · キャパシタ回路

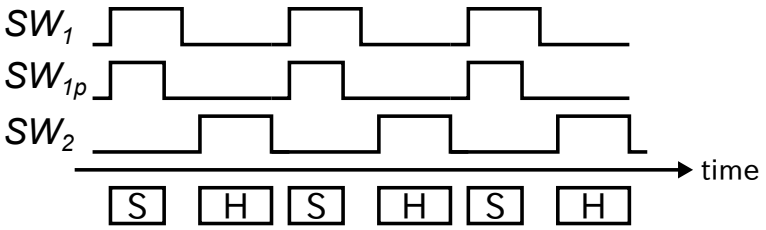
スイッチト · キャパシタ回路は入力信号に対して容量とスイッチを用い電荷転送を行うことで，所望の出力電圧を実現する．高精度な離散時間信号処理に適した方式である．PGA 回路で用いるスイッ



(a) サンプル相



(b) ホールド相



(c) クロックタイミング

図 2.1: スイッチト · キャパシタ型演算増幅器

チト · キャパシタ型演算増幅器の動作について説明する．

2.2.1　動作原理

スイッチト · キャパシタ型演算増幅器のブロック図を図 2.1 に示す．一般的にスイッチト · キャパシタ型演算増幅器はサンプリング容量 C_s，帰還容量 C_f および増幅器で構成される．図は，簡略化のためシングルエンド構成で表記しているが，以下の説明は全差動構成でも同様に考えることができる．サンプル相で入力信号 V_{in} に相当する電荷を容量 C_f，C_s にサンプリングし (図 2.1(a))，ホールド相において C_f，C_s の容量網で構成された帰還回路によって，負帰還回路を実現している (図 2.1(b))．各スイッチの制御信号タイミングは図 2.1(c) に示す通りである．SW_1 及び SW_{1p} がオンの時に，回路は

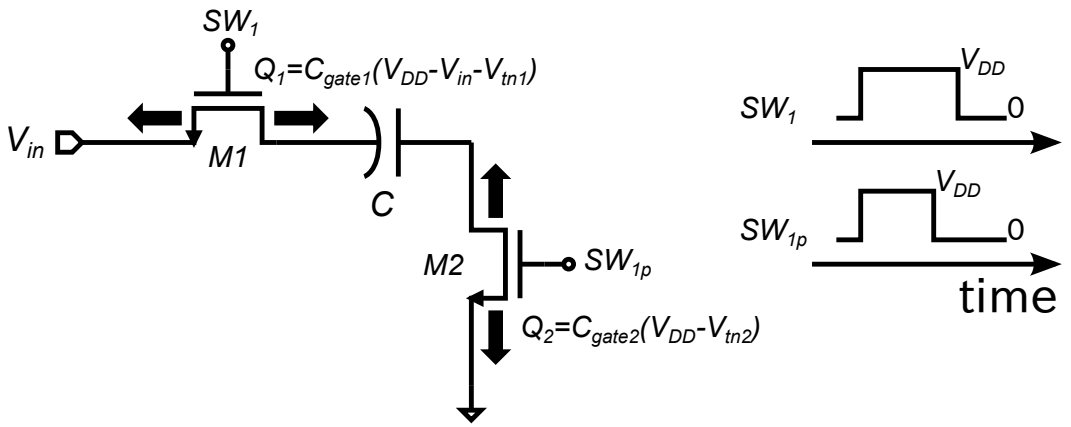


図 2.2: ボトムプレートスイッチング

サンプル状態となるが，ホールド状態に移行する際に SW_{1p} の方が SW_1 よりも若干早くオフになる．これにより，ボトムプレートスイッチングを実現している．ボトムプレートスイッチングは，スイッチト・キャパシタ回路において高精度なサンプリング動作を実現する方法で，これを用いることにより，入力信号に依存した電荷注入の影響を取り除く事が可能である．

ボトムプレートスイッチングについては，図 2.2 に示す Nch MOS トランジスタスイッチと容量だけで構成されるもっとも単純な構成のサンプリング回路を用いて説明する．入力信号をサンプリングする容量 C，C と入力端子の間に接続された Nch MOS トランジスタスイッチ $M1$，C と信号グラウンド間に接続されたスイッチ $M2$ で構成され，$M1$，$M2$ の制御信号を SW_1，SW_{1p} としている．C の $M1$ 側の電極をボトムプレート，$M2$ 側の電極をトッププレートとする．SW_1，SW_{1p} のゲート電圧がともに V_{DD} の時，両スイッチ共にオン状態になり，入力信号 V_{in} を C でサンプリングする．この時，スイッチ $M1$，$M2$ のゲート直下に蓄えられる反転電荷 Q_1，Q_2 は，

$$Q_1 = C_{gate1}\left(V_{DD} - V_{in} - V_{tn1}\right) \tag{2.1}$$

$$Q_2 = C_{gate2}\left(V_{DD} - V_{tn2}\right) \tag{2.2}$$

となる．ここで，C_{gate1}，C_{gate2} および V_{tn1}，V_{tn2} は，それぞれ $M1$，$M2$ のゲート容量と閾値電圧である．式 (2.1) より，Q_1 は明らかに入力信号に依存している．この電荷がサンプリング容量 C に流れ込むと，歪みの原因となり，サンプル精度の劣化を引き起こす．一方，Q_2 はスイッチ $M2$ が固定電位に接続されているため，入力信号に依存しない．SW_{1p} のゲート電圧が 0 になり $M2$ がオフする際，ゲート容量に蓄えられていた反転電荷 Q_2 が容量のトッププレートに流れ込む．次に，SW_1 のゲート電圧が 0 になり $M1$ がオフする際には，入力信号に依存した反転電荷 Q_1 が $M1$ のゲート容量から $M1$ の両端子に流れ出す．しかし，C のトッププレートに蓄えられている電荷は電荷保存則により一定であるため，$M2$ がオフした際の電荷注入に相当する電荷だけがスイッチ $M1$ から C のボトムプレートに流れ込む．以上の動作により，入力電圧に依存しない電荷が C に蓄えられる．電荷注入による影響は毎回同じになるので，サンプル誤差電圧はオフセット電圧として扱うことができ，入力電圧による非線形成分は含まれない．また，マッチングの取れた全差動構成を用いると，トッププレートに接続されたスイッチから生じる電荷注入が差動信号間で同等になり，このオフセット電圧は相殺される．

スイッチト・キャパシタ型演算増幅器の入出力伝達特性について，サンプル相，ホールド相間での電荷保存則を用いて説明する．前述した通り，サンプル相では C_f，C_s を用いて入力信号 V_{in} をサン

プルする．トッププレートに充電された電荷 Q_s は，

$$Q_s = -\left(C_s + C_f\right) V_{in} \tag{2.3}$$

となる．サンプル相からホールド相に遷移する際に，C_s，C_f のトッププレートに接続されたスイッチによる電荷注入の影響があるが，全差動構成を想定しているため，ここでは影響を無視する．図 2.1(b) より，ホールド相では C_s のボトムプレートは信号グラウンドに接続され，C_f のボトムプレートは出力端子 V_{out} に接続される．また，両容量のトッププレートは信号グラウンド間のスイッチ SW_{1p} が開放しているため，ハイインピーダンスノードになる．この時の容量トッププレート電位を V_x とすると，トッププレートの電荷 Q_h は，

$$Q_h = \left(C_s + C_f + C_p\right) V_x - C_f \cdot V_{out} \tag{2.4}$$

となる．ここで，C_p は容量トッププレートから見える寄生容量である．ホールド相において，容量トッププレートはハイインピーダンスとなっているため，電荷の供給，流出が起こらない．これにより，サンプル相/ホールド相間で電荷保存が成り立ち，$Q_s = Q_h$ となる．式 (2.3)，(2.4) よりホールド相の出力電圧 V_{out} は，

$$V_{out} = \frac{C_s + C_f}{C_f} V_{in} + \frac{C_s + C_f + C_p}{C_f} V_x \tag{2.5}$$

となる．増幅器の DC 利得を A_o とすると，V_x と V_{out} の関係は，

$$V_{out} = -A_o V_x \tag{2.6}$$

である．式 (2.5)，(2.6) より，

$$\begin{aligned} V_{out} &= \frac{C_s + C_f}{C_f} V_{in} - \frac{1}{A_o} \frac{C_s + C_f + C_p}{C_f} V_{out} \\ &\approx \frac{C_s + C_f}{C_f} \left(1 - \frac{1}{A_o} \cdot \frac{C_s + C_f + C_p}{C_f}\right) V_{in} \\ &\left(\because \quad \frac{1}{A_o} \cdot \frac{C_s + C_f + C_p}{C_f} \ll 1\right) \end{aligned} \tag{2.7}$$

が導き出される．ここで，寄生容量 C_p が C_s，C_f より十分小さいと仮定し，また，このスイッチト・キャパシタ型演算増幅器の帰還率を β_F とすると，式 (2.7) は次式で表し直すことができる．

$$\begin{aligned} V_{out} &= \frac{C_s + C_f}{C_f} \left(1 - \frac{1}{A_o} \cdot \frac{C_s + C_f}{C_f}\right) V_{in} \\ &= \frac{1}{\beta_F} \left(1 - \frac{1}{A_o \beta_F}\right) V_{in} \end{aligned} \tag{2.8}$$

増幅器の DC 利得 A_o が十分に大きい場合には，スイッチト・キャパシタ型演算増幅器の DC 利得は帰還率 β_F の逆数で決定される．

次に，スイッチト・キャパシタ型演算増幅器の周波数特性について説明する．スイッチト・キャパシタ型演算増幅器内部で用いる増幅器の入出力伝達特性を $A_o(s)$ とする．ここでは，スイッチト・キャパシタ型演算増幅器は二つの極と一つのゼロ点を備えた増幅器で構成されているとして考える．$A_o(s)$ は，次式で与えられる．

$$A_o(s) = \frac{A_o \left(1 + \frac{s}{\omega_z}\right)}{\left(1 + \frac{s}{\omega_1}\right)\left(1 + \frac{s}{\omega_2}\right)} \tag{2.9}$$

式 (2.7) の伝達特性を周波数特性のない利得 A_o から，$A_o(s)$ に置き換えると，スイッチト・キャパシタ型演算増幅器の周波数特性 $A_c(s)$ は，

$$\begin{aligned} A_c(s) &= \frac{A_o(s)}{1+\beta_F \cdot A_o(s)} \\ &= \frac{A_o\left(1+\frac{s}{\omega_z}\right)}{1+\beta_F A_o + s\left(\frac{1}{\omega_1}+\frac{1}{\omega_2}+\frac{\beta_F A_o}{\omega_z}\right)+\frac{s^2}{\omega_1\omega_2}} \end{aligned} \tag{2.10}$$

で与えられる．ここで，$\omega_1 \ll \omega_2$，$\omega_z/(\beta_F A_o)$ 及び $\beta_F A_o \gg 1$ であると仮定すると，式 (2.10) は，

$$A_c(s) \approx \frac{1}{\beta_F} \cdot \frac{1+\frac{s}{\omega_z}}{1+\frac{s}{\beta_F A_o \omega_1}+\frac{s^2}{\beta_F A_o \omega_1 \omega_2}} \tag{2.11}$$

となり，スイッチト・キャパシタ型演算増幅器の周波数特性も二つの極と一つのゼロ点を有することが分かる．更に，ω_z を非常に高周波側に存在する様に設計し，$\omega_z >> \omega_2 >> \omega_1$ が成り立つ場合には，スイッチト・キャパシタ型演算増幅器の帯域 (遮断周波数)ω_c と位相余裕 ϕ_m はそれぞれ，

$$\omega_c = \omega_2 \left[\frac{1}{2}\sqrt{1+\left(\frac{2\beta_F A_o \omega_1}{\omega_2}\right)^2}-\frac{1}{2}\right]^{\frac{1}{2}} \tag{2.12}$$

$$\phi_m = \tan^{-1}\left[\frac{1}{2}\sqrt{1+\left(\frac{2\beta_F A_o \omega_1}{\omega_2}\right)^2}-\frac{1}{2}\right]^{-\frac{1}{2}} \tag{2.13}$$

と表すことができる [7]．ω_c 及び ϕ_m は帰還率 β_F に依存することが分かる．ここで，単純化のために，

$$\left(\frac{2\beta_F A_o \omega_1}{\omega_2}\right)^2 << 1 \tag{2.14}$$

となる様に設計した場合を考える．式 (2.12)，(2.13) に対してテイラー展開を用いると，

$$\begin{aligned} \omega_c &\approx \omega_2 \left\{\frac{1}{2}\left[1+\frac{1}{2}\left(\frac{2\beta_F A_o \omega_1}{\omega_2}\right)^2\right]-\frac{1}{2}\right\}^{\frac{1}{2}} \\ &= \beta_F A_o \omega_1 \end{aligned} \tag{2.15}$$

$$\begin{aligned} \phi_m &\approx \tan^{-1}\left\{\frac{1}{2}\left[1+\frac{1}{2}\left(\frac{2\beta_F A_o \omega_1}{\omega_2}\right)^2\right]-\frac{1}{2}\right\}^{-\frac{1}{2}} \\ &= \tan^{-1}\left(\frac{\omega_2}{\beta_F A_o \omega_1}\right) \end{aligned} \tag{2.16}$$

となる．

式 (2.8)，(2.10)，(2.15) および (2.16) より，スイッチト・キャパシタ型演算増幅器の周波数特性の概略図を図 2.3 に示す．実線は帰還率 β_F の負帰還をかけたスイッチト・キャパシタ型演算増幅器の周波数特性，破線は内部で用いた増幅器の周波数特性を示している．横軸，縦軸ともに対数スケールで表している．低周波側の利得は β_F の逆数で決まり，負帰還をかけると帯域が増幅器単体の時よりも高周波側にのびる．周波数が帯域を越えてからは-20dB/decade で利得が低下し，位相は 90° 回転する．ω_2 を越えると，利得は-40dB/decade で低下し，位相はさらに 90° 回転する．位相が 180° 回転すると出力は反転するので正帰還がかかり，演算増幅器の出力が発振する．位相余裕は，帯域における位相差が-180° に対してどれだけ余裕があるかを示すものであり，図からも帯域 ($\beta_F A_o \omega_1$) と ω_2 の位置関係で決まる事が分かる．

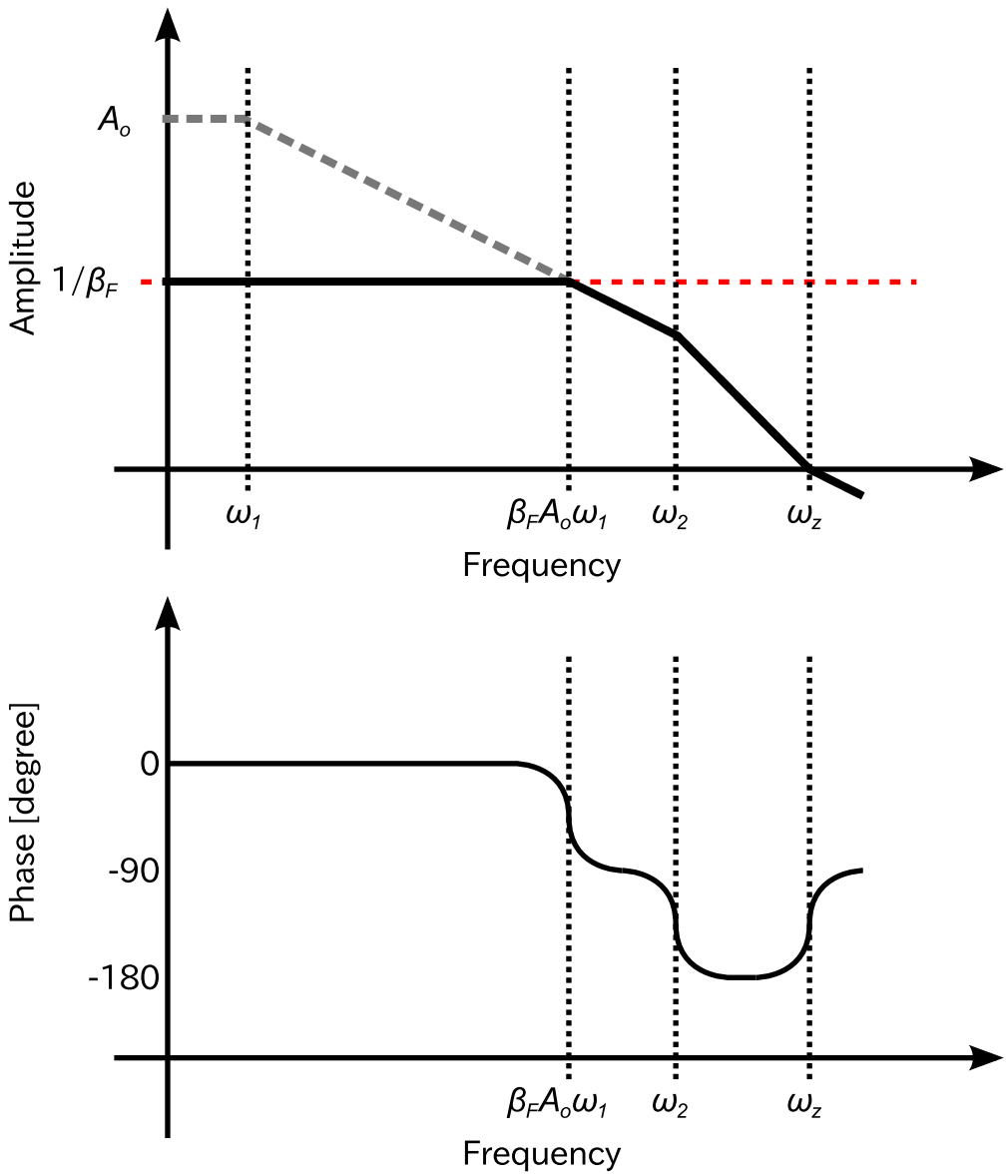


図 2.3: スイッチト・キャパシタ型演算増幅器の周波数特性概略図

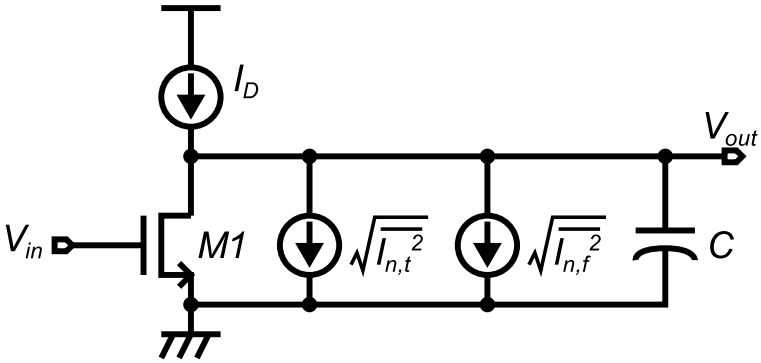


図 2.4: ソース接地型シングルエンド増幅器

2.2.2 ノイズ

スイッチト・キャパシタ型演算増幅器のノイズ源としては，

- 内部増幅器の熱ノイズ及びフリッカノイズ
- kT/C ノイズ

が挙げられる．ここでは，スイッチト・キャパシタ型演算増幅器の各ノイズについて説明する．

内部増幅器のノイズ

内部増幅器のトランジスタで生じる熱ノイズおよびフリッカノイズについて説明する．簡略化のため図 2.4 に示すソース接地型のシングルエンド増幅器を用いる．入力トランジスタ $M1$ の相互コンダクタンスを g_m，出力抵抗を r_o とすると，出力電圧 V_{out} は，

$$\overline{|V_{out}|^2} = -\left(\frac{g_m r_o}{1+j\omega C r_o}\right)^2 \cdot \left(\overline{|V_{in}|^2} + \frac{\overline{|I_{n,t}|^2}}{g_m^2} + \frac{\overline{|I_{n,f}|^2}}{g_m^2}\right) \tag{2.17}$$

となる．$\overline{I_{n,t}^2}$，$\overline{I_{n,f}^2}$ はそれぞれトランジスタ $M1$ で生じる熱ノイズ電流とフリッカノイズ電流を示しており，

$$\overline{|I_{n,t}|^2} = \frac{8}{3} k_B T g_m \tag{2.18}$$

$$\overline{|I_{n,f}|^2} = \frac{K_f}{C_{ox} W L} \cdot g_m^2 \cdot \frac{1}{f} \tag{2.19}$$

で与えられる．ここで，k_B，T はそれぞれボルツマン定数と動作温度を表す．また，K_f，C_{ox}，W，L および f は，トランジスタ固有の比例定数，面積あたりのゲート容量，ゲート幅，ゲート長，そして周波数を表している．式 (2.17)，(2.18)，(2.19) より，増幅器の熱ノイズおよびフリッカノイズの入力換算ノイズ量 $\sqrt{\overline{|V_{in,t}|^2}}$，$\sqrt{\overline{|V_{in,f}|^2}}$ は，

$$\sqrt{\overline{|V_{in,t}|^2}} = \frac{\sqrt{\overline{|I_{n,t}|^2}}}{g_m} = \sqrt{\frac{8}{3} k_B T \frac{1}{g_m}} \tag{2.20}$$

$$\sqrt{\overline{|V_{in,f}|^2}} = \frac{\sqrt{\overline{|I_{n,f}|^2}}}{g_m} = \sqrt{\frac{K_f}{C_{ox} W L} \cdot \frac{1}{f}} \tag{2.21}$$

となり，熱ノイズは g_m を，フリッカノイズはトランジスタ面積 $(= W \cdot L)$ を大きくすることで抑制される．

kT/C ノイズ

図 2.5 にスイッチト・キャパシタ型演算増幅器におけるスイッチを発生源とする熱ノイズのサンプル相/ホールド相での影響を示す．スイッチト・キャパシタ型演算増幅器では，サンプル相において，オン状態のスイッチのオン抵抗を発生源とした熱ノイズが生じる．単位周波数あたりの電流ノイズ密度 $\overline{I_{n,ron}^2}$ は，オン抵抗値を r_{on} とすると，

$$\overline{|I_{n,ron}|^2} = \frac{4k_BT}{r_{on}} \tag{2.22}$$

で表される．ある周波数 ω における容量トッププレート電位のノイズによる変動を $\Delta V(\omega)$ とし，サンプル相での容量トッププレート端子におけるキルヒホッフの電流則を考えると，

$$\overline{|I_{n,ron}|} + \left[\frac{1}{r_{on}} + j\omega(C_s + C_f)\right]\overline{|\Delta V(\omega)|} = 0 \tag{2.23}$$

が得られる．ここで，ノイズ成分だけの影響を見るため，$V_{in} = 0$ とした．式 (2.23) を整理すると，

$$\overline{|\Delta V(\omega)|^2} = \frac{\overline{|I_{n,ron}|^2} r_{on}^2}{1 + \omega^2 r_{on}^2 (C_s + C_f)^2} \tag{2.24}$$

となる．SW_{1p} がオフになりサンプル相が終わる際の電位 ΔV は，$\overline{|\Delta V(\omega)|^2}$ を全周波数帯域で積分することで得られる．

$$\begin{aligned}
\Delta V^2 &= \int_0^\infty \overline{|\Delta V(\omega)|^2} \cdot \frac{d\omega}{2\pi} \\
&= 4k_BTr_{on} \int_0^\infty \frac{1}{1 + \omega^2 r_{on}^2 (C_s + C_f)^2} \cdot \frac{d\omega}{2\pi} \\
&= 4k_BTr_{on} \frac{1}{2\pi} \frac{1}{r_{on}(C_s + C_f)} \left[\tan^{-1} \omega r_{on}(C_s + C_f)\right]_0^\infty \\
&= 4k_BTr_{on} \frac{1}{2\pi} \cdot \frac{1}{r_{on}(C_s + C_f)} \left(\frac{\pi}{2} - 0\right) \\
&= \frac{k_BT}{C_s + C_f}
\end{aligned} \tag{2.25}$$

ΔV は，スイッチのオン抵抗 r_{on} には依存せず，サンプリングに用いた容量 $(C_s,\ C_f)$ に依存する事が分かる．kT/C ノイズは信号をサンプルする容量サイズを大きくすることで低減するが，それにより面積の増加とホールド相での消費電力の増加が引き起こされる．つまり，kT/C ノイズと回路面積，消費電力の間にトレードオフが存在する．

サンプル相で C_s，C_f に充電された ΔV に相当する電荷は，容量のトッププレートにおいてホール

ド相で電荷保存される．ノイズによる出力電圧への影響を $\sqrt{\overline{|V_{out,n}|^2}}$ とすると，

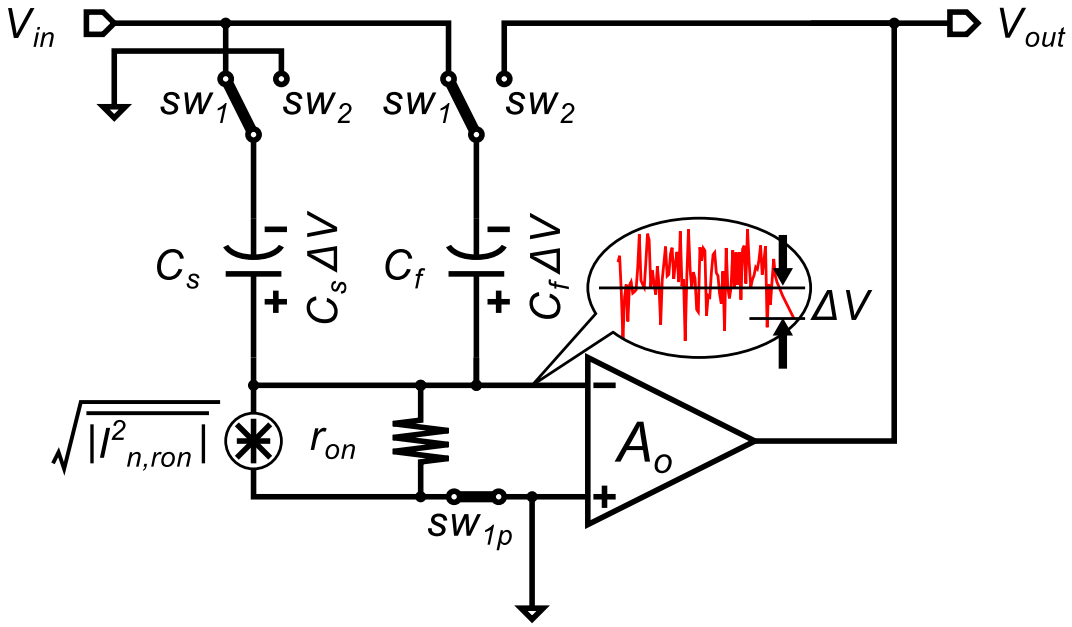
$$\Delta V(C_s + C_f) = V_X(C_s + C_f) - C_f\sqrt{\overline{|V_{out,n}|^2}} \tag{2.26}$$

$$\begin{aligned}\overline{|V_{out,n}|^2} &= \left(\frac{C_s + C_f}{C_f} \cdot \frac{1}{1 + \frac{C_s+C_f}{C_f} \cdot \frac{1}{A_o}}\right)^2 \Delta V^2 \\ &= \left(\frac{1}{1 + \frac{C_s+C_f}{C_f} \cdot \frac{1}{A_o}}\right)^2 \cdot \left(\frac{C_s + Cf}{C_f}\right)^2 \cdot \frac{k_B T}{C_s + C_f} \\ &\approx \frac{1}{\beta_F^2} \cdot \frac{k_B T}{C_s + C_f} \end{aligned} \tag{2.27}$$

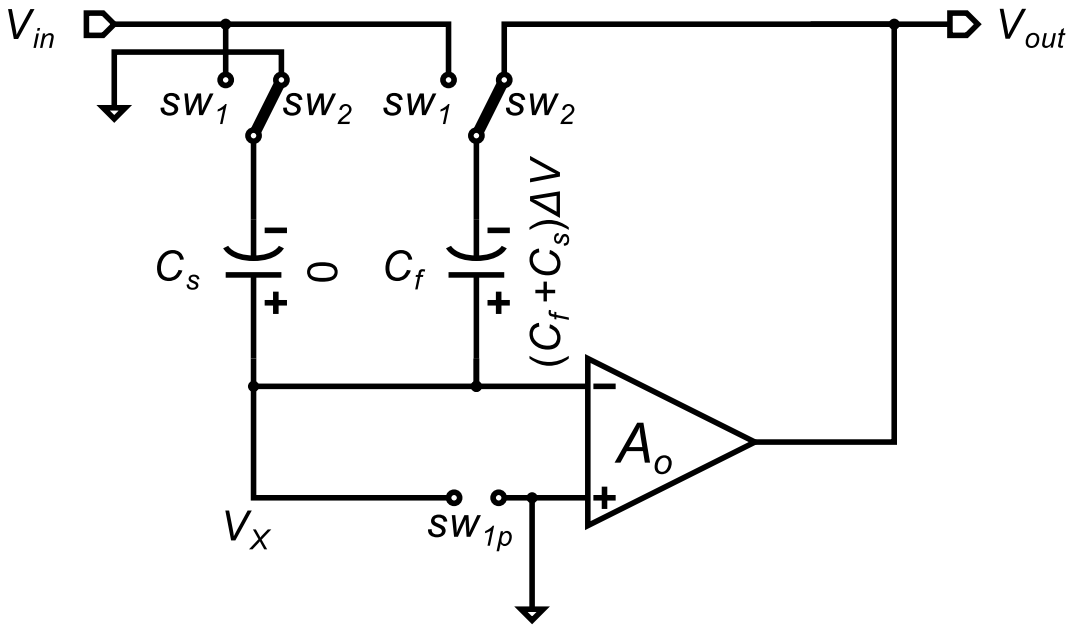
が得られる．全差動構成を考えると，スイッチおよび容量群が 2 対存在し，それぞれで発生するノイズが無相関であることから，

$$\overline{|V_{out,n}|^2} = 2 \cdot \frac{1}{\beta_F^2} \cdot \frac{k_B T}{C_s + C_f} \tag{2.28}$$

が得られる．kT/C ノイズによる出力電圧への影響はスイッチト・キャパシタ型演算増幅器の利得 $(1/\beta_F)$ に比例し，入力信号のサンプルに用いる総容量 $(C_s + C_f)$ の平方根に反比例する．



(a) サンプル相



(b) ホールド相

図 2.5: kT/C ノイズ

2.3 既存 PGA 回路の構成

スイッチト・キャパシタ型 PGA 回路は，図 2.6 に示すように，スイッチト・キャパシタ型演算増幅器のホールド相において，シグナルグラウンドに接続する容量 C_s と帰還容量として出力端子 V_{out} に接続する C_f の比を調整し帰還率 β_F を制御する事で実現できる．スイッチト・キャパシタ型演算増幅器の利得は式 (2.8) に $\beta_F A_o \gg 1$ を用いることで，おおよそ β_F^{-1} で与えられる．β_F^{-1} を，

$$\beta_F^{-1} = \frac{C_s + C_f}{C_F} = 2^x \quad (x = 0, 1, \ldots, n) \tag{2.29}$$

の様に制御すると，linear-in-dB[3] な利得制御が可能となる．一般的に，式 (2.29) の制御を実現するために，C_s と C_f の和を常に一定とし，C_f の値を指数関数的に制御する方法が広く用いられている．

帰還率 β_F を制御した場合の周波数特性を図 2.7 に示す．帰還率を β'_F から β_F に下げて利得を大きくした場合には，帯域は狭くなり，ω_2 と帯域との比は大きくなるため位相余裕は大きくなる．帯域や位相余裕は，PGA 利得を制御した際の最小値において仕様を満たす必要がある．帯域は PGA 利得が小さいときに，位相余裕は PGA 利得が大きいときに過剰となる．PGA 回路が 2 段増幅器で構成されている場合，広帯域を実現するためには大きな入力段消費電流が必要となる．また，出力段の電流量を増やすことで位相余裕は大きくなる．つまり，演算増幅器の設計において，過剰な帯域や位相余裕は消費電流の増加を伴い，電力効率の低下を招く．

ここからは，PGA 回路が位相補償容量を有する 2 段増幅器で構成される場合について考える．帰還率が 1/2 より小さな場合には 1 段増幅器を用いるよりも 2 段増幅器を用いた方が電力効率が高くなる (詳細は付録 A を参照)．本研究では，帰還率は最小時に 1/32(利得=30dB) を想定しているため，2 段増幅器を用いた構成を対象に考察を行う．

2 段増幅器を用いた PGA 回路の周波数特性について説明するため，図 2.8 に示すブロック図を用いる．本来，スイッチト・キャパシタ型 PGA 回路は離散時間信号処理システムであるが，ホールド相での周波数特性は，容量網 (C_s，C_f) による帰還率 β_F を用いた図のようなモデルで考察する事ができる．

g_{m1}，g_{m2} はそれぞれ入力段増幅器と出力段増幅器の相互コンダクタンスを，r_{o1}，r_{o2} は入力段増幅器，出力段増幅器の出力抵抗を表している．C_c は位相補償容量，C_p は出力段の負側入力端子における寄生容量，C_L は PGA 回路の負荷容量を表している．ここで，C_L は演算増幅器の負荷容量 (C_l) と帰還容量の出力端子から見た実効的な容量 ($C_f//C_s$) が並列接続された値となり，

$$C_L = C_l + \frac{C_s C_f}{C_s + C_f} \tag{2.30}$$

で表される．

PGA 回路内部の位相補償容量付き 2 段増幅器の小信号モデルを図 2.9 に示す．この小信号モデルより，2 段増幅器の入出力伝達関数 $A_o(s)$ を求める．ノード X における電圧を $V_{x,a}$，ノード out における電圧を $V_{out,a}$ とし，各ノードにおけるキルヒホッフの電流則を用いると，以下の式が得られる．

$$-g_{m1}V_{in,a} + \left[\frac{1}{r_{o1}} + s\left(C_p + C_c\right)\right] V_{x,a} - sC_c V_{out,a} = 0 \tag{2.31}$$

$$g_{m2}V_{x,a} + \left[\frac{1}{r_{o2}} + s\left(C_c + C_L\right)\right] V_{out,a} - sC_c V_{x,a} = 0 \tag{2.32}$$

ここで，$V_{in,a}$ は 2 段増幅器の入力信号を表す．式 (2.31)，(2.32) より，$A_o(s)$ は，

$$\begin{aligned} A_o(s) &= \frac{V_{out,a}}{V_{in,a}} \\ &= \frac{g_{m1}r_{o1}g_{m2}r_{o2}\left(1-s\frac{C_c}{g_{m2}}\right)}{1+s\left[C_c\left(g_{m2}r_{o2}r_{o1}+r_{o1}+r_{o2}\right)+C_pr_{o1}+C_Lr_{o2}\right]+s^2\left(C_LC_p+C_pC_c+C_cC_L\right)r_{o1}r_{o2}} \\ &\approx \frac{g_{m1}r_{o1}g_{m2}r_{o2}\left(1-s\frac{C_c}{g_{m2}}\right)}{1+sC_cg_{m2}r_{o2}r_{o1}+s^2\left(C_LC_p+C_pC_c+C_cC_L\right)r_{o1}r_{o2}} \quad (\because g_{m2}r_{o2} >> 1) \end{aligned} \tag{2.33}$$

で表される．式 (2.9) において，$\omega_1 << \omega_2$ であると仮定すると，

$$A_o(s) \approx \frac{A_o\left(1+\frac{s}{\omega_z}\right)}{1+\frac{s}{\omega_1}+\frac{s^2}{\omega_1\omega_2}} \tag{2.34}$$

が得られる．式 (2.33)，(2.34) より，ω_1，ω_2，ω_z 及び A_o はそれぞれ，

$$\omega_1 = \frac{1}{C_cg_{m2}r_{o2}r_{o1}} \tag{2.35}$$

$$\omega_2 = \frac{g_{m2}}{C_L+C_p+\frac{C_LC_p}{C_c}} \tag{2.36}$$

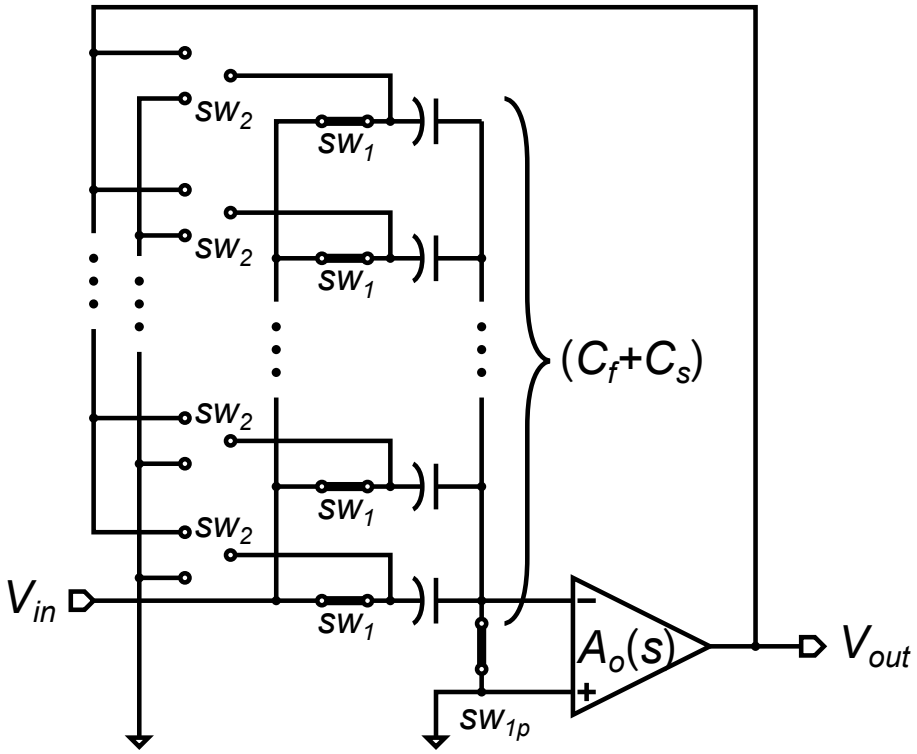
$$\omega_z = \frac{g_{m2}}{C_c} \tag{2.37}$$

$$A_o = g_{m1}r_{o1}g_{m2}r_{o2} \tag{2.38}$$

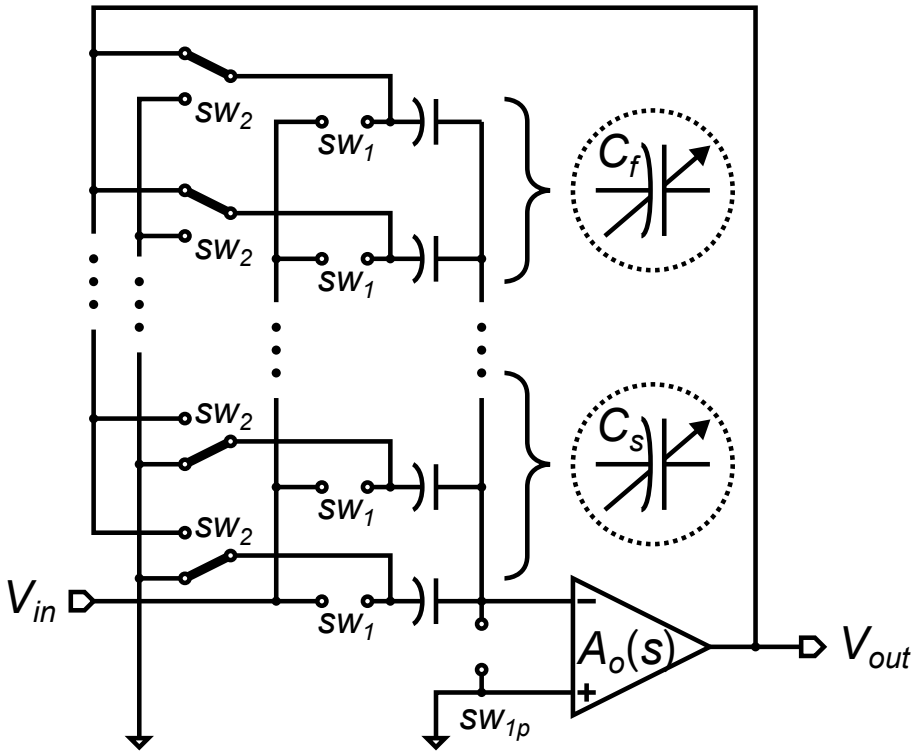
で表される．ω_z が ω_2 より十分に高周波側に存在し，かつ ω_2 が ω_1 よりも十分に高周波側に存在する場合 ($\omega_z >> \omega_2 >> \omega_1$)，PGA 回路の帯域 (遮断周波数)$\omega_c$ と位相余裕 ϕ_m はそれぞれ，式 (2.12) と式 (2.13) で表される．帰還率 β_F を制御して利得を変更した際に，$\beta_FA_o\omega_1$ と ω_2 の変動量を抑えることができれば，帰還率によらず帯域 ω_c と位相余裕 ϕ_m が安定し，電力効率の低下を防ぐことが可能となる．$\beta_FA_o\omega_1$ は，式 (2.35)，(2.38) より，

$$\beta_FA_o\omega_1 = \beta_F\frac{g_{m1}}{C_c} \tag{2.39}$$

と表す事ができる．



(a) サンプル相



(b) ホールド相

図 2.6: PGA 回路ブロック図

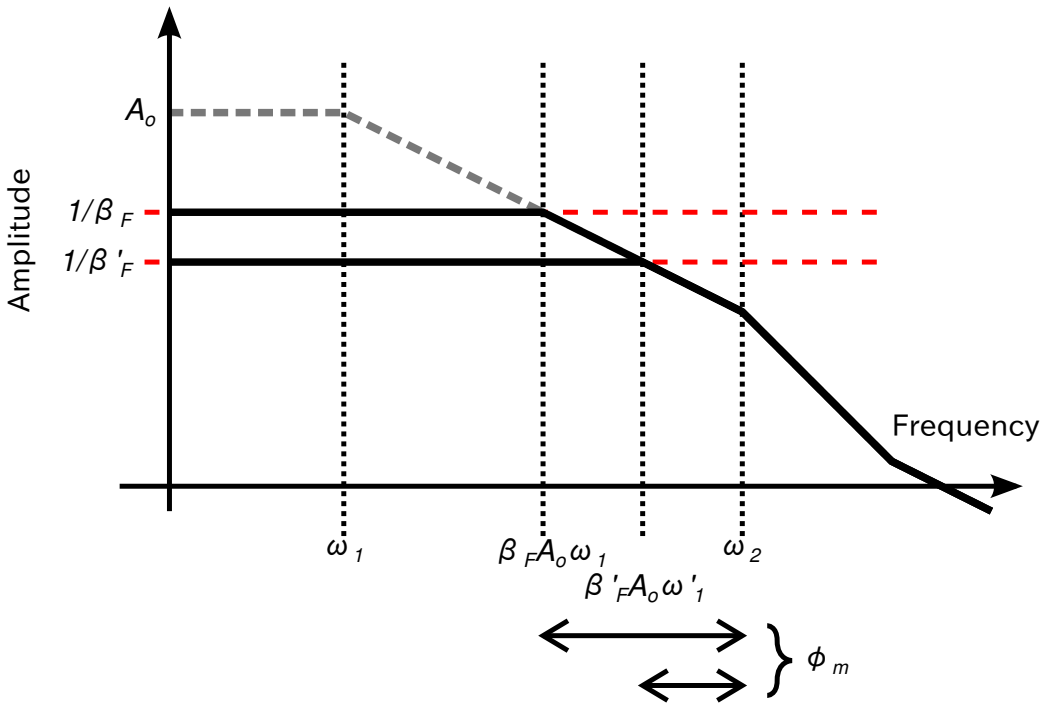


図 2.7: PGA 回路の周波数特性

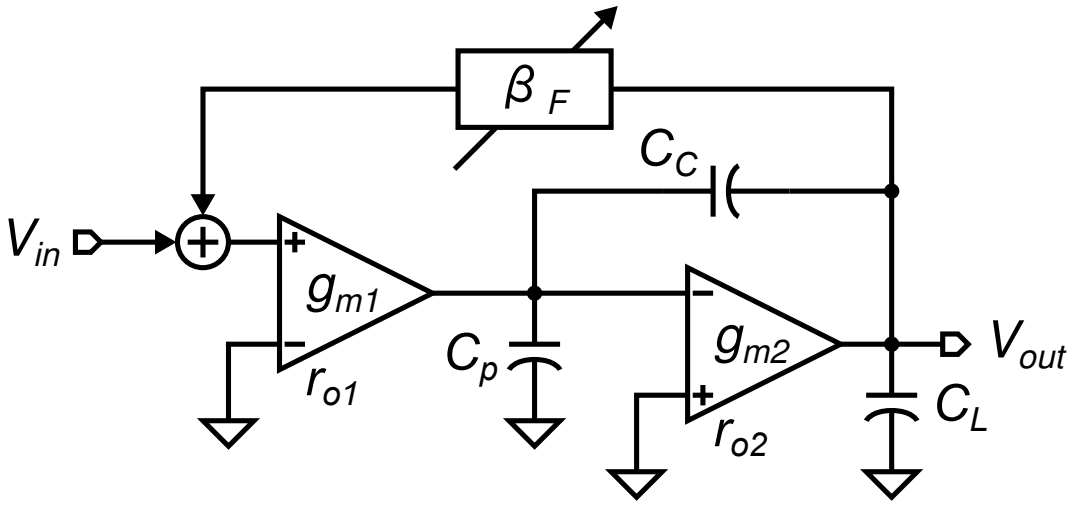


図 2.8: 2 段増幅器を用いた PGA 回路

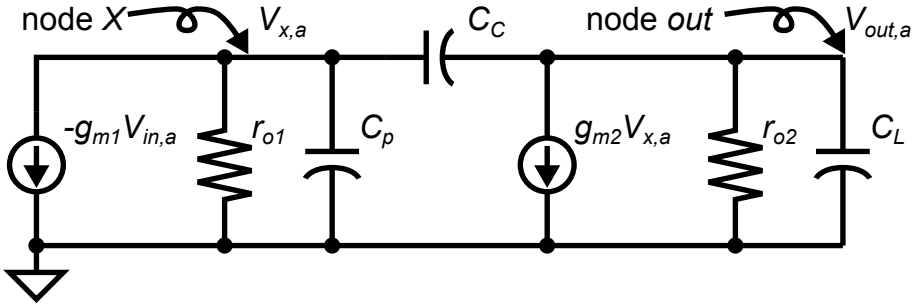


図 2.9: 2 段増幅器の小信号モデル

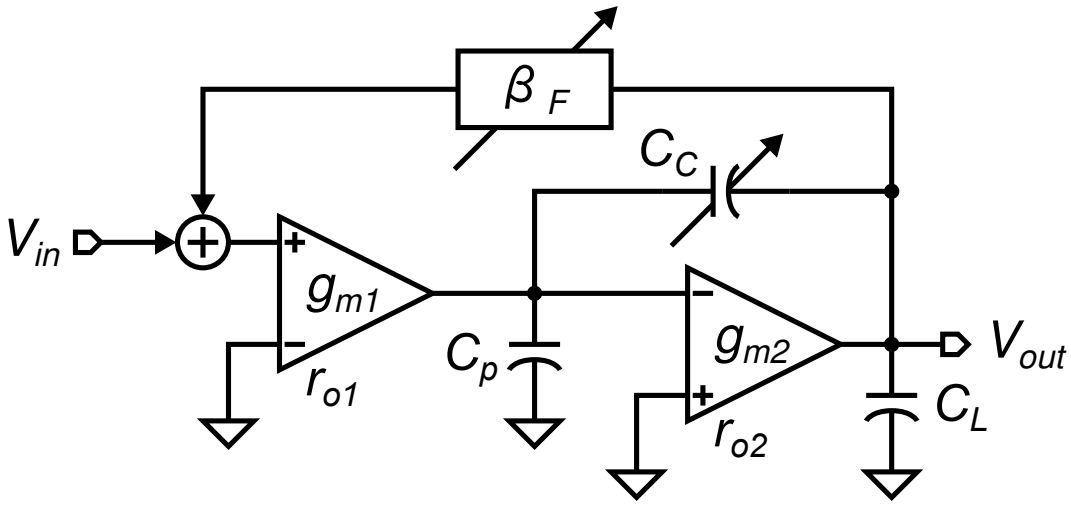


図 2.10: C_c-PGA 回路のブロック図

2.3.1　位相補償容量可変 PGA 回路

帰還率に応じて位相補償容量を制御する PGA 回路 (C_c-PGA) のブロック図を図 2.10 に示す．また，C_c-PGA の周波数特性を図 2.11 に示す．C_c-PGA では帰還率 β_F に応じた C_c の制御を行う．2 段増幅器の C_c を大きくすると ω_1 は低周波側に，ω_2 は高周波側に移動する極分離が起こる．C_c を，

$$\beta_F \propto C_c \tag{2.40}$$

の様に制御することで，$\beta_F A_o \omega_1$ は β_F によらず一定となる．しかし，ω_2 は高周波側に移動するため，PGA 利得が低い (β_F が大きい) 際の過剰な位相余裕は取り除けない．また，PGA 回路の利得を linear-in-dB 特性にするために，β_F を指数関数的に制御する．つまり，C_c も指数関数的に制御する必要がある．制御利得幅の大きな PGA 回路では，C_c による ω_2 の変動量が大きく電力効率が悪い．また，低利得動作時に必要となる C_c が非常に大きくなり，回路面積が増大する．

2.3.2　入力段相互コンダクタンス可変 PGA 回路

帰還率に応じて入力段相互コンダクタンスを制御する PGA 回路 (g_m-PGA) のブロック図を図 2.12 に，周波数特性を図 2.13 に示す．g_m-PGA では帰還率 β_F に応じた入力段相互コンダクタンス g_{m1} の制御を行う．2 段増幅器の利得 A_o を一定に保ったまま g_{m1} を減少させるために，入力段増幅器の出力抵抗 r_{o1} を増加させている．これにより，ω_2 が変動することなく ω_1 のみが制御できる．g_{m1} を，

$$\beta_F^{-1} \propto g_{m1} \tag{2.41}$$

の様に制御することで，$\beta_F A_o \omega_1$ は β_F に依存せず一定となり，また，ω_2 の変動も起こらない．

この制御方法では，利得によって帯域と位相余裕が変動しないため電力効率の高い PGA 回路が実現できる．また，C_c を制御しないため，低利得動作時に大きな C_c が不要となり小面積で実現できる．しかし，g_{m1} を指数関数的に制御するため，PGA 利得の利得制御幅が広い場合には，低利得 (大きな β_F) での動作において，g_{m1} が非常に小さくなり，出力換算ノイズが増大する．

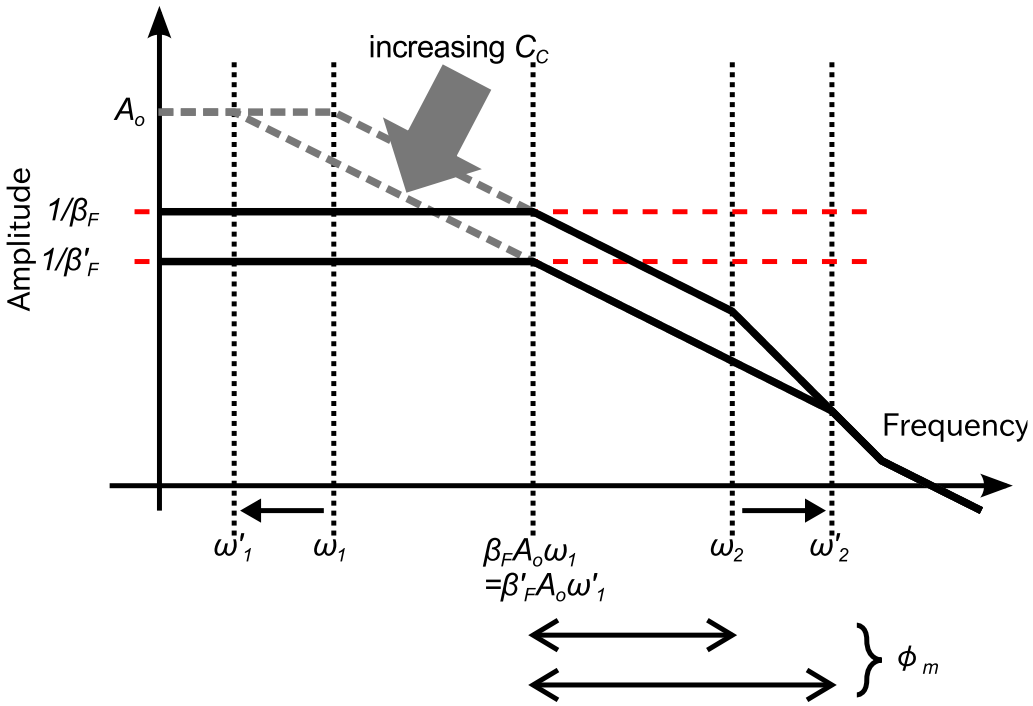


図 2.11: C_c-PGA 回路の周波数特性

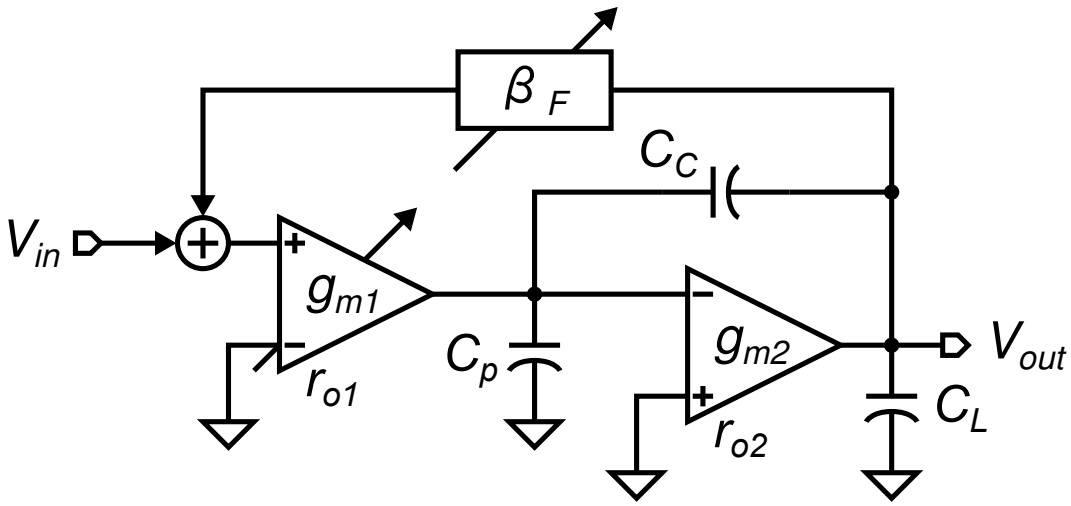


図 2.12: g_m-PGA のブロック図

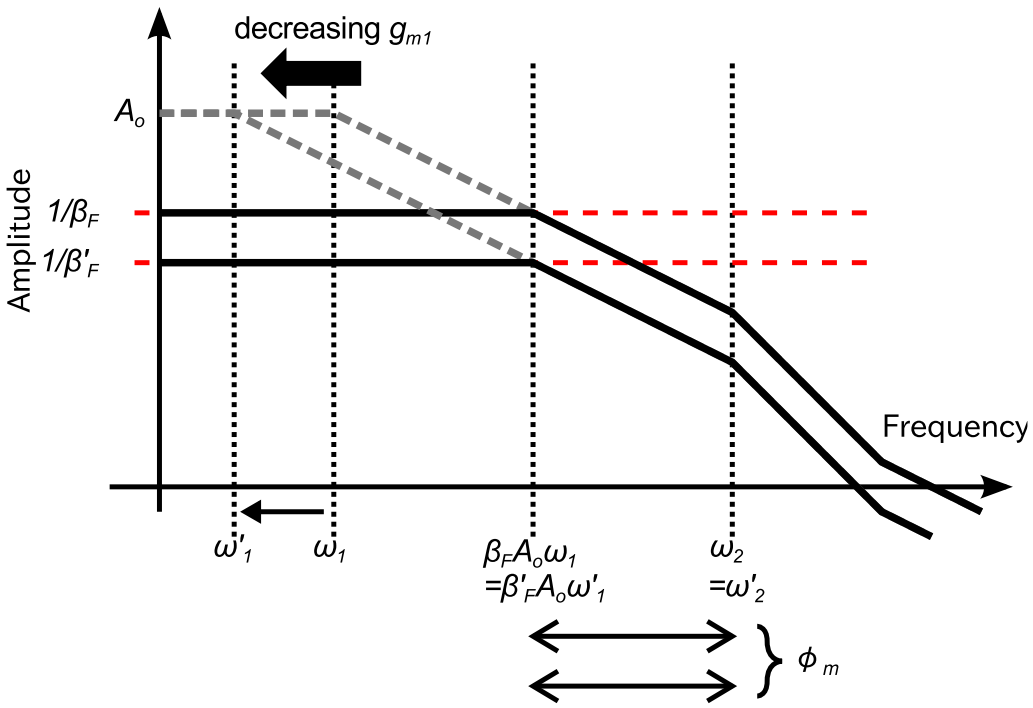


図 2.13: g_m-PGA 回路の周波数特性

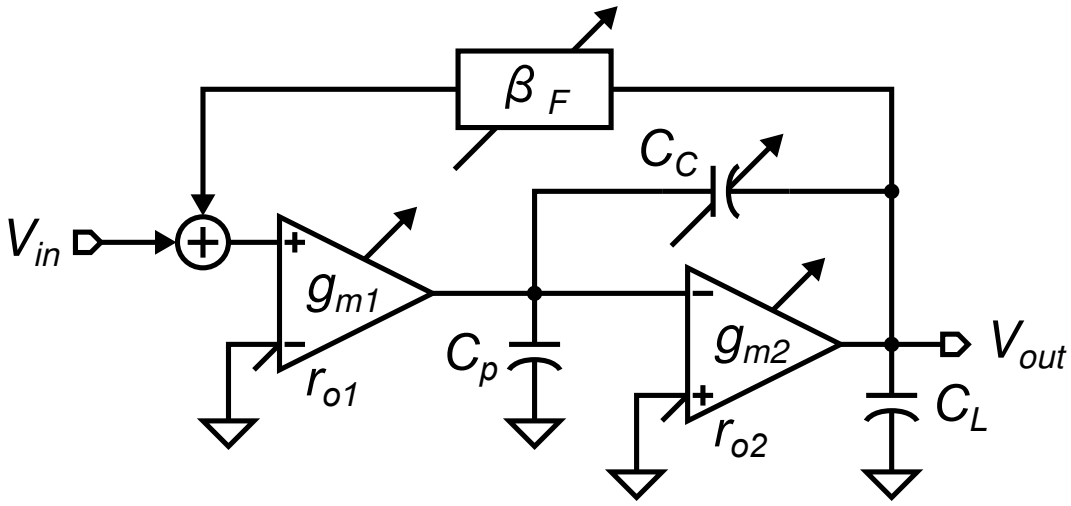


図 2.14: g_mC_c-PGA のブロック図

2.4 入出力段相互コンダクタンス及び位相補償容量を制御する PGA 回路

提案する入出力段相互コンダクタンスおよび位相補償容量を制御する PGA 回路 (g_mC_c-PGA) のブロック図を図 2.14 に示す．g_mC_c-PGA では，指数関数的に変化する帰還率 β_F に応じて，g_{m1} と C_c の双方を同時に制御することにより，それぞれの指数関数的な変動を抑え，小面積と低ノイズを両立している．また，g_{m2} を制御して，高い電力効率を実現している．

β_F は式 (2.29) で表されるが，任意の定数 a，b を用いて，

$$\begin{aligned}\beta_F &= \frac{1}{2^x} \\ &= 2^{-b}\frac{2^{(a-1)\cdot(x-b)}}{2^{a\cdot(x-b)}}\end{aligned} \tag{2.42}$$

と表される．式 (2.42) の分母分子に対してそれぞれ $x=b$ 近傍におけるテイラー展開を用いると，

$$\beta_F = \frac{1}{2^x} \approx 2^{-b}\frac{1-(1-a)(x-b)\ln 2}{1+a(x-b)\ln 2} \tag{2.43}$$

と近似することができる．ただし，$|x-b| \ll (\ln 2)^{-1}$，$0<a<1$ とする．g_{m1} と C_c の比を式 (2.44) のように β_F の近似式の逆関数に比例するよう制御することで，近似的に指数関数制御を行い，$\beta_F A_o\omega_1$ を β_F によらず一定にしている．

$$A_o\omega_1 = \frac{g_{m1}}{C_c} \propto \frac{1+a(x-b)\ln 2}{1-(1-a)(x-b)\ln 2} \tag{2.44}$$

ここで，式 (2.43) は近似式であるため，条件によっては β_F との間に誤差が生じる．図 2.15 に β_F と近似式との関係を示す．x は 0 から 5，b=5 としているため，$x=5$ 近傍で誤差は小さいが，x が小さくなるに従い β_F との誤差が拡大する．g_mC_c-PGA ではこの誤差を考慮した上で，$\beta_F A_o\omega_1$ が β_F によらず常に一定となるように設計する必要がある．

また，g_{m2} を制御することで C_c の変化に応じた ω_2 の変動量を抑え (式 (2.36))，低利得動作時における電力効率を上げている．

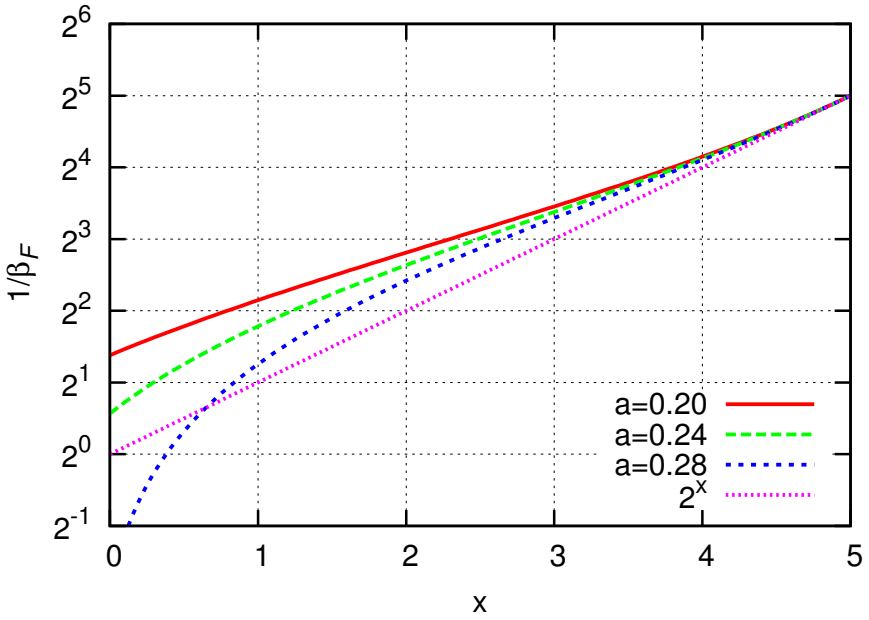


図 2.15: β_F と近似式の関係

2.5　各 PGA の比較検討

ここでは，表 2.1 に示す提案 PGA と従来 PGA の主要パラメータの例から，それぞれの方式を電力，ノイズ，面積の点で比較する．

PGA 利得を 0dB から 30dB まで可変にするために，帰還率 β_F を 1 から 1/32 まで指数関数的に制御する．g_{m10}，g_{m20}，C_{c0} はそれぞれ $\beta_F = 1/32$ において従来 PGA で要求仕様を満たす入力段相互コンダクタンス，出力段相互コンダクタンス，位相補償容量である．

提案 PGA 回路では，g_{m1} を線形的に制御する．その際，近似式 (2.44) のずれを補い，$\beta_F A_o \omega_1$ が一定となるように C_c の値を制御する．さらに，PGA 利得 24dB 未満では出力段相互コンダクタンス g_{m2} を 30dB における値の 0.7 倍に変更する．位相補償容量の増加に伴い極分離が生じ，ω_2 が高周波側にシフトするが，g_{m2} を低下させて ω_2 の変動量を抑制し，電力効率を向上させている．なお，この 0.7 の因子は，本研究で 100MHz 以上の帯域を想定し，C_p や負荷容量を考慮したものであり，具体的な設計目標値により多少変動するものである．一方，C_c-PGA 回路では帰還率 β_F に比例して C_c を指数関数的に制御する．g_m-PGA 回路では g_{m1} を帰還率 β_F に反比例した指数関数的な制御を行っている．これらの制御方式により，提案，従来 PGA は帰還率によらず帯域と安定性の両立を実現している．

表 2.1: PGA 回路の主要パラメータ

(a). 提案 PGA 回路

利得	0dB	6dB	12dB	18dB	24dB	30dB
β_F	1	1/2	1/4	1/8	1/16	1/32
g_{m1}	$\frac{1}{6}g_{m10}$	$\frac{2}{6}g_{m10}$	$\frac{3}{6}g_{m10}$	$\frac{4}{6}g_{m10}$	$\frac{5}{6}g_{m10}$	g_{m10}
g_{m2}	$0.7g_{m20}$	$0.7g_{m20}$	$0.7g_{m20}$	$0.7g_{m20}$	$0.7g_{m20}$	g_{m20}
C_c	$\frac{16}{3}C_{c0}$	$\frac{16}{3}C_{c0}$	$\frac{12}{3}C_{c0}$	$\frac{8}{3}C_{c0}$	$\frac{5}{3}C_{c0}$	C_{c0}

(b).C_c-PGA 回路

利得	0dB	6dB	12dB	18dB	24dB	30dB
β_F	1	1/2	1/4	1/8	1/16	1/32
g_{m1}	g_{m10}	g_{m10}	g_{m10}	g_{m10}	g_{m10}	g_{m10}
g_{m2}	g_{m20}	g_{m20}	g_{m20}	g_{m20}	g_{m20}	g_{m20}
C_c	$32C_{c0}$	$16C_{c0}$	$8C_{c0}$	$4C_{c0}$	$2C_{c0}$	C_{c0}

(c).g_m-PGA 回路

利得	0dB	6dB	12dB	18dB	24dB	30dB
β_F	1	1/2	1/4	1/8	1/16	1/32
g_{m1}	$\frac{1}{32}g_{m10}$	$\frac{1}{16}g_{m10}$	$\frac{1}{8}g_{m10}$	$\frac{1}{4}g_{m10}$	$\frac{1}{2}g_{m10}$	g_{m10}
g_{m2}	g_{m20}	g_{m20}	g_{m20}	g_{m20}	g_{m20}	g_{m20}
C_c	C_{c0}	C_{c0}	C_{c0}	C_{c0}	C_{c0}	C_{c0}

2.5.1 消費電流

PGA 回路の消費電流は入力段，出力段増幅器のドレイン電流の和に比例する．トランジスタのドレイン電流 (I_D) および相互コンダクタンス (g_m) は，

$$I_D = \frac{W}{2L}\mu_0 C_{ox}(V_{GS} - V_{TH})^2 \tag{2.45}$$

$$g_m = \frac{W}{L}\mu_0 C_{ox}(V_{GS} - V_{TH}) \tag{2.46}$$

で表される．ここで，W，L，μ，C_{ox}，V_{GS} および V_{TH} はそれぞれチャネル幅，チャネル長，移動度，単位面積当たりのゲート酸化膜容量，ゲートソース間電圧およびしきい値電圧である．入力段では相互コンダクタンスの制御幅が大きいため W の制御を用いて g_{m1} を可変にしている．これにより，入力段増幅器の消費電流は g_{m1} に比例する．一方，比較的制御幅の小さな出力段では V_{GS} を変化させて g_{m2} を制御する．チャネル幅 W が固定であるため出力段増幅器の消費電流は g_{m2}^2 に比例する．提案 PGA 回路では PGA 利得の低下に伴い入力段のみならず出力段の相互コンダクタンスも同時に下げるため，相互コンダクタンスを制御しない C_c-PGA や，入力段相互コンダクタンスのみを制御する g_m-PGA よりも低消費電力となる．表 2.1 より，提案 PGA 回路は利得 0dB では 30dB 時と比べて入力段のドレイン電流が 1/6，出力段のドレイン電流が 1/2 になる．利得 30dB における入出力段のドレイン電流の比を I_{D10}:I_{D20} = 1:2 とすると，利得 0dB において，提案 PGA は，g_m-PGA より 40%，C_c-PGA より 60%，消費電流が小さくなる．

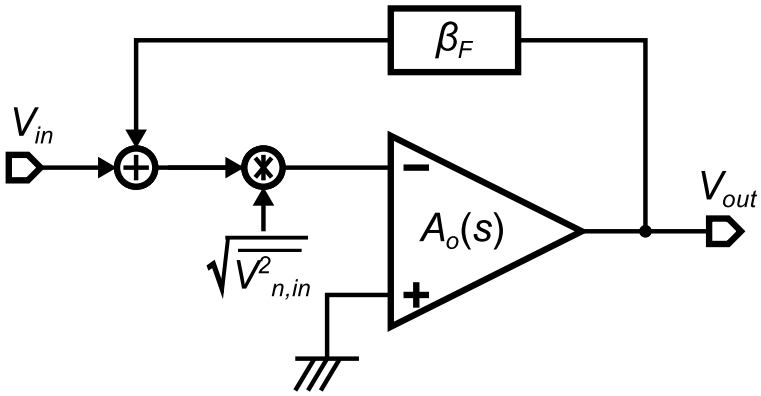


図 2.16: PGA 回路のノイズモデル

2.5.2　面積

C_c-PGA 回路では，低利得動作時に安定性を保つために必要な C_c が指数関数的に大きくなるため，C_c の面積はサンプリング容量や増幅器の面積に比べ非常に大きく，チップ面積の大きな比率を占める．一方，提案 PGA の C_c の面積は C_c-PGA のおよそ 1/6 程度と十分小さくすることができる．また，提案 PGA は g_m-PGA よりも大きな位相補償容量を用いるものの，サンプリング容量やトランジスタの面積の占める比率が大きくなるため，全体面積に与える影響は小さい．

2.5.3　出力換算ノイズ

PGA 回路の主なノイズ源としてサンプリング容量の kT/C ノイズ，増幅器のフリッカノイズおよび熱ノイズがある．各 PGA 回路においてサンプリング容量は変わらないため，この検討では kT/C ノイズは考慮しない．また，想定している周波数帯域が十分に広く，PGA 回路の精度に影響を与える主要因は増幅器の熱ノイズとして考察する．

簡略化のため，PGA 回路を伝達関数 $A_o(s)$ をもった増幅器に帰還率 β_F の負帰還をかけた回路として考える．図 2.16 に説明で用いる PGA 回路のノイズモデルを示す．内部で用いる増幅器の入力換算熱ノイズを $\sqrt{\overline{|V_{n,in}|^2}}$ とすると，PGA 回路の出力換算熱ノイズの二乗平均平方根 (RMS:Root Mean Square)$V_{on,rms}$ は，

$$V_{on,rms} = \sqrt{\overline{|V_{n,in}|^2}} \cdot \sqrt{\int_0^\infty \left| \frac{A_o(j\omega)}{1+\beta_F A_o(j\omega)} \right|^2 df} \tag{2.47}$$

で表される．g_mC_c-PGA，g_m-PGA，C_c-PGA は，それぞれ，同等の伝達関数 $A_o(s)$ になるよう設計するため，各 PGA 回路の出力換算ノイズは $\sqrt{\overline{|V_{n,in}|^2}}$ で比較可能である．$\sqrt{\overline{|V_{n,in}|^2}}$ は，式 (2.20) と 2 段増幅器である事を考慮して，

$$\sqrt{\overline{|V_{n,in}|^2}} = \sqrt{\frac{8}{3}k_BT\left(\frac{1}{g_{m1}} + \frac{1}{A_{o1}^2}\cdot\frac{1}{g_{m2}}\right)} \tag{2.48}$$

で表される．ここで，A_{o1} は入力段増幅器の DC 利得である．A_{o1} が十分大きければ $\sqrt{\overline{|V_{n,in}|^2}}$ は入力段相互コンダクタンスの平方根に反比例する．C_c-PGA 回路では PGA 利得によらず g_{m1} が常に一定

表 2.2: 各 PGA の比較結果

	電力	C_c 面積	ノイズ
g_mC_c-PGA	1.0	1.0	1.0
C_c-PGA	2.6	6.0	0.4
g_m-PGA	1.7	0.2	2.3

表 2.3: PGA 回路利得と制御信号

利得	0dB	6dB	12dB	18dB	24dB	30dB
ctl_1	Low	Low	Low	Low	Low	High
ctl_2	Low	Low	Low	Low	High	High
ctl_3	Low	Low	Low	High	High	High
ctl_4	Low	Low	High	High	High	High
ctl_5	Low	High	High	High	High	High

であることから，$\sqrt{\overline{|V_{n,in}|^2}}$ は PGA 利得に依存しない．g_m-PGA 回路では g_{m1} が非常に小さくなる利得 0dB において C_c-PGA と比較して出力換算ノイズが増大する．提案 PGA 回路 (g_mC_c-PGA) においては，g_{m1} の変化量を g_m-PGA より小さく抑えることで，低 PGA 利得におけるノイズ性能の悪化を低く抑える事ができる．

2.5.4 比較のまとめ

以上の比較検討を表 2.2 にまとめる．電力は g_mC_c-PGA における最小値を，C_c 面積は g_mC_c-PGA における位相補償容量サイズの最大値を，ノイズは g_mC_c-PGA における最大値を 1 と規格化している．提案 PGA 回路は，g_m-PGA 及び C_c-PGA と比べて，低電力で小面積と低ノイズが両立できる．

2.6 設計回路

提案する g_mC_c-PGA 回路の回路図を図 2.17 および図 2.18 に示す． 制御信号 $ctl_i(i = 1, 2, \cdots, 5)$ によって帰還容量として出力端子に接続されるキャパシタ数を変えて可変利得増幅を実現している．表 2.3 に，PGA 利得と制御信号の関係を示す．ctl_i が “Low” の時，対応するキャパシタが出力端子に接続され，ctl_i が “High” では差動間グラウンド電圧 (V_{CM}) に接続される．例として，全制御信号 ctl_1 から ctl_5 が “Low” のとき，サンプリング容量 $32C$ に対して帰還容量は $32C$ であり，利得は 1 倍 (0dB) となる．ctl_1 から ctl_5 が全て “High” のとき，サンプリング容量 $32C$ に対して帰還容量は C であり，利得は 32 倍 (30dB) となる．

演算増幅器の入力段はキャパシタを用いた離散時間コモンモードフィードバック回路を有したカスコード増幅器を並列に接続した構成をとる．

カスコードトランジスタのゲート電圧を制御信号 (ctl_i) によってバイアス電圧 (V_{bn2} または V_{bp2}) かグラウンドまたは電源電圧に接続し，動作する増幅器の数を変えることで可変入力段相互コンダクタ

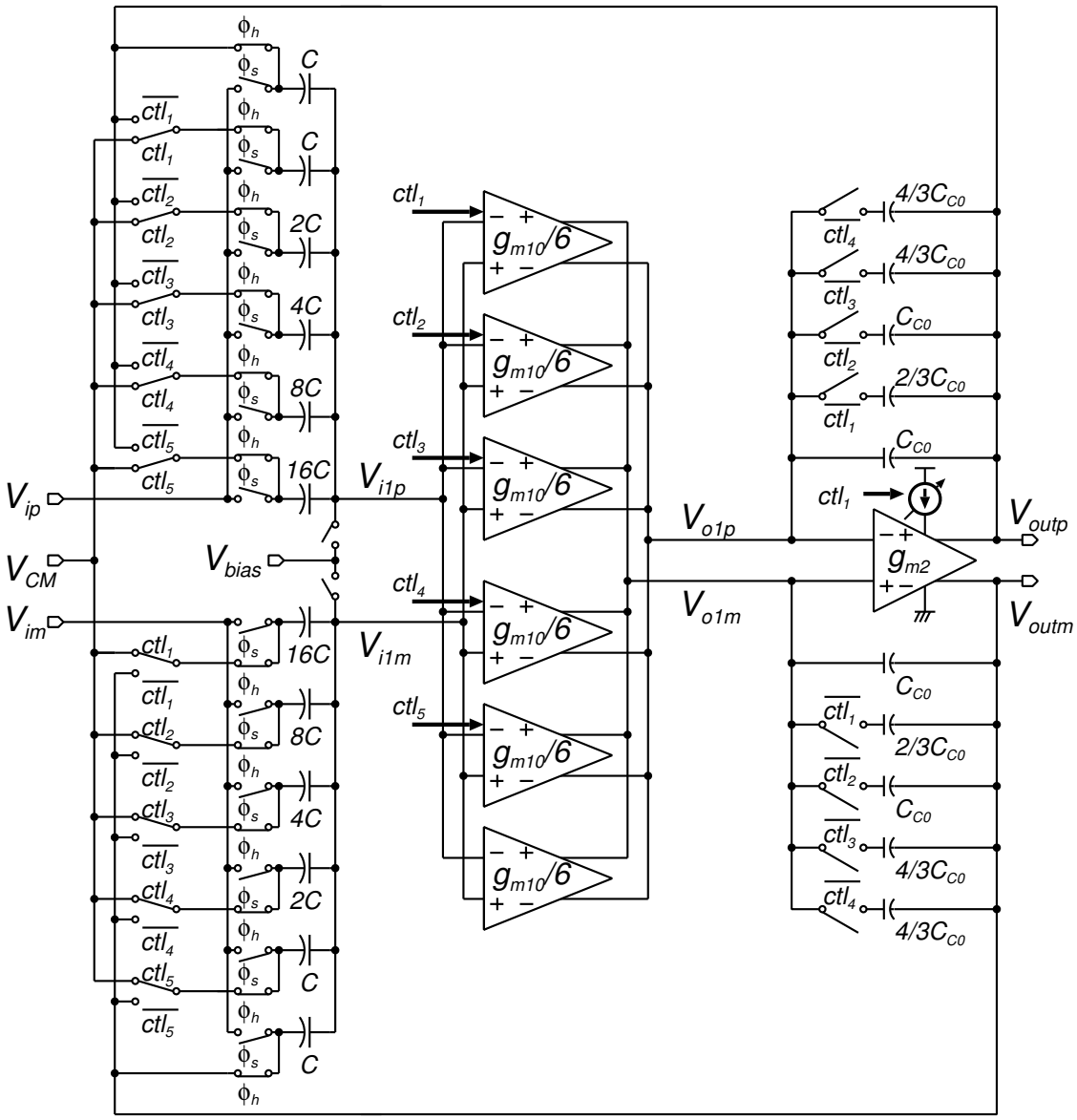


図 2.17: 提案 PGA の回路図

ンスを実現している．トランジスタ $Mnc+$，$Mnc-$，$Mpc+$ および $Mpc-$ は ctl_i が “High” のときカスコードトランジスタとして動作する．ctl_i が “Low” のときにはそれぞれのトランジスタがオフし，電流は流れない．PGA 利得 30dB において $g_{m1} = g_{m10}$ となり，0dB 時に $g_{m1} = g_{m10}/6$ となる．出力段相互コンダクタンスは，V_{o1p} と V_{o1m} の同相レベル V'_{bp1} およびバイアス電圧 V'_{bn1} によって制御する．V_{o1p} と V_{o1m} の同相レベルは入力段コモンモードフィードバック回路で決定される．ϕ_s=“High” において，コモンモードフィードバック用の容量で V_{bn1} と V'_{bp1} の電位差を充電する．ここで，V_{bn1} は入力段増幅器のテール電流源の参照バイアス電圧である．ϕ_h=“High” で，V_{bn1} と V'_{bp1} の電位差を充電していた容量を，出力端子とテール電流源のゲート電極間に接続された容量と並列に接続する．これにより，V_{o1p} と V_{o1m} の同相レベルが V'_{bp1} より高い場合には，テール電流源のゲート電圧 V_{CMFB1} が参照バイアス電圧 V_{bn1} より高くなり，トランジスタ Mnb で引き抜く電流量が増えるため出力同相

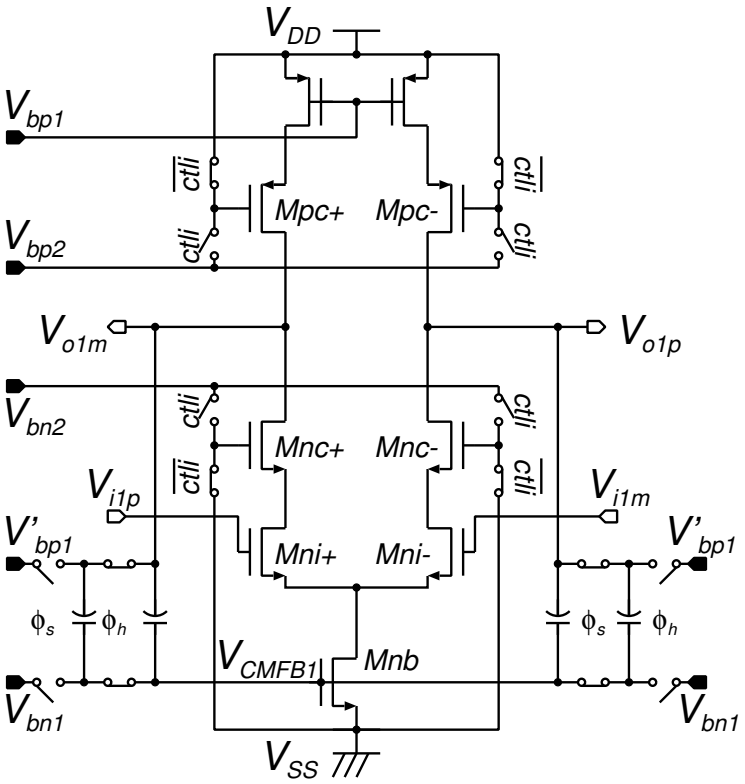
表 2.4: 0.25μm CMOS プロセスを用いた各 PGA のトランジスタ，キャパシタ設計サイズ

	g_mC_c-PGA	C_c-PGA	g_m-PGA
全キャパシタ面積 [mm^2]	16.0×10^{-3}	43.4×10^{-3}	8.7×10^{-3}
トランジスタ面積 [mm^2]	7.0×10^{-3}	7.0×10^{-3}	7.0×10^{-3}

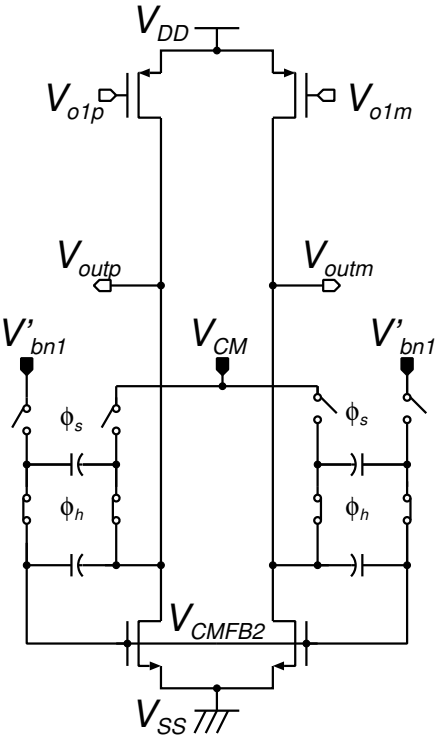
電圧レベルが低下する．出力同相電圧レベルが V'_{bp1} より低い場合には，テール電流が絞られ，出力同相電圧レベルは上昇する．以上の動作により，演算増幅器出力段の PMOS 側の定常的なゲート · ソース電圧が決定する．出力段の NMOS 側の定常的なゲート · ソース電圧は，出力段コモンモードフィードバック回路の参照バイアス電圧によって決まる．

V'_{bn1} と V'_{bp1} を可変にする出力段相互コンダクタンス制御回路を図 2.18(c) に示す．制御回路に流れる電流量は，ctl_1 が “High” のとき $I_d(=2I_0)$ とすると，ctl_1 が “Low” のとき $0.5I_d$ となる．したがって，PGA 利得 30dB において $g_{m2}=g_{m20}(=\sqrt{2\beta_0 I_d})$ とすると，0dB 時において $g_{m2}=0.7g_{m20}(=\sqrt{\beta_0 I_d})$ となる．位相補償容量 C_c は並列に配置した C_{c0} を制御することで可変にしている．PGA 利得 30dB 時において，$ctl_i(i=1,...,5)$ は “Low” とし，$C_c=C_{c0}$ となる．0dB 時には，全ての制御信号 $ctl_i(i=1,...,5)$ を “Low” とし，$C_c=16C_{c0}/3$ となる．

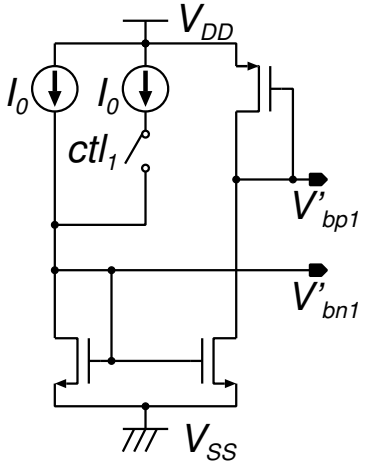
g_mC_c-PGA，C_c-PGA，g_m-PGA の各設計回路で用いた全キャパシタの面積 (位相補償容量，サンプリング容量及びコモンモードフィードバック容量の和) とトランジスタサイズについて表 2.4 に示す．本設計では，0.25μm CMOS プロセスを用いて設計した．g_mC_c-PGA 設計回路で使用した全キャパシタの面積とトランジスタ面積の和は，g_m-PGA に比べて 1.4 倍，C_c-PGA の 1/2 倍以下となる．



(a) 入力段増幅器



(b) 出力段増幅器



(c) 出力段相互コンダクタンス制御回路

図 2.18: 各要素ブロックの構成

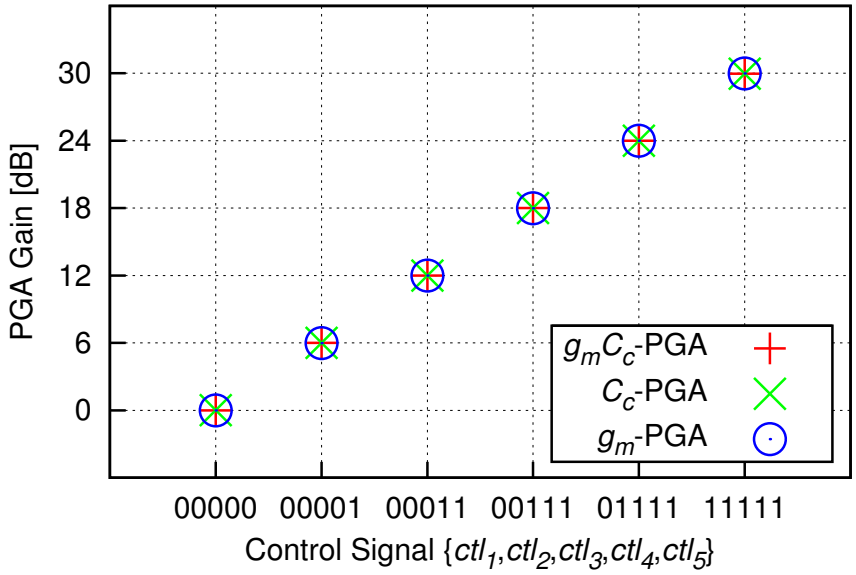


図 2.19: 制御信号と PGA 利得の関係

2.7 シミュレーション結果

0.25μmCMOS プロセスを用いて g_mC_c-PGA，C_c-PGA，g_m-PGA を設計した．C_c-PGA，g_m-PGA は図 2.17 と同様の回路構成を用い，それぞれ C_c のみを制御する回路と g_m のみを制御する回路とし，表 2.1 に記載されているパラメータに基づいて設計を行った．負荷容量は 4pF，帰還回路の単位容量 (C_u) は 100fF とした．サンプリングレート 40MSps に対して，セトリング誤差を最大で 0.1%とした．

制御信号 (ctl_i) に対する各 PGA 利得のシミュレーション結果を図 2.19 に示す．それぞれの PGA において利得幅は 6dB ステップの 0-30dB である．

各 PGA 利得に対する帯域のシミュレーション結果を図 2.20 に示す．g_mC_c-PGA と g_m-PGA では，全利得において帯域がほぼ 100MHz で一定となっている．また，C_c-PGA では低利得動作時に帯域が高周波側に移動している．これは，低 PGA 利得時に C_c が非常に大きくなることで，ゼロ点が低周波側に移動し，その影響で帯域がのびるためである．

位相余裕のシミュレーション結果を図 2.21 に示す．g_mC_c-PGA および g_m-PGA では全利得において位相余裕が 60° 以上となる事が確認できる．PGA 利得 30dB 時において，C_c-PGA で位相余裕が 60° 以下になるのは，C_c を制御するためのスイッチが大きくなり，その寄生容量の影響が見えるためである．また，位相余裕が利得により大きく変化するのは，ゼロ点が指数関数的に変化し，その影響が出てくるためである．

各 PGA 回路で用いた演算増幅器のノイズシミュレーションより，PGA 回路の出力換算ノイズの RMS 値を算出した結果を図 2.22 に示す．図 2.22(a) は，PGA 回路の出力換算ノイズの RMS 値を示し，図 2.22(b) はサンプリング容量による kT/C ノイズとの二乗和平方根を示す．ここで，PGA 回路の出力換算ノイズは 1Hz から 10GHz までを考慮している．また，kT/C ノイズは容量網の単位容量値が 100fF である事から算出している．PGA 利得が 30dB においては，各 PGA の入力段相互コンダクタンスが同じであるため，出力換算ノイズに差異は現れず，1.5mVrms である．また、kT/C ノイ

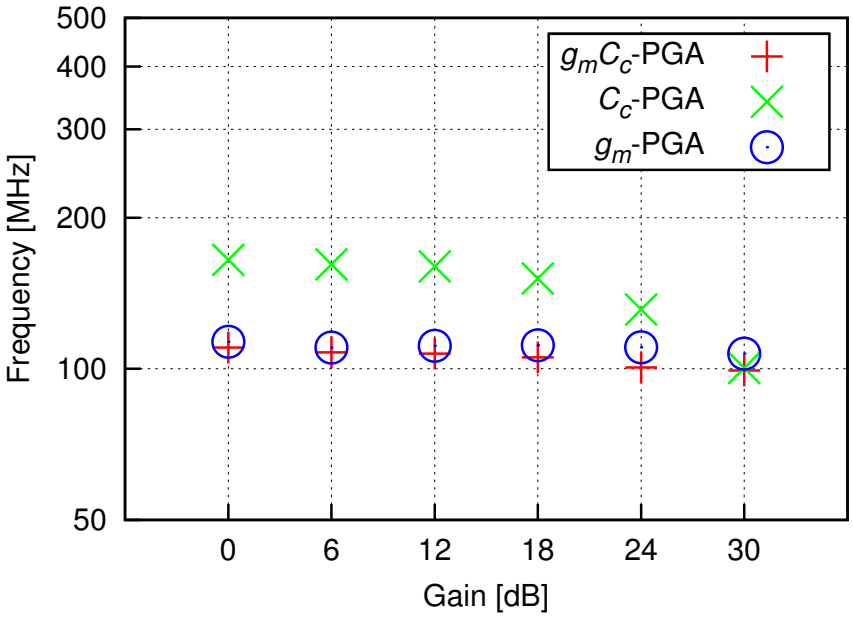


図 2.20: PGA 利得と帯域の関係

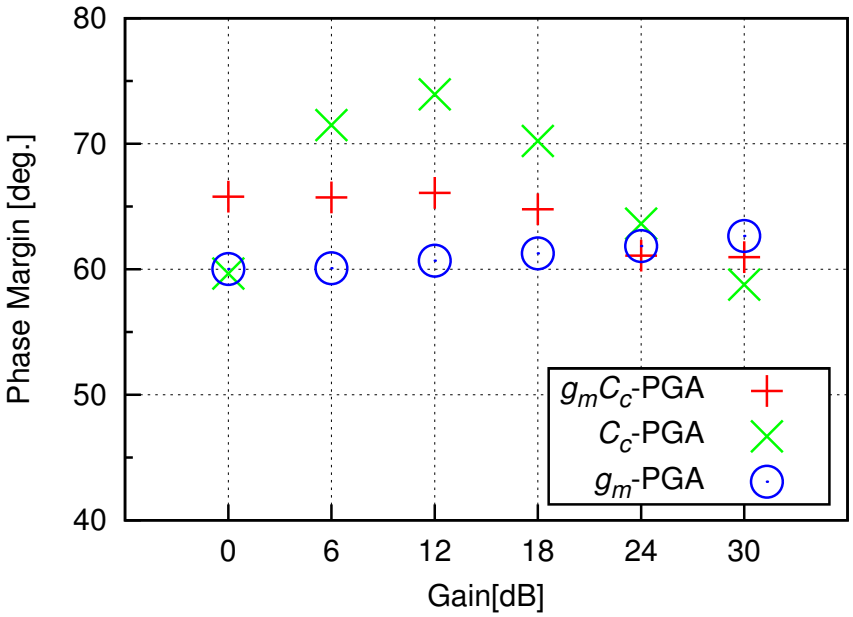
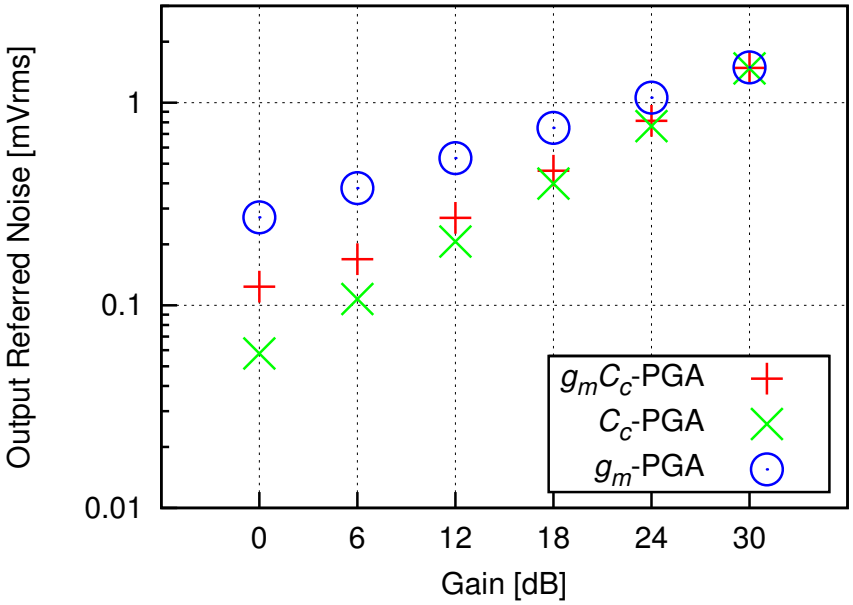
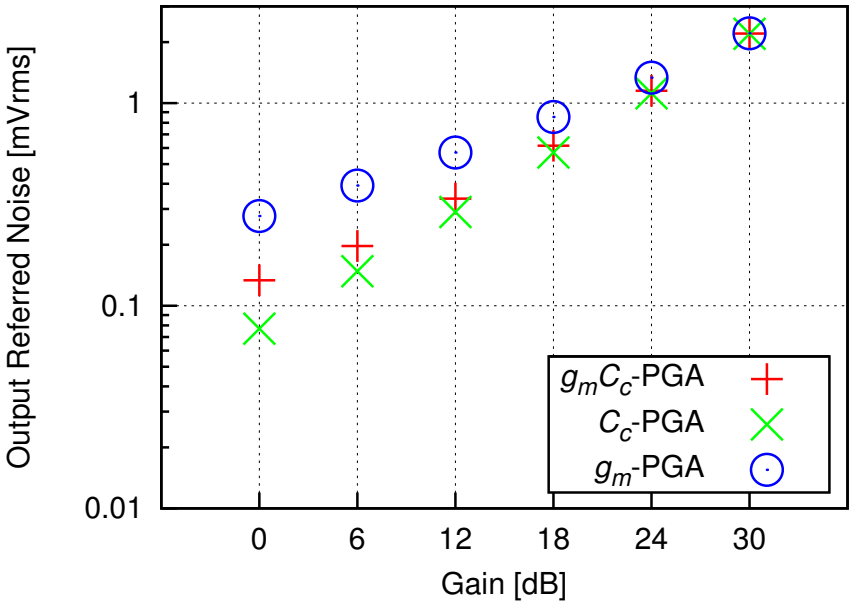


図 2.21: PGA 利得と位相余裕の関係

ズとの 2 乗和平方根は 2.2mVrms である．利得の低下に伴い，各 PGA 共にノイズ量は低下するが，g_m-PGA では利得の低下に伴い入力段相互コンダクタンスが対数スケールで小さくなるため C_c-PGA よりもノイズ性能が悪くなる．g_mC_c-PGA においても利得の低下に伴い入力段相互コンダクタンスが小さくなるため C_c-PGA よりもノイズ性能は劣化するが，その影響は g_m-PGA より低く抑えられている．0dB における出力換算ノイズは，123.5μVrms で，g_m-PGA に対して 55%の低減となり，C_c-PGA



(a) 演算増幅器のノイズ



(b) kT/C ノイズ込み

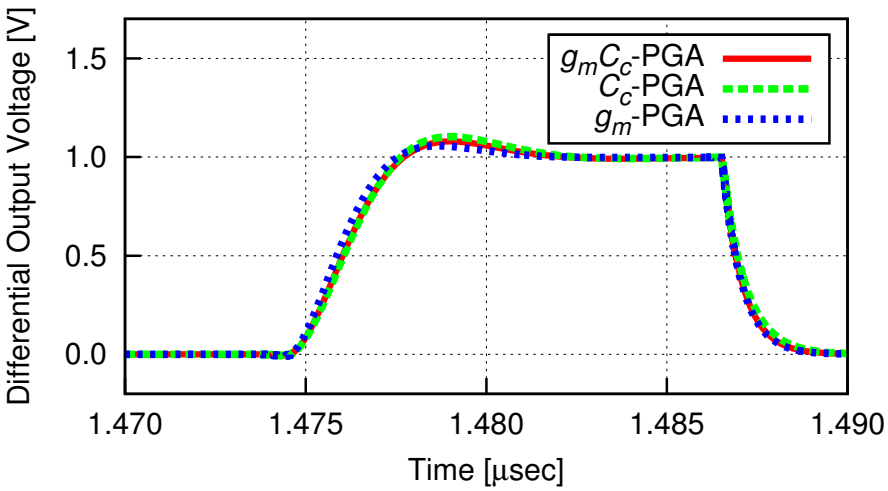
図 2.22: PGA 利得と出力換算ノイズの関係

の 2.1 倍となった．g_mC_c-PGA の方が g_m-PGA に対してノイズ量に大きく寄与する入力段相互コンダクタンスの変化量が抑えられたため，ノイズ性能が向上した．表 2.2 に示した比較検討の結果によると，g_mC_c-PGA のノイズ量は g_m-PGA の 57%減少し，C_c-PGA の 2.5 倍となる．C_c-PGA における検討結果とシミュレーション結果に差異があるが，これは，比較検討段階において C_c-PGA の帯域が 0dB 動作時に広くなることを考慮しておらず，式 (2.47) の 2 項目の伝達関数に差が現れた為であ

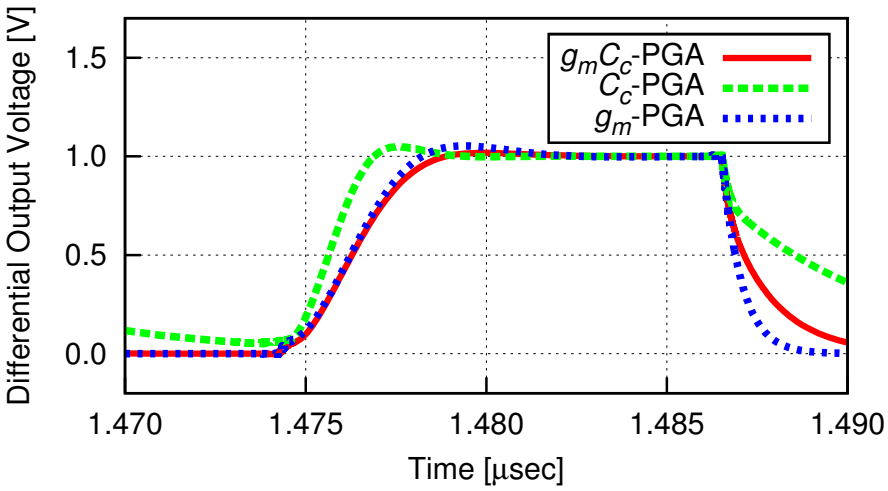
る．また，kT/C ノイズとの 2 乗和平方根では，0dB において 133.6μVrms となり，g_m-PGA に対して 52%低減し，C_c-PGA の 1.7 倍であった．

各 PGA 回路の過渡応答特性を図 2.23 に示す．PGA 利得 30dB における過渡応答特性は，各 PGA 間で同等のセトリング特性を示す．0dB では C_c-PGA の帯域がのびて位相余裕が小さくなるため，立ち上がりが速くなりオーバーシュートしている．セトリング時間 11.6nsec に対して各 PGA ともに 0.1%以下のセトリング誤差であった．スルーレートは入力段のテイル電流と位相補償容量で決まるため，各 PGA 間においてスルー特性に差異はない．

各 PGA 回路における消費電流のシミュレーション結果を図 2.24 に示す．PGA 利得 30dB において，提案方式の消費電流は 28.9mA となった．利得の低下につれて消費電流は低下し，0dB において消費電流は 11.0mA となった．g_m-PGA に対して 40%，C_c-PGA に対して 60%消費電流が低くなった．また，表 2.2 に示した比較結果では，g_mC_c-PGA 回路の消費電力の最小値は，g_m-PGA と比べて 41%，C_c-PGA と比べて 62%減少すると述べた．本シミュレーション結果より，第 2.5.1 項の比較結果の妥当性を確認した．



(a) Gain=30dB



(b) Gain=0dB

図 2.23: 過渡応答特性

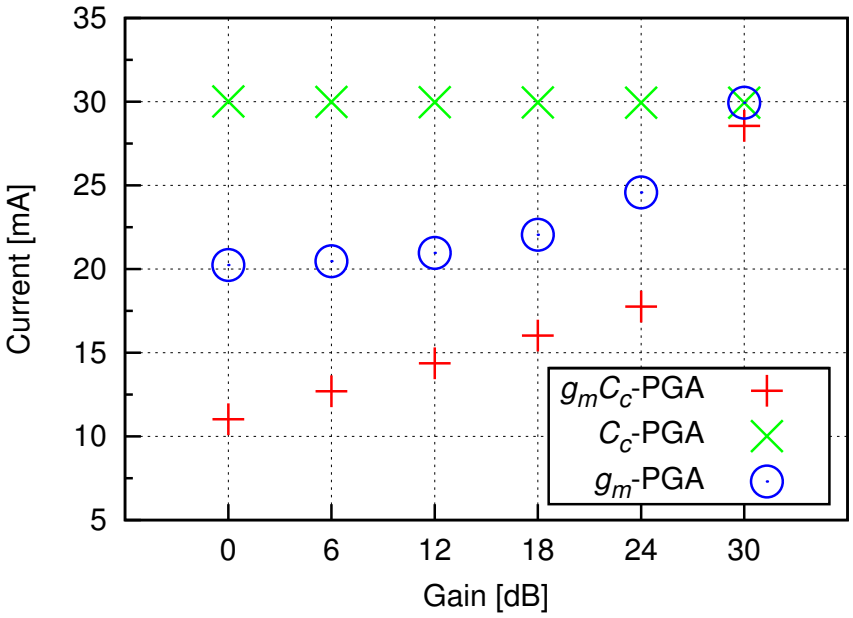


図 2.24: PGA 利得と消費電流の関係

2.8 むすび

本章では，入出力段相互コンダクタンス及び位相補償容量を可変とする可変利得増幅器の低消費電力化について述べた．この技術は，可変利得増幅器の利得に応じて線形的に入力段相互コンダクタンスと位相補償容量を制御することで，低ノイズ性能と小面積を両立する．さらに，出力段相互コンダクタンスも制御することで，低利得動作時における消費電力を削減し，高い電力効率を実現している．0.25μm CMOS プロセスを用いた設計においてシミュレーションを行った結果，利得 30dB での消費電流が 28.9mA，利得 0dB での消費電流が 11.0mA となった．また，出力換算ノイズは利得 30dB において 2.2mVrms，0dB において 133.6μVrms であった．入力段相互コンダクタンス制御のみを用いた従来の可変利得増幅器と比べて，消費電流が最大で 40%，0dB における出力換算ノイズは 52%減少した．また，位相補償容量制御のみを用いた可変利得増幅器と比べて，消費電流は最大で 60%，必要な位相補償容量面積は 60%減少した．

参考文献

[1] Y. Fujimoto, T. Tani, M. Maruyama, H. Ogawa, and M. Miyamoto, "A Low-Power Switched-Capacitor Variable Gain Amplifier," *IEEE J. Solid-State Circuits*, vol. 39, no. 7, pp. 1213–1216, Jul. 2004.

[2] H. Zhang, X. Li, Y. Chen, and J. Cheng, "A switched-capacitor programmable-gain amplifier for high-definition video analog front-ends," in *Proc. IEEE International Conference on Solid-State and Integrated Circuit Technology*, 2012, pp. 1–3.

[3] C. W. Mangelsdolf, "A Variable Gain CMOS Amplifier with Exponential Gain Control," in *Proc. IEEE Symposium on VLSI Circuits, Digest of Technical Papers*, Jun. 2000, pp. 146–149.

[4] C. Hsu and J. Wu, "A Highly Linear 125-MHz CMOS Switched-Resistor Programmable-Gain Amplifier," *IEEE J. Solid-State Circuits*, vol. 38, no. 10, pp. 1663–1670, Oct. 2003.

[5] M. Sanz, S. Celma, and B. Calvo, "High linear digitally programmable gain amplifier," in *Proc. IEEE International Symposium on Circuits and Systems*, vol. 1, May 2005, pp. 208–211.

[6] T. Okura, S. Okura, T. Ido, and K. Taniguchi, "A High Efficiency Variable Gain Amplifier Circuit with Controllable Transconductance Amp," *IEEJ Transaction on Electronics, Information and Systems*, vol. 129, no. 10, pp. 1968–1969, Oct. 2009.

[7] P. Allen and D. Holberg, *CMOS Analog Circuit Design*, 2nd ed. New York: Oxford University Press, 2004.

第3章　パイプラインA/D変換器におけるキャパシタミスマッチの非線形性への影響に関する解析

3.1　はじめに

パイプライン A/D 変換器は粗い A/D 変換を行う単位処理回路が直列接続された構成をとる．各単位処理回路は低分解能なサブ A/D 変換器とスイッチト・キャパシタ型の MDAC(Multiplying Digital-to-Analog Converter) 回路で構成されている．MDAC 回路は入力信号とサブ A/D 変換器出力を D/A 変換した信号との差分を増幅し，次段に伝達する．パイプライン A/D 変換器の消費電力は MDAC 回路が大部分を占めているため，低消費電力化には MDAC 回路の消費電力削減が重要である．高精度なパイプライン A/D 変換器を実現するには，マッチング精度が高く容量値の大きなキャパシタが MDAC 回路で必要となり，消費電力が大きくなる．MDAC 回路で用いるキャパシタ数を削減することで負荷容量値を低減し，低消費電力化を行う MCS(Merged-Capacitor-Switching) 法が提案されている [1][2][3]．各キャパシタの接続先として差動参照電圧，差動間グラウンド電圧の 3 値を用い，1 つの差動対キャパシタを MDAC 回路における D/A 変換の 1 セグメントとすることで，キャパシタ数を 50%減らす事ができる．

本章では，従来問題とされていなかったセグメント内のキャパシタミスマッチによるパイプライン A/D 変換器の非線形性への影響について解析を行った．MCS 法では，セグメント内差動キャパシタミスマッチによって D/A 変換誤差量が変化し，A/D 変換器の線型性が低下することを明らかにする．また，差動間グラウンド電圧の電位によって，セグメント内差動キャパシタミスマッチが非線形性に与える影響量が変化することを示す．

本章の構成は以下の通りである．3.2 節では，パイプライン A/D 変換器の概要について説明し，またその問題点について述べる．3.3 節では，MCS 法を用いたパイプライン A/D 変換器の D/A 変換セグメントの差動間キャパシタミスマッチについて解析を行い，容量値と非線形性に関するモデルを導出する．3.4 節では，導出したモデルの妥当性を確認するため，MATLAB 上でキャパシタミスマッチに関するモンテカルロシミュレーションを行った結果を示す．3.5 節に本章のまとめを述べる．

3.2　パイプライン A/D 変換器の基本動作

パイプライン A/D 変換器は，図 3.1 に示すように，M 個の直列接続された単位処理回路で構成される．各単位処理回路は，粗い分解能 N_i を有するサブ A/D 変換器 (sub-ADC)，サブ A/D 変換器と同分解能のサブ D/A 変換器 (sub-DAC)，差分器，そして 2^{N_i-1} 倍の利得を持つ演算増幅器 (残差増幅回路) で構成される．アナログ入力信号をサブ A/D 変換器で N_i ビットのディジタル信号 D_i に変換し，サブ D/A 変換器を用いて D_i に相当するアナログ値を出力する．差分器で元のアナログ入力信号

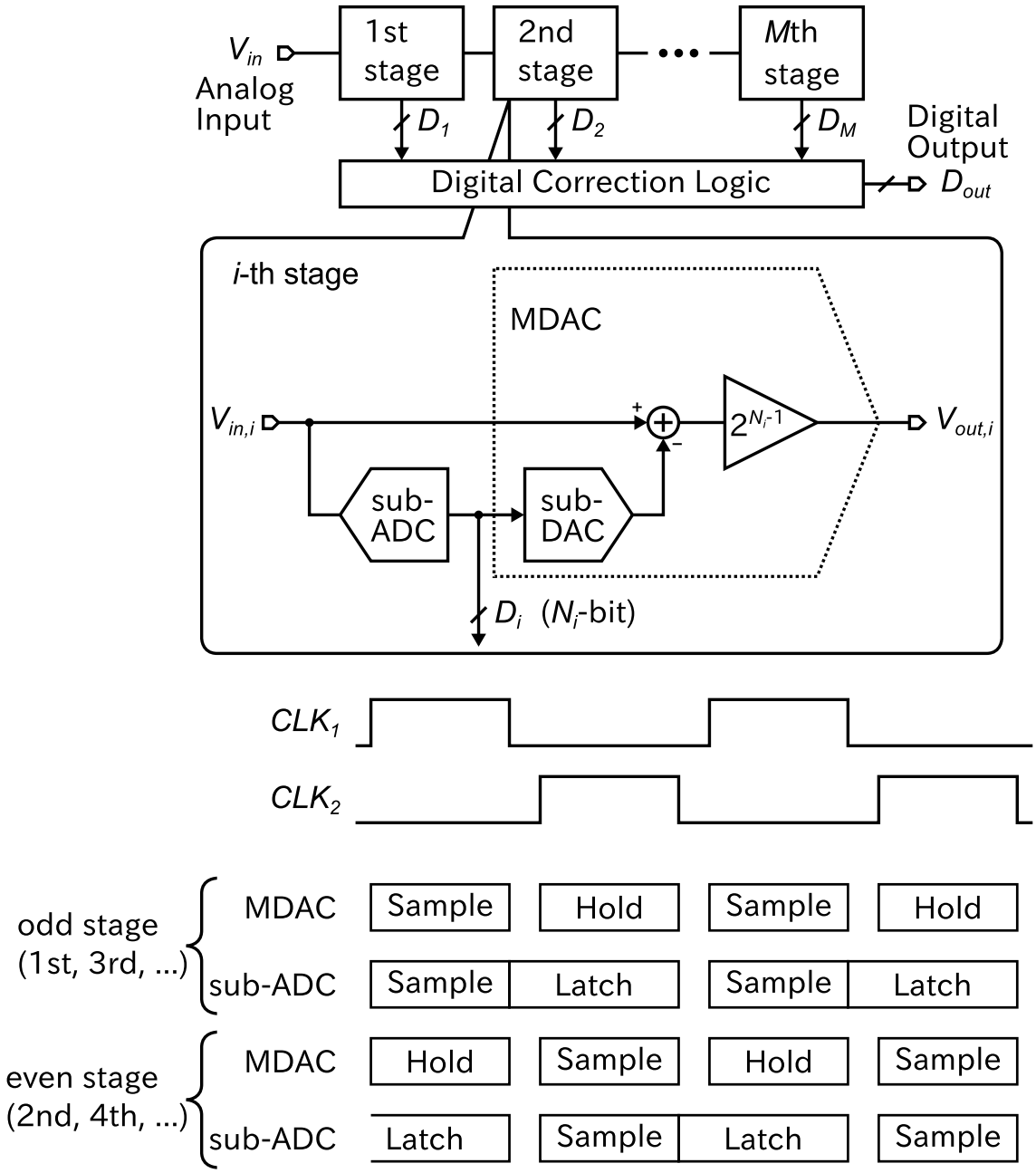


図 3.1: パイプライン A/D 変換器の概略

とサブ D/A 変換器の出力値との差分である量子化誤差を出力する．量子化誤差は残差増幅回路で増幅され，次段の単位処理回路のアナログ入力信号として出力される．次段に入力された残差電圧は，次のクロック周期でさらに量子化が行われる．ここで，サブ D/A 変換器，差分器，残差増幅回路から構成される要素ブロックは MDAC 回路と呼ばれ，スイッチト・キャパシタ回路を用いて実現される．各単位処理回路の N_i ビットのディジタル出力は遅延回路を経て，ディジタル補正回路 (DCL:Digital Correction Logic) で加算して出力される．

サブ A/D 変換器は，アナログ入力信号をサンプリングしたのち，短時間に A/D 変換を完了し，そ

のディジタル化された信号をラッチして保持する．図 3.1 の点線枠内にある MDAC 回路は，入力信号をサンプリングした後，ホールド相でサブ A/D 変換器がラッチしているディジタルデータを D/A 変換し，残差電圧を増幅出力する．次の単位処理回路が増幅された残差電圧をサンプルし，ホールド動作に移る時には，前段の単位処理回路は，新しいアナログ入力信号をサンプルしている．奇数番目と偶数番目の単位処理回路が交互にサンプル/ホールド動作を行う事で，効率よく A/D 変換処理が行われ，パイプライン A/D 変換器の高いスループットが実現されている．パイプライン A/D 変換器の処理時間は，単位処理回路が入力信号をサンプルし，残差電圧をホールド出力する時間が支配的である．また，パイプライン動作では，全ビットの A/D 変換を完了するには，入力信号がサンプルされた瞬間から $M/2$ クロック周期のレイテンシを持つ．M は単位処理回路の段数である．

パイプライン構成には，単位処理回路を単純に追加するだけでビット数を追加することができる利点がある．また，ディジタル補正技術を用いることで，サブ A/D 変換器に対する要求精度は単位処理回路の分解能で決まるため大幅に緩和される [4][5]．これにより，消費電力の小さなコンパレータが利用可能になる．しかし，高い正確性が要求される残差信号増幅においては，高速なセトリングが可能な演算増幅器が必要となり，消費電力が高くなる．同様に，相対ミスマッチを抑えるために容量値の大きなキャパシタが必要となり，高速動作の際，大きな消費電力が必要となる．

各ステージの最適なビット数は A/D 変換器の仕様 (変換速度，電力，精度) によって決まる．各ステージのビット数を減らすとサブ A/D 変換器に用いるコンパレータへの要求は緩和される．また，ステージ間の利得を下げる事ができるので，演算増幅器の原理的な特性により，各ステージの変換速度を高くすることが可能になる．一方，ステージ毎のビット数が減ると，多くのステージが必要になる．さらには，各ステージの利得が低下することで，後段のノイズと利得誤差が A/D 変換器全体の精度に影響を与える．高速かつ低分解能な仕様を実現するには，ステージ毎のビット数を低くすることが有効であり，低速かつ高分解能な仕様にはステージ毎のビット数を大きくすることが有効である．より詳しい精度解析は [6][7][8] にまとめられている．

出力 1.5 ビットの単位処理回路では，サブ A/D 変換器でディジタル変換された量子化レベルと入力信号レベルとの差である残差電圧を 2 倍に増幅する．入力信号は $-V_{ref}$ から $+V_{ref}$ まで変動し，サブ A/D 変換器は $-V_{ref}/4$ と $+V_{ref}/4$ に閾値をもつ．サブ D/A 変換器の出力レベルは出力ディジタルコードに応じて $-V_{ref}$，0，$+V_{ref}$ となる．

$$V_{out} = \begin{cases} 2V_{in} - V_{ref}, & \text{if} \quad V_{in} > V_{ref}/4, & D = 10 \\ 2V_{in}, & \text{if} \quad -V_{ref}/4 \le V_{in} \le V_{ref}/4, & D = 01 \\ 2V_{in} + V_{ref}, & \text{if} \quad V_{in} < -V_{ref}/4, & D = 00 \end{cases} \tag{3.1}$$

D はステージの出力コードである．式 (3.1) に示す伝達関数を図 3.2 に示す．冗長ビットを用いて，不連続点にディジタル補正を用いることで，サブ A/D 変換器に対する要求仕様は大幅に緩和する．この 1.5 ビット構成の A/D 変換器では，ビットエラーを発生させないで最大 $V_{ref}/4$ のオフセットが許容される．全体の A/D 変換器ではパイプライン的に合計 $\sum_{i=1}^{M} N_i$ ビットを生成し，これをディジタル補正回路で有効な N_{Total} ビットのディジタルデータ D_{out} として出力する．N_{Total} は，

$$N_{Total} = \sum_{i=1}^{M} N_i - (M-1) \tag{3.2}$$

で表される．また，各ビットは次式の様に合成される．

$$D_{out} = \sum_{i=1}^{M-1} 2^{N_{Total} - \sum_{j=1}^{i}(N_j - 1) - 1} \cdot D_i + D_M \tag{3.3}$$

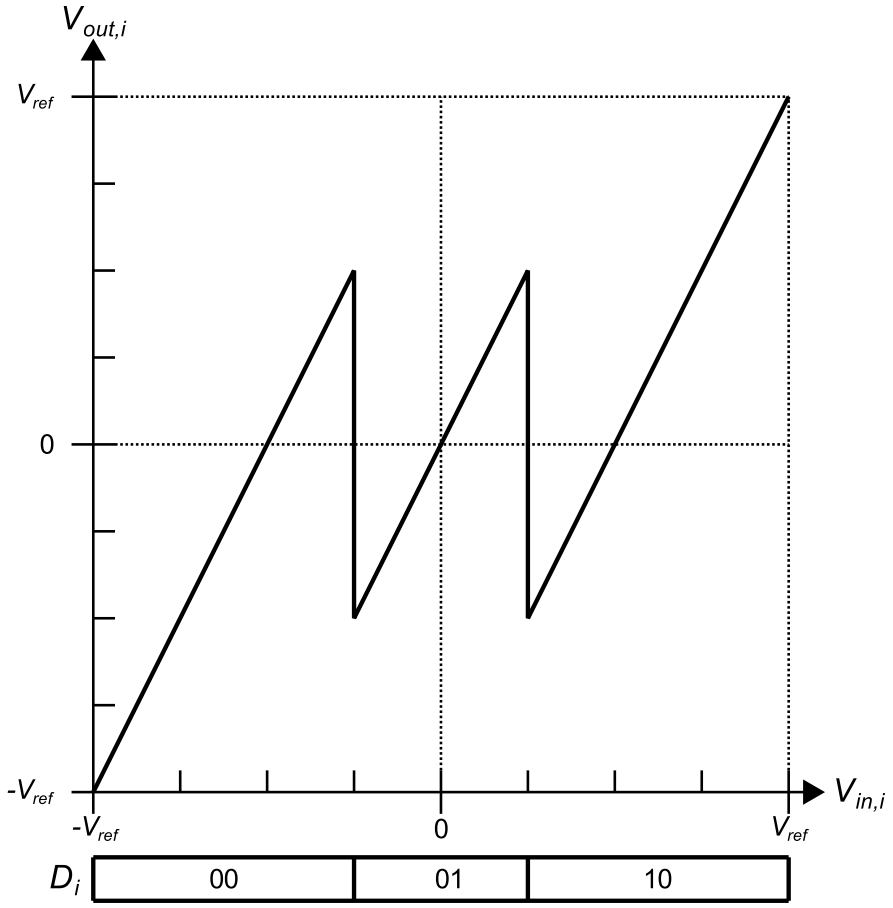
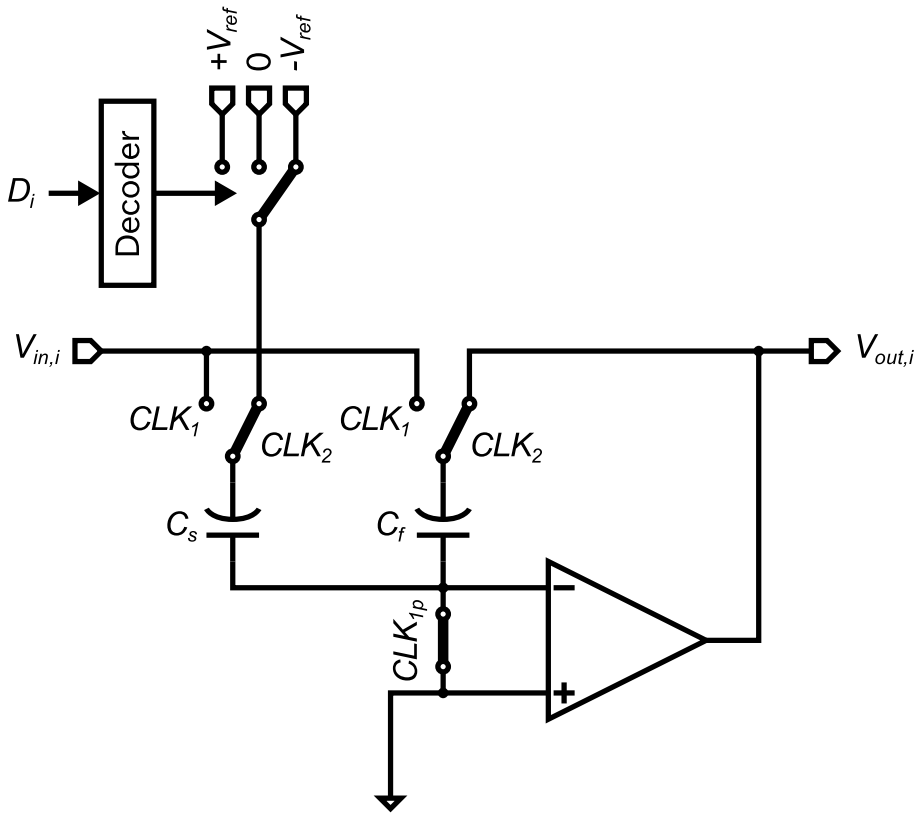
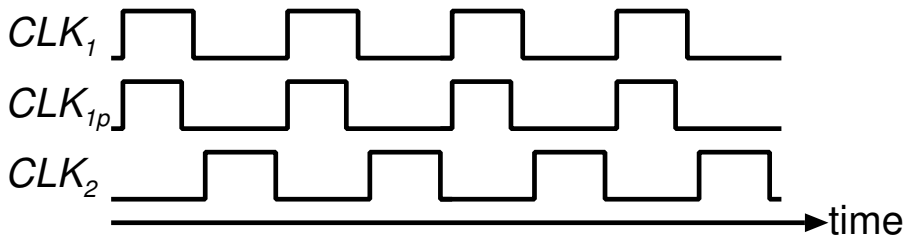


図 3.2: 1.5 ビット/ステージ構成で用いる MDAC 回路の伝達関数



(a) MDAC 半回路



(b) タイミング図

図 3.3: MDAC 回路とタイミング図

3.2.1 MDAC 回路

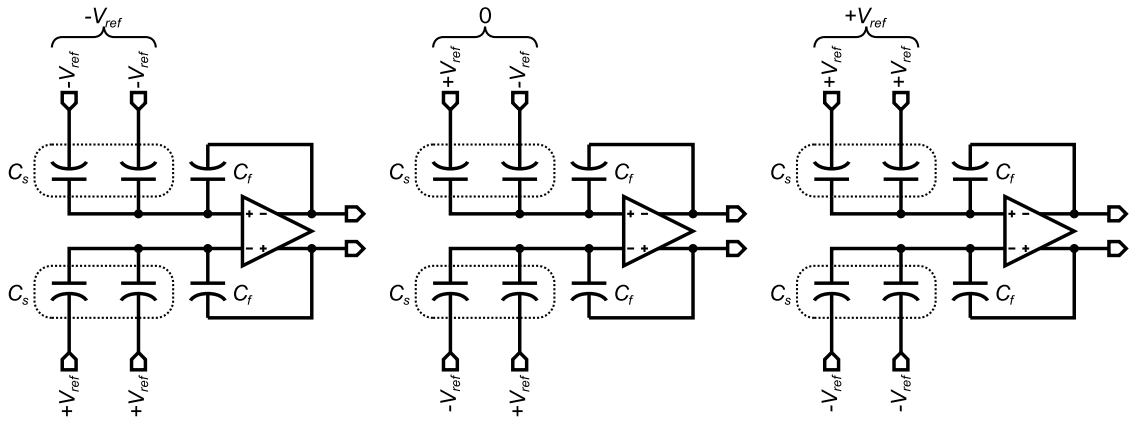
1.5 ビット単位処理回路で用いる MDAC 回路の回路図とタイミング図を図 3.3 に示す．図は便宜的にシングルエンド構造で示しているが，実際にはノンオーバーラップの 2 相クロックで動作するスイッチト・キャパシタ回路の全差動構成で実現される．クロック CLK_1=“High” の間に，サンプルキャパシタ C_s とフィードバックキャパシタ C_f のボトムプレート側が入力信号 V_{in} に接続され，CLK_{1p} が CLK_1 より若干早く “Low” になる事でボトムプレートサンプリングが行われる．CLK_2 で C_f のボトムプレートは増幅器の出力端子 $V_{out,i}$ に接続され，C_s はサブ A/D 変換器出力に応じて，$\pm V_{ref}$，0 の

いずれかに接続される．この回路動作により，MDAC 回路のアナログ出力 $V_{out,i}$ は，

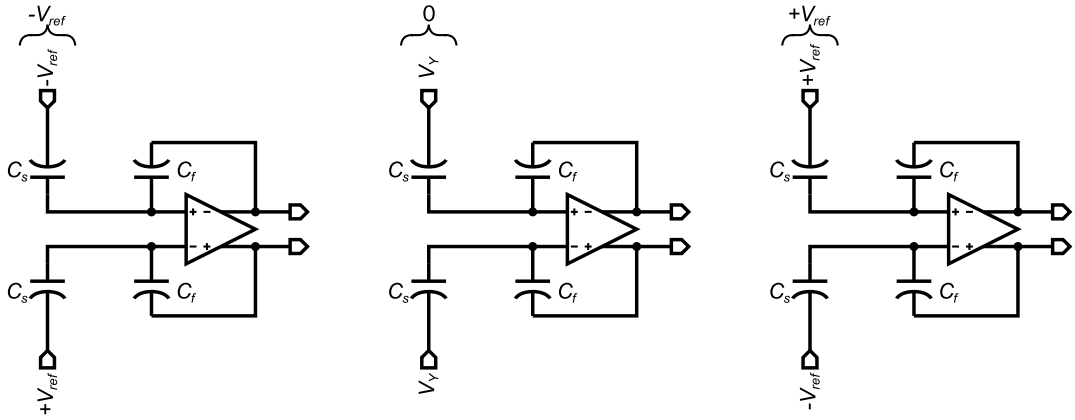
$$V_{out} = \begin{cases} \frac{C_f+C_s}{C_f}V_{in,i} - \frac{C_s}{C_f}V_{ref}, & \text{if} \quad V_{in} > V_{ref}/4, & D = 10 \\ \frac{C_f+C_s}{C_f}V_{in,i}, & \text{if} \quad -V_{ref}/4 \leq V_{in} \leq V_{ref}/4, & D = 01 \\ \frac{C_f+C_s}{C_f}V_{in,i} + \frac{C_s}{C_f}V_{ref}, & \text{if} \quad V_{in} < -V_{ref}/4, & D = 00 \end{cases} \tag{3.4}$$

となる．1.5 ビット単位処理回路では，利得を 2 倍にするために $C_s = C_f$ とする．C_s と C_f の比が正確に取れていなければ，A/D 変換器全体の線形性に影響を与える．また，MDAC 回路で用いる増幅器の DC 利得の有限性に起因する誤差を抑えるには非常に高い DC 利得が必要となる．さらに，MDAC 回路はクロック周期の半分の時間内で高精度に出力電圧を収束させなければならない．

ここまで，MDAC 回路について簡略化のため単相構造の図 3.3(a) を用いて説明した．ホールド相における C_s のボトムプレート接続先について説明するために，全差動構成の図 3.4 を用いる．図 3.4(a) は MCS 法を用いない場合のホールド相における MDAC 回路構成，図 3.4(b) は MCS 法を用いた場合の回路構成を示している．C_s の接続先は，全差動構成のため差動間で逆になっているので，トッププレートが増幅器の正端子に接続されているキャパシタについて説明する．MCS 法を用いない場合には，サブ A/D 変換器出力に応じた 3 つの接続先電位 $-V_{ref}$，0，$+V_{ref}$ を実現するために，C_s を 2 つに分割している．それぞれ，両方を $-V_{ref}$，$-V_{ref}$ と $+V_{ref}$ に 1 つずつ，両方を $+V_{ref}$ に接続することで得ている．一般的に，C_s と C_f の比を正確に得るために，C_f も 2 つに分割し同じ出力端子に接続する方法が用いられており，1.5 ビットの MDAC 回路では全差動で 8 個の単位キャパシタを必要とする．MCS 法を用いる場合には，C_s は 1 つのキャパシタで実現され，$-V_{ref}$，差動間で同電位，$+V_{ref}$ に接続される．差動間で同電位接続する際の接続先として，$+V_{ref}$ もしくは $-V_{ref}$ を選択する方法 [1] や，差動間短絡を用いる方法 [4] が提案されている．1.5 ビット構成で必要なキャパシタ数は 4 個となる．このように，MCS 法を採用すれば MDAC 回路に必要なキャパシタの数を半分にすることができる．



(a) without MCS



(b) with MCS

図 3.4: ホールド相での MDAC 接続電位

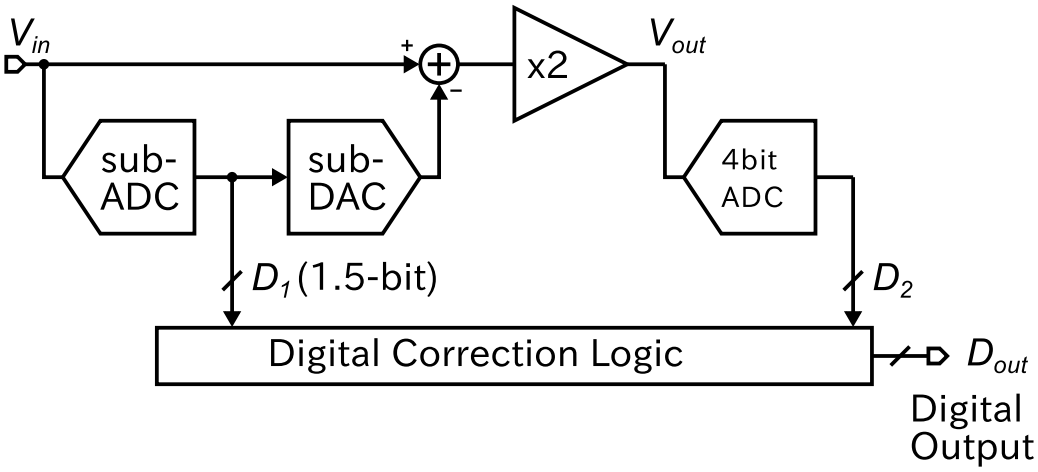


図 3.5: 1.5 ビット+4 ビット構成パイプライン A/D 変換器

3.2.2　各単位処理回路への要求精度

パイプライン A/D 変換器に要求される分解能，線形性，信号対ノイズ比 (SNR：Signal-to-Noise Ratio) を満たすように，各単位処理回路を設計する必要がある．SNR を制限する最も大きな要因は，各単位処理回路で用いられる MDAC 回路である．MDAC 回路はスイッチト・キャパシタ型演算増幅器で実現されるので，ノイズ源として 2.2.2 項で示したように内部増幅器のフリッカノイズ，熱ノイズ，そして kT/C ノイズがある．各 MDAC 回路で発生するノイズの総合値と入力信号との比から SNR は求められる．ここでは，線形性に対する各単位処理回路への要求精度について説明する．単位処理回路の非理想要素 (サブ A/D 変換器の閾値誤差，MDAC 回路のキャパシタミスマッチ，増幅器の DC 利得による影響，収束誤差) がパイプライン A/D 変換器全体の特性を過度に劣化させないように，各要素回路を設計しなければならない．以降の説明は，残り分解能が 4(3.5) ビットの 1.5 ビット単位処理回路を例として用いる (図 3.5)．また，後段 4 ビット回路の非理想要素は無いとして考える．

サブ A/D 変換器閾値誤差

1.5 ビットのサブ A/D 変換器の閾値電圧は，理想的には $\pm V_{ref}/4$ の 2 値である．サブ A/D 変換器で用いる 2 つのコンパレータ回路のオフセット電圧が V_{os1}，V_{os2} であれば，MDAC 回路の伝達関数は図 3.6 の実線で示すように理想的な伝達関数 (破線) に対して誤差を持つ．なお，図内の右側に示すディジタルコードは，1.5 ビット MDAC 回路のアナログ出力電圧 V_{out} に対する残りステージの A/D 変換結果である．D_1 のコード切り替わり点における V_{out} の電位差 (不連続点幅) は，サブ A/D 変換器のオフセットの有無に関わらず V_{ref} である．後段の A/D 変換特性において，この V_{ref} が 1MSB に相当する範囲では，オフセットによる影響はディジタル補正回路によって補正される．図 3.6 のように，後段 A/D 変換器が 1 コード欠けた形 (“1110” が最大値) では，不連続点における V_{out} の最大値

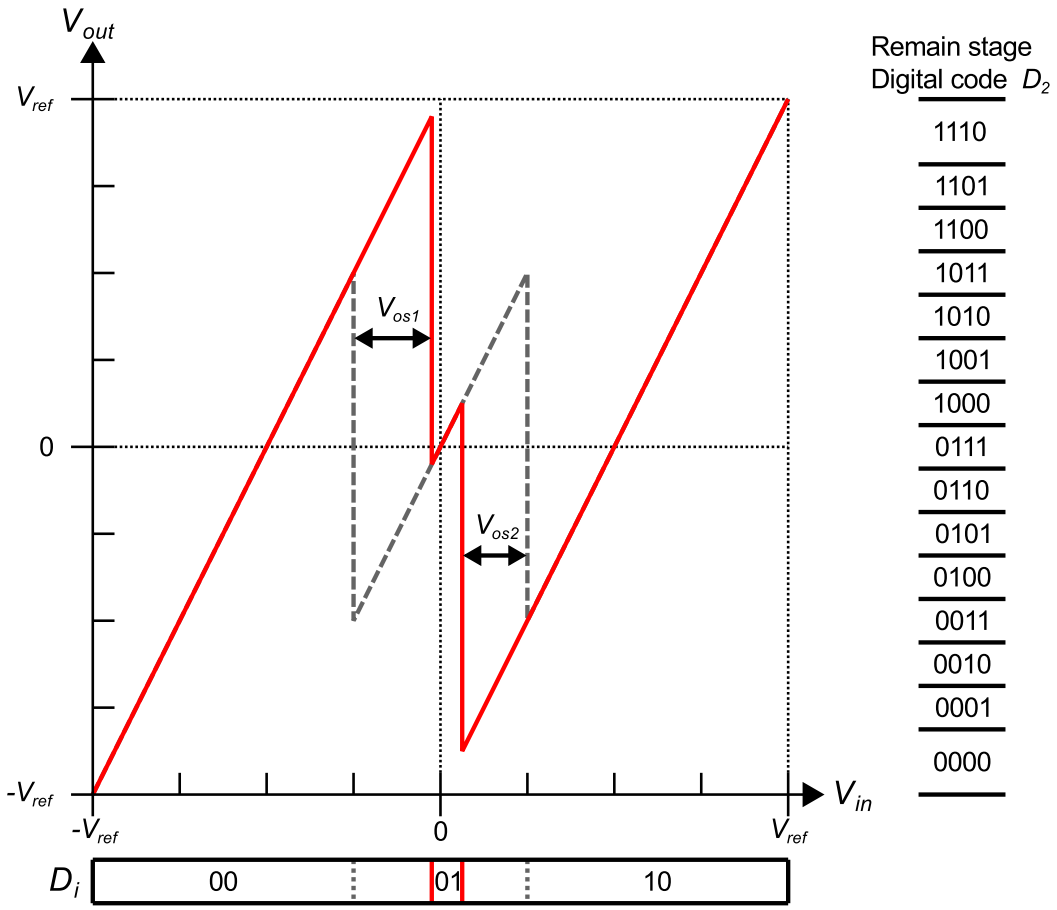


図 3.6: サブ A/D 変換器の閾値誤差による影響

$V_{out,H}$ と最小値 $V_{out,L}$ が，

$$V_{out,H} < \left(1 - \frac{1}{2} \cdot \frac{1}{2^{N_R}}\right) \cdot V_{ref} \tag{3.5}$$

$$V_{out,L} > -\left(1 - \frac{1}{2} \cdot \frac{1}{2^{N_R}}\right) \cdot V_{ref} \tag{3.6}$$

の条件で後段の 1MSB と V_{ref} が一致する．N_R は残りビット数を表し，ここでは，N_R=4 である．1.5 ビット MDAC の利得は 2 倍なので，$V_{out,H}$ と $V_{out,L}$ は，以下の式で与えられる．

$$V_{out,H} = \frac{V_{ref}}{2} + 2V_{os} \tag{3.7}$$

$$V_{out,L} = -\frac{V_{ref}}{2} - 2V_{os} \tag{3.8}$$

式 (3.5)，(3.6)，(3.7)，(3.8) より，V_{os} が，

$$|V_{os}| < \frac{1}{4} \cdot \left(1 - \frac{1}{2^{N_R}}\right) \cdot V_{ref} \tag{3.9}$$

を満たせば，サブ A/D 変換器の閾値オフセット電圧はパイプライン A/D 変換器の DNL に影響を与えない．N_R が十分大きい場合には，ほぼそのステージの分解能でオフセット誤差許容量が求まる．また，

$$\frac{1}{4} \cdot \left(1 - \frac{1}{2^{N_R}}\right) \cdot V_{ref} < |V_{os}| < \frac{1}{4} \cdot V_{ref} \tag{3.10}$$

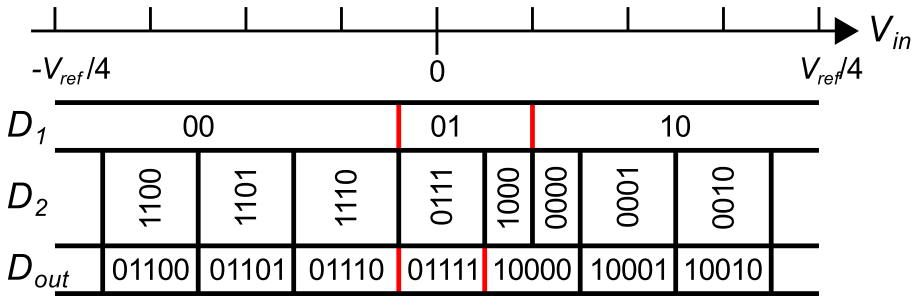


図 3.7: 不連続点前後での合成後ディジタル出力

の範囲では，ミッシングコードは起こらないが DNL を劣化させ，オフセットの絶対値が $V_{ref}/4$ を越えるとミッシングコードが発生する．後段 A/D 変換器が最大コード “1111” まで出力できる場合には，$|V_{os}| < V_{ref}/4$ の範囲で DNL への影響は完全に補正される．

図 3.6 に示す 2 つの伝達関数不連続点前後における合成後のディジタル出力 D_{out} は，図 3.7 のように与えられる．ここで，V_{os1} は式 (3.10) の条件に，V_{os2} は式 (3.9) の条件に当てはまる．左側の不連続点付近では，ミッシングコードは起きていないが，D_{out}=“01110” の幅が少し広くなり，逆に “01111” のコード幅が少し狭くなっている．この様な場合，微分非線形性 (DNL:Differential Non-Linearlity) の劣化に繋がる．オフセットが更に大きくなり，$V_{ref}/4$ を越えると，ミッシングコードが発生してしまう．一方，右側の不連続点付近では，不連続点前後で同じ D_{out} を出力しており，各コード幅にも影響はない．この場合には，DNL の劣化は生じない．

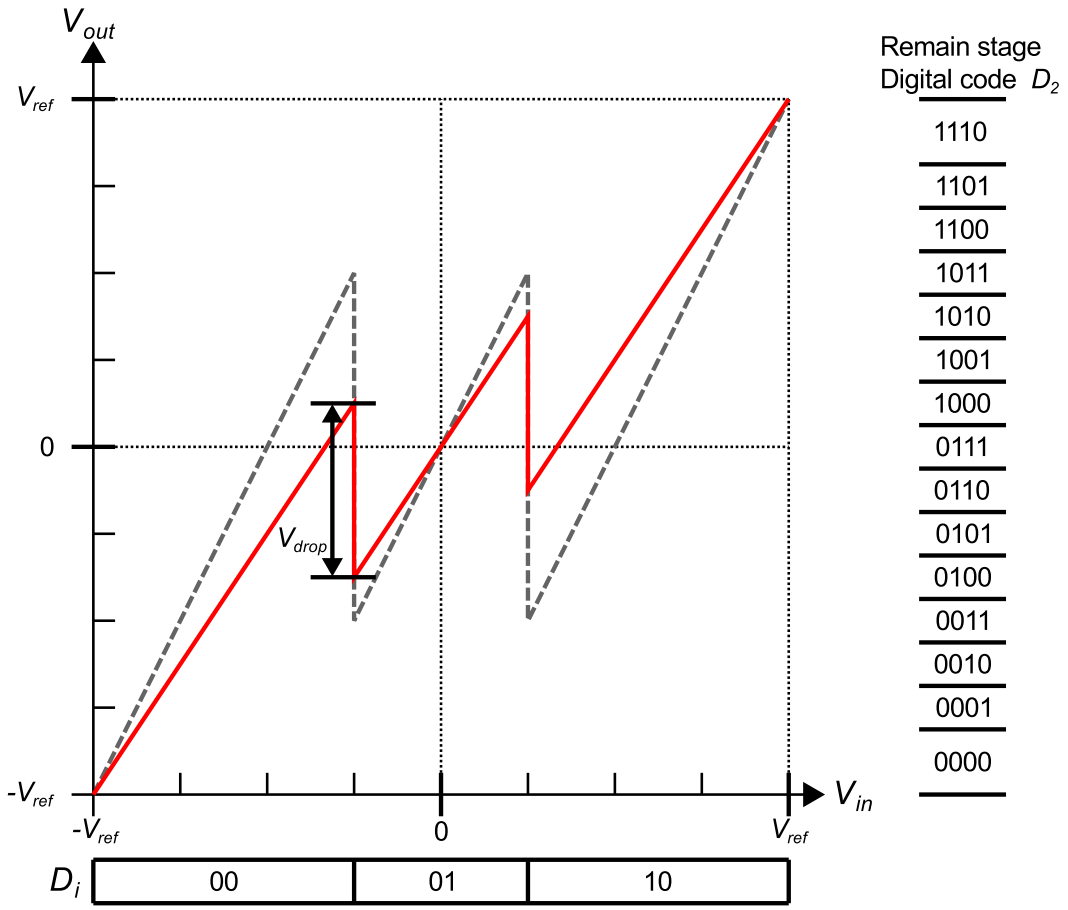


図 3.8: MDAC 回路利得誤差による影響

MDAC 回路の利得誤差

MDAC 回路に利得誤差が生じた場合の伝達関数への影響を図 3.8 に示す．利得誤差はサブ A/D 変換器の閾値オフセットとは違い，不連続点における伝達関数の電位差 V_{drop} に影響を与える．V_{drop} が残りステージにおける 1MSB の範囲に相当すれば，ミッシングコードや非単調増加を招かない．MDAC 利得が低下し V_{drop} が小さくなり過ぎると，MDAC 伝達関数の不連続点前後におけるディジタル出力コードに 1LSB 以上の乖離が生じる．これをミッシングコードと呼ぶ．逆に利得が上昇し V_{drop} が大きくなり過ぎると，アナログ入力電圧とディジタル出力コード間の伝達関数に単調増加性が失われる．つまり，非単調増加が起こってしまう．残りステージでの 1MSB の範囲は，$(1-1/2^{N_R})V_{ref}$ から $(1+1/2^{N_R})V_{ref}$ であるため，ミッシングコード及び非単調増加を起こさないために許容される MDAC 利得誤差は，以下の条件式で与えられる．

$$\left(1-\frac{1}{2^{N_R-1}}\right)\cdot V_{ref} < V_{drop} < \left(1+\frac{1}{2^{N_R-1}}\right)\cdot V_{ref} \tag{3.11}$$

MDAC 回路の利得誤差の要因として，

- 内部増幅器の DC 利得
- MDAC 回路の収束誤差

- キャパシタミスマッチ

が上げられる．以下，各要因について説明する．

内部増幅器の DC 利得による影響

増幅器の DC 利得が有限であるため，MDAC 回路の利得に誤差が生じる．増幅器の DC 利得を A_o，帰還率を β_F とすると，MDAC 回路の伝達関数は，

$$V_{out} = \left(\frac{A_o}{1+\beta_F A_o}\right) \cdot [V_{in} - (1-\beta_F) \cdot (\pm V_{ref}, 0)] \tag{3.12}$$

となる．ここで，帰還率 β_F は，

$$\beta_F = \frac{C_f}{C_s + C_f} \tag{3.13}$$

で与えられる．$\beta_F A_o >> 1$ であると仮定すると，伝達関数は以下の近似式で表し直すことができる．

$$V_{out} \approx \frac{1}{\beta_F} \cdot \left(1 - \frac{1}{\beta_F A_o}\right) \cdot [V_{in} - (1-\beta_F) \cdot (\pm V_{ref}, 0)] \tag{3.14}$$

以上より，内部増幅器の DC 利得の有限性による利得誤差 (E_G) は，

$$E_G = \frac{1}{\beta_F A_o} \tag{3.15}$$

となる．誤差を小さくするには，A_o を高く設計する必要がある．

MDAC 回路の収束誤差

MDAC 回路の出力電圧の収束速度は，帯域が支配的な要因である．MDAC 回路の極が 1 つであると仮定すると，出力電圧 V_{out} は，

$$V_{out} = \frac{1}{\beta_F} \cdot [1 - \exp(-2\pi BW \cdot t_s)] \cdot [V_{in} - (1-\beta_F) \cdot (\pm V_{ref}, 0)] \tag{3.16}$$

で表される．ここで，BW は MDAC 回路の帯域，t_s はセトリング時間を示している．MDAC 回路の出力電圧収束誤差 (E_s) は，

$$E_s = \exp(-2\pi BW \cdot t_s) \tag{3.17}$$

で与えられる．2 相クロックで動作するパイプライン A/D 変換器では，ノンオーバーラップ期間，クロックの立ち上がりや立ち下がりに時間を要するため，セトリング時間 t_s はクロックの半周期以下となる．E_s は MDAC 回路の帯域を延ばす事で低減することができる．

キャパシタミスマッチ

負帰還回路を構成する C_s と C_f の間にミスマッチがあると，MDAC 回路の伝達関数は誤差を持つ．C_s と C_f は，

$$C_s = C_u + \frac{\Delta}{2} \tag{3.18}$$

$$C_f = C_u - \frac{\Delta}{2} \tag{3.19}$$

として考える．ここで，C_u は C_s と C_f の平均値，Δ はキャパシタのミスマッチ量を表している．式 (3.4) と式 (3.18)，(3.19) より，MDAC 回路の伝達関数は，

$$V_{out} = 2\left(1+\frac{\Delta}{2C_u}\right)\cdot\left[V_{in}-\frac{1}{2}\cdot\left(1+\frac{\Delta}{2C_u}\right)\cdot(\pm V_{ref},0)\right] \tag{3.20}$$

となる．ただし，Δ/C_u <<1 と仮定している．キャパシタミスマッチの主な要因は，キャパシタを構成する電極の周縁部にある．キャパシタ面積を大きくすれば，面積と周辺長の比が大きくなり，精度の高いキャパシタが実現できる．隣接するキャパシタ間でのミスマッチの標準偏差は，

$$\sigma\left(\frac{\Delta}{C}\right) = \frac{K_C}{\sqrt{L\cdot W}} \tag{3.21}$$

で与えられる．ここで，L と W はキャパシタ電極の長さと幅である．また，K_C はプロセスによって決まる定数である．キャパシタの容量値は，面積に比例するので，単位面積あたりの容量値を C_0 とすると，

$$C = C_0\cdot L\cdot W \tag{3.22}$$

となり，式 (3.21) に代入すると，

$$\sigma\left(\frac{\Delta}{C}\right) = K_C\sqrt{\frac{C_0}{C}} = \frac{K'_C}{\sqrt{C}} \tag{3.23}$$

が得られる．面積を拡大し，大きな容量値のキャパシタを用いる事で，キャパシタミスマッチによる利得誤差への影響は低減される．

利得誤差の要因である，増幅器の DC 利得，MDAC 回路の帯域，キャパシタミスマッチ全ての影響を加味した MDAC 回路の伝達関数は，

$$V_{out} = 2\left(1+\frac{\Delta}{2C_u}-E_G-E_s\right)\cdot\left[V_{in}-\frac{1}{2}\cdot\left(1+\frac{\Delta}{2C_u}\right)\cdot(\pm V_{ref},0)\right] \tag{3.24}$$

で与えられる．不連続点における伝達関数への影響を考えるために，$V_{in} = -V_{ref}/4$ 近傍での出力電圧の変化量を求める．D_1 =“00” および “01” での出力電圧をそれぞれ $V_{out,H}$，$V_{out,L}$ とすると，

$$V_{out,H} = 2\left(1+\frac{\Delta}{2C_u}-E_G-E_s\right)\cdot\left[-\frac{V_{ref}}{4}+\frac{1}{2}\cdot\left(1+\frac{\Delta}{2C_u}\right)\cdot V_{ref}\right] \tag{3.25}$$

$$V_{out,L} = 2\left(1+\frac{\Delta}{2C_u}-E_G-E_s\right)\cdot\left(-\frac{V_{ref}}{4}\right) \tag{3.26}$$

となる．ここで，不連続点幅 V_{drop} は，

$$\begin{aligned} V_{drop} &= V_{out,H}-V_{out,L} \\ &= 2\left[1+\frac{\Delta}{2C_u}-\frac{2}{A_o}-\exp\left(-2\pi BW\cdot t_s\right)\right]\cdot\left[\frac{1}{2}\left(1+\frac{\Delta}{2C_u}\cdot V_{ref}\right)\right] \\ &\approx \left[1+\frac{\Delta}{C_u}-\frac{2}{A_o}-\exp\left(-2\pi BW\cdot t_s\right)\right]\cdot V_{ref} \end{aligned} \tag{3.27}$$

で与えられる．V_{drop} が式 (3.11) の条件を満たすと，ミッシングコードや非単調増加は起こらない．MDAC 利得誤差の許容量は次式で与えられる．

$$\left|\frac{\Delta}{C_u}-\frac{2}{A_o}-\exp\left(-2\pi BW\cdot t_s\right)\right| < \frac{1}{2^{N_R-1}} \tag{3.28}$$

キャパシタミスマッチによる影響を低減するには，大きな C_u を用いる事になる．その場合は，MDAC 回路の面積が増加するだけでなく，負荷容量が大きくなるため，消費電力も増加する．収束誤差による影響を減らすためには，MDAC 回路の帯域を延ばす必要があり，消費電力の増加に繋がる．MDAC 利得で許容される誤差量を，どの非理想要素に割り振るかによって，パイプライン A/D 変換器の電力，面積などが決まる．しかし，この振り分け方はビット数，動作速度，増幅器の構成などに依存し，容易に最適化することはできない．経験的には，キャパシタミスマッチに 50%以上，残りを DC 利得による影響と収束誤差に割り当てる事が低消費電力と小面積を両立した設計を可能にするひとつの目安である．

3.2.3　問題点

MCS 法を用いたパイプライン A/D 変換器のキャパシタミスマッチによる線形性への影響は，単相構成でしか解析が行われてきておらず，MDAC 回路の D/A 変換セグメント内差動キャパシタミスマッチは考慮されていない．また，MCS 法を用いた際の差動間グラウンド電圧については，A/D 変換の線形特性に与える影響という側面では解析がなされていない．

MDAC 回路で用いるキャパシタの容量値は，線形性に影響を与えるだけでなく，残差増幅回路の負荷容量として消費電力にも大きく寄与する．容量値を大きくすれば，キャパシタミスマッチが小さくなり線形性が良くなるが，残差増幅回路の消費電力が増大する．要求される線形性を満たすための必要最低限の容量値で設計することがパイプライン A/D 変換器の消費電力を低く抑える事につながる．そのため，低消費電力設計を行う上で，キャパシタミスマッチによる線形性への影響について詳細な解析を行うことは非常に重要である．

表 3.1: MCS 法を用いた MDAC 回路の増幅時におけるキャパシタ接続先

	C_{1p}/C_{1n}	C_{2p}/C_{2n}	C_{3p}/C_{3n}	C_{4p}/C_{4n}
110	V_{op} / V_{on}	V_{rp} / V_{rn}	V_{rp} / V_{rn}	V_{rp} / V_{rn}
101	V_{op} / V_{on}	V_Y / V_Y	V_{rp} / V_{rn}	V_{rp} / V_{rn}
100	V_{op} / V_{on}	V_Y / V_Y	V_Y / V_Y	V_{rp} / V_{rn}
011	V_{op} / V_{on}	V_Y / V_Y	V_Y / V_Y	V_Y / V_Y
010	V_{op} / V_{on}	V_Y / V_Y	V_Y / V_Y	V_{rn} / V_{rp}
001	V_{op} / V_{on}	V_Y / V_Y	V_{rn} / V_{rp}	V_{rn} / V_{rp}
000	V_{op} / V_{on}	V_{rn} / V_{rp}	V_{rn} / V_{rp}	V_{rn} / V_{rp}

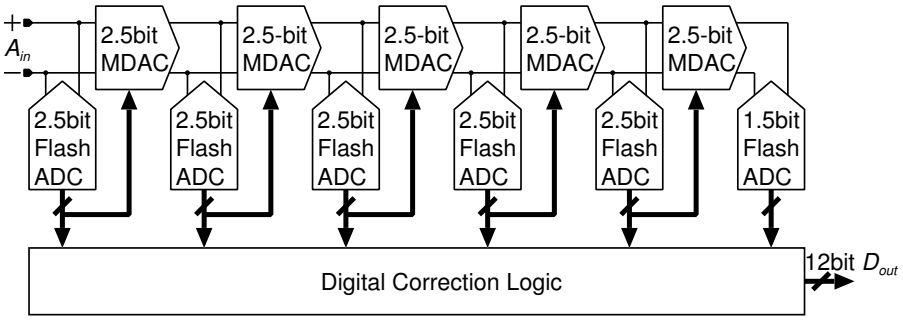
3.3 MDAC セグメント内差動キャパシタミスマッチに関する解析

図 3.9(a) にサブ A/D 変換器としてフラッシュA/D 変換器を用いた 12 ビットパイプライン A/D 変換器のブロック図を示す．解析にマルチビット/ステージ構成のパイプライン A/D 変換器として一般性を持たせるため，各ステージ共に 2.5 ビット構成としている．2.5 ビットの単位処理回路を 5 段と最終段に 1.5 ビットのフラッシュA/D 変換器で構成する事で，全体として 12 ビットの A/D 変換器を実現している．図 3.9(b) の破線で囲った差動対キャパシタが MDAC における D/A 変換のセグメントである．ここで，全てのキャパシタは同容量である．サンプリング時に全キャパシタ (C_{ip}，C_{in} : $i = 1$，2，3，4) のボトムプレートはアナログ入力端子 ($V_{ip/in}$) に接続される (図 3.9(b))．増幅時には図 3.9(c) に示すように，C_{1p}，C_{1n} は出力端子 ($V_{op/on}$) に接続され，それ以外のキャパシタは各々，フラッシュA/D 変換器のディジタル出力コードに応じて差動参照電圧 ($V_{rp/rn}$) または差動間グラウンド電圧 (V_Y) に接続される (表 3.1)．その結果，出力電圧は，

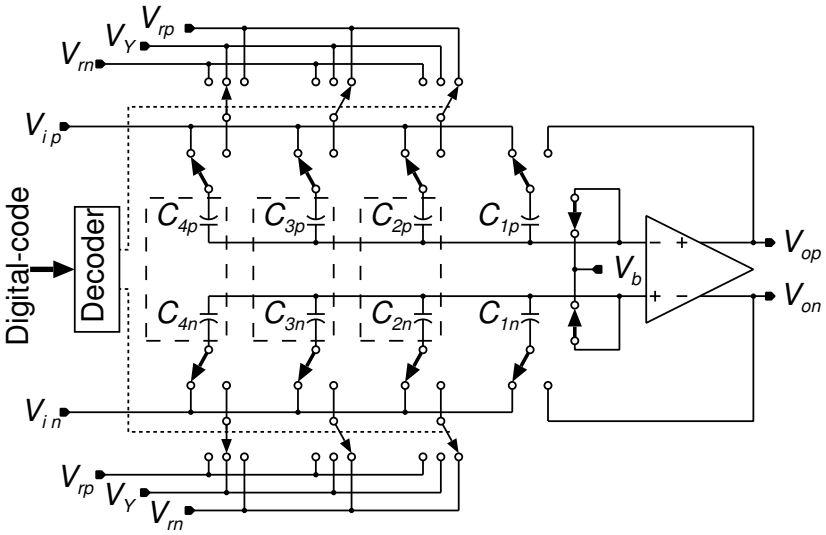
$$V_{op} - V_{on} = 4\left(V_{ip} - V_{in}\right) + \sum_{i=2}^{4} V_{dac,i} \tag{3.29}$$

で表される．ここで，$V_{dac,i}$ は各 D/A 変換セグメントの出力値である．キャパシタミスマッチを無視すると，各 D/A 変換セグメントは，C_{ip}/C_{in} が V_{rp}/V_{rn} に接続されたとき $-(V_{rp} - V_{rn})$ を出力，C_{ip}，C_{in} ともに V_Y に接続されたとき 0 を出力，C_{ip}/C_{in} が V_{rn}/V_{rp} に接続されたとき $V_{rp} - V_{rn}$ を出力する．差動間グラウンド電圧 V_Y は，キャパシタを差動間で同電位接続する電圧で，ここでは，V_{rp} から V_{rn} まで取り得るとする．$V_Y = V_{rp}$ または V_{rn} とすることで，スイッチおよびバイアス配線を差動参照電圧と差動間グラウンド電圧で共通化されるため，シンプルなレイアウトが実現できる [1]．

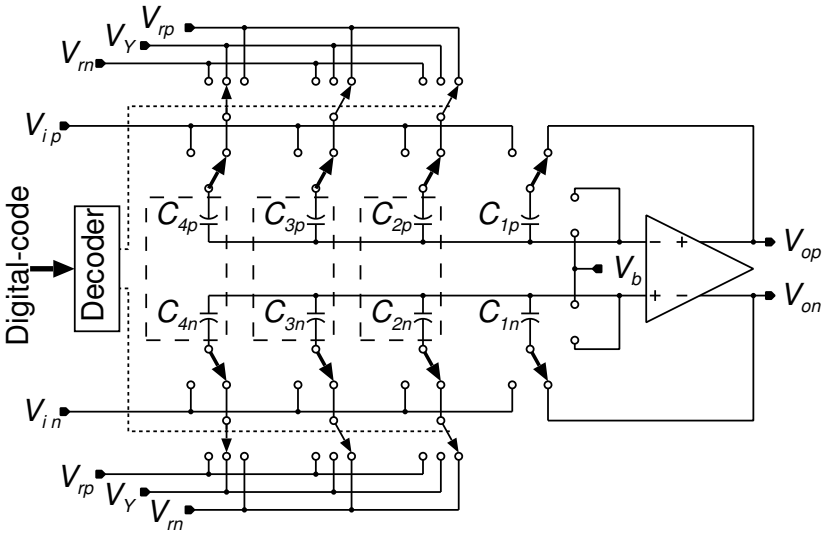
フラッシュA/D 変換器の出力コードが “110” のとき，MDAC 回路の出力電圧は $V_{op} - V_{on} = 4(V_{ip} - V_{in}) - 3(V_{rp} - V_{rn})$ となる．他のコードも同様にみると，図 3.10 の破線が示す伝達特性を得る．キャパシタミスマッチを考慮すると，実線のように理想特性から誤差が生じる．伝達関数のコード不連続点における差分電圧 ($V_{drop} = V_1 - V_2$) が MDAC の微分非直線性 (DNL:Differential Non-Linearity) を制限する．V_{drop} の理想値は $V_{rp} - V_{rn}$ であり，V_{drop} が大きくなりすぎると非単調増加となり，逆に小さすぎるとミッシングコードが生じる．文献 [1]，[3]，[9] では，単純化のため MDAC 回路をシングルエンドに置き換え，キャパシタトッププレートの電荷保存則よりキャパシタミスマッチによる影響を求めている．ここでは，全キャパシタの平均値を C，各キャパシタのミスマッチを $\Delta_{ip/in}$ とす



(a) ステージ構成



(b) サンプリング時



(c) 増幅時

図 3.9: 2.5 ビット/ステージ構成の 12 ビットパイプライン A/D 変換器ブロック図

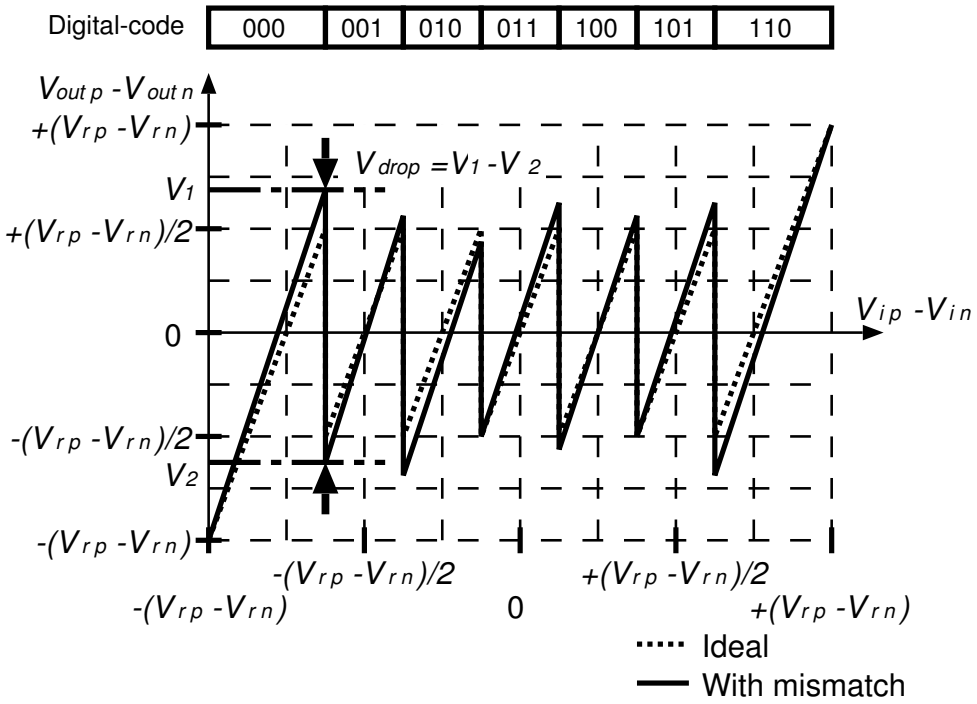


図 3.10: 2.5 ビット MDAC の伝達関数

る．この仮定より，各キャパシタミスマッチの総和には，

$$\sum_{i=1}^{4}(\Delta_{ip}+\Delta_{in})=0 \tag{3.30}$$

の関係が成り立つ．全キャパシタミスマッチを考慮し，入力信号 $V_{ip}-V_{in}=-(5/8)(V_{rp}-V_{rn})$ におけるキャパシタトッププレートの電荷保存則を用いる事で，コード “000” における出力電圧 $V_{op}-V_{on}$ の最大値 V_1 とコード “001” における最小値 V_2 を得る事ができる．

増幅時における入力容量 $C_{ip/n}$ のトッププレート電位をそれぞれ V_{xp}，V_{xn} とする．コード “000” でのサンプリング時のキャパシタトッププレートに充電される電荷は，次式で与えられる．

$$Q_{sp}=4C\cdot\left(1+\sum_{i=1}^{4}\frac{\Delta_{ip}}{4C}\right)\cdot(V_b-V_{ip}) \tag{3.31}$$

$$Q_{sn}=4C\cdot\left(1+\sum_{i=1}^{4}\frac{\Delta_{in}}{4C}\right)\cdot(V_b-V_{in}) \tag{3.32}$$

ここで，増幅器の負入力端子に接続されるキャパシタトッププレート側の電荷量を Q_{sp}，正入力端子側を Q_{sn} とした．一方，増幅動作時の電荷量 Q_{hp}，Q_{hn} は，

$$Q_{hp}=4C\cdot\left(1+\sum_{i=1}^{4}\frac{\Delta_{ip}}{4C}\right)\cdot V_{xp}-C\left(1+\frac{\Delta_{1p}}{C}\right)\cdot V_{op}-3C\cdot\left(1+\sum_{i=2}^{4}\frac{\Delta_{ip}}{3C}\right)\cdot V_{rn} \tag{3.33}$$

$$Q_{hn}=4C\cdot\left(1+\sum_{i=1}^{4}\frac{\Delta_{in}}{4C}\right)\cdot V_{xn}-C\left(1+\frac{\Delta_{1n}}{C}\right)\cdot V_{on}-3C\cdot\left(1+\sum_{i=2}^{4}\frac{\Delta_{in}}{3C}\right)\cdot V_{rp} \tag{3.34}$$

で与えられる．サンプル時と増幅動作時の間でキャパシタトッププレートの電荷は保存されるため，$Q_{sp} = Q_{hp}$，$Q_{sn} = Q_{hn}$ が成り立ち，式 (3.35)，(3.36) が導き出される．

$$\begin{aligned} V_{op} &= 4\left(1+\sum_{i=1}^{4}\frac{\Delta_{ip}}{4C}\right)\cdot\left(1+\frac{\Delta_{1p}}{C}\right)^{-1}\cdot(V_{ip}-V_b+V_{xp}) \\ &\quad -3\left(1+\sum_{i=2}^{4}\frac{\Delta_{ip}}{3C}\right)\cdot\left(1+\frac{\Delta_{1p}}{C}\right)^{-1}V_{rn} \end{aligned} \tag{3.35}$$

$$\begin{aligned} V_{on} &= 4\left(1+\sum_{i=1}^{4}\frac{\Delta_{in}}{4C}\right)\cdot\left(1+\frac{\Delta_{1n}}{C}\right)^{-1}\cdot(V_{in}-V_b+V_{xn}) \\ &\quad -3\left(1+\sum_{i=2}^{4}\frac{\Delta_{in}}{3C}\right)\cdot\left(1+\frac{\Delta_{1n}}{C}\right)^{-1}V_{rp} \end{aligned} \tag{3.36}$$

ここで，キャパシタミスマッチは十分小さく，$\Delta_i/C <<1$ と仮定する．各係数にテーラー展開を用い，2 次の微小項を無視すると，式 (3.35)，(3.36) は，

$$V_{op} = 4\left(1+\sum_{i=1}^{4}\frac{\Delta_{ip}}{4C}-\frac{\Delta_{1p}}{C}\right)\cdot(V_{ip}-V_b+V_{xp}) - 3\left(1+\sum_{i=2}^{4}\frac{\Delta_{ip}}{3C}-\frac{\Delta_{1p}}{C}\right)V_{rn} \tag{3.37}$$

$$V_{on} = 4\left(1+\sum_{i=1}^{4}\frac{\Delta_{in}}{4C}-\frac{\Delta_{1n}}{C}\right)\cdot(V_{in}-V_b+V_{xn}) - 3\left(1+\sum_{i=2}^{4}\frac{\Delta_{in}}{3C}-\frac{\Delta_{1n}}{C}\right)V_{rp} \tag{3.38}$$

と表し直すことができる．全差動増幅器の出力コモンモード電圧 $(V_{op}+V_{on})/2$ は，コモンモードフィードバック回路により任意の電圧に調節することが可能である．ここでは，

$$\frac{V_{op}+V_{on}}{2} = V_{CM} \tag{3.39}$$

として考える．また，V_{xp} と V_{xn} は仮想接地ノードであるため，増幅器の利得が十分大きいと仮定すると，

$$V_{xp} \approx V_{xn} \approx V_{xCM} \tag{3.40}$$

となる．ここで，V_{xCM} は V_{xp} と V_{xn} のコモンモード電圧である．式 (3.30)，(3.37)，(3.38)，(3.39) および (3.40) より，コード “000” における V_{xCM} は，

$$\begin{aligned} V_{xCM} &= V_b - V_{iCM} + V_{CM} - \left(\sum_{i=1}^{4}\frac{\Delta_{ip}-\Delta_{in}}{16C}-\frac{\Delta_{1p}-\Delta_{1n}}{4C}\right)\cdot(V_{ip}-V_{in}) \\ &\quad + \left(\sum_{i=2}^{4}\frac{\Delta_{ip}-\Delta_{in}}{16C}-\frac{3}{16}\cdot\frac{\Delta_{1p}-\Delta_{1n}}{C}\right)\cdot(V_{rp}-V_{rn}) \end{aligned} \tag{3.41}$$

となる．ここで，差動参照電圧 V_{rp} と V_{rn} のコモンモード電圧を V_{CM}，入力信号 V_{ip}，V_{in} のコモンモード電圧を V_{iCM} とした．次に，コード “000” における MDAC 回路の差動入出力伝達特性について求める．式 (3.30)，(3.37)，(3.38)，(3.40) および (3.41) を用い，ミスマッチの 2 次の微小項を無視すると MDAC 回路の入出力伝達特性は，

$$V_{op}-V_{on} = 4\left(1-\frac{\Delta_{1p}+\Delta_{1n}}{2C}\right)\cdot(V_{ip}-V_{in}) + 3\left(1-\frac{2}{3}\cdot\frac{\Delta_{1p}+\Delta_{1n}}{C}\right)\cdot(V_{rp}-V_{rn}) \tag{3.42}$$

で与えられる．

コード “001” においても同様に考える．増幅動作時の電荷量 Q_{hp}，Q_{hn} は，

$$\begin{aligned} Q_{hp} &= 4C\cdot\left(1+\sum_{i=1}^{4}\frac{\Delta_{ip}}{4C}\right)\cdot V_{xp} - C\left(1+\frac{\Delta_{1p}}{C}\right)\cdot V_{op} \\ &\quad -C\left(1+\frac{\Delta_{2p}}{C}\right)\cdot V_Y - 2C\cdot\left(1+\sum_{i=3}^{4}\frac{\Delta_{ip}}{3C}\right)\cdot V_{rn} \qquad (3.43) \\ Q_{hn} &= 4C\cdot\left(1+\sum_{i=1}^{4}\frac{\Delta_{in}}{4C}\right)\cdot V_{xn} - C\left(1+\frac{\Delta_{1n}}{C}\right)\cdot V_{on} \\ &\quad -C\left(1+\frac{\Delta_{2n}}{C}\right)\cdot V_Y - 2C\cdot\left(1+\sum_{i=3}^{4}\frac{\Delta_{in}}{3C}\right)\cdot V_{rp} \qquad (3.44) \end{aligned}$$

で与えられる．サンプル時の電荷はコード “000” と同じになるので，サンプル時と増幅動作時の電荷保存則と式 (3.40) を考えると，式 (3.45)，(3.46) が得られる．

$$\begin{aligned} V_{op} &= 4\left(1+\sum_{i=1}^{4}\frac{\Delta_{ip}}{4C}-\frac{\Delta_{1p}}{C}\right)\cdot(V_{ip}-V_b+V_{xCM}) - \left(1+\frac{\Delta_{2p}}{C}-\frac{\Delta_{1p}}{C}\right)V_Y \\ &\quad -2\left(1+\sum_{i=3}^{4}\frac{\Delta_{ip}}{2C}-\frac{\Delta_{1p}}{C}\right)V_{rn} \qquad (3.45) \\ V_{on} &= 4\left(1+\sum_{i=1}^{4}\frac{\Delta_{in}}{4C}-\frac{\Delta_{1n}}{C}\right)\cdot(V_{in}-V_b+V_{xCM}) - \left(1+\frac{\Delta_{2p}}{C}-\frac{\Delta_{1p}}{C}\right)V_Y \\ &\quad -2\left(1+\sum_{i=3}^{4}\frac{\Delta_{in}}{2C}-\frac{\Delta_{1n}}{C}\right)V_{rp} \qquad (3.46) \end{aligned}$$

式 (3.30)，(3.39)，(3.45) 及び (3.46) より，コード “001” における V_{xCM} は，

$$\begin{aligned} V_{xCM} &= V_b - V_{iCM} + V_{CM} + \frac{1}{4}\left(1+\frac{\Delta_{2p}+\Delta_{2n}}{2C}\right)\cdot(V_Y - V_{CM}) \\ &\quad -\sum_{i=1}^{4}\frac{\Delta_{ip}-\Delta_{in}}{16C}(V_{ip}-V_{in}) + \frac{\Delta_{1p}-\Delta_{1n}}{16C}(V_{op}-V_{on}) \\ &\quad -\frac{\Delta_{3p}+\Delta_{4p}-\Delta_{3n}-\Delta_{4n}}{16C}(V_{rp}-V_{rn}) \qquad (3.47) \end{aligned}$$

となり，V_Y に依存する．式 (3.30)，(3.45)，(3.46)，(3.47) を用い，式 (3.42) の導出と同様に 2 次の微小項を無視すると，コード “001” における MDAC 回路の差動入出力特性は，式 (3.48) となる．

$$\begin{aligned} V_{op}-V_{on} &= 4\left(1-\frac{\Delta_{1p}+\Delta_{1n}}{2C}\right)\cdot(V_{ip}-V_{in}) \\ &\quad +2\left(1-\frac{\Delta_{1p}+\Delta_{1n}}{2C}+\sum_{i=3}^{4}\frac{\Delta_{ip}+\Delta_{in}}{4C}\right)\cdot(V_{rp}-V_{rn}) \\ &\quad +\left(\sum_{i=1}^{4}\frac{\Delta_{ip}-\Delta_{in}}{4C}-\frac{\Delta_{2p}-\Delta_{2n}}{C}\right)\cdot(V_Y-V_{CM}) \qquad (3.48) \end{aligned}$$

式 (3.42)，(3.48) にコード “000” から “001” への遷移点である $V_{ip}-V_{in}=-5(V_{rp}-V_{rn})/8$ を代入す

る事で，式 (3.49)，(3.50) が得られる．

$$V_1 = \left(\frac{1}{2} - \frac{3}{4}\frac{\Delta_{1p}+\Delta_{1n}}{C}\right)\cdot(V_{rp}-V_{rn}) \tag{3.49}$$

$$\begin{aligned} V_2 = & \left[-\frac{1}{2} - \frac{\Delta_{1p}+\Delta_{1n}}{4C} - \frac{\Delta_{2p}+\Delta_{2n}}{2C}\right. \\ & \left. + \left(\sum_{i=1}^{4}\frac{\Delta_{ip}-\Delta_{in}}{4C} - \frac{\Delta_{2p}-\Delta_{2n}}{C}\right)\cdot\frac{V_Y-V_{CM}}{V_{rp}-V_{rn}}\right]\cdot(V_{rp}-V_{rn}) \end{aligned} \tag{3.50}$$

コード “000” から “001” への遷移点における差分電圧 V_{drop} は式 (3.49)，(3.50) より，式 (3.51) で表される．隣り合うセグメント間のミスマッチをセグメント間ミスマッチ，セグメント内の差動間ミスマッチをセグメント内差動ミスマッチとすると，式 (3.51) の右辺第二項はセグメント間ミスマッチによる影響を，第三項はセグメント内差動ミスマッチによる影響を表している．

$$\begin{aligned} V_{drop} = & \left[1 - \underbrace{\frac{\Delta_{1p}+\Delta_{1n}-\Delta_{2p}-\Delta_{2n}}{2C}}_{\text{mismatch between segments}}\right. \\ & \left. - \underbrace{\left(\sum_{i=1}^{4}\frac{\Delta_{ip}-\Delta_{in}}{4C} - \frac{\Delta_{2p}-\Delta_{2n}}{C}\right)\cdot\frac{V_Y-V_{CM}}{V_{rp}-V_{rn}}}_{\text{differential mismatch in a segment}}\right]\cdot(V_{rp}-V_{rn}) \end{aligned} \tag{3.51}$$

セグメント間ミスマッチのみを考えると，各キャパシタミスマッチはそれぞれ，

$$\begin{aligned} \Delta_{1p} = \Delta_{1n} = \Delta_1, \quad \Delta_{2p} = \Delta_{2n} = \Delta_2 \\ \Delta_{3p} = \Delta_{3n} = \Delta_3, \quad \Delta_{4p} = \Delta_{4n} = \Delta_4 \end{aligned} \tag{3.52}$$

で表され，セグメント間ミスマッチの影響を受けた差分電圧 $V_{drop}|_{ds}$ は，

$$V_{drop}|_{ds} = \left(1 - \frac{\Delta_1-\Delta_2}{C}\right)\cdot(V_{rp}-V_{rn}) \tag{3.53}$$

で表される．各 D/A 変換セグメントの出力値が，$(1+\Delta_i/C-\Delta_1/C)(V_{rp}-V_{rn})$，0，$-(1+\Delta_i/C-\Delta_1/C)(V_{rp}-V_{rn})$ となり，理想値から誤差を含み，$V_{drop}|_{ds}$ に影響を与える．これは，従来のキャパシタミスマッチを考慮した解析と一致する [1]．

セグメント内差動ミスマッチのみを考えると，各キャパシタはそれぞれ，

$$\begin{aligned} \Delta_{1p} = -\Delta_{1n} = \Delta_1, \quad \Delta_{2p} = -\Delta_{2n} = \Delta_2 \\ \Delta_{3p} = -\Delta_{3n} = \Delta_3, \quad \Delta_{4p} = -\Delta_{4n} = \Delta_4 \end{aligned} \tag{3.54}$$

で表される．差分電圧 $V_{drop}|_{is}$ は以下のように表される．

$$V_{drop}|_{is} = \left[1 - 2\times\left(\sum_{i=1}^{4}\frac{\Delta_i}{4C} - \frac{\Delta_2}{C}\right)\cdot\frac{V_Y-V_{CM}}{V_{rp}-V_{rn}}\right]\cdot(V_{rp}-V_{rn}) \tag{3.55}$$

各セグメントの D/A 変換出力は，$(V_{rp}-V_{rn})$，$(2\Delta_i-(1/2)\sum_{k=1}^{4}\Delta_k)/C\cdot(V_{CM}-V_Y)$，$-(V_{rp}-V_{rn})$ となり，D/A 変換出力の中間値に誤差が生じる．この様に，セグメント内差動間ミスマッチによる影響が無視できない．

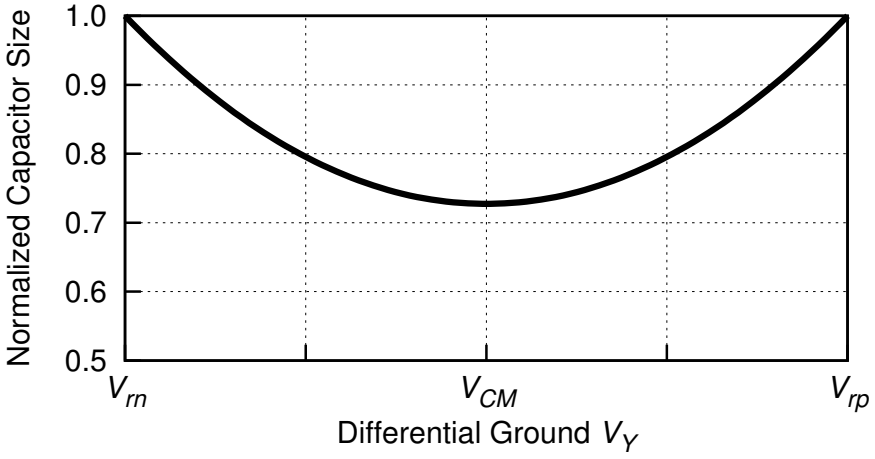


図 3.11: $\sigma(V_{drop})$ 一定下におけるキャパシタサイズ (C) と V_Y の関係

次に，式 (3.51) に示す全差動構成モデルに基づく差動間グラウンド電圧 V_Y と要求精度を満たすために必要なキャパシタサイズとの関係について解析する．各キャパシタミスマッチ量 $\Delta_{ip/in}/C$ は標準偏差が $\sigma(\Delta/C)$ で，それぞれが独立にガウス分布に従う．独立な分散の和は，それぞれの 2 乗和平方根で求められるため，式 (3.51) より，V_{drop} の平均は $V_{rp} - V_{rn}$ であり，標準偏差は次式で与えられる．

$$\sigma\left(V_{drop}\right) = \sqrt{\frac{3}{2}\left(\frac{V_Y - V_{CM}}{V_{rp} - V_{rn}}\right)^2 + 1} \cdot \sigma\left(\frac{\Delta}{C}\right) \cdot (V_{rp} - V_{rn}) \tag{3.56}$$

また，$\sigma(\Delta/C)$ はキャパシタサイズの平方根に反比例するため，

$$\sigma\left(\frac{\Delta}{C}\right) = \frac{K_C}{\sqrt{C}} \tag{3.57}$$

で表される．ここで，K_C はプロセスによって決まる定数である．式 (3.56)，(3.57) より，$\sigma(V_{drop})$ は，

$$\sigma\left(V_{drop}\right) = \frac{K_C}{\sqrt{C}}\sqrt{\frac{3}{2}\left(\frac{V_Y - V_{CM}}{V_{rp} - V_{rn}}\right)^2 + 1} \cdot (V_{rp} - V_{rn}) \tag{3.58}$$

で表される．式 (3.58) と要求される $\sigma(V_{drop})$ から，必要なキャパシタサイズ C は，

$$C = \left[\frac{3}{2}(V_Y - V_{CM})^2 + (V_{rp} - V_{rn})^2\right] \cdot \left[\frac{K_C}{\sigma(V_{drop})}\right]^2 \tag{3.59}$$

で求められ，要求精度を満たすために必要なキャパシタサイズが差動間グラウンド電圧 V_Y に依存することが分かる．キャパシタサイズ C と差動間グラウンド電圧 V_Y の関係を図 3.11 に示す．横軸に差動間グラウンド電圧 V_Y をとり，縦軸に $V_Y = V_{rp}$ または $V_Y = V_{rn}$ におけるキャパシタサイズを 1 として規格化したキャパシタサイズを示す．

式 (3.59) と図 3.11 より，ミッシングコード及び非単調増加の発生確率を一定値以下にするために必要なキャパシタサイズは，$V_Y = V_{CM}$ とする事で，$V_Y = V_{rp/rn}$ とした場合に比べて約 30%小さくできることが分かる．これは，$V_Y = V_{CM}$ においてセグメント内差動ミスマッチによる V_{drop} への影響が無くなり，セグメント間キャパシタミスマッチによる影響のみになるためである．

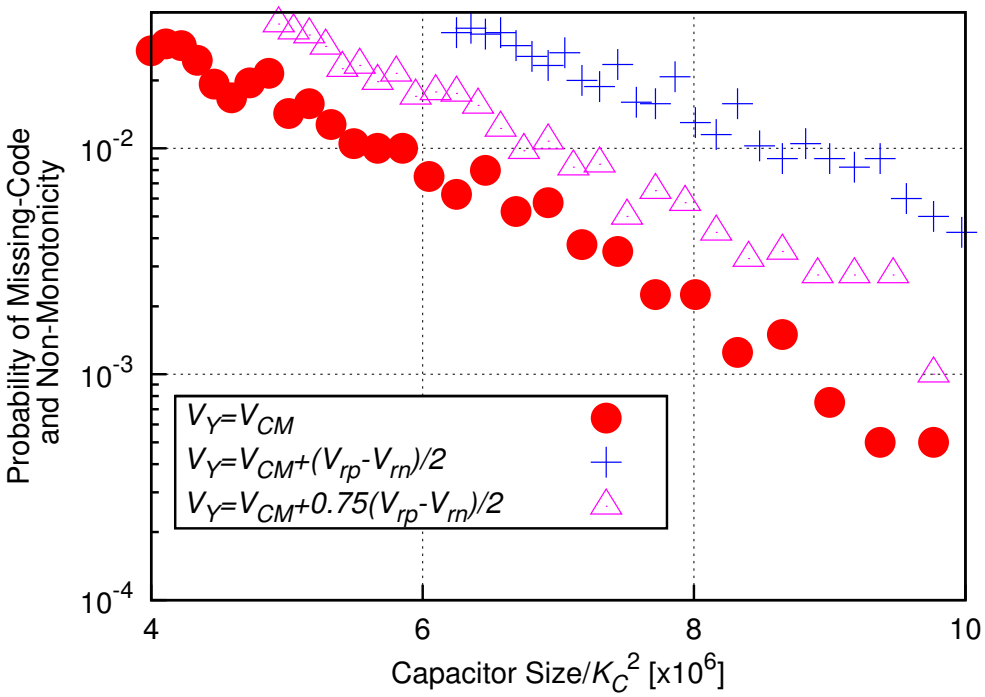


図 3.12: キャパシタサイズとコード欠けが起こる確率との関係

3.4　シミュレーション結果

初段 2.5 ビット/ステージの 12 ビットパイプライン A/D 変換器を MATLAB 上で設計し，キャパシタミスマッチに関するモンテカルロシミュレーションを行った．初段単位処理回路は，非理想要素を含まない 2.5 ビットのサブ A/D 変換器と，キャパシタミスマッチ以外の利得誤差を誤差許容量の 50%とした MDAC 回路で構成した．後段には理想的な伝達特性を持つ 2.5 ビットの単位処理回路を 4 段と最終段として 1.5 ビットのサブ A/D 変換器を接続した．差動間グラウンド電圧は，$V_Y = V_{CM}$，$V_{CM}+0.75(V_{rp}-V_{rn})/2$，$V_{CM}+(V_{rp}-V_{rn})/2$ の 3 点についてシミュレーションを行った．シミュレーション結果を図 3.12 に示す．各ポイントは 4000 回のモンテカルロシミュレーションからミッシングコード及び非単調増加が起こる確率を算出した結果を示している．横軸にキャパシタサイズを取り，縦軸はミッシングコード及び非単調増加が起こる確率を示している．$V_Y = V_{CM}$ と $V_Y = V_{CM}+(V_{rp}-V_{rn})/2$ において，ミッシングコードと非単調増加が起こる確率を 1%にするために必要なキャパシタサイズは，それぞれ $5.7{\cdot}10^6 \cdot K_C^2$F，$8.5{\cdot}10^6 \cdot K_C^2$F となり，$V_Y = V_{CM}$ の方が約 30%低減できることを確認した．

3.5　むすび

MCS 法を使用したパイプライン A/D 変換器に用いる MDAC 回路のセグメント内差動ミスマッチについて解析を行った．A/D 変換器の不連続点における誤差解析より，キャパシタミスマッチによるパイプライン A/D 変換器の非線形性が差動間グラウンド電圧 V_Y に依存することを明かにした．モン

テカルロシミュレーションから，差動間グラウンド電圧 V_Y を差動参照電圧のコモンモード V_{CM} とする事で，V_Y を差動参照電圧 ($V_{rp/rn}$) とした場合よりもキャパシタサイズが約 30%低減できる事を確認した．以上の事から，MCS 法を用いたパイプライン A/D 変換器において，差動間グラウンド電圧を適切な電位に設定することで MDAC 回路の消費電力の約 30%削減が可能となる．

参考文献

[1] S.-M. Yoo, J.-B. Park, S.-H. Lee, and U.-K. Moon, "A 2.5-V 10-b 120-MSample/s CMOS pipelined ADC based on merged-capacitor switching," *IEEE Trans. Circuts Syst. II*, vol. 51, no. 5, pp. 269–275, 2004.

[2] Y.-D. Jeon, S.-C. Lee, S.-M. Yoo, and S.-H. Lee, "Acquisition-time minimization and merged-capacitor switching techniques for sampling-rate and resolution improvement of CMOS ADCs," in *Proc. IEEE International Symposium on Circuits and Systems*, vol. 3, 2000, pp. 451–454.

[3] S.-M. Yoo, T.-H. Oh, J.-W. Moon, S.-H. Lee, and U.-K. Moon, "A 2.5 V 10 b 120 MSample/s CMOS pipelined ADC with high SFDR," in *Proc. IEEE Custom Integrated Circuits Conference*, 2002, pp. 441–444.

[4] S. H. Lewis, H. S. Fetterman, J. Gross, G. F., R. Ramachandran, and T. R. Viswanathan, "A 10-b 20-Msample/s analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 27, no. 3, pp. 351–358, 1992.

[5] S. Lewis and P. Gray, "A pipelined 5MHz 9b ADC," in *Proc. IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, vol. XXX, 1987, pp. 210–211.

[6] J. Goes, J. Vital, and J. Franca, "Systematic design for optimization of high-speed self-calibrated pipelined A/D converters," *IEEE Trans. Circuts Syst. II*, vol. 45, no. 12, pp. 1513–1526, 1998.

[7] P. Kwok and H. Luong, "Power optimization for pipeline analog-to-digital converters," *IEEE Trans. Circuts Syst. II*, vol. 46, no. 5, pp. 549–553, 1999.

[8] D. Cline and P. Gray, "A power optimized 13-b 5 Msamples/s pipelined analog-to-digital converter in 1.2 μm CMOS," *IEEE J. Solid-State Circuits*, vol. 31, no. 3, pp. 294–303, 1996.

[9] A. Abo, "Reliability of low-voltage, switched-capacitor circuits," *Ph.D. dissertation, University of California, Berkeley*, 1999.

第4章　可変利得増幅機能を有したパイプライン A/D 変換器の低消費電力化

4.1　はじめに

パイプライン A/D 変換器 (ADC:Analog-to-Digital Converter) は通信機器や画像処理システム等の 10 ビット以上の分解能を有し，サンプリングレートが数十 MSps を要求されるシステムでアナログ · フロント · エンドとして広く用いられている．入力信号振幅が小さい場合でも A/D 変換器の分解能を有効に活用するため，前段に可変利得増幅器 (PGA:Programmable Gain Amplifier) を併用することが多い．しかし，A/D 変換器のサンプリングキャパシタを駆動するため，PGA 回路の消費電力は非常に大きくなり，アナログ · フロント · エンドの消費電力増大を招いてしまう．パイプライン A/D 変換器や PGA 回路の低消費電力化手法については，CFCS(Commutated Feedback-Capacitor Switching) 技術 [1]，MCS(Merged-Capacitor Switching) 技術 [2]，アンプ共有技術 [3]，キャパシタ共有技術 [4]，位相補償容量制御技術 [5] など，それぞれの回路のみに注目した消費電力低減方法は数多く提案されている．PGA 回路と A/D 変換器の組み合わせについての低消費電力化手法としては，下記の手法が提案されている．アナログ領域での PGA 回路を用いる代わりに，A/D 変換器自体の分解能を大きくし，ディジタル領域で可変利得増幅を行い，アナログ · フロント · エンドで用いる演算増幅器の数を削減し低消費電力化を図っている [6]．しかし，入力信号振幅が十分大きく，PGA 回路が低利得で動作する場合において A/D 変換器の分解能は過剰となり，電力効率が悪い．また，サイクリック A/D 変換器のキャパシタ間にスイッチを用いることで可変利得増幅を実現し，演算増幅器の数を削減する方法も提案されている [7]．しかし，可変利得増幅動作と A/D 変換動作を順次実行するため，スループットが遅くなる．また，可変利得動作時に帰還率を制御する事により，各利得によって帯域と位相余裕が変化してしまい，低利得時の電力効率が低下する [8]．

本章では，パイプライン A/D 変換器の初段 MDAC(Multiplying Digital-to-Analog Converter) 回路に可変利得増幅機能を持たせ，A/D 変換と同時に可変利得増幅を実行することで，パイプライン A/D 変換器の高いスループットを維持したまま，PGA 回路を不要にする方法を提案する．PGA 回路を用いないことにより，アナログ · フロント · エンドの低消費電力化を実現する．さらに，可変利得増幅機能を持った初段 MDAC 回路で用いる演算増幅器の入力段および出力段相互コンダクタンスと位相補償容量を利得に応じて制御する事で，低利得動作時の電力効率向上を図った．

本章の構成は以下の通りである．4.2 節では，既存回路について考察し，その問題点について述べる．4.3 節では，提案するパイプライン A/D 変換器の構造を示し，その要素回路について説明する．シミュレーション結果を 4.4 節に記し，4.5 節で本章のまとめを述べる．

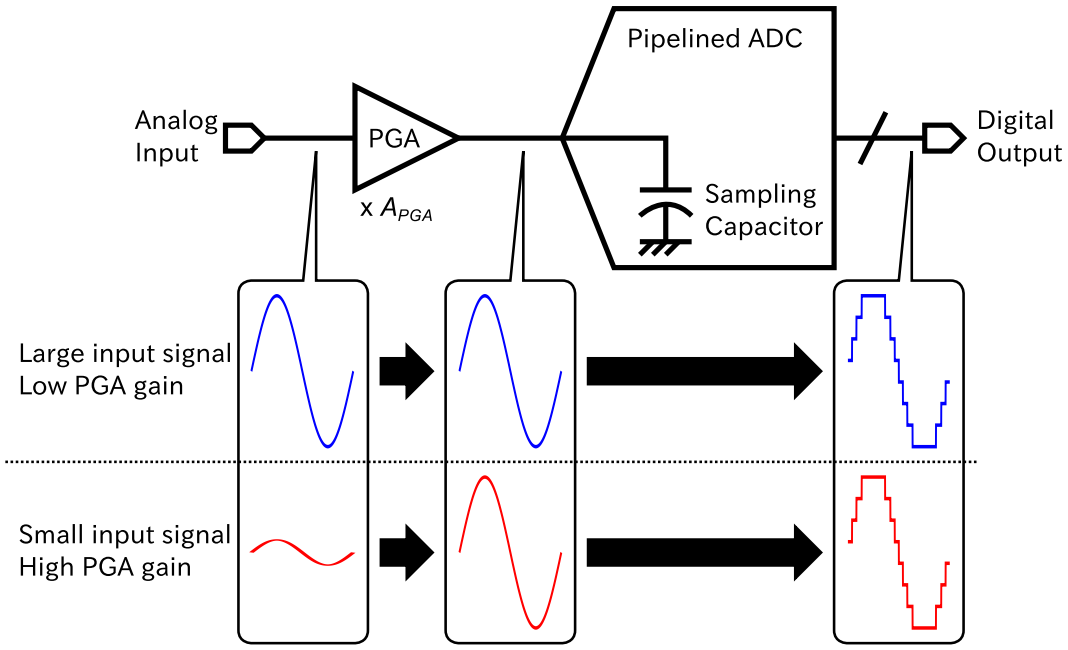


図 4.1: PGA と ADC

4.2　既存回路の構成

PGA 回路と A/D 変換器を接続した際の動作について，図 4.1 を用いて説明する．PGA 回路は入力信号振幅が大きい場合には，利得が小さくなるように制御され，入力信号振幅が小さな場合には大きな利得になるよう制御される．このような制御によって，A/D 変換器は振幅の大きな入力信号を処理する事ができ，その分解能を最大限活用することができる．

ここで，分解能が N ビットの A/D 変換器について考察する．A/D 変換器の処理できる入力信号振幅の最大値 (入力フルスケール) を V_{FS} とすると，A/D 変換器の 1LSB は，

$$1\mathrm{LSB} = \frac{V_{FS}}{2^N} \tag{4.1}$$

で与えられる．PGA 回路の利得を A_{PGA} とすると，1LSB の入力換算値は，

$$\text{Input referred 1LSB} = \frac{V_{FS}}{A_{PGA} \cdot 2^N} \tag{4.2}$$

となる．つまり，この PGA 回路と A/D 変換器を組み合わせる事によって，ダイナミックレンジが $(N + \log_2 A_{PGA})$ ビットの A/D 変換器と同等になると考えることができる．例えば，$V_{FS}/8$ 程度の入力信号振幅に対して，A_{PGA} を $8(=2^3)$ に制御すると，実質 $(N{+}3)$ ビットの A/D 変換器を用いた場合と同等の結果が得られる．

このように，PGA 回路を A/D 変換器の前置回路として用いることで，容易に入力信号が小振幅時の分解能を向上させることが可能であるが，A/D 変換器の大きなサンプリングキャパシタを駆動するために，PGA 回路の消費電力は大きくなる．

この問題を解決するために，前述の通り，アナログ領域での PGA 回路を用いる代わりに，A/D 変換器自体の分解能を大きくし，ディジタル領域で可変利得増幅を行う方法が提案されている．一例として，利得を 1，2，4，8 倍に制御可能な PGA 回路と N ビットの A/D 変換器を用いる代わりに，$(N{+}3)$

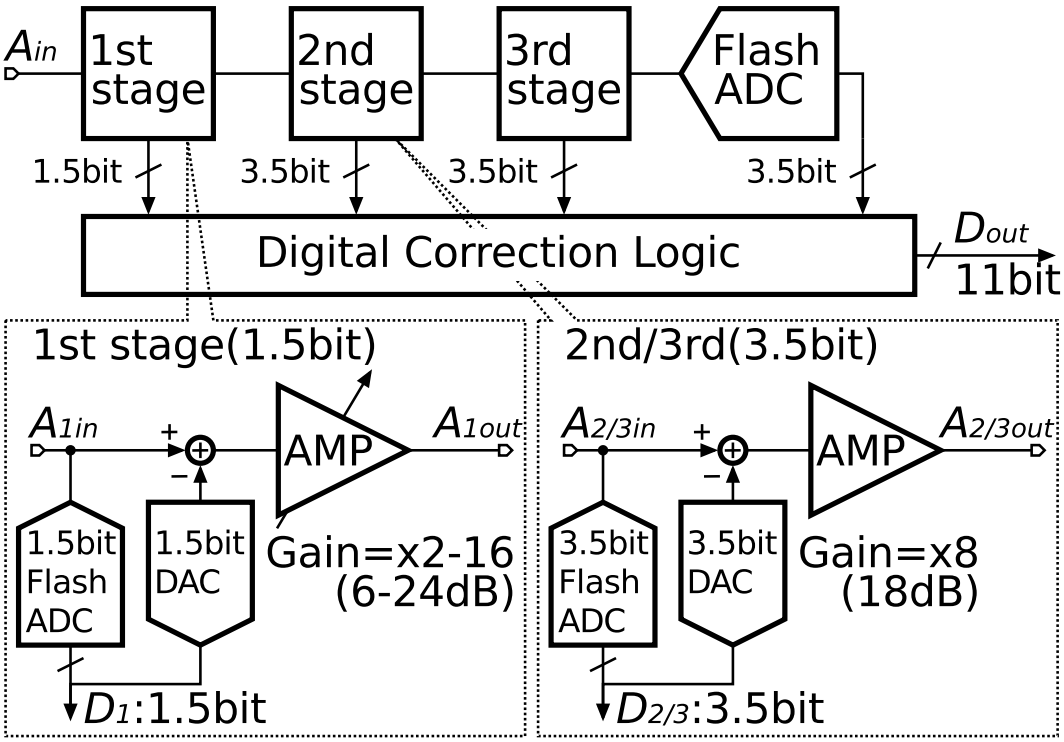


図 4.2: 可変利得増幅パイプライン A/D 変換器ブロック図

ビットの A/D 変換器を用意し，ディジタル領域で入力信号振幅に応じて信号増幅を行う．この方法では，入力信号振幅によらず常に高分解能な A/D 変換を行うため，信号振幅が十分大きく，高い分解能を必要としない場合において電力効率の低下を招く．

4.3 可変利得増幅機能を有するパイプライン A/D 変換器の構成

提案する可変利得増幅機能を有するパイプライン A/D 変換器のブロック図を図 4.2 に示す．初段はサブ A/D 変換器として 1.5 ビットのフラッシュA/D 変換器と入力利得が 6-24dB(6dB-step) の 1.5 ビット MDAC 回路で構成される．一般的に，1.5 ビット MDAC 回路の入力利得は 6dB であるが，6-24dB 可変とすることで，パイプライン A/D 変換器の入力利得が 0-18dB 可変となる．高分解能なパイプライン A/D 変換器においては，各パイプラインステージはマルチビット/ステージ構成を用いることにより，シングルビット構成よりもステージ数が削減され，低消費電力，小面積で実現できる [2]．しかし，各単位処理回路の分解能を増加させると，内部のフラッシュA/D 変換器で用いるコンパレータの数が 2 のべき乗で増加し、さらに要求される精度が高くなる．また，MDAC 回路の帰還率が小さくなる事で信号処理速度が制限される．これらのバランスを考慮して，各単位処理回路の分解能はおおよそ 3 から 4 ビットが妥当である [9]．本提案回路では，入力信号振幅が小さく，入力利得が 18dB(MDAC 利得が 24dB) の時に，初段が 4.5 ビット構成と同等になる様にしている．ここで，通常の 4.5 ビット構成では，フラッシュA/D 変換器で用いるコンパレータ数は 30 個必要であるが，提案回路の初段単位処理回路は，コンパレータ数が 2 個であり，MDAC 回路以外の電力消費が抑えられる．

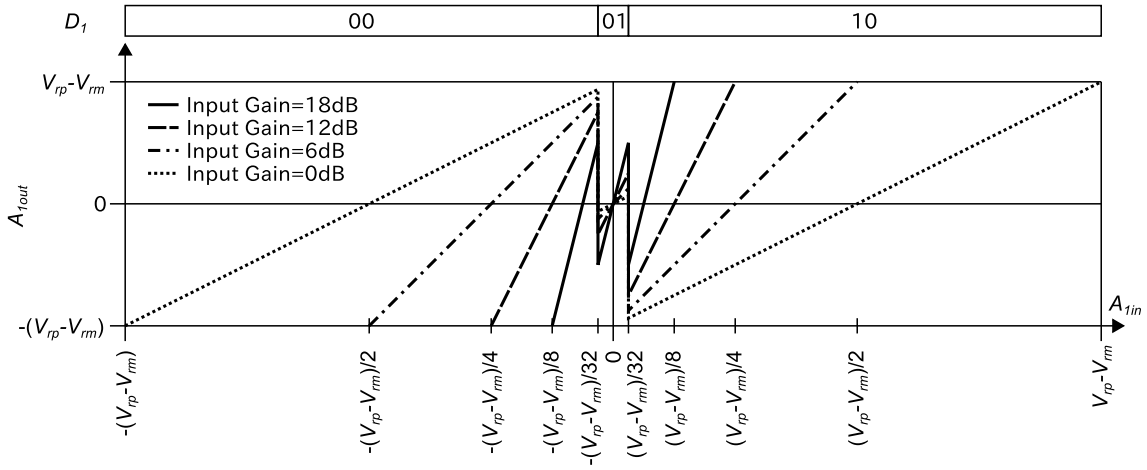


図 4.3: 初段 MDAC 回路の入出力伝達特性

表 4.1: 初段フラッシュA/D 変換器のオフセット電圧

入力利得 [dB]	0	6	12	18
$V_{os,sys}$ [V]	7/32	3/32	1/32	0
$V_{os,comp}$ [mV]	31.25			
総オフセット [mV]	250	125	62.5	31.25
オフセット補正範囲 [mV]	250	125	62.5	31.25

$*$ 値は $V_{rp} - V_{rm} = 1V$ とした場合

2，3 段目は 3.5 ビットフラッシュA/D 変換器と利得 18dB を有する 3.5 ビット MDAC 回路で構成される．最終段には 3.5 ビットのフラッシュA/D 変換器を用いることで，全体分解能が 11 ビットで入力利得が 0-18dB(6dB-step) のパイプライン A/D 変換器を構成する．

各入力利得における初段 MDAC 回路の入出力伝達特性を図 4.3 に示す．入力利得によらず，フラッシュA/D 変換器のしきい値電圧は $\pm(V_{rp} - V_{rm})/32$ を用いた．入力利得に応じてフラッシュA/D 変換器のしきい値電圧を制御しないため，フラッシュA/D 変換器内にフローティングスイッチがなく，シンプルな構成を取ることができる．一般的に，最大入力信号振幅が $\pm a(V_{rp} - V_{rm})$ の 1.5 ビット単位処理回路では，フラッシュA/D 変換器のしきい値電圧は $\pm a(V_{rp} - V_{rm})/4$ に設定する．ここで，a は任意の定数である．フラッシュA/D 変換器で用いるコンパレータの入力オフセット電圧を $\pm a(V_{rp} - V_{rm})/4$ 以下に抑えることで，ディジタル補正回路によってコンパレータ入力オフセット電圧の影響を補正することができる．提案回路では，入力利得 18，12，6，0dB において，最大入力信号振幅はそれぞれ $\pm(V_{rp} - V_{rm})/8$，$\pm(V_{rp} - V_{rm})/4$，$\pm(V_{rp} - V_{rm})/2$，$\pm(V_{rp} - V_{rm})$ である．全入力利得モードにおいてフラッシュA/D 変換器のしきい値電圧を $\pm(V_{rp} - V_{rm})/32$ で共通にすると，12，6，0dB モードにおいて，それぞれコンパレータ入力にシステマティックオフセット ($V_{os,sys}$) が $(V_{rp} - V_{rm})/32$，$3(V_{rp} - V_{rm})/32$，$7(V_{rp} - V_{rm})/32$ だけ付加された場合と同等の伝達特性になる．表 4.1 に示すように，差動参照電圧差 $(V_{rp} - V_{rm})$ を 1V とした場合，コンパレータのオフセット電圧 ($V_{os,comp}$) を 31.25mV 以下に抑えることで，入力利得によらずシステマティックオフセットとコンパレータオフセットはディジタル補正回路で補正される [10]．

表 4.2: 制御信号 (ctl_i) と入力利得の関係

入力利得 (dB)	0	6	12	18
ctl_1	Low	High	High	High
ctl_2	Low	Low	High	High
ctl_3	Low	Low	Low	High

∗ Low=0，High=1

4.3.1 MDAC 回路

可変利得増幅機能を有した MDAC 回路を図 4.4 に示す．位相補償容量を有した 2 段演算増幅器にスイッチト・キャパシタ回路で負帰還をかけた構成を用いた．各制御信号 ctl_i(i=1，2，3) を用いて，入力信号をサンプルするキャパシタ数を制御し，可変利得を実現している．また，ctl_i は入力段相互コンダクタンス，出力段相互コンダクタンスおよび位相補償容量の制御も行っている．

クロック ϕ_s 及び ϕ_{sp} が “High” の時に，サンプリングキャパシタで入力信号をサンプルする (サンプル相)．ϕ_{sp} が ϕ_s より若干先に “Low” になる事でボトムプレートサンプリングを行っている．ctl_i(i=1，2，3) と ϕ_s の論理積の結果を用いて，利得制御用キャパシタのボトムプレートと入力信号間のスイッチを制御する事でサンプリングキャパシタの容量値を制御している．また，入力信号のサンプリングに関わらないキャパシタについては，キャパシタ両端子間に接続されたスイッチをオンにして，1 段目増幅器の入力端子の負荷容量を低減している．ϕ_h が “High” になり，2 段演算増幅器に負帰還がかかり所望の利得を実現している (ホールド相)．ctl_i と ϕ_h も論理積をとっており，その結果で利得制御用キャパシタのボトムプレートとコモンモード電圧 (V_{CM}) 間のスイッチを制御する．ctl_i(i =1，2，3) と各利得の関係を表 4.2 に示す．表で示した制御により，サンプリングキャパシタ C_s は，次式で表される．

$$C_s = \left(2 + \Sigma_{i=1}^{3} 2^i ctl_i\right) C_u \tag{4.3}$$

フィードバックキャパシタ C_f は利得モードによらず常に C_u なので，MDAC 利得は，

$$\text{MDAC 利得} = \frac{C_s}{C_f} = \left(2 + \Sigma_{i=1}^{3} 2^i ctl_i\right) \tag{4.4}$$

となり，6-24dB(6dB-step) が実現される．また，ホールド相における各キャパシタの接続先電位によって，図 4.3 に示した伝達関数を実現している．本設計回路では，キャパシタミスマッチによる影響を低減するため CFCS 技術 [1] を用いており，フラッシュA/D 変換器の出力コードと D/A 変換器を構成するキャパシタの接続先電位の関係を表 4.3 に示す．また，低消費電力設計のため MCS 技術 [2] を用いているが，第 3 章の解析結果より，フラッシュA/D 変換器の出力コードが “01” となる場合において，差動間グラウンド電圧を V_{CM} とし，MDAC 回路のセグメント内差動ミスマッチによる非線形性への影響を低減している．

可変利得機能を有したスイッチトキャパシタ回路では，利得によっては帯域，位相余裕が過剰となり電力効率が下がる．演算増幅器の入力段および出力段相互コンダクタンスと位相補償容量を利得に応じて適切に制御することで，低利得動作時の電力効率が向上する [11]．この手法を本設計回路の MDAC 回路に適用して，低い入力利得時の消費電力を削減している．

MDAC 回路で用いる演算増幅器の入力段は，並列接続された増幅器の動作する数を制御信号 (ctl_i) によって変更し，相互コンダクタンスを制御する．出力段では，ctl_i でバイアス電圧を変えて相互コ

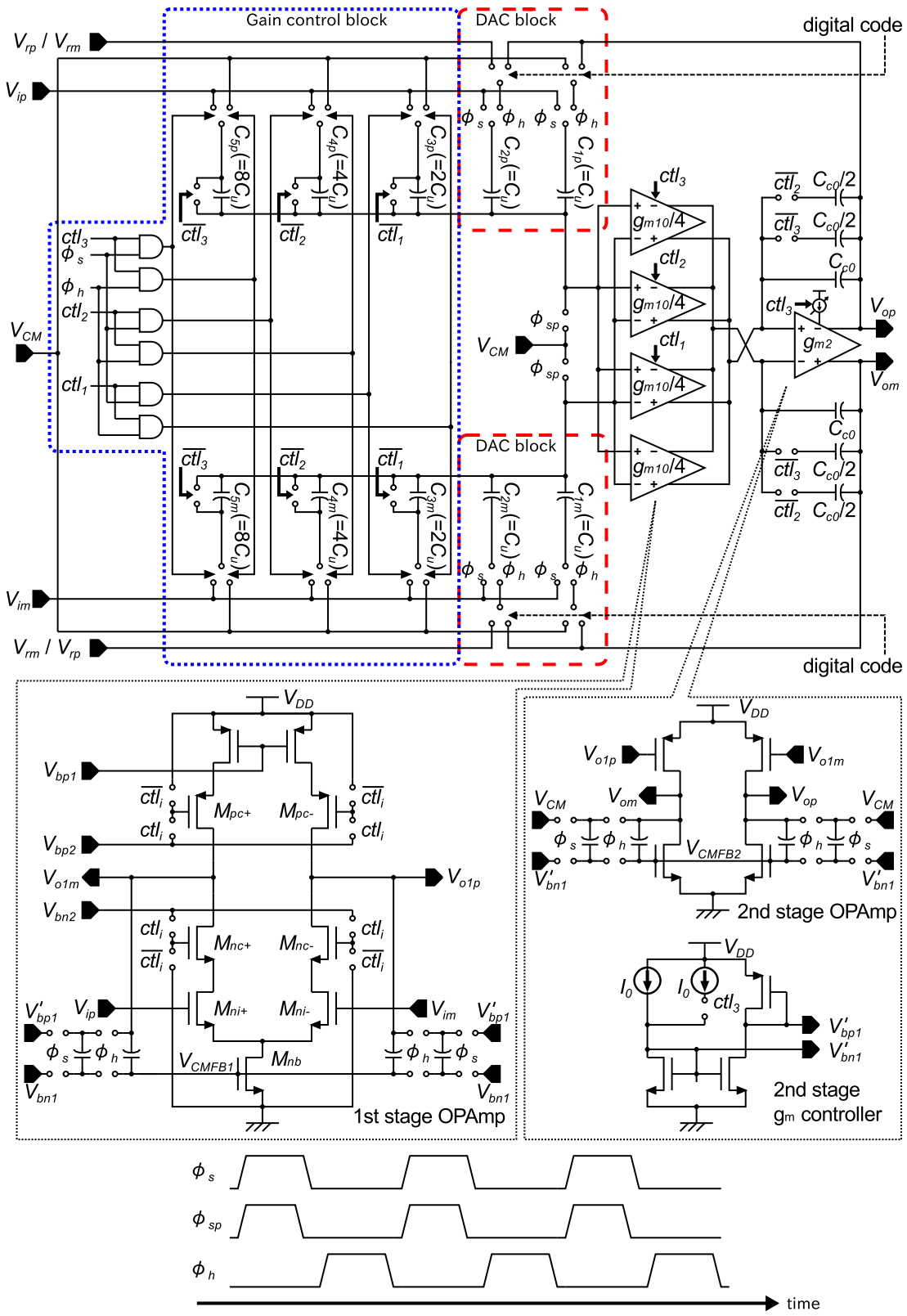


図 4.4: 可変利得を備えた初段 MDAC 回路

表 4.3: フラッシュA/D 変換器の出力コードとキャパシタ接続先電位

Flash ADC code	$C_{1p/m}$	$C_{2p/m}$
1 0	V_{op}/V_{om}	V_{rp}/V_{rm}
0 1	V_{CM}/V_{CM}	V_{op}/V_{om}
0 0	V_{op}/V_{om}	V_{rm}/V_{rp}

表 4.4: MDAC 回路の主要パラメータ

Input Gain[dB]	0	6	12	18
g_{m1}	1/4	2/4	3/4	1
g_{m2}	0.7	0.7	0.7	1
C_c	2	2	3/2	1

ンダクタンスを制御し，また，位相補償容量は並列接続数を ctl_i で制御する．入力利得に応じた入力段相互コンダクタンス (g_{m1})，出力段相互コンダクタンス (g_{m2})，位相補償容量 (C_c) を表 4.4 に示す．各パラメータは入力利得 18dB モードにおける値を 1 として規格化している．g_{m1} は並列接続された増幅器の動作する数によって制御するため，入力段の消費電流 I_1 は g_{m1} に比例する．g_{m2} は出力段のバイアス電圧 V'_{bn1}，V'_{bp1} を変更する事で制御するため，出力段の消費電流 I_2 は g_{m2} の 2 乗に比例する．ここで，I_1 と I_2 の比を 1 : 2 とすると，0dB モードでは 18dB モードに対して初段 MDAC 回路の消費電流を 60%程度低減することができる．

4.3.2 フラッシュA/D 変換器

図 4.5 に初段単位処理回路のサブ A/D 変換器を構成するフラッシュA/D 変換器の回路図を示す．フラッシュA/D 変換器には，マルチビット/ステージ構成のサブ A/D 変換器として広く用いられる，前置増幅回路とラッチ回路を組み合わせた構成を用いた [12][13][14]．他の要素ブロックとして，フラッシュA/D 変換器の閾値電圧を生成する抵抗ラダーと入力キャパシタ C_1 で構成されている．前置増幅回路はオフセット電圧を C_1 で相殺するために，サンプリング時にオンとなるスイッチ SW_{1p} で auto-zero を行っている．また，ラッチ回路のオフセット電圧は入力換算で考えると，(前置増幅回路の利得)$^{-1}$ 倍小さくなる．表 4.1 で示した許容オフセット量に収まる様に設計する必要がある．

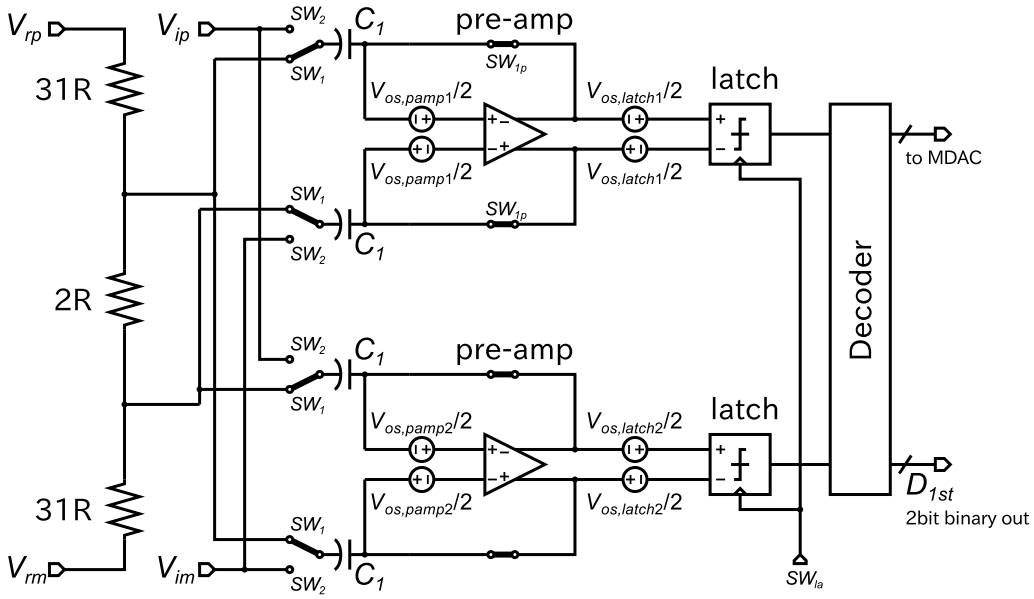
ここで，図 4.5(a)，4.5(b) の上側のコンパレータ回路を用いてフラッシュA/D 変換器の動作を説明する．まず，SW_1 及び SW_{1p} をオン状態にする (サンプル相)．この時，前置増幅回路の正側，負側出力端子電位を $V_{op,s}$，$V_{om,s}$ とすると，C_1 に充電される電荷は，

$$Q_{p,s} = C_1 \left(V_{om,s} - \frac{33V_{rp} + 31V_{rm}}{64} \right) \tag{4.5}$$

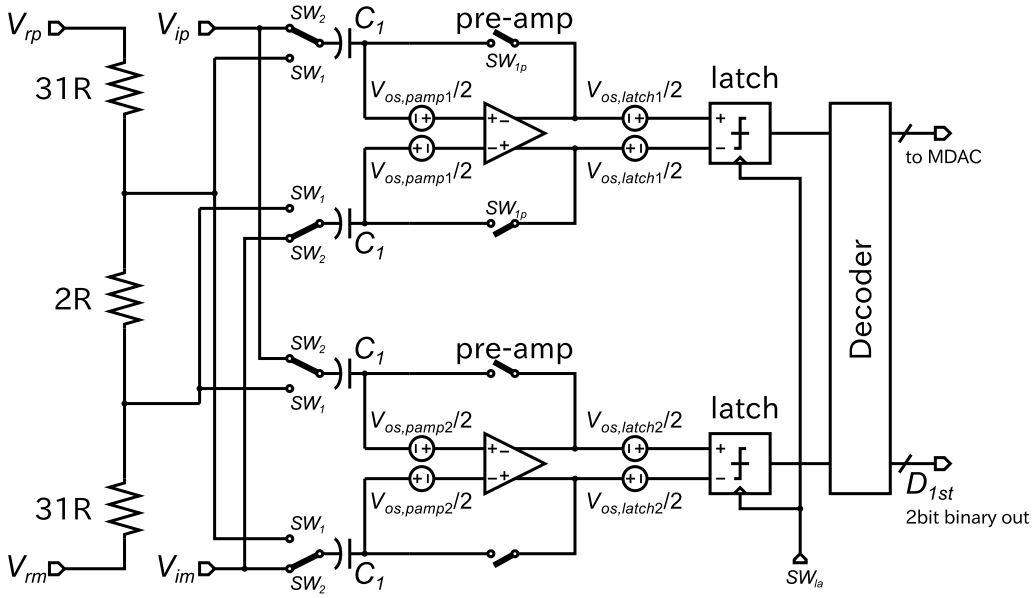
$$Q_{m,s} = C_1 \left(V_{op,s} - \frac{31V_{rp} + 33V_{rm}}{64} \right) \tag{4.6}$$

となる．また，前置増幅回路の利得を A_{pa}，オフセット電圧が正側と負側入力端子でそれぞれ $+V_{os,pamp1}/2$，$-V_{os,pamp1}/2$ であると仮定すると，式 (4.7) が成り立つ．

$$V_{op,s} - V_{om,s} = A_{pa} V_{os,pamp1} \tag{4.7}$$



(a) サンプリング時



(b) 増幅時

図 4.5: フラッシュA/D 変換回路

SW_1 より先に SW_{1p} を切断する事で，ボトムプレートサンプリングを実現し，電荷注入の影響が入力信号に依存しないようにしている．次に，SW_1 を切断し，SW_2 を接続する事で，C_1 のボトムプレートは入力信号 V_{ip}，V_{im} に接続される (増幅相)．C_1 のトッププレート電圧を V_{tp}，V_{tm} とすると，C_1 に蓄えられている電荷は，

$$Q_{p,h} = C_1 \left(V_{tp} - V_{ip} \right) \tag{4.8}$$

$$Q_{m,h} = C_1 \left(V_{tm} - V_{im} \right) \tag{4.9}$$

である．この時，SW_{1p} が切断されているため，C_1 のトッププレートはハイインピーダンスノードになり，C_1 に蓄えられる電荷量はサンプル相，増幅相間で保存される．式 (4.5)，(4.6)，(4.8)，(4.9) より，

$$V_{tp} = V_{ip} + V_{om,s} - \frac{33V_{rp} + 31V_{rm}}{64} \tag{4.10}$$

$$V_{tm} = V_{im} + V_{op,s} - \frac{31V_{rp} + 33V_{rm}}{64} \tag{4.11}$$

が得られる．V_{tp}，V_{tm} は前置増幅回路のオフセット電圧 ($\pm V_{os,pamp1}/2$) 分シフトしてから利得 A_{pa} 倍される．増幅相での前置増幅回路の差動出力電圧 ($V_{op,h} - V_{om,h}$) は，

$$\begin{aligned} V_{op,h} - V_{om,h} &= -\left[\left(V_{tp} + \frac{V_{os,pamp1}}{2}\right) - \left(V_{tm} - \frac{V_{os,pamp1}}{2}\right)\right] A_{pa} \\ &= -\left[V_{ip} - V_{im} - (V_{op,s} - V_{om,s}) - \frac{V_{rp} - V_{rm}}{32} + V_{os,pamp1}\right] A_{pa} \end{aligned} \tag{4.12}$$

となる．ここで，式 (4.7) を用いると，式 (4.12) は次式で表される．

$$V_{op,h} - V_{om,h} = -\left(V_{ip} - V_{im} - \frac{V_{rp} - V_{rm}}{32} - \frac{1}{1 + A_{pa}} V_{os,pamp1}\right) A_{pa} \tag{4.13}$$

前置増幅回路で増幅された差動信号は，ラッチ回路のオフセット分 ($V_{os,latch1}$) だけシフトし，判定される．つまり，判定に用いられる差動信号 $V_{latch,1}$ は，

$$\begin{aligned} V_{latch,1} &= V_{op,h} - V_{om,h} + V_{os,latch1} \\ &= -\left(V_{ip} - V_{im} - \frac{V_{rp} - V_{rm}}{32} - \frac{1}{1 + A_{pa}} V_{os,pamp1} - \frac{1}{A_{pa}} V_{os,latch1}\right) A_{pa} \end{aligned} \tag{4.14}$$

で与えられる．$V_{os,pamp1}$，$V_{os,latch1}$ の影響が要求される精度を満たすように A_{pa} を考慮する必要がある．

図 4.5(a)，4.5(b) の下側のコンパレータ回路について同様に動作を考えると，判定に用いる差動信号 $V_{latch,2}$ は，

$$V_{latch,2} = -\left(V_{ip} - V_{im} + \frac{V_{rp} - V_{rm}}{32} - \frac{1}{1 + A_{pa}} V_{os,pamp2} - \frac{1}{A_{pa}} V_{os,latch2}\right) A_{pa} \tag{4.15}$$

となる．ここで，$V_{os,pamp2}$，$V_{os,latch2}$ は下側の前置増幅回路，ラッチ回路のオフセット電圧である．式 (4.14)，(4.15) より，閾値電圧が $\pm(V_{rp} - V_{rm})/32$ の 1.5 ビットフラッシュA/D 変換器が実現できる事が分かる．

4.4　シミュレーション結果

可変入力利得幅 0-18dB(6dB-step)，分解能 11 ビットのパイプライン A/D 変換器を 0.18μm CMOS プロセスの 3V トランジスタと MIM 容量を用いて設計した．可変利得増幅機能を有する初段 MDAC 回路の周波数特性，フラッシュA/D 変換器の閾値電圧のばらつき，そして，パイプライン A/D 変換器全体の過渡応答特性に関するシミュレーション結果について述べる．ここで，全シミュレーションにおいて，動作電源電圧は 3.3V とした．

4.4.1　初段 MDAC 回路の特性

可変利得増幅機能を有した初段 MDAC 回路で用いた，演算増幅器の開ループ周波数特性を図 4.6 に示す．図 4.6(a) より，各入力利得モード (0dB から 18dB まで 6dB ステップでの制御) に応じて，入力段相互コンダクタンス g_{m1} と位相補償容量 C_C を制御することにより，帯域の変動が抑えられていることが分かる．また，図 4.6(b) より，位相余裕が 60° 以上確保されていることが確認できる．

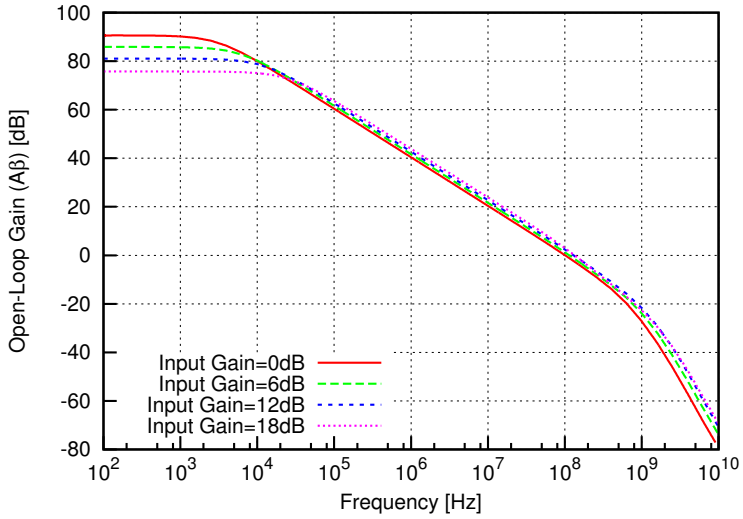
各利得モードにおける開ループ DC 利得と帯域および増幅器の有限 DC 利得とセトリング特性による利得誤差が許容可能な誤差量に占める割合を表 4.5 に示す．利得誤差割合は次式を用いて算出した．

$$\text{利得誤差割合} = \left[\exp\left(-2\pi \cdot BW \cdot t_s\right) + \frac{1}{A_0\beta}\right] \cdot \frac{1}{2^{10}} \tag{4.16}$$

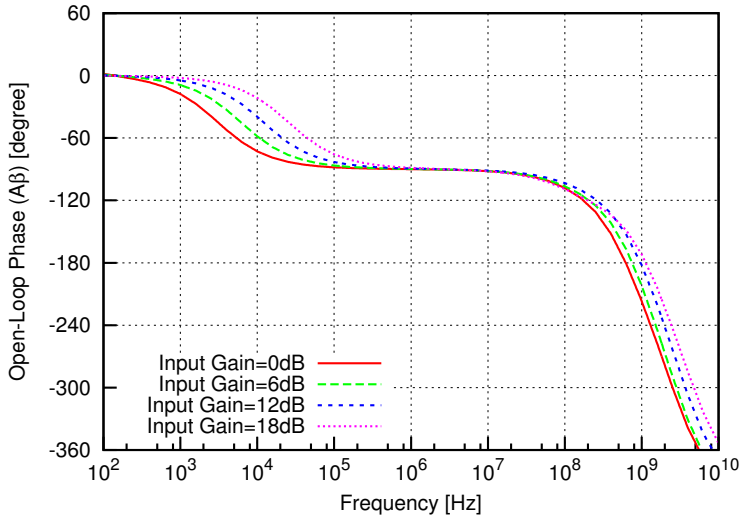
ここで，t_s はセトリング時間を表しており，40MSps 動作より 12.0nsec としている．また，A/D 変換器全体の分解能は 11 ビット，初段単位処理回路の分解能は 1.5 ビットであるため，初段 MDAC 回路に許容される利得誤差は残りステージの分解能である 10 ビット精度となる．初段 MDAC 回路で用いる D/A 変換器の単位容量値は，キャパシタミスマッチに起因する利得誤差が許容誤差の 70%になるよう設計している．セトリング誤差と有限 DC 利得に起因する誤差の合計が，許容誤差の 30%以下となっており，十分に精度を満たしている事を確認した．初段 MDAC 回路の g_{m1} 及び C_C を適切に制御する事で，利得誤差のヘッドルームが入力利得によって大きく変動していない事が分かる．

表 4.5: 各入力利得モードにおける MDAC 回路の誤差特性

Input Gain mode [dB]	0	6	12	18
DC-Gain ($A_o\beta$) [dB]	90.6	85.9	81.1	75.7
帯域 [MHz]	111.3	116.9	133.0	137.0
利得誤差割合	0.26	0.20	0.14	0.20



(a) 利得



(b) 位相

図 4.6: 初段 MDAC 回路で用いる演算増幅器の開ループ周波数特性

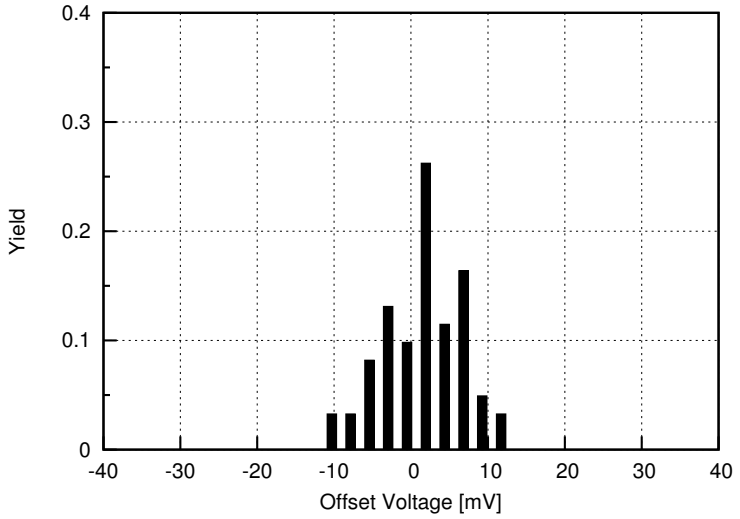


図 4.7: コンパレータ回路のオフセット電圧

4.4.2　フラッシュA/D 変換器のオフセット電圧

フラッシュA/D 変換器で用いるコンパレータ回路のオフセット電圧についてモンテカルロシミュレーションを行った．図 4.7 にコンパレータ回路のオフセット電圧について，素子ばらつきを加味した 100 回のモンテカルロシミュレーション結果を示す．表 4.1 で示したように，コンパレータ回路に要求されるオフセット電圧は 31.25mV 以下が求められる．シミュレーション結果より，コンパレータ回路のオフセット電圧のばらつきは 3σ で 14.2mV であったため，要求精度を十分満たしている事が確認できた．

4.4.3　可変利得増幅機能を有したパイプライン A/D 変換器の全体特性

パイプライン A/D 変換器の変換速度を 40MSps，入力信号周波数を 97.65625kHz とし，*Spectre* ノイズシミュレーションを用いた過渡応答特性に対して 8192 点の FFT を行った．

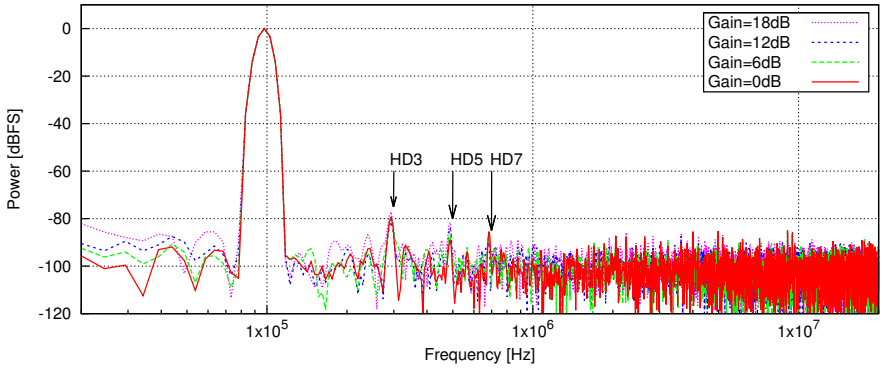
FFT 結果から得たパワースペクトルを図 4.8 に示す．出力信号振幅がフルスケール，及びその-6dB，-12dB，-18dB となる入力信号振幅における各入力利得モードにおいてシミュレーションを行った．出力信号振幅がフルスケールになる条件においては，入力利得によらず 3 次歪みが大きくなっていることが確認できる．これは各単位処理回路で用いられる MDAC 回路の増幅器の出力段が性能劣化するためである．また，同じ出力信号振幅においては入力利得が大きくなるに従い，フロア · ノイズ · レベルが上昇している．これは，出力換算の kT/C ノイズが入力利得の 2 乗根に比例して増加するためである．

図 4.9 に，各入力利得における差動入力信号振幅 (A_{in}) と SNDR(Signal to Noise plus Distortion Ratio) の関係を示す．SNDR は前述のノイズシミュレーション結果に対する FFT から導出した．横軸は入力信号振幅を最大値 (2.0Vpp) で規格化し，デシベル表記している．縦軸は各入力信号振幅における SNDR 値を示している．入力信号振幅が-18dBFS において，初段 MDAC 回路の利得を上げることで，SNDR が約 6dB ずつ改善していくことを確認した．また，入力信号振幅 0dBFS(2.0Vpp)，入力利得 0dB において最大で 66.1dB，入力信号振幅-18dBFS(250mVpp)，利得 18dB で 63.4dB となり，

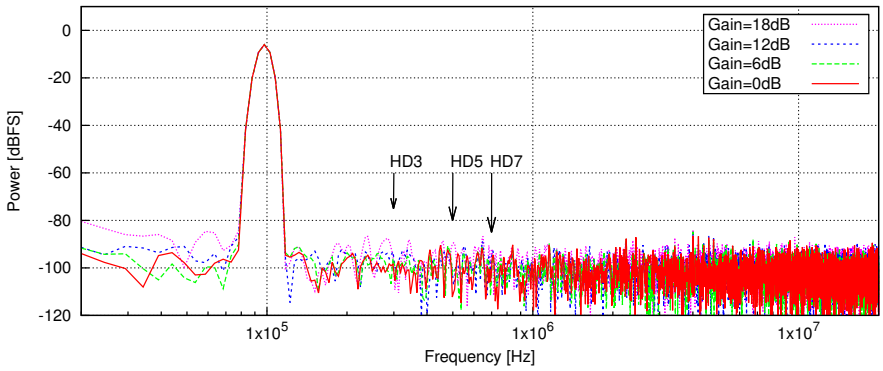
信号振幅が小さいときでも高い SNDR が確認された．入力利得の増加にともない最大振幅での SNDR が劣化するが，これは前述の通り，初段 MDAC 回路の kT/C ノイズが入力利得に比例して増加するためである．さらに，図 4.9 からダイナミックレンジが 83dB 程度となることを確認した．11 ビット (ENOB:Effective Number Of Bit=10.7 ビット) のパイプライン A/D 変換器に 0-18dB(6dB ステップ) の可変利得機能を付加することで 13.5 ビット相当の精度が実現された．

各利得モードにおける変換動作時平均消費電流を図 4.10 に示す．入力利得 18dB 時において消費電流は最大で 14.2mA となった．0dB 時に最も小さくなり 7.5mA となり，18dB 時と比較して 47%の消費電力低減効果が確認された．

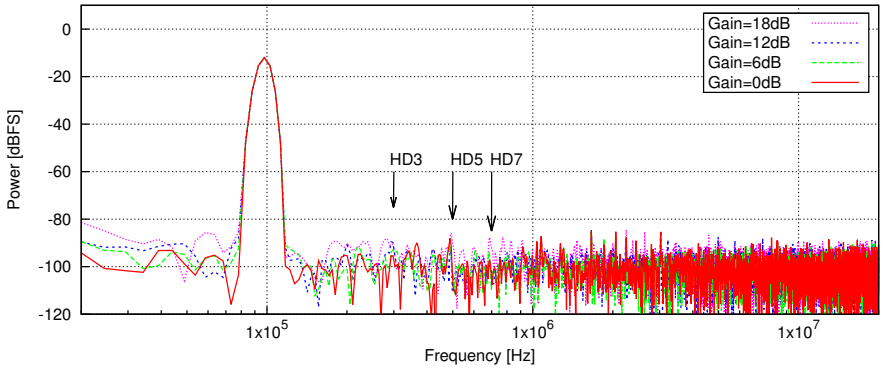
ここで，11 ビットのパイプライン A/D 変換器に 0dB から 18dB まで 6dB-step で利得を制御できる PGA 回路を前置増幅器として接続した場合との消費電力について比較する．提案する可変利得機能付きパイプライン A/D 変換器は入力利得 0dB で 11 ビットパイプライン A/D 変換器と同程度の性能を示す．しかし，消費電力は 0dB 動作において最適化されていないため冗長であると考え，11 ビットパイプライン A/D 変換器の消費電力を 6mA 程度と仮定する．前置増幅器の消費電力は，第 2 章において提案した PGA 回路の 0dB から 18dB までの消費電力を目安とする．この PGA 回路の 18dB 動作時の消費電力は 16mA であった事から，11 ビットパイプライン A/D 変換器と前置増幅器の消費電力の最大値はおおよそ 22mA となる．提案した可変利得機能付きパイプライン A/D 変換器の消費電流の最大値は 14.2mA であったため，35%程度の低消費電力化が期待される事が分かる．



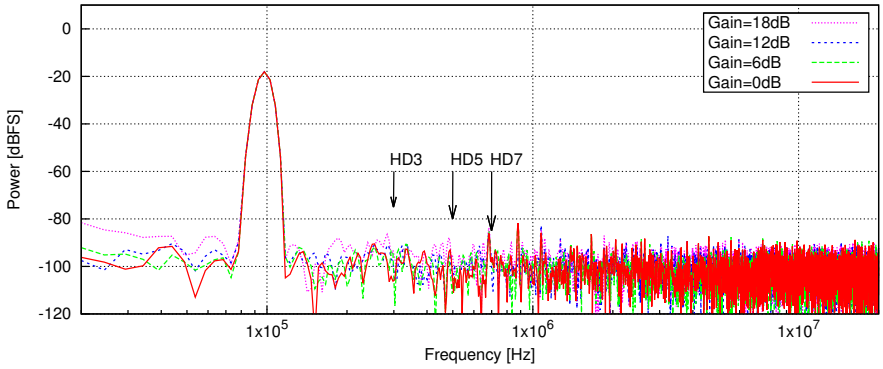
(a) Output signal amplitude=0dB



(b) Output signal amplitude=-6dB



(c) Output signal amplitude=-12dB



(d) Output signal amplitude=-18dB

図 4.8: 各入力利得におけるパワースペクトル

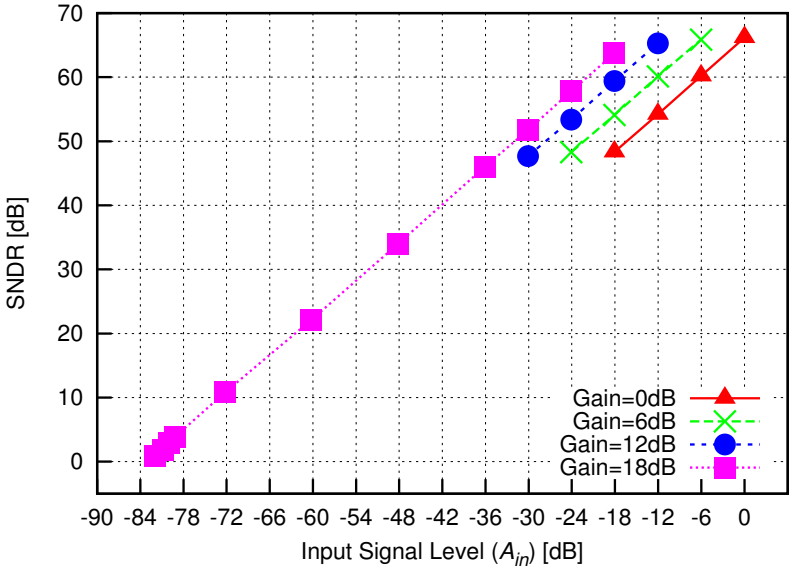


図 4.9: 入力信号と SNDR の関係

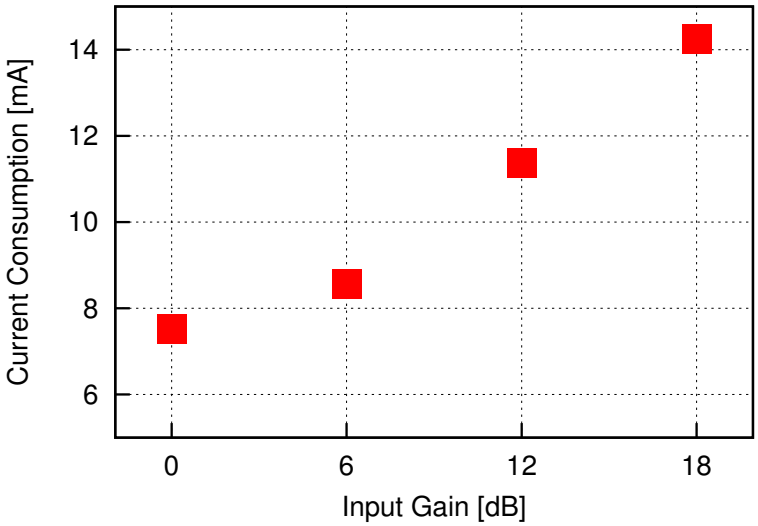


図 4.10: 入力利得と消費電流の関係

4.5　むすび

本章では，可変利得増幅機能を内蔵したパイプライン A/D 変換器の低消費電力化について述べた．初段単位処理回路で用いる MDAC 回路のサンプリング容量数を制御し，0-18dB(6dB-step) の可変利得機能を実現することで，アナログ · フロント · エンドにおいて使用する演算増幅器の数を削減することが可能となった．また，第 2 章で提案した可変利得増幅器の低消費電力化に用いた，入出力段相互コンダクタンスおよび位相補償容量を帰還率に応じて制御する手法を初段 MDAC 回路に適用し，低入力利得動作時における消費電力の削減を行い，電力効率の向上を果たした．

0.18μm CMOS プロセスを用いて，11 ビット，40MSps，利得 0-18dB(6dB-step) のパイプライン A/D 変換器を設計し，シミュレーションを行った．シミュレーション結果より，入力信号振幅が 2.0Vpp，パイプライン A/D 変換器の入力利得 0dB において，SNDR が 66.1dB，入力信号振幅が 250mVpp，入力利得が 18dB において，SNDR が 63.4dB となり，所望の可変利得増幅機能を実現している事を確認した．また，入力利得が 18dB において消費電流は 14.2mA で最大となり，0dB において 7.5mA で最小となった．入力利得が 0dB での動作において，最大 47%の低消費電流効果を確認した．さらに，PGA 回路とパイプライン A/D 変換器を別々に設計した場合と比べて，35%程度の低消費電力化が期待される．

参考文献

[1] N. Sun, H.-S. Lee, and D. Ham, "Digital Background Calibration in Pipelined ADCs Using Commutated Feedback Capacitor Switching," *IEEE Trans. Circuts Syst. II*, vol. 55, no. 9, pp. 877–881, 2008.

[2] S.-M. Yoo, J.-B. Park, S.-H. Lee, and U.-K. Moon, "A 2.5-V 10-b 120-MSample/s CMOS pipelined ADC based on merged-capacitor switching," *IEEE Trans. Circuts Syst. II*, vol. 51, no. 5, pp. 269–275, 2004.

[3] Y.-D. Jeon, S.-C. Lee, K.-D. Kim, J.-K. Kwon, J. Kim, and D. Park, "A 5-mW 0.26-mm2 10-bit 20-MS/s Pipelined CMOS ADC with Multi-Stage Amplifier Sharing Technique," in *Proc. European Solid-State Circuits Conference*, 2006, pp. 544–547.

[4] N. Sasidhar, Y.-J. Kook, S. Takeuchi, K. Hamashita, K. Takasuka, P. Hanumolu, and U.-K. Moon, "A Low Power Pipelined ADC Using Capacitor and Opamp Sharing Technique With a Scheme to Cancel the Effect of Signal Dependent Kickback," *IEEE J. Solid-State Circuits*, vol. 44, no. 9, pp. 2392–2401, 2009.

[5] M. Sanz, S. Celma, and B. Calvo, "High linear digitally programmable gain amplifier," in *Proc. IEEE International Symposium on Circuits and Systems*, vol. 1, May 2005, pp. 208–211.

[6] S. Nitta and K. Tanaka, "A 79 dB-SNR 70 mW 18 MHz CCD front-end with fully-digital amplification scheme," *IEEE Transactions on Consumer Electronics*, vol. 47, no. 3, pp. 459–465, Aug. 2001.

[7] T. Iida, T. Akahori, M. A. B. Mustafa, K. Yasutomi, and S. Kawahito, "An A/D converter with a built-in variable gain amplifier for CMOS Image Sensors," *ITE Technical Report*, vol. 34, no. 29, pp. 85–88, Jul. 2010.

[8] C. Hsu and J. Wu, "A Highly Linear 125-MHz CMOS Switched-Resistor Programmable-Gain Amplifier," *IEEE J. Solid-State Circuits*, vol. 38, no. 10, pp. 1663–1670, Oct. 2003.

[9] P. Kwok and H. Luong, "Power optimization for pipeline analog-to-digital converters," *IEEE Trans. Circuts Syst. II*, vol. 46, no. 5, pp. 549–553, May 1999.

[10] S. H. Lewis, H. S. Fetterman, J. Gross, G. F., R. Ramachandran, and T. R. Viswanathan, "A 10-b 20-Msample/s analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 27, no. 3, pp. 351–358, 1992.

[11] T. Okura, S. Okura, T. Matsuoka, and K. Taniguchi, “A Low Power Technique for Programmable Gain AMplifier with Controllable input/output Transconductance and Compensation Capacitor,” *IEICE Transactions on Electronics*, vol. J95-C, no. 7, pp. 131–138, Jul. 2012.

[12] S. Mathur, M. Das, P. Tadeparthy, S. Ray, S. Mukherjee, and B. L. Dinakaran, “A 115mW 12-bit 50 MSPS pipelined ADC,” *IEEE International Symposium on Circuits and Systems*, vol. 1, pp. I–913–I–916, 2002.

[13] P. Yu and H.-S. Lee, “A 2.5-V, 12-b, 5-MSample/s pipelined CMOS ADC,” *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 1854–1861, 1996.

[14] D.-Y. Chang, “Design techniques for a pipelined ADC without using a front-end sample-and-hold amplifier,” *IEEE Trans. Circuts Syst. I*, vol. 51, no. 11, pp. 2123–2132, 2004.

第5章　結論

本論文ではアナログ・フロント・エンド集積回路を構成する可変利得増幅器 (PGA:Programmable Gain Amplifier) 及びパイプライン A/D 変換器を低消費電力化するための手法を提案し，その有効性を確認した．

第 1 章では本研究の背景と目的について述べた．

第 2 章では，スイッチト・キャパシタ型可変利得増幅器の低消費電力化について述べた．可変利得増幅器の利得に応じて線形的に入力段相互コンダクタンスと位相補償容量を制御することで，低ノイズ性能と小面積を両立した．さらに，出力段相互コンダクタンスも制御することで，低利得動作時における消費電力を削減し，高い電力効率を実現した．0.25μm CMOS プロセスを用い，可変利得幅 0-30dB(6dB-step)，動作速度が 40MSps の可変利得増幅器を設計した．シミュレーション結果より，利得 30dB での消費電流が 28.85mA，利得 0dB での消費電流が 11.0mA となった．また，出力換算ノイズは利得 30dB において 2.2mVrms，0dB において 133.6μVrms であった．入力段相互コンダクタンス制御のみを用いた従来の可変利得増幅器と比べて，消費電流が最大で 40%，0dB における出力換算ノイズは 52%低減された．また，位相補償容量制御のみを用いた可変利得増幅器と比べて，消費電流は最大で 60%，必要な位相補償容量面積は 60%低減された．

第 3 章では，パイプライン A/D 変換器の要素回路技術に関する考察と，低消費電力設計に有効な新しいキャパシタミスマッチモデルの提案を行った．マージド・キャパシタ・スイッチング法を使用したパイプライン A/D 変換器に用いる MDAC 回路のセグメント内差動ミスマッチを含めた解析を行った．A/D 変換器の不連続点における誤差解析より，キャパシタミスマッチによるパイプライン A/D 変換器の非線形性が差動間グラウンド電圧に依存することを明かにした．モンテカルロシミュレーションから，差動間グラウンド電圧を差動参照電圧のコモンモードとする事で，差動間グラウンド電圧を差動参照電圧とした場合よりもキャパシタサイズが約 30%低減できる事を確認した．MDAC を構成するキャパシタはパイプライン A/D 変換器の消費電力の大半を占める演算増幅器の負荷容量となるため，消費電力も，おおよそ 30%程度低減できると考えられる．また，初段 MDAC 回路のキャパシタは，前置回路の負荷容量となるので，前置回路の低消費電力化にも繋がる．

第 4 章では，可変利得機能を内蔵したパイプライン A/D 変換器の低消費電力化について述べた．初段単位処理回路で用いる MDAC 回路に可変利得機能 6-24dB(6dB-step) を付加し，パイプライン A/D 変換器に 0-18dB の可変利得機能を実現することで，アナログ・フロント・エンドにおいて使用する演算増幅器の数を削減する事が可能となる．また，第 2 章で提案した可変利得増幅器の低消費電力化に用いた，入出力段相互コンダクタンスおよび位相補償容量を帰還率に応じて制御する手法を初段 MDAC 回路に適用することで，低入力利得動作時における消費電力を削減し，電力効率の向上を果たした．0.18μm CMOS プロセスを用いて，11 ビット，40MSps，利得 0-18dB(6dB-step) のパイプライン A/D 変換器を設計した．シミュレーション結果から，入力信号振幅が 2.0Vpp，パイプライン A/D 変換器の入力利得 0dB において，SNDR が 66.1dB，入力信号振幅が 250mVpp，入力利得が 18dB において，SNDR が 63.4dB となり，所望の可変利得増幅機能を実現している事を確認した．入力利得が 18dB に

おいて消費電流は 14.2mA で最大となり，0dB において 7.5mA で最小となった．低入力利得動作時に，最大 47%の低消費電力化を実現した．また，11 ビットのパイプライン A/D 変換器に制御利得幅が 0dB から 18dB まで (6dB-step) の PGA 回路を前置増幅器として接続した場合との消費電力について比較し，おおよそ 35%程度の低消費電力化が期待できる事が分かった．

本研究のまとめを以下に述べる．本研究では，アナログ · フロント · エンド集積回路を構成する可変利得増幅回路とパイプライン A/D 変換器の低消費電力化について研究を行った．可変利得増幅回路では，利得に応じて回路内部パラメータを適切に制御する事で，小面積と低ノイズを両立し，さらに消費電力を低減する方法を提案した．パイプライン A/D 変換器においては，マージド · キャパシタ · スイッチング法を用いた MDAC 回路において，詳細な解析を行い，低消費電力設計に有効なキャパシタミスマッチに関するモデルを提案した．また，パイプライン A/D 変換器に可変利得増幅機能を取りこむ事で，アナログ · フロント · エンドで要する演算増幅器を減らし，低消費電力化を図った．更に，可変利得増幅機能を有するパイプライン A/D 変換器の内部パラメータを利得に応じて適切に制御する事で電力効率を高める事に成功した．本論文で提案した手法を用いる事で，プロセス微細化による低消費電力化が困難なアナログ回路において，定常電流量の低減による低消費電力化を図ることができる．今後は，アナログ · フロント · エンドを構成する他のアナログ回路までを含めた低消費電力化や，ディジタル回路技術をさらに組み込んだ A/D 変換器の低消費電力化が課題である．半導体市場の拡大と共に，今後も低消費電力動作での高性能化，高機能化の要求は高まっていくと考えられる．本研究が，その要求に応える一助となる事を願い，本論文のまとめとする．

付 録 A　負帰還増幅回路の帰還率とアンプ構成

負帰還増幅回路の構成として，1 段増幅器を用いる場合と，2 段増幅器を用いる場合について考察する．図 A.1 に各構成の負帰還増幅回路を示す．g_{m11}，r_{o11} は 1 段増幅器の相互コンダクタンスと出力抵抗を表している．g_{m12}，r_{o12}，g_{m22}，r_{o22} はそれぞれ，2 段増幅器を構成する入力段の相互コンダクタンスと出力抵抗，出力段の相互コンダクタンスと出力抵抗である．また，C_p は出力段の入力ノードに対する寄生容量を，C_c は位相補償容量を表している．

負帰還増幅回路を 1 段増幅器で構成した場合の帯域 ω_{c1} は，

$$\omega_{c1} = \beta_F \frac{g_{m11}}{C_L} \tag{A.1}$$

で表される．また，2 段増幅器を用いた場合の帯域 ω_{c2} と位相余裕 ϕ_{m2} は，

$$\omega_{c2} = \omega_{22}\left[\sqrt{\frac{1}{4}+\left(\frac{A_{o2}\beta_F\omega_{12}}{\omega_{22}}\right)^2}-\frac{1}{2}\right]^{\frac{1}{2}} \tag{A.2}$$

$$\phi_{m2} = \tan^{-1}\left[\sqrt{\frac{1}{4}+\left(\frac{A_{o2}\beta_F\omega_{12}}{\omega_{22}}\right)^2}-\frac{1}{2}\right]^{-\frac{1}{2}} \tag{A.3}$$

$$A_{o2}\beta_F\omega_{12} = \beta_F\frac{g_{m12}}{C_c} \tag{A.4}$$

$$\omega_{22} = \frac{g_{m22}}{C_L+C_p+\frac{C_LC_p}{C_c}} \tag{A.5}$$

で与えられる [1]．ここで，ω_{12}，ω_{22} はそれぞれ 2 段増幅器の一次極と二次極である．また，A_{o2} は 2 段増幅器の DC 利得を示している．一般的に，負帰還増幅回路の収束速度と安定性を考慮して，位相余裕は 60° 程度である事が望ましいと言われている [2]．ϕ_{m2} を 60° とした場合，式 (A.3) より，

$$\frac{\omega_{22}}{A_{o2}\beta_F\omega_{12}} \approx 1.5 \tag{A.6}$$

が得られる．式 (A.2)，(A.6) より，ω_{c2} は，

$$\omega_{c2} = 0.87A_{o2}\beta_F\omega_{12} \tag{A.7}$$

と表し直すことができる．

1 段増幅器，2 段増幅器どちらを用いた場合においても設計目標となる帯域は同じであるので，

$$\omega_{c1} = \omega_{c2} = \omega_c \tag{A.8}$$

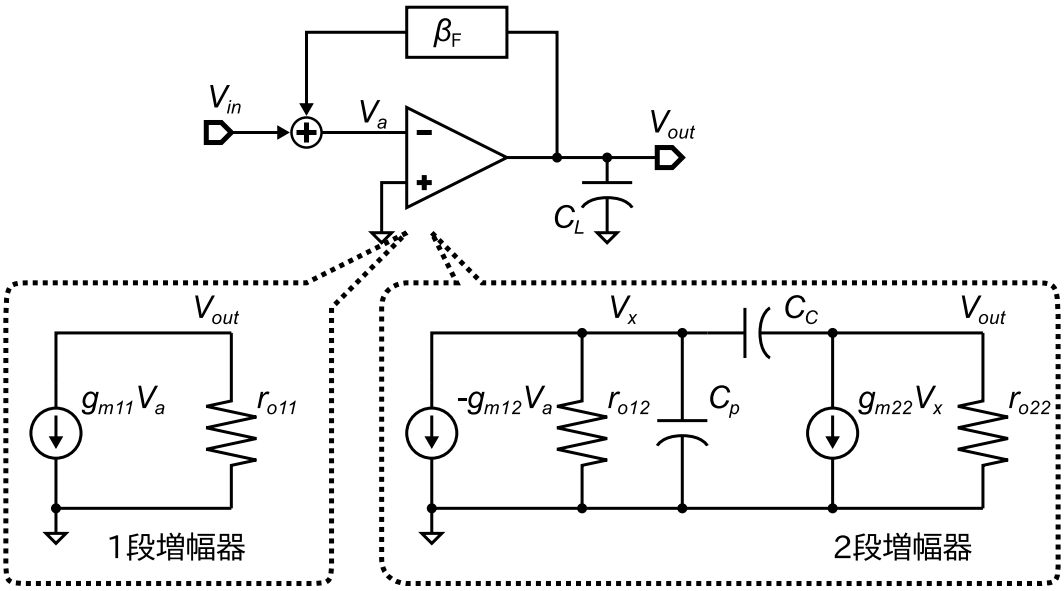


図 A.1: 負帰還増幅回路の構成

として考えると，必要な相互コンダクタンスは，

$$g_{m11} = \frac{C_L}{\beta_F}\omega_c \tag{A.9}$$

$$g_{m12} = 0.87\frac{C_c}{\beta_F}\omega_c \tag{A.10}$$

$$\begin{aligned} g_{m22} &= 1.5 \times 0.87\left(C_L + C_p + \frac{C_L C_p}{C_c}\right)\omega_c \\ &\approx 1.5 \times 0.87 \times C_L\omega_c \quad (\because C_L >> C_p, \quad C_c >> C_p) \end{aligned} \tag{A.11}$$

で与えられる．増幅器に用いるトランジスタのゲート長を固定として考えると，2.5.1 項で示した式 (2.45)，(2.46) より，ゲート幅を変更して電流を調節する場合には電流は相互コンダクタンスに比例し，バイアス電圧を変更して電流量を調節する場合では相互コンダクタンスの 2 乗に比例する．つまり，それぞれの増幅器の相互コンダクタンスの和が消費電流に直結する．式 (A.9)，(A.10)，(A.11) より，C_c と C_L の間に，

$$C_c \leq \left(\frac{1}{0.87} - 1.5 \cdot \beta_F\right) C_L \tag{A.12}$$

が成り立つ場合には，1 段増幅器を用いるよりも 2 段増幅器を用いた方が消費電流を低減できる事が分かる．帰還率が 1 の場合には式 (A.12) が成り立たず 1 段増幅器を用いた方が良い．帰還率が 1/2 で C_c が C_L の 0.4 倍以下では不等式が成り立ち，更に帰還率が低下すると C_c が C_L と同程度の大きさになっても 2 段増幅器を用いた方が低消費電流な設計ができる．

次に，2 段増幅器の C_c と C_L の関係について考える．上述したように，2 段増幅器の消費電流は相互コンダクタンスの和で決定すると考えることができる．式 (A.10) より，入力段増幅器の消費電流は C_c が大きくなると増大する．一方，式 (A.11) で近似を用いる前の g_{m22} を用いて考えると，出力段増幅器の消費意電流は C_c が大きくなると減少する．つまり，2 段増幅器の消費電流は，ある C_c のサイ

表 A.1: 式 (A.12) を満たす条件

β_F \ C_p/C_L	0.5	0.1	0.05	0.01
1	×	×	×	×
1/2	×	○	○	○
1/4	○	○	○	○
1/8	○	○	○	○

ズにおいて最小値を持つ事が分かる．g_{m12} と g_{m22} の和は，

$$g_{m12} + g_{m22} = \left[\frac{C_c}{\beta_F} + 1.5 \cdot \left(C_L + C_p + \frac{C_L C_p}{C_c}\right)\right] \cdot 0.87 \cdot \omega_c \tag{A.13}$$

で与えられる．式 (A.13) の C_c に対する一回微分方程式の解が 2 段増幅器の消費電流を最小にする C_c となる．

$$\frac{d}{dC_c}(g_{m12} + g_{m22}) = \left(\frac{1}{\beta_F} - \frac{1.5 \cdot C_L \cdot C_p}{C_c^2}\right) \cdot 0.87 \cdot \omega_c = 0 \tag{A.14}$$

より，位相補償容量 C_c が，

$$C_c = \sqrt{1.5 \cdot \beta_F \cdot \frac{C_p}{C_L}} \cdot C_L \tag{A.15}$$

において，2 段増幅器の消費電流はもっとも小さくなる．C_p と C_L の比が 1:2，1:10，1:50，1:100 の場合に，どの帰還率において式 (A.12) が成り立つかを表 A.1 に示す．寄生容量 C_p が負荷容量 C_L の 10%ある場合においても，β_F が 1/2 以下において不等式 (A.12) を満たす事が分かる．以上より，帰還率が 1/2 以下の負帰還増幅回路は 2 段増幅器で構成した方が 1 段増幅器を用いるよりも低消費電流な設計が可能である．

参考文献

[1] F. E. Allen and D. R. Holberg, “CMOS Analog Circuit Design,” OXFORD UNIVERSITY Press, 2004.

[2] 谷口研二, LSI 設計者のための CMOS アナログ回路入門. CQ 出版, 2005

謝辞

本研究は大阪大学大学院工学研究科電気電子情報工学専攻　松岡 俊匡 准教授の御指導のもとで行われたものであり，本研究を遂行するにあたり懇切丁寧な御指導と終始有益な御助言を賜わりましたことに厚く御礼申し上げます．

本研究を遂行するにあたり，丁寧なる御指導と有意義な御助言を賜わりました大阪大学大学院工学研究科　谷口 研二 名誉教授（現 奈良工業高等専門学校 校長）に深く感謝の意と御礼申し上げます．

本論文の作成にあたり，有意義な御助言と御指導を頂いた大阪大学大学院工学研究科　八木 哲也 教授，大阪大学大学院工学研究科　高井 重昌 教授，大阪大学大学院情報科学研究科　橋本 昌宜 准教授に御礼申し上げます．

本論文に対して御検討，御教示いただきました大阪大学大学院工学研究科　伊藤 利道 教授，森 勇介 教授，片山 光浩 教授，尾崎 雅則 教授，栖原 敏明 教授，近藤 正彦 教授，大森 裕 教授に深く感謝致します．

様々な御指導をいただいた大阪大学大学院工学研究科　森 伸也 准教授，鎌倉 良成 准教授，白川 仁 特任教授，河崎 達夫 招聘教授，井戸 徹 博士（現 Wolfson Microelectronics）に深く感謝致します．

本研究を遂行するにあたり，同じ研究グループとして有意義な議論をしていただいた大倉 俊介 博士（現 ルネサスエレクトロニクス），兼本 大輔 博士（現 山梨大学 助教），Bogoda Indika U. K. 博士（現 ローム），田村 悠 博士（現 Wolfson Microelectronics），松山 英亮 氏（現 ソニー），今井 快多 氏（現 静岡大学），磯部 直己 氏（現 旭化成エレクトロニクス），國方 直也 氏（現 ソニー）に感謝致します．

研究室内での活動を行う際に，様々なご協力をいただいた清水 由幸 博士（現 Texas Instruments），辻 博史 博士（現 NHK 研究所），古橋 壮之 博士（現 三菱電機），井田 司 博士（現 サムスン日本研究所）をはじめとする研究室の方々に感謝致します．そして，研究を事務的な面で支援していただいた古田 典子 元秘書，清水 友子 元秘書，岩原 加代子 秘書に感謝いたします．

筆者が本研究を遂行するにあたり終始支援していただいた両親，義姉，著者を精神面および生活面で支え応援し続けてくれた妻 春奈に心から感謝します．

最後に，著者にとって研究室の先輩であり，目標である兄 俊介の存在が後期課程退学後も研究を続けることができた原動力の大きなひとつでした．再度感謝の意を表し，本論文の締めくくりと致します．

研 究 業 績

学術論文

1. Shunsuke Okura, Tetsuro Okura, Indika U. K. Bogoda A. and Kenji Taniguchi, "A 10-bit 800-Column Low-Power RAM Bank Including Energy-Efficient D-Flip-Flops for a Column-Parallel ADC," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E90-A, No. 2, pp.358-364, Feb. 2007.

2. Shunsuke Okura, Tetsuro Okura, Toru Ido and Kenji Taniguchi, "A Reference Voltage Buffer with Settling Boost Technique for a 12bit 18MHz Multibit/Stage Pipelined A/D Converter," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Scientces, Vol. 92, No. 2, pp. 367-373, Feb. 2009.

3. Tetsuro Okura, Shunsuke Okura, Toru Ido and Kenji Taniguchi, "A High Efficiency Variable Gain Amplifier Circuit with Controllable Transconductance Amp," IEEJ Transactions on Electronics, Information and Systems, Vol. 129, No. 10, pp. 1968-1969, Oct. 2009.

4. Shunsuke Okura, Hajime Shibata, Tetsuro Okura, Toru Ido and Kenji Taniguchi, "A Frequency Model of a Continuously Driven Clocked CMOS Comparator," IEEE Transactions on Circuits and Systems II Express Briefs, Vol. 57, No. 12, pp. 956-960, Dec. 2010.

5. 大倉 鉄郎, 大倉 俊介, 松岡 俊匡, 谷口 研二, "入出力相互コンダクタンス及び位相補償容量を可変とする可変利得増幅器の低消費電力化に関する検討," 電子情報通信学会論文誌 C, Vol. 95-C, No. 7, pp. 131-138, Jul. 2012.

6. 大倉 鉄郎, 大倉 俊介, 松岡 俊匡, 谷口 研二, "マージド・キャパシタ・スイッチング法を用いたパイプライン A-D コンバータの MDAC セグメント内差動キャパシタミスマッチに関する解析," 電子情報通信学会論文誌 C, Vol.95-C, No. 10, pp. 235-239, Oct. 2012.

7. Tetsuro Okura, Shunsuke Okura, Toshimasa Matsuoka and Kenji Taniguchi, "A Low-Power Technique for Pipelined ADCs with Programmable Gain Amplification," IEICE Electronics Express, Vol.10, No.1, pp.20120876, Jan. 2013.

国際会議

1. Shunsuke Okura, Tetsuro Okura, Kenji Taniguchi and Hajime Shibata, "Frequency Response Analysis of Latch Utilized in High-Speed Comparator," In Proceedings of the 13th IEEE International Conference on Electronics, Circuits and Systems (ICECS 2006), pp. 1077-1080, Dec. 2006.

2. Tetsuro Okura, Toru Ido and Kenji Taniguchi, "A Power Reduction Technique for Variable Gain Amplifier," 1st Global COE Student Conference on Innovative Electronic Topics SCIENT2008, O2-2, Osaka, Japan, Aug. 2008.

3. Tetsuro Okura, Toru Ido and Kenji Taniguchi, "A Low Power Pipelined ADC Using Controllable Transconductance Amp for Image Sensor," 2nd Global COE Student Conference on Innovative Electronic Topics SCIENT2010, Po-2, Osaka, Japan, Aug. 2010.

4. Kaita Imai, Tetsuro Okura, Toru Ido and Kenji Taniguchi, "An Optimal Distribution of Per-Stage Resolution for a 12-Bit 1-Msps Two-Stage Pipelined SAR Analog to Digital Converter," 2nd Global COE Student Conference on Innovative Electronic Topics SCIENT2010, Po-7, Osaka, Japan, Aug. 2010.

国内会議

1. 大倉 鉄郎, 大倉 俊介, 谷口 研二, "小信号モデルを用いた可変利得増幅器用アンプの解析," 電子情報通信学会総合大会, C-12-14, Mar. 2006.

2. 田村 悠, 大倉 俊介, 大倉 鉄郎, 谷口 研二, "閾値ばらつきが Current-Steering D/A Converter の性能に及ぼす影響" 第 12 回電子情報通信学会関西支部学生会研究発表講演会, C4-4, 京都, Mar. 2007.

国内研究会

1. Bogoda A. I. U. K., 大倉 俊介, 大倉 鉄郎, 谷口 研二, "電流スイッチング制御を用いた小面積参照電圧生成回路," 電気学会 電子回路研究会, ECT-06-22, pp. 63-66, Jun. 2006.

2. 大倉 俊介, 大倉 鉄郎, Bogoda A. I. U. K., 谷口 研二, "Column-Parallel ADC に用いる高精度, 小面積 D-Flip-Flop 回路 ," 電気学会 電子回路研究会, ECT-06-22, pp. 71-76, Jun. 2006.

3. 大倉 鉄郎, 井戸 徹, 谷口 研二, 大山 聡一朗, 有吉 勝彦, 伊藤 良明, 新谷 悟, "ダイナミックラッチを用いたパイプライン AD 変換器用低消費電力コンパレータの一設計," 電気学会 電子回路研究会, ECT-09-18, pp. 7-9, Jan. 2009.

4. 今井 快多, 大倉 鉄郎, 井戸 徹, 谷口 研二, "パイプライン方式逐次比較型 A/D コンバータにおける消費電力最適化の一手法 ," 電気学会 電子回路研究会, ECT-11-2, pp. 17-22, Jan. 2011.