

Title	液晶表示装置の配線構造における寄生素子モデル生成に関する研究
Author(s)	谷, 貞宏
Citation	大阪大学, 2004, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/2648
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

液晶表示装置の配線構造における 寄生素子モデル生成に関する研究

2004年

谷 貞宏

内容梗概

本論文は、著者が平成 11 年から平成 13 年にかけてシャープ株式会社において、および平成 13 年から平成 15 年までに大阪大学大学院工学研究科博士後期課程在学中に行った、液晶表示装置の配線構造に起因して発生する寄生素子の算出モデルの生成に関する研究の成果をまとめたものである。

本研究は、液晶表示装置向けの、信号安全性と回路の正常動作を保證する実装設計の実現を目指し、回路機能の誤動作の主因となる配線構造中の寄生素子を高速かつ高精度に算出し、それを実装設計に反映することを主題とする。大規模集積回路 (LSI: Large Scale Integration) やプリント回路基板 (PCB: Printed Circuit Board) と比較して、液晶表示装置 (LCD: Liquid Crystal Display) の液晶パネルでは、配線とグランドの間の距離が相対的に大きいため、従来の手法や CAD (Computer Aided Design) ツールを用いて、配線の相互間に発生する寄生素子を正確に算出し、定量化することが困難であった。それゆえ、経験や勘に基づいた設計に頼らざるをえないため、実装設計には著しい長期化と品質低下が伴い、寄生素子の実用的な算出手法の確立が強く望まれてきた。

このような状況を踏まえ、本研究では、まず、液晶表示装置の構成モジュールである液晶パネル中の三次元配線構造に起因して発生する寄生容量を高速かつ高精度に算出するための容量モデルを考察する。ここでは、二配線間の基本パターンである配線交差および平行配線において発生する寄生容量に対する近似式を導出し、それらを活用して一般の三次元配線構造において発生する寄生容量に対しても高精度の近似が可能であることを示す。次に、液晶表示装置のもう一つの構成モジュールであるプリント基板中の電源供給系の配線構造に起因して発生する共振現象を解明するため、寄生素子とパイパスキャパシタからなる等価共振回路を構成し、その共振周波数の近似式の導出について考察する。さらに、それに基づいて共振周波数を制御する手法を考案し、シミュレーションと実測により、この手法が実用上有用であることを明らかにする。

本論文は以下の全 5 章から構成される。

第 1 章では、配線構造に起因して発生する寄生素子のモデル化に関する現状について述べ、本研究の背景と目的を明らかにするとともに、研究内容と成果について概説する。

第 2 章では、液晶表示装置の構成モジュールである液晶パネル中において発生する寄生容量の算出モデルの概要、およびもう一つの構成モジュールであるプリント基板中の配線構造に起因する共振現象の概要について記述する。まず、液晶表示装置全体の実装構造の特性について述べ、次に、液晶パネル中

の配線相互間で発生する寄生容量の算出，およびプリント基板中の電源供給系の配線構造に起因した共振現象に対して，従来の手法では精密な素子値算出や共振解析が不可能であることを示す．

第3章では，液晶パネルにおける寄生容量モデルを構築し，寄生容量の近似式を導出する．まず，液晶パネルの配線構造における基本パターンである配線交差および平行配線に対して，三次元寄生容量の算出モデルとその寄生容量に対する近似式について考察する．次に，両配線パターンにおいて発生する寄生容量について評価実験を行い，近似式が高い精度を実現していることを示す．

第4章では，液晶表示装置の構成モジュールであるプリント基板の配線構造において発生する共振現象に対して，等価共振回路の構成手法と，その応用について記述する．まず，プリント基板の電源供給系の配線パターンにバイパスキャパシタを均等配置した場合を想定し，その電源供給系の配線パターンにおける等価共振回路を構成し，その共振周波数を求める近似式を導出する．次に，その応用として，バイパスキャパシタの配置により共振周波数を制御する手法を考察する．さらに，評価実験により，等価共振回路とその共振周波数近似式の高精度性を示すとともに，共振周波数の制御手法の性能評価を行うことで，提案手法の有用性を明らかにする．

第5章では，本研究で得られた成果を要約し，結論とする．

関連発表論文

I. 学会誌等採録論文

- (1) S. Tani, Y. Uchida, M. Furuie, S. Tsukiyama, B. Lee, S. Nishi, Y. Kubota, I. Shirakawa, and S. Imai: “Parasitic Capacitance Modeling for Non-Planar Interconnects in Liquid Crystal Displays,” *IEICE Trans. on Fundamentals*, vol. E86-A, no. 12, pp. 2923–2932 (Dec. 2003).
- (2) A. Fathy, V. Pendrick, B. Geller, S. Perlow, E. Tormey, A. Prabhu, and S. Tani: “An Innovative Semianalytical Technique for Ceramic Evaluation at Microwave Frequencies,” *IEEE Trans. on Microwave Theory and Techniques*, Vol. 50, No. 10, pp. 2247–2252 (Oct. 2002).
- (3) 谷 貞宏, 白川 功: “多層プリント回路板の電源供給系におけるインピーダンスシミュレーション,” *エレクトロニクス実装学会誌*, vol. 4, no. 5, pp. 378–385 (2001年8月).
- (4) 神戸 尚志, 谷 貞宏, 小嶋 格, 富田 常雄, 森本 清巳: “VLSI レイアウト設計のための統合化支援システム,” *情報処理学会論文誌*, vol. 31, no. 3, pp. 351–360 (1990年3月).
- (5) I. Shirakawa, N. Okuda, T. Harada, S. Tani, and H. Ozaki: “A Layout System for the Random Logic Portion of an MOS LSI Chip,” *IEEE Trans. on Computers*, vol. C-30, no. 8, pp. 572–581 (Aug. 1981).
- (6) 原田 敬, 谷 貞宏, 奥田 登, 白川 功, 尾崎 弘: “MOS LSI のランダム論理部のレイアウトシステム,” *電子通信学会論文誌*, vol. 63-A, no. 6, pp. 366–373 (1980年6月).

II. 研究会等発表論文 (査読付)

- (1) Y. Uchida, S. Tani, S. Tsukiyama, and I. Shirakawa: “Parasitic Capacitance Modeling for TFT Liquid Crystal Displays,” in *Proc. European Solid-State Device Research Conference (ESS-DERC2003)*, Estoril, Portugal, pp. 453–456 (Sep. 2003).

- (2) Y. Uchida, S. Tani, S. Tsukiyama, and I. Shirakawa: “Parasitic Capacitance Modeling for On-Chip Interconnects,” in *Proc. International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2003)*, Kang-Woo Do, Korea, vol. 3, pp. 1638–1641 (July 2003).
- (3) S. Tani, Y. Uchida, M. Furuie, S. Tsukiyama, B. Lee, S. Nishi, Y. Kubota, I. Shirakawa, and S. Imai: “A Parasitic Capacitance Modeling Method for Non-Planar Interconnects,” in *Proc. Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI 2003)*, Hiroshima, Japan, pp. 294–299 (Apr. 2003).
- (4) S. Tani, Y. Uchida, M. Furuie, S. Tsukiyama, B. Lee, S. Nishi, Y. Kubota, I. Shirakawa, and S. Imai: “Parasitic Capacitance Modeling for Multilevel Interconnects,” in *Proc. IEEE Asia-Pacific Conference on Circuits and Systems 2002 (APCCAS 2002)*, Orchard Road, Singapore, vol. 1, pp. 59–64 (Dec. 2002).

III. その他研究会等発表論文

- (1) 内田 好弘, 谷 貞宏, 築山 修治, 白川 功: “領域分割による配線間容量モデル化手法について,” 電子情報通信学会技術研究報告 NLP2003-21, pp. 7–12 (2003 年 6 月).
- (2) 陸 峰, 古家 眞, 李 副烈, 谷 貞宏, 内田 好弘, 藤田 玄, 尾上 孝雄, 築山 修治, 白川 功, 西 修司, 久保田 靖, 今井 繁規: “製造ばらつきを考慮した D フリップフロップの性能評価,” 電子情報通信学会技術研究報告 SDM2002-158, pp. 31–36 (2002 年 8 月).
- (3) 谷 貞宏, 内田 好弘, 築山 修治, 白川 功: “配線間容量モデル化とその評価について,” 電子情報通信学会技術研究報告 CAS2002-43, pp. 7–12 (2002 年 6 月).
- (4) 谷 貞宏: “多層プリント基板におけるインピーダンス解析,” 第 15 回エレクトロニクス実装学術講演大会, pp. 103–104 (2001 年 3 月).
- (5) 谷 貞宏, 尾崎 正昭: “多層プリント回路基板の EMI シミュレーション,” エレクトロニクス実装学会, 実装 CAE 研究会研究報告 CAE00-4, pp. 1–6 (2000 年 6 月).
- (6) 谷 貞宏, 中 政道, 尾崎 正昭, 小谷 又平: “多層プリント基板の電源系放射ノイズシミュレーション,” 第 14 回エレクトロニクス実装学術講演大会, pp. 173–174 (2000 年 3 月).
- (7) 谷 貞宏, 尾崎 正昭, 中 政道, 小谷 又平: “多層プリント回路基板のバイパスコンデンサ配置による低 EMI 設計手法,” 第 14 回エレクトロニクス実装学術講演大会, pp. 61–62 (2000 年 3 月).

- (8) 谷 貞宏, 尾崎 正昭, 中 政道, 小谷 又平: “多層プリント回路基板のバイパスコンデンサ配置による EMI 対策手法,” エレクトロニクス実装学会, 実装 CAE 研究会研究報告, CAE99-5, pp. 1-6 (1999 年 11 月).
- (9) 谷 貞宏, 尾崎 正昭, 中 政道, 小谷 又平: “多層プリント回路基板のバイパスコンデンサー配置による放射ノイズ低減一手法,” 電子情報通信学会技術研究報告, EMCJ99-57, pp. 35-40 (1999 年 9 月).
- (10) 中 政道, 滝本 和利, 谷 貞宏: “電磁調理器における電磁界シミュレーション,” 第 12 回回路実装学術講演大会, pp. 175-176 (1998 年 3 月).
- (11) 谷 貞宏: “高周波基板設計における CAE の課題,” 第 11 回回路実装学術講演大会, pp. 107-108 (1997 年 3 月).
- (12) 中 政道, 谷 貞宏, 金重 善雄, 永川 俊明, 栗本 卓治, 神戸 尚志: “高密度多層プリント基板設計支援システム (2) コンカレント設計支援 ,” 1992 年電子情報通信学会春季大会, vol. 1, p. 120 (1992 年 3 月).
- (13) 谷 貞宏, 永川 俊明, 栗本 卓治, 神戸 尚志: “高密度多層プリント基板設計支援システム (1) システム構成 ,” 1992 年電子情報通信学会春季大会, vol. 1, p. 119 (1992 年 3 月).
- (14) S. Tani, M. Matsumoto, I. Kojima, and T. Kambe: “A Comprehensive Set of Layout Design Tools for VLSI,” *ASIC Technical Forum '89 (ASICT '89)*, (Apr. 1989).
- (15) 谷 貞宏, 竹田 信弘, 大塚 玄洋, 西本 包子, 原嶋 勝美, 山口 雅之, 神戸 尚志: “機能論理設計支援システム,” 情報処理学会第 36 回 (昭和 63 年前期) 全国大会, pp. 1909-1910 (1989 年 4 月).
- (16) 神戸 尚志, 谷 貞宏, 小嶋 格, 富田 常雄, 吉富 久子, 吉岡 智良, 山内 貴行, 松本 美佐代, 原嶋 勝美, 長尾 明, 森本 清巳: “VLSI レイアウト設計支援システム,” 電子情報通信学会技術研究報告 VLD87-9, pp. 65-72 (1987 年 4 月).
- (17) 原嶋 勝美, 谷 貞宏, 神戸 尚志: “レイアウト記述言語を用いたセルコンパイラ,” 電子情報通信学会創立 70 周年記念全国大会, vol. 2, p. 138 (1987 年 3 月).
- (18) 山内 貴行, 谷 貞宏, 神戸 尚志, 西岡 郁夫: “ストレッチシンボル対応型レイアウトコンパクト,” 情報処理学会設計自動化研究会 設計自動化 34-9, pp. 1-9 (1986 年 10 月).
- (19) 虫上 秀昭, 長尾 明, 谷 貞宏, 神戸 尚志, 西岡 郁夫, 今井 正治: “超 LSI 設計支援システム (5) オンライン DRC ,” 情報処理学会第 33 回 (昭和 61 年後期) 全国大会, pp. 2269-2270 (1986 年 10 月).

- (20) 富田 常雄, 谷 貞宏, 森本 清巳, 神戸 尚志, 西岡 郁夫: “超 LSI 設計支援システム (2) レイアウトエディタ ,” 情報処理学会第 33 回 (昭和 61 年後期) 全国大会, pp. 2263–2264 (1986 年 10 月).
- (21) 谷 貞宏, 小嶋 格, 森本 清巳, 吉田 健一, 神戸 尚志, 西岡 郁夫: “超 LSI 設計支援システム (1) システム構成 ,” 情報処理学会第 33 回 (昭和 61 年後期) 全国大会, pp. 2261–2262 (1986 年 10 月).
- (22) 谷 貞宏, 神戸 尚志, 吉田 健一, 小嶋 格, 千葉 徹, 犬伏 恒雄: “LSI のワイヤボンディング設計のためのシミュレータ,” 昭和 58 年度電子通信学会情報システム部門全国大会, vol. 1, p. 407 (1983 年 10 月).
- (23) 谷 貞宏, 神戸 尚志, 白川 功, 尾崎 弘: “レイアウト設計における配置手法の評価について,” 電子通信学会技術研究報告, CAS82-146, pp. 43–48 (1983 年 2 月).
- (24) 谷 貞宏, 奥田 登, 西岡 郁夫, 犬伏 恒雄, 木村 征二: “MOS LSI ランダム論理部レイアウトシステムの改良について,” 昭和 57 年度電子通信学会総合全国大会, vol. 2, p. 118 (1982 年 3 月).
- (25) 原田 敬, 谷 貞宏, 奥田 登, 白川 功, 尾崎 弘: “MOS LSI のランダム論理部のレイアウトシステム,” 昭和 55 年度電子通信学会総合全国大会, vol. 2, p. 122 (1980 年 3 月).

目次

第1章 序論	1
1.1 背景	1
1.2 研究の目的と概要	2
1.3 本論文の構成	2
第2章 液晶表示装置における寄生素子モデル生成	5
2.1 緒言	5
2.2 液晶表示装置の構成と寄生素子の発生	5
2.3 液晶パネルにおける寄生素子発生と従来の寄生素子モデルの問題点	8
2.4 プリント基板における共振現象と従来の共振モデルおよび共振対策手法の問題点	12
2.5 結言	16
第3章 液晶パネル部の配線構造における寄生素子モデル生成手法	17
3.1 緒言	17
3.2 寄生容量算出モデル	17
3.2.1 配線交差構造	17
3.2.2 平行配線構造	20
3.3 配線交差構造における寄生容量近似式	21
3.3.1 領域分割と各領域の容量近似式の導出	23
3.3.2 フリンジ領域幅の決定	25
3.3.3 評価実験と結果の考察	28
3.4 平行配線構造における寄生容量近似式	31
3.4.1 容量近似式の導出	31
3.4.2 評価実験と結果の考察	33
3.5 結言	34

第4章 プリント基板部の電源供給系における等価共振回路モデル生成手法	35
4.1 緒言	35
4.2 寄生素子からなる等価共振回路モデルの生成	35
4.3 バイパスキャパシタ配置による共振周波数制御への適用	40
4.3.1 対称構造に着目した等価共振回路簡単化手法	40
4.3.2 バイパスキャパシタ均等配置による基板分割	42
4.3.3 共振周波数近似式の導出	46
4.3.4 共振周波数制御手法	49
4.4 評価実験と結果の考察	50
4.4.1 電磁界シミュレーション	50
4.4.2 回路シミュレーション	50
4.4.3 電界強度測定	52
4.4.4 Sパラメータ測定	52
4.4.5 共振周波数近似式とシミュレーション結果および実測結果との比較検討	56
4.5 結言	57
第5章 結論	59
謝辞	61
参考文献	63

第1章

序論

1.1 背景

近年の液晶表示装置 (LCD: Liquid Crystal Display), 大規模集積回路 (LSI: Large Scale Integration), プリント回路基板 (PCB: Printed Circuit Board, 以下ではプリント基板と略記), およびパッケージ等の製造技術の進歩は著しく, 配線構造の多層化および微細化が加速している. さらに, 信号の高速化に伴い, 配線間で発生する寄生素子の回路動作に与える影響が激増しているため, これら寄生素子の振る舞いを正確に把握し, 波形なまり, 信号反射, クロストーク, および放射ノイズを防止あるいは制御することによって, 回路全体の正常動作を保証する実装設計, すなわち, 信号保全性 (SI: Signal Integrity) の向上に資する実装設計, の確立が要請されている.

液晶表示装置の主要部分である液晶パネルでは, LSI やプリント基板と比較して, 配線の直下に近接してグラウンドが存在せず, 配線とグラウンドの間の距離が相対的に大きくなっている. さらに, 配線設計における高精細化と多層化の進展に伴って, 相互に近接する配線数が増大し, 配線構造の混雑化が進行しているため, グラウンドと配線の間寄生容量に比べ, 配線相互間の寄生容量が与える回路動作への影響がますます増大する傾向にある. したがって, 配線構造に起因する寄生素子の中でも配線間の寄生容量の算出は, 信号の保全性を考える上で極めて重要であり, 配線構造の急速な高密度化に対処する, 簡潔でかつ正確な配線間容量の算出手法が不可欠となっている.

既存の配線間寄生容量の算出手法として, まず, 配線構造と絶縁層誘電率等の物性定数を入力して, 有限要素法や境界要素法等の数値解析法を用いて配線間容量を計算する手法が考えられるが, これは高精度であるが, 計算量が膨大となり, 多大な解析時間とメモリ量を必要とするため, 実用的ではない. 次に, 配線導体を平行平板や同軸円柱などの比較的単純な形状の導体に置き換え, 配線間容量の近似式を理論的に導出する手法や, あるいは配線間容量近似式の関数型を経験的に定め, シミュレーションや容量値測定結果との比較により関数の係数を定めるという手法が考えられる. これらは配線容量の高速な算出を可能とするが, 二次元マイクロストリップラインのような特定の構造だけにしか適用できず, 液晶パネルのような, 配線とグラウンドの間の距離が配線相互間の距離に比べて相対的に大きく, しかも平

坦化を行わないような配線構造に対しては、直接適用することができない。

一方、液晶表示装置の周辺回路を液晶パネルのガラス基板上に実装する技術に関して研究開発が進められているものの、マイクロプロセッサやメモリのように、高速かつ大規模な回路を液晶パネル上に集積することは困難であり、現状ではパネルに接続付加したプリント基板上で実装している。これらのプリント基板では、回路の高速性のため、電源供給系の配線間で共振現象が発生し、回路動作に悪影響を与えるだけでなく、放射ノイズを放出する。その対策のため、電源供給系の配線パターンにバイパスキャパシタを付加して共振現象を制御する手法が提案されているが、その付加箇所は設計者の経験と勘に頼っているのが現状である。

1.2 研究の目的と概要

以上の背景のもとに、本研究では、まず、液晶表示装置の液晶パネルの配線構造に起因して発生する寄生容量を高速に算出するためのモデル化手法を考察する。この手法は、二配線間の基本パターンである配線交差と平行配線に注目し、これらの配線構造をいくつかの領域に分割し、各領域の容量値の総和としての配線間容量を計算するものである。ここでは、各領域に二次元電磁界シミュレータを適用し、その解析結果に対する回帰分析に基づいて、容量の近似式を導出する手法を構築することを主題とし、高速かつ高精度な容量算出を実現する。

本研究では、次に、電源供給系の配線パターンにおける共振現象に対して、バイパスキャパシタを均等配置することによって共振回路を構成し、これらのバイパスキャパシタによって共振周波数を制御する手法を考察する。ここでは、配線パターンにおける寄生素子とバイパスキャパシタからなる等価共振回路モデルを構築し、その共振周波数の近似式を求めることが主題となる。

1.3 本論文の構成

本論文は以下の全5章から構成される。

第1章では、寄生素子モデルの生成に関する現状について述べ、本研究の背景と目的を明らかにするとともに、研究内容について概説する。

第2章では、液晶表示装置の構成モジュールである液晶パネルおよびプリント基板の配線構造に起因してそれぞれ発生する寄生容量および共振現象の概要について述べる。まず、液晶パネル中の配線構造によって発生する寄生容量の算出に関して、次いで、プリント基板の配線構造に起因して発生する共振現象に関して概観し、従来の手法では精密に素子値算出や共振解析ができないことを示す。

第3章では、液晶表示装置の液晶パネルにおける寄生容量の導出モデルの生成について記述する。まず、液晶パネルの配線構造における基本パターンとしての配線交差および平行配線に対して、三次元寄生素子モデルを考案する。次に、両配線構造について評価実験を行い、容量近似式が高い精度を実現して

いることを示す。

第4章では、液晶表示装置の構成モジュールであるプリント基板の配線構造において発生する共振現象に対して、等価共振回路の構成手法と、その応用について記述する。まず、プリント基板の電源供給系の配線パターンにバイパスキャパシタを均等配置した場合を想定し、その電源供給系の配線パターンにおける等価共振回路を構成し、その共振周波数を求める近似式を導出する。次に、その応用として、バイパスキャパシタの配置個数により共振周波数を制御する手法を考察する。さらに、評価実験により、等価共振回路とその共振周波数近似式の精度を明らかにするとともに、共振周波数の制御手法の性能評価を行って、提案手法の有用性について記述する。

第5章では、本研究で得られた成果を要約し、結論とする。

第2章

液晶表示装置における寄生素子モデル生成

2.1 緒言

本章では、液晶表示装置の構成モジュールである液晶パネルおよびプリント基板の配線構造に起因してそれぞれ発生する寄生容量および共振現象について、その概要を述べる。これらの配線構造に起因して発生する寄生容量および共振現象を解明することは、信号保全性の観点から極めて重要である。そこで、本章では、まず、液晶パネル中の配線構造の特殊性に注目し、従来の手法では、実用的な精度での寄生容量の抽出が困難であることを示す。次に、プリント基板中の電源供給系の配線構造に起因して発生する共振現象に対して、既存のシミュレーション手法の問題点を示し、解決すべき技術課題を明らかにする。

2.2 液晶表示装置の構成と寄生素子の発生

液晶表示装置は、STN-LCD (Super Twisted Nematic Liquid Crystal Display) に代表される単純マトリクス型液晶表示装置が、汎用表示装置として広く用いられてきた。STN-LCD は、内部にトランジスタ構造を持たない単純な電極構造であるため、安価でしかも比較的高解像度の表示装置が提供できるという利点がある。しかし、表示のコントラストが低く、かつ長い電極配線を引き回すため、中型や大型の表示装置に用いることができないという欠点がある。そこで、それらの問題を克服するため、TFT-LCD (Thin Film Transistor Liquid Crystal Display) に代表されるような、各画素にスイッチ素子を配置したアクティブマトリクス型液晶表示装置が考案された^[1]。

TFT-LCD は、図 2.1 に示すように、画像を表示する液晶パネル、パネル上の TFT を駆動するためのドライバ回路等の周辺回路、画像処理 LSI、およびメモリを搭載したプリント基板で構成される。ここで、液晶パネルは、半導体回路を形成したガラス基板によって液晶材料を挟み込んで製造する。従来の液晶パネルでは、半導体回路として、ガラス基板上に形成することが容易なアモルファス・シリコンや低温ポリ・シリコンを用いたが、表 2.1 に示すように、単結晶シリコンと比較して、電子移動度が低いた

めに回路の動作速度を十分に上げることができず、さらには、設計ルールによって配線幅などの値が大きくなるため、回路の実装面積が増大し、周辺回路をガラス基板上に実装することは実用上困難であった。そこで、周辺回路を集積回路 (IC : Integrated Circuit) で実現し、フレキシブル基板を用いてガラス基板上の回路と接続する実装方式が採り入れられたが (図 2.1(a))、その場合、装置全体が大きくなるため、小型化が最優先される携帯端末用には不向きであった。

近年、低温ポリ・シリコンの多結晶構造における各結晶の方向をレーザー照射によって揃えるという技術を活用して、電子移動度を向上させる連続粒界結晶シリコン (CGS: Continuous Grain Silicon) が開発され、ガラス基板上の集積回路の高速化が進んでいる^[1,2]。さらに、製造技術の進展により、設計ルールの細密化や配線の多層化が進み、周辺回路を液晶パネルのガラス基板上に実装する技術が開発された^[2]。この液晶パネルは、図 2.1(b) に示すように、システム液晶と呼び、その特性および仕様は表 2.2 のように順次改善されるものと予想されている。

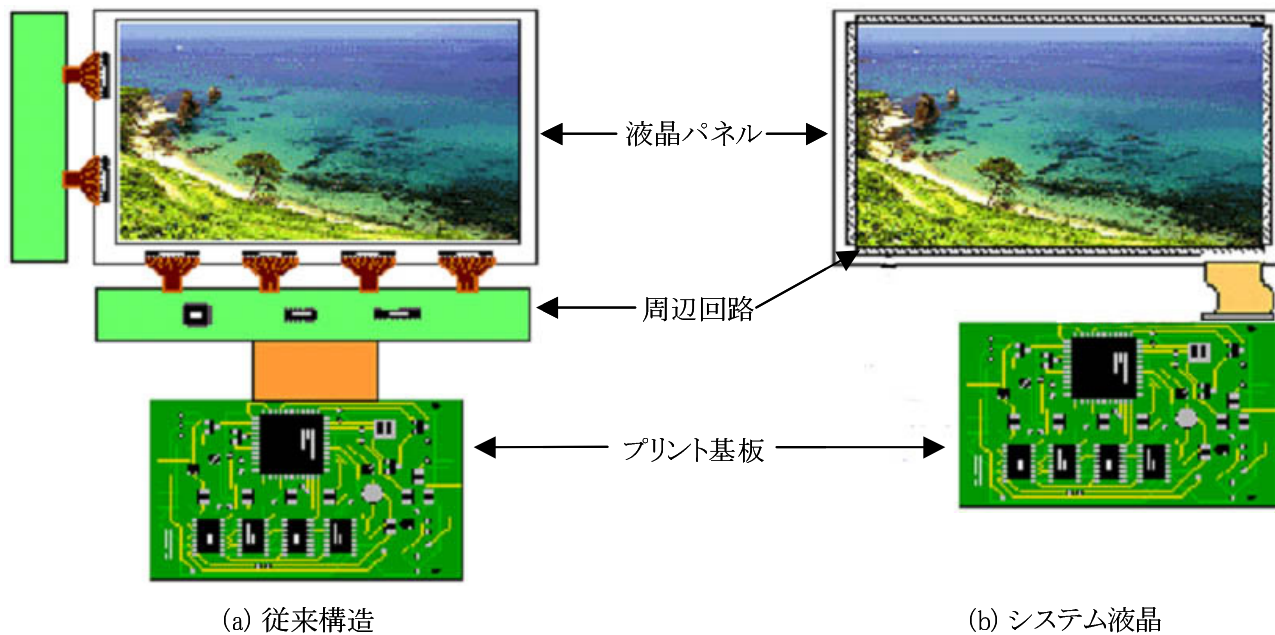


図 2.1 液晶表示装置構成

このように、液晶パネルのガラス基板上での周辺回路の集積化が進められているものの、マイクロプロセッサやメモリのような高速かつ大規模な回路をガラス基板上に集積化することが困難であり、現状では、パネルに接続付加したプリント基板上で実装している。ところが、プリント基板上に搭載する回路が高速化するにつれ、電源供給系の配線間で共振現象が発生し、回路動作に悪影響を与えるだけでは

表 2.1 電子移動度比較

	電子移動度 [cm^2/Vs]
アモルファス・シリコン (a-Si)	~ 1
低温ポリ・シリコン (p-Si)	100 ~ 150
連続粒界結晶シリコン (CGS*)	200 ~
単結晶シリコン (c-Si)	約 1500

* CGS:Continuous Grain Silicon

表 2.2 液晶パネル半導体回路技術の動向

	2002 年	2003 年	2005 年
電子移動度	$200\text{cm}^2/\text{Vs}$	$300\text{cm}^2/\text{Vs}$	$400\text{cm}^2/\text{Vs}$
設計ルール	$3\mu\text{m} \sim 4\mu\text{m}$	$1.5\mu\text{m}$	$0.8\mu\text{m}$
配線技術	アルミ配線	多層配線	低抵抗配線
動作周波数	3MHz	5MHz	20MHz ~ 30MHz

なく、放射ノイズをも放出する^[3]。

以上のように、液晶表示装置において、配線構造の複雑化と回路の高速化が急速に進行し、配線構造に起因して発生する寄生素子および共振現象が回路特性に与える影響がますます大きくなるようとしている。したがって、回路機能が正常に動作することを保障するためには、これらの寄生素子と共振現象が引き起こす信号保全性の低下を防止するような設計手法が不可欠となっている^[3,4]。

液晶表示装置の構成モジュールである液晶パネルに注目すると、その配線構造の特殊性から、従来のLSIやプリント基板向けの市販設計ツールに組み込まれている寄生素子抽出機能では、正確かつ迅速に寄生素子を算出することができない。また、液晶表示装置のもう一つの構成モジュールであるプリント基板では、電源供給系の配線構造に起因して共振現象が発生するが、それを防止するため、バイパスキャパシタを付加して、共振現象を制御する対策が講じられているが、その付加箇所は設計者の経験と勘に頼っているのが現状である。

以上の考察から、本論文では、まず、液晶パネルの配線構造に起因して発生する寄生容量の導出モデルについて考察する。次に、プリント基板での共振等価回路モデルの生成手法、およびそれを応用した共振現象の防止手法について考察する。

2.3 液晶パネルにおける寄生素子発生と従来の寄生素子モデルの問題点

既存の寄生容量の算出手法として、数値解析による手法^[5-7]、および理論から導出した近似式を用いる手法^[8-20]がある。前者の数値解析手法は、配線構造および絶縁層誘電率等の物性定数を入力とし、有限要素法や境界要素法等の数値解析法を用いて、配線間容量を計算する手法であり、高い精度が実現できる反面、三次元構造の離散化のために計算量が膨大になり、長大な解析時間と多くのメモリ量を必要とする。これに対して、後者の近似式を用いる手法は、電磁理論に基づいた近似式、あるいはシミュレーションや測定結果の回帰操作により得られる近似式を用いているため、二次元ストリップラインのような単純な構造に対してだけ適用できる。しかも、LSIやプリント基板のように、配線の直下に近接してグランドが存在するような配線構造に対する適用を前提としており、LCDのように、配線とグランドとの間の最短距離が配線相互間のそれよりも格段と大きく、かつ配線層の平坦化を行わない場合に対しては適用することができない。

例えば、図2.2に示すようなアクティブマトリクス型液晶パネルの配線構造^[1]においては、対向電極および筐体がグランドを形成する。対向電極がグランドである場合には、配線とグランドの間の最短距離は数ミクロン程度であるが、筐体をグランドとする場合には、配線とグランドの間の最短距離は数ミリ程度にもなり、LSIやプリント基板の場合と比べ、配線とグランドの間の距離が格段に大きい構造となっている。ここで、配線とグランド平面の間の距離と容量値との関係を調べ、さらに、既存の容量近似式^[17,18]と二次元電磁界シミュレーション^[21]の結果を比較するため、図2.3に示すストリップライン構造に対して、配線とグランドとの距離をパラメータとして、電磁界シミュレーションを実行し、既存の容量近似式を適用する^[22,23]。

図2.3(a)は、配線 M_1 からなるストリップライン構造を表し、 M_1 とグランドとの容量を C_{10} [F]、 M_1 のグランドに対する電位を V_1 [V]、 M_1 に蓄積される電荷量を Q_1 [C]とする。図2.3(b)は、2本の並列配線 M_2 、 M_3 からなるストリップライン構造を表し、 M_2 および M_3 とグランドの間の容量をそれぞれ C_{20} [F]、 C_{30} [F]、配線間の容量を C_{23} [F]、 M_2 および M_3 のグランドに対する電位をそれぞれ V_2 [V]、 V_3 [V]、 M_2 および M_3 に蓄積される電荷量をそれぞれ Q_2 [C]、 Q_3 [C]とする。また、すべての配線に対して、幅が $W=1\mu\text{m}$ 、厚さが $T=0.5\mu\text{m}$ 、配線相互の間隔が $S=1\mu\text{m}$ とし、グランドから $H[\mu\text{m}]$ の距離に2本平行している構造とする。

図2.3(a)における容量、電位、および電荷量の関係式を式(2.1)に、図2.3(b)における容量、電位、および電荷量の関係式を式(2.2)に示す。

$$Q_1 = C_{10}V_1 \quad (2.1)$$

$$\left. \begin{aligned} Q_2 &= C_{20}V_2 + C_{23}(V_2 - V_3) \\ Q_3 &= C_{23}(V_3 - V_2) + C_{30}V_3 \end{aligned} \right\} \quad (2.2)$$

いま、 H を $1\mu\text{m}$ から $1000\mu\text{m}$ まで変化させて容量値の変化を調べた結果、表2.3を得る。表中の二次

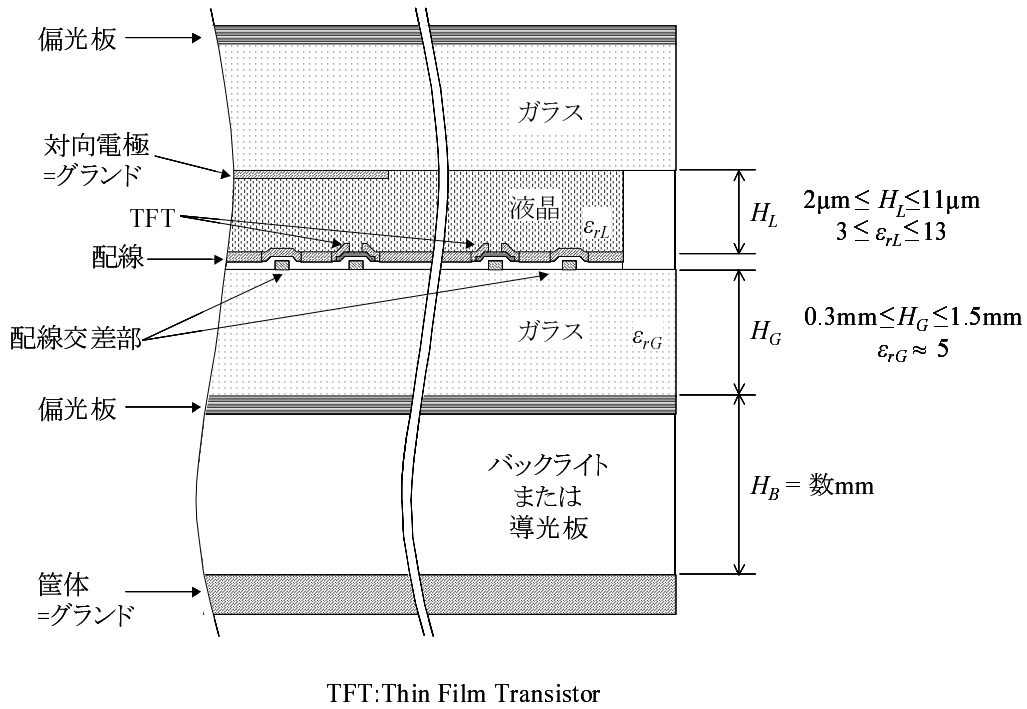


図 2.2 アクティブマトリクス型液晶パネル構造

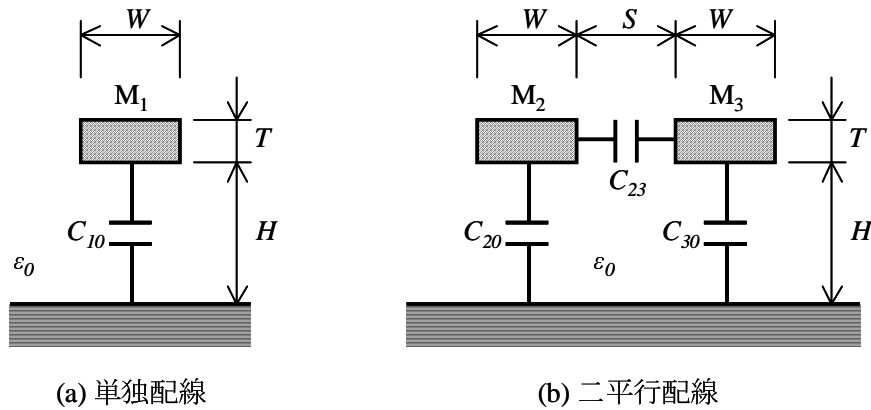


図 2.3 容量近似式評価構造

元電磁界シミュレーションの値から、 H が大きくなるにつれて配線・グランド間の容量 C_{10} 、 C_{20} が減り、配線間容量 C_{23} が増加していることがわかる。この現象は、 H が大きくなるにつれて、配線・グランド間の電気力線の数が増加し、逆に配線間の電気力線の数が増加することによるものと考えられる。また、 H の値が同じでも、 $C_{10} > C_{20}$ となっていることがわかる。この現象は、二配線が接近している場合、配線・グランド間の電気力線を隣接配線が切断するため、グランドとの容量が小さくなることを表している。このことから、液晶パネルの配線容量算出では、以上のような容量変化に精密に追随しなければならないことがわかる。しかしながら、表2.3から、 H が大きくなると従来手法は電磁界シミュレーションの値に追従できていない。これは、従来法^[17,18]はLSIを適用対象としているものであり、 $H > 10\mu\text{m}$ は手法の適用可能範囲外となっていることによるものと考えられる。それに対して、その他の二つの従来手法^[19,20]では、シミュレーション値に対して回帰操作を行うことにより、グランドが遠い構造に対しても適用可能であるが、[19]は2本以上の配線を想定しておらず、[20]は平坦化されたプロセスに対してのみ利用できるものとなっており、いずれも液晶パネルに直接適用することができない。

表 2.3 グランドとの距離と容量値との関係 [aF/ μm]

$H[\mu\text{m}]$	二次元電磁界シミュレーション ^[21]			Yuan ^[17]	Sakurai ^[18]		
	C_{10}	C_{20}	C_{23}	C_{10}	C_{10}	C_{20}	C_{23}
1	33.3	26.3	10.5	30.9	31.4	24.7	10.1
10	14.8	9.3	16.0	13.3	13.8	3.7	11.7
100	5.8	3.1	18.9	8.4*	7.7*	-71.3*	6.5*
1000	0.9	0.4	20.1	6.2*	4.6*	-1157.4*	3.1*

* H は該当手法の適用可能範囲外。

また、表2.3の二次元電磁界シミュレーションの値、および式(2.2)から、 H が小さい状態では、配線に蓄積される総電荷量はグランドとの容量 $C_{20} = C_{30}$ と配線間容量 C_{23} の両方の影響を受けるが、 H が十分大きくなると、 C_{23} の影響が支配的となることがわかる。配線に蓄積される総電荷量が信号遅延等の回路動作に影響するため、配線とグランドとの距離が大きい液晶パネルにおける配線容量抽出では、配線間容量のみに注目すればよいことがわかる。

次に、図2.4に示す配線構造において、配線とグランドとの距離 $H[\mu\text{m}]$ と、配線交差構造における配線間の容量結合範囲 $R[\mu\text{m}]$ との関係性を調べるため、三次元電磁界シミュレーション^[21]を用いて配線間容量を解析すると、図2.5に示す結果を得た。

図2.5から、LSIの構造に対応した $H \leq 2\mu\text{m}$ の範囲では、 $R \geq 15\mu\text{m}$ で配線間容量 $C[\text{fF}]$ がほぼ一定値となっていることがわかる。一方、液晶パネルに対応した $H > 2\mu\text{m}$ の範囲では、 R の増加に対して C も増加し続けていることがわかる。すなわち、液晶パネルにおいては、寄生容量モデル生成の際に容量結合範囲をもパラメータとして扱わなければならないことを意味する。

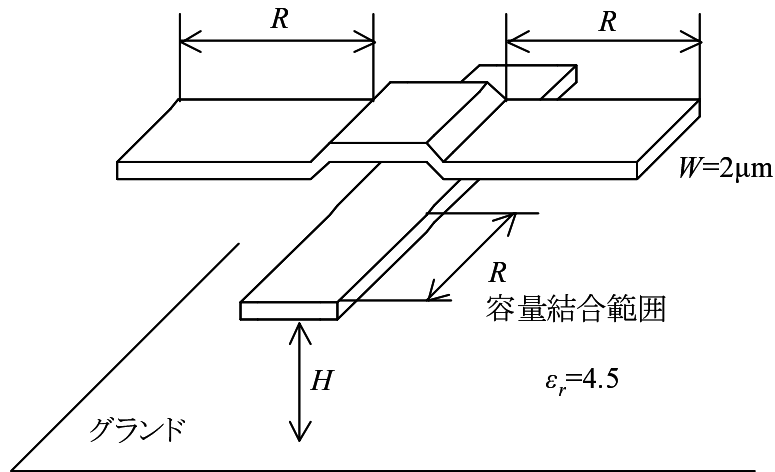


図 2.4 配線交差構造における容量結合範囲

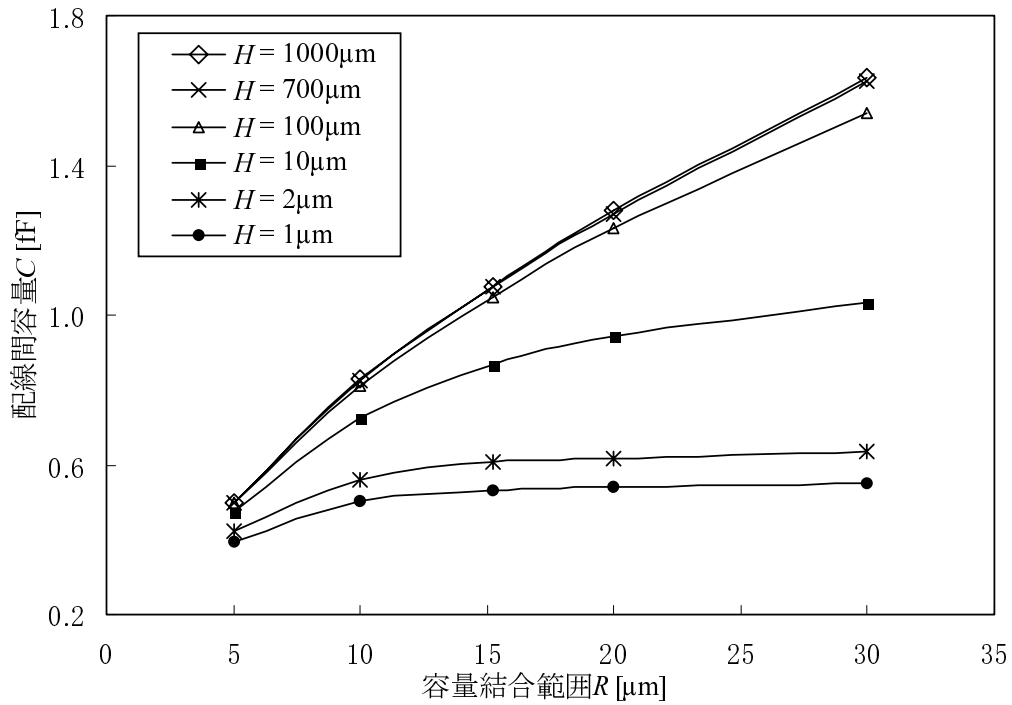


図 2.5 配線交差構造における容量結合範囲のグラウンド距離依存性

2.4 プリント基板における共振現象と従来の共振モデルおよび共振対策手法の問題点

プリント基板からの放射ノイズに関して、図 2.6 に示すように、電源・グランド層の電源供給系が等価的に平行平板共振器となり、そこから発生する電磁波が基板全体の放射ノイズの主因となることが知られている^[24, 25]。このような電源・グランド層での共振対策としては、IC デバイスの電源・グランドピン近傍にバイパスキャパシタを配置する手法が広く用いられている。そこで、IC デバイスの代わりとして水晶発振器を用い、その電源・グランドピン近傍にバイパスキャパシタを配置したテスト基板を作製し、その放射ノイズ特性を測定することにより、共振現象について解析する^[26]。図 2.7 に作製した基板の構造を、表 2.4、2.5、および 2.6 に基板仕様を示す。

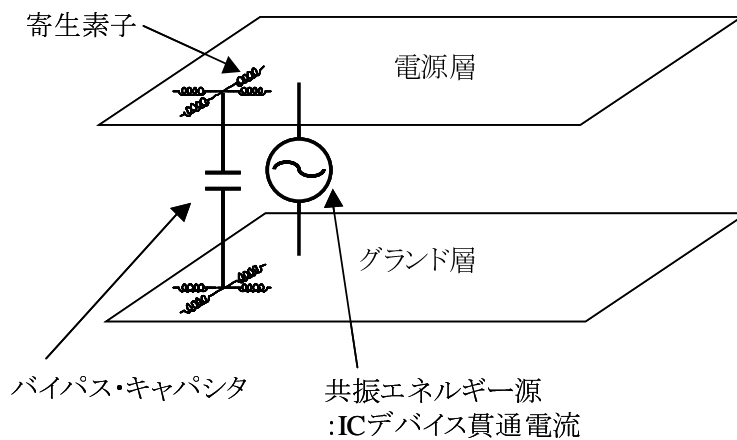


図 2.6 プリント基板の電源供給系における共振現象

表 2.4 テスト基板仕様

導体層数	4
基板厚	1.6mm
電源グランド層間距離： d	0.8mm
基板長辺寸法： X_a	144mm
基板短辺寸法： X_b	108mm
絶縁体比誘電率： ϵ_r	4.6
電源グランド層間容量： C_0	791pF

作製したテスト基板について、電波暗室でテスト基板と測定用アンテナとの距離を 3m とし、遠方電

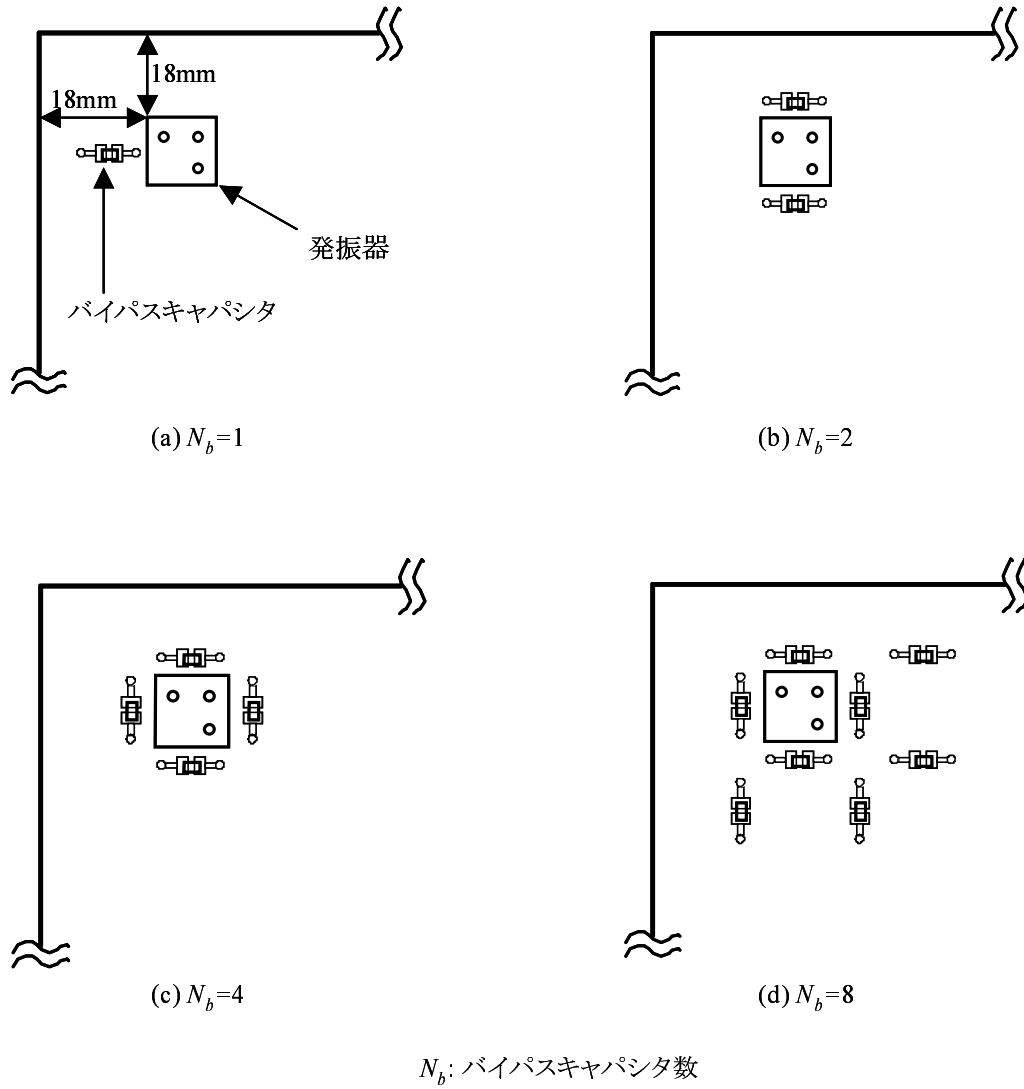


図 2.7 バイパスキャパシタ配置従来手法によるテスト基板

表 2.5 バイパスキャパシタ仕様

部品形態	チップ・セラミック
容量： C_b	0.1 μ F
寄生インダクタンス： L_b	2.7nH

図 2.8

表 2.6 発振器仕様

発振周波数	20MHz
貫通電流立ち上がり時間： t_r	0.4nsec
貫通電流パルス幅： t_w	0.9nsec
カットオフ周波数： f_c	707MHz

界強度測定を行う．基板はテーブル上に水平に置き，基板端からの電界は垂直方向であることに着目し，測定結果（垂直方向のみ）を図 2.8 に示す．なお，0, 1, 2, 4, 8 は水晶発振器近傍に配置したバイパスキャパシタの個数を示し，700MHz 以上ではバイパスキャパシタの個数に関係なく電界強度が電波暗室の暗レベルに近い値になるため，省略した．

図 2.8 から以下の特徴が明らかとなる．

- (1) 500MHz 周辺で基板長辺方向 $\lambda/2$ での共振が発生（以下，第 1 ピークと呼ぶ）し，バイパスキャパシタの個数が増加するに従って，共振周波数は高周波数方向にシフトし，共振ピーク値は減少する．
- (2) バイパスキャパシタ付加により 100MHz 周辺でピークが発生（以下，第 2 ピークと呼ぶ）し，バイパスキャパシタの個数が増加するに従って，共振周波数は高周波数方向にシフトし，共振ピーク値は増大する．

図 2.8 では，波源として想定している水晶発振器での貫通電流の周波数成分が減少する周波数（カットオフ周波数 f_c ）が予測値 707MHz より低く，600MHz 以下で現われている．このことから，第 1 ピークについては，波源近傍のバイパスキャパシタ 2 個以上で共振周波数をカットオフ周波数に接近させることができる．通常の水晶発振器ではカットオフ周波数は 500MHz ~ 1GHz となることと，通常使用される基板サイズから判断して，一般的な基板においても第 1 ピークは波源近傍の少数のバイパスキャパシタで減衰可能となる．また，第 1 ピークは電源・グランド層上に発生する定在波により発生していることが知られており^[24, 25]，定在波の共振周波数 f_{mn} は基本的に下記の式 (2.3) により計算でき，基板サイズを変更することによって容易に共振周波数を制御することができる．なお，式 (2.3) において， c_L ， ε_r ， X_a ， X_b はそれぞれ真空中の光速，電源・グランド間の絶縁体の比誘電率，基板長辺の長さ，基板

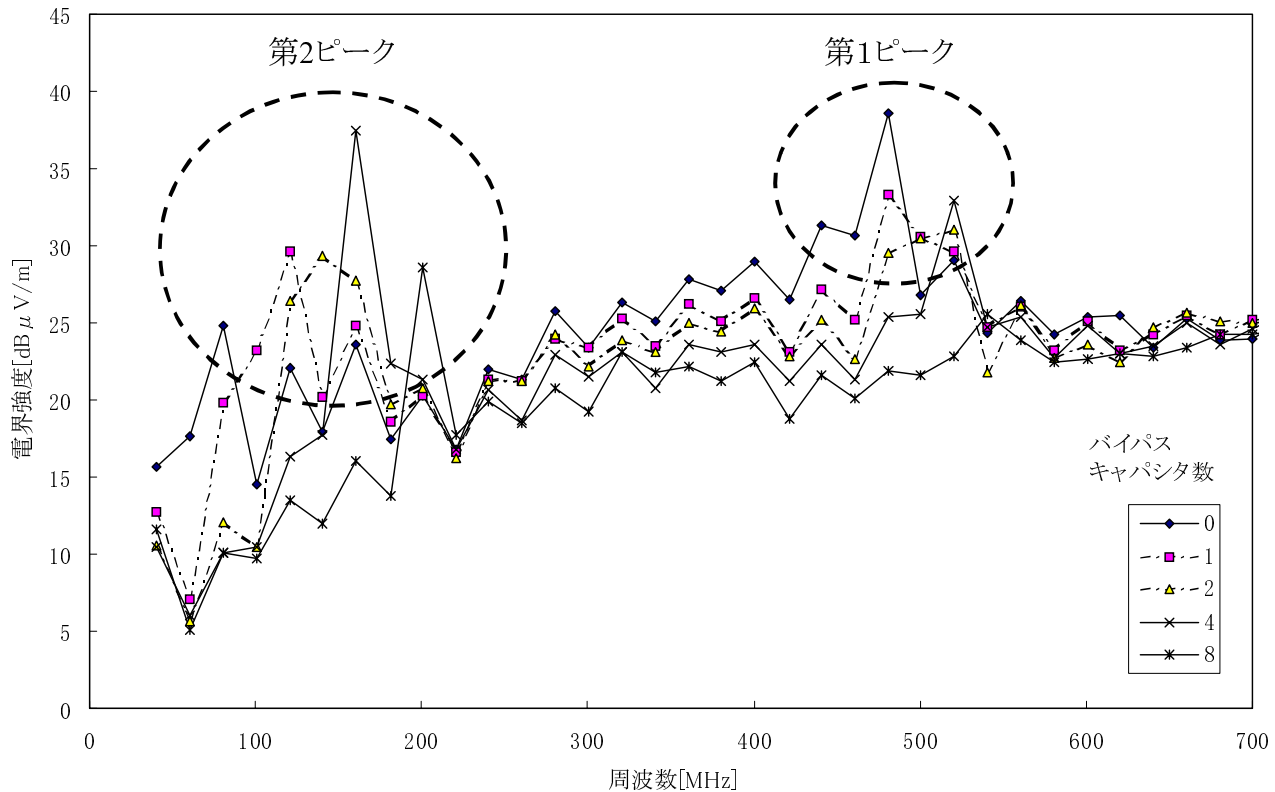


図 2.8 従来手法によるテスト基板の遠方電界強度測定結果

短辺の長さを表し， m ， n は基板の長辺方向，短辺方向に乘る定在波（半波長）の数を表す．

$$f_{mn} = \frac{c_L}{2\pi\sqrt{\epsilon_r}} \sqrt{\left(\frac{m\pi}{X_a}\right)^2 + \left(\frac{n\pi}{X_b}\right)^2} \quad (2.3)$$

一方，第 2 ピークはバイパスキャパシタの個数が増加するにつれて，ピーク値が増大する傾向にあり，水晶発振器近傍にバイパスキャパシタを配置する従来手法では対応不可能と考えられる．また，第 2 ピークは水晶発振器内部およびバイパスキャパシタ，基板の寄生素子からなる回路で発生していることが報告されており [27]，寄生素子値を制御することが容易でないことから，第 2 ピークの共振周波数を制御することは容易でないと考えられ，新たな制御手法の構築が重要となる．

以上のような共振現象に対して，シミュレーションを活用することにより共振周波数を予測し，設計初期の段階から放射ノイズ対策を講じておくことが有効と考えられる [3]．しかしながら，現在使用されている有限要素法や境界要素法に基づいたシミュレーション手法は計算時間を要するため，基本的な動作確認，設計ルール検討など，用途が限られている [28, 29]．

そこで、電源グランド層を集中定数素子回路でモデル化し、回路シミュレーションを行う手法 (PEEC 法: Partial Element Equivalent Circuit Method) が開発された^[30,31]。この PEEC 法では電磁界を直接計算するのではなく、集中定数回路モデルのインピーダンスを解析し、その周波数変化から電源・グランド層での共振周波数を算出するものであり、有限要素法などを用いる手法に比べ、高速なシミュレーションが実現でき、実用性が大きい。しかしながら、上述のような、バイパスキャパシタを配置した基板に対して、精度よくシミュレーションするためには、集中定数素子回路モデルの節点数が激増するという問題点がある。

また、電源・グランド層での共振対策をおこなう既存の手法として、LSI の電源・グランドピン近傍にバイパスキャパシタを配置する上述の手法に加え、バイパスキャパシタの接続によってインダクタンス成分を付加し、デカップリング効果を補強して、電源グランド層での共振を抑制する手法や^[24]、基板の周辺にバイパスキャパシタを配置する手法^[29]などが考案されている。しかしながら、これらの手法は、バイパスキャパシタによる電源・グランド層の電流分布および電流経路 (電流ループ) を制御することによって、基本的には共振周波数は変えず、放射ノイズ強度を抑制するものであり、共振周波数におけるノイズ源の周波数成分が大きい場合には、ノイズ強度を十分に抑制できないという問題がある。

2.5 結言

本章では、まず、液晶表示装置の構成について記述し、ガラス基板上の半導体回路形成技術の進歩によって、回路の多層化、微細化、および高速化が進んでおり、液晶パネル中の配線構造に起因して発生する寄生容量を考慮した設計、さらには、プリント基板中の配線構造に起因する共振現象を抑制する設計が重要であることを明らかにした。

次に、液晶表示装置の構成モジュールの一つである液晶パネルにおいては、配線とグランドの間の距離が相対的に大きいため、配線間容量が支配的となり、従来の寄生容量の算出手法では、配線構造において発生する寄生容量を正確に見積もることができないことを示した。

最後に、液晶表示装置のもう一つの構成モジュールであるプリント基板において、電源供給系の配線パターンにバイパスキャパシタを接続することによって共振を防止する対策が重要であることを示し、その共振現象を再現する既存のシミュレーション手法では、長大な計算時間を要し、等価回路の節点数が激増するという問題が生じることを示した。さらに既存の共振対策手法では共振周波数を制御することができないことを示し、解決すべき技術課題を明らかにした。

第3章

液晶パネル部の配線構造における寄生素子モデル生成手法

3.1 緒言

本章では、液晶パネルの多層配線構造における配線間寄生容量の近似式を導出するための容量モデル化手法を考察する。特に、二配線からなる基本的な構造である配線交差構造と平行配線構造に対する容量モデル化手法に注目し、導出過程が複雑な前者の配線交差構造については、配線交差部を平行平板等の基本的な構造の領域に分割し、各領域の容量値を理論式および二次元電磁界シミュレーションの適用結果に対する回帰操作により導出した近似式を用いて計算することにより、これらの領域の容量値を加算して全体の寄生容量近似式を得る。これらの配線構造に対して得られた近似式の精度を評価するため、配線交差部を三次元電磁界シミュレーションを用いて解析を行う^[22, 23, 32–36]。

3.2 寄生容量算出モデル

本節では二配線からなる基本的な構造として、配線交差構造と平行配線構造に注目し、その容量モデルについて述べる。

3.2.1 配線交差構造

容量モデル抽出対象となる配線交差構造を図 3.1(a) に示す。同構造では、Metal 1 と Metal 2 配線が交差する部分に平行平板が形成される。

平行平板周辺部では、外部に電界がもれ出る状態となり、フリンジ容量が発生する。しかし、その周辺を除いた内側の領域では、電界が一様に分布し、理想的な平行平板の状態となっているものと考えられる。図 3.1(a) において、理想平行平板は破線ハッチ領域で示された部分となる。

平行平板部周辺のフリンジ容量を生じる導体部を円柱で置き換えたモデル化が提案されているが^[17]、この方法では、円柱導体の直径を導体厚と同じ値にしているため、周辺部領域は自動的に固定される。

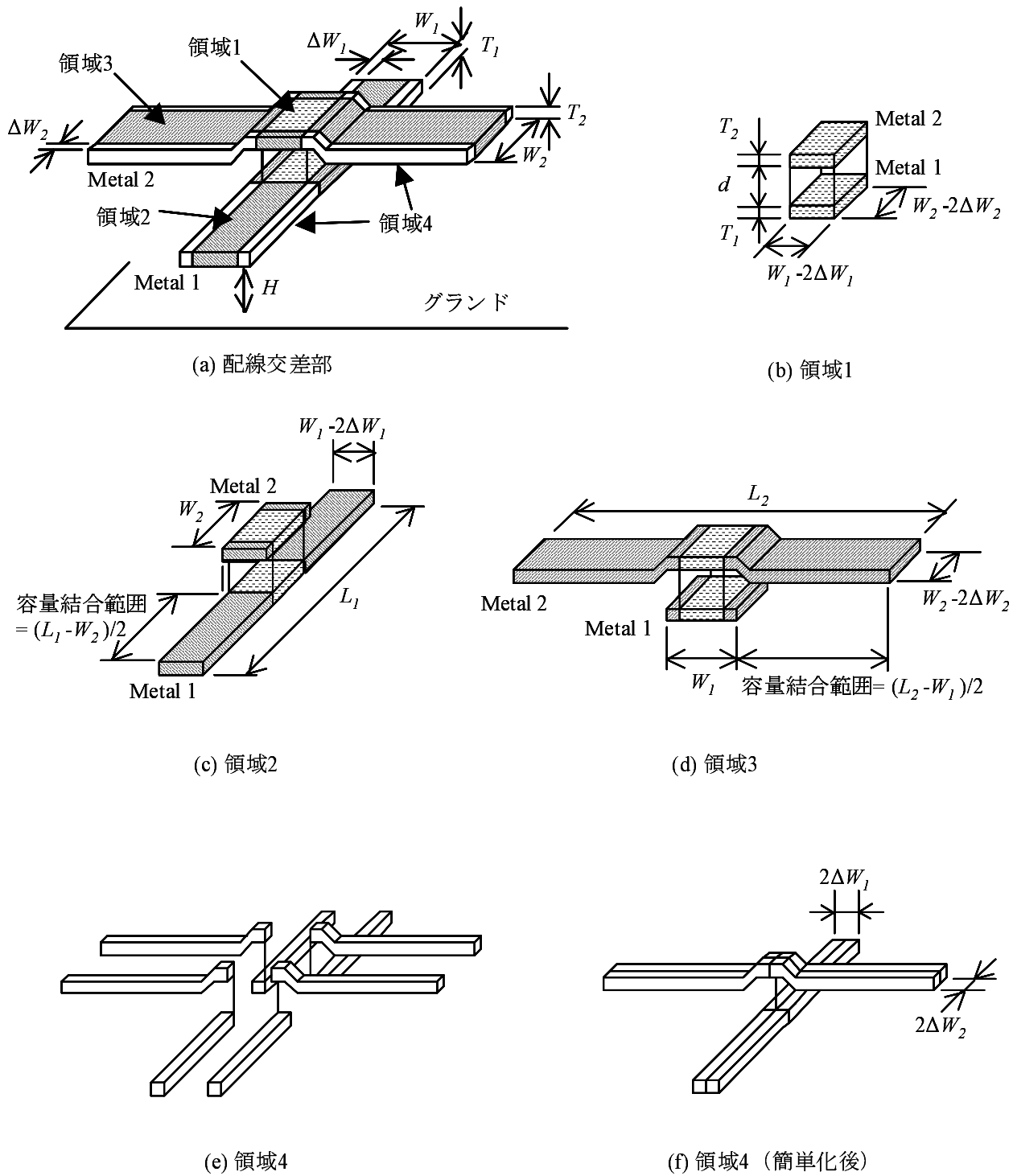


図 3.1 配線交差構造の三次元容量モデル

しかし、本来は、フリンジ容量を生じる周辺領域の導体幅 ΔW は、導体幅 W 、導体間隔 d 、グランドとの距離 H などに依存して決められるべきものであると考え、本論文では実験的に最適な ΔW を同定することとする。すなわち、配線交差部を、図 3.1 に示すように、理想平行平板領域とフリンジ領域とに分けて、二次元容量モデルを適用する。

まず、三次元配線交差構造を理想平行平板、およびフリンジ容量が生じる領域に分割するため、図 3.2 に示すような二次元の容量モデルを用いる。図 3.2(a) は下部導体 (Metal 1) 方向に沿った交差部の断面図であり、図 3.2(b) は上部導体 (Metal 2) に沿った断面図である。以後、図 3.2(a) の電界をのモデルをタイプ 1 の二次元容量モデル、図 3.2(b) の電界をのモデルをタイプ 2 の二次元容量モデルと呼ぶ。両図において、矢印は電束の方向を表し、 W_1, L_1, T_1 はそれぞれ Metal 1 の配線幅、配線長、配線厚であり、 W_2, L_2, T_2 は Metal 2 の配線幅、配線長、配線厚である。 $\Delta W_1, \Delta W_2$ は Metal 1 と Metal 2 のフリンジ領域幅を表し、 H は Metal 1 とグランドとの距離、 ϵ_r は配線間絶縁層の比誘電率を表す。以後、特に断らない限り、距離と容量値はそれぞれ d と ϵ_r で割り、正規化した値で表すものとする。

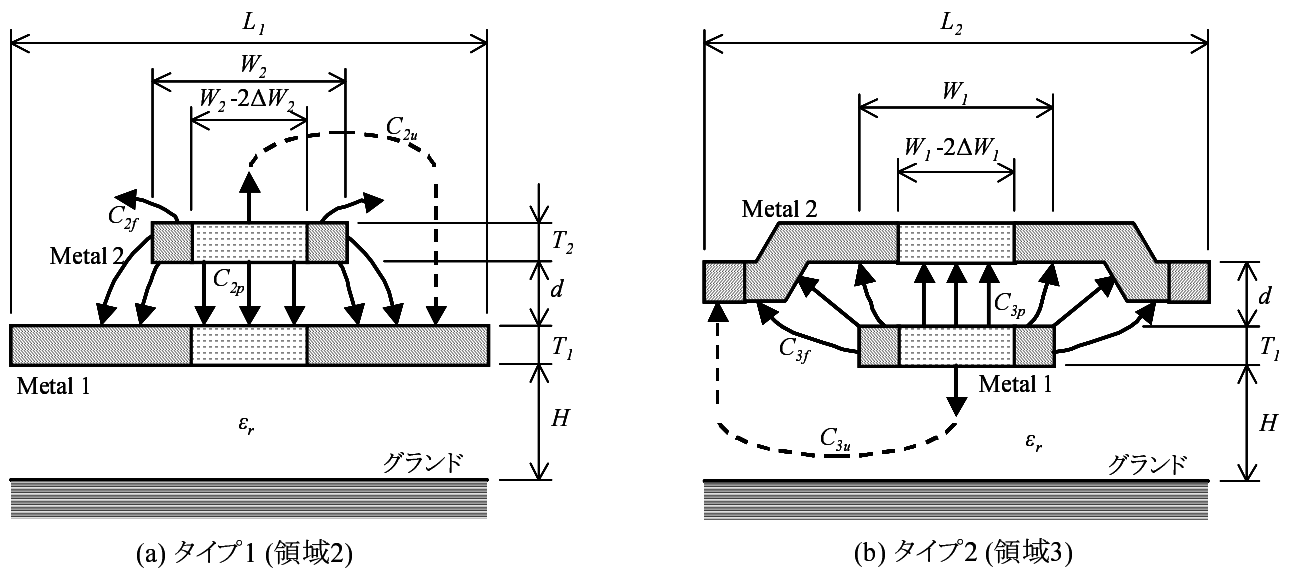


図 3.2 配線交差構造の二次元容量モデル

これらの二次元容量モデルを用いて配線交差部を以下の 4 つの領域に分割する。ただし、領域 2、および領域 3 は領域 1 を含む。

(1) 領域 1: 理想平行平板領域 (図 3.1(b)).

- (2) 領域 2: 二次元容量モデル・タイプ 1 を適用する平行平板領域 (図 3.1(c)).
- (3) 領域 3: 二次元容量モデル・タイプ 2 を適用する平行平板領域 (図 3.1(d)).
- (4) 領域 4: 配線全体から領域 1, 2, 3 を減じた残りの領域 (図 3.1(e)).

これらの各領域の容量値をそれぞれ C_1, C_2, C_3 , および C_4 とすると配線交差部における配線間容量の合計 C_a は次式により求められる.

$$C_a = -C_1 + C_2(W_1 - 2\Delta W_1) + C_3(W_2 - 2\Delta W_2) + C_4 \quad [F] \quad (3.1)$$

3.2.2 平行配線構造

二平行配線について、隣接配線位置などの周囲条件の容量値に与える影響を調べるため、図 3.3 に示す二次元モデルに二次元電磁界シミュレーション^[21]を適用する. ここで、図 3.3 において、矩形 M_1, M_2, M_3, M_4 は四平行配線の断面を表し、各々のグランドとの距離は、高位置 H_2 , および低位置 H のいずれかに設定される. また、 C_{23}, W, T, S, d を各々、 M_2 と M_3 との間の容量、配線幅、配線導体厚、配線間水平方向距離、配線間垂直方向距離とし、後者四変数については、 $W=1\mu\text{m}, T=0.5\mu\text{m}, S=1\mu\text{m}, d=1\mu\text{m}$ とする.

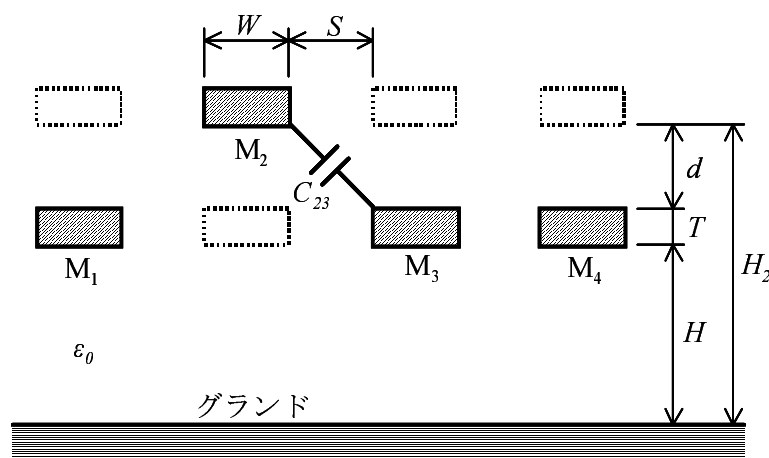


図 3.3 平行配線間容量評価用構造

結果を表 3.1 に示す. 表において、第 1 行ないし第 4 行は M_2, M_3 とともに低位置 H に配置された場合を、第 5 行ないし第 8 行は M_2, M_3 とともに高位置 H_2 に配置された場合を、第 9 行ないし第 13 行は M_2 が低位置 H に、 M_3 が高位置 H_2 に配置された場合を表している. また、第 4 行、第 8 行、第 13 行においては、 M_1, M_4 とともに存在しない場合を表している.

表 3.1 平行配線における配線間容量

	グランドとの距離				C_{23}/ε_r [aF/ μm]			モデル タイプ
	M_1	M_2	M_3	M_4	H/d = 10	H/d = 100	H/d = 1000	
1	H	H	H	H	12.8	13.4	13.5	n-1
2	H	H	H	H_2	12.7	13.3	13.5	n-1
3	H_2	H	H	H_2	12.8	13.6	13.9	n-1
4	-	H	H	-	15.8	18.9	20.1	2-1
5	H	H_2	H_2	H	13.2	13.7	13.8	n-1
6	H	H_2	H_2	H_2	13.0	13.4	13.5	n-1
7	H_2	H_2	H_2	H_2	12.9	13.4	13.5	n-1
8	-	H_2	H_2	-	16.0	18.9	20.1	2-1
9	H	H	H_2	H	8.8	9.4	9.6	n-2
10	H	H	H_2	H_2	9.0	9.6	9.8	n-2
11	H_2	H	H_2	H	9.0	9.6	9.8	n-2
12	H_2	H	H_2	H_2	8.6	9.3	9.5	n-2
13	-	H	H_2	-	12.2	15.4	16.6	2-2

表 3.1 より，配線幅 W ，配線導体厚 T ，配線間水平方向距離 S ，配線間水平方向距離 d 等のパラメータに比べてグランドとの距離 H が十分に大きい時には，隣接配線 M_1 ， M_4 の有無により容量値は最大 30% 減少したが，隣接配線の高さの違いは容量値にはほとんど影響しないという結果が得られた。

この結果から，平行配線をモデル化するために図 3.4 に示す以下の 6 種類の二次元容量モデルを考慮すれば十分であると言える。ただし，図中の矩形は平行配線の断面である。

- (a) タイプ 2-1: 隣接配線のない同層平行配線
- (b) タイプ 2-2: 隣接配線のない異層平行配線
- (c) タイプ n-1: 片側に隣接配線のある同層平行配線
- (d) タイプ n-2: 片側に隣接配線のある異層平行配線
- (e) タイプ n-3: 両側に隣接配線のある同層平行配線
- (f) タイプ n-4: 両側に隣接配線のある異層平行配線

3.3 配線交差構造における寄生容量近似式

本節では，配線交差部の各領域における容量近似式の導出と，その評価結果について述べる。

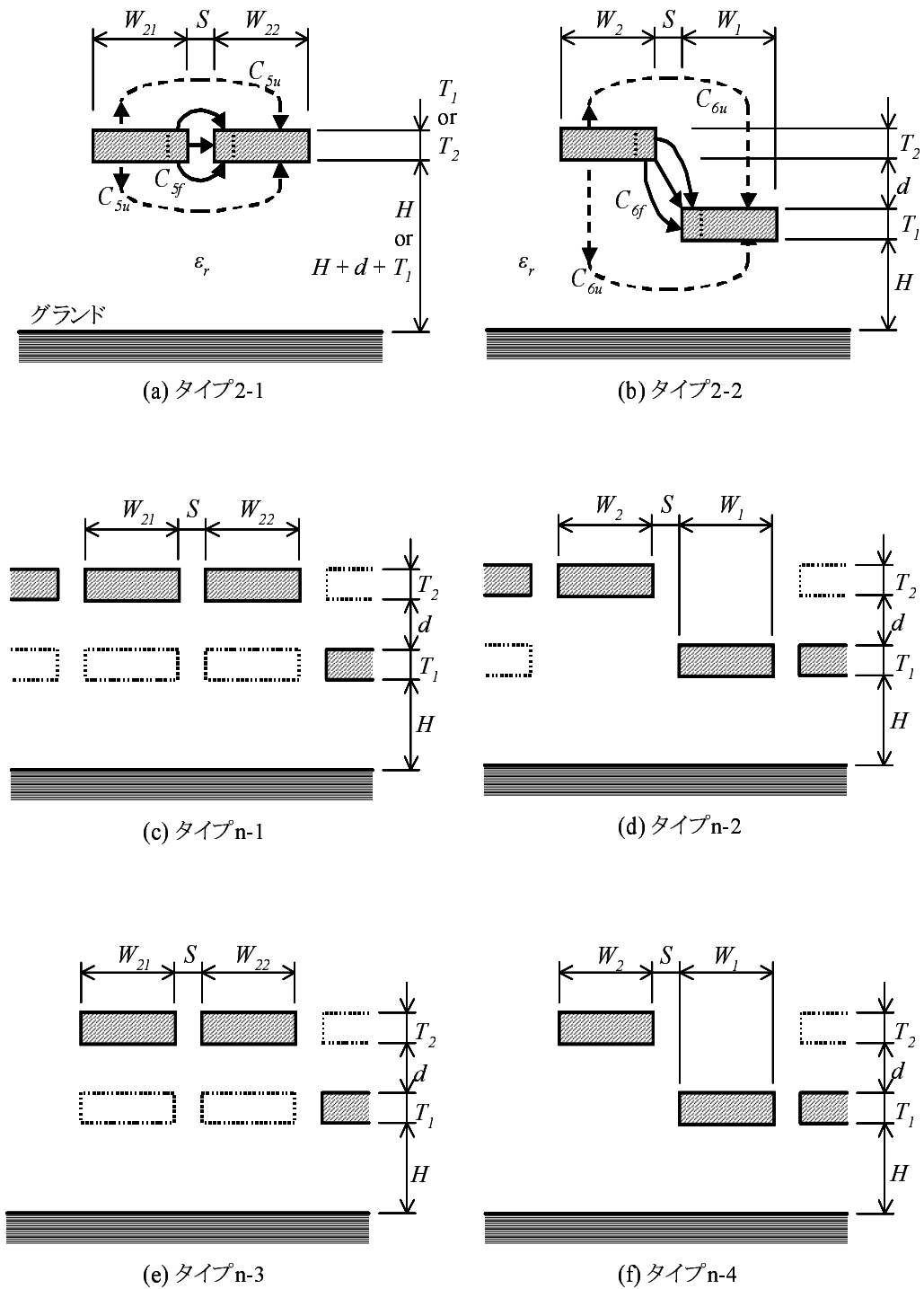


図 3.4 平行配線構造に対する二次元容量モデル

3.3.1 領域分割と各領域の容量近似式の導出

図 3.1(b) に示す領域 1 は、理想平行平板として定義しているため、その容量値 C_1/ε_r は次式の理論式で計算される。

$$\frac{C_1}{\varepsilon_r} = \frac{\varepsilon_0(W_1 - 2\Delta W_1)(W_2 - 2\Delta W_2)}{d} \quad [\text{F}] \quad (3.2)$$

ここで、 ε_0 および ε_r は各々、真空の誘電率、絶縁層比誘電率を表す。他の領域については理論式で表現するのは困難であるため、領域 2, 3 については図 3.2 に示した二次元容量モデルを適用し、二次元電磁界シミュレーション^[21]を用いて容量値を計算する。一方、領域 4 については計算時間を必要とする三次元電磁界シミュレーションを用いて計算せざるをえないが、分割をしない場合と比べて、計算すべきパターン数を減らすことができる。

以後、各領域に対する容量近似式導出の手順を述べるが、前提条件として、導体厚が $T_1/d = T_2/d = 0.5$ であり、グランド平面は Metal 1 の下方 $H/d=700$ の距離にあり、Metal 2 の上部は真空であるものとする。第 3.3.3 項で用いる三次元電磁界シミュレーションも同じ前提条件のもとで実行し、計算には自動メッシュ切り機能を用いる。

最初に、図 3.1(c) に示す領域 2 の容量値 C_2 の近似式を導出する。その最初のステップとして、Metal 2 のフリンジ領域部分との間でフリンジ容量を生じる Metal 1 の部分である容量結合範囲の長さ $(L_1 - W_2)/d$ を決定する。具体的には、二次元電磁界シミュレーションを用い、 $(L_1 - W_2)/d$ を変化させて容量値 C_2/ε_r の変化を調べる。 $W_2/d=1$ としたときの結果を図 3.5 に示す。図から、 $(L_1 - W_2)/d \geq 10$ の場合には C_2/ε_r が飽和しているのがわかる。 $W_2/d=3$ としたときも同じ範囲で飽和することから、容量結合範囲長 $(L_1 - W_2)/d=10$ とする。すなわち、Metal 2 の隣接配線との距離が $5d\mu\text{m}$ 以上ならば、図 3.2(a) で示した二次元容量モデルにより領域 2 の容量 C_2 が計算できる。

次に、 $L_1/d=W_2/d+10$ として W_2 と容量値 C_2/ε_r との関係を二次元電磁界シミュレーションを用いて調べた。シミュレーション結果を図 3.6 に示す。本図から、 W_2 が小さい領域を除いて、 W_2 と容量値はほぼ線形の関係となっていることが判明する。そこで、 W_2 が小さい領域での容量値変化の様子を考慮するため、容量値 C_2/ε_r の近似式の項として W_2 の平方根関数を導入し、回帰操作により係数を求める。その結果、容量値 C_2/ε_r の近似式として次式が得られる。

$$\frac{C_2}{\varepsilon_r} = 19.7 + 2.81\sqrt{\frac{W_2}{d}} + 8.37\frac{W_2}{d} \quad [\text{aF}/\mu\text{m}] \quad (3.3)$$

領域 3 についても、領域 2 と同様の手順で容量近似式を導出する。すなわち、容量結合範囲長 $(L_2 - W_1)/d$ を決定するため、 $(L_2 - W_1)/d$ を変化させて容量値 C_3/ε_r の変化を調べる。 $W_1/d=1$ としたとき、 $(L_2 - W_1)/d \geq 10$ で C_3/ε_r が飽和していることから、 $L_2/d=W_1/d+10$ として W_1 と容量値 C_3/ε_r との関係を調べる。最後に回帰操作を行うことにより次式が得られた。

$$\frac{C_3}{\varepsilon_r} = 20.30 + 6.49\sqrt{\frac{W_1}{d}} + 7.84\frac{W_1}{d} \quad [\text{aF}/\mu\text{m}] \quad (3.4)$$

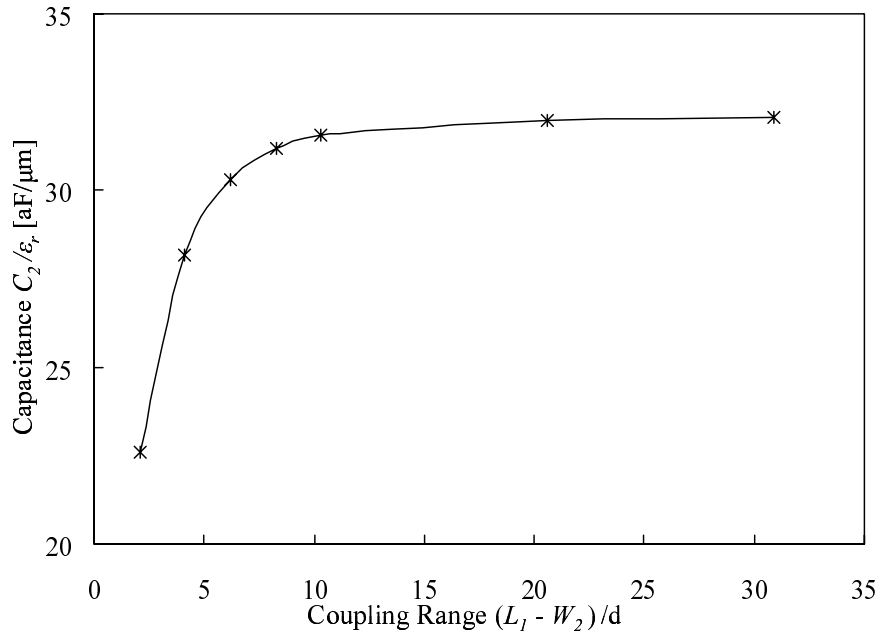


図 3.5 領域 2 における容量値 C_2/ϵ_r 対容量結合範囲 $(L_1 - W_2)/d$ ($T_2/d=0.5$)

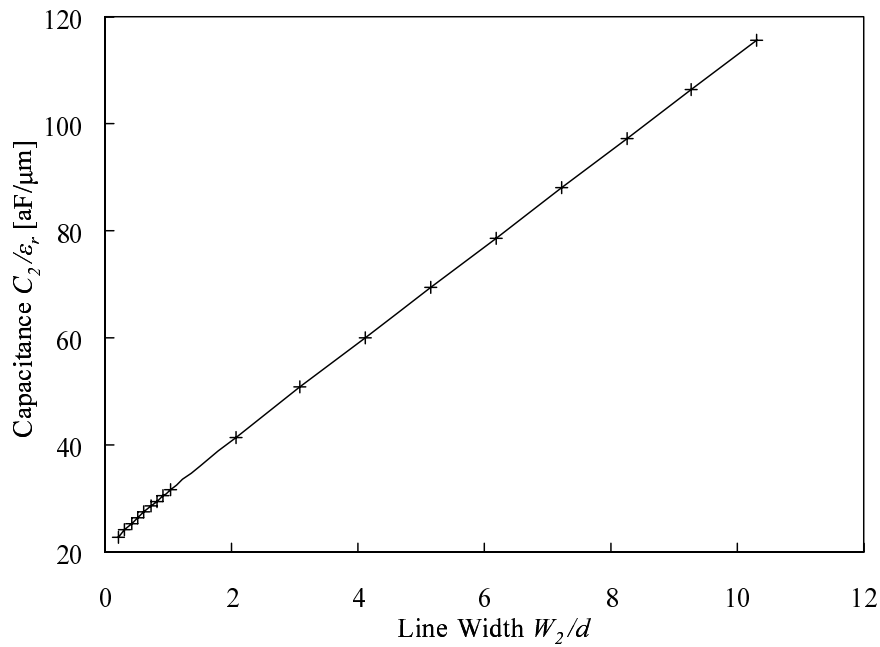


図 3.6 領域 2 における容量値 C_2/ϵ_r 対配線幅 W_2/d ($T_2/d=0.5$)

領域 4 では、容量値 C_4/ε_r の近似式を導出するため、配線構造を図 3.1(f) に示す構造に簡単化する。その結果、容量値 C_4/ε_r は配線幅 $2\Delta W_1$, $2\Delta W_2$, および配線長 $L_1-(W_2-2\Delta W_2)$, $L_2-(W_1-2\Delta W_1)$ の関数となるが、ここでは、第 3.3.2 項で示すように、 ΔW_1 , ΔW_2 を実験的に求めた最適値に固定する。そこで、 $L=L_1-(W_2-2\Delta W_2)=L_2-(W_1-2\Delta W_1)$ のみを容量値 C_4/ε_r のパラメータとして扱う。例えば、 $\Delta W_1/d=1.4$, $\Delta W_2/d=0.25$ とする場合、配線長 L をパラメータとして容量値 C_4/ε_r を三次元電磁界シミュレーションを用いて計算した結果を図 3.7 に示す。結果に回帰操作を行うことにより次式が得られる。

$$\frac{C_4}{\varepsilon_r} = -54.4 + 69.6\sqrt{\frac{L}{d}} + 0.123\frac{L}{d} \text{ [aF]} \quad (3.5)$$

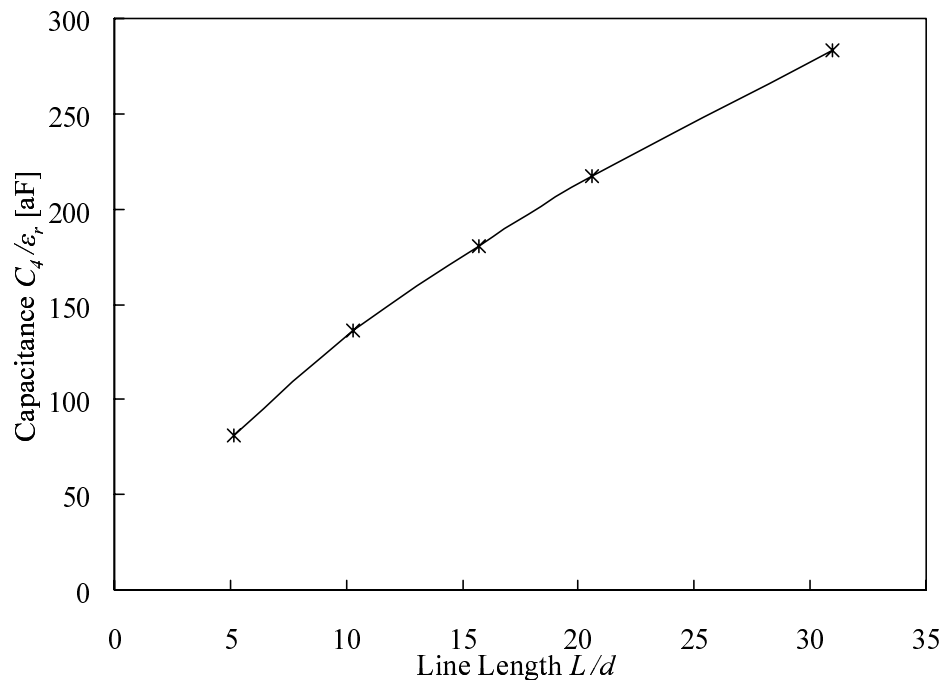


図 3.7 領域 4 における容量値 C_4/ε_r ($T_1/d=T_2/d=0.5$)

3.3.2 フリンジ領域幅の決定

上述のパラメータのうち、配線幅 W_1 , W_2 , および配線長 L_1 , L_2 は設計ルールにより、あるいはパターン設計の段階で決定される。一方、フリンジ領域幅 ΔW_1 , ΔW_2 は任意に設定することができる。そこで、式 (3.1) で与えられる配線交差構造に対する配線間容量近似式 C_a の精度を高めるよう、以下の手順で実験的にフリンジ領域幅 ΔW_1 , ΔW_2 を決定する。

まず最初に領域2におけるフリンジ領域幅 W_2 について検討する．領域2の容量値 C_2/ε_r は式(3.6)で与えられる理想平行平板容量 C_{2p}/ε_r を含んでいる．

$$\frac{C_{2p}}{\varepsilon_r} = \frac{\varepsilon_0 W_2}{d} \text{ [F}/\mu\text{m}] \quad (3.6)$$

そこで， C_2/ε_r より C_{2p}/ε_r を差し引いた結果を図3.8に示す．同図は配線幅 W_2/d とフリンジ容量の関係を表しており， $W_2/d \approx 1$ で曲線の曲率が変化し， $W_2/d > 2$ ではフリンジ容量が線形増加していることが分かる．この線形増加は，図3.2(a)の破線矢印で示されるような上層導体 Metal 2の上表面と下層導体 Metal 1の上表面との間の容量結合に起因していると考えられる．図3.8の直線部分の傾きを K_{2u} とするとき，その容量 C_{2u} は次式で与えられる．

$$\frac{C_{2u}}{\varepsilon_r} = \frac{K_{2u} W_2}{d} \text{ [F}/\mu\text{m}] \quad (3.7)$$

係数 K_{2u} は図3.8の直線部分の傾きより計算することができる．また，図3.2(a)に示す様に，領域2の容量値 C_2 は C_{2p} ， C_{2u} ，およびフリンジ容量 C_{2f} で構成される．すなわち，フリンジ容量 C_{2f} は次式を用いて計算される．

$$C_{2f} = C_2 - C_{2p} - C_{2u} \text{ [F}/\mu\text{m}] \quad (3.8)$$

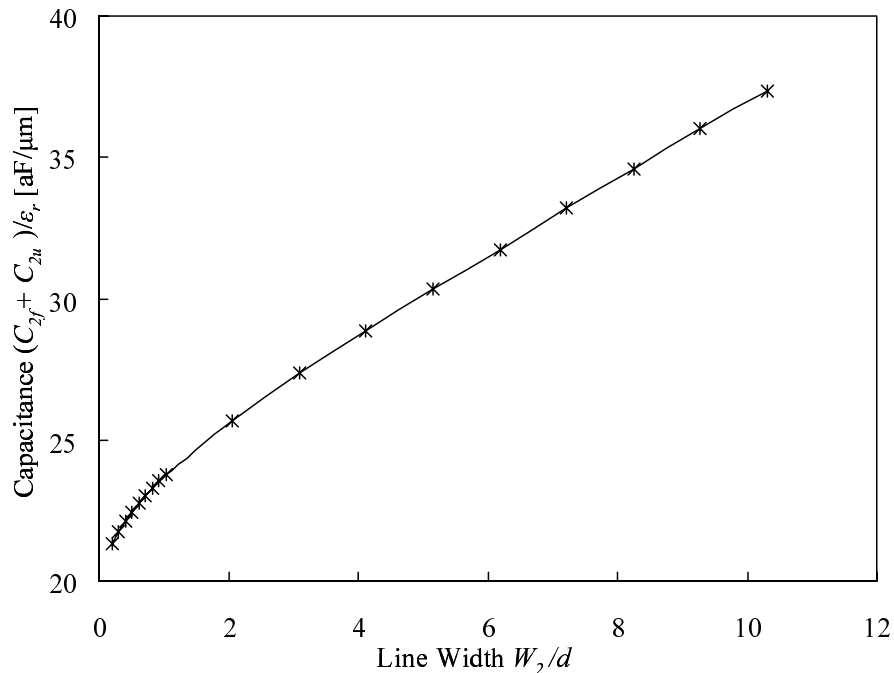


図 3.8 領域2における容量値 $(C_{2f} + C_{2u})/\varepsilon_r$ ($T_2/d=0.5$)

図 3.9 に、種々の導体厚 T_2 に対するフリンジ容量 C_{2f} の計算結果を示す．本図で破線で示すように、配線幅 W_2 が、ある値 f_{W_2} より大きくなると、フリンジ容量が一定値となること分かる．

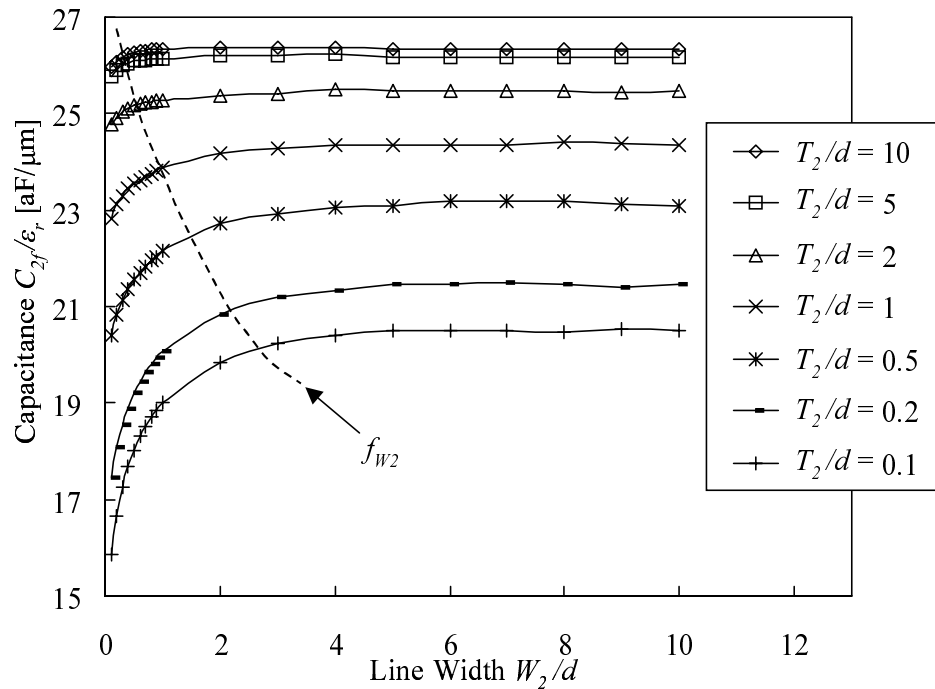


図 3.9 領域 2 におけるフリンジ容量 C_{2f}/ϵ_r

これは、 $W_2 > f_{W_2}$ の状態ではフリンジ領域における電界分布が変化しないことを表している．すなわち、 $f_{W_2}/2$ はフリンジ領域幅 ΔW_2 を表すこととなる．

また、図 3.9 は、 $T_2/d \leq 1$ で f_{W_2} が T_2 に反比例することを示しており、 $f_{W_2}(T_2)$ は T_2 の逆数関数で表される．回帰操作により求めた $f_{W_2}(T_2)$ の近似式を次式に示す．

$$\frac{f_{W_2}(T_2)}{d} = \frac{3.27}{\frac{T_2}{d} + 0.98} - 1.42 \quad (3.9)$$

$T_2/d > 1$ では、 f_{W_2}/d は一定値 0.1 とし、従ってフリンジ領域幅を $\Delta W_2/d = 0.05$ とする．

領域 3 についても、領域 2 と同様の手順でフリンジ領域幅を決定する．まず、図 3.10 に、種々の導体厚 T_1 に対するフリンジ容量 C_{3f} の計算結果を示す．図から、 $W_1 > f_{W_1}(T_1)$ に対してフリンジ容量 C_{3f} が一定となる関数 $f_{W_1}(T_1)$ を回帰操作を用いて導出する． $T_1/d \leq 5$ の場合、 $f_{W_1}(T_1)$ は次式で与えられる．

$$\frac{f_{W_1}(T_1)}{d} = \frac{11.9}{\frac{T_1}{d} + 2.78} - 1.35 \quad (3.10)$$

式 (3.10) を用い、 $T_1/d \leq 5$ の場合、領域 3 におけるフリンジ領域幅は $\Delta W_1 = f_{W_1}(T_1)/2$ で与えられる． $T_1/d > 5$ の場合、 $\Delta W_1/d = 0.05$ とする．

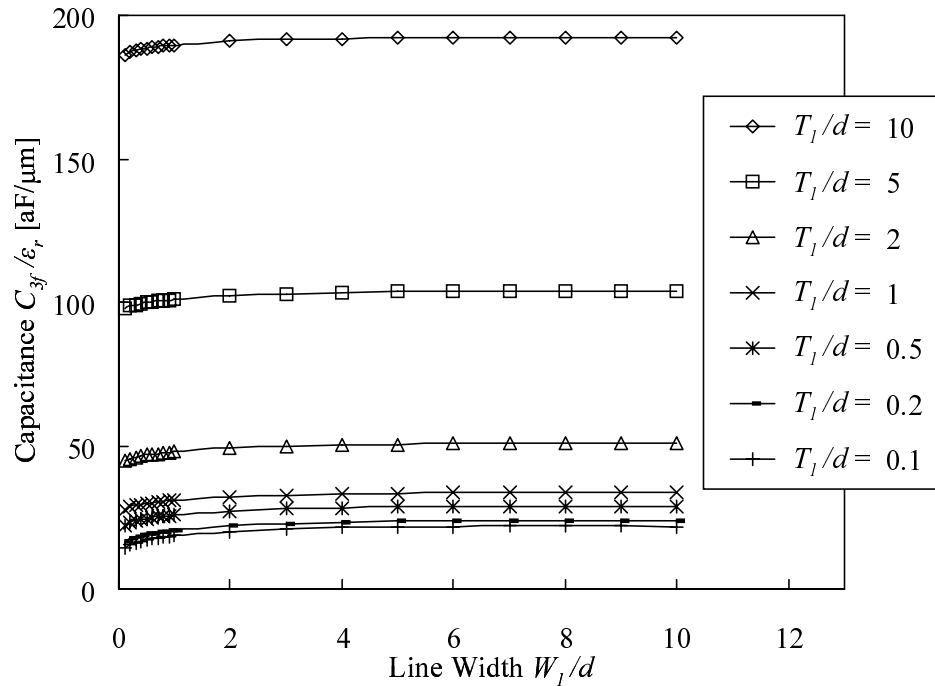


図 3.10 領域 3 におけるフリンジ容量 C_{3f}/ϵ_r

式 (3.9) および式 (3.10) は、導体厚 (T_1, T_2) が大きくなればなるほど、フリンジ領域幅が狭くなることを表している。これは、導体厚が大きくなるほど、導体側面で発生するフリンジ容量が支配的になるためと考えられる。円柱モデルを用いる従来手法^[17]では、フリンジ領域幅は導体厚の 2 分の 1 に固定されており、同現象を扱うことができず、提案手法の優位性が明らかとなる。

3.3.3 評価実験と結果の考察

配線交差構造における容量近似式 (3.1) の精度評価のため、および、フリンジ領域幅 $\Delta W_1/d, \Delta W_2/d$ の設定値の妥当性について確認するため、領域分割を行わずに三次元電磁界シミュレーション^[21]を用いて直接配線間容量 C_s を算出した。また、式 (3.9) および式 (3.10) を用いて、提案手法により決定されたフリンジ領域幅を各々 $\Delta W_1^0/d, \Delta W_2^0/d$ とする時、 $\Delta W_1^0/d, \Delta W_2^0/d$ を中心にフリンジ領域幅を変化させ、提案容量近似式の値 C_a を求め、 C_s と比較する。ただし、ここでは $T_1/d = T_2/d = 0.5$ として、式 (3.9) および式 (3.10) に代入することにより算出したフリンジ領域幅 $\Delta W_1^0/d = f_{W_1}(T_1)/2d = 1.1$ 、および $\Delta W_2^0/d = f_{W_2}(T_2)/2d = 0.4$ を用いるものとする。

比較結果を図 3.11 に示す。図では、相対誤差算出式として、式 (3.11) を用いた。

$$E(C_a) = \frac{100(C_a - C_s)}{C_s} [\%]. \quad (3.11)$$

図 3.11 より，フリンジ領域幅 ΔW_1 ， ΔW_2 を提案手法により決定した値，すなわち，各々 $f_{W_1}(T_1)/2$ ， $f_{W_2}(T_2)/2$ に設定することによって，相対誤差が 5%以内となることを確認した．

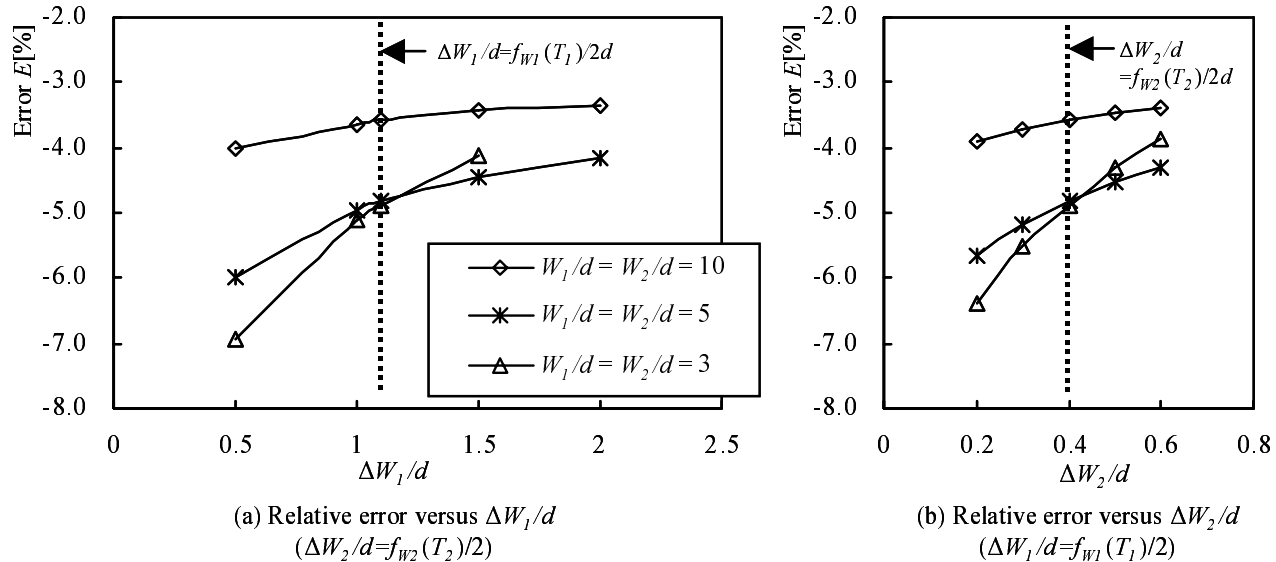


図 3.11 配線交差構造における容量近似式相対誤差 ($T_1/d = T_2/d = 0.5$).

また，評価実験により， $H/d \geq 10$ の条件下で，提案手法の容量近似誤差が 5%以下となることを確認し，同条件での提案手法の有効性を確認した．一方， $H/d < 10$ の条件においては，領域 4 での回帰誤差が増加し，全体の近似誤差も増加することが考えられる．その原因として，図 2.4 および図 2.5 に示したように， H/d が小さい場合，配線長が増加するに従い，領域 4 の容量値 C_4 は一定値となるが，領域 4 の容量近似式 (式 (3.5)) の関数型が，この現象を精度良く表現できないことが考えられる．なお，領域 2，および領域 3 では， H/d が小さい場合においても近似式の見誤差は増加しないことを確認している．

次に，表 3.2 に，配線交差構造において，領域分割を行わずに直接三次元電磁界シミュレーションを用いて求めた配線間容量値 C_s ，およびシミュレーションに要した CPU 時間を示す．表から，一配線交差部につき，約 550 秒の計算時間を要することが分かる．

表 3.3 に，提案手法の適用に要する CPU 時間を示す．領域 2 および領域 3 に対しては，図 3.6 に示す様に，二次元電磁界シミュレーションを 18 回繰り返すことにより回帰操作に必要なポイント数の容量値を求めた．二次元電磁界シミュレーション実行に要した CPU 時間の合計は，領域 2 で 19.80 秒，領域 3 で 45.0 秒であった．領域 4 に対しては，三次元電磁界シミュレーションを 5 回繰り返すことにより回帰操作に必要なポイント数の容量値を求めている．ここで，式 (3.9) および式 (3.10) を用いることによ

表 3.2 配線交差構造における配線間容量 $C_s/\epsilon_r(T_1/d=T_2/d=0.5)$.

配線幅 $W_1/d=W_2/d$	配線長 $L_1/d=L_2/d$	三次元電磁界シミュレーション (FEM)		
		C_s/ϵ_r [aF]	グリッド数	CPU 時間 [Sec]*
3.0	13.0	365	328,320	525.92
5.0	15.0	578	328,320	545.51
10.0	20.0	1,500	355,680	548.19

*CPU:Ultra SPARCIII 900MHz, メモリ:5GB

り、領域4の配線幅は配線導体厚の関数として一意的に決定される。従って、領域4の容量は配線長のみの関数となる。また、図3.7に示す様に、領域4の容量は配線長の増加に従って緩やかに増加しており、配線長が大きくなるとほぼ線形増加となっていることが分かる。以上のことから、領域4において、式(3.5)に示すような容量近似式を回帰操作により導出するためには、配線長をパラメータとする数回程度の電磁界シミュレーションの実行で十分であると考えられる。今回のシミュレーションでは、配線長 $5 \leq L \leq 30$ の範囲で、 $5\mu\text{m}$ 間隔となるようポイントを取り、線形増加部分でポイントを削減し、合計ポイント数を5とした。また、それらの実行に要するCPU時間は2,800秒程度となっている。

表 3.3 提案手法実行に要するCPU時間

領域名	領域2	領域3	領域4
シミュレーション手法	二次元 FEM	二次元 FEM	二次元 FEM
回帰操作のためのポイント数	18	18	5
CPU 時間 [Sec]*	19.80	45.00	2803.32
総 CPU 時間 [Sec]*	2868.12		
パラメータ範囲	$0.2 \leq W_1/d, W_2/d \leq 10$ $5 \leq L_1/d=L_2/d \leq 40$		

*CPU:Ultra SPARCIII 900MHz, メモリ:5GB

提案手法の適用対象となる回路では、導体寸法を任意に設定することができる。その結果、考えうる配線交差構造のタイプ数、すなわち、 $W_1/d, W_2/d, L_1/d, L_2/d$ 等の寸法の組合せ数が膨大となる。それら全タイプの配線交差構造に対して、提案手法を用いることにより、三次元電磁界シミュレーションを用いる場合に比べ、遥かに高速で容量抽出を行うことが可能となる。すなわち、提案手法では全タイプの配線交差構造に対して2,868秒の計算で容量抽出が可能であるが、三次元電磁界シミュレーションを用いる場合、一種類の配線交差構造の容量抽出に約550秒必要となり、提案手法の優位性が示される。

3.4 平行配線構造における寄生容量近似式

本節では，図 3.4 に示したタイプの平行配線構造に対して，単位長あたりの配線間容量近似式を導出する．

3.4.1 容量近似式の導出

近似式導出のために，まず最初に二次元電磁界シミュレーションを用い，導体寸法を可変として配線間容量を計算する．次に，得られた結果に対して，回帰操作を適用することで容量近似式を得る．

図 3.4(a) に示したタイプ 2-1 の平行配線について，配線間容量 C_5/ϵ_r を，同一配線幅 $W=W_{21}=W_{22}$ および配線間隔 $S/d=1$ の条件で解析した結果を図 3.12 に示す．図から，配線幅 W が十分大きければ，容量値 C_5/ϵ_r は配線幅 W に対してほぼ線形で増加していることが分かる．この現象は，図 3.4(a) の破線矢印で示される配線の上面同士，および下面同士の結合容量 C_{5u} が，配線幅 W に対して線形に増加することによるものであり，図 3.2 および図 3.8 に示す結合容量 C_{2u} と同様のものであると考えられる．

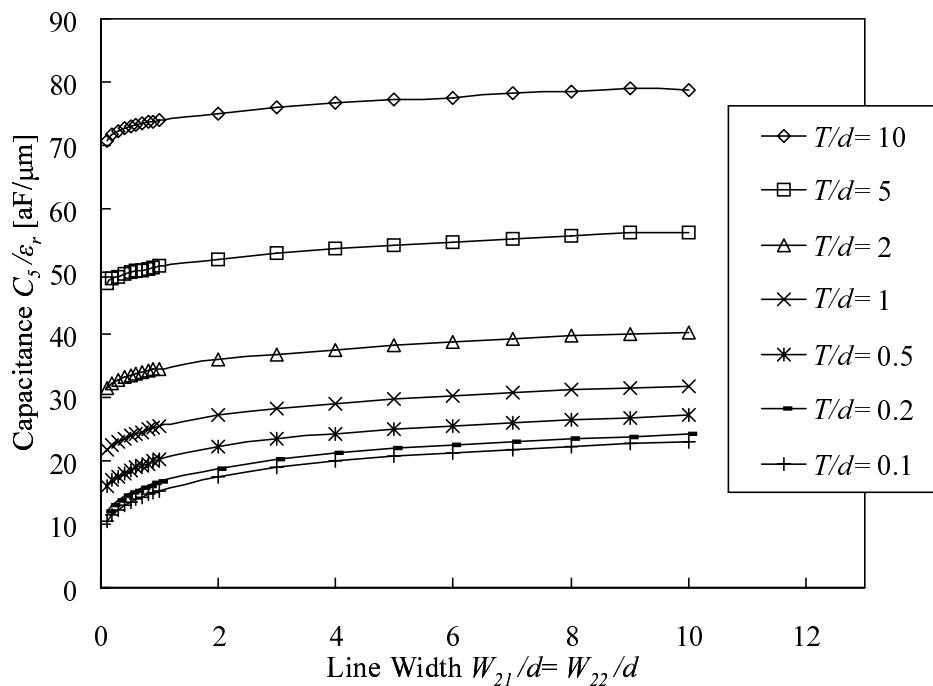


図 3.12 タイプ 2-1 平行配線における配線間容量 C_5/ϵ_r

以上の観測から， C_5/ϵ_r は W に比例し S に反比例する成分を持つと考え，近似式に W および $1/S$ の項を設ける．また，領域 2 の近似式 (式 (3.3)) と同様にして，それらの平方根の項 \sqrt{W} および $1/\sqrt{S}$ をも設けることとする．そこで，導体厚 $T_2/d=0.5$ の場合について，回帰操作により導出した同一配線幅

$W_{21}=W_{22}=W$ の容量近似式 $C_5^0(W, S)/\varepsilon_r$ を次式に示す .

$$\begin{aligned} \frac{C_5^0(W, S)}{\varepsilon_r} = & 3.01 + 0.34\frac{W}{d} - 1.14\sqrt{\frac{W}{d}} \\ & + \frac{8.78 + 0.43\frac{W}{d} - 4.36\sqrt{\frac{W}{d}}}{\frac{S}{d}} \\ & + \frac{3.05 - 1.50\frac{W}{d} + 11.7\sqrt{\frac{W}{d}}}{\sqrt{\frac{S}{d}}} [\text{aF}/\mu\text{m}] \end{aligned} \quad (3.12)$$

配線幅が異なる場合 $W_{21} \neq W_{22}$ には, 次式に示すように相加平均をとることにより, 配線間容量 $C_5(W_{21}, W_{22}, S)/\varepsilon_r$ を計算する .

$$C_5(W_{21}, W_{22}, S) = \frac{C_5^0(W_{21}, S) + C_5^0(W_{22}, S)}{2} [\text{aF}/\mu\text{m}] \quad (3.13)$$

他のタイプの平行配線に対しても, 同様の手順で容量近似式を導出することができる . 配線 M_2 および M_3 が同一幅 W , 導体厚 $T_1/d=T_2/d=0.5$ の場合, タイプ 2-2 の容量近似式 $C_6^0(W, S)/\varepsilon_r$, タイプ n-1 の容量近似式 $C_7^0(W, S)/\varepsilon_r$, タイプ n-2 の容量近似式 $C_8^0(W, S)/\varepsilon_r$ を以下に示す .

$$\begin{aligned} \frac{C_6^0(W, S)}{\varepsilon_r} = & 1.80 + 0.35\frac{W}{d} - 1.22\sqrt{\frac{W}{d}} \\ & + \frac{-0.47 + 0.59\frac{W}{d} - 5.13\sqrt{\frac{W}{d}}}{\frac{S}{d}} \\ & + \frac{9.31 - 1.70\frac{W}{d} + 12.87\sqrt{\frac{W}{d}}}{\sqrt{\frac{S}{d}}} [\text{aF}/\mu\text{m}] \end{aligned} \quad (3.14)$$

$$\begin{aligned} \frac{C_7^0(W, S)}{\varepsilon_r} = & 3.38 + 0.20\frac{W}{d} - 0.68\sqrt{\frac{W}{d}} \\ & + \frac{6.50 - 0.07\frac{W}{d} - 1.27\sqrt{\frac{W}{d}}}{\frac{S}{d}} \\ & + \frac{3.57 - 0.72\frac{W}{d} + 7.68\sqrt{\frac{W}{d}}}{\sqrt{\frac{S}{d}}} [\text{aF}/\mu\text{m}] \end{aligned} \quad (3.15)$$

$$\begin{aligned} \frac{C_8^0(W, S)}{\varepsilon_r} = & 1.31 - 0.06\frac{W}{d} - 0.06\sqrt{\frac{W}{d}} \\ & + \frac{-7.62 - 0.75\frac{W}{d} + 1.98\sqrt{\frac{W}{d}}}{\frac{S}{d}} \\ & + \frac{14.28 - 0.16\frac{W}{d} + 5.32\sqrt{\frac{W}{d}}}{\sqrt{\frac{S}{d}}} [\text{aF}/\mu\text{m}] \end{aligned} \quad (3.16)$$

配線幅が異なる場合は，式 (3.13) と同様の相加平均計算式を用いることによって，容量値を計算することができる．

3.4.2 評価実験と結果の考察

以上のように導出した容量近似式に対して，二次元電磁界シミュレーションを用いて計算した容量値と比較することによって，近似誤差を評価する．

まず，タイプ 2-1 の平行配線について，配線幅が同一の場合の容量近似式 (式 (3.12)) の値と，二次元電磁界シミュレーションを用いて計算した容量値 C_s とから，相対誤差を求めた結果は $E(C_5^0(W, S))=0.5\%$ である．ここで，相対誤差 $E()$ の算出には式 (3.11) を用いた．

また，タイプ 2-1 の平行配線の配線幅が異なる場合の容量近似式 (式 (3.13)) の相対誤差 $E(C_5(W_{21}, W_{22}, S))$ は，配線幅 W_{21}/d および W_{22}/d の差が 8 以下の場合，4.8% 以下となる．図 3.13 に，種々の配線幅 W_{21}/d ， W_{22}/d の組合せに対する容量近似式の相対誤差 $E(C_5(W_{21}, W_{22}, S))$ を示す．

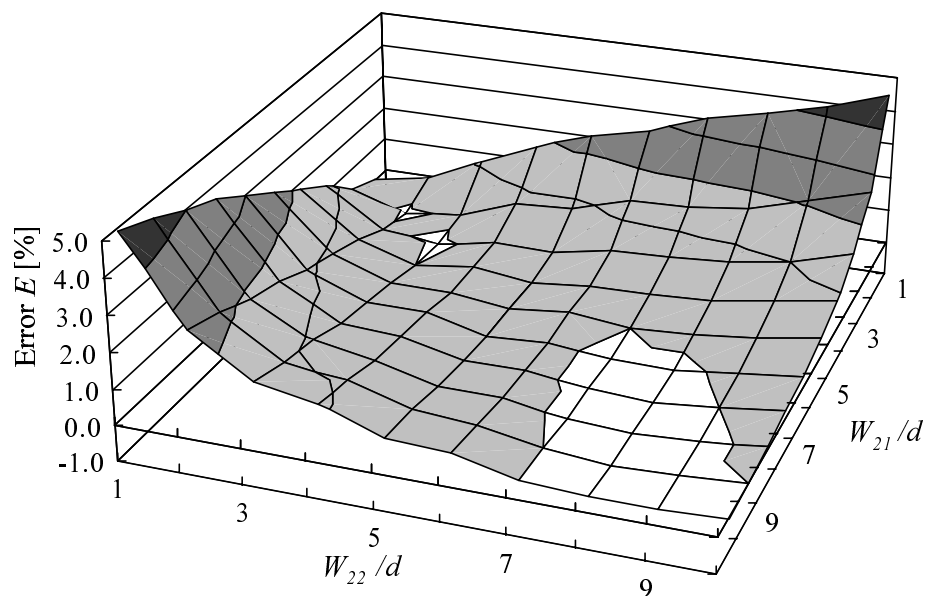


図 3.13 タイプ 2-1 平行配線における容量近似式相対誤差 ($S/d=1, T_2/d=0.5$)

他のタイプの平行配線に対して，配線が同一幅の場合，タイプ 2-2 の容量近似式 (式 (3.14))，タイプ n-1 の容量近似式 (式 (3.15))，タイプ n-2 の容量近似式 (式 (3.15)) の相対誤差は，タイプ 2-1 の場合と同様に 0.5% である．配線幅が異なる場合には，各タイプの容量近似式の相対誤差は 5% 以下となる．

3.5 結言

本章では、液晶パネルにおける二配線の基本構造である配線交差構造と平行配線構造に対して、回路動作に影響を与える寄生容量抽出のためのモデリング方法を提案した。配線交差構造に対して、導体を二次元容量モデルにより容量計算が可能な領域に分割し、二次元電磁界シミュレーションの適用結果に回帰操作を施すことにより、計算量を削減することができた。平行配線構造に対して、周囲の配線分布に基づいてタイプ分けを行い、各々で二次元電磁界シミュレーションの適用結果に回帰操作を施すことにより、効率よく近似式を導出することができた。得られた近似式での計算結果と三次元電磁界シミュレーションによる計算結果を比較したところ、相対誤差は5%以内に収まることが確認できた。

第4章

プリント基板部の電源供給系における等価共振回路モデル生成手法

4.1 緒言

本章では液晶表示装置において、高速回路を搭載したプリント基板の電源供給系のインピーダンス特性を集中定数等価回路モデルを用いて解析し、共振周波数の制御を行う手法について考察する。まず、電源グランド層とバイパスキャパシタからなる等価共振回路を構成し、精度良く共振周波数を求める手法を提案する。次に、キャパシタの均等配置により対称回路を形成し、電源グランド層の共振周波数を波源の周波数成分が減少するカットオフ周波数以上に押し上げ、制御する手法を提案する。また、本手法の実用性をシミュレーションと実測により確認する^[37]。

4.2 寄生素子からなる等価共振回路モデルの生成

最初に、プリント基板の電源供給系を構成する電源・グランド層に対して、配線導体の寄生素子成分である容量 C 、インダクタンス L 、および抵抗 R を集中定数回路素子で表現し、それらを組み合わせることによって、電源・グランド層の詳細共振等価回路モデルを生成する^[30,31]。

まず、図 4.1(a) に示すように、電源・グランド層を一辺の長さを u とする正方領域に分割し、各領域の四隅に等価回路モデルで用いる節点を配置する。次に、電源・グランド間の容量成分を計算するため、図 4.1(b) に示すように、節点位置は固定し、正方領域の境界線のみを電源・グランド層の幅方向、奥行き方向に、それぞれ $u/2$ ずつシフトさせる。図 4.1(b) の中央部分の正方領域 (図 4.3(a)) の等価回路は、図 4.3(b) に示すようなキャパシタとなり、その容量値 C は式 (4.1) で与えられる。ここで、 ϵ 、 u 、 d は、それぞれ、電源グランド層間誘電体の誘電率、分割領域の 1 辺の長さ、層間距離である。また、四辺上の領域、および四隅の領域の面積は中央部の正方領域の面積の $1/2$ 、 $1/4$ となるため、各々の等価回路の

容量値は $C/2$, $C/4$ となる。

$$C = \frac{\varepsilon u^2}{d} \quad (4.1)$$

次に、電源・グランド層の横幅方向インダクタンス値、抵抗値を計算するため、図 4.1(a) の境界線を図 4.2(a) に示すように、導体面の奥行き方向に $u/2$ シフトさせる。図 4.2(a) の中央部分の正方領域 (図 4.3(c)) の等価回路は、図 4.3(d) に示すような二端子対回路網となり、そのインダクタンス成分 L 、抵抗成分 R は、各々式 (4.2)、式 (4.2) で与えられる。ここで、 μ , d , ρ , t は、それぞれ、電源グランド層間誘電体の透磁率、層間距離、導体層抵抗率、導体層厚である。電源・グランド層の横幅方向の辺上の領域は、その幅が中央部の正方領域の幅の $1/2$ となるため、二端子対回路網のインダクタンス成分、抵抗成分は、各々 $2L$, $2R$ となる。

$$L = \mu d \quad (4.2)$$

$$R = \frac{2\rho}{t} \quad (4.3)$$

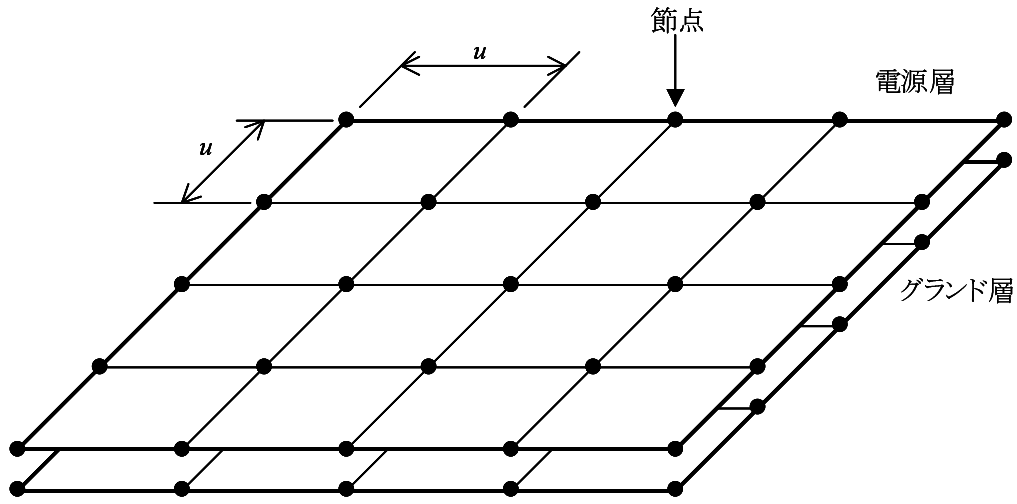
同様に、電源・グランド層の奥行き方向インダクタンス成分、抵抗成分を計算するため、図 4.1(a) の境界線を図 4.2(b) に示すように、導体面の横幅方向に $u/2$ シフトさせる。分割領域の等価回路である二端子対回路網は、横幅方向で求めたものと同様の回路となる。

以上で求めた分割領域の等価回路を組み合わせることにより、図 4.3(e) のような詳細等価共振回路モデルが構成される。なお、表 2.4, 2.5, 2.6 に示したテスト基板のモデル生成を行う場合、解析周波数の上限を 1GHz とし、波長の 10 分の 1 以下となるよう $u = 9\text{mm}$ で分割し、抵抗値 R としては高周波での表皮効果を考慮して 0.017Ω 、容量値 C は 4.12pF 、インダクタンス値 L は 1.00nH となる。

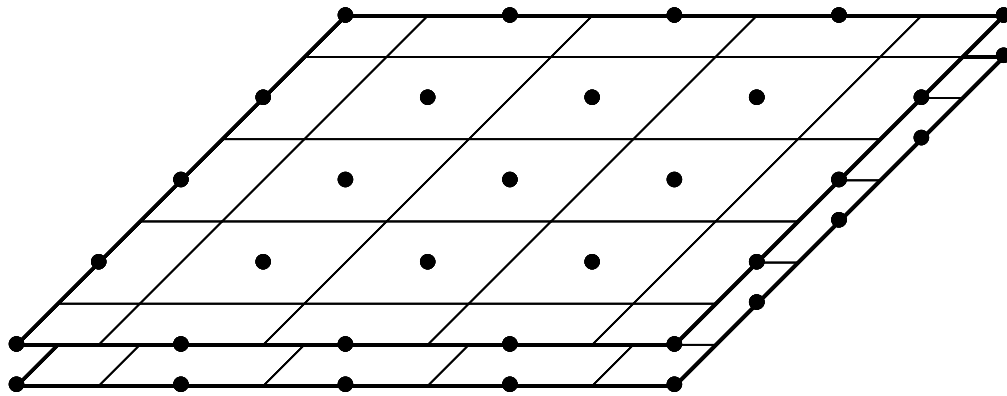
次に、図 4.4(a) に、バイパスキャパシタの電源・グランド層への接続構造と、図 4.4(b) に、寄生インダクタンス成分 L_b と容量成分 C_b とで表現したバイパスキャパシタの等価回路モデルを示す。ただし、式 (4.4) で与えられる基板容量 C_0 に対して、 $C_0 \ll C_b$ となるよう、 C_b を設定する。表 2.4 に示したテスト基板では、表 2.5 に示すように $C_b = 0.1\mu\text{F}$ とする。

$$C_0 = \frac{\varepsilon_0 \varepsilon_r X_a X_b}{d} \quad (4.4)$$

そこで、上記のようにして生成した詳細共振等価回路モデルに、以下の手順でバイパスキャパシタの等価回路モデルを付加する。まず、図 4.5(a) に示すように、基板の隅に IC デバイスを配置し、その近傍にバイパスキャパシタを配置した場合、バイパスキャパシタの配置位置に対応した電源・グランド層の詳細等価共振回路モデル上の節点とグランド間に、バイパスキャパシタの等価回路モデルを接続する。結果を図 4.5(b) に示す。ここで、配置した IC デバイスの出力回路に流れる貫通電流が、共振の主エネルギー源であると考えられている。貫通電流は通常 1ns 以下のパルス電流であるため、インピーダンス

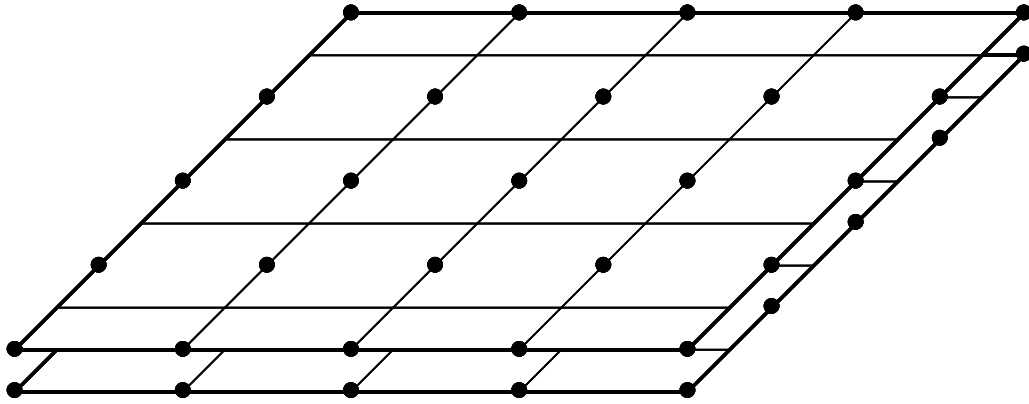


(a) 領域分割および節点配置

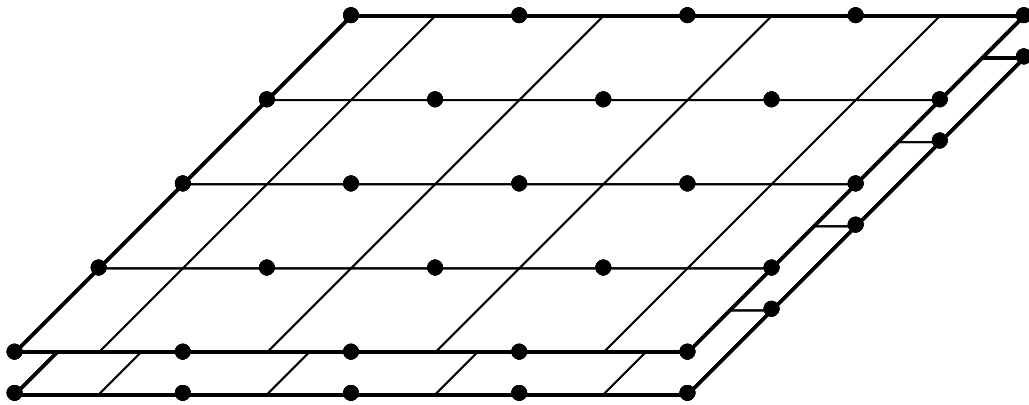


(b) 容量成分計算のための領域分割

図 4.1 電源・グランド層の正方領域分割と節点配置

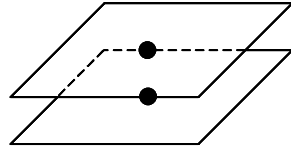


(a)横幅方向インダクタンス成分, 抵抗成分計算のための領域分割



(b)奥行方向インダクタンス成分, 抵抗成分計算のための領域分割

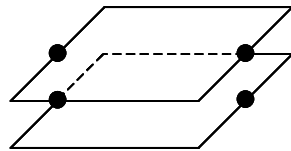
図 4.2 インダクタンス, 抵抗用正方領域分割



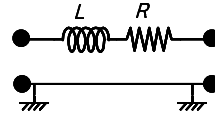
(a) 容量成分計算用正方領域



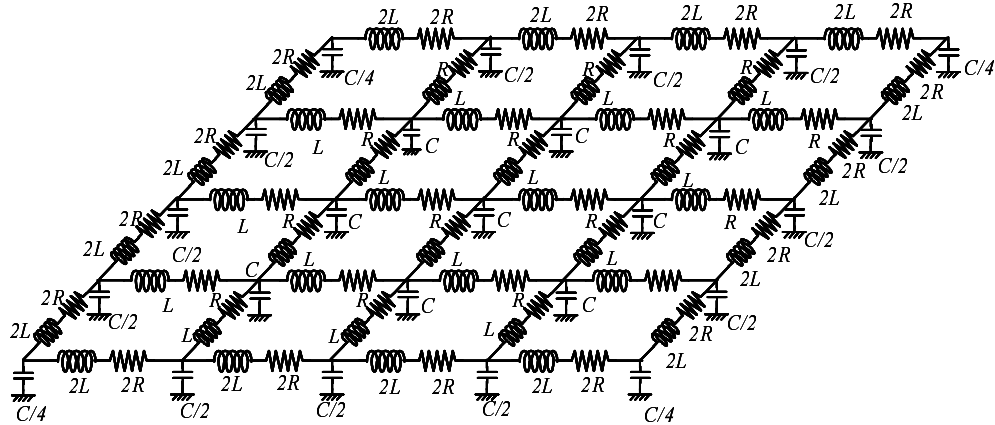
(b) 容量成分計算用
正方領域等価回路



(c) インダクタンス, 抵抗成分計算用
正方領域



(d) インダクタンス, 抵抗成分計算用
正方領域等価回路



(e) 全基板等価共振回路モデル

図 4.3 電源・グランド層の詳細等価共振回路モデル

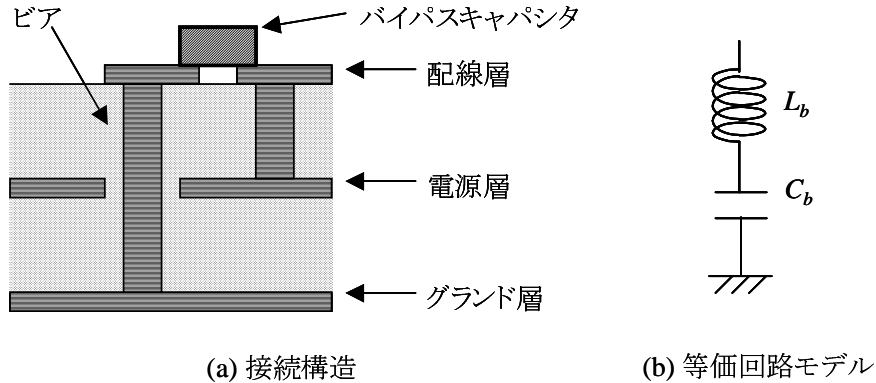


図 4.4 バイパスキャパシタ等価回路モデル

解析の際には、厳密には出力回路のトランジスタのオン・オフ状態を考慮した基板全体の解析が必要となる。今回は基板の定常状態、すなわち波源出力回路のトランジスタがオフの状態での解析に限定することとした。ところで、トランジスタがオフの状態では、波源出力回路の電源・グランド間のインピーダンスは、高々数百 $k\Omega$ である基板およびバイパスキャパシタのみのインピーダンスと比べ、十分大きな値をとる。したがって、基板全体のインピーダンスに与える影響は小さいものと考えられるため、詳細共振等価回路モデルではICデバイスに対応した回路を無視することとする。

4.3 バイパスキャパシタ配置による共振周波数制御への適用

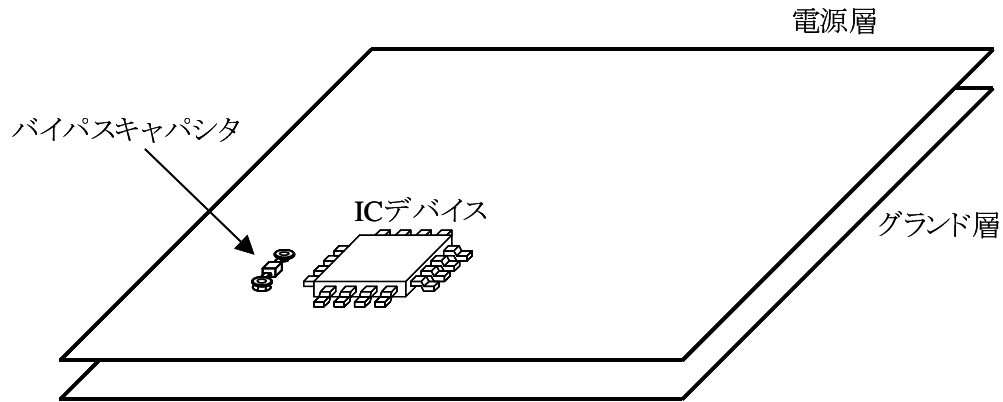
4.3.1 対称構造に着目した等価共振回路簡単化手法

上記の詳細等価共振回路モデルにおいて、バイパスキャパシタが複数配置された場合を想定し、隣接する二バイパスキャパシタと、その周辺の等価回路素子の例を図 4.6 に示す。本図から、バイパスキャパシタを中心として等価回路素子が対称構造となっていることが分かる。

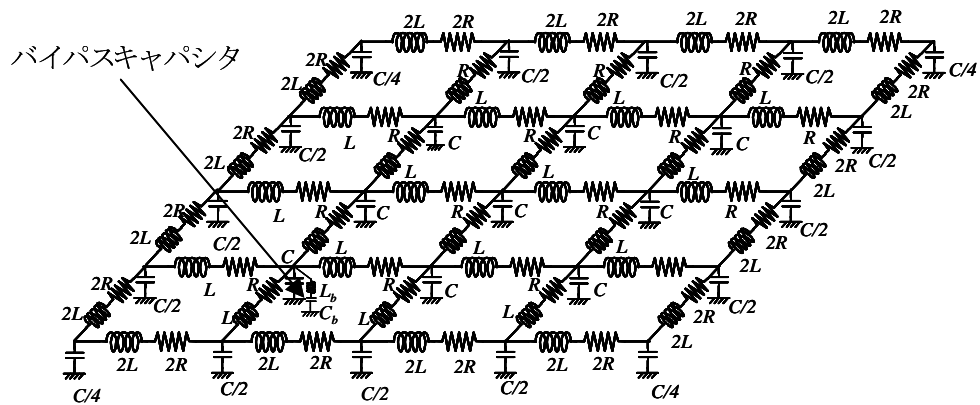
ところで、対称構造をもつ回路では、対称性により、個々の繰り返し部分を解析すれば、回路全体の対称性のある解についてのみ、求められることが以下のようにして証明される^[38]。図 4.7 に示すように、回路全体が線対称構造をとるとき、等価回路の節点および素子は以下のように分類され、回路全体の対称性のある解を与える回路方程式は、図 4.7(b) に示す等価回路の回路方程式によって表わすことができる。すなわち、対称性のある解を求めるための解析について解析回路規模を縮小することができる。

(1) 対称部分 Z の内部の節点および素子： Z 内部の節点および素子に対応する節点および素子が Z' 内部に存在し、それらは完全に同一構造となるため、同じ回路方程式が生成される。

(2) 対称部分 Z , Z' 間で共有される素子, 節点 (図 4.7 の Z_i, Z_j) : Z_i については、それに流



(a) 電源・グランド層パターン



(b) 全基板等価回路モデル

図 4.5 バイパスキャパシタ配置後の電源・グランド層の詳細等価共振回路モデル

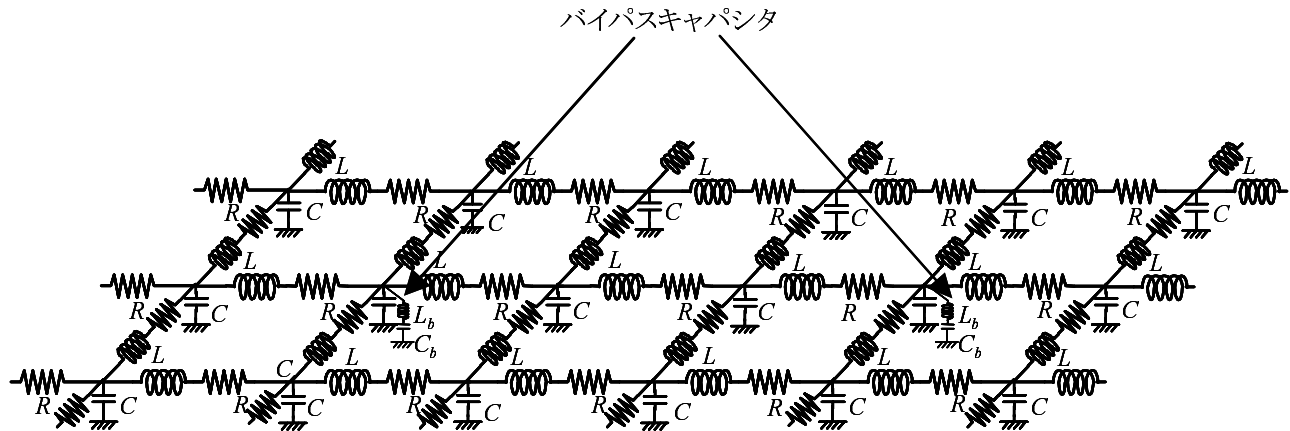


図 4.6 バイパスキャパシタおよび周辺の等価回路素子

れる電流 I_i の対称性を考慮し、 Z_i を $2Z_i$ で置き換える。これは Z_i にかかる電圧 $V_i = Z_i I_i = 2Z_i I_i / 2$ の式変換に相当する。 Z_j については回路の対称性から素子に電流が流れないため、素子を開放除去する。

4.3.2 バイパスキャパシタ均等配置による基板分割

以上の考察から、バイパスキャパシタを基板上で均等配置することにより対称回路を構成し、対称回路の面積制御によって第2ピークの共振周波数を制御する手法を考察する。

ここで、図 4.8 のように、基板面の長辺に平行に x 軸、短辺に平行に y 軸、基板面に垂直に z 軸を想定し、 R および L を単一枝と考えるとき、キャパシタ C のグランド側の反対側の節点を n_{ij} ($0 \leq i \leq N_x$, $0 \leq j \leq N_y$, N_x : x 方向節点数-1, N_y : y 方向節点数-1) とし、 n_{ij} につながる x 軸、 y 軸、 z 軸方向の枝のインピーダンスをそれぞれ、 Z_{ij}^x , Z_{ij}^y , Z_{ij}^z とするとき、図 4.9 に示すように、以下の手順によって基板全体の等価回路をバイパスキャパシタを中心とした対称回路に分割する。

(Step 1) バイパスキャパシタの一方の端子を基板等価回路の節点に縦横で均等間隔で接続する。他方の端子はグランドに接続する。

(Step 2) (i) x 方向について、バイパスキャパシタが接続し、隣り合う節点を n_{ij} , n_{kj} とするとき ($0 \leq i < k \leq N_x$, $0 \leq j \leq N_y - 1$), $k - i = 2m$ ($m=1, 2, \dots$), すなわち n_{ij} , n_{kj} 間に奇数の節点が存在するならば、 $n_{i+m,j}$, $n_{i+m,j+1}$ をおのおの 2 個の節点 $n_{i+m,j}$, $n_{i+m,j}^1$, $n_{i+m,j+1}$,

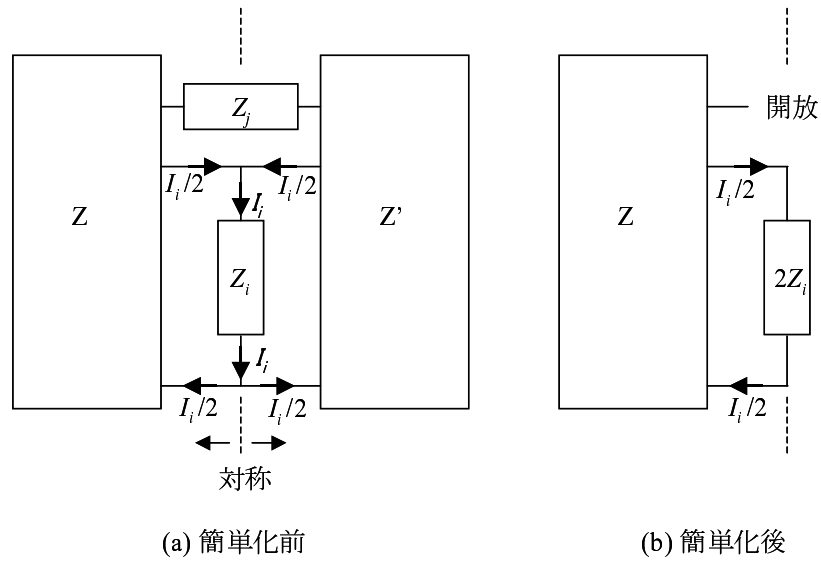
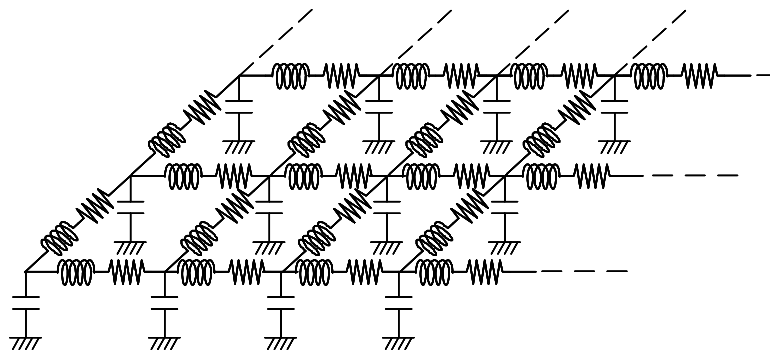
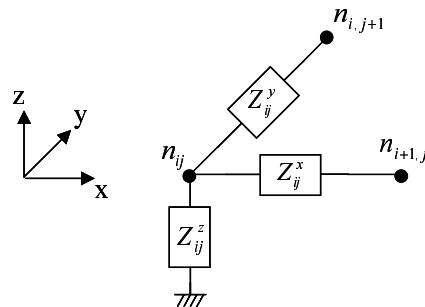


図 4.7 対称回路の简单化



(a) 等価回路モデル



(b) 節点名およびインピーダンス名

図 4.8 詳細等価共振回路における節点名およびインピーダンス名

$n_{i+m,j+1}^1$ に分離し, 元の $n_{i+m,j}$ に接続していた枝のインピーダンス $Z_{i+m,j}^y, Z_{i+m,j}^z$ を2倍として, おのおの複製し $n_{i+m,j}, n_{i+m,j}^1$ に接続する.

(ii) $k-i = 2m+1$ ($m=1,2,\dots$), すなわち n_{ij}, n_{kj} 間に偶数の節点が存在するならば, $n_{i+m,j}, n_{i+m+1,j}$ 間の枝を開放除去する.

(Step 3) y 方向について (Step 2) と同様の処理を行う.

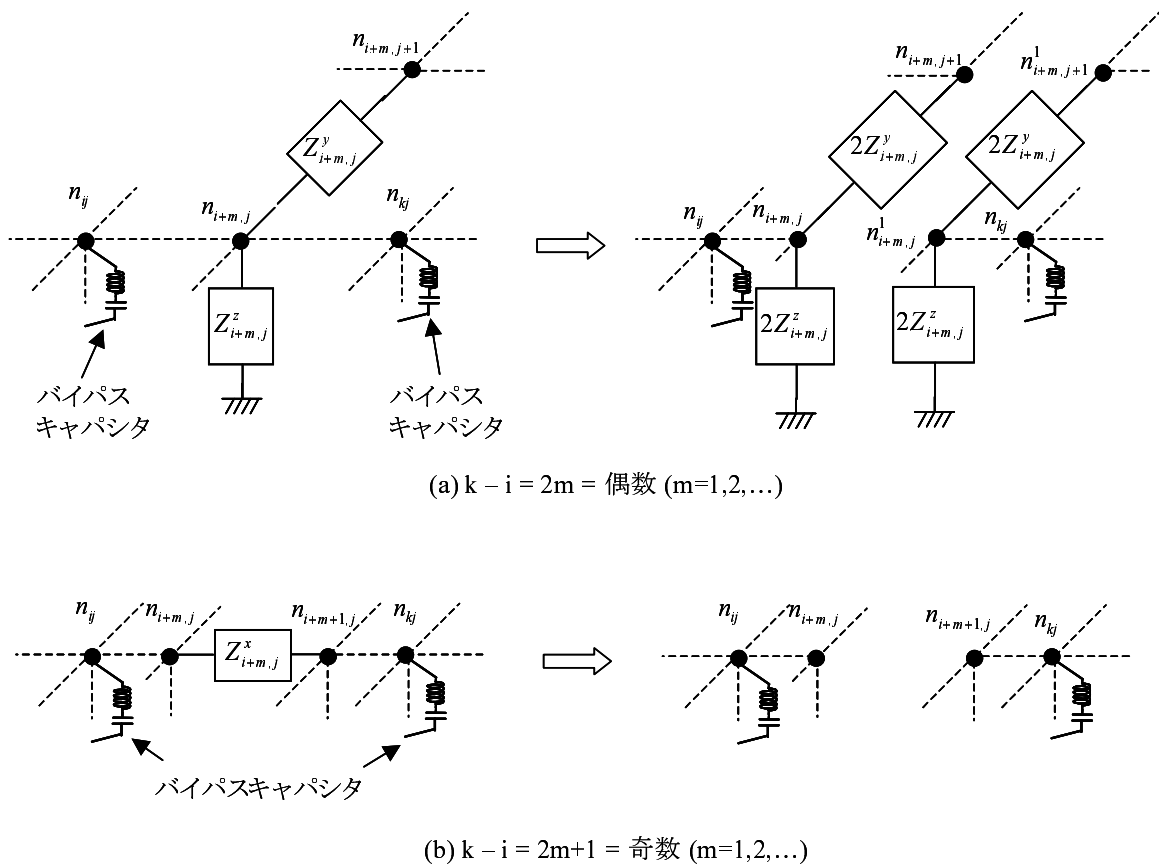


図 4.9 詳細等価共振回路の対称回路への分割

テスト基板の詳細等価共振回路において, バイパスキャパシタ個数が $N_b = 4, 9, 24, 48$ の場合のバイパスキャパシタの配置位置を図 4.10 に示す. 次に, 基板全体, すなわち分割前の詳細等価共振回路において, 波源に対応した節点でのインピーダンスを解析した. バイパスキャパシタの個数 $N_b=9$ の場合の結果を図 4.11 に示す. 図から, 分割前の等価回路では, 第1ピークおよび第2ピークが解析可能ことを確認した. $N_b=4, 9, 24, 48$ の場合の解析結果から得られた第2ピーク共振周波数 f_s を表 4.1 の一部に示す.

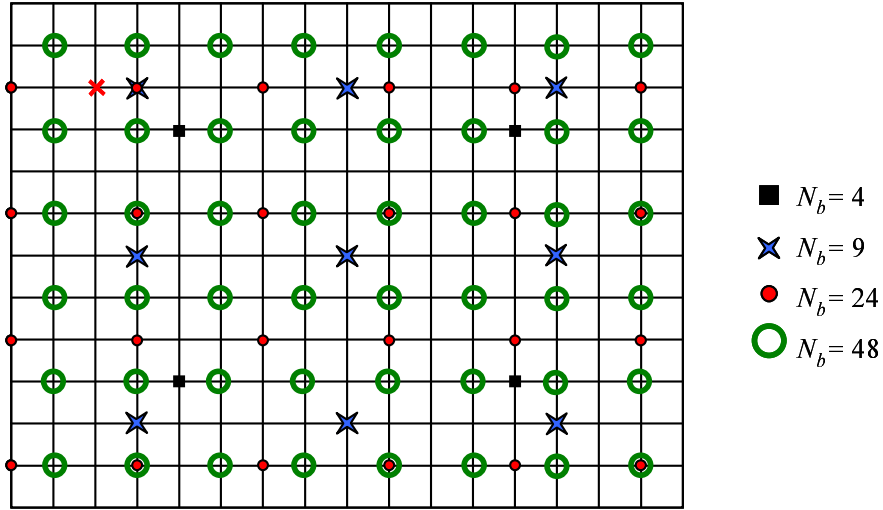


図 4.10 詳細等価共振回路におけるバイパスキャパシタ配置位置

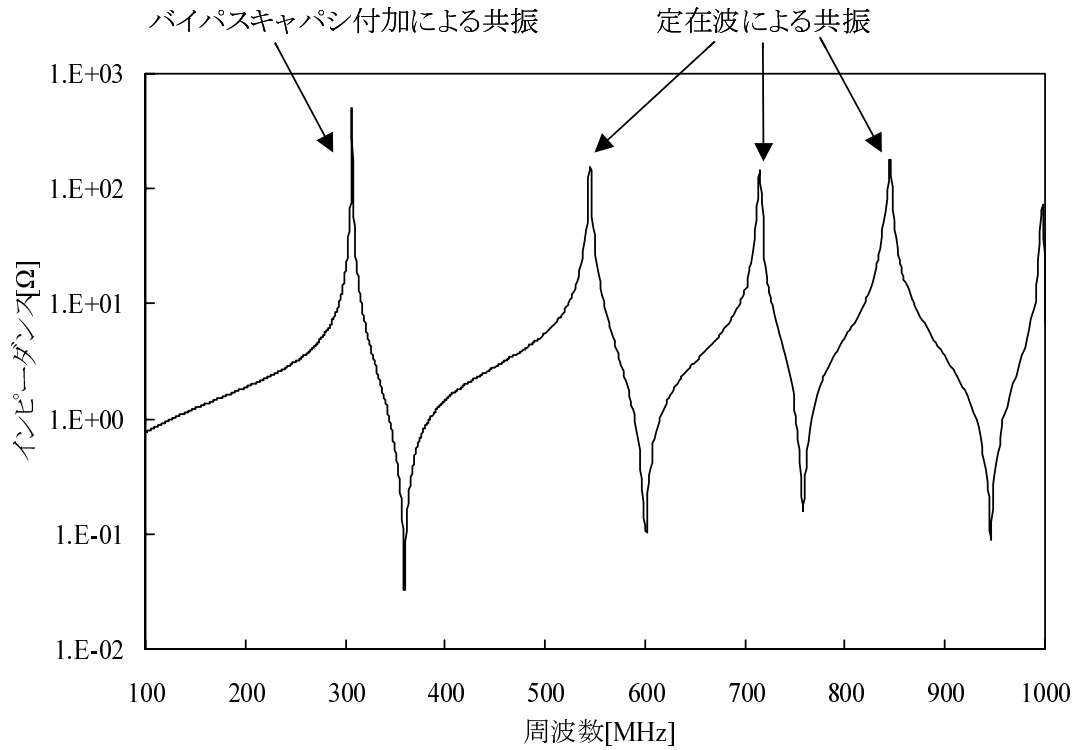
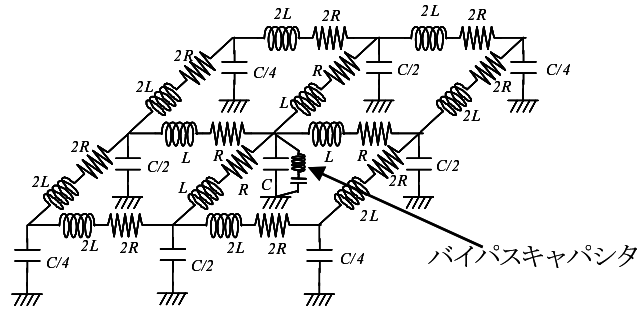
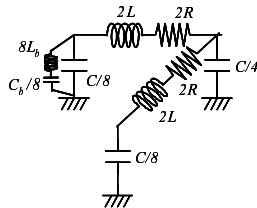


図 4.11 詳細等価共振回路におけるインピーダンス特性 (バイパスキャパシタ数 $N_b=9$)

次に，詳細等価共振回路モデルに上記分割手順を適用する． $N_b=48$ の場合のバイパスキャパシタの対称回路は図 4.12(a) に示すモデルとなる．図 4.13 に， $N_b=48$ の場合の対称回路のみ，および詳細等価共振回路モデルのインピーダンス解析結果を比較したものを示す．図から，対称回路の解析により第 2 ピーク共振周波数のみを精度良く求めることができることが確認できる．



(a) 矩形対称回路



(b) 極小対称回路

図 4.12 対称回路の等価回路モデル

4.3.3 共振周波数近似式の導出

図 4.14 に， $N_b=9$ の場合の回路全体での R, C, L 各素子値，およびバイパスキャパシタの容量 C_b ，寄生インダクタンス L_b の値を変化させ，第 2 ピークの共振周波数の変化値を解析した結果を示す．図より， R, C_b の変化は第 2 ピークにまったく影響しないこと，および L の変化はわずかに影響することが確認できる．

ここで，図 4.12(a) の等価回路は，図 4.12(b) に示すように，対称性を考慮するとさらにその 8 分の 1 の等価回路に分割される．一般的に，8 分の 1 対称回路は図 4.15(a) のように表現される．そこで図 4.14 の解析結果に基づき，同回路に以下のような R, C_b, L 各素子の短絡除去処理を施す．

- (1) R の値は共振ピーク値にのみ影響し，周波数には影響しないため抵抗素子を短絡除去する．
- (2) 等価回路中の閉路上での C と C_b の関係は直列接続であり， $C \ll C_b$ であることから， C_b は両端を

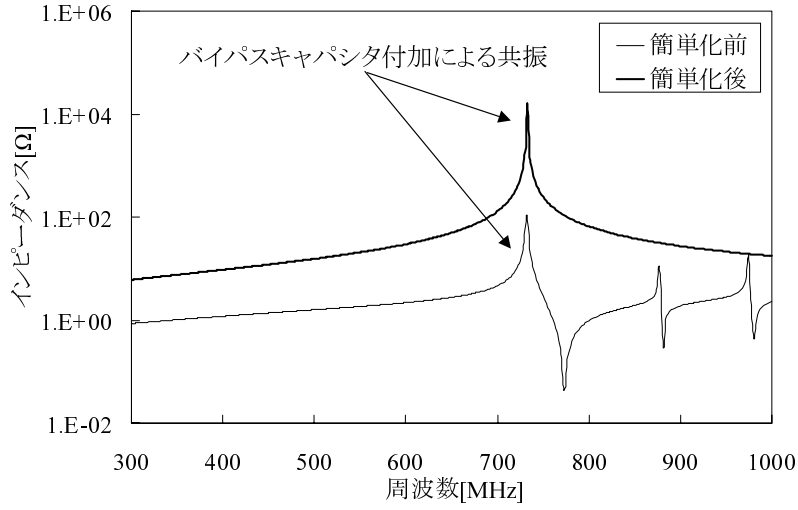
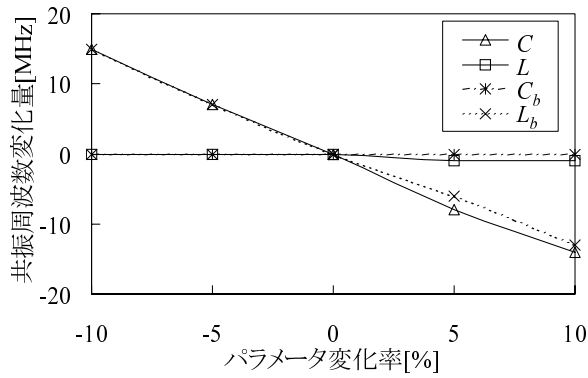
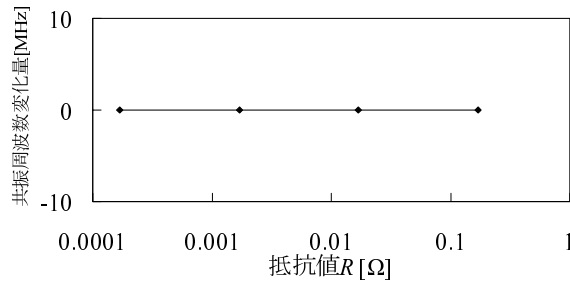


図 4.13 対称回路および詳細共振等価回路の共振周波数比較



(a) C, L, C_b, L_b



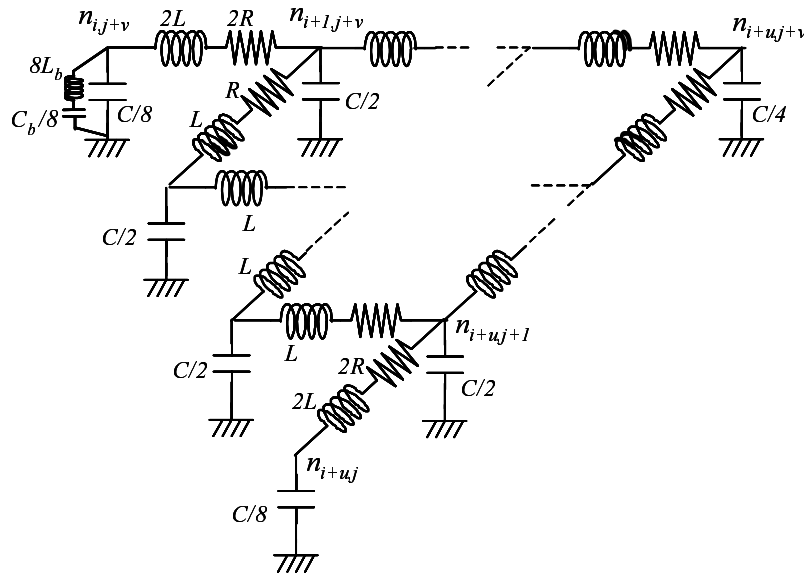
(b) R

図 4.14 等価回路パラメータの共振周波数に与える影響

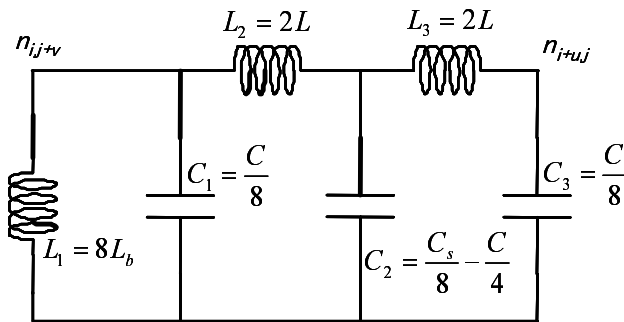
短絡した状態と等価な状態であると考えられるため、 C_b を短絡除去する。

- (3) 図 4.15(a) での節点 $n_{i+1,j+v}$ 、 $n_{i+u,j+1}$ 間はインダクタが格子状に構成されており、その部分の合成インダクタンス値はかなり低くなることが考えられるため、節点 $n_{i+1,j+v}$ 、 $n_{i+u,j+1}$ 間のインダクタをすべて短絡除去する。

以上の結果、対称回路は図 4.15(b) のように簡単化される。ここで、 C_s は 8 分の 1 に分割される前の状態での、図 4.12(a) のような対称回路全体の基板容量の総和を表す。



(a) 簡単化前極小対称回路



(b) 簡単化後極小対称回路

図 4.15 極小対称回路の簡単化

図 4.15(b) において，バイパスキャパシタの両端でのアドミッタンス Y は式 (4.5) で与えられる．

$$Y = \frac{1}{j\omega L_1} + \frac{-j\omega^3 C_1(L_2 C_2 + L_2 C_3 + L_3 C_3) + j\omega(C_1 + C_2 + C_3)}{\omega^4 L_2 L_3 C_2 C_3 - \omega^2(L_2 C_2 + L_2 C_3 + L_3 C_3) + 1} \quad (4.5)$$

回路の解析周波数上限を $f=1\text{GHz}$ とすると， $\omega^3 C_1(L_2 C_2 + L_2 C_3 + L_3 C_3) \ll \omega(C_1 + C_2 + C_3)$ ，および $\omega^4 L_2 L_3 C_2 C_3 \ll 1$ が成立するため，式 (4.5) は以下のように簡単化される．

$$Y \cong \frac{1}{j\omega L_1} + \frac{j\omega(C_1 + C_2 + C_3)}{1 - \omega^2(L_2 C_2 + L_2 C_3 + L_3 C_3)} \quad (4.6)$$

$Y=0$ とする周波数，すなわち対称回路の並列共振周波数 f_a は，式 (4.6) に図 4.15(b) の各素子値を代入し， f_a について解くことにより，式 (4.7) のように求められる．

$$f_a = \frac{1}{2\pi\sqrt{C_s(L_b + \frac{L}{4})}} \quad (4.7)$$

ここで， C_s は，基板全体の容量値 C_0 及びバイパスキャパシタ個数 N_b を用いて式 (4.8) で表現される．

$$C_s = \frac{C_0}{N_b} \quad (4.8)$$

以上の結果，図 4.15(a) に示す対称回路の共振周波数 f_a は式 (4.9) で近似される．

$$f_a \cong \frac{\sqrt{N_b}}{2\pi\sqrt{C_0(L_b + \frac{L}{4})}} \quad (4.9)$$

式 (4.9)，およびその導出過程で用いた簡単化方法から以下の事項が判明する．

- (1) 解析周波数上限を 1GHz とする基板では，波長の 10 分の 1 以下に基板を分割した領域のインダクタンスおよび容量成分 L, C に対し， $\omega L < 1/\omega C$ となるため，基板等価回路の LC はしご型回路部分は容量成分が支配的な状態となっていると考えられる．
- (2) その状態では，基板のインダクタンス成分の変化が第 2 ピークの共振周波数に与える影響は少なくなり，バイパスキャパシタに直接つながるインダクタ，および対称回路内でバイパスキャパシタから最も離れた位置にあるインダクタを除いて，インダクタを短絡除去可能である．

4.3.4 共振周波数制御手法

共振の波源である貫通電流のカットオフ周波数 f_c に対して，式 (4.9) で示した f_a を用い， $f_a > f_c$ となるようバイパスキャパシタを配置する以下の手法を提案する．

(Step 1) 基板上に搭載する IC デバイスに流れる貫通電流のカットオフ周波数 f_c を求める．

(Step 2) $C_b \gg C_0$ となるようバイパスキャパシタ容量 C_b を設定する．

(Step 3) f_c を次式に代入し，バイパスキャパシタ個数 N_b を求める．

$$N_b > 4\pi^2 C_0 \left(L_b + \frac{L}{4} \right) f_c^2 \quad (4.10)$$

(Step 4) 基板領域を N_b 個の同一面積の領域に分割し，各々の領域の中央付近にバイパスキャパシタを配置する．

ここで，カットオフ周波数として，貫通電流波形のフーリエ変換後の各周波数成分の包絡線が 40dB/dec で減少する周波数 f_c (式 (4.11)) を採用する場合，上記手順において，式 (4.10) の代わりに式 (4.12) を用いる．ただし，同式では貫通電流波形の立ち上がり時間を t_r ，パルス幅を $t_w (=2t_r)$ とする．

$$f_c = \frac{1}{\pi t_r} = \frac{2}{\pi t_w} \quad (4.11)$$

$$N_b > \frac{16C_0}{t_w^2} \left(L_b + \frac{L}{4} \right) \quad (4.12)$$

4.4 評価実験と結果の考察

4.4.1 電磁界シミュレーション

ここでは，電磁界シミュレーション^[39]を用い，共振周波数における電流分布を求めることにより，バイパスキャパシタ配置による電流分布の対称化，および第1ピークの定在波の発生を確認する．

まず，表 2.4 に示した寸法，物理定数等を用い，基板領域を 9mm 角の正方領域に分割する (図 4.16(a))．バイパスキャパシタ配置位置にはキャパシタ内部のインダクタンス L_b と容量成分 C_b とを直列接続した回路を接続する．発振器については，実測と同位置の正方形領域に発振器回路を接続する (図 4.16(b))．

以上のモデルにモーメント法を用いた電磁界シミュレーションを適用した．図 4.17 にバイパスキャパシタ 9 個配置の場合の電流分布を示す．図 4.17(a)[39] では 560MHz で 1/2 波長の定在波が生じ，第1ピークの共振であることが確認できる．図 4.17(b) では第2ピークとして，280MHz で各正方形領域の電流ベクトルが最寄りのバイパスキャパシタに分かれて流入/流出しており，均等配置したバイパスキャパシタが本手法の目的通り作用していること，および電流分布がバイパスキャパシタを中心とした対称形となっていることが確認できる．

4.4.2 回路シミュレーション

ここでは，共振周波数近似式 (式 (4.9)) と詳細等価共振回路モデル (図 4.5(b)) での回路シミュレーション結果とを比較する．比較結果を表 4.1 に示す．

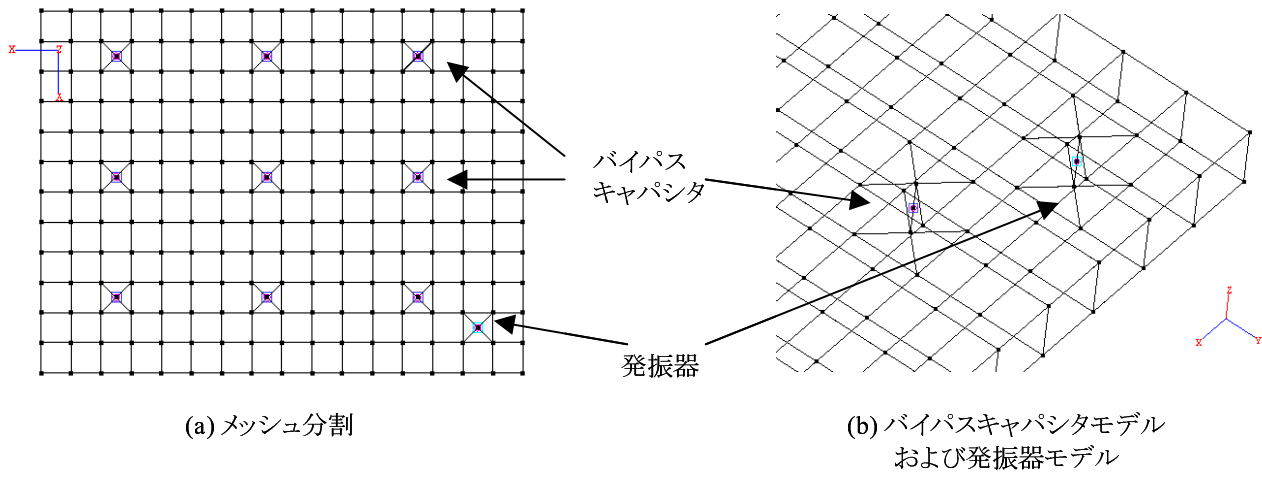


図 4.16 電磁界シミュレーション・モデル

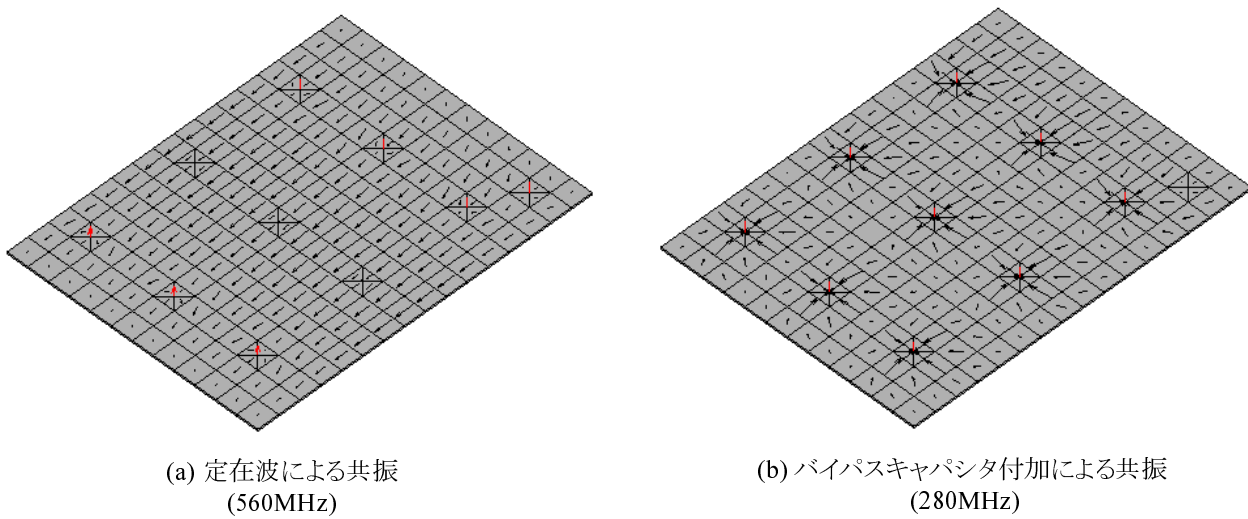


図 4.17 共振周波数における電流分布

表 4.1 共振周波数近似式と回路シミュレーション結果との比較

バイパスキャパシタ数： N_b	4	9	24	48
共振周波数近似式： f_a [MHz]	208	312	511	722
回路シミュレーション： f_s [MHz]	203	311	505	728
近似式誤差： $100(f_a - f_s)/f_s$ [%]	2.5	0.3	1.2	-0.8

4.4.3 電界強度測定

ここでは、共振周波数近似式を実測結果と比較し、近似精度を評価するため、テスト基板を作成する。次に、テスト基板から輻射される放射ノイズを測定することにより、基板の共振周波数を求める。

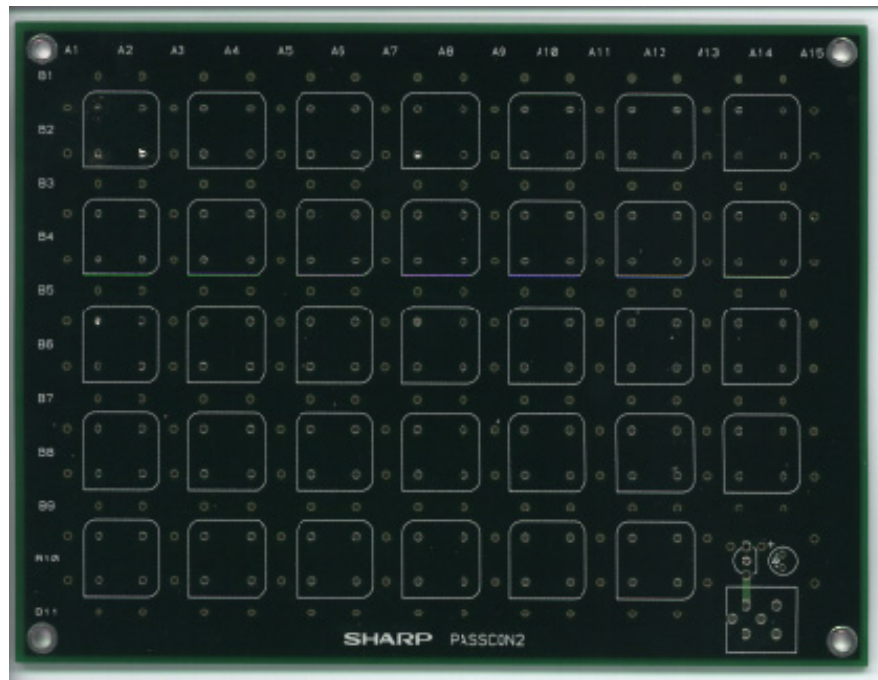
そこで、作従来手法テスト基板と同一サイズ(表 2.4)かつ同一波源(表 2.6)の条件で、均等配置手法を評価するためのテスト基板を作製する。貫通電流パルス幅は測定値より 0.9nsec に設定し、その他の数値を式(4.12)に代入して、 $N_b > 46.1$ を得る。そこで、基板を図 4.10 に示すように、長辺方向均等 8 分割、短辺方向均等 6 分割し、一辺 18mm の正方形領域 48 個に分割する。作製したテスト基板を図 4.18 に示す。本図に示すように、共振周波数の制御を観察するため、分割数 4, 9, 12, 24 の場合についても作製基板が適用できるよう、バイパスキャパシタを実装するパターンを規則的に配置した。

このように作製したテスト基板を、バイパスキャパシタ近傍配置の場合と同一条件で遠方電界強度測定した結果を図 4.19 に示す。同図においても、700MHz 以上ではキャパシタの個数によらず暗レベルに近い値となるため図より省略する。図 4.19 より、バイパスキャパシタ 48 個の均等配置では充分共振ピークがカットオフ周波数以上の高周波領域(600MHz 以上)までシフト出来ていることが確認される。一方、分割数が不足している場合($N_b \leq 24$)では共振ピークが現われており本手法の効果が確認できた。また、電界強度測定により求めた共振周波数を f_e とし、表 4.2 の一部に表す。

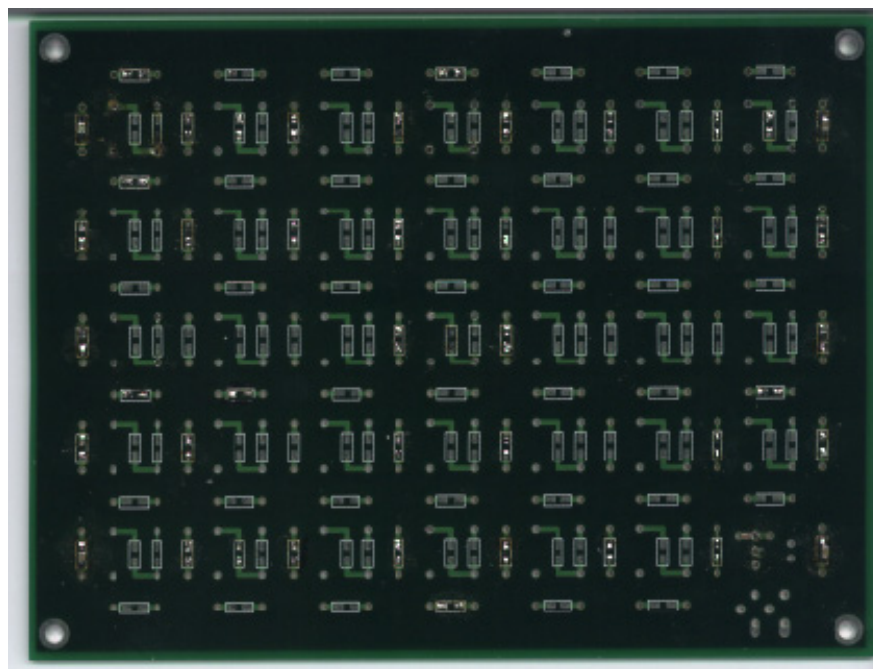
4.4.4 S パラメータ測定

ここでは、共振周波数近似式を実測結果と比較し、近似精度を評価するため、作製したテスト基板(図 4.18)に対して、S パラメータを測定し、基板の固有共振周波数を求める^[28]。

まず、図 4.20 に示すように、ネットワークアナライザをテスト基板の電源グランド層間に接続し、S パラメータのうち、反射特性を表す S_{11} を測定する。測定結果の一例として、ネットワークアナライザの S_{11} の表示画面を図 4.21 に示す。基板の共振周波数では、共振によりエネルギーが消費されるため、基板に入力したエネルギーに対して反射エネルギーが減少し、 S_{11} の値が減少する。 S_{11} の減少する周波数から求めたテスト基板の共振周波数 f_m を表 4.2 の一部に表す。



(a) 表面



(b) 裏面(反転)

図 4.18 提案手法によるテスト基板

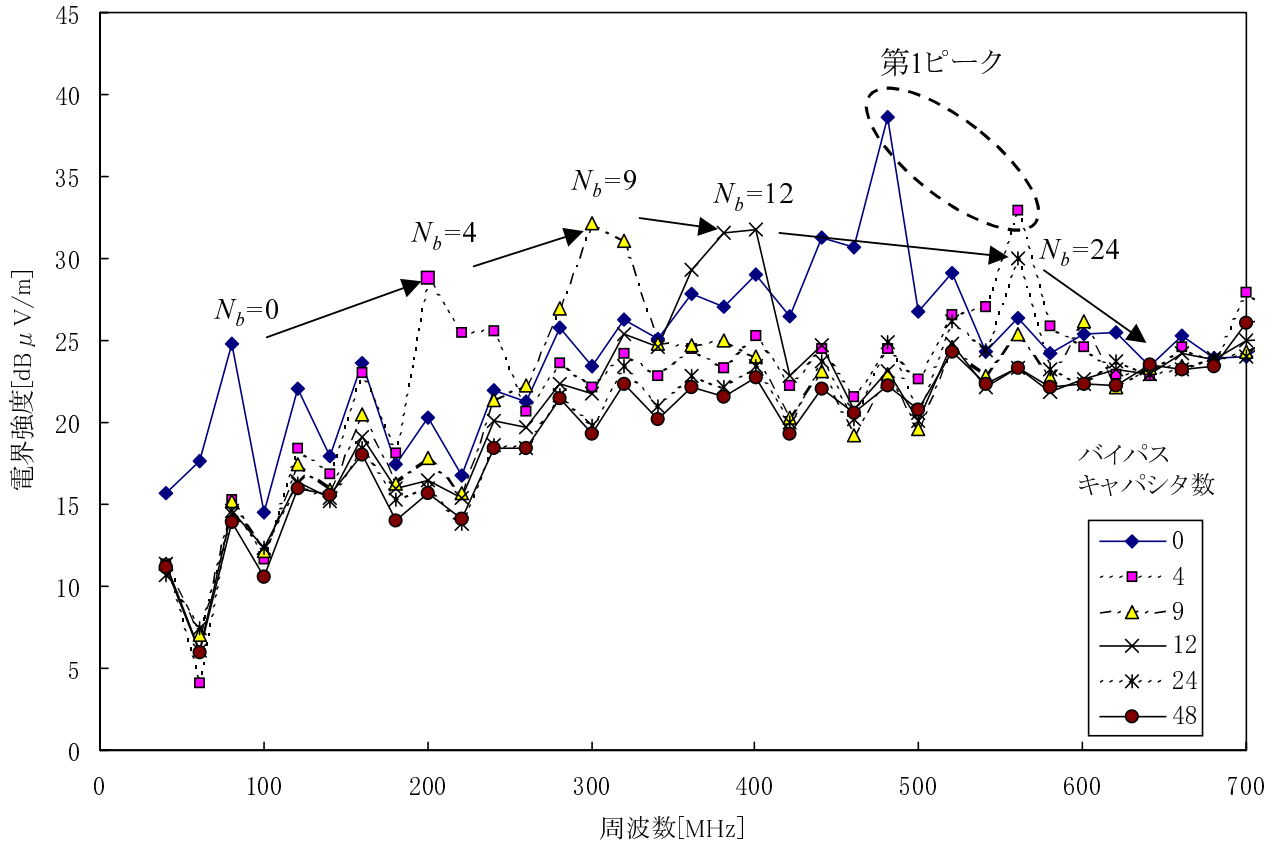


図 4.19 提案手法によるテスト基板の電界強度測定結果

表 4.2 共振周波数近似式と実測結果との比較

バイパスキャパシタ数： N_b	4	9	12	24
共振周波数近似式： f_a [MHz]	208	312	361	511
電界強度測定： f_e [MHz]	200	304	400	560
近似式の電界強度測定に対する誤差： $100(f_a - f_e)/f_e$ [%]	4.0	2.6	-9.8	-8.8
Sパラメータ測定： f_m [MHz]	203	321	379	-
近似式のSパラメータ測定に対する誤差： $100(f_a - f_m)/f_m$ [%]	2.5	-2.8	-4.7	-

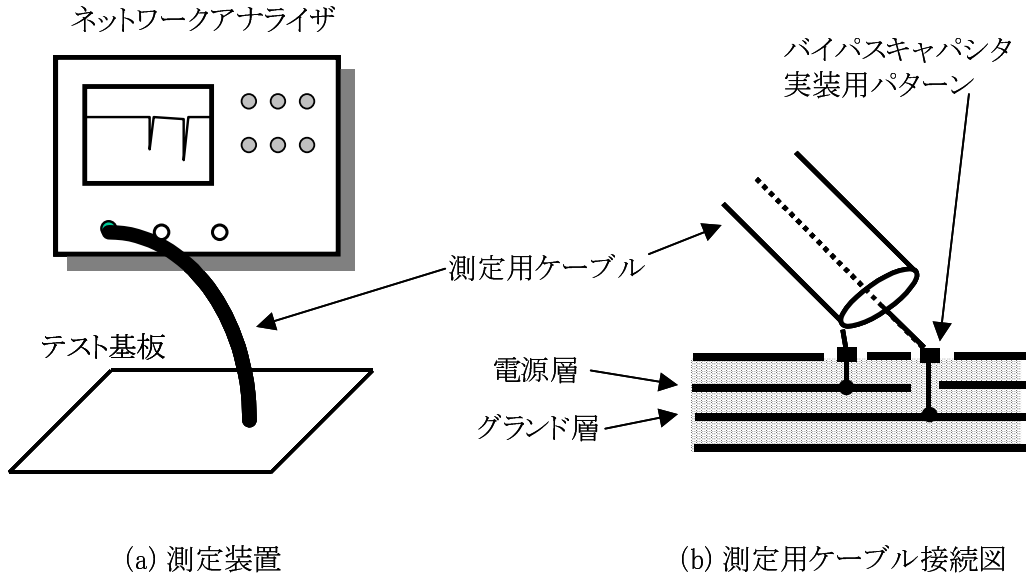


図 4.20 インピーダンス特性測定環境

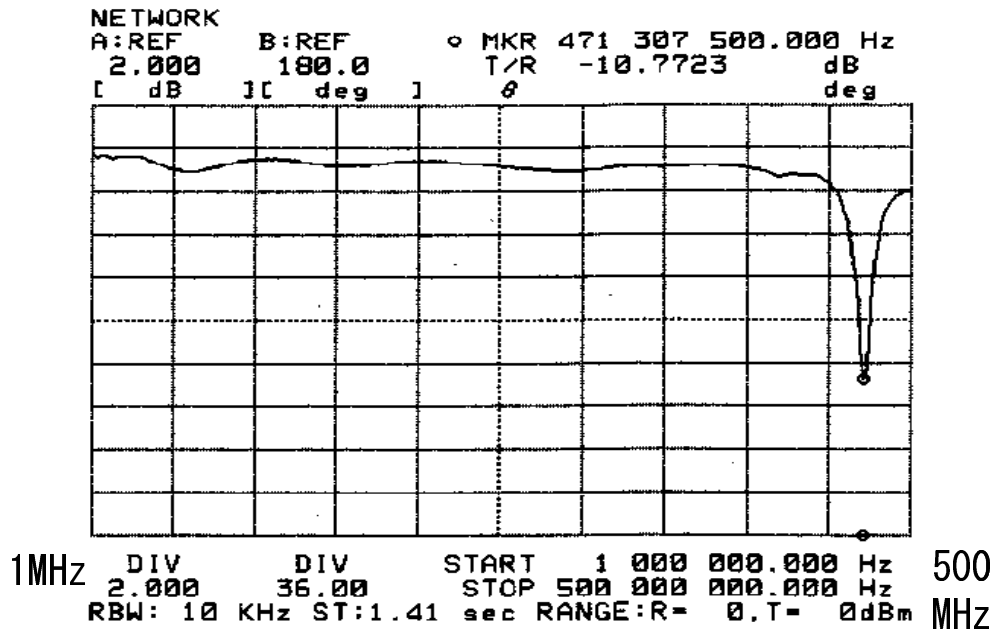


図 4.21 ネットワークアナライザ表示例

4.4.5 共振周波数近似式とシミュレーション結果および実測結果との比較検討

まず、表 4.1 から、式 (4.9) により、誤差 3% 程度の精度で共振周波数を近似可能なことが確認できる。これらの結果は、共振周波数近似式の導出過程でのインダクタ等の短絡除去の正当性をあらわしており、提案手法による共振周波数近似式の精度が高いことを確認した。

次に、表 4.2 から、提案手法による共振周波数近似式は実測結果に対して 10% 程度の近似精度となることを確認した。ここでの近似精度が上述の回路シミュレーションとの比較結果による近似精度より悪化している原因として、作製テスト基板では、膜厚、誘電率等にばらつきがあることと、実装した発振器の発振周波数の整数倍の周波数で放射ノイズが発生するため、基板の固有共振周波数と測定放射ノイズ周波数との差が最大、発振周波数分となることが考えられる。

表 4.1 および表 4.2 に示した共振周波数を比較したグラフを図 4.22 に示す。図より、提案近似式による値が、回路シミュレーション、および実測結果に対して最大 10% 程度の誤差となっており、第 2 ピークの共振周波数を算出する限りでは、提案近似式の実用性を確認することができる。

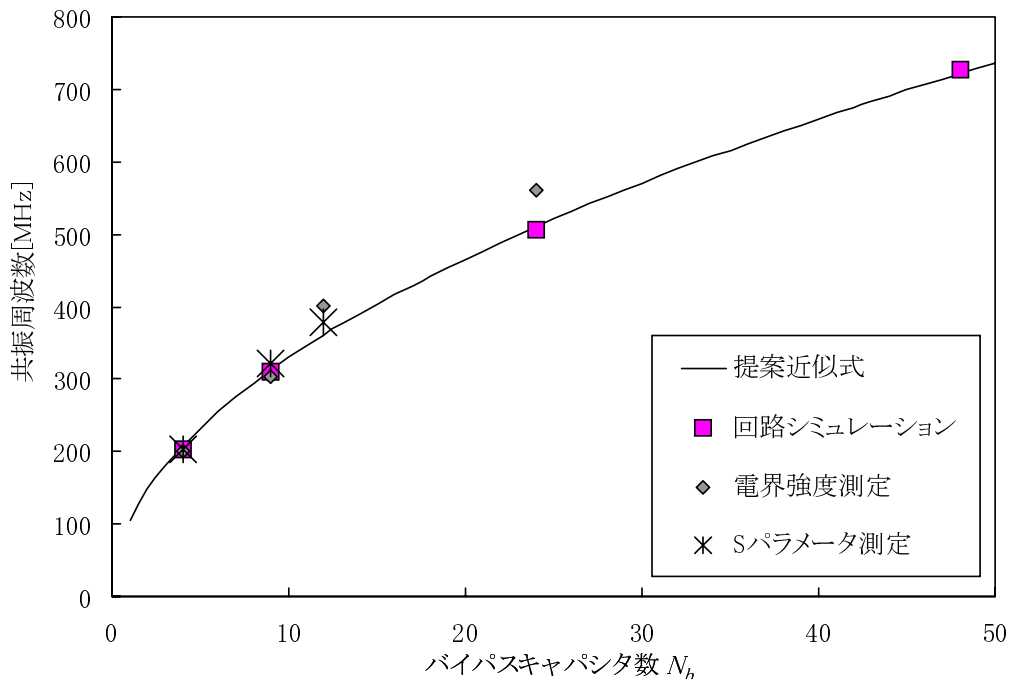


図 4.22 共振周波数比較

4.5 結言

本章では、バイパスキャパシタ周辺素子の対称性を用いた簡単化、および、IC デバイス、基板、バイパスキャパシタで構成される回路での共振（第 2 ピーク）の周波数に影響を及ぼさない素子の除去により、プリント基板の詳細等価共振回路モデルを簡単化し、第 2 ピークの共振周波数近似式を導出した。同式により、回路シミュレーションに対して誤差 3%程度、実測結果に対して誤差 10%程度の精度で、近似可能なことを示した。また、バイパスキャパシタを均等配置することにより、第 2 ピークを波源の周波数成分が減衰するカットオフ周波数 f_c 以上の高周波にシフトさせ、放射ノイズを低減可能なことが確認できた。

第5章

結論

本論文では、液晶表示装置の配線構造において、回路動作に影響を与える寄生素子の高精度モデリング方法、寄生素子が原因で発生する共振現象を解析するための等価共振回路のモデリング方法について記述した。本章では、本研究で得られた主要な結果を要約し、結論とする。

液晶表示装置の主要部分である液晶パネルでは、配線の直下にグランドが近接せず、配線とグランドとの間の距離が大きくなっており、さらに、配線構造の高精細化と多層化により相互に近接する配線が増大している。その結果、液晶パネルにおいては、グランドに対する容量に比べ、配線間容量による回路動作への影響がますます増大する傾向にある。

一方、液晶表示装置において、周辺回路を液晶パネルのガラス基板に実装する技術に関して研究開発が進められているものの、マイクロプロセッサやメモリのように、高速でかつ大規模な回路は液晶パネル上に実装することは困難であり、現状ではパネルに接続付加したプリント基板に実装している。これらのプリント基板では、回路の高速性のため、電源供給系の配線間で共振現象が発生し、回路動作に悪影響を与えるだけでなく、放射ノイズを放出する。その対策のため、電源供給系の配線パターンにバイパスキャパシタを付加する手法が提案されているが、その付加箇所は設計者の経験と勘に頼っているのが現状である。

このような状況を踏まえ、本研究では、まず、液晶パネルの三次元配線構造に起因する寄生容量に関し、高速でかつ高精度な抽出手法を確立することを目標とした。次に、本研究では、プリント基板の電源供給系の配線構造において発生する共振現象に対するモデルを生成し、さらに共振する手法を考案することを目標とした。

(I) 液晶パネルの配線構造における寄生容量素子モデル生成手法

液晶表示装置の構成モジュールの一つである液晶パネルにおいて、配線とグランドとの距離が大きく、配線間容量が支配的となっていることを示し、さらに、二配線の基本構造である配線交差構造と平行配線構造に対して、配線間の寄生容量抽出のためのモデリング方法を提案した。配線交差構造に対して、導体を二次元容量モデルにより容量計算が可能な領域に分割し、二次元電磁界シミュレーションの適用

結果に回帰操作を施すことにより、計算量を削減可能なことを示した。平行配線構造に対して、周囲の配線分布に基づいてタイプ分けを行い、各々で二次元電磁界シミュレーションの適用結果に回帰操作を施すことにより、効率よく近似式を導出できることを示した。得られた近似式での計算結果と三次元電磁界シミュレーションによる計算結果を比較し、相対誤差は5%以内に収まることを確認し、提案手法が高い近似精度を実現していることを示した。

(II) プリント基板の電源供給系における等価共振回路モデル生成手法

液晶表示装置の構成モジュールの一つであるプリント基板において、まず、電源供給系配線パターンにバイパスキャパシタを接続することによって発生する共振現象を制御することが重要であることを示した。次に、バイパスキャパシタを均等配置した場合を想定し、対称性を利用して配線パターンの等価回路を単純化し、さらに、共振周波数に影響を及ぼさない等価回路の素子を除去することにより、等価共振回路を構成した。また、その等価共振回路の共振周波数近似式を導出し、同式の近似誤差が回路シミュレーションに対して3%程度、実測結果に対して10%程度であることを示した。最後に、バイパスキャパシタを均等配置することにより、共振周波数を波源の周波数成分が減衰するカットオフ周波数以上の高周波帯にシフトさせ、放射ノイズを低減可能なことを明らかにし、提案手法の有用性を確認した。

試作品での各種測定、動作確認により設計変更、再試作を繰り返し、設計者の経験と勘に頼った試行錯誤を行うことを主体としていた従来の液晶表示装置の実装設計に対して、本研究の成果である寄生容量素子モデル生成手法、等価共振回路モデル生成手法を適用することにより、試作前の設計段階から、信号保全性と回路の正常動作を保証し、放射ノイズをも抑制することが可能な実装設計環境を構築することができ、設計コストの削減、設計期間の短縮、品質向上を実現することが可能となる。

今後残された課題として、以下の課題が挙げられる。

本研究では、液晶パネルの配線構造における寄生容量素子モデル生成対象として、最も基本的な構造である配線交差構造、および平行配線構造を選択したが、二平行配線に一配線が直交する場合など、これらの構造の組合せに対して、モデルを拡張することが必要である。

また、同様に寄生容量素子モデル生成に関し、配線の最寄のグラウンドが対向電極である場合、配線とグラウンドとの間に存在する液晶材料の比誘電率は、印加電圧により変化するため、配線間容量に影響することとなる。従って、液晶材料の比誘電率をも配線間容量近似式のパラメータとして組み込むことが重要となる。

謝辞

本研究の全過程を通じて、終始懇切な御指導と御鞭撻を賜りました、大阪大学白川功名誉教授に謹んで深謝の意を捧げます。

大阪大学大学院情報科学研究科情報システム工学専攻尾上孝雄教授には、本研究を進めるにあたり、直接の御指導、有益な御教示、御助言を賜りました。謹んで深謝の意を捧げます。

本論文を執筆するにあたり有益な御教示、御助言を賜りました、大阪大学大学院情報科学研究科情報ネットワーク学専攻村上孝三教授、同情報システム工学専攻藤岡弘教授に厚く感謝申し上げます。

大阪大学大学院博士後期課程在学中に多くの御指導、御教示を賜りました大阪大学大学院情報科学研究科マルチメディア工学専攻西尾章治郎教授、薦田憲久教授、同バイオ情報工学専攻赤澤堅造教授、大阪大学サイバーメディアセンター下條真司教授、大阪大学大学院情報科学研究科マルチメディア工学専攻岸野文郎教授に厚く御礼申し上げます。

中央大学理工学部電気電子情報通信工学科築山修治教授には本研究を進めるにあたり、直接の御指導、有益な御教示、御助言を賜りました。厚く感謝申し上げます。

大阪大学とシャープ株式会社との共同研究において、多くの御指導、御教示を賜りました大阪大学大学院工学研究科電子情報エネルギー工学専攻谷口研二教授、松岡俊匡講師に厚く感謝申し上げます。

関西学院大学理工学部情報科学科石浦菜岐佐教授には適切な御指導、御助言をいただき、厚く感謝申し上げます。

大阪大学先導的研究オープンセンター藤田玄助手、大阪大学大学院情報科学研究科情報システム工学専攻畠中理英助手、大阪大学大学院工学研究科社会連携室密山幸男助手には適切な御助言、御協力を頂き、また様々な面でお世話になりました。心より感謝申し上げます。

大阪大学において社会人学生として本研究を進める機会を与えて頂いた、シャープ株式会社副社長三坂重雄氏、シャープ株式会社取締役奥田徹氏に深く感謝の意を表します。また、本研究の全過程を通じて、常にご配慮、ご指導をいただきました、シャープ株式会社生産技術開発推進本部技監西田久生氏、シャープ株式会社生産技術開発推進本部設計システム開発センター所長二上範之氏に深く感謝いたします。

液晶表示装置の寄生素子抽出機能の開発に関してシャープ株式会社においては情報通信事業本部本部長中川博英氏、モバイル液晶事業本部本部長片山幹雄氏、モバイル液晶事業本部システム液晶第二事業部事業部長今矢明彦氏、モバイル液晶事業本部要素技術開発センター所長村松哲郎氏、モバイル液晶事

業本部要素技術開発センター副所長増井捷宏氏，モバイル液晶事業本部システム液晶第二事業部開発技術部部長久保田靖氏，同副参事野中敏宏氏，同副参事松田登氏，同係長永井知幸氏，同主事前田和宏氏，同主事西修司氏，電子部品営業本部新規事業推進統轄ソリューション企画室室長今井繁規氏，同主事李副烈氏には多大なるご指導とご協力を頂きました。厚く御礼申し上げます。

共同研究者として，常に議論し，協力頂いた古家眞氏 (株式会社シンセシス)，尾上研究室大学院生内田好弘氏，陸峰氏 (シャープ株式会社) に感謝の意を表します。

同じ尾上研究室社会人ドクターの岡田勉氏 (古野電気株式会社)，小林互氏 (株式会社アーニス・サウンド・テクノロジーズ)，中川克哉氏 (シャープ株式会社)，喜多村龍氏 (ホシデン株式会社)，原潤一氏 (株式会社リコー)，小谷章夫氏 (シャープ株式会社)，には適切な御助言を頂きました。厚く御礼申し上げます。

研究室で楽しい時を一緒に過ごし，種々の面でお世話になった，水野洋氏 (松下電器産業株式会社)，三木 Morgan 裕介氏 (シャープ株式会社)，Zaldy Achivar Andales 氏 (University of the Philippines)，阪本憲成氏 (株式会社ルネサステクノロジ)，岡田浩行氏 (シャープ株式会社)，川本和則氏 (株式会社デンソー)，大谷昌弘氏 (シャープ株式会社)，宋天氏，宋学燮氏，伊勢正尚氏，郭朝暉氏，木村基氏，小坂篤史氏をはじめとする尾上研究室の皆さんに厚く御礼申し上げます。また，本学在学中に多くの御協力を頂いた尾上研究室秘書の藤田エリサさんに深く感謝いたします。

池田回生病院 田水智子先生には，健康管理の面で大変お世話になりました。心より感謝申し上げます。最後に，本研究において心の支えとなってくれた妻 圭子，子供達 俊和，知朗に感謝する。

参考文献

- [1] 堀 浩雄, 鈴木 幸治: “カラー液晶ディスプレイ,” 共立出版株式会社 (2001 年 6 月).
- [2] 大久保 聡, 小谷 卓也: “フラットパネル・ウォーズ 艶やかさで競う, 第 3 部 小型でも高精細に目指すはいつでもどこでも,” 日経エレクトロニクス, no. 835, pp. 119–125 (2002 年 11 月).
- [3] 和田 修己: “プリント回路基板の EMC 設計関連の研究動向,” 電子情報通信学会誌, vol. 83, no. 11, pp. 849–850 (2000 年 11 月).
- [4] M. Montrose: “EMC and the printed circuit board,” IEEE Press, Piscataway, NJ (1996).
- [5] 坪井 始, 内藤 督: “数値電磁界解析法の基礎,” 養賢堂 (1994 年).
- [6] K. S. Oh, D. Kuznetsov, and J. E. Schutt-Aine: “Capacitance computations in a multilayered dielectric medium using closed-form spatial Green’s functions,” *IEEE Trans. on Microwave Theory and Techniques*, vol. 42, no. 8, pp. 1443–1453 (Aug. 1994).
- [7] 高木 治夫, 渋谷 昇, 伊藤 健一: “雑音解析評価システム—多導体系の容量計算プログラム CALCAP について—,” 電子通信学会論文誌, vol. J67-B, no. 8, pp. 900–907 (1984 年 8 月).
- [8] L. W. Schaper and D. I. Amey: “Improved electrical performance required for future MOS packaging,” *IEEE Trans. on Components, Hybrids and Manufacturing Technology*, vol. 6, No. 3, pp. 282–289 (Sep. 1983).
- [9] J. H. Chern, J. Huang, L. Arledge, P. C. Li, and P. Yang: “Multilevel metal capacitance models for CAD design synthesis systems,” *IEEE Electron Device Letters*, vol. 13, no. 1, pp. 32–34 (Jan. 1992).
- [10] M. I. Elmasry: “Capacitance calculations in MOSFET VLSI,” *IEEE Electron Device Letters*, vol. 3, no. 1, pp. 6–7 (Jan. 1982).
- [11] W. H. Chang: “Analytical IC metal-line capacitance formulas,” *IEEE Trans. on Microwave Theory and Techniques*, pp. 608–611 (Sep. 1976).

- [12] M. S. Lin: “Measured capacitance coefficients of multiconductor microstrip lines with small dimensions,” *IEEE Trans. on Components, Hybrids, and Manufacturing Technology*, vol. 13, no. 4, pp. 1050–1054 (Dec. 1990).
- [13] A. E. Ruehli: “Survey of computer-aided electrical analysis of integrated circuit interconnections,” *IBM Journal of Research and Development*, vol. 23, pp. 626–639 (Nov. 1979).
- [14] A. E. Ruehli and P. A. Brennan: “Accurate metallization capacitances for integrated circuits and packages,” *IEEE Journal of Solid-State Circuits*, vol. SC-8, no. 4, pp. 289–290 (Aug. 1973).
- [15] R. L. M. Dang and N. Shigyo: “Coupling capacitances for two-dimensional wires,” *IEEE Electron Device Letters*, vol. 2, no. 8, pp. 196–197 (Aug. 1981).
- [16] L. A. Glasser and D. W. Dobberpuhl: “The design and analysis of VLSI circuits,” Addison-Wesley Publishing Co., Reading, Mass. (1985).
- [17] C. P. Yuan and T. N. Trick: “A simple formula for the estimation of the capacitance of two-dimensional interconnects in VLSI circuits,” *IEEE Electron Device Letters*, vol. 3, no. 12, pp. 391–393 (Dec. 1982).
- [18] T. Sakurai: “Closed-form expressions for interconnection delay, coupling, and crosstalk in VLSI’s,” *IEEE Trans. on Electron Devices*, vol. 40, no. 1, pp. 118–124 (Jan. 1993).
- [19] U. Choudhury and A. Sangiovanni-Vincentelli: “Automatic generation of analytical models for interconnect capacitance,” *IEEE Trans. on Comput.-Aided Des. Integrated Circuits & Syst.*, vol. 14, no. 4, pp. 470–480 (Apr. 1995).
- [20] W. Jin, Y. Eo, W. R. Eisenstadt, and J. Shim, “Fast and accurate quasi-three-dimensional capacitance determination of multilayer VLSI Interconnects,” *IEEE Trans. on VLSI Systems*, vol. 9, no. 3, pp. 450–460 (June 2001).
- [21] Raphael User Manual of Avant! Corp. (2000).
- [22] Y. Uchida, S. Tani, S. Tsukiyama, and I. Shirakawa: “Parasitic Capacitance Modeling for TFT Liquid Crystal Displays,” in *Proc. European Solid-State Device Research Conference (ESS-DERC2003)*, Estoril, Portugal, pp. 453–456 (Sep. 2003).
- [23] S. Tani, Y. Uchida, M. Furuie, S. Tsukiyama, B. Lee, S. Nishi, Y. Kubota, I. Shirakawa, and S. Imai: “Parasitic Capacitance Modeling for Non-Planar Interconnects in Liquid Crystal Displays,” *IEICE Trans. on Fundamentals*, vol. E86-A, no. 12, pp. 2923–2932 (Dec. 2003).

- [24] Y. Fukumoto, S. Nakamura, O. Wada, and R. Koga: "A Design Method of Decoupling Circuits for a Digital PCB to Reduce High Frequency Current on Power and Ground Planes," *1999 International Symposium on Electromagnetic Compatibility (EMC'99/TOKYO)*, pp. 9–12 (1999).
- [25] T. H. Hubing, J. L. Drewniak, T. P. Van Doren and D. M. Hockanson: "Power Bus Decoupling on Multilayer Printed Circuit Boards," *IEEE Trans. on Electromagnetic Compatibility*, vol. 37, no. 2, pp. 155–166 (May 1995).
- [26] 谷 貞宏, 尾崎 正昭, 中 政道, 小谷 又平: "多層プリント回路基板のバイパスコンデンサー配置による放射ノイズ低減一手法," 電子情報通信学会技術研究報告, EMCJ99-57, pp. 35–40 (1999年9月).
- [27] 原 敦, 笠井 真理子, 横田 等, 中村 篤: "基板形状及びICの電気特性が給電系放射ノイズに与える影響," 電子情報通信学会技術研究報告, EMCJ99-22 (1999年).
- [28] 谷 貞宏, 中 政道, 尾崎 正昭, 小谷 又平: "多層プリント基板の電源系放射ノイズシミュレーション," 第14回エレクトロニクス実装学術講演大会, pp. 173–174 (2000年3月).
- [29] H. Araki, D. Iguchi, and O. Ueno: "Simulation for Noise Reduction Effect on Electromagnetic Radiation Using Board-edge Capacitors," *1999 International Symposium on Electromagnetic Compatibility (EMC'99/TOKYO)*, pp. 29–32 (1999).
- [30] K. Lee and A. Barber: "Modeling and Analysis of Multichip Module Power Supply Planes," *IEEE Trans. on CPMT-Part B*, vol. 18, no. 4, pp. 628–639 (Nov. 1995).
- [31] 原田 高志, 浅尾 清, 佐々木 英樹, 上 芳夫: "多層プリント回路基板電源供給系の二次元解析," 信学技報, EMCJ99-102, pp. 7–14 (1999年12月).
- [32] 谷 貞宏, 内田 好弘, 築山 修治, 白川 功: "配線間容量モデル化とその評価について," 電子情報通信学会技術研究報告 CAS2002-43, pp. 7–12 (2002年6月).
- [33] S. Tani, Y. Uchida, M. Furuie, S. Tsukiyama, B. Lee, S. Nishi, Y. Kubota, I. Shirakawa, and S. Imai: "Parasitic Capacitance Modeling for Multilevel Interconnects," in *Proc. IEEE Asia-Pacific Conference on Circuits and Systems 2002 (APCCAS 2002)*, Orchard Road, Singapore, vol. 1, pp. 59–64 (Dec. 2002).
- [34] S. Tani, Y. Uchida, M. Furuie, S. Tsukiyama, B. Lee, S. Nishi, Y. Kubota, I. Shirakawa, and S. Imai: "A Parasitic Capacitance Modeling Method for Non-Planar Interconnects," in *Proc. Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI 2003)*, Hiroshima, Japan, pp. 294–299 (Apr. 2003).

- [35] 内田 好弘, 谷 貞宏, 築山 修治, 白川 功: “領域分割による配線間容量モデル化手法について,” 電子情報通信学会技術研究報告 NLP2003-21, pp. 7–12 (2003 年 6 月).
- [36] Y. Uchida, S. Tani, S. Tsukiyama, and I. Shirakawa: “Parasitic Capacitance Modeling for On-Chip Interconnects,” in *Proc. International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2003)*, Kang-Woo Do, Korea, vol. 3, pp. 1638–1641 (July 2003).
- [37] 谷 貞宏, 白川 功: “多層プリント回路板の電源供給系におけるインピーダンスシミュレーション,” エレクトロニクス実装学会誌, vol. 4, no. 5, pp. 378–385 (2001 年 8 月).
- [38] 高橋秀俊: “線形集中定数系論 III,” 岩波書店, 岩波講座基礎工学 6, 第 7 章, pp. 323–379 (1971 年).
- [39] 大津 信一, 向井 誠: “EMC 電磁波解析ソフトウェア ACCUFIELD によるイミュニティ解析,” 電子情報通信学会誌, vol. 83, no. 11, pp. 856–859 (2000 年 11 月).