The University of Osaka
Institutional Knowledge Archive

Title	Studies on Performance Evaluation and Design Productivity Improvement for Digital Signal Processing Systems
Author(s)	Kumura, Takahiro
Citation	大阪大学, 2012, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/26850
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

https://ir.library.osaka-u.ac.jp/

The University of Osaka

【12】

氏　　名	久村孝寛（くむら たかひろ）
博士の専攻分野の名称	博　士（情報科学）
学位記番号	第　２５２８６　号
学位授与年月日	平成24年３月22日
学位授与の要件	学位規則第４条第１項該当 情報科学研究科情報システム工学専攻
学位論文名	Studies on Performance Evaluation and Design Productivity Improvement for Digital Signal Processing Systems （ディジタル信号処理システムの性能評価と設計効率化に関する研究）
論文審査委員	（主査） 教　授　今井　正治 （副査） 教　授　尾上　孝雄 関西学院大学理工学部情報科学科教授　石浦菜岐佐　　准教授　武内　良典

論文内容の要旨

本論文は、ディジタル信号処理システムの性能評価および設計効率化に関する研究を扱う。ディジタル信号処理アプリケーションを実現するうえで、機能変更やバグ修正に対応するためにソフトウェアでプログラム可能なプロセッサによる実現手段が必要とされている。ディジタル信号処理アプリケーションをプロセッサで実現する際に重要なことは、アルゴリズム、プロセッサ・アーキテクチャ、ソフトウェア開発ツール、の三つの要素を最適化して組み合わせることである。最適な組み合わせを探索するためには、プロセッサ・アーキテクチャ設計段階におけるターゲット・アプリケーションの性能見積もりを効率よく行うこと、それを可能にするためのソフトウェア開発ツール、がプロセッサによるディジタル信号処理システムの設計効率化にとって重要な役割を果たす。さらに、信号処理アプリケーションの要求演算量増加に応えるために、複数のプロセッサへ負荷を分散するソフトウェア並列化を支援することも、今後のディジタル信号処理システム設計には重要となる。本論文は、このような点に注目する。本論文では、まず始めに、信号処理プロセッサコアの設計事例をとりあげ、ターゲット・アプリケーションの性能評価の実例について述べる。つづいて、LSI製造前にディジタル信号処理システム全体の性能評価効率を改善する手法について述べる。FPGAと信号処理プロセッサコアのテストチップを組み合わせる手法により、周辺I/Fの追加/変更/修正に対応可能で、なおかつオーディオやビデオ信号をリアルタイムで処理可能な程度の動作周波数にスケールダウンした評価環境を構築した。さらに、ソフトウェア開発ツールをプロセッサ設計段階の早期に提供し性能評価を効率よく行うことを可能にするために、ソフトウェア開発ツールの生成手法について述べ、組込み関数を使用可能なコンパイラにより手書きアセンブラコードと同等な性能のコードが得られることを示す。最後に、ディジタル信号処理システムの並列化の効率を改善するために、信号処理アルゴリズムの動作を表すモデルから並列Cコードを生成する手法について述べる。以上の本論文の取り組みにより、プロセッサを使ったディジタル信号処理システムの設計効率に関する主要な三つの改善が可能となった。

論文審査の結果の要旨

本論文は、ディジタル信号処理システムのための性能評価手法と設計効率化手法を提案している。

ディジタル信号処理アプリケーションを実現する際、機能変更やバグ修正に対応するためにはソフトウェアでプログラム可能なプロセッサによる実現が有効である。ディジタル信号処理アプリケーションをプロセッサで実現する際に重要なことは、アルゴリズム、プロセッサ・アーキテクチャ、ソフトウェア開発ツールの三要素を最適化して組み合わせることである。最適な組み合わせを探索するためには、プロセッサ・アーキテクチャ設計段階におけるターゲット・アプリケーションの性能見積もりと、それを可能にするためのソフトウェア開発ツールの自動生成が重要な役割を果たす。また、信号処理アプリケーションの要求演算量増加に応えるために、複数のプロセッサへ負荷を分散するソフトウェア並列化を支援することも、今後のディジタル信号処理システム設計には重要である。

本論文では、まず、信号処理プロセッサコアの設計事例をとりあげ、ターゲット・アプリケーションの性能評価の実例について述べている。次に、LSI製造前にディジタル信号処理システム全体の性能評価効率を改善する手法を提案している。FPGAと信号処理プロセッサコアのテストチップを組み合わせる手法により、周辺I/Fの追加/変更/修正に対応可能で、なおかつオーディオやビデオ信号を実際の1/3の動作周波数で評価できる環境を実現した。さらに、ソフトウェア開発ツールをプロセッサ設計段階の早期の段階で提供し性能評価を効率よく行うことを可能にするために、ソフトウェア開発ツールの生成手法を提案し、組込み関数を使用可能なコンパイラにより手書きアセンブラコードと同等な性能のコードが得られることを示した。また、ディジタル信号処理システムの並列化の効率を改善するために、信号処理アルゴリズムの動作を表すモデルから並列Cコードを生成する手法を提案している。本論文の提案法により、ディジタル信号処理システムの設計において、プロセッサ・アーキテクチャ設計段階におけるターゲット・アプリケーションの性能見積もりと、それを可能にするためのソフトウェア開発ツールの自動生成が可能となることが知られた。。

本研究は、ディジタル信号処理システムのプロセッサによる効率的な実現法に関する先駆的研究であり、ディジタル信号処理システム設計効率化の発展に寄与するものである。したがって、本論文を博士（情報科学）の学位論文として価値のあるものと認める。