



Title	Research on area-efficient, low power reference circuit
Author(s)	Bogoda, Appuhamlage Indika Udaya Kumara
Citation	大阪大学, 2012, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/26865
rights	
Note	

Osaka University Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

Osaka University

氏名	ボゴダ アップハーミラーガイ インディカ ウダヤ クマラ Bogoda Appuhamylage Indika Udaya Kumara
博士の専攻分野の名称	博士 (工学)
学位記番号	第 25534 号
学位授与年月日	平成24年3月22日
学位授与の要件	学位規則第4条第1項該当 工学研究科電気電子情報工学専攻
学位論文名	Research on area-efficient, low power reference circuit (小面積、低消費電力参照電源回路に関する研究)
論文審査委員	(主査) 准教授 松岡 俊匡 (副査) 教授 八木 哲也 准教授 橋本 昌宣 招聘教授 谷口 研二 教授 伊藤 利道 教授 森 勇介 教授 片山 光浩 教授 尾崎 雅則 教授 栖原 敏明 教授 近藤 正彦 教授 大森 裕 教授 森田 清三

論文内容の要旨

The main part of this research was dedicated to propose a new area-efficient and low power bandgap reference (BGR) circuit. Two new BGR circuit architectures utilizing current switched and current memory techniques are presented. Both circuits are designed using manufacturer-provided device models and operations are verified by using SPICE (Simulation Program with Integrated Circuit Emphasis) simulations. Moreover, to study the design area occupation, layout designing is also carried out.

The final part of the research was carried out to propose a novel ultra-low-power temperature independent current reference, which is designed by using subthreshold CMOS devices. In this work also, SPICE simulations were performed to verify the circuit operations, and the results are presented. Therefore, this dissertation consists of six chapters.

In Chapter 1, a brief introduction of this research is given, including research background, objectives and

dissertation structure.

In Chapter 2, the conventional BGRs are reviewed and the major problems of available CMOS BGRs are discussed.

In Chapter 3, an area efficient CMOS bandgap reference with switched-current and current-memory technique is presented. The proposed circuit uses only one parasitic bipolar transistor to generate reference voltage so that significant area reduction is achieved. The circuit produces an output of about 650mV, and simulated results show that the temperature coefficient of output is less than 10.7ppm/°C in the temperature range from 0°C to 100°C. The average current consumption is about 49.5µA in the above temperature range. Furthermore, output can be set to almost any value. The circuit was designed and simulated in 0.25µm CMOS technology. The layout occupies less than 0.0011mm² (100µm × 110µm).

In Chapter 4, an area efficient, low power, fractional CMOS bandgap reference utilizing switched-current and current-memory techniques is presented. The proposed circuit uses only one parasitic bipolar transistor and built-in current source to generate reference voltage. Therefore significant area and power reduction is achieved, and bipolar transistor device mismatch is eliminated. In addition, output reference voltage can be set to almost any value. The proposed circuit is designed and simulated in 0.18µm CMOS process, and simulation results are presented. With a 1.6 V supply, the reference produces an output of about 628.5 mV, and simulated results show that the temperature coefficient of output is less than 13.5 ppm/°C in the temperature range from 0 °C to 100 °C. The average current consumption is about 8.5µA in the above temperature range. The core circuit, including current source, operational amplifier, current mirrors and switched capacitor filters, occupies less than 0.0064 mm² (80µm × 80µm).

In Chapter 5, a novel temperature-compensated, ultra-low-power current reference based on two β-multipliers whose resistors are replaced by nMOS devices operated in the deep triode region is presented. The circuit, designed by a 0.25µm CMOS process, produces an output reference current of 13.7nA at room temperature. Simulated results show that the temperature coefficient of the output is less than 100 ppm/°C in the range from -20 °C to 80 °C and the average power dissipation is 0.9µW.

In Chapter 6, conclusions of this study and recommendations for further research are given.

論文審査の結果の要旨

本論文は、「小面積、低消費電力参照電源回路に関する研究」に関する研究成果をまとめたものであり、以下の6章で構成されている。

第1章では、本研究の背景、本研究の目的について述べた後、本論文の構成の概略を述べている。

第2章では、参照電源回路における課題を述べ、本研究の目的を明確にしている。参照電圧回路は主にA/D及びD/A変換器で使われており、温度変化、電源電圧変化、プロセスばらつきなど様々な非理想的な環境変化に対しても、一定値の信号を出力する必要がある。更にデジタルカメラ、携帯電話などバッテリー駆動の携帯機器の普及により小面積化及び低消費電力化が重要となる。また、マイクロセンサ及び医療用電子機器の普及に伴い、超低消費電力LSIが重要となっており、それを実現するためにMOSFETの弱反転領域特性を用いたLSIの開発も重要となっている。そこで、バンドギャップ参照電圧回路の小面積化及び低消費電力化、さらに弱反転CMOS回路に対して定電流を供給する電流源回路の開発を研究目的とすることが示されている。

第3章では、電流スイッチング技術及び電流メモリ技術を用いることで、最小限の寄生バイポーラ・トランジスタで、機能的にバンドギャップ電圧を取り出す手法を提案している。この手法は、バンドギャップ参照電圧回路面積の大半を占めるバイポーラ・トランジスタ配列を無くし、バイポーラ・トランジスタ個だけで参照電圧を生成できる技術である。さらに、出力参照電圧はバンドギャップ電圧の分数に設定することが可能であることも述べられている。0.25µm CMOS プロセスに基づくシミュレーション及びレイアウト設計の結果より、出力参照電圧の温度係数は10.7ppm/°C以下、また、提案回路のレイアウト面積が0.0011mm²であることを確認しており、従来の分数バンドギャップ参照電圧回路に対して大幅に面積を削減できることが示されている。

第4章では、電流スイッチング方法を用いた小面積バンドギャップ参照電圧回路の低消費電力化について述べてい

る。出力段では、電流減算法の代わりに電流加算法を導入することで無駄な電流経路をなくし、低消費電力化を実現している。0.18 μm CMOS プロセスに基づくシミュレーション及びレイアウト設計の結果から、出力参照電圧の温度係数は 13.5 ppm/ $^{\circ}\text{C}$ 以下、また、提案回路のレイアウト面積が 0.0064 mm^2 であることを確認しており、第 3 章の電流スイッチング方法を用いた小面積バンドギャップ参照電圧回路に対して消費電力を大幅に低減できることを確認している。

第 5 章では、弱反転 CMOS を用いた参照電流回路のさらなる高精度化のために、新構成の参照電流回路を提案している。提案手法では、 β 参照型定電流回路の抵抗部分を MOSFET の線形抵抗に置き換えた、異なる温度係数を持つ二つの電流源を用いて、温度依存性を除去している。0.25 μm CMOS プロセスに基づくシミュレーション設計の結果から、参照電流源の温度依存性を 100 ppm/ $^{\circ}\text{C}$ 以下にまで低減できることを確認している。

第 6 章では、本論文で取り上げた各研究課題に関する成果についてまとめている。

以上のように、1) バンドギャップ参照電圧回路の小面積化及び低消費電力化のための回路技術、2) 弱反転 CMOS を用いた参照電流回路の高精度化のための回路技術、を提案し、これらの有効性を明らかにしている。これらの研究成果および本論文で述べた技術は、小面積、低消費電力参照電圧回路技術の技術発展へ貢献し、エレクトロニクス産業の発展に大きく寄与するものである。

よって本論文は博士論文として価値あるものと認める。