



Title	先端集積回路デバイスにおける歩留り向上のためのレイアウト改良に関する研究
Author(s)	小林, 幸子
Citation	大阪大学, 2010, 博士論文
Version Type	VoR
URL	https://hdl.handle.net/11094/270
rights	
Note	

The University of Osaka Institutional Knowledge Archive : OUKA

<https://ir.library.osaka-u.ac.jp/>

The University of Osaka

先端集積回路デバイスにおける
歩留り向上のための
レイアウト改良に関する研究

2010 年 7 月

小 林 幸 子

内容梗概

本論文は、筆者が 1994 年から現在まで株式会社東芝研究開発センター、プロセス技術推進センター、デバイスプロセス開発センター在職中ならびに、2009 年 4 月から現在までに大阪大学大学院 情報科学研究科 情報システム工学専攻 博士後期課程在学中に行ってきた、先端集積回路デバイスにおける歩留り向上のためのレイアウト改良に関する研究をまとめたものであり、次の 6 章から構成されている。

第 1 章は序論であり、本研究の背景、目的ならびにその半導体工学上の意義、及び関連する分野における本研究の位置づけについて述べ、また本論文の構成を説明する。

第 2 章では、設計と製造における歩留りを考慮したレイアウト改良について概説する。まずリソグラフィ起因歩留りを考慮した設計・製造の流れについて述べ、設計・製造における歩留り低下要因となるリソグラフィ起因歩留り低下危険箇所対策の手法について述べる。続いて、ITRS (International Technology Roadmap for Semiconductors) による半導体ロードマップを参照しながら種々の歩留り危険箇所対策と今後の課題について述べ、最後に歩留りを考慮したレイアウト改良手法の位置づけについて概観する。

第 3 章では光近接効果補正システムの開発について、その構成と実用性について述べる。はじめに光近接効果を用いたプロセス・マージンの拡大について説明し、次に光近接効果補正処理における高速・高精度化とデータサイズ抑制の課題について述べる。続いて光近接効果補正の高速・高精度にむけて、ルールベース法、モデルベース法のハイブリッド方式を用いた新規手法を提案する。また、高精度の一次元光近接効果補正を行うための手法を提案し、提案の手法を用いて、プロトタイプシステムを構成する。さらに本プロトタイプシステムを用いて実デバイスの光近接効果補正処理を実施し、効果と実用性を検証する。

第 4 章では歩留り向上へ向けたレイアウト改良システムの構築について述べる。まずリソグラフィ起因歩留り危険箇所であるホット・スポット抽出と修正の必要性について述べ、ホット・スポット自動修正システムの構成を提案する。次にホット・スポット自動修正システムを 65 nm 世代のロジックデバイスデータの自動修正に適用し、リソグラフィシミュレーションとウェーハ転写実験を通して修正の効果を確認する。さらに種々のデータを用いて処理時間を測定し、実用性を評価する。続いて、ホット・スポット自動修正の高精度化のために、モデルベースの手法を提案し、図形修正率の向上効果を検証する。また大規模データを処理するための高速化の手法について提案する。さらに、種々の歩留り低下要因を考慮したレイアウト改良技術の開発について述べる。歩留りを考慮したレイアウト改良フローの構成について述べ、45 nm ノードテストセルライブラリへの適用を通して歩留り向上効果を確認する。

第5章では、設計インテントを利用した製造システムの構築について述べる。まず設計インテントを利用した製造システムの構成について説明し、次に設計インテントの例としてタイミングクリティカルパス、クロストークノイズ、エレクトロマイグレーションを挙げ、これらの項目に関して歩留り危険箇所を抽出し、プロセススペックの調整に利用する手法について例示する。最後に種々の設計起因の歩留り危険箇所情報を利用した製造システムを提案し、その有用性を述べる。

第6章では本研究で得られた成果をまとめ、今後の課題について述べる。

関連発表論文及び資料

1. 学会誌

- (1) S. Miyama, K. Yamamoto and K Koyama, “Large-Area Optical Proximity Correction with a Combination of Rule-Based and Simulation-Based Methods”, *Jpn. J. Appl. Phys.*, **35**, pp. 6370-6373 (1996).
- (2) S. Kobayashi, T. Uno, K. Yamamoto, S. Tanaka, T. Kotani, S. Inoue, H. Higurashi, S. Watanabe, M. Yano, S. Ohki, and K. Tsunakawa, "Development of An Accurate Optical Proximity Correction System for 1 Gbit Dynamic Random Access Memory Fabrication", *Jpn. J. Appl. Phys.*, **38**, pp.6161-6165 (1999).
- (3) T. Kotani, S. Tanaka, K. Yamamoto, S. Kobayashi, T. Uno, and S. Inoue, “Highly Accurate Process Proximity Correction Based on Empirical Model for 0.18 μm Generation and Beyond”, *Jpn. J. Appl. Phys.*, **38**, pp. 6957-6962 (1999).
- (4) S. Kobayashi; S. Kyoh; T. Kotani; S. Tanaka; and S. Inoue, "Automated hot-spot fixing system applied to the metal layers of 65-nm logic devices", *J. Micro/Nanolith. MEMS MOEMS*, **06(03)**, 031010 (2007).
- (5) S. Kobayashi, S. Kyoh, T. Kotani, Y. Takekawa, S. Inoue, and K. Nakamae, “Full-Chip Layout Optimization for Process Margin Enhancement using Model-based Hotspot Fixing System”, *Jpn. J. Appl. Phys.*, **49**, 06GB02 (2010).
- (6) S. Kobayashi, S. Tanaka, S. Kyoh, S. Maeda, M. Kajiwara, S. Inoue, and K. Nakamae “Design intention application to tolerance-based manufacturing system”, *J. Micro/Nanolith. MEMS MOEMS* (条件付き採録).

2. 国際会議

- (1) K. Hashimoto, S. Usui, S. Hasebe, M. Murota, T. Nakayama, F. Matsuoka, S. Inoue, S. Kobayashi, and K. Yamamoto, “Accurate proximity correction method with total-process proximity-based correction factor (TCF)”, *Proc. of SPIE Optical Microlithography XI*, **3334**, pp. 224-233 (1998).
- (2) S. Kobayashi, T. Uno, K. Yamamoto, S. Tanaka, T. Kotani, S. Inoue, H. Higurashi, S. Watanabe, M. Yano, S. Ohki, and K. Tsunakawa “Hierarchical processing for accurate optical proximity correction for 1-Gb DRAM metal layers”, *Proc. of SPIE Optical Microlithography XII*, **3679**, pp. 614-621 (1999).
- (3) T. Kotani, S. Kobayashi, H. Ichikawa, S. Tanaka, S. Watanabe, and S. Inoue, “Advanced hybrid optical proximity correction system with OPC segment library and model-based correction module”, *Proc. of SPIE Optical Microlithography XV*, **4691**, pp. 188-195 (2002).
- (4) T. Kotani, H. Ichikawa, T. Urakami, S. Nojima, S. Kobayashi, Y. Oikawa, S. Tanaka, A. Ikeuchi, K. Suzuki, and S. Inoue, “Efficient hybrid optical proximity correction method based on the flow of design for manufacturability (DfM)”, *Proc. of SPIE Photomask and Next-Generation Lithography Mask Technology X*, **5130**, pp.628-637 (2003).
- (5) T. Kotani, H. Ichikawa, S. Kobayashi, S. Nojima, K. Izuha, S. Tanaka, and S. Inoue, “Lithography simulation system for total CD control from design to manufacturing”, *Proc. of SPIE Design and Process Integration for Microelectronic Manufacturing III*, **5756**, pp. 219-229 (2005).
- (6) T. Kotani, S. Kyoh, S. Kobayashi, .T. Inazu, A. Ikeuchi, Y. Urakawa, S. Inoue, E. Morita, S. Klaver, T. Horiuchi, J. Peeters, and S. Kuramoto, “Development of hot spot fixer (HSF)”, *Proc. of SPIE Design and Process Integration for Microelectronic Manufacturing IV*, **6156**, pp. 61560H-1-8 (2006).
- (7) S. Kobayashi, S. Kyoh, T. Kotani, S. Tanaka, and S. Inoue, “Automated Hot-Spot Fixing System Applied for Metal Layers of 65 nm Logic Devices”, *Proc. of SPIE*

Photomask and Next-Generation Lithography Mask Technology XIII, **6283** pp. 62830R -1-11 (2006).

- (8) S. Kobayashi, S. Kyoh, T. Kotani, and S. Inoue, "Process window aware layout optimization using hot spot fixing system" *Proc. of SPIE Design for Manufacturability through Design-Process Integration*, **6521**, pp. 652110B-1-10 (2007).
- (9) S. Kobayashi, S. Kyoh, T. Kotani, and S. Inoue, "Yield-centric layout optimization with precise quantification of lithographic yield loss", *Proc. of SPIE Photomask and Next-Generation Lithography Mask Technology XV*, **7028**, pp.70280O-1-8 (2008).
- (10) S. Kyoh, S. Maeda, S. Kobayashi, and S. Inoue, "Manufacturing system based on tolerance deduced from design intention", *Proc. of SPIE Design for Manufacturability through Design-Process Integration III*, **7275**, pp. 72750M -1-8 (2009).
- (11) S. Kobayashi, S. Kyoh, T. Kotani, Y. Takekawa, S. Inoue and K. Nakamae, "Full-chip layout optimization for process margin enhancement using model-based hot-spot fixing system", in *Proc. 22nd International Microprocesses and Nanotechnology Conference (MNC 2009)*, Sapporo, Japan (16–19 Nov. 2009).
- (12) S. Kobayashi, S. Tanaka, S. Kyoh, S. Maeda, M. Kajiwara, S. Inoue, and K. Nakamae, "Design intention application to tolerance-based manufacturing system", *Proc. of SPIE Design for Manufacturability through Design-Process Integration IV*, **7641**, pp. 76410L-1-7 (2010).

3. 研究会

- (1) 小林幸子, 山元和子, 宇野太賀, ”高速光近接効果補正/検証システムの開発”, 信学技報 SDM Vol.97(1997), No.393 pp.51-55
- (2) 小林幸子, “リソグラフィ関連 DFM 技術の最新動向”, 応用物理学会分科会シリコンテクノロジー No.123, 「SPIE Advanced Lithography 2010 特集」p 18 (ISBN:978-4-86348-094-0)
- (3) 小林幸子, ”Design intention application to tolerance-based manufacturing system”, 応用物理学会次世代リソグラフィ(NGL)技術研究会『ワークショップ NGL2010』(2010) 7/12 講演予定

4. 学術講演会

- (1) 三山幸子, 山元和子, 小山清美, 井上壮一, “コンビネーション(ルール+シミュレーション)方式による光近接効果自動補正技術の開発(1)”, 1996 年春季応用物理学関係連合講演会、28a-ZW-7(1996).
- (2) 臼井聡, 橋本耕治, 長谷部茂, 室田雅之, 中山武雄, 松岡史倫, 井上壮一, 小林幸子, 山元和子, “トータルプロセス起因の補正ファクタ(TCF)をもちいた高精度近接効果補正技術”, 1998 年春季応用物理学関係連合講演会, 30p-YL-7(1998).
- (3) 宇野太賀, 小林幸子, 山元和子, 田中聡, 小谷敏也, 井上壮一, 日暮等, 渡辺進, 矢野光浩, 大木慎一郎, 綱川潔, “光近接効果補正ツールの開発—DRAM 配線層への適用検討—”, 1999 年春季応用物理学関係連合講演会, 28a-YB-3 (1999).
- (4) 小谷敏也, 田中聡, 三本木省次, 山元和子, 小林幸子, 宇野太賀, 井上壮一, “モデルベース二次元光近接効果補正ツールの開発(1)—コンタクトホール対

応補正エンジンの開発”, 2000 年春季応用物理学関係連合講演会, 28a-F-1 (2000).

- (5) 小林幸子, 山元和子, 宇野太賀, 田中聡, 小谷敏也, 井上壮一, 鈴木裕昭, 渡邊進, 日暮等, “モデルベース二次元光近接効果補正ツールの開発(2)—パターンマッチング方式によるコンタクトホール層高速補正”, 2000 年春季応用物理学関係連合講演会, 28a-F-2 (2000).

目次

第1章 序論	1
1.1 研究の背景	1
1.1.1 半導体微細化傾向	1
1.1.2 LSI リソグラフィプロセス開発傾向の変化	2
1.1.3 リソグラフィ工程における問題	4
1.2 研究の目的	6
1.3 論文構成	6
第2章 設計と製造における歩留りを考慮したレイアウト改良	9
2.1 まえがき	9
2.2 リソグラフィ起因歩留りを考慮した設計・製造の流れ	9
2.2.1 半導体製品のセル設計・チップ設計・製造フロー	9
2.2.2 設計・製造におけるリソグラフィ起因歩留り低下危険箇所対策	10
2.3 種々の歩留り危険箇所対策と今後の課題	12
2.4 歩留りを考慮したレイアウト改良手法の位置づけ	13
2.5 むすび	15
第3章 光近接効果補正システムの開発	16
3.1 まえがき	16
3.2 光近接効果補正によるプロセス・マージンの拡大	16
3.2.1 光近接効果補正の原理	16
3.2.2 プロセス毎の効果の補正	18
3.3 光近接効果補正処理における課題	20
3.4 光近接効果補正の高速・高精度化	22
3.4.1 ルール・モデルベースハイブリッド方式光近接効果補正手法	22
3.4.2 本手法の実デバイスへの適用結果	28
3.4.3 大規模レイアウトへの光近接効果補正適用へ向けた高速化	36
3.5 むすび	41

第4章 歩留り向上へ向けたレイアウト改良システムの構築	42
4.1 まえがき	42
4.2 ホット・スポット自動修正システムの構成	42
4.2.1 ホット・スポット修正の必要性	42
4.2.2 ホット・スポットの抽出および自動修正フローの構成	43
4.2.3 ホット・スポット修正パラメータの設定	49
4.2.4 65 nm 世代ロジックデータへのホット・スポット自動修正適用	52
4.3 モデルベースホット・スポット修正システムの構築	62
4.3.1 ホット・スポット高精度自動修正手法の必要性	62
4.3.2 モデルベースホット・スポット修正システムの構成	63
4.3.3 大規模データホット・スポット修正へ向けた高速化	69
4.4 種々の歩留り低下要因を考慮したレイアウト改良技術	74
4.4.1 種々の歩留り低下要因考慮レイアウト改良の必要性	74
4.4.2 歩留りを考慮したレイアウト改良フロー	74
4.4.3 レイアウト改良手法のテストセルライブラリへの適用例	78
4.5 むすび	84
 第5章 設計インテントを利用した製造システムの構築	 88
5.1 まえがき	88
5.2 設計インテントを考慮した製造システムの構成	88
5.2.1 製造プロセスにおける設計インテント考慮の必要性	88
5.2.2 設計インテントの抽出および製造における利用手法	91
5.2.3 タイミングクリティカルパス情報を利用した OPC 設定	95
5.2.4 クロストークノイズ情報を利用した リソグラフィシミュレーション検証設定	100
5.2.5 エレクトロマイグレーション情報を利用したプロセス設定	101
5.3 種々の設計インテント情報を考慮した製造プロセス	105
5.3.1 設計歩留り危険箇所抽出とレイアウト上の位置づけ	105
5.3.2 設計歩留り危険箇所情報を利用した製造システム	108
5.4 むすび	110

第 6 章 結論	112
謝辭	116
参考文献	117

第 1 章 序論

1.1 研究の背景

1.1.1 半導体の微細化傾向

半導体産業は発展を続け、半導体の微細化、高集積化が進んできた。微細化により計算の高速化、低消費電力化、また機能あたりの製造コストの低減が進められ、今では手のひらにのるサイズの携帯電話でテレビや映画を見ることができ、複雑な計算をラップトップコンピュータで行うこともできる。爪の先ほどのサイズのデバイスにほとんど無尽蔵に写真や映画や書籍を保存し、好きなときに楽しむ便利さを多くの人が享受している。これは、半導体製造技術のロードマップを指針に半導体製造技術が進展した恩恵による。

図1に、ITRS (International Technology Roadmap for Semiconductors) より引用した半導体製造技術のロードマップを示す^[1]。2－3年でトランジスタゲート長が 0.71 倍、つまり面積が 1/2 になってきた。

このような微細化の発展を支えてきたのがリソグラフィプロセスである。光露光システムにおける解像度 R は、次のレイリーの式で表される。

$$R = k_1 \frac{\lambda}{NA} \quad (1.1)$$

式(1.1)において、 k_1 はプロセスによって決まる定数、 λ は露光装置の光源波長、 NA は投影レンズの開口数を表す。解像度は光源の波長に比例し、開口数に反比例する。微細なパターンをウェーハ上で実現するために、光源の短波長化、高 NA 化を進めてきた。光源に関しては、水銀灯の g 線 (波長 436 nm)、 i 線 (波長 365 nm)、KrF (フッ化クリプトンレーザー、波長 248 nm)、ArF (フッ化アルゴンレーザー、波長 193 nm) と短波長化が進み、あわせてレンズやレジストの材料開発が進展した。開口数に関しては、空気よりも屈折率の高い液体でレンズとウェーハの間を満たすことにより、1 よりも大きな開口数を実現する液浸露光技術が開発された。さらに光源波長を短くするために EUV (極端紫外光、Extreme UltraViolet) 露光技術の開発、またパターンを分割して複数回の転写を行うダブルパターンニングなど、更なる微細化を進めるための研究開発が盛んに進められている。

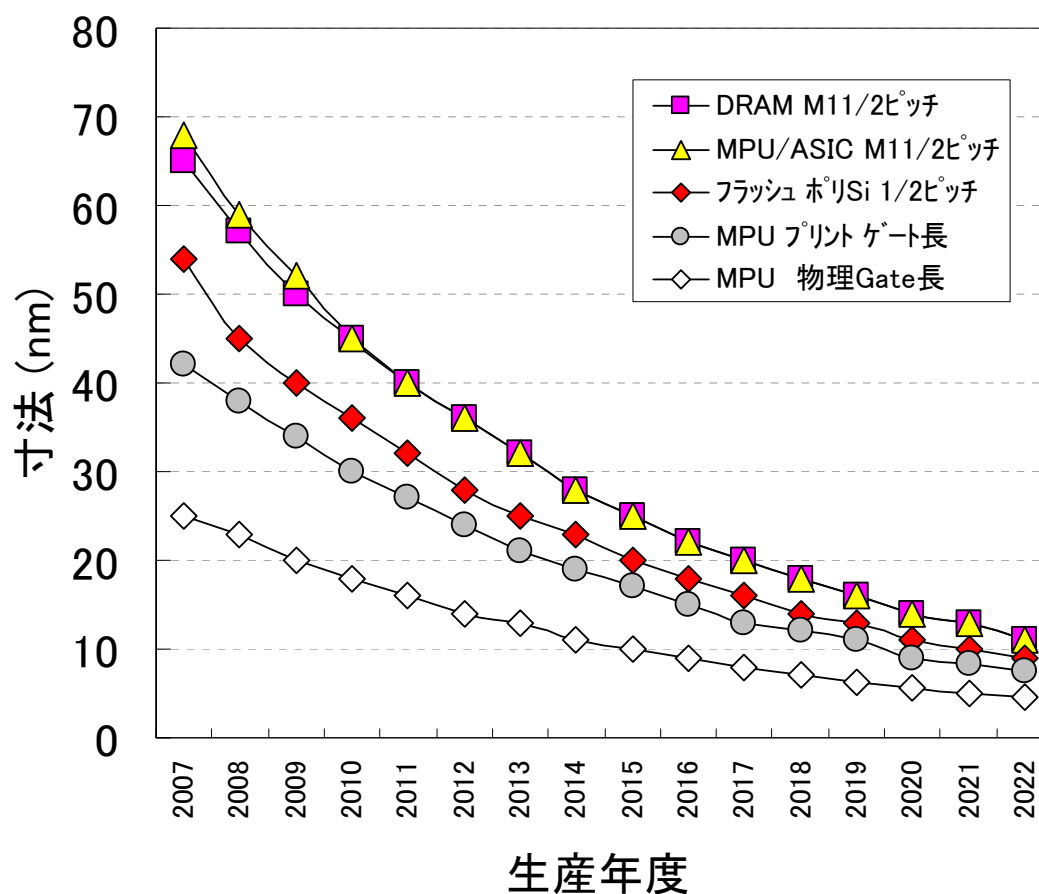


図 1.1 半導体デザインルールのトレンド^[1]
2007 ITRS Executive summary より

1.1.2 LSIリソグラフィプロセス開発傾向の変化

微細化傾向を達成するために、高NA化、短波長化、高解像レジスト開発などリソグラフィ技術が開発されてゆくが、露光装置における光源の短波長化に関する開発スピードは微細化傾向に追従することが難しい。このため式 (1.1) における k_1 ファクタは次第に低下する。

表 1.1にマイクロプロセッサ製造におけるハーフピッチ (1/2 ピッチ) と光源波長、 k_1 値

の関係を示す^[1]。マイクロプロセッサユニットにおける 1/2 ピッチが 160 nm から 32 nm に縮小するに従い、光源波長を 248 nm から 193 nm へと縮小させ、また液浸露光技術（レンズとウェーハの間を液体で満たし NA を向上させる技術）を導入している。しかしながら k_1 ファクタは 0.48-0.52 から 0.18-0.28 と大幅に低下し、製造困難度はより増大する。 k_1 ファクタの理論限界値は $k_1 = 0.25$ であるが、0.35 から 0.3 以下となるとパターン解像が困難となり、低 k_1 プロセス条件と呼ばれる。低 k_1 プロセス条件においても所望の形状や寸法を達成するためには、種々の技術の導入が必要となる。一例としては、光近接効果補正 (OPC: Optical Proximity effect Correction)^{[2]-[7]}、位相シフトマスク (PSM: Phase Shifting Mask)、設計ルールへの制約、グリッド設計や多重露光などである。

一方、半導体性能向上の結果として計算機性能が向上し、ひいては高精度なリソグラフィシミュレーションの実行が可能となってきた。このような状況において、より製造の困難な低 k_1 プロセス条件での所望の寸法・形状の制御を行い、所望のデバイス性能を達成するために、リソグラフィシミュレーションを駆使して最適な露光条件の探索や、設計制約条件の探索が必要となる。また設計レイアウトやマスクパターンの改良が期待されている。

表 1.1 マイクロプロセッサ製造におけるハーフピッチと k_1 値の関係

MPU M1 1/2 ピッチ	160 nm	120nm	90nm	65nm	45nm	32nm
光源 (波長)	KrF 248 nm	KrF 248 nm	ArF 193 nm	ArF 193 nm	ArF 液浸 193 nm	ArF 液浸 193 nm
k_1	0.48-0.52	0.47-0.53	0.40-0.43	0.31-0.40	0.28-0.31	0.18-0.28

1.1.3 リソグラフィ工程における問題

低 k_1 の露光条件を用いたリソグラフィプロセスにおいて、ウェーハ上で所望の形状・寸法を実現するためには、露光による光の屈折・干渉などによるパターンの変形をマスク上で補償する、光近接効果補正 (Optical Proximity effect Correction: OPC) が必要となる。OPC はリソグラフィシミュレーションを繰り返してマスクレイアウトを補正するため、多大な計算量を要する。さらに微細化と高集積化に伴いレイアウトに含まれる図形数が増え、計算量は増す一方である。また、OPC における補正を高速に施すためにルールベースで行う手法においては、高い精度を実現するルールテーブルを構築することが難しい。その上、プロセスの複雑化に従ってマスクの種類、マスク制約、加工変換差などを考慮すべき項目は増大する。一例として、表 1.2 にフォトマスクへの寸法要求値を示す^[1]。マスク上の OPC パターンは表に示す値の範囲で形成し、ウェーハ上で所望の寸法を得る必要がある。これらの項目を十分に考慮するために、計算量はさらに増大する

ところが、設計データのテープ・アウト(出荷)後に迅速に製品を出荷するためには、マスクデータ製造およびマスク製造に費やすことのできる時間やコストは限られている。このため低コストかつ高速高精度の手法が必要となる。

表 1.2 フォトマスクへの寸法要求値

ウェーハ上最小 1/2 ピッチ(nm)	130	115	100	90		80		70		65	
マスク倍率	4	4	4	4	5	4	5	4	5	4	5
マスク上 最小イメージサイズ (nm)	360	300	260	212	265	180	225	160	220	140	175
マスク上 OPC サイズ [*] (透過) (nm)	260	230	200	180	225	160	200	140	175	130	163
マスク上 OPC サイズ [*] (不透明) (nm)	180	150	130	106	133	90	113	80	100	70	88

また、低 k_1 値での露光においては、リソグラフィ起因歩留り危険箇所（以降、ホット・スポットと略記）が発生する状況が増えていく。図 1.2に、テクノロジーノードの進展と k_1 値の低下、およびパターン形状忠実性の劣化を一覧する。 k_1 値が低下していくにつれ、より複雑なOPCが必要となっていくが、複雑なOPCを施してもなおかつ歩留り劣化の危険箇所であるホット・スポットが増加する^{[32]-[34]}。設計データ上、またウェーハ上におけるホット・スポット発生を回避するには、ホット・スポットの発生しやすいレイアウト形状や状況をあらかじめ予測し、下記(1)－(4)のいずれかにより回避する必要がある。

- (1) 設計規約の改良
- (2) 設計レイアウトの改良
- (3) OPC 条件の改良
- (4) 製造プロセスの改良

ところが実際のプロセス開発において(1)、(4)の及ぼす影響は多岐に亘るため、適用できる時期は限定的となり、タイミングの良い適用は困難である。また(3)においては検証に多くの人手と日数を要する。また(2)においては設計者がリソグラフィに関する熟練した知識を持つ必要があり、また多数のホット・スポット箇所の修正には多大な時間を要するという問題がある。

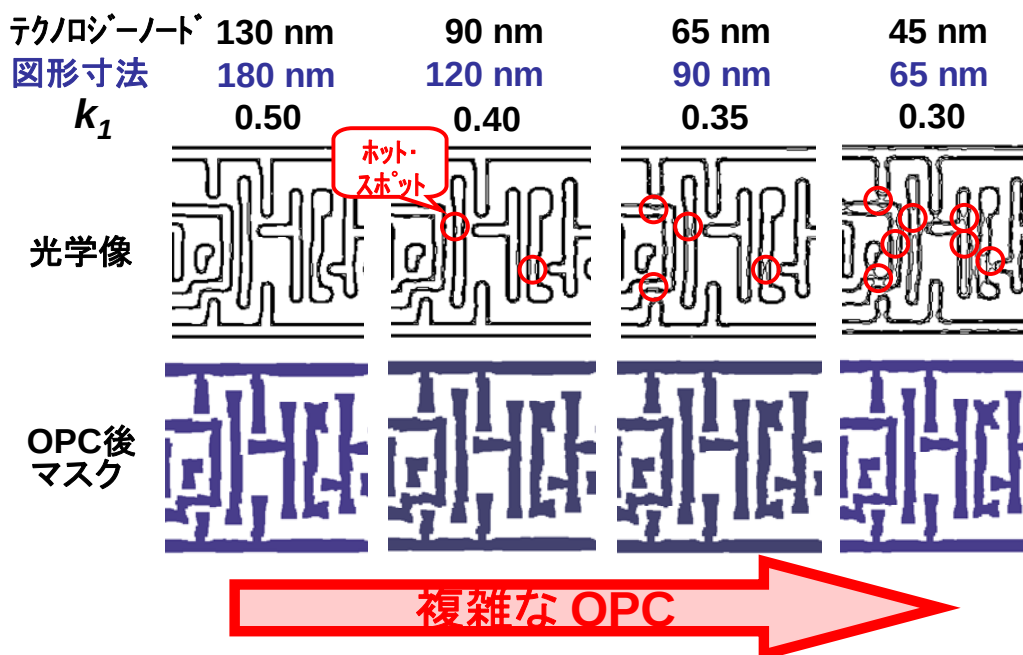


図 1.2 低 k_1 プロセス条件におけるパターン忠実度の劣化

さらに、設計ルールの微細化に伴い、リソグラフィなどレイアウトに依存するシステムティック要因による歩留り低下のみならず、回路的特性やバラツキなどのパラメトリック要因による歩留り低下が見過ごせなくなっている。レイアウト作成においては、リソグラフィのみならず種々の要因を精度よく見積もり、歩留りの高いレイアウトを作成する必要がある^{[30]-[39]}。

1.2 研究の目的

以上に述べた状況を踏まえ、本研究では、半導体装置の設計から製造を通して適用しうる歩留り向上のためのレイアウト改良技術の開発を目的として、三点に着目した研究を行う。

ひとつにはウェーハ上に露光・形成されるパターンを所望の形状、所望の寸法とするための、光近接効果補正を施したマスキレイアウトを高速高精度に作成するシステムを提案し、効果を評価することである。

二点目は、リソグラフィ起因の歩留り低下危険箇所を、設計データ上で迅速に高い精度で改良するシステムを提案し、実用性を評価することである。さらに、リソグラフィ起因の歩留り低下のみならず、パラメトリックばらつき、ランダム要因による歩留り低下を高精度に見積もり、レイアウトを改良するシステムを構成する。

三点目は、製造プロセス情報を利用した設計レイアウト改良に続いて、設計における回路特性情報を利用した製造フローを構成し、設計－製造フローの改良、レイアウト改良を行うことである。

1.3 論文構成

本論文の構成を、図 1.3 に従って説明する。

第2章では、設計と製造における歩留りを考慮したレイアウト改良について概説する。まず、リソグラフィ起因歩留りを考慮した設計・製造の流れについて説明し、種々の歩留り危険箇所の対策における今後の課題を述べる。さらに歩留りを考慮したレイアウト改良を行うべきステップについて説明する。

第3章では、高速高精度の光近接効果補正システムの構成について述べる。まず、ルールベース補正手法とモデルベース補正手法に関して、長所と短所を対比する。ついで、それらの長所を組み合わせた高速高精度の光近接効果補正手法を提案す

る。最後にメモリデバイスに適用して精度と処理速度、またデータサイズの増加率の観点から実用性を論じる。

第 4 章では歩留り低下危険箇所の自動改良手法について述べる。はじめにホット・スポット自動修正システムの構成について述べ、次により高精度なモデルベースの修正手法の構成を検討し、適用テストを行う。次にリソグラフィ起因歩留り低下要因のみならず、種々の歩留り低下要因を考慮したレイアウト改良技術を構成し、適用テストを行うことにより、実用性を論じる。

第 5 章では設計インテントを考慮した製造システムの構築について述べる。まず設計インテントを考慮した製造システムの構成を検討し、次に製造プロセスへの適用手法と効果を論じる。

第 6 章では本研究で得られた成果をまとめ、今後の課題について述べる。

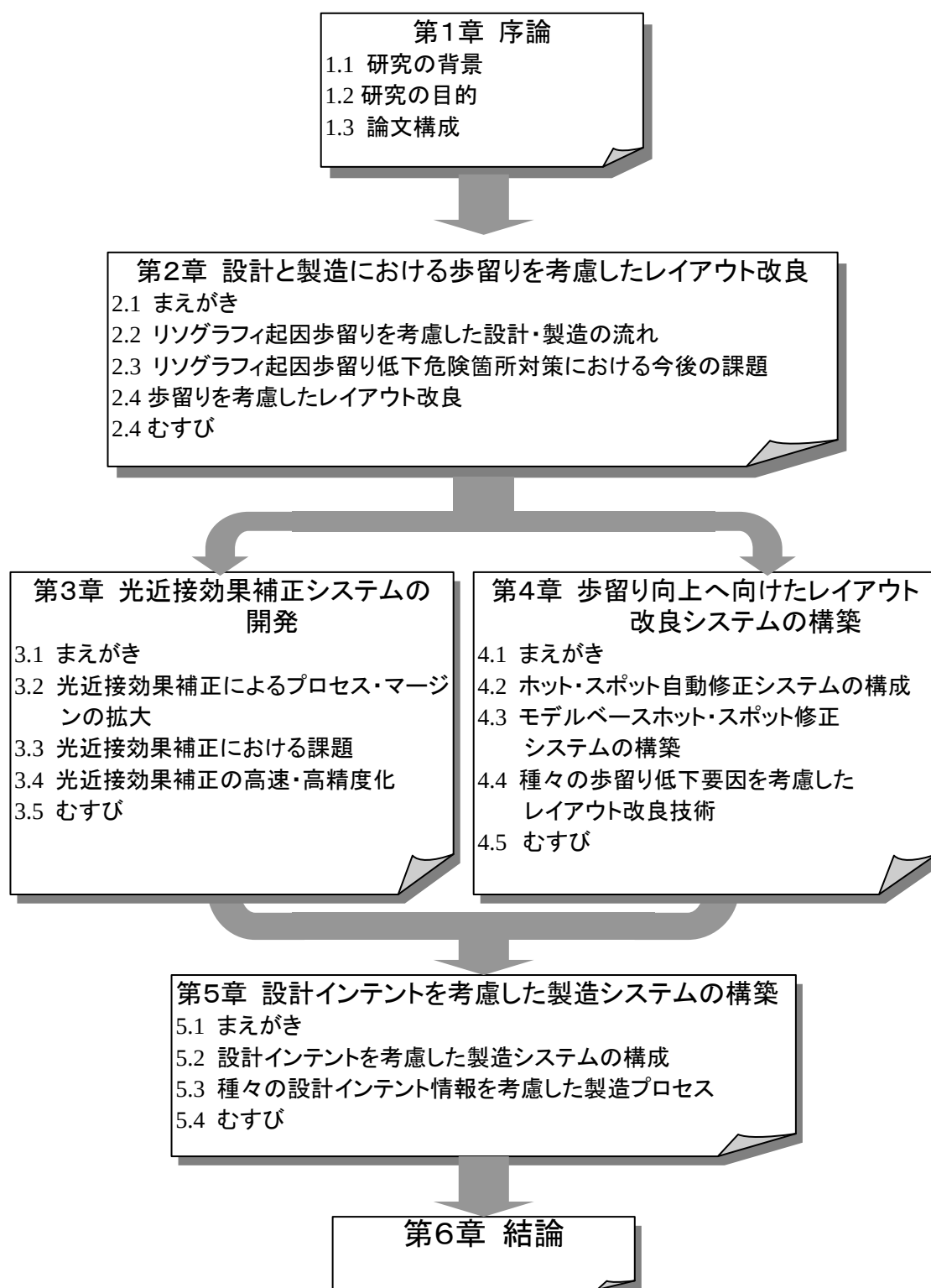


図 1.3 論文の構成

第2章 設計と製造における歩留りを考慮したレイアウト改良^{[8]-[15], [21-29]}

2.1 まえがき

本章では、先端集積回路デバイスの設計と製造における歩留りを考慮したレイアウト改良の全体像について述べる。まず、半導体デバイスの設計・製造フローについて概観する。次に、設計・製造フローにおける処理ステップ、および半導体技術ロードマップから見る今後の課題について述べる。最後に、本論文で論ずるレイアウト改良システムの位置づけについて述べる。

2.2 リソグラフィ起因歩留りを考慮した設計・製造の流れ

2.2.1 半導体製品のセル設計・チップ設計・製造フロー

一般的な特定用途向け集積回路 (Application Specific Integrated Circuit: ASIC) 製品に関する設計・製造フローの概要を図 2.1 に示す。セル設計段階においてはレイアウトを設計し、リソグラフィ起因歩留り危険箇所 (ホット・スポット) を修正して種々の検証とキャラクタライズを実施し、セルライブラリをリリースする。チップ設計段階においては、配置配線を行い、配置配線ツールの機能を利用してホット・スポットの抽出・修正を行う。次に種々の検証を実施し、基準値を満たしたレイアウトデータをテープ・アウトする。製造プロセスにおいては、マスクデータプレパレーション (Mask Data Preparation: MDP) および OPC を実施し、出力したマスク形状に関してリソグラフィシミュレーションを用いたチェックを行う。致命的なホット・スポットが無いことを確認の上でマスクデータを出荷する。続いてマスク製造プロセスにおいてマスク描画・作成を行い、ウェーハ製造プロセスにおいては露光・現像・エッチング等を行い、ウェーハ上にパターンを形成する。以上のステップを繰り返してデバイスを製造し、テストを経て出荷する。万一故障品が発生した場合には故障解析を行い、原因を特定し対策を施す。

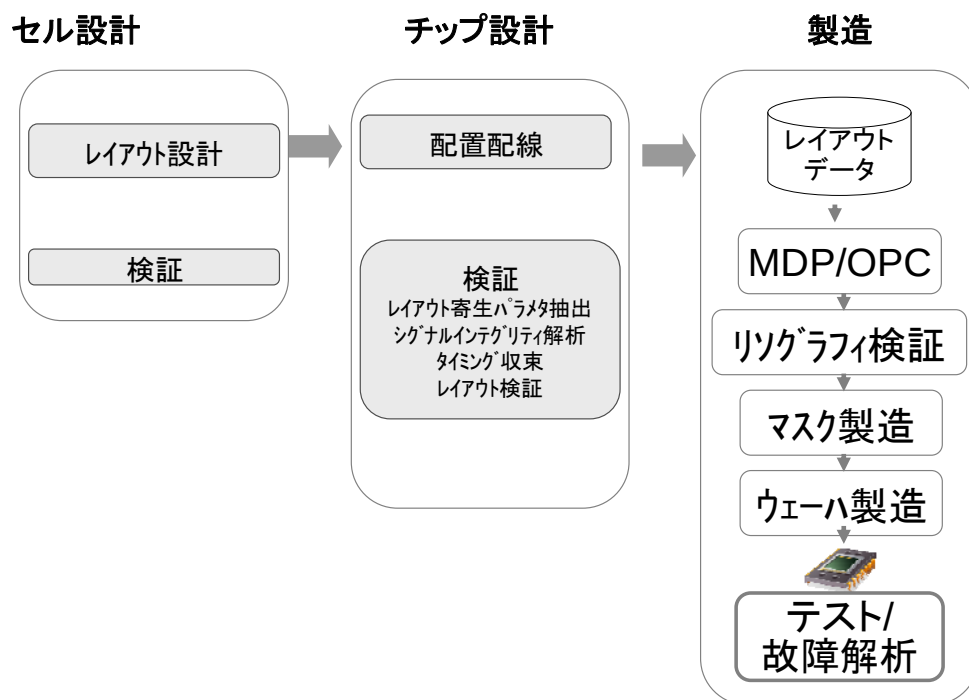


図 2.1 半導体設計・製造フロー

2.2.2 設計・製造におけるリソグラフィ起因歩留り低下危険箇所対策

微細なデバイスをウェーハ上に形成し所望の性能を得るには、所望のパターン形状を所望寸法に形成するためのリソグラフィ技術が重要である。リソグラフィ技術は設計の意図する形状を忠実に製造に伝える役割を担うため、設計—製造の連携をとるためのステップとして、年々重要性が高まっている。

半導体技術ロードマップより、光リソグラフィにおける寸法制御に必要な技術に関する表を抜粋し、表 2.1に示す^[1]。マイクロプロセッサのメタル1層においては、ハーフピッチ 160nm の世代よりモデルベース OPC や解像限界以下の補助パターン (Sub-Resolution Assist Features: SRAF)、位相シフトマスク (Phase-Shifting Mask: PSM) が必須となり、これらを考慮した設計ルールが用いられるようになった。続いてハーフピッチ 120nmよりリソフレンドリ設計ルールが使われるようになった。今後はピッチ固定設計やグリッド設計、形状の制約などを盛り込み、よりリソグラフィプロセスにおけ

る歩留り向上を意図した設計ルールが利用されていく。

このようにリソグラフィにおける歩留り向上を考慮した設計ルールを用いてもなお、全てのホット・スポットのパターン種類を網羅して回避することは難しい。このため、設計段階において作成したレイアウトに関して、MDP、OPC、リソグラフィシミュレーション検証を実施してホット・スポットを抽出し、これを修正するステップが必要となる。セル設計のステップにおいてはセル設計者がレイアウトを修正し、またチップ設計においては配置配線ツールの機能を利用してホット・スポットパターンを抽出して再配線を行うか、チップ設計者が配線を修正する。このようにしてリソグラフィを考慮した設計レイアウトを出荷している。

また製造側では、露光機において斜入射照明や特殊照明形状を用いてプロセス・マージンの向上を図り、マスク製造においては OPC、SRAF、PSM を用いてウェーハ上に形成されるパターンの忠実性の向上を図る。さらに、OPC や SRAF を配置した後のマスクパターンに関してリソグラフィシミュレーションを用いた検証を行い、リソグラフィ起因歩留り危険箇所を含むマスクが製造されることを回避する。

このように、設計と製造を通して、リソグラフィ起因歩留り危険箇所の発生を回避するための対策が幾段にも取られ、歩留りの向上が図られる。

表 2.1 光リソグラフィにおける寸法制御に必要な技術

MPU M1 ハーフピッチ	160 nm	120 nm	90 nm	65 nm	45 nm	32 nm
設計ルール	OPC、PSM、 SRAF 利用	リソフレンドリ設計				
制約		ピッチ・ 方向一定	OPC 考慮セ ル	グリッド設計	形状制約	二重露光考 慮設計
マスク (OPC)	モデルベース OPC、ゲート 層SRAF	OPC、リソグラフィシミュレーシ ョン検証		ベクトルシミュ レーション、 SRAF、偏光 補正	回路毎の OPC 調整	回路毎の OPC 調整
照明	斜入射照明	四極照明	カスタム照明	カスタム照明、偏光照明		

2.3 種々の歩留り危険箇所対策と今後の課題

半導体製造の微細化傾向は今後も続いていくが、露光装置の短波長化など、微細化傾向への装置の対応には多大なコストと時間がかかる。このため、現状の露光装置を使った製造プロセスを適用しながら微細化傾向に追随するために、より高精度な OPC やリソグラフィシミュレーションが必要となる。さらに設計ルール of 微細化に伴いパターンが高集積化・複雑化が進行し、OPC における計算量が増え、処理時間が増大する。

さらに微細化に伴い低 k_1 条件下のプロセスとなり、リソグラフィ起因歩留り危険箇所であるホット・スポット数が増大することが予想される。多数のホット・スポットを残したまま製造を進めた場合、ウェーハ上における管理箇所数が増大し、製造コストが増大する。さらにマスクの改版を重ねることとなり、マスクコストが増大する。

ここで、半導体技術ロードマップにおける製造年度と製造性を考慮した設計 (Design For Manufacturability: DFM) 技術への要求を表 2.2 に示す^[1]。各項目においてばらつきが年々増大することが予想されており、これらが動作不良の原因となる。このためリソグラフィ起因の歩留り低下のみならず、ばらつきに起因する歩留り低下要因を考慮した設計、レイアウトの改良が必要となってくる。しかしながら、すべてのレイアウトにおいて過度な余裕をもったマージンを設定すれば、設計の困難度が上昇し、またチップサイズが増大する問題がある。そこで OPC やリソグラフィシミュレーション検証等の技術において、論理合成、タイミング検証、配置配線などの設計工程とより一層の連携をとる必要がでてくる。

表 2.2 製造年度と DFM 技術への要求

製造年度	2009	2010	2011	2012	2013	2014	2015
規格化マスクコスト	1	1.4	1.8	2.3	3	3.9	5.1
Vthばらつき	42%	42%	42%	58%	58%	81%	81%
回路動作ばらつき	49%	51%	60%	63%	63%	63%	63%
電力ばらつき	63%	68%	72%	76%	80%	84%	88%
リーク電力ばらつき	186%	229%	255%	281%	287%	294%	331%

ITRS ロードマップ 2007 年版 白地: 解決策あり、灰色地: 解決策無し

2.4 歩留りを考慮したレイアウト改良手法の位置づけ

以上に述べた半導体デバイスの設計・製造フローにおける状況と、ロードマップから見た課題とを考慮して、歩留り向上のためのレイアウト改良を適用すべき設計・製造ステップと手法を図 2.2に示す。

セル設計においては、個々のプリミティブセルにおいてより歩留りの高いレイアウトを作成することが重要である。これは、チップ上においてプリミティブセルは繰り返し多数用いられるため、チップ全体の歩留りに大きく影響するためである。プリミティブセルの段階で考慮できる歩留り要因には、リソグラフィ起因のホット・スポットと、セル内のパラメトリック要因および、ランダム要因がある。これらの要因による歩留りを考慮するために、レイアウトを設計後、製造で利用する MDP/OPC レシピと同期したレシピを用いてマスクデータ形状を作成し、リソグラフィシミュレーションを用いて歩留り危険箇所を抽出する。リソグラフィに由来するホット・スポットがあれば、レイアウトを、歩留り危険性を低減する方向に改良する。さらにパラメトリック要因、ランダム要因による歩留り低下傾向を精度よく見積もり、歩留り関数として定義する。次に歩留り関数をレイアウトに当てはめて歩留り危険箇所を予測し、レイアウトを改良する。多層にわたるレイアウト改良には手間がかかるため、EDA (Electronic Design Automation) ツールなどを利用した自動レイアウト改良を検討する。

次に、チップ設計においては、配置配線ルール上で、ホット・スポットが出にくい配線ルールを記述する。続いてリソグラフィシミュレーションまたは配置配線ツール上のルールによりホット・スポットを抽出し、ホット・スポットがあれば配線をやり直し、ホット・スポットのないパターンを出荷する。

さらに、設計マージンを考慮したレイアウト改良を行うために、サインオフ検証(設計の最終検証)時の検査情報を利用する。すなわち、検査結果における検証項目毎のマージンの大小に基づいて、製造側での許容寸法スペックを割り出し、パターン毎に割り付ける。OPC やリソグラフィシミュレーション検証においては、これらの設計マージンとそれに由来する製造許容寸法スペックに基づいた処理を行う。このようにして、設計マージン危険箇所を精度良く管理する。またマージンに余裕がある箇所の許容管理幅を緩和し、プロセスコストを低減する。

製造プロセスにおいては、種々のステップで寸法・形状変換差が生じる。OPC においてはこれらステップごとに生じる寸法変換差を精度良く見積もり、寸法変換差を補償する方向にマスクパターンを改良する。作成したマスクパターンに関しては全面のリソシミュレーションを行い、リソグラフィ起因歩留り危険箇所を抽出し、危険箇所があれば、歩留り危険性を低減する方向にレイアウト改良する。

このようにして、設計と製造を通して複数のステップで歩留りを考慮したレイアウト改良を行う。

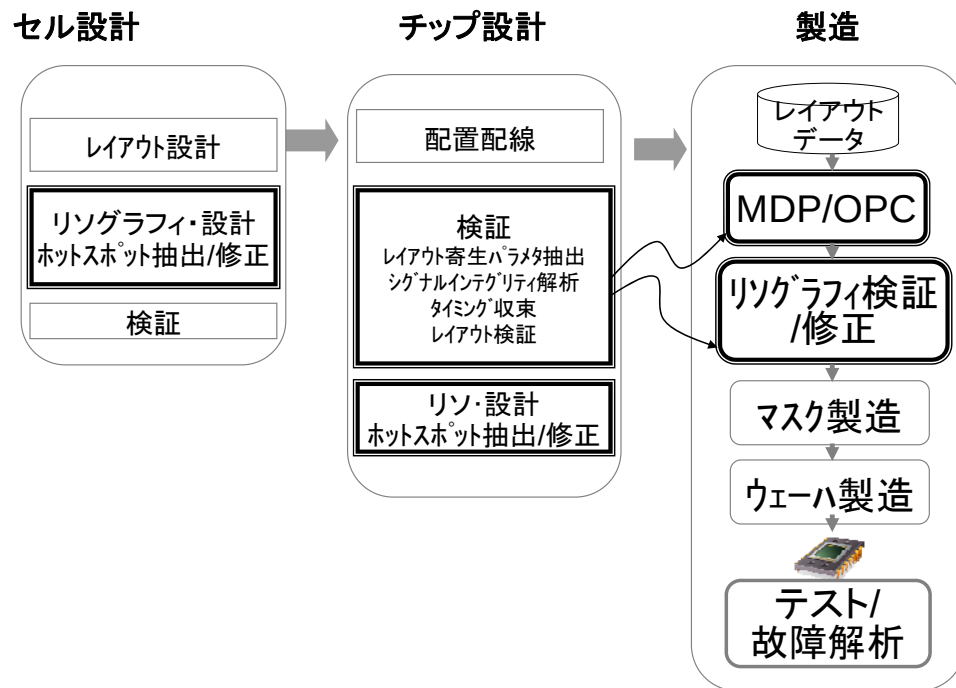


図 2.2 歩留りを考慮したレイアウト改良を行う設計・製造ステップ

2.5 むすび

本章では、先端集積回路デバイスにおける設計と製造における歩留りを考慮したレイアウト改良について述べた。

まず、半導体デバイスの設計・製造フローについて、チップ設計、セル設計、また製造プロセスについて概観した。

次に、設計・製造におけるリソグラフィ起因歩留り低下危険箇所対策について述べた。設計ルールにおいてはピッチや方向の固定、OPC を考慮したセル、グリッド設計や形状制約などであり、マスクにおいてはモデルベース OPC や SRAF 配置、リソグラフィシミュレーションを利用した検証などであり、設計と製造を通して幾段もの対策が取られている。

次に、設計・製造フローにおける処理ステップ、および半導体技術ロードマップから見た今後の課題について述べた。主な課題は、次のとおりである。

- (a) OPC、リソグラフィシミュレーションにおける計算時間の増大
- (b) ホット・スポット発生頻度の増大
- (c) 製造ばらつきの増大と考慮
- (d) OPC やリソグラフィシミュレーション検証における、設計工程との連携の深化

最後に、歩留りを考慮したレイアウト改良手法の位置づけを述べた。レイアウトを改良する主要なステップは次の通りである。

- (a) セル設計におけるリソグラフィ・設計歩留り危険箇所の抽出と改良
- (b) チップ設計時におけるリソグラフィ・設計歩留り危険箇所の抽出と改良
- (c) チップ設計時に取得した設計マージン情報を利用した OPC およびリソグラフィシミュレーション検証における許容値の設定
- (d) OPC
- (e) マスクデータ上のリソグラフィ起因歩留り危険箇所の抽出と改良

第 3 章では(d)、第 4 章では(a) (b) (e)を扱い、第 5 章では(c)を扱う。

第3章 光近接効果補正システムの開発^{[8]-[15]}

3.1 まえがき

本章では、リソグラフィプロセスにおける歩留り向上に寄与するために、光近接効果補正を用いたマスキレイアウトの改良について述べる。まず、光近接効果補正の基本的な原理及び手法について述べる。次に、光近接効果補正の課題について述べる。最後に、リソグラフィシミュレーションを用いた光近接効果補正の精度を維持した高速化へ向けた提案について述べる。

3.2 光近接効果補正によるプロセス・マージンの拡大

3.2.1 光近接効果補正の原理

半導体のデザインルールの縮小に伴い、光の干渉・屈折・散乱等の効果により、ウェーハ上に所望のパターンが形成されない、光近接効果 (Optical Proximity Effect: OPE) が問題となってきた。主な現象はエッジ位置のずれ (Edge Placement Error: EPE)、コーナーラウンディング、ラインエンドショートニングなどである。場合によってはパターンが切れる (オープン)・くつつく (ショート)・ビアのカバレッジが不足するなどの現象により所望のデバイス性能を実現できないことがある。

このような光近接効果によるウェーハ上におけるパターンの変形を補償するようにマスクパターン上で補正することにより、ウェーハ上で所望の形状を得る、光近接効果補正 (Optical Proximity effect Correction: OPC) が必要となり、種々の手法が検討されている^{[2]-[7]}。図 3.1 に、光近接効果補正によりラインエンドショートニングを補正する例を示す。光学像のターゲットパターンからのずれ量を算出し、ずれ量が小さくなるようにマスクパターンの形状を改良する。

光近接効果補正を施すことにより、プロセス・マージンを向上する一般的な例を図 3.2 に示す。ここで、プロセス・マージンとは、パターンを所望の寸法範囲に仕上げることができるプロセス条件の範囲をあらわす。図 3.2 においては、プロセス・マージンを、フォーカス深度と露光量マージンを組み合わせた範囲で表す。横軸に露光量、縦軸にフォーカス深度をとり、所望の寸法から 10 % 細く仕上がるフォーカス深度と露光量の条件をむすんだラインを「10 % 細め条件」、10 % 太く仕上がる条件をむすんだラインを「10 % 粗め条件」として図中に示す。この2本のラインの間に囲まれたフォーカス深度・露光量の組み合わせであれば、所望の寸法 ± 10 % の範囲にパターン寸法を仕上げるができる。ここで、近接効果補正前 (a) は、密のライン・アンド・スペースパター

ンと、孤立のラインパターンでは、所望の寸法範囲に仕上げるためのフォーカス深度・露光量の組み合わせ条件の重なりが少ない。すなわち共通プロセスウィンドウ(異なるパターンがともに所望寸法に仕上がるプロセス条件の領域)が小さく、両者とも所望の寸法に仕上げるためには非常に限定されたプロセス条件を実現する必要がある。これに対して光近接効果補正後(b)では、孤立ラインと密ラインのプロセスウィンドウの重なりが大きくなるように補正を行い、共通プロセスウィンドウが拡大する。このため製造プロセスにおいて、所望の寸法範囲に仕上げるためのプロセス条件設定がより容易になり、歩留りが向上する。

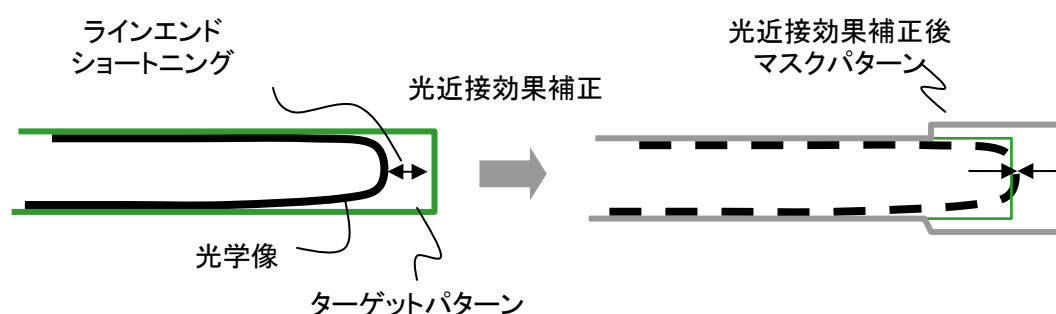


図 3.1 光近接効果補正によるパターン忠実度向上の例

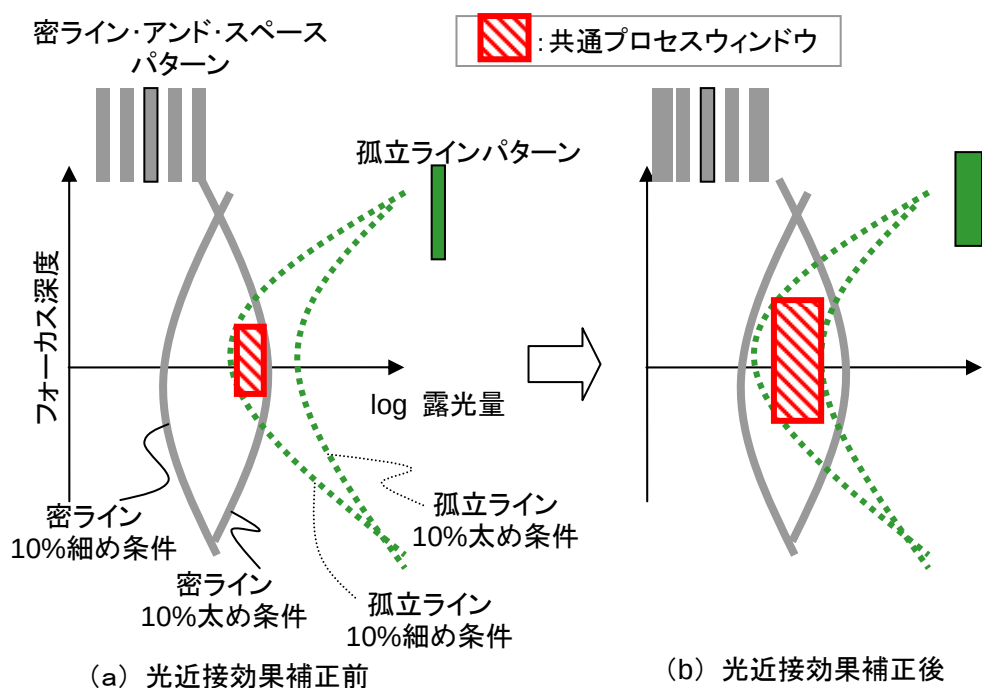


図 3.2 光近接効果補正による共通プロセスウィンドウ拡大の例

近年では光に起因する効果のみならず、レジスト現像、エッチング等のプロセス起因の寸法変動効果 (Process Proximity Effect: PPE)を含めて補正を行うのが一般的になってきている (Process Proximity effect Correction: PPC)。

3.2.2 プロセス毎の効果の補正

半導体製造プロセスにおいて、寸法変動の原因となる処理と、これを補正する処理の流れについて図 3.3に概要を示す。まずマスクデータを作成し、露光用マスクを作成する。次に露光マスクを用いてウェーハ上に露光し、現像プロセス、エッチングプロセスを経てパターンを形成する。ここで、マスク製造プロセスにおいてマスク寸法変換差が生じ、露光時に光近接効果、現像およびエッチングにおいてそれぞれ寸法誤差が生じる。

これらの寸法誤差は、プロセスステップの逆順に補正する。すなわち、エッチング変換差分を補正し、露光・現像分を補正し、さらにマスク変換差分を補正する。それぞれのプロセスステップにおいて生じる変換差、および補正後に所望の範囲に寸法が収まるか否かの予測には、実験・測長を経て取得したデータを用いたり、プロセスシミュレーションを用いたりする。高精度の予測と補正を施すには、多数の実験測長データや高精度のプロセスシミュレーションが必要であり、そのためには多大な時間と人手を要するのが現状である。

光近接効果補正における補正值算出および図形処理は、一般的には次の手順により実行される。すなわち、設計データを入力し、層毎の積 (AND)、和 (OR)、差 (NOT) など所定の論理演算を行い所望のレイアウト形状を算出する。次にリソグラフィシミュレーションまたはデザインルールチェックを行い、エッジ毎に補正すべき量を割り当てる。次にエッジを移動させる図形処理を行い、光近接効果補正を施したレイアウトデータを作成する。

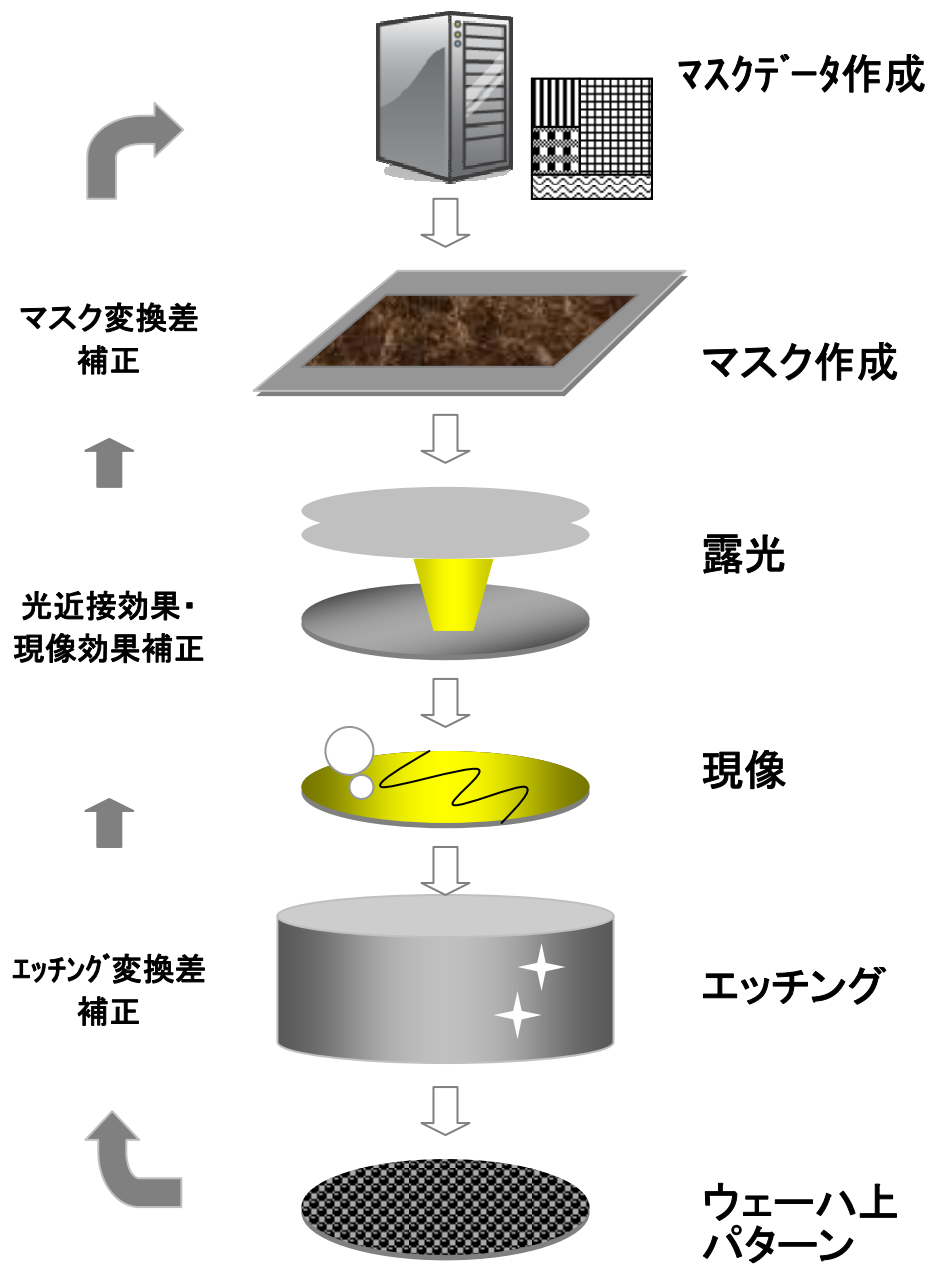


図 3.3 プロセスを通した光近接効果補正フロー

3.3 光近接効果補正処理における課題

光近接効果補正における補正值の算出方法として、図 3.4にルールベース法とモデルベース法を対比して特長を示す。

ルールベース法においては、入力したレイアウトに関して補正ルールテーブルを参照する。レイアウトをインデックスとしてマッチするルールを探索し、補正值を抽出する。一例として、O. W. Otto らの手法^[2]が挙げられる。テーブル参照方式であるため高速補正が可能であるが、予めあらゆるレイアウトに対応した膨大な補正ルールを準備する必要がある。

一方モデルベース法においては、精度の良いリソグラフィプロセスモデルを作成し、入力した初期レイアウトに関して、作成したモデルに基づいたプロセスシミュレーションを用いてウェーハ上に転写されるパターン像を予測する。そしてシミュレーションで求めた像と、所望のレイアウト形状とのずれを検出する。次にずれの位置と量に応じてレイアウトパターンのエッジを、ずれを補償する方向に移動させる図形処理を行う。このプロセスシミュレーションと、パターンエッジの補正を繰り返して、ウェーハ上で所望の形状を得られるマスクパターン形状を求めていく。一例として、C. A. Spence ら^[3]の手法が挙げられる。モデルベース法においては、プロセスシミュレータを用いるため任意の図形に適用可能であり、高精度のシミュレータを用いれば高精度の光近接効果補正を施すことができるが、半面、プロセスシミュレーションを繰り返すため多大な計算量を要し、長い処理時間が必要となる。

光近接効果補正において、高精度の補正を高速に実行するには、これらルールベース方式とモデルベース方式手法の利点を併せ持つ手法が必要となる。本研究においてはこのような手法を提案し、効果を確認する。

また高い補正精度を実現する上での課題として、補正ルールの記述方法が挙げられる。一次元(1D)補正ルールは一般に補正対象エッジを含む図形の幅と、隣接図形とのスペースを元に記述される。しかしながら、隣接図形とのスペースが狭い場合、補正対象エッジへ及ぼす隣接図形の効果は、隣接図形の幅が小さいか大きいかで大きく異なる。また光近接効果の及ぶ範囲を一般的な値として1-2ミクロンと見積もった場合、該範囲内に含まれる図形配置には多数の種類がある。一例をあげれば、隣接図形がひとつのみか、複数含まれるかで補正対象エッジに及ぼす効果が大きく異なる。これらのパターン配置を全てルールに記述するのは非常に煩雑^[2]であり、このため、光近接効果を適切に考慮するための補正ルールの記述方法が必要となる。本研究においては、新たな補正ルールの記述方法を提案し、効果を確認する。

さらに、光近接効果補正は一般に設計データのテープ・アウト後、マスクデータ変換(Mask Data Preparation: MDP)プロセスの一環として行われる。迅速な製品出荷のた

めには、大規模設計データに対しても光近接効果補正を短い処理時間に実行することが求められる。またマスク製造の短時間化のために、データサイズの増大を抑制することが必要である^{[16]-[20]}。H. Ohnuma らは、ASIC (Application Specific Integrated Circuit) の光近接効果補正に関して、入力 of GDSII データから描画用マスクデータへのフォーマット変換を行い、この描画用マスクデータに対して光近接効果補正を行う手法を提案している^[19]。ところが、マスクデータは電子ビーム描画用に適合した階層構造を有しており、セルアレイなど元の設計データにおける階層構造はほとんどが展開されてしまう。このためメモリデバイスなどのセルアレイの階層構造(繰り返し構造)を多数もつデータに対して、階層構造を活用した計算時間の短縮を行うことが難しくなる。そこでこのため本研究ではメモリデバイスへの適用を意図して、マスクデータフォーマット変換前の論理演算処理の段階において光近接効果補正を行うことにより、入力データの階層構造を活用して処理時間を短縮する手法を提案する。

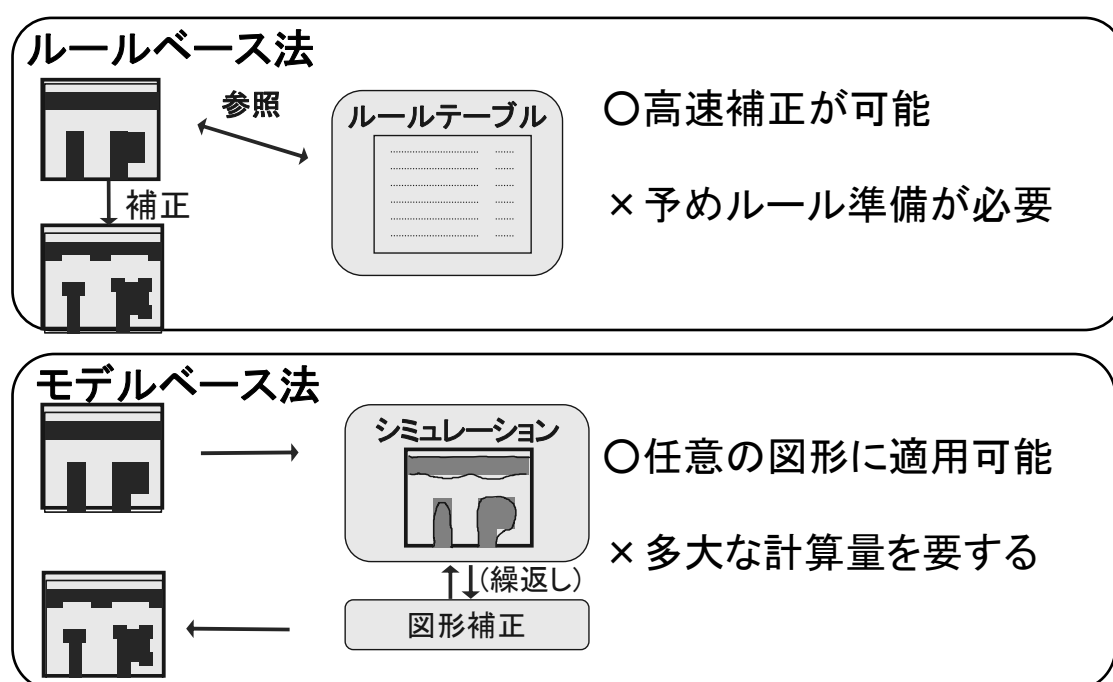


図 3.4 光近接効果補正におけるルールベース法とモデルベース法の比較

3.4 光近接効果補正の高速・高精度化

3.4.1 ルール・モデルベースハイブリッド方式光近接効果補正手法

前項で述べたとおり、光近接効果補正におけるルールベース方式とモデルベース方式において、それぞれ長所と短所を有する。そこで両者の長所を組み合わせたハイブリッド方式の補正フローを提案する。

図 3.5を参照してフローを説明する。まず設計レイアウトを入力し、被補正エッジを抽出する。次にエッジを選択し、エッジのおかれたレイアウト環境が、補正ルールテーブルに登録されているか否かを探索する。ここで登録があれば、補正ルールに従って被補正エッジを補正する。一方登録がなければプロセスシミュレーションを起動してモデルベース補正を行い、エッジのおかれたレイアウト環境および算出した補正值を補正テーブルに追加する。このサイクルを、すべての被補正エッジが補正されるまで繰り返す。

本手法により、事前に全てのレイアウトに対応する補正テーブルを準備する手続きを経ずとも高速なルールベース補正を利用することができる。さらに、ルールテーブルに登録の無いレイアウト配置におかれたエッジが入力された場合には、シミュレーションを起動してモデルベース補正を施せば良いため、任意の図形の補正值算出に対応することが可能である。

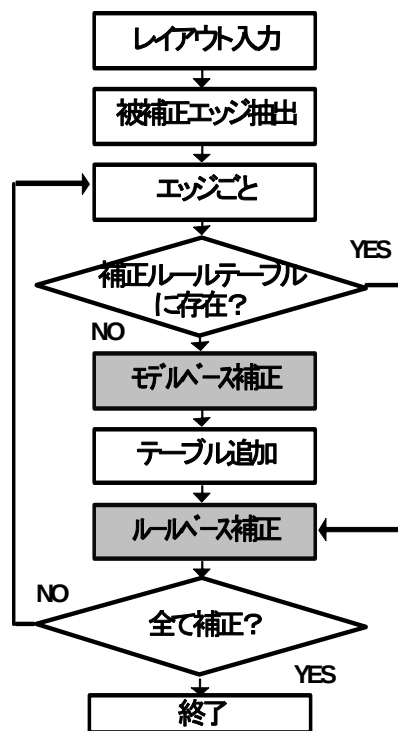


図 3.5 ルール・モデルベースハイブリッド方式光近接効果補正フロー

次に、図 3.5に示すフローを実レイアウトに適用するに当たって、精度を向上するための調整を行う。

一次元ルールに基づく光近接効果補正(1D OPC)においては、従来方式^[2]では補正対象のエッジを含む図形の幅と、対向する隣接図形とのスペースを元に補正値を割り当てられる。この方式では、補正対象エッジと反対側の隣接図形配置や、隣接図形の幅、隣接図形のさらに近傍の図形を考慮しきれず、場合によっては精度の良い補正値を記述することが難しい。

そこで、補正対象エッジから光近接効果の及ぶ範囲の図形配置を補正ルールに取り込む改良方式を新たに提案し、従来方式と対比して図 3.6に示す。改良版 1D OPCにおいては、補正対象エッジを中心として光近接効果の及ぶ範囲内の図形配置を考慮して補正値を算出する。隣接図形の幅や隣接図形の隣の図形に関しては、光近接効果の及ぶ範囲内において考慮することができる。このため、従来版と比較して必要な範囲内の図形配置をきめ細かく考慮し、精度を満たしたシミュレーションや補正の適用が期待できる。

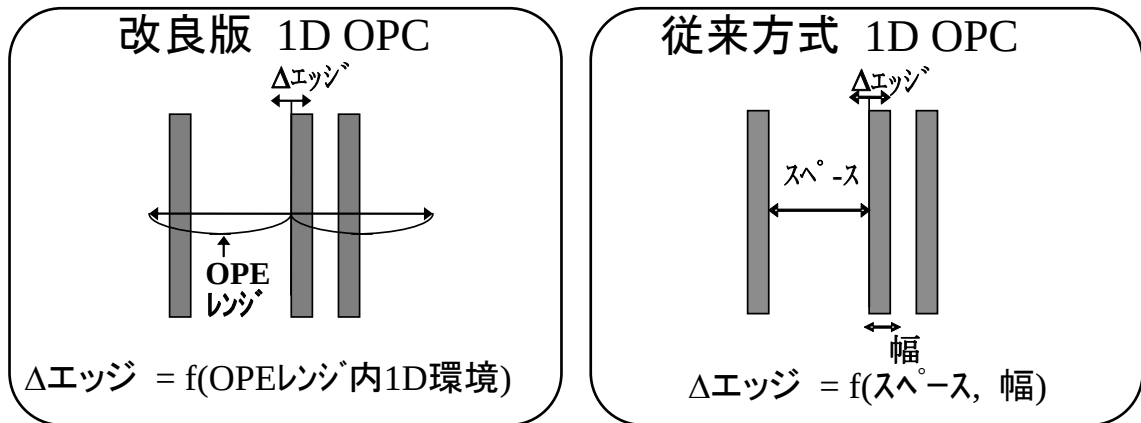


図 3.6 一次元光近接効果補正規則の改良

図 3.7 に、提案の光近接効果補正方式をテストレイアウトに適用した例の一部を図解して説明する。レイアウト中から補正対象のエッジを抽出し(a)、一次元レイアウトに変換して補正ルールテーブルを参照し、登録が無ければリソグラフィプロセスシミュレーションを実行する(b)。次に補正值を取得して(c)、配置と補正值をルールテーブルに追加する(d)。補正ルールテーブルは(d)に示すとおり、被補正対象エッジを中心として光近接効果補正の及ぶ範囲の一次元配置の記述と、被補正対象エッジに関する補正值からなる。ここで追加された一次元配置に相当するレイアウトがこれ以降抽出された場合、すでに補正ルールテーブルに登録された配置であるため、高速なルールベース補正を適用できる。

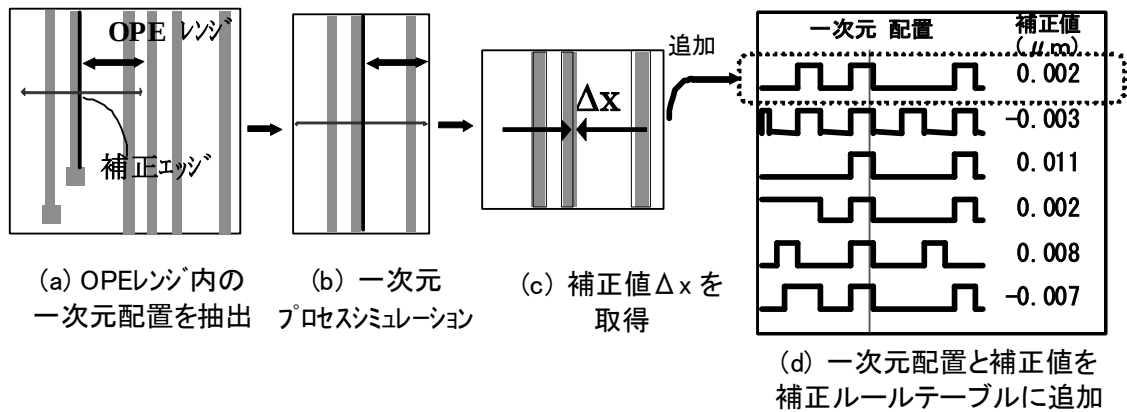


図 3.7 テストレイアウトに関する光近接効果補正適用例

本補正方式を実レイアウトに適用するためのパターンエッジ分割手法を、図 3.8に示す。パターンエッジの置かれた近傍の環境が、光近接効果の及ぶ範囲 (OPEレンジ) 内で変わる箇所でエッジ分割を入れる。具体的には、図 3.8(a)のように図形の頂点 (○) を選択し、その頂点からOPEレンジ内にある図形のエッジへ、垂線を下ろす (矢印)。垂線の長さがOPEレンジの範囲で交差するパターンエッジに分割点を置く。分割点で分割したエッジの例を(b)に記す。光近接効果補正においては、これらの分割後エッジ毎に補正値を割り当てる処理を行う。

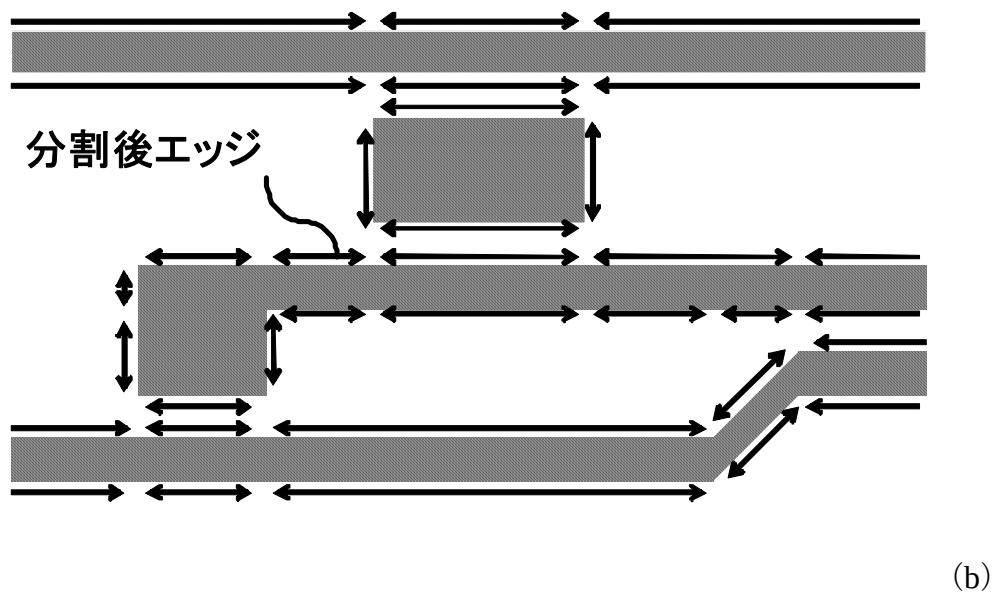
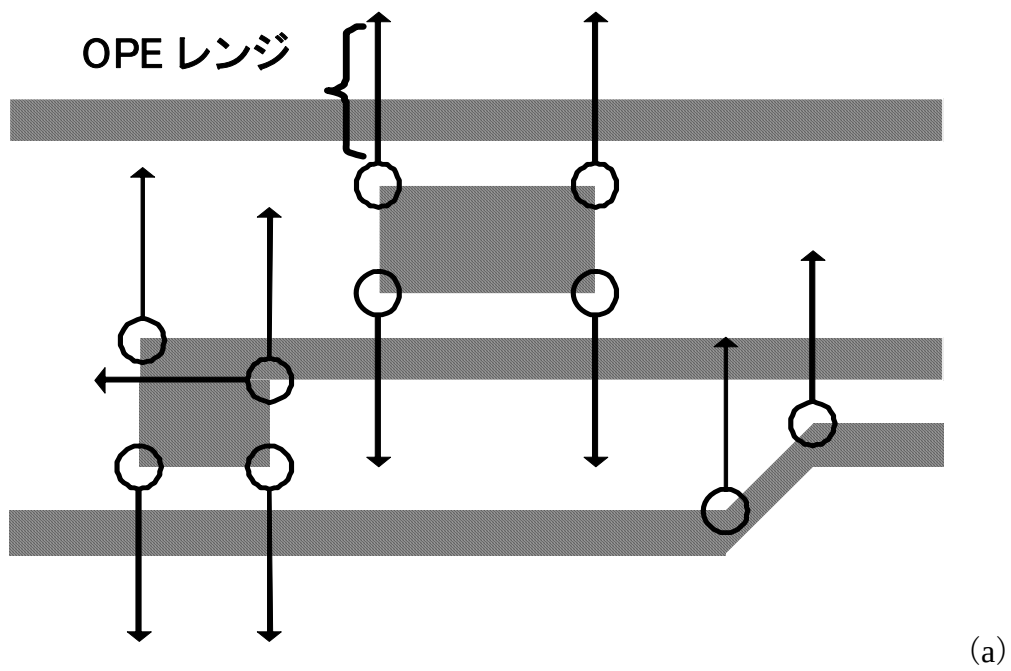


図 3.8 改良版光近接効果補正におけるエッジ分割例
(a)エッジ分割処理、(b)エッジ分割結果

図 3.9に、本エッジ分割手法を適用してエッジを分割し、光近接効果補正を行ったレイアウトの例を示す。(a)において灰色領域に示したパターンのコーナー部から右に隣接するラインへ、光近接効果の及ぶ範囲内で垂線を下ろし、分割を入れる。本例では灰色の円で囲んだ領域に示すとおり、隣接するラインの両側に分割が入り、OPCにより斜線で示した図形を迂回するようにレイアウトが補正される。

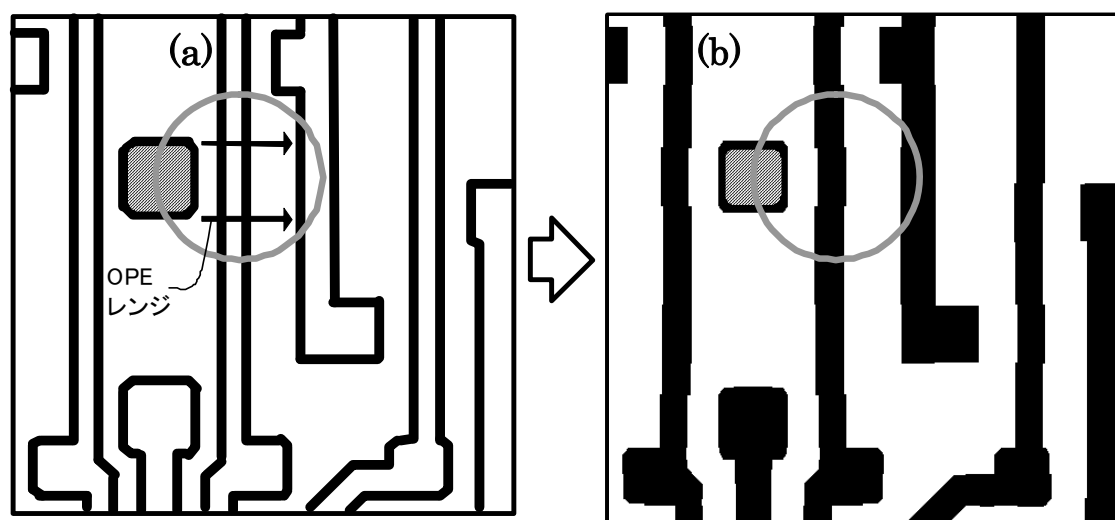


図 3.9 改良版光近接効果補正の例 (a)エッジ分割処理、(b)OPC 後レイアウト

3.4.2 本手法の実デバイスへの適用結果

本手法を種々の規模の実デバイスのゲート層に適用した結果について、光近接効果補正処理時間と抽出した補正ルール数に関して表 3.1にまとめた。ここで、FPUは浮動小数点数演算装置 (Floating point number Processing Unit)を表し、SRAMはスタティック・ランダム・アクセス・メモリ (Static Random Access Memory)、DRAMはダイナミック・ランダム・アクセス・メモリ (Dynamic Random Access Memory)を表す。

ここで(c) SRAMと(d) 256Mb DRAMを比較すると、面積は 2.4 倍だが補正ルール数は 18 倍となっている、これは設計グリッドがSRAMの方が粗いこと、またSRAMはセルアレイ近傍のみを入力データとしたが、256Mb DRAMはセンスアンプ、ローデコーダ、周辺回路等を含むため、256Mb DRAMの方がパターンの種類が多いためである。

また、デバイスに含まれるゲートパターン数は 1460 から 76338 であるが、光近接効果の及ぶ範囲内において同じ配置であればひとつの補正ルールにまとめることができるため、補正量の計算時間を削減することができる。計算時間の削減の割合を、表 3.1におけるゲートパターン数と補正ルール数の比較により見積もると、補正量の計算時間を約 1/30 (b:FPUのケース)から約 1/2000(c:SRAMのケース)に削減していることがわかる。この結果、OPC時間が1時間から半日程度と、実用的な処理時間となる。

表 3.1 実デバイスゲート層への光近接効果補正適用結果

※SPARC Station-20 1 CPU 使用、(c)(d)メモリセル除く領域を使用

	(a)ビット テストパターン	(b) FPU (部分)	(c) SRAM	(d)256Mb DRAM
領域面積 (mm ²)	45.4	0.0732	116	280
設計ルール(μm)	0.3	0.25	0.3	0.35
設計グリッド (μm)	0.1	0.001	0.1	0.025
光源	i 線	KrF	i 線	i 線
ゲートパターン数	44,876	1,460	76,338	75,180
補正ルール数	119	46	36	636
OPC 時間(分)*	132	70.4	64.2	707

次に、本手法の適用による線幅均一性の改善例を、パターン全体に一律の量のサイジングを施した場合と比較して示す。図 3.10は $0.3\ \mu\text{m}$ ラインにおける、光学シミュレーションで求めた線幅のデューティ比依存性を示す。デューティ比を1:1から1:6まで変えると、線幅は $0.5\ \mu\text{m}$ から $0.2\ \mu\text{m}$ の範囲で大きく変動することがわかる。実際のレイアウト上においても、パターンは種々の間隔で配置されるため、パターン毎に寸法が大きく変動することが懸念される。

次に、図 3.11に、ロジックテストパターンゲート層の光学シミュレーションによる線幅分布を示す。対象のデータは $80\ \mu\text{m} \times 80\ \mu\text{m}$ の 115 種のゲートパターンを含むテストパターンである。棒グラフの横軸は光学シミュレーションを用いて求めたゲートパターンの線幅、縦軸は頻度を表す。また所望寸法 $\pm 10\%$ の範囲をグラフ中に示した。(a)はOPC前、(b)はパターンすべてに一律に $0.025\ \mu\text{m}$ 細らせるサイジング処理を行い、所望寸法に仕上がるパターン数が最大になるように露光量を調整した場合の結果であり、(c)はパターンすべてに一律に $0.025\ \mu\text{m}$ 太らせるサイジング処理を行い、所望寸法に仕上がるパターン数が最大になるように露光量を調整した場合の結果である。(a)、(b)、(c)とも上がベストフォーカス条件、下が $0.4\ \mu\text{m}$ のデフォーカス条件の結果を示す。ここで、デフォーカスとは、ウェーハ受光面がレンズの結像面から光軸方向にずれている状態を指し、ずれ量を添えて記している。

(a) OPC 前にはベストフォーカス条件、 $0.4\ \mu\text{m}$ デフォーカス条件とも $\pm 10\%$ のスペックから逸脱するパターンがあり、(b)、(c)のように一律にサイジング処理と露光量の調整を施したとしても、ベストフォーカス/ $0.4\ \mu\text{m}$ デフォーカスの両条件で数割程度のパターンが所望寸法範囲を逸脱しており、スペック内に収めることが難しいことがわかる。

ここで今回提案の一次元光近接効果補正を施した結果を(d)に示す。各フォーカス条件下において線幅のばらつきが抑制されるため、ベストフォーカス/ $0.4\ \mu\text{m}$ デフォーカスの両条件において、所望寸法 $\pm 10\%$ のスペック内に線幅変動を収めることができる。

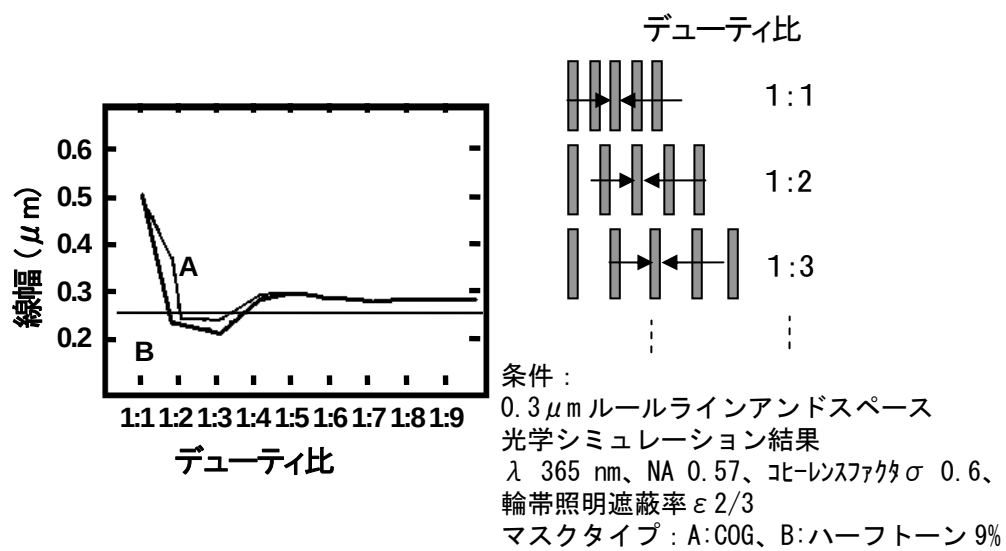
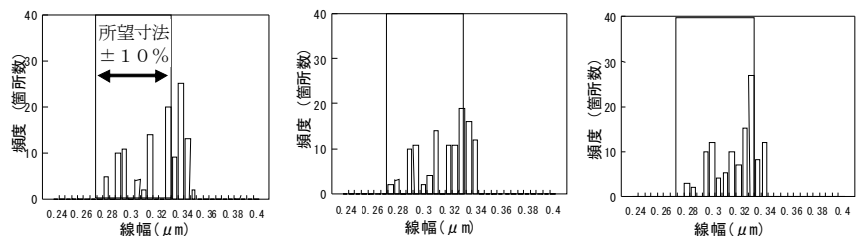
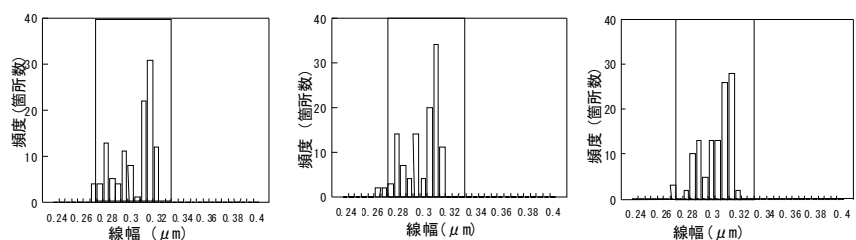


図 3.10 寸法のデューティ比依存性例

ベストフォーカス
条件



0.4 μm
デフォーカス条件



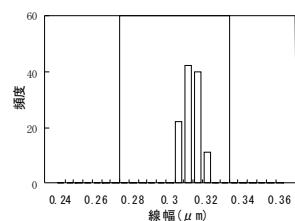
(a)補正前

(b)リサイズ -0.025 μm

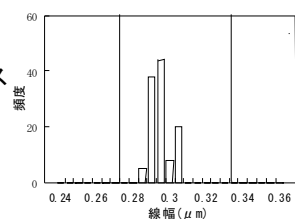
(c)リサイズ -0.050 μm

改良版
一次元 OPC

ベスト
フォーカス
条件



0.4 μm
デフォーカス
条件



(d) OPC 後

ロジックテストパターン(80 μm × 80 μm)
ゲートパターン 115 種を含む
光学シミュレーション条件:
λ 365 nm、NA 0.57、コヒーレンスファクタ σ 0.6、
遮蔽率 ε 2/3 輪帯照明、HT5%
スペック 0.3 μm ± 10 %
線幅測定像強度レベル:
(a)0.24、(b)0.27、(c)0.31、(d)0.30

図 3.11 線幅均一性の改善例

次に、改良版1D OPCの補正精度について、配線層モデルパターンを用いて従来方式1D OPCと比較する。図 3.12に光近接効果補正前後の光学シミュレーション結果を示す。光学シミュレーションの条件は、 λ (波長)248nm、NA(開口数)0.6、 σ (コヒーレンスファクタ)0.75、2/3 輪帯照明、COG(クロム・オン・ガラス)ダークフィールドマスクを設定している。(a)は最小設計ルール $0.18\mu\text{m}$ であり、レイアウトに含まれるパターンのサイズは $0.18\mu\text{m}$ から $0.6\mu\text{m}$ である。これらのうち 1680 点を測定した結果を示す。(b)は最小設計ルール $0.16\mu\text{m}$ であり、レイアウトに含まれるパターンのサイズは $0.16\mu\text{m}$ から $0.6\mu\text{m}$ である。これらのうち 1260 点を測定した結果を示す。線幅エラーヒストグラムにはベストフォーカスおよびデフォーカス $+0.3\mu\text{m}$ の条件下における結果を合わせて示したものである。

(a)のケースでは、レイリーの式(1. 1)のプロセスファクタ k_1 は 0.44 であり、光近接効果補正前の線幅の分布の広がり範囲(レンジ)は 240 nm、分散 σ は 34 nm である。次に従来方式 1D OPC 後の線幅分布のレンジと分散 σ を見ると、それぞれ 96 nm、12 nm への改善にとどまる。これに対して改良版 1D OPC 後の線幅分布のレンジと分散 σ はそれぞれ 62 nm、9nm に大きく改善した。

(b)のケースでは、レイリーの式(1. 1)のプロセスファクタ k_1 は 0.39 であり、光近接効果補正前の線幅分布のレンジは 295 nm 以上、分散 σ は 43 nm 以上である。(a)のケースと比較して低い k_1 条件下であり、パターンのオープン/ショート箇所が生じている。従来方式 1D OPC 後の線幅分布の幅と分散 σ はそれぞれ 99 nm、13 nm である。これに対し、改良版 1D OPC 後の線幅分布のレンジと分散 σ はそれぞれ 62 nm、9nm に大きく改善した。

このように、改良版 1D OPC を用いることにより、従来方式の1D OPC を用いた結果と比較して寸法ばらつきを抑制し、より所望寸法に近い像を得ることが出来る。これは、従来方式の 1D OPC では着目エッジを含む図形の線幅と着目エッジに対向する隣接パターンの距離のみを考慮するため、特に隣接パターンとの距離が狭い場合、隣接パターンの幅や、さらに隣のパターンの配置などの影響を柔軟に取り込むことが難しい。また着目エッジを含む図形の、着目エッジと反対側に置かれた図形の影響を取り込むことが難しい。一方改良版 1D OPC では光近接効果の及ぶ範囲のパターン配置を十分に考慮することができるため、従来方式の 1D OPC と比較してより高精度な補正の実施が可能であることによるものである。

次に、改良版 1D OPC適用マスクパターンを用いた光学シミュレーション像とレジスト像を、1D OPC適用前のマスクパターンを用いた場合と比較して図 3.13および図 3.14に示す。

光学条件は λ 248 nm、NA 0.6、コヒーレンスファクタ σ 0.75、2/3 輪帯照明、COGダークフィールドマスクを適用している。レジスト条件は、化学増幅型ポジレジスト

215nm／反射防止膜 60nm／ α -Si 50nm／TEOS (TetraEthOxySilane)／Si である。

図 3.13は、配線層のテストパターンについて、改良版 1D OPC適用マスクパターンを用いた光学シミュレーション像とレジスト像を、1D OPC適用前と比較した結果である。まず光学シミュレーション像とレジスト像を比較すると、光学シミュレーションによりレジスト像をよく予測できていることが確認できる。またOPC適用前には、(a)において矢印で示すように、光学シミュレーション像、レジスト像ともに、パターン同士がくっつき合う不良(ショート)が懸念される箇所が生じている。(b)に示すとおり、改良版 1D OPC適用後にはショート懸念は解消されて、所望の形状にレジストが形成されている。

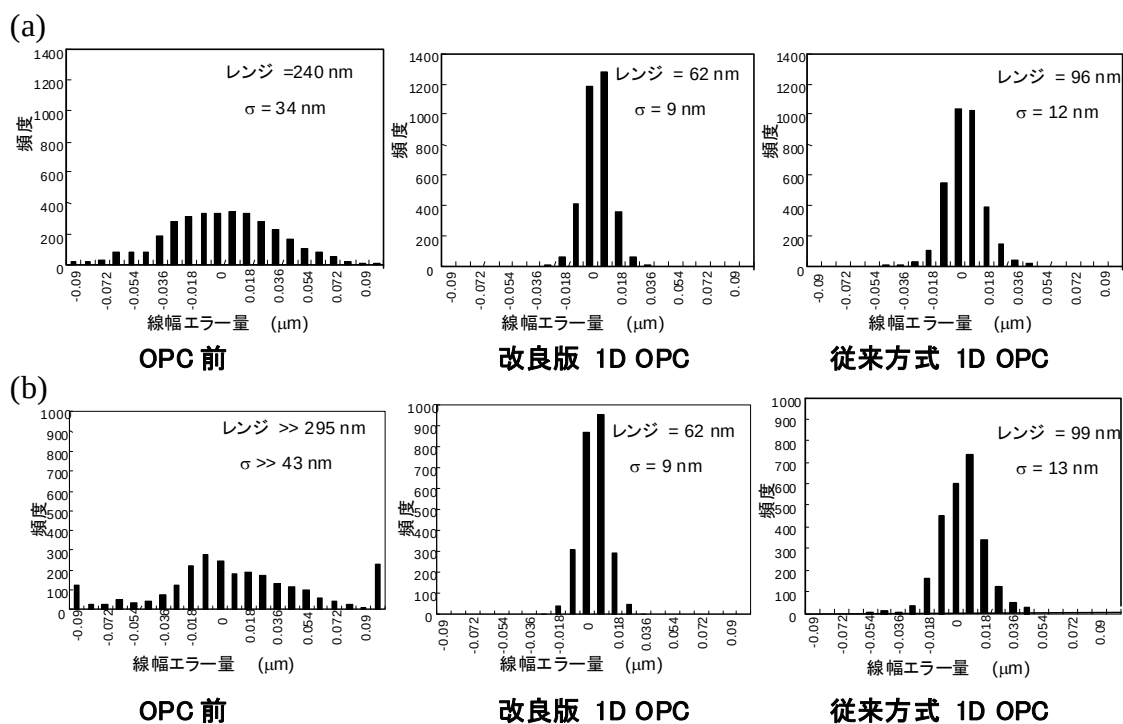


図 3.12 光近接効果補正前後の線幅の分布

(a) 最小設計ルール 0.18 μ m、(b) 最小設計ルール 0.16 μ m

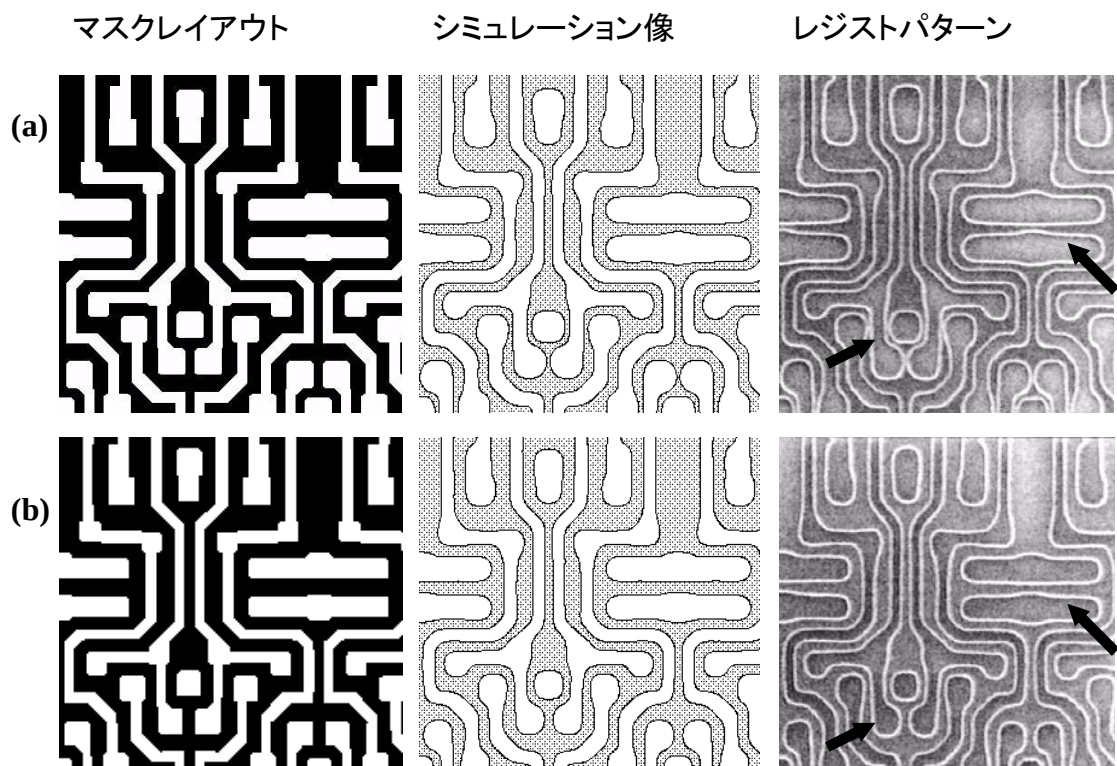


図 3.13 設計ルール $0.18\ \mu\text{m}$ 配線層テストパターンの光学シミュレーションおよびレジスト像の例：(a) OPC 前、(b) OPC 後

図 3.14は、DRAMデコーダ回路の配線層を対象として、OPC前後のマスクパターンを用いて、種々のフォーカス、露光ドーズ条件下におけるレジスト像を比較した結果である。

OPC前のマスクパターンの露光結果(a)において、丸で囲んだ部分を見ると、ベストフォーカスおよびデフォーカス $0.3\ \mu\text{m}$ 条件において、露光ドーズ $21\ \text{mJ}/\text{cm}^2$ と $22\ \text{mJ}/\text{cm}^2$ (J: Joule) の条件下ではショート不良懸念箇所が生じている。一方改良版OPC後のマスクパターン露光結果(b)においては、図 3.14に示された条件下では全てパターンは所望形状通りに形成され、ショート不良懸念は解消されている。

このように、改良版 OPC を実施することにより、種々のフォーカス、露光ドーズ条件において所望のレジスト形状を形成され、補正が高精度に行われることが示された。

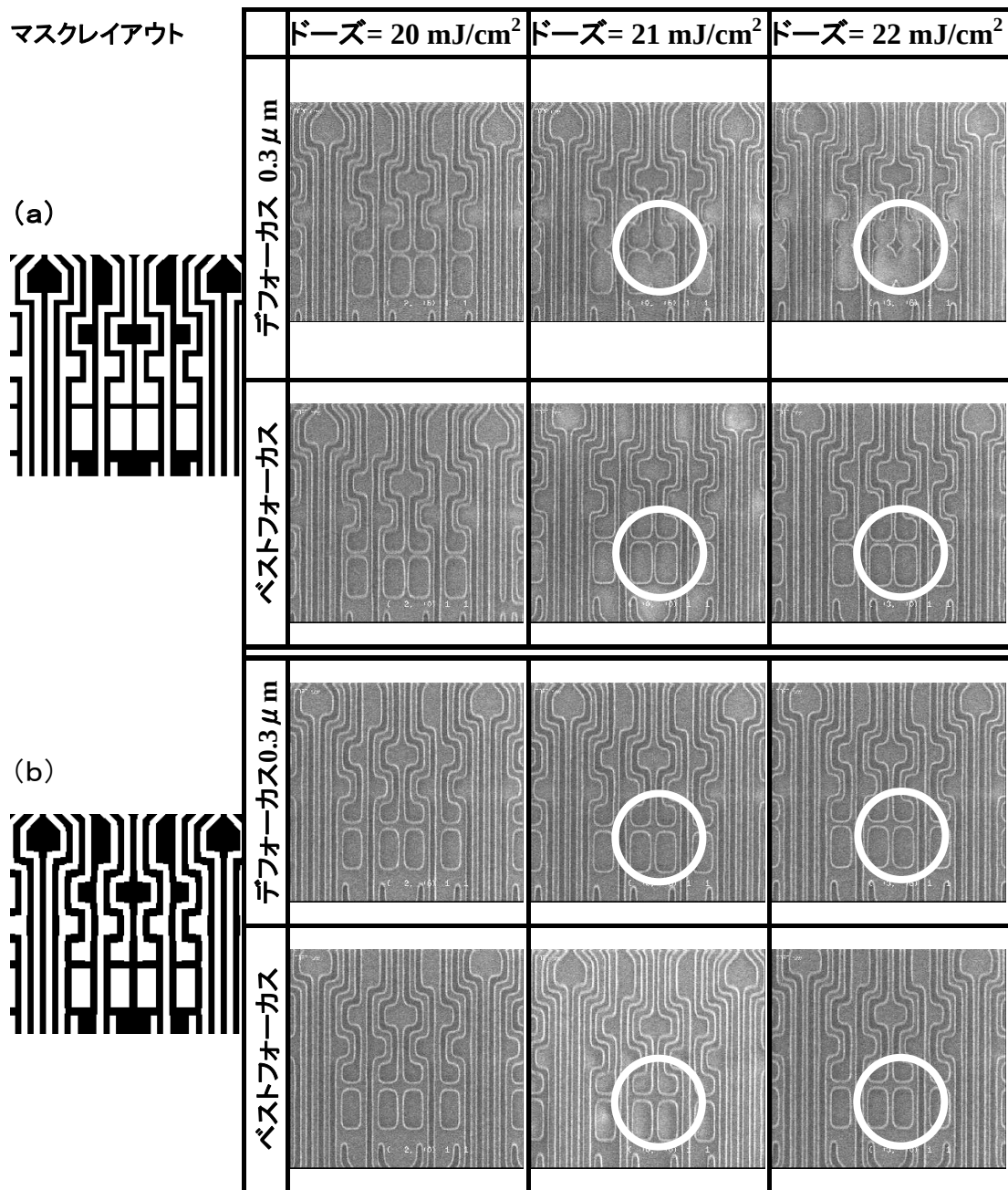


図 3.14 設計ルール 0.18 μm デコーダ回路配線層パターンレジスト像の例：
(a) OPC 前、(b) OPC 後

3.4.3 大規模レイアウトへの光近接効果補正適用へ向けた高速化

提案するモデルベース・ルールベースのハイブリッド方式光近接効果補正手法を、1ギガビットDRAMなどの大規模レイアウトデータに適用するための、高速化へ向けた種々の技術について述べる。

一般的に、メモリ製品やロジック製品など製品データの光近接効果補正処理における計算時間は、マスクデータ変換に要する時間とあわせて2～3日以内に収めることが求められる。製品規模のデータにおいても適正な時間内で処理を行うには、補正計算の高速化が必要である。また、光近接効果補正により階層構造が展開され、また図形頂点数が増大した結果データサイズが増大すると、マスクデータ変換や転送に要する時間が増大する上、マスク描画時間が増大することが懸念される。このため、補正によるデータサイズ増大を2倍以内に収めることが望ましい。これらの仕様を満たすべく、光近接効果補正システムの構築を行う。

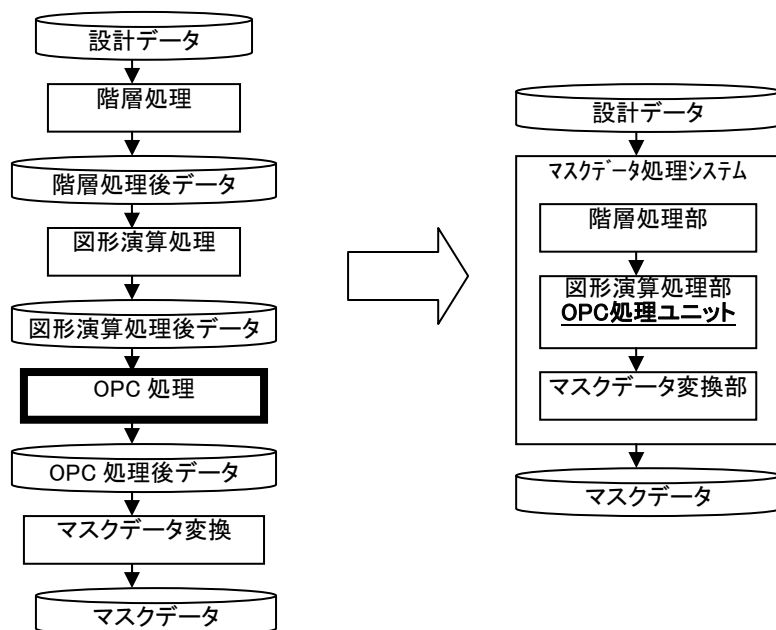


図 3.15 マスクデータ変換システムへの光近接効果補正処理の組み込み

検討した高速光近接効果補正システムの概要を以下に示す。

まず、階層処理マスクデータシステムへの組み込みについて説明する。DRAMやNAND型フラッシュなどメモリ製品データは、メモリセルアレイやセンスアンプ、ローデューダなど基本セルを縦横に繰り返して配置した、階層構造を有する。セルの配置の

種類を分類して計算が必要な領域を抽出する、階層処理を用いることにより計算量の低減を図ることができる。また図 3.15左のフローに示すとおり、光近接効果補正処理を行うためには、処理の前後に種々の処理ステップを必要とする。処理の高速化には、これらの大規模中間データの入出力によるオーバーヘッドをできるだけ回避することが必要である。そこで、光近接効果補正処理を図 3.15右のフローに示すとおり、階層処理マスクデータ変換システムに統合し、階層処理の利点を享受しつつ、中間データの入出力のオーバーヘッドを回避することとする。

次に、並列処理・分散処理の導入について、図 3.16に概要を記して説明する。光近接効果補正には多大な計算量を要するため、計算を複数の演算装置に振り分ける、並列処理・分散処理による高速化が必要となる。ここでは光近接効果補正処理ユニット(OPCユニット)をモジュール化し、マスクデータ変換システムにおける図形処理部から外部インタフェースを通じて並列に起動させる。またOPCユニットから起動するOPCシミュレーションを並列に起動して補正值を算出する。並列処理を行う部分については、複数の計算機を用いて分散処理を行うことも可能である。このように多大な計算量を複数の演算装置に振り分けることにより、利用する演算装置数に応じた線形的な高速化を図ることができる。

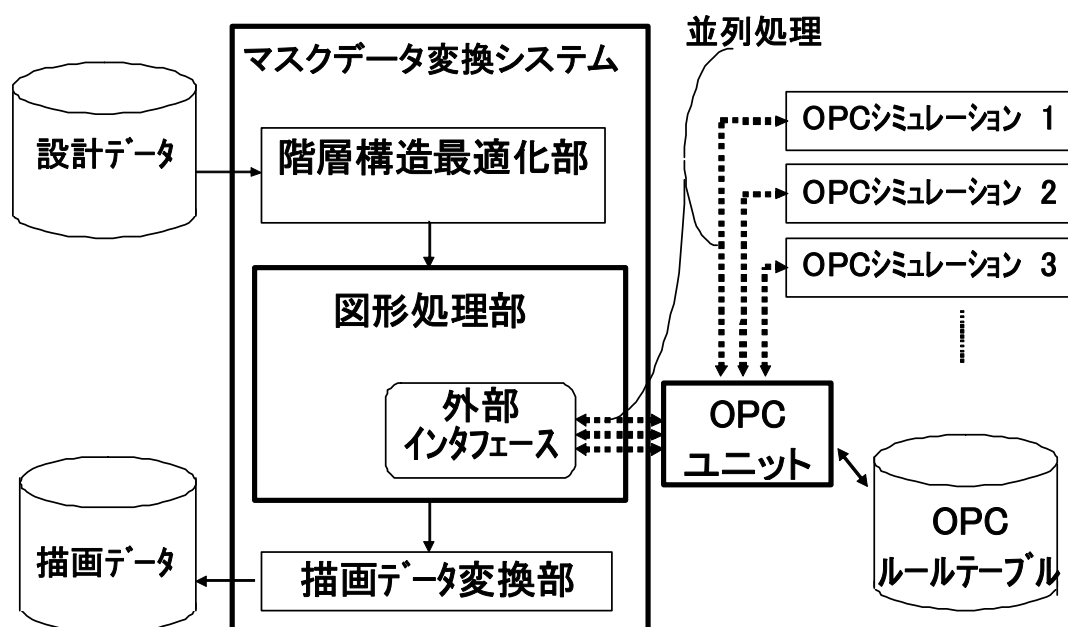


図 3.16 マスクデータ変換システムを用いた光近接効果補正の並列処理フロー

続いて、図 3.16に示したシステムを用いて光近接効果補正処理を行い、処理時間の内訳とデータサイズの増加率を検討した。

使用したデータは 1 ギガビットDRAM用テストデータ(テスト用に基本セル種類を網羅して作成したデータ)の配線層、および 256 メガビット DRAMフルチップデータの配線層である。1ギガビットDRAM用テストデータは 128 メガビットDRAM 2チップと、複数のアレイ診断モニタ(Array Diagnostic Monitors: ADM)、そしてプロセスモニタから構成される。配線層の設計ルールはメモリセルアレイ領域が $0.15 \mu\text{m}$ 、周辺部分が $0.18 \mu\text{m}$ であり、またADMは種々のサイズで設計されている。補正量は 5 nm刻みで設定し、また最小エッジ分割長さは $0.18 \mu\text{m}$ とする。計算機はCPUクロック数約 300 MHzのエンジニアリングワークステーションを用いる。OPCユニットはプロトタイピングの開発効率向上のためインタプリタ言語で記述して用いる。また光近接効果の及ぶ範囲を $1.2 \mu\text{m}$ と設定する。

処理時間の内訳を表 3.2に記す。マスクデータ変換ステップにおいて、1 ギガビットDRAM小規模データは種々のチップやモニタを含むため、階層処理に2時間55分かかったのに対し、256 M DRAMフルチップデータではセルの階層構造が単純なため階層処理は4分で完了した。図形処理、EB(電子ビーム)描画用フォーマット変換はどちらも一時間以内に完了している。これに対して光近接効果補正ステップは1ギガビットDRAM小規模データでは3日間、256 メガビットDRAMでは1.5 日間を要し、処理時間の合計はそれぞれ3日間強および2日間半となった。マスクデータ変換および光近接効果処理時間としての仕様はほぼ満たす結果となった。もし本ハイブリッド方式の手法を用いずにレイアウト上の全てのパターンをモデルベースで光近接効果補正を行った場合は、既出パターンをルールベースで高速に補正することができないため、双方のデータにおいて数ヶ月もの処理時間を要すると見積もられる。

ここで、処理時間のうち光近接効果補正ステップが9割以上を占めている。インタプリタ言語で記述したプロトタイプ of OPC ユニットの、C 言語などのコンパイラ言語に移植することにより、数十倍以上の高速化が見込まれるため、処理時間の合計が1日以内に収まると予想される。

表 3.2 階層処理マスクデータ変換システムを用いた DRAM 光近接効果補正時間

処理ステップ		1 G DRAM テストデータ	256M DRAM
マスクデータ変換	階層処理 ^{a)}	2 時間 55 分	4 分
	図形処理 ^{b)}	33 分	17 分
	EB 描画用	9 分	2 分
	フォーマット変換 ^{b)}		
光近接効果補正 ^{c)}		3 日	1.5 日
合計		3 日 3 時間 37 分	2 日 6 時間 23 分

a) 1 CPU 処理、b) 2 CPU 処理、c) OPC 2CPU、シミュレーション 10 CPU 処理

次に、光近接効果補正の有無によるEB描画用マスクデータ量の増加率を表 3.3に比較する。EB描画用データは可変整形ビーム(VSB: Variable Shaped Beam)フォーマットを用いた。1ギガビットDRAMテストデータにおいては、光近接効果補正を施さないマスクデータと比べて、1.04 倍にマスクデータサイズが増加した。また 256 メガビットDRAMのケースでは、1.86 倍にマスクデータサイズが増加した。

本手法では、光近接効果補正を階層処理マスクデータシステムに組み込んで用いている。ここで、光近接効果補正を別のツールで行った上でマスクデータ変換を行う場合は、ツール毎に異なる階層構造を用いるため、データの入出力においてデータの階層構造が展開されてしまう。この様に階層構造が展開されたデータを入力した場合、マスクデータ変換において、同じセル配置のレイアウトをまとめて処理するなど、データの階層構造を利用した処理の効率化が十分に行えなくなる。その結果、光近接効果補正処理に要する時間が、本手法と比較して数倍程度増大する。またセルの繰り返し情報を活用できないため、マスクデータサイズが増大する。

これに対して本手法では階層処理マスクデータ変換システムに光近接効果補正を組み込んで用いており、階層構造を利用して処理の効率化を図ることができた。また一次元補正を用いることにより、セリフ付加などの二次元補正と比較して頂点数の増加が抑制され、データサイズの増大を2倍以内に収めることが出来た。

表 3.3 光近接効果補正の有無による EB マスクデータ量増加率比較

	1 ギガビット DRAM 小規模データ	256 メガビット DRAM
光近接効果補正無し	286 Mbytes	65 Mbytes
光近接効果補正後	297 Mbytes	120 Mbytes
データ量増加率	1.04	1.86

3.5 むすび

本章では、光近接効果補正におけるマスキレイアウト改良の高精度・高速化の手法を提案し、実用性を検証した。

1. まず、光近接効果補正について概説した。
 - 光近接効果補正は光近接効果、レジスト・エッチングなどのプロセスで生じる寸法・形状誤差をマスクパターン上で補正し、プロセス・マージンを拡大する。
 - 補正の手法は、ルールベースとモデルベースがある。
 - 高い補正精度を維持した高速化が課題である。
 - 大規模データ適用へは、補正処理によるデータサイズ増大の抑制が必要となる。
2. 次に、ルールベース・モデルベースハイブリッド方式の光近接効果補正システムを提案した。
3. 続いて、2のシステムを利用して高い補正精度を実現するために、改良版一次元 OPC の手法を提案した。
4. 2、3を用いた光近接効果補正を用いて、光学シミュレーションおよびウェーハ転写実験を行い、補正精度を確認した。
5. 1ギガビット DRAM 向けテストデータ、および256メガビット DRAM データを用いて処理時間とデータの増加率を確認し、実用性を検証した。

上記の手法を用いることにより、寸法精度が向上し、所望寸法範囲に仕上がるパターンの割合は、図 3.11に示すとおり数割程度改善すると見積もられた。さらに図 3.14に示すとおり、オープン/ショートが発生の様なデバイス性能を致命的に悪化させる不具合の発生を回避する。このことから、リソグラフィプロセスにおける歩留り向上効果はさらに高いとの見積もりを得た。

第4章 歩留り向上へ向けたレイアウト改良

システムの構築^[21-26]

4.1 まえがき

半導体設計ルールの微細化に伴い、解像がより困難となる低 k_1 条件の製造プロセスを用いる場面が増える。プロセス条件によっては、リソグラフィ起因の歩留り低下危険箇所であるホット・スポットが多発する。このような状況下でも歩留りの高いレイアウトを作成するために、設計レイアウト上での改良が必要となる。そこで大規模データのホット・スポット修正への適用を念頭に、ホット・スポットを高速高精度に修正する手法を提案する。さらにプロセスの複雑化に伴い、リソグラフィ起因だけでなく、プロセスばらつきなど種々の歩留り低下要因を考慮したパターン改良の必要性が高まる。このため種々の歩留り低下要因を考慮した設計レイアウトの改良を実施し、歩留り向上効果を見積もる。

4.2 ホット・スポット自動修正システムの構成

4.2.1 ホット・スポット修正の必要性

半導体設計ルール of 微細化に伴い、低 k_1 条件での製造プロセスを用いるケースが増加する。低 k_1 条件ではウェーハ上のパターン忠実性が低下し、OPC を施してもリソグラフィマージンの不足する箇所(ホット・スポット)が多数発生する。ホット・スポットはその数や形状に応じて歩留り低下の原因となるため、設計—製造フローのいずれかのステップで抽出し、修正する必要がある。ここで設計のステップで修正を行うことが出来れば、設計データベース上でデータを根本的に修正し、同様のホット・スポットの再発を防ぐことが出来る。このため、設計レイアウトを修正することが望ましい。

従来の設計・製造フローにおいては、設計ルールに則った設計データが出荷され、引き続いてMDP、OPC 処理が順々に施されていたが、後段のステップでホット・スポットが抽出された場合、前段のステップに舞い戻って対策を採るのが困難になる。このためプロセス開発の初期の段階でホット・スポットの発生を回避する、新たな設計フローが必要となる^[30-34]。

4.2.2 ホット・スポットの抽出および自動修正フローの構成

図 4.1に、リソグラフィコンプライアンスチェック(Lithography Compliance Check: LCC)とホット・スポット修正を含む設計フローを示す。設計者は設計ルールに基づいてレイアウトを設計する。次に設計レイアウトにMDP／OPC処理を施し、マスクレイアウトを作成する。続いて光学シミュレーションを実行し、マスクレイアウト上のホット・スポットを抽出する。ここで、MDP/OPCおよび光学シミュレーションを用いてリソグラフィ像を検証するステップを、LCCと呼ぶ。ホット・スポットが抽出されなければレイアウトは出荷され、ホット・スポットが抽出されれば前段のステップのいずれかを改良してホット・スポット発生を回避する。改良方法のひとつは、設計ルールを改良し、ホット・スポットを発生するレイアウトを設計ルールから除外することである。もうひとつは、ホット・スポット発生箇所のレイアウトを局所的に修正することである。またひとつは、MDP/OPCのレシピを改良し、ホット・スポットを生じるマスクパターンの発生を回避することである。

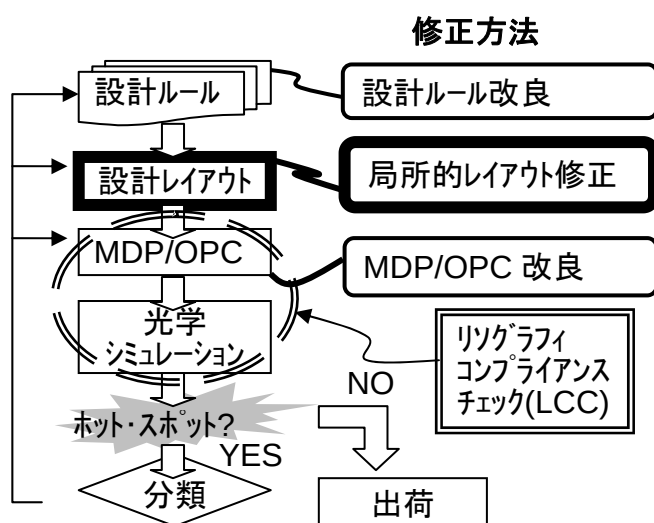


図 4.1 LCC/ホット・スポット修正を含む設計フロー

三つの改良方法それぞれの長短所を、図 4.2を参照して説明し、自動ホット・スポット修正ツール導入の必要性を述べる。

まずホット・スポットが生じないように設計ルールを改良する手法について説明する。設計ルールに新たなルールを追加したり、値を厳格化したりした場合、副作用として

設計ルール違反となるレイアウトが生じる。この設計ルール違反箇所を、デザイン・ルール・チェッカーを用いて抽出して手作業で新たな設計ルールを満たすように修正する。または、自動配置配線ツールの配線ルールへ新たな設計ルール組み込むことにより、レイアウト全域に自動で新たな設計ルールを適用したりすることが出来る。

一般に、ホット・スポット発生を回避するための設計ルールへの制約は大きく二つに分類される。複雑な設計ルールを記述してばらつきの大きい特定のレイアウトを回避する CDR (Complex Design Rule) と、シンプルかつ強い制約を設けてレイアウトの種類を制限する RDR (Restricted Design Rule) である。CDR を活用すると設計ルールの数が膨大となり、設計が難しくなる。また RDR を活用すると、パターン間隔を広げることになる上、決められた単純な形状のみを用いるため、レイアウトの面積が増大する懸念がある。これらの手法の得失を考慮して設計ルールを改良するが、設計ルールの改良はレイアウト全域に影響を及ぼすため、細心の注意が必要である。

次に、設計レイアウトを局所的に改良する場合、改良の影響を限定された範囲にとどめることができ、副作用が少ない利点がある。しかしながら設計者がパターン配置に関する光学的効果を考慮しながら、シミュレーションを繰り返して試行錯誤で改良するため多大な時間を要する。また設計者に光学的知識と熟練が必要となる。

また、MDP/OPC のレシピを改良する場合は、ホット・スポットを生じるレイアウト形状を MDP/OPC レシピ内で抽出し、ホット・スポットの発生を回避するように特殊な図形処理を加える。この方法では MDP/OPC のステップに組み込んで実施するため、自動的にレイアウト全域に適用可能である。簡便である半面、目的とするレイアウト形状以外を抽出してしまい、これに想定外の図形処理を行うなどの副作用が生じる危険がある。このような副作用をさけるために、レシピの改良と検証には多大な時間を要する。

以上の状況を鑑みて、ホット・スポット修正においては、設計レイアウトの局所的な改良を、自動的に実行する手法が最適であると考ええる。すなわち、LCC で抽出したホット・スポットを自動修正するツール (HSF: Hot Spot Fixer) を提供し、リソグラフィプロセスにおいて高い歩留りを得ることのできる、レイアウトの作成を支援する手法を検討する。

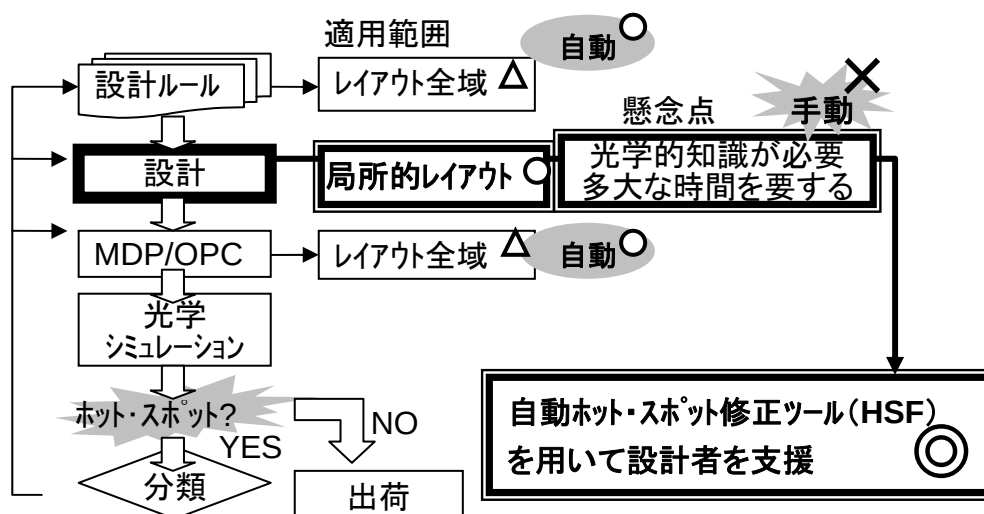


図 4.2 設計段階における自動ホット・スポット修正ツールの必要性

セル設計とチップ設計、製造におけるホット・スポット修正フローを図 4.3に示す。セル設計、チップ設計ともに、設計者はレイアウトを作成し、LCCを実行してホット・スポットを抽出し、ホット・スポットが抽出されればHSFで修正する。こうして設計者はホット・スポットのないチップレイアウトデータを出荷（テープ・アウト）する。さらに、LCCおよびHSFを実行されていない設計領域を含んだデータがテープ・アウトされ、マスクデータ作成段階でホット・スポットが抽出された場合は、マスクデータ出荷前にHSFを実行してホット・スポットを修正する。以上の手順を経ることにより、製造側でホット・スポットがみつき、設計まで戻ってやり直しとなる危険性を低減できる。

さらに詳細な処理フローを図 4.4に示す。設計者は設計ルールを遵守して、レイアウトを作成する。設計ルール違反の有無は、デザイン・ルール・チェッカー（Design Rule Checker: DRC）による検証を実施して確認する。次にレイアウトをLCC処理に入力する。LCC処理においてはレイアウトにMDP（Mask Data Preparation; マスクデータ処理）やOPC処理を施してマスクパターンを生成し、マスクパターンに対してプロセスシミュレーションを実行してホット・スポットを抽出する。ホット・スポットが抽出された場合、HSFステップに入力し、設計ルールと修正ルールに基づいてレイアウトを修正する。このようにしてDRC、LCCともにエラーのないレイアウトを作成する。

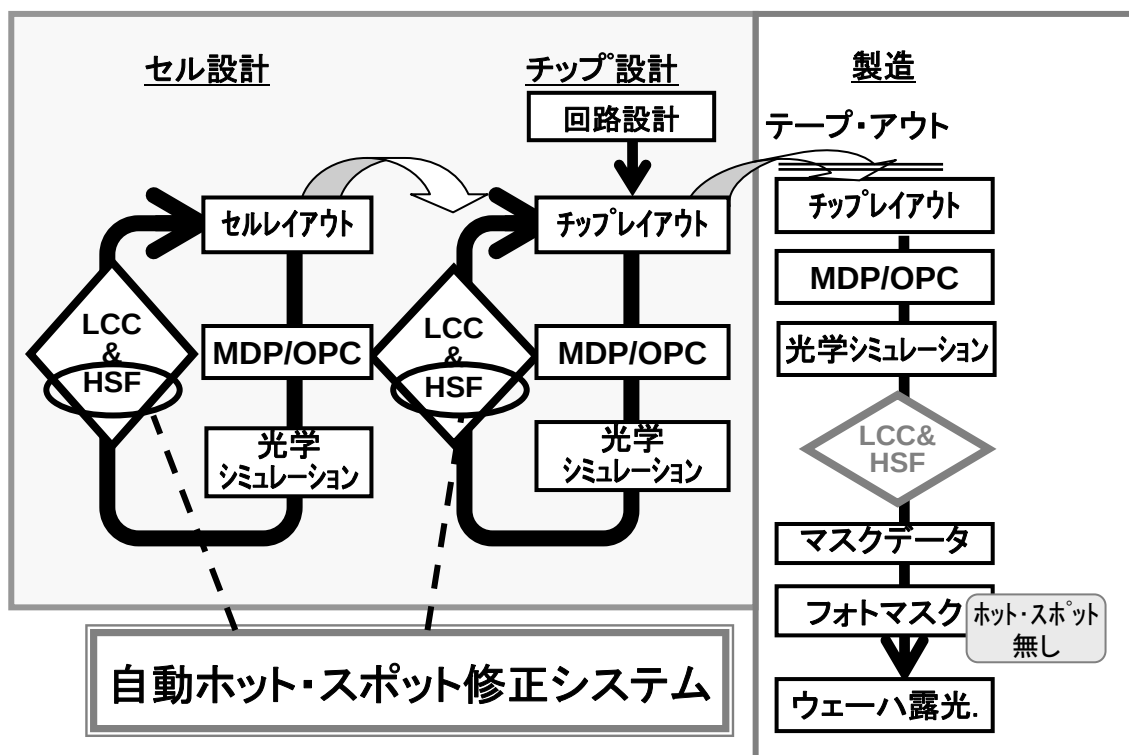


図 4.3 セル設計、チップ設計、製造におけるホット・スポット修正フロー

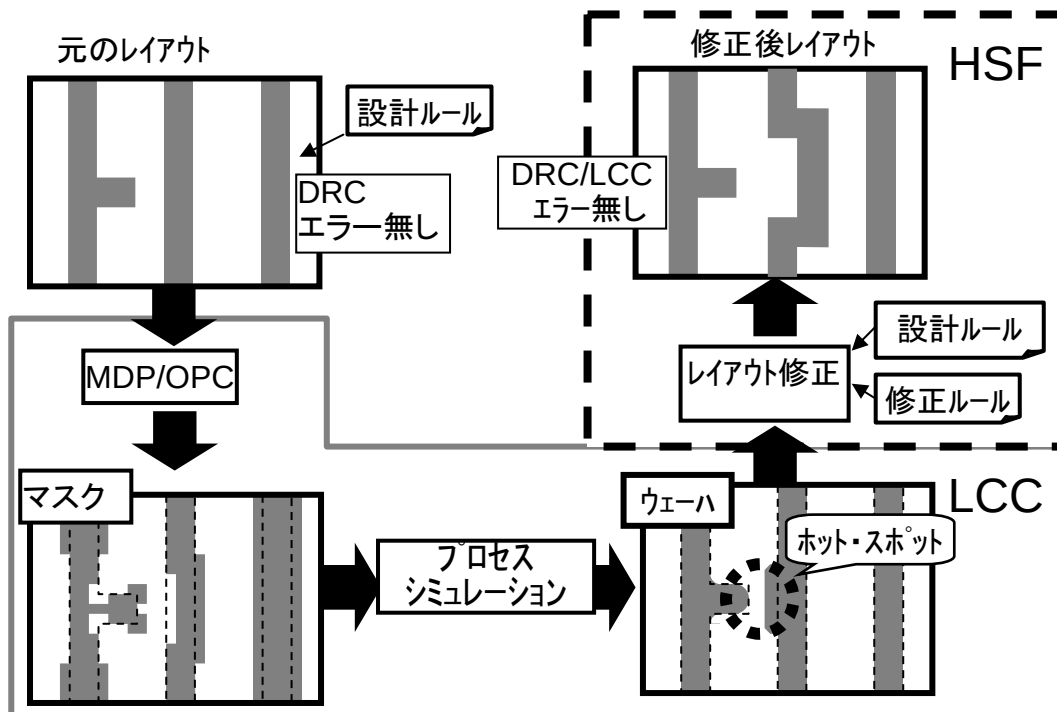


図 4.4 自動リソグラフィコンプライアンスチェック (LCC) および
ホット・スポット修正システム (HSF) フローチャート

設計者のレイアウト設計を支援するLCC/HSFインタフェースの構成を図 4.5に示す。設計者はコンピュータ端末上でEDA (Electronic Design Automation) ツールを用いてレイアウトを作成し、インタフェースを介してLCC/HSFシステムにブロックデータ、設計ルール名称、修正に用いられるパラメータを送付する。LCC/HSFシステム側ではブロックデータをLCCシステムに入力してホット・スポットを抽出する。続いてHSFシステムにおいてはホット・スポットのおかれた環境を解析し、API (Application Programming Interface) を用いて設計ルールと修正パラメータに基づいて修正を行う。最後に修正結果に関して再度LCCを実行して検証した上で、修正後ブロックデータと修正箇所数などの修正レポート、修正後LCC結果を設計者に送付する。

このようにして設計者はブロックデータの設計後、適切なパラメータを設定し、インタフェース上のボタンを押して起動するだけで自動処理を実行し、LCC エラーを修正したブロックデータを入手することが出来る。

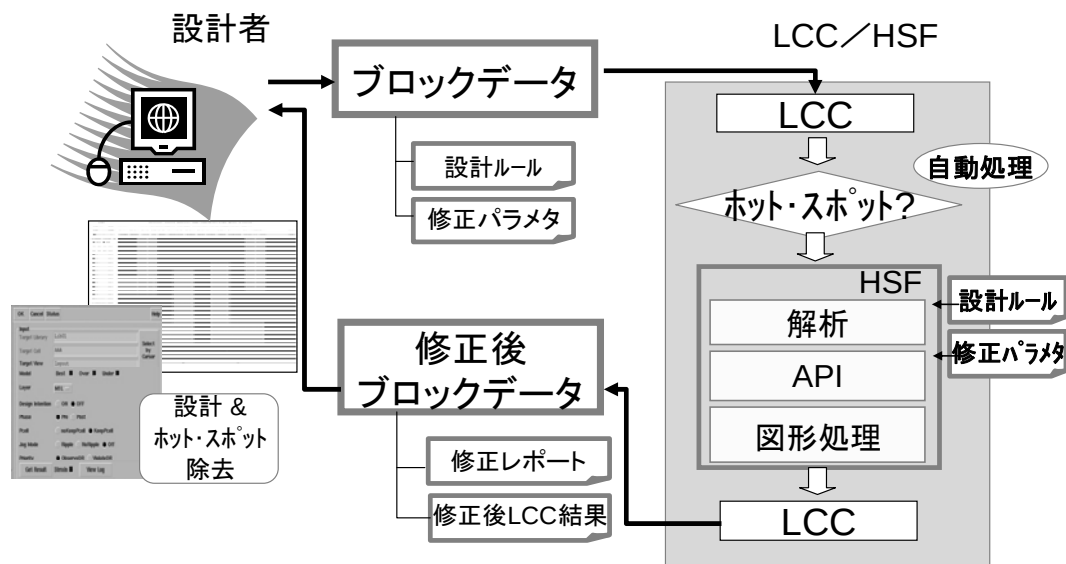


図 4.5 設計支援のための自動 LCC/HSF インタフェース

上に記したLCC/HSFインタフェースを通して設計者に送付された修正済みレイアウトの例を図 4.6に示す。GUI(Graphical User Interface)ウィンドウ上でブロックデータ名、設計ルール名、層名や修正パラメータを指定し、起動ボタンを押した後、数分程度で修正済みのレイアウトが返送され、レイアウトウィンドウ上に表示される。図 4.6の例では、パターン間のショートエラーを抽出し、パターン間を拡げることによりエラーを解消している。

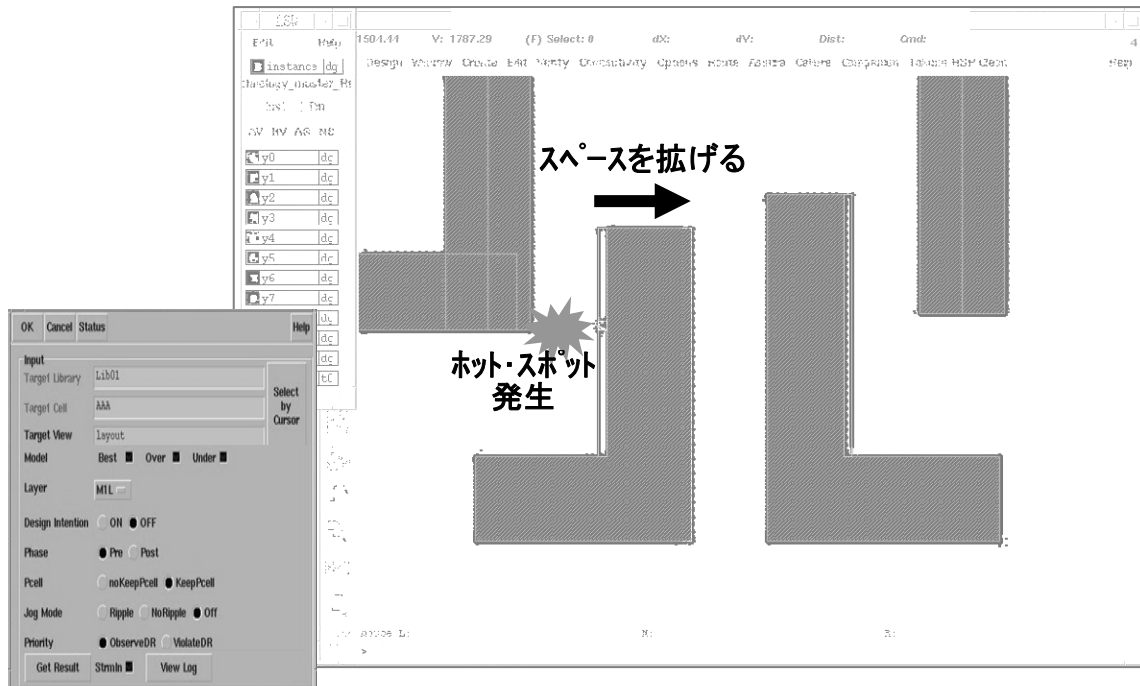


図 4.6 LCC/HSF インタフェースを利用したレイアウト修正の例

4.2.3 ホット・スポット修正パラメータの設定

HSFシステムで用いられる修正ルールの設定について、図 4.7を参照して説明する。図 4.7には設計レイアウトとMDP/OPC後の光学シミュレーション像が重ねて表示されており、図の中央にパターンが切れる、オープンエラーであるホット・スポットが発生している。ここでホット・スポットに接するエッジを修正対象エッジとし、このエッジに修正量を割り当てる。修正量は、線幅の修正量であるラインサイジング (LS)、隣接図形とのスペースの修正量であるスペースサイジング (SS) で記述され、ホット・スポットのカテゴリ、近傍のレイアウトを総合的に考慮して割り当てられる。次に割り当てられた修正量に基づいて、修正対象エッジを移動する。

LS/SS で記述された修正ルールに基づく修正により、ほとんどのホット・スポットは修正されるが、最小設計ルールで描かれたラインアンドスペースの連続したレイアウトや上下の層とビアでつながれたレイアウトなど、修正が難しいケースもある。このような場合は修正パラメータの設定を調整し、所望の修正を行う必要がある。

HSFにおいて調整可能なパラメータの例を図 4.8に示す。修正対象とする層の設定、修正を及ぼす範囲を所定の範囲に広げる、ジョグを挿入する範囲の設定、設計データの階層構造を維持または展開して修正するなどの項目を設定することが出来る。

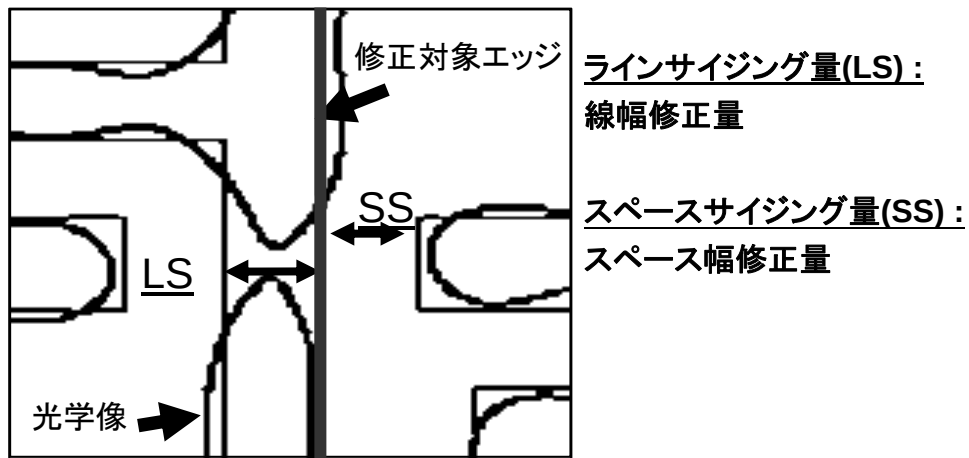


図 4.7 HSF で用いられる修正ルール

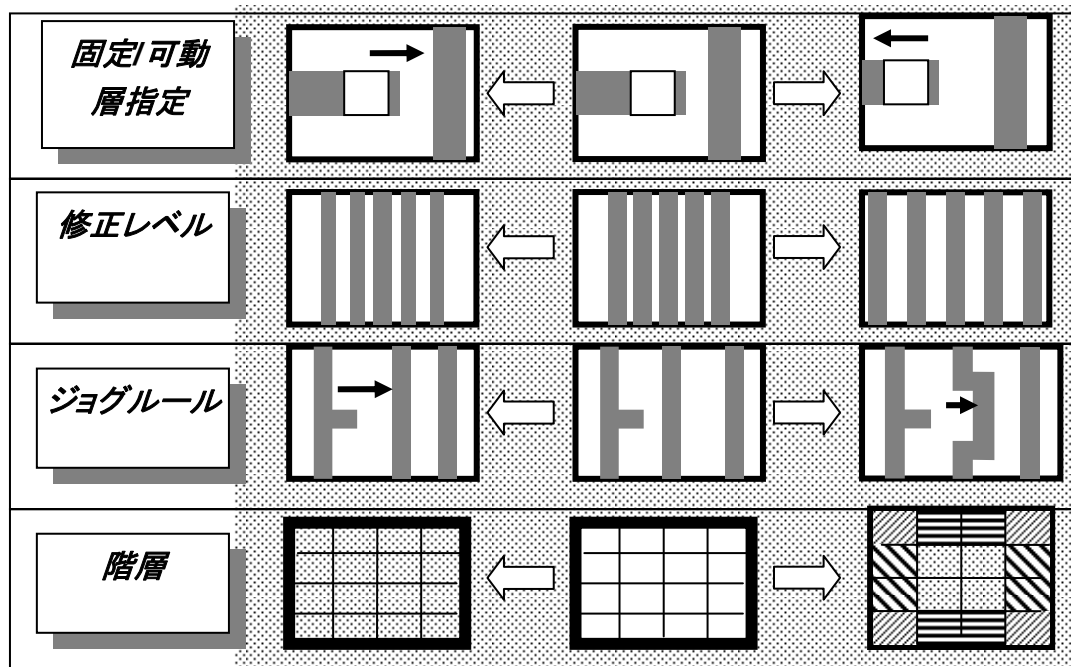


図 4.8 HSF における調整可能な項目の例

図 4.9に上下層を含む多層修正の例を示す。元のレイアウトの配線層においては、設計上の図形間隔が 90 nmに描かれているが、光学シミュレーション像では図形の間隔が 65 nmと近づいており、ショートエラーが懸念されるホット・スポットとなっている。修正に当たって、配線層を単層で図形間隔を広げる修正を施す場合、配線層におかれたビアと配線がずれてしまい、位置関係に不整合を生じる。

そこで配線層とビアを合わせて修正対象とする設定を行って修正をした。その結果、設計上の図形間隔が 110 nm となり、設計ルールを満たしてホット・スポットを修正することが出来た。

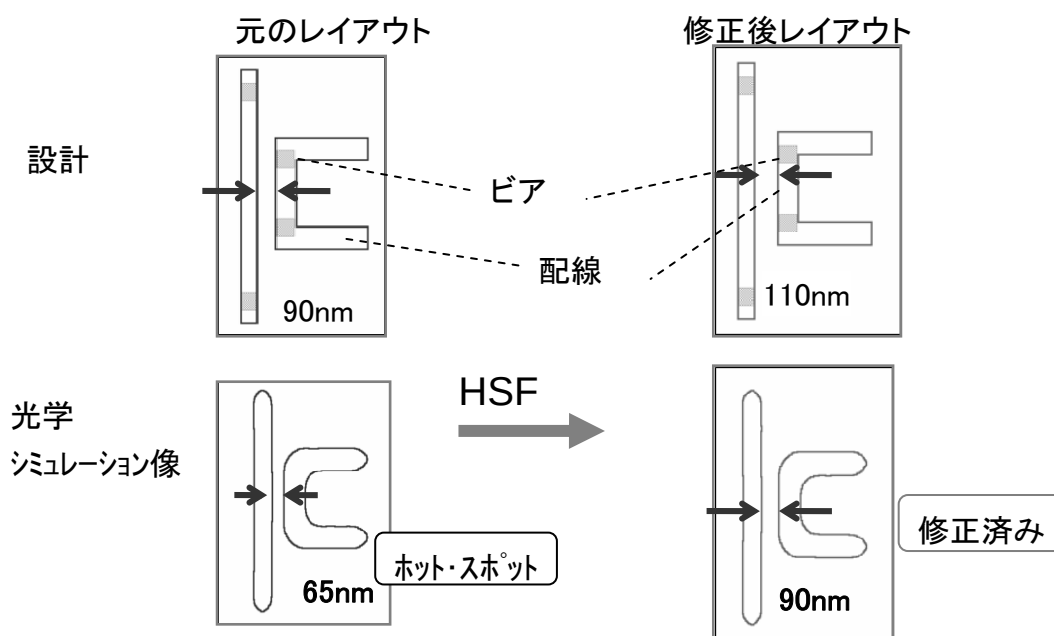


図 4.9 HSF を用いた多層修正の例

HSFを用いた多層修正に関する他の例を図 4.10に示す。設計レイアウトにおいては配線層のラインアンドスペースが最小設計ルールで並べられており、光学シミュレーション像上ではパターン像のコントラストが低く、パターン同士がくっつきそうになる、ホット・スポットが生じている。配線上にビアが置かれているため、ビアと配線層の位置関係を考慮した修正が必要である。そこでHSFを用いてビア層と配線層の設計ルールを考慮しながら複数層を同時に修正し、パターンピッチを緩和することによりパターン像のコントラストを向上させ、ホット・スポットを修正する。この様に、LS、SSの値、修正範囲と可動層の設定を調整することにより、自在な修正が可能となる。

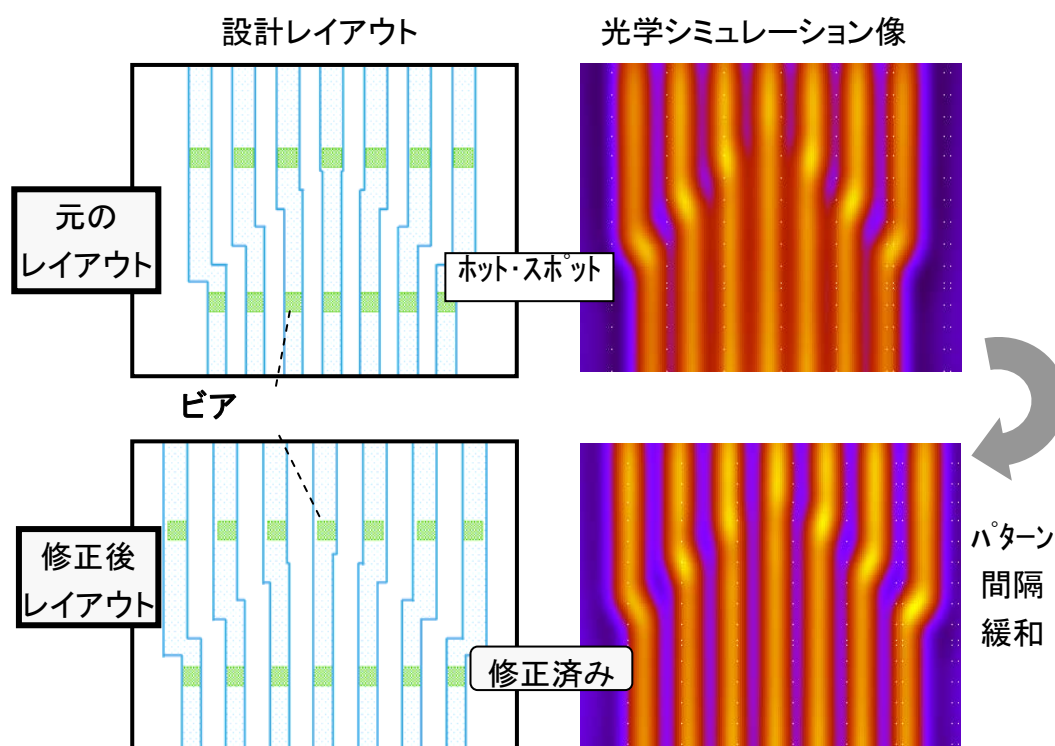


図 4.10 HSF を用いた多層パターンピッチ修正の例

4.2.4 65nm世代ロジックデータへのホット・スポット自動修正適用

以上に説明した HSF システムを、65 nm 世代のロジックデータ自動修正へ適用し、プロセス・マージンの拡大効果を検証する。またいくつかのブロックデータ、チップデータに関して修正率と処理時間を測定し、実用性を検証する。

図 4.11に、最小寸法 90 nmの2種のレイアウトに関してHSF前後プロセス・マージンを比較する。レイアウト1ではパターンの付け根形状が細るホット・スポットが生じている。ここで、ホット・スポットとして、光学シミュレーションの結果、シミュレーション像が所望パターンから一定量以上逸脱している箇所、シミュレーション像のパターン寸法が所定の量以下である箇所、シミュレーション像のパターン間隔が所定の量以下である箇所、コンタクト／ビアのカバレッジが一定量以下である箇所、ラインエンド端のショートニングが一定量以上である箇所などを抽出する。抽出のしきい値はウェーハ露光実験によりプロセス・マージンが確保できる値を導出する。HSFを用いた修正の結果、ホット・スポットを含む図形のエッジが 15 nm太められたことにより、ホット・スポットが修正された。光学シミュレーション像は修正箇所のみ局所的に改善されており、レイアウトのほかの部分には副作用などの影響が及んでいないことがわかる。

また所望寸法 $\pm 10\%$ 内に収まる露光量—フォーカス曲線 (Exposure-Defocus

Curve: ED曲線)をプロットした。求め方を図 4.11 (b)を参照して説明する。まず横軸に露光量、縦軸にフォーカス深度をとり、光学シミュレーションを用いてパターンが所望寸法より 10 %細る条件(灰色の曲線)、およびパターンが所望寸法より 10 %太る条件(黒の曲線)を求めてプロットする。この2本の曲線の間が、パターンが所望寸法 $\pm$ 10 %に解像する条件となる。このカーブを、元のレイアウトと修正後レイアウトに関してそれぞれ求める。次に、求める露光裕度(横向き両矢印)の幅の内接矩形(露光・デフォーカスウィンドウ)を曲線内に作成し、この露光裕度のときに得られるフォーカス深度(縦向き両矢印)を求める。このときの露光裕度とフォーカス深度の組み合わせをED曲線として(c)の通りプロットし、リソグラフィプロセス・マージンの大きさを表す。本例においては、修正前に比べて修正後は所望寸法 $\pm$ 10 %に収まるリソグラフィプロセス条件の領域(ED曲線の下側の領域)は大きく拡大した。

レイアウト2においては、図の中央の配線が細るホット・スポットが生じている。HSFを用いた修正の結果、ホット・スポットを含む図形のエッジが上下に 10 nm ずつ太められ、ホット・スポットは修正された。(d)の光学シミュレーション像、(e)の ED 曲線ともに修正により大きく改善したことが見て取れる。

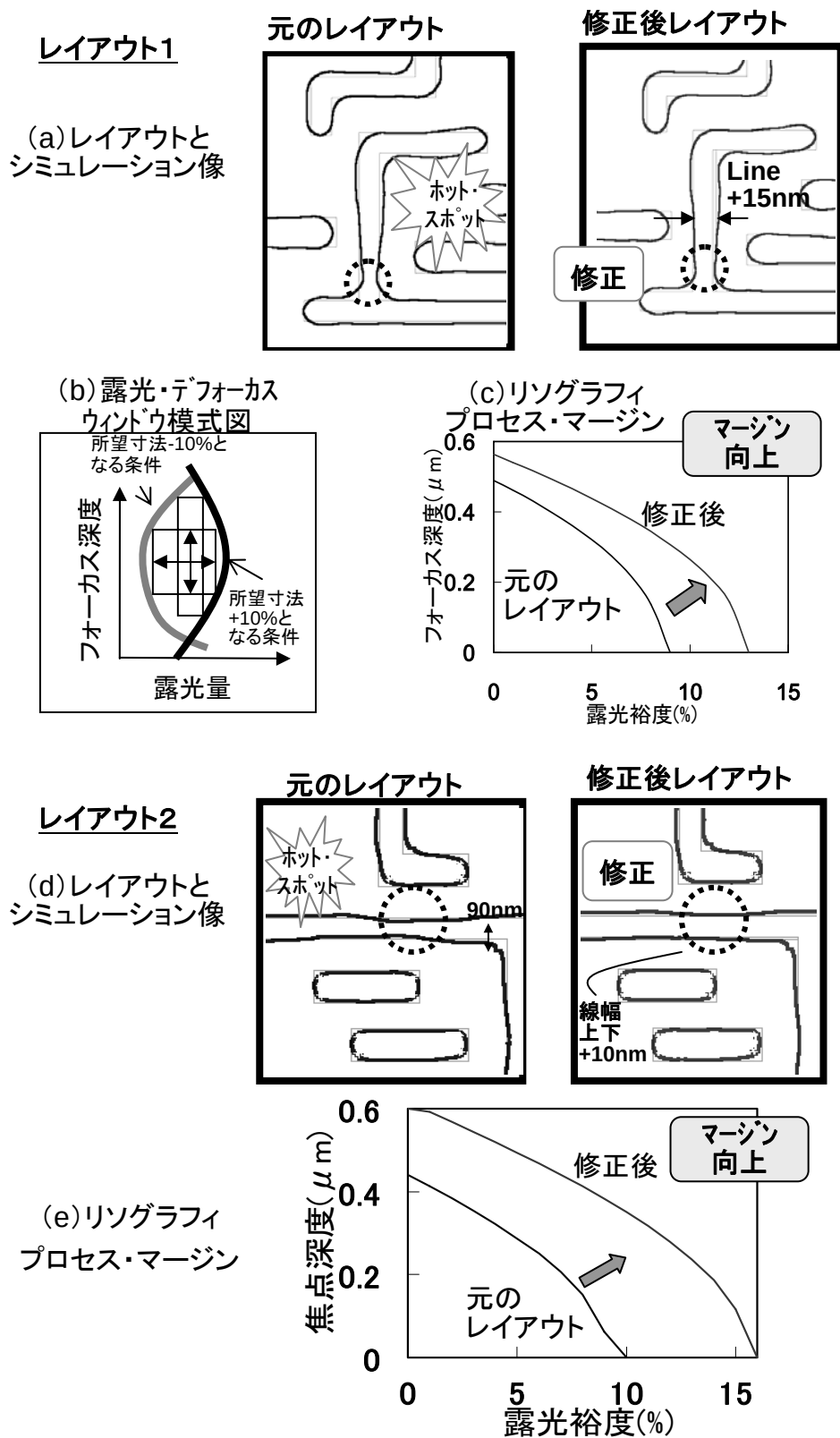


図 4.11 HSF 前後のシミュレーション像と露光量-フォーカスマージン

図 4.11に示すレイアウト2に関して、HSFを用いた修正前後のレイアウトから作成したウェーハ上のレジスト像を、図 4.12に示す。ベストフォーカス・ベストドーズ条件においては、修正前後のレイアウトは共にウェーハ上に正しく解像されている。一方、10 %アンダードーズ、0.1 μm デフォーカス条件においては、修正前のレイアウトでは図の中央の配線が途切れてしまっているが、修正後のレイアウトではパターンが正しく解像できている。これは、図 4.11 (e) のグラフに示すとおり、デフォーカス 0.1 μm における露光裕度は、修正前には約 8.5 %であり、修正後には約 15.5 %と大きく拡大したことに対応する。

条件:

65nm ノード ローカル配線層
レジスト像 SEM 画像

ベストドーズ
ベストフォーカス

アンダードーズ (-10%)
デフォーカス (0.1 μm)

元のレイアウト

修正後レイアウト

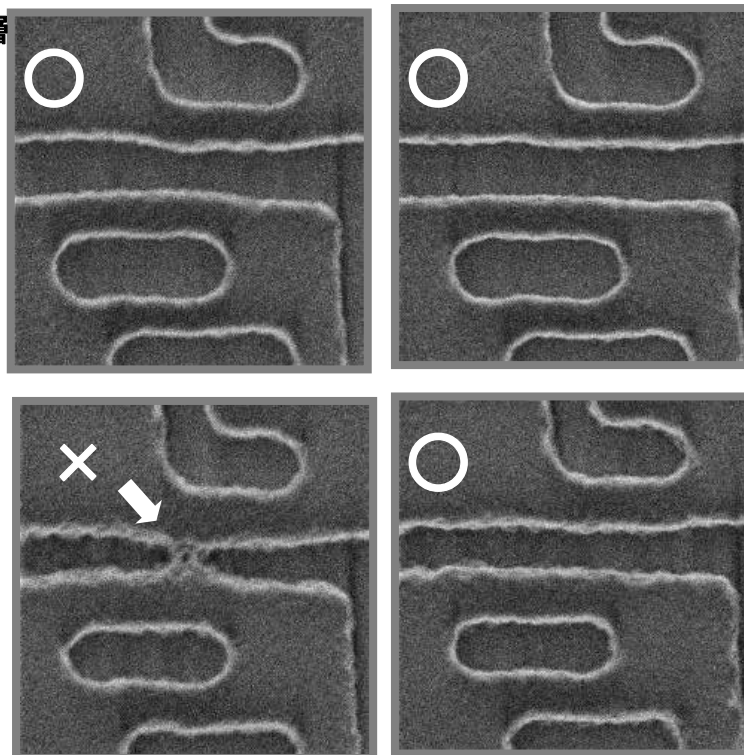


図 4.12 HSF 前後レイアウトのウェーハ転写結果

このように、修正前のレイアウトではプロセス・マージンが不足している箇所を、HSF後にマージンが拡大されたことがわかる。さらに、同じレイアウトの修正前後のパターンに関して、フォーカスと露光量を種々に変化させて転写した図 (Focus-Exposure Matrix)を図 4.13に示す。白枠の領域が所望プロセス・マージンである。修正前のレイアウトではパターンの細りが生じ、パターン部はマスク上では開口部に相当するため露光量が少ない側にばらつくレジストを感光するための露光量が不足し、パターンがオープンしてしまう。これに対し、修正後のレイアウトではオープンの危険箇所を太めたため、露光量が少ない側の条件でも問題なく解像している。以上から、プロセス・マージンの拡大がレジスト像においても確認された。

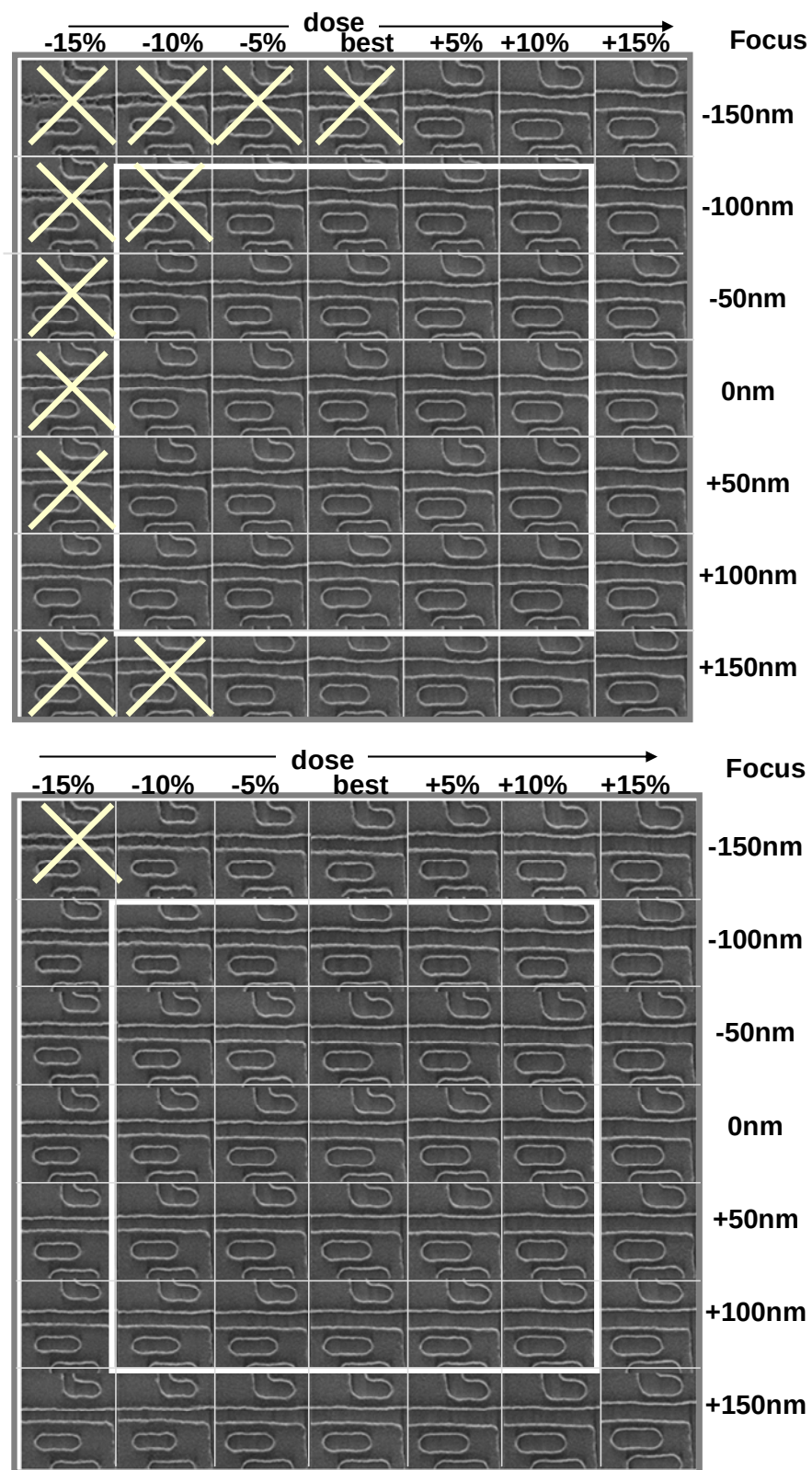


図 4.13 HSF 前後レイアウトのウェーハ転写結果
露光量-フォーカスマトリックス 上 : HSF 適用前、下 : HSF 適用後

次に、ASIC のブロックデータ2種を対象として、各層の HSF 処理時間と修正率を測定した。ここで、ホット・スポット抽出における光学シミュレーション条件設定は、ホット・スポット修正の効果を計るために、通常使われる条件より露光量・フォーカスとも悪化させた条件を用いて、故意に多数のホット・スポットを生じさせた。

表 4.1を参照しながら結果を説明する。ブロックAにおいては面積 0.6 mm^2 と小さく、HSF時間は各層 30 分以内に収まっている。全ホット・スポット数のうち修正に成功した箇所数の割合を表す修正率は 8 割以上であり、ほとんどのホット・スポットを自動修正できている。またブロックBは面積が 12 mm^2 とブロックAの 20 倍あり、HSF時間は各層 20 分から 103 分と開きがある。修正率はGC (ゲート) 層、M1 (Metal-1) 層、M2 (Metal-2) 層とも 9 割以上であるが、M4 (Metal-4) 層のみ修正率が 0 %となり、ホット・スポット修正が全くされなかった。修正が施されないホット・スポットのレイアウト例を図 4.14に示す。この例ではホット・スポット近傍に最小設計ルールの間隔を置いて図形が隣接し、さらに上下層に通じるビアが配置されているため、デザインルールを満たした修正が難しい。そこで、HSFの修正パラメータを調整し、ジョグの挿入と多層の修正を施したところ、修正率は 99 %となった。

自動修正仕切れないホット・スポットについては、修正パラメータの更なる調整や、手修正を施すことにより除去をすることになる。

表 4.1 ASIC65 nm 世代ブロックデータにおける HSF 修正率と処理時間

	層名	ホット・スポット数	修正率	HSF 時間 (分)
ブロック A 0.6 mm^2	GC	694	100 %	19 min ¹⁾
	M1	5123	87 %	29 min ¹⁾
	M2	515	94 %	16 min ¹⁾
ブロック B 12 mm^2	GC	2528	94 %	103 min ¹⁾
	M1	27444	99 %	96 min ¹⁾
	M2	39748	97 %	58 min ¹⁾
	M4	800	0 %	20 min ²⁾
	M4 改良	800	99 %	20 min ²⁾

1) Xeon 3.2GHz メモリ 2GB、2) Opteron 2.8 GHz メモリ 64GB

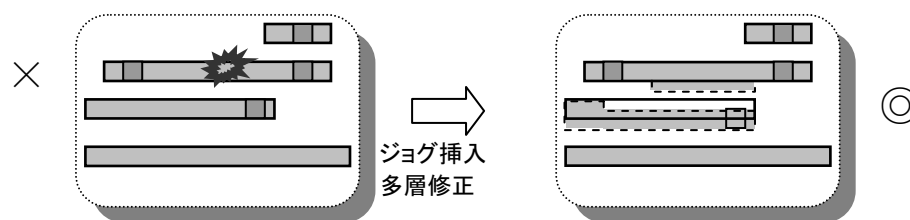


図 4.14 表 4.1 における未修正ホット・スポットに対する修正方法

65 nm世代ASIC製品ブロックデータに関して、各層のべ 100 個以上のデータを入力し、HSFの処理時間を測定した結果を図 4.15に示す。処理時間は数分ものから 2 時間以上とバラツキがあるが、6 割のデータは 5 分以内に、また 9 割以上のデータにおいて、30 分以内にHSF処理は完了した。

次に、30 分以内にHSF処理が完了したデータ群に関して、処理時間の面積依存性およびホット・スポット数依存性をプロットしたグラフを図 4.16に示す。面積が大きいほど図形数が多く、データの入出力および解析に時間がかかるため、処理時間が長くなる。またホット・スポット数が多いほど修正のための図形処理に時間がかかるため、処理時間が長くなる。しかしながら処理時間はデータの階層構造、パターン密度、面積、ホット・スポット数に複雑に依存するため、予測が難しいといえる。

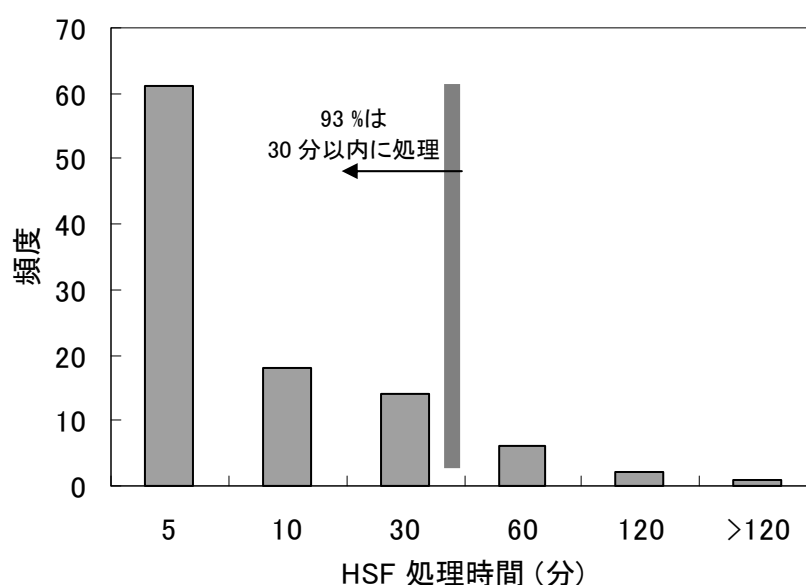


図 4.15 65 nm 世代 ASIC ブロックデータ HSF 処理時間

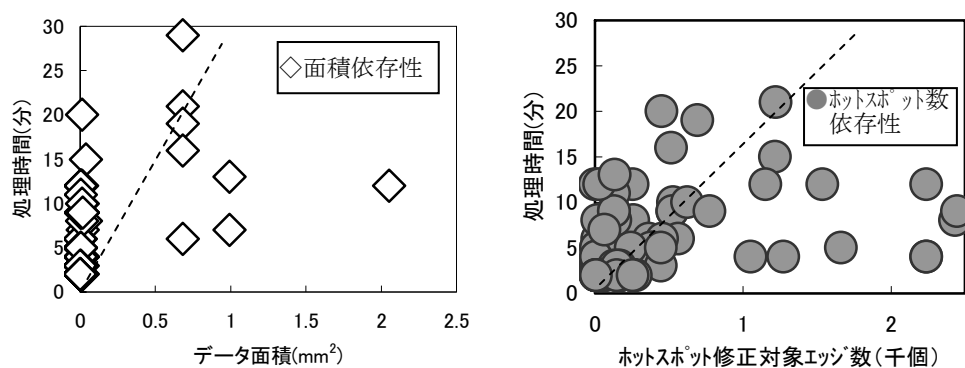


図 4.16 HSF 処理時間の面積依存性およびホット・スポット数依存性

次に、HSF システムを大規模ロジックチップ全領域に適用し、修正効果と処理時間を検証した。65 nm 世代ロジックデータ $11 \times 12 \text{ mm}^2$ の配線層を対象として、必要に応じてジョグを挿入する設定で修正を行った。また光学シミュレーションは通常用いられる条件から露光量、フォーカス条件とも悪化させた条件を設定し、ホット・スポットを多数発生させて用いた。

修正前後のホット・スポットの分布と数の変化を図 4.17に示す。元のレイアウトにはチップ全面に 47000 個のホット・スポットが抽出されたが、HSFによる修正後は 40 程度と 1/1000 に削減した。修正後に残存するホット・スポットを調査したところ、すべて OPC と光学シミュレーションにおける計算結果の微細な丸め誤差等のバラツキに起因するものであった。

処理時間は 1CPU 上で 12 時間であった。分散処理等で更なる高速化を図ることが可能である。

以上の様に、HSF システムを用いて大規模ロジックデータのホット・スポット修正を実用的な時間で処理し、またほぼ全てのホット・スポットを修正した。このことから、65 nm 世代以降のホット・スポット自動修正適用に実用的な性能が示された。

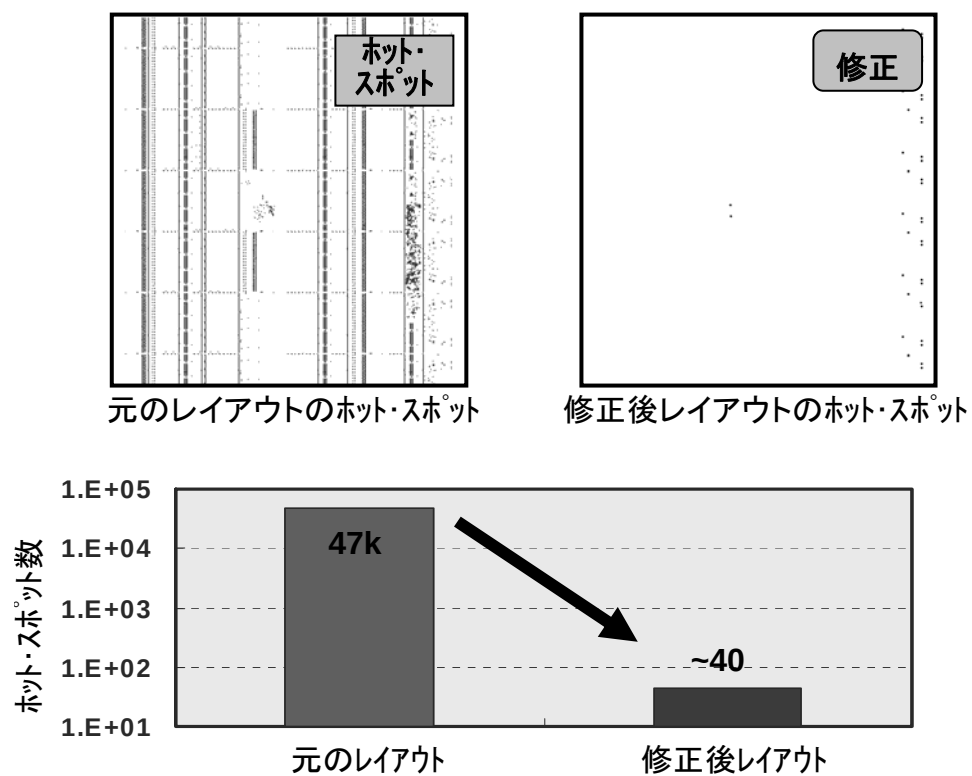


図 4.17 大規模ロジックチップデータへの HSF 適用結果

4.3 モデルベースホット・スポット修正システムの構築

4.3.1 ホット・スポット高精度自動修正手法の必要性

前項で述べたとおり、半導体設計ルール of 微細化の進展に伴い、ホット・スポットの発生が避けられなくなり、ホット・スポットをレイアウト上で自動修正する技術の必要性が高まっていく。ホット・スポットの発生を回避するためには、設計ルールにおいてホット・スポットになりやすい配置を禁止したり、OPC のルールでホット・スポットになりやすい配置を抽出して補正ルールを追加したりする。

ここで、ロジック製品を対象として、設計ルールの微細化に伴って、発生するホット・スポットの形状が複雑化していくことを、図を参照して説明する。図 4.18に、ロジック製品のテクノロジーノード毎の設計ルール数をプロットしたグラフと設計ルールの例を示す。設計ルール数は、250 nm世代と比較して 40 nm世代では 5 倍に増加しており、設計ルールが複雑化していることがわかる。設計ルールの構成を見ると、250 nm世代では最小線幅、最小スペース幅の規定に基づいて設計をしていたが、微細化に伴い、線幅とスペース幅の複数の組み合わせの規定やラインエンド間、微小段差、斜めに配置した場合や光学的にマージンが不足する配置に関する規定など、多種多様な規定が次々に追加されてきている。

次に、ロジック製品のテクノロジーノード毎の、OPCを実行するためのスクリプトの行数をプロットしたグラフとOPCルールの例を図 4.19に示す。250 nm世代と比較して 40 nm世代ではスクリプト行数は、ゲートポリシリコン層および配線層で 10 倍に増加しており、OPCルールが複雑化していることがわかる。OPCスクリプトの構成をみると、250nm世代では線幅とスペース幅に基づいた補正ルールを記述していたが、微細化に伴い、コーナー部やラインエンド部のセリフ、ジョグ長さ、補助パターン (SRAF : SubResolution Assist Features) それぞれの補正方法の記述など、多種多様な補正ルールが次々に追加されてきている。

このように、ホット・スポットを回避するために設計ルールと OPC ルールの複雑化が進んできており、これらのルールの範疇に入りきらずに発生するホット・スポットは形状が複雑となり、一般的なルールに記述することが難しいものとなる。このような複雑なホット・スポットを修正するためには、柔軟に高精度な補正方法を自動で算出し、適用する手法が必要となる^[30-34, 40-41]。

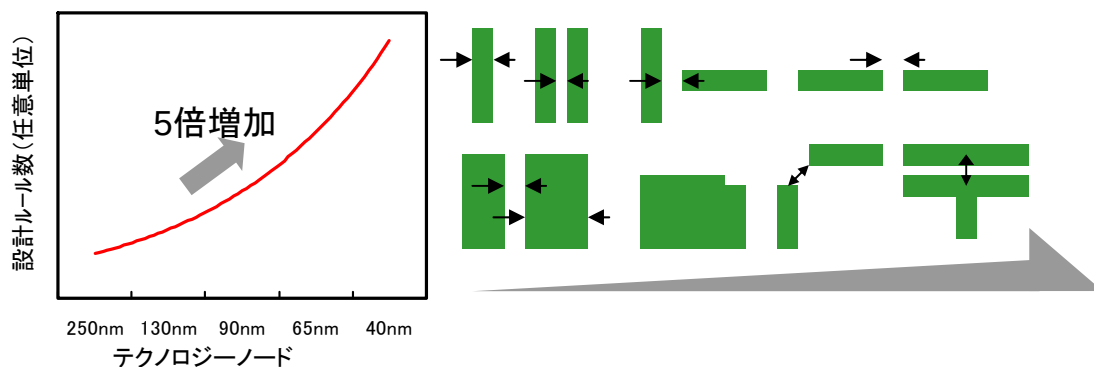


図 4.18 ロジック製品におけるテクノロジーノードの進展と
設計ルール項目の増加

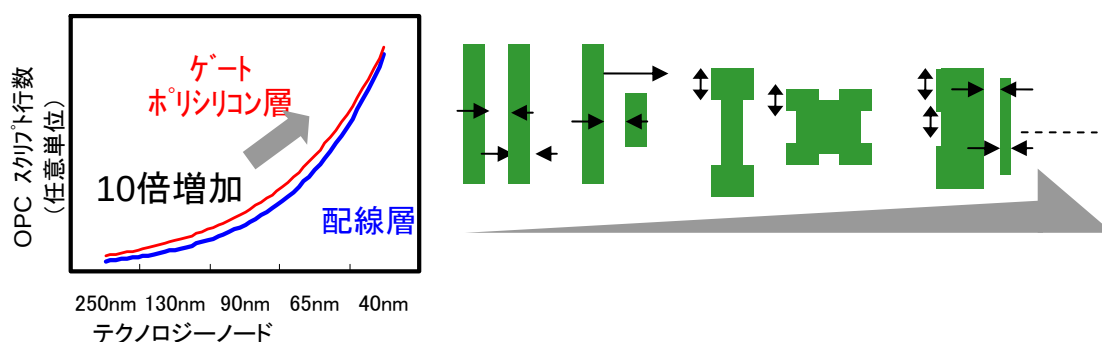


図 4.19 ロジック製品におけるテクノロジーノードの進展と
OPC スクリプト行数の増加

4.3.2 モデルベースホット・スポット修正システムの構成

これまで修正ルールに基づいてレイアウト修正を行う、ルールベース方式のホット・スポット修正について述べてきた。ここで、複雑な形状のホット・スポットに対して、修正方法を高精度に算出し適用する手法として、新たにモデルベースのホット・スポット修正方法を検討する。ここで、モデルベースとは、シミュレーションによる検証と修正を繰り返して適切な修正方法を求める方法を指すものとする。モデルベース方式の構成を検討するに先立って、図 4.20にルールベース方式とモデルベース方式のホット・スポット修正方法を比較する。ホット・スポット修正システムにおいては、設計レイアウトを入力し、MDP/OPC/光学シミュレーションを実施してホット・スポットを抽出する。次に抽出したホット・スポットレイアウトを解析し、レイアウトとホット・スポットの内容に対応した修正ガイドを生成してその修正ガイドに基づいて修正のための図形処理を行う。

修正ガイドの生成に当たって、従来のルールベース方式では、ホット・スポットのカテゴリ、レベル、レイアウトの線幅とスペース幅等に応じて、予め用意したルールテーブルを参照し、対応する修正ガイドを求めて修正を行う。テーブル参照方式のため高速であり、フルチップなど大規模データの修正が可能となるが、ルール記述がしやすい単純なレイアウトへの適用を想定したものである。一方モデルベース方式では、局所的なレイアウト修正とMDP/OPC/光学シミュレーションを繰り返して適切な修正ガイドを求めて修正を行う。シミュレーションを繰り返して修正ガイドを求めるため、任意の複雑なレイアウトに適用が可能となる半面、多大な計算量が必要となる。

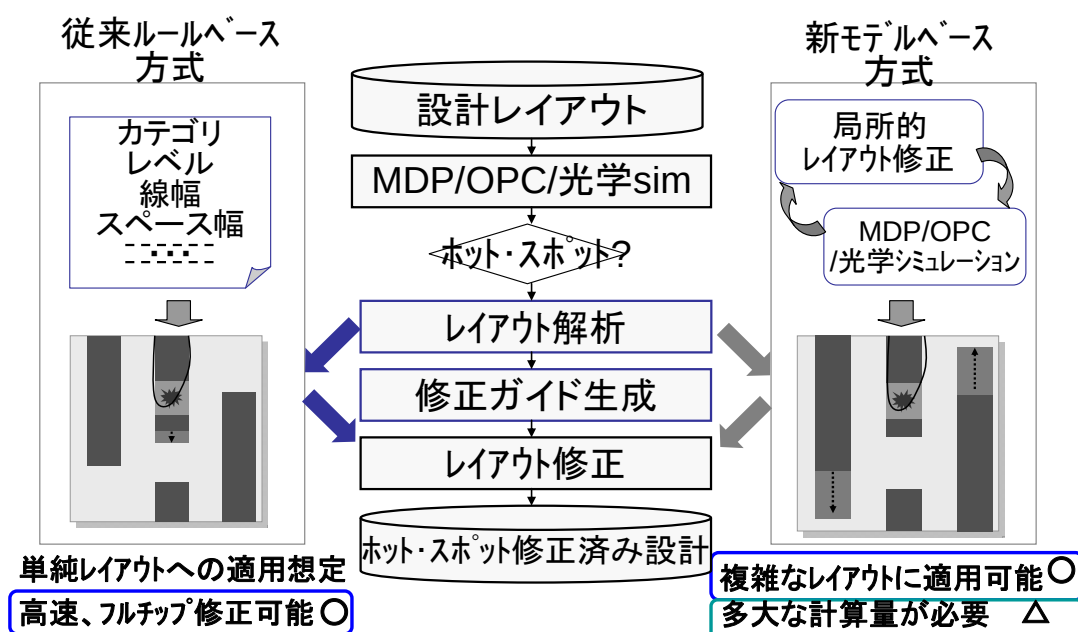


図 4.20 ホット・スポット修正におけるルールベース方式とモデルベース方式の比較

シミュレーションを利用して高精度な修正ガイドを算出しながら、計算時間を抑制するモデルベースホット・スポット修正システムの構成を図 4.21に示し、模式図(a)－(d)を用いて処理の流れを説明する。はじめに設計データを入力し、MDP/OPC/光学シミュレーションを実行してホット・スポットを抽出する。抽出したホット・スポットの例を(a)に示す。ホット・スポット1－6に関して、修正パラメータに基づいて修正ガイドの候補を複数生成する。ホット・スポット1－6それぞれに、複数種類の修正ガイドを生成し矢印の方向に並べた例を(b)に示す。次にMDP/OPC/光学シミュレーションを実行し、設計ルールとユーザ定義ルールに基づいて候補毎に評価を実施して、評価値が最善の候

補を選択する。(b)の修正ガイド候補から選択した修正ガイドの例を(c)に示す。最後に選択した修正ガイドを適用してレイアウトを修正する。選択した修正ガイドを適用した例を(d)に示す。

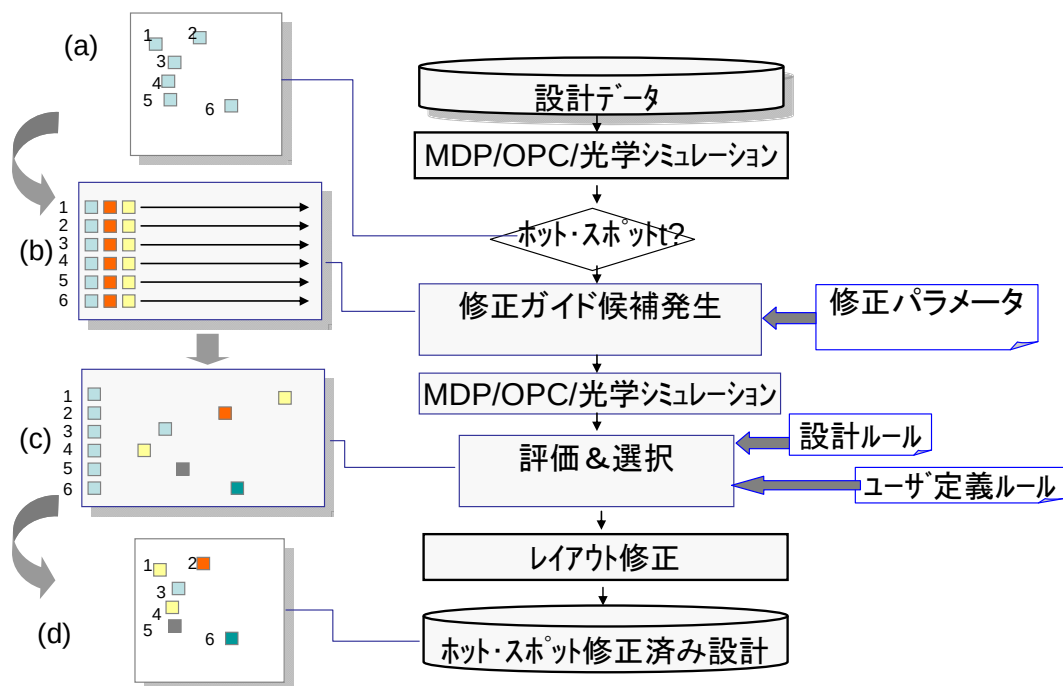


図 4.21 モデルベースホット・スポット修正システムの構成

(a) 抽出されたホット・スポット、(b) 修正ガイド候補の生成、(c) 修正ガイド選択、
(d) 選択した修正ガイドの適用

次に、修正パラメータに基づいた修正ガイドの生成と評価、選択のフローについて図 4.22を参照して詳細に説明する。まず設計データ上のホット・スポットを抽出し、修正パラメータに基づいて修正候補レイアウトのバリエーションを生成する。修正パラメータとしては、ジョグ挿入ルール、修正エッジの長さ、量、数やホット・スポットからの距離などを設定する。生成した修正ガイド候補の例を図中に示す。これらの修正ガイド候補のレイアウトに関して、MDP/OPC/光学シミュレーションおよび評価を実施する。修正ガイド候補の評価の基準として、光学シミュレーション結果のホット・スポット有無、ホット・スポットに準ずる歩留り危険箇所の数、修正したエッジの長さ・量・数、設計ルール違反箇所の有無などを用いて、これらをスコアリングする。続いて評価値が最善と評価された修正ガイドを選択し、当該修正ガイドに基づいてレイアウトを修正する。

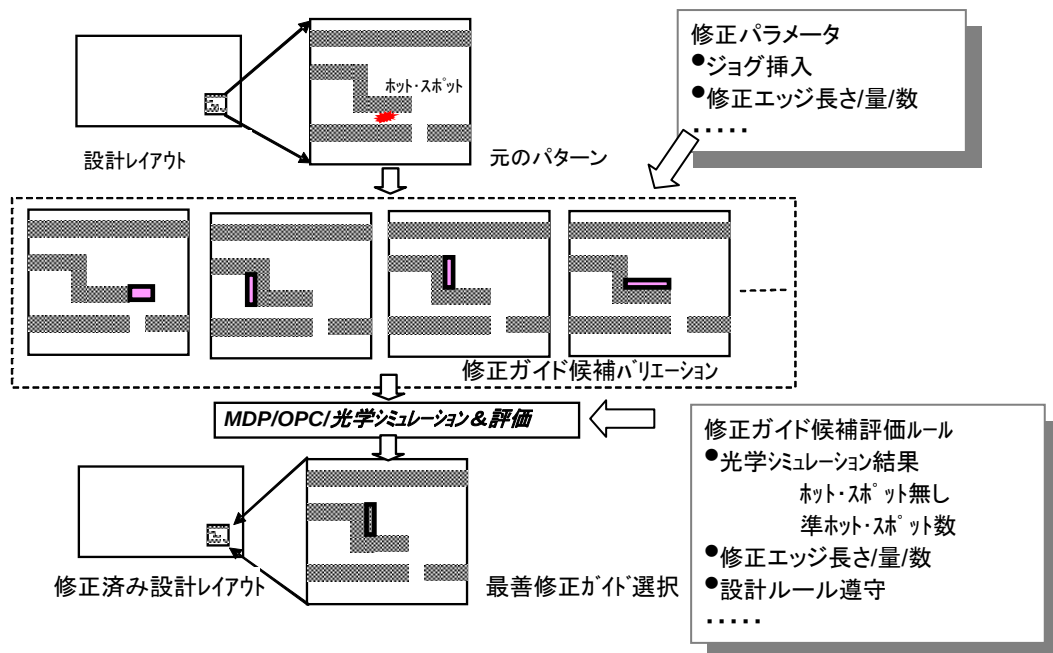


図 4.22 モデルベース修正ガイド生成フロー

次に、ホット・スポット修正ガイド候補の評価手法について図 4.23を参照して説明する。修正ガイド候補のシミュレーションと評価に関する領域を、次のように区分する。すなわち、ホット・スポット発生箇所を中心に、内側から修正領域、評価領域、シミュレーション領域と区分する。修正領域内でエッジを修正し、評価は修正領域を含みシミュレーション領域の内側にある評価領域内で行う。シミュレーションはこれらを含み、適当なマージン(のりしろ)を有する領域を規定して行う。このように領域を区分することにより、評価において、修正の影響が及ぶ範囲内のシミュレーション結果やデザインルールチェック結果を適切に取り込み、さらに評価領域の外周の図形配置の効果を適切に考慮することが出来る。

また修正ガイドの評価においては、残存ホット・スポットの有無、ホット・スポットに準ずる危険点の数、デザインルール違反箇所などの項目について、ホット・スポット評価値の点数付けを行う。一例を挙げると、ホット・スポットやデザインルール違反箇所がひとつでもあれば 100 点、ホット・スポットに準ずる危険点は程度に応じて 0-50 点、修正による図形の差分面積に応じて 0-30 点などと配点を行う。次に評価における合格／不合格の閾値を設け、評価値が閾値を満たし、元レイアウトから所定の値以上改善し、最善の値を示す修正ガイド候補を採用する。例えば、閾値を 50 点とし、閾値を満たす候補のうち、点数が最も低いものを選択する。

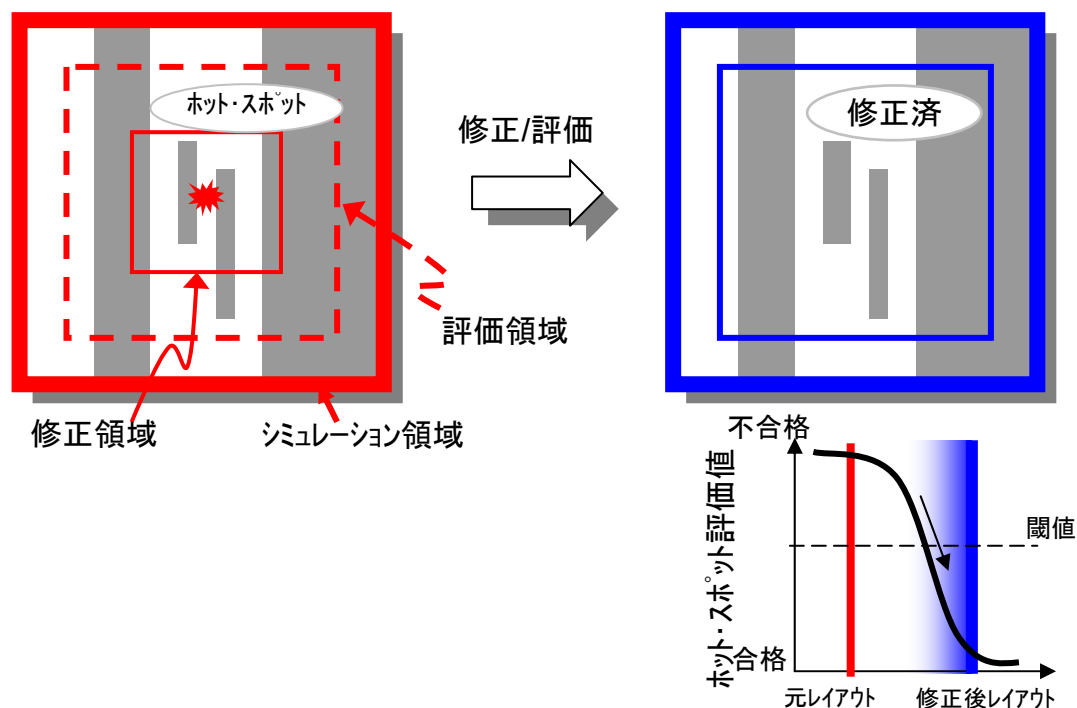


図 4.23 ホット・スポット修正ガイド評価手法

以上の手法を用いて、ホット・スポット修正ガイド候補の生成および選択を行った例を図 4.24に示す。ホット・スポットを含む所定の領域を切り出し、縦方向にホット・スポットリストとして並べる。つぎにホット・スポット領域毎に対応する修正ガイド候補を生成し、横に並べていく。このホット・スポットリストと修正ガイド候補のバリエーションを含む領域データに関して、MDP/OPC/光学シミュレーションおよび評価を実施し、修正ガイド候補から最善の候補を選択する。ホット・スポットリストおよび選択された修正候補の例を太枠で強調して示す。

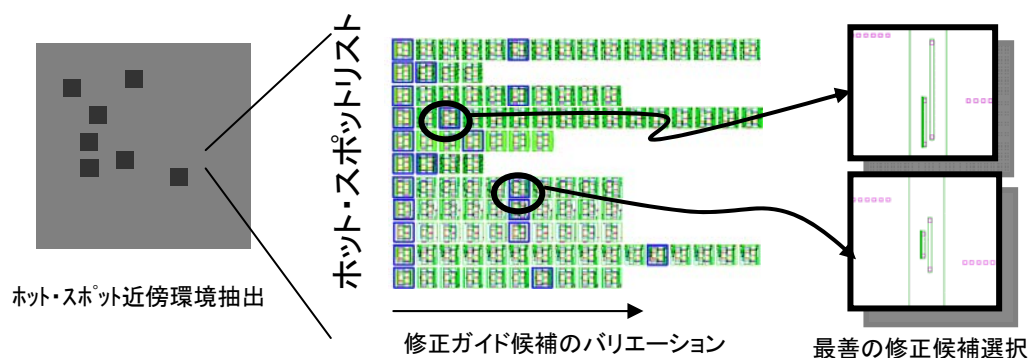


図 4.24 ホット・スポット修正ガイド候補生成および選択の例

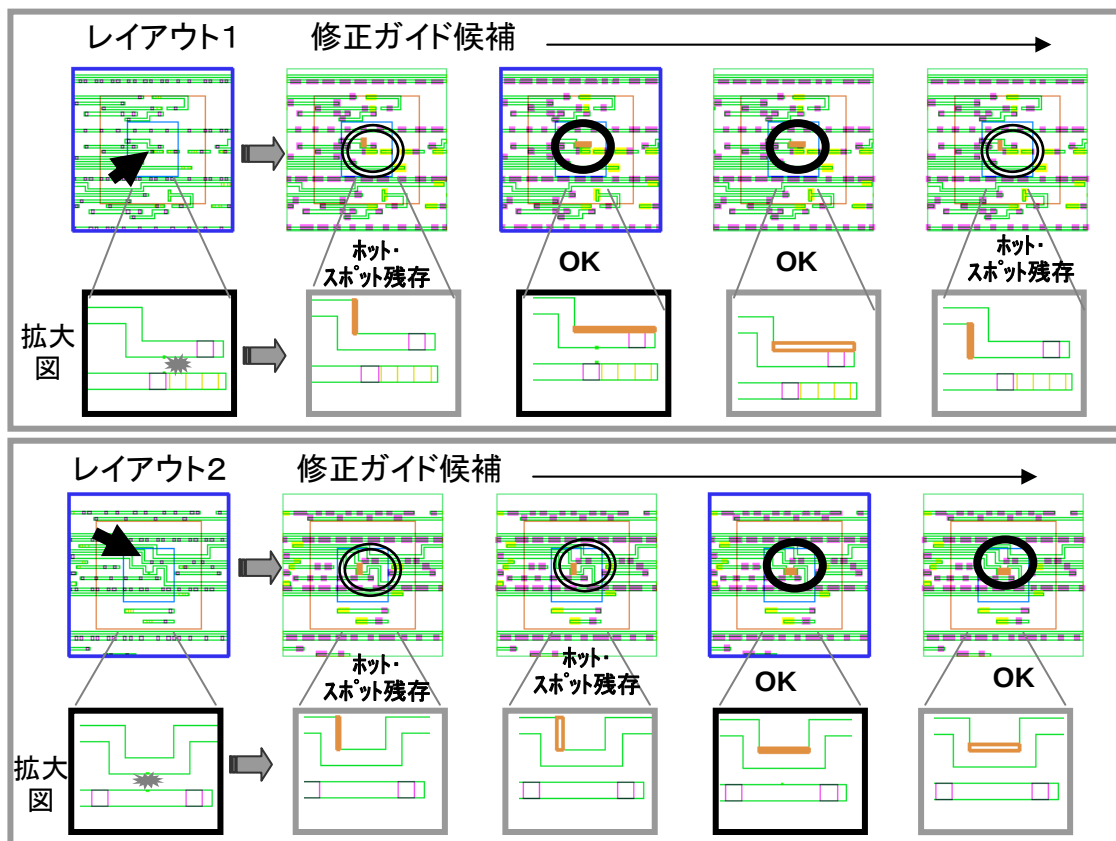


図 4.25 ホット・スポット修正ガイド候補生成の例

ホット・スポット修正ガイド候補の生成および選択を行うステップの詳細を、図 4.24の一部を拡大した図 4.25を参照して説明する。2種類の元のレイアウト(レイアウト1、レイアウト2)におけるホット・スポットを矢印で示し、生成した修正ガイドを右側に、またホット・スポット近傍のレイアウトを拡大した図を下段に示す。修正ガイドの生成においては、ホット・スポット含む所定の領域を切り出し、生成した修正ガイド候補を右方向に配置していき、MDP/OPC/光学シミュレーションと評価ステップを実行する。評価ステップにおいて、ホット・スポットが残存している候補と、ホット・スポットが修正された候補とを分別する。図の下段に示した修正箇所の拡大画像をみると、ホット・スポットの近傍のエッジを、設計ルールを満たすように移動させた種々のパターンを生成している。本例では、ホット・スポットが修正された候補のうち、ホット・スポットに準ずる危険点が少なく、また補正による面積の差分が少ない候補(太枠で囲んだもの)を選択した。

次に、本構成によるモデルベースホット・スポット自動修正を、65 nmノードロジックデバイスの配線層に適用した結果を、表 4.2に示す。修正前のホット・スポット数は各層 2個から 46 個抽出されたが、モデルベース修正によりホット・スポットは全て除去された。本構成によるホット・スポット修正が有効であることが示された。

表 4.2 修正前およびモデルベース修正後のホット・スポット数

層	修正前	モデルベース修正後
配線-2	2	0
配線-3	2	0
配線-4	4	0
配線-5	46	0

4.3.3 大規模データホット・スポット修正へ向けた高速化

先端半導体製造プロセスの開発段階においては、設計ルールやプロセス条件が未成熟であるため、多数のホット・スポットが発生する場合がある。先端プロセスの迅速なランプアップと歩留り向上のために、これら多数のホット・スポットを、高精度かつ高速に修正する手法が必要となる。このようなフルチップ規模のデータへ高精度のホット・スポット修正を実用的な時間で完了するために、ルールベース方式とモデルベース方式のホット・スポット修正を組み合わせた、ハイブリッド方式を提案する。

図 4.26 にハイブリッド方式のホット・スポット修正フローを示す。抽出されたホット・スポットに対して、まずルールベース修正を適用する。このステップでほとんどのホット・スポットを修正する。次に再度ホット・スポット抽出を行い、抽出された残存するホット・スポットに対してモデルベース修正を適用する。このステップでは柔軟かつ高精度な修正方法が適用されるため、全てのホット・スポットを修正する。このように高速なルールベース修正と、高精度なモデルベース修正双方の利点を活用し、高速高精度な修正を実施することが出来る。

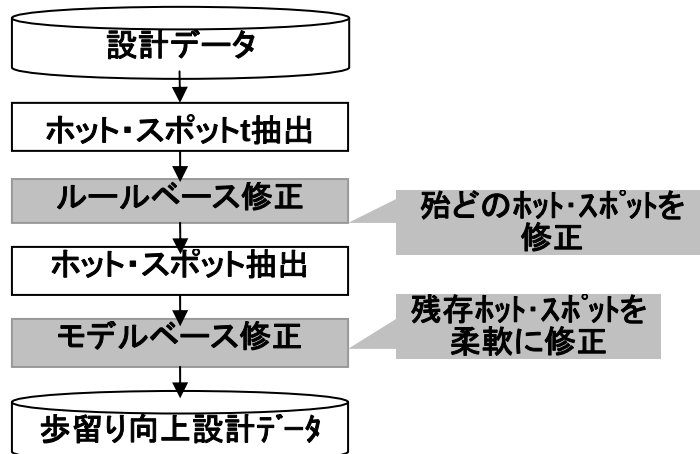


図 4.26 ルールベース方式とモデルベース方式を組み合わせた
ホット・スポット修正フロー

上記ハイブリッド方式の修正フローを、40 nm ノードロジックデバイスチップの配線層に適用し、ステップ毎の修正率と処理時間を検証することにより実用性を評価した。

40 nmのASICテストチップ(6 mm×6 mm)配線層に関して、修正前、ルールベース修正後およびモデルベース修正後のホット・スポット数を表 4.3に示す。ここで、ルールベース修正とモデルベース修正のステップは、図 4.26に示す手順で順を追って行う。修正前に 30 個から 1000 個のホット・スポットが各層で抽出され、ルールベース修正後に7割以上が修正された。次にモデルベース修正により、残るホット・スポット全てが修正された。このように、ルールベースとモデルベースのハイブリッド方式のホット・スポット修正フローが、大規模テストチップのホット・スポット修正に有効であることが示された。

モデルベース修正ステップで生成・選択されたホット・スポット修正ガイドは、次回以降のルールベース修正における修正ルールの調整に利用され、よりよい修正方法が修正ルールとして蓄積される。修正ルールの修正率は修正処理を重ねるにつれ改善され、ルールベース修正で修正されるホット・スポットの割合が増加していくため、ホット・スポット修正の処理速度が向上することになる。

表 4.3 40nm ノード ASIC 配線層における
修正前およびルールベース/モデルベース修正後のホット・スポット数

層	修正前	ルールベース修正後	モデルベース修正後
配線-第2層	1131	342	0
配線-第3層	1161	239	0
配線-第4層	241	59	0
配線-第5層	31	3	0

次に、本ハイブリッド方式のホット・スポット修正における処理時間を図 4.27に示し、ルールベース方式のみを用いた場合と、モデルベース方式のみを用いた場合と比較する。対象としたレイアウトは 40 nmのASICテストチップ (6 mm×6 mm) 配線層のうち配線-第4層と配線-第2層であり、修正前のホット・スポット数はそれぞれ 241 個と 1131 個である。

まず、配線-4層のホット・スポット 241 個に関する各方式における処理時間を比較する。ルールベース方式の修正の処理時間を一番上のグラフに示す。処理時間は修正ガイドの生成、図形修正、局所的レイアウトの MDP/OPC/光学シミュレーションから構成される。次にモデルベース方式の修正における処理時間のグラフを上から三番目に記す。モデルベース修正の処理時間は、修正ガイドの生成と図形修正からなり、修正ガイド生成時間により多くの時間を要する。これは、修正ガイド候補に関して、MDP/OPC/光学シミュレーションの実行を要するためである。241 個のホット・スポット修正のケースでは、モデルベース方式修正を用いた処理時間は、ルールベース方式修正を用いた処理時間の 2.4 倍となった。また上から2番目に記したハイブリッド方式修正の処理時間は、ルールベース方式修正の 1.9 倍であった。

次に配線-2層のホット・スポット 1131 個に関する各方式における処理時間を比較する。上から4番目に記したルールベース方式の処理時間は、テーブル参照方式であるため、ホット・スポット数が増加した場合も処理時間はほとんど変わらない。しかしなが

ら上から 6 番目に記したモデルベース方式修正の処理時間は、ルールベース方式修正の 10 倍以上となった。一方、上から 5 番目に記したハイブリッド方式修正の処理時間はルールベース方式修正の 3.4 倍に収まった。このように、ハイブリッド方式修正では、時間のかかる光学シミュレーションを実行する面積を低減できるため、大規模データに発生した多数のホット・スポットを実用的な時間で修正することが出来る。

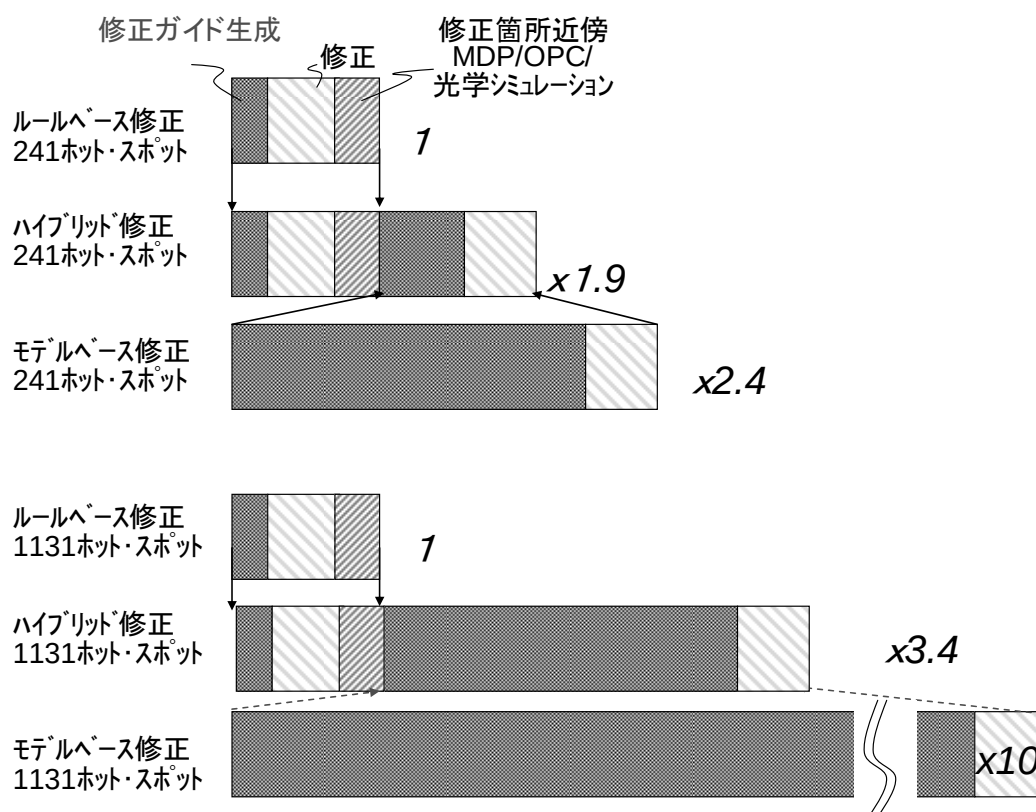


図 4.27 ホット・スポット修正におけるルールベース、モデルベース
およびハイブリッド方式の処理時間比較

この様に、先端テクノロジーノードにおけるデバイス製造においてホット・スポット修正の必要性は高まる。レイアウトの複雑度は高まり、複雑なホット・スポットを柔軟に修正する手法が必要となる中、モデルベース方式の修正方法を提案した。大規模データ適用へむけて高速化を検討し、ルールベースとモデルベースのハイブリッド方式のホット・スポット修正フローを構成した。40 nm ASIC テストチップのホット・スポット修正に適用したところ、実用的な処理時間でホット・スポット修正を完了した。短時間に歩留りの高いレイアウトデータを作成できるため、先端プロセス開発における立上げ期間の短縮への貢献が期待される。

4.4 種々の歩留り低下要因を考慮したレイアウト改良技術

4.4.1 種々の歩留り低下要因考慮レイアウト改良の必要性

半導体設計ルールの微細化に伴い、より解像力の厳しい低 k_1 条件のリソグラフィプロセスを用いる局面が増える。このためリソグラフィ起因の歩留り低下危険箇所であるホット・スポットが多発し、設計レイアウト上での修正が必要となる。

今後の更なる微細化の進展に伴い、リソグラフィ起因のみならず、プロセスのばらつきやランダム欠陥などの歩留りの低下要因の影響が増大する。このため、歩留りの高いレイアウトを作成するには、歩留り低下要因を総合的に考慮して、レイアウトを改良する技術が重要となる^[35-39]。

本項においては、製造プロセスにカスタマイズした歩留り関数を作成し、45 nm 世代の標準セルの改良のテストを行い、効果を検証する。

4.4.2 歩留りを考慮したレイアウト改良フロー

図 4.28に、システムティック、パラメトリック、ランダム歩留り低下要因を考慮したレイアウト改良の手法を示す。図中に示す活性領域上のゲートパターンの注目エッジに関して、左右に移動させたときの歩留り低下率を、項目毎にグラフに示す。ここで、歩留り低下率 (Failure Rate) は、あるレイアウトをあるプロセスを用いて製造したときに、所望の性能を達成できずに故障が起こる確率を示すものとする。エッジを右に動かすと、ゲートパターンが太くなるためリソグラフィプロセスにおけるオープンエラーの危険性が低下する。またCA (Critical Area) オープンエラー、すなわちゲートパターン上のゴミ起因でパターンがオープンする危険性は低下する。半面、ゲートリーク電流増加の危険、またCAショートエラー、すなわちゲートパターン同士の間のゴミ起因でパターンがショートする危険性が増加する。これらの歩留り関数を総合的に考慮したコスト関数が最小になる位置にエッジを移動させることにより、歩留りが最良のレイアウトを作成することが出来る。

図 4.29に、歩留り低下要因考慮レイアウト改良フローを示す。実際のプロセスや実験を通して、システムティック、パラメトリック、ランダム要因の歩留りパラメータを測定する。次に歩留りパラメータを統合して歩留り関数を作成し、レイアウト改良フローに供給する。レイアウト改良フローにおいては、セルを入力し、MDP/OPC/プロセスシミュレーションを通して、歩留り関数に基づいてレイアウトを解析する。次にエッジ毎にコスト関数を定義する。続いてコスト関数に基づいてレイアウトを改良し、再びMDP/OPC/プロセ

スシミュレーションおよび歩留り関数に基づいてレイアウトを解析する。必要に応じてレイアウト解析とコスト関数の割り当て、レイアウト改良のステップを繰り返して歩留りを向上したセルを出力する。レイアウト解析、コスト関数割り当てと改良の図形処理のステップを市販EDAツールを用いて行い、高精度な歩留り関数の供給と検証に注力する。

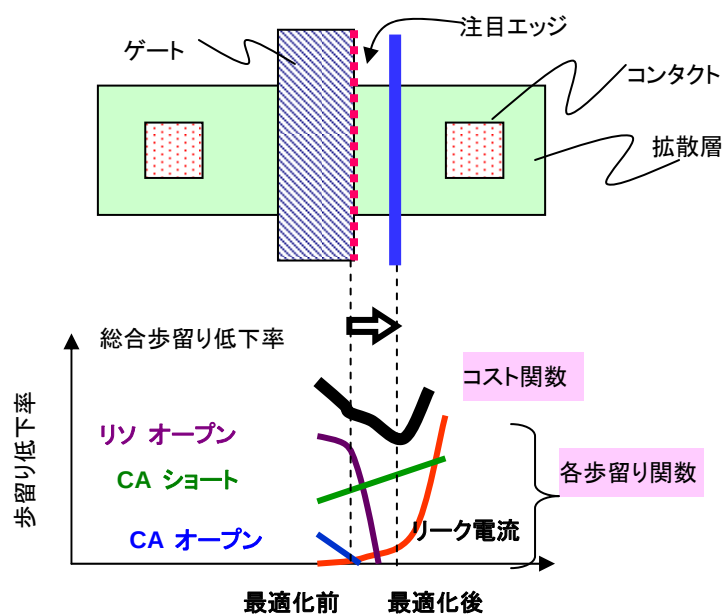


図 4.28 システムティック、パラメトリック、ランダム歩留り低下要因を考慮したレイアウト改良

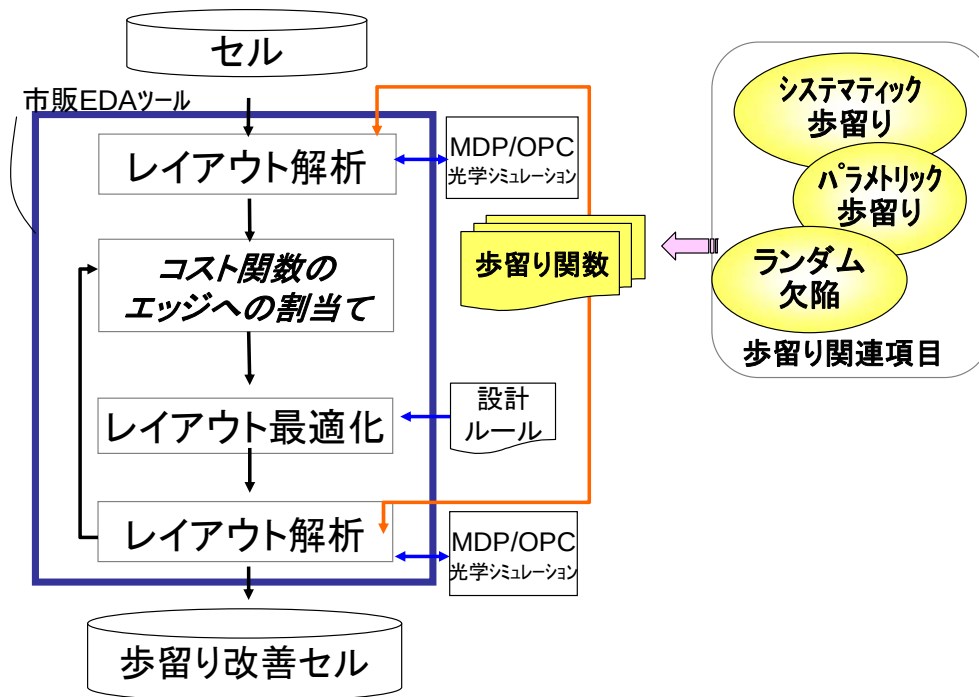


図 4.29 歩留り向上のためのレイアウト改良フロー

レイアウト解析と改良に用いた歩留り関数の例を図 4.30に示す。EDAツールに用意された汎用の歩留り関数に加えて、実際のプロセスに合わせこみを行った歩留り関数を作成する。システムティック歩留りに関しては、プロセスシミュレーションを利用した高精度の歩留り予測手法を用いる^[38]。パラメトリック歩留りに関してはゲートピッチ、ゲートリーク電流を含むデバイス性能に関する関数を、実験結果とプロセスシミュレーションを用いて算出して用いる。ランダム欠陥による歩留りに関しては、クリティカルエリア (CA) による歩留り算出式、またシングルコンタクト／ビアの不良率を実際の製造プロセスおよびシミュレーションから算出した値を用いる。なお、図 4.30 のクリティカルエリア歩留り関数式において、 P_0 は欠陥密度、 s は欠陥サイズ、 α は定数を表す。

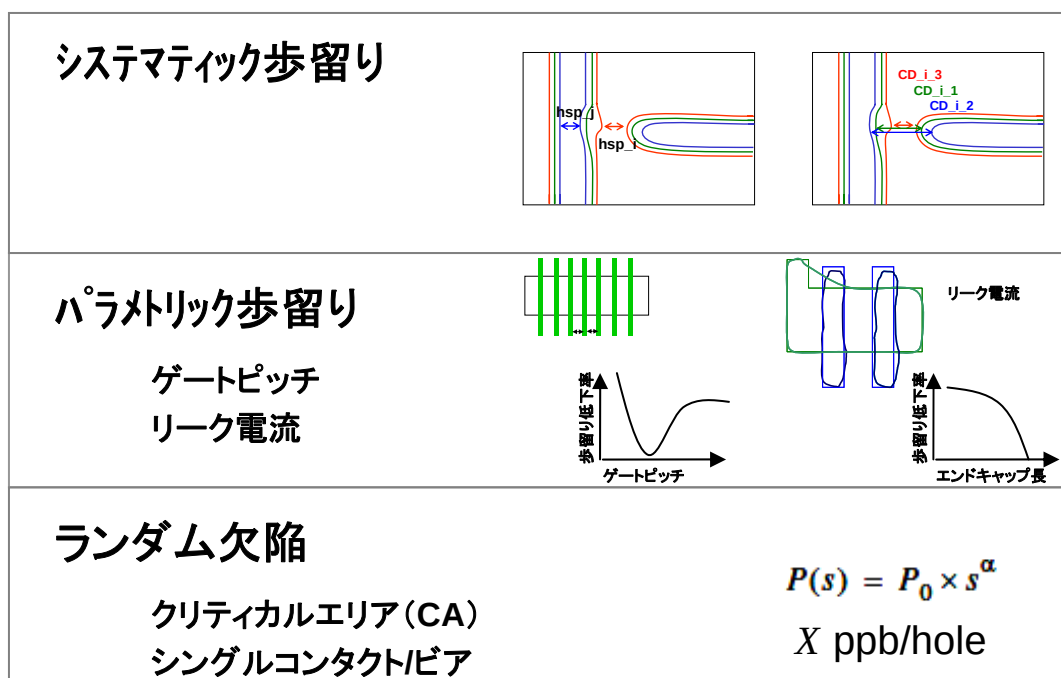


図 4.30 プロセスへの高精度合わせこみを行った歩留り関数の例

次に、プロセスシミュレーションを用いた高精度システムティック歩留り予測の例^[38]を図 4.31に示す。入力したレイアウトに関して、MDP/OPC/プロセスシミュレーションを実行する。プロセスシミュレーションは露光量、フォーカス面などを変化させた種々の条件下で行い、ホット・スポットを抽出する。続いて種々の条件下におけるホット・スポット箇所の寸法を測定し、リソグラフィ起因の歩留り関数を用いてホット・スポット箇所の歩留りを予測する。このようにして、シミュレーションによる寸法からリソグラフィ関連の歩留りを求めることができる。

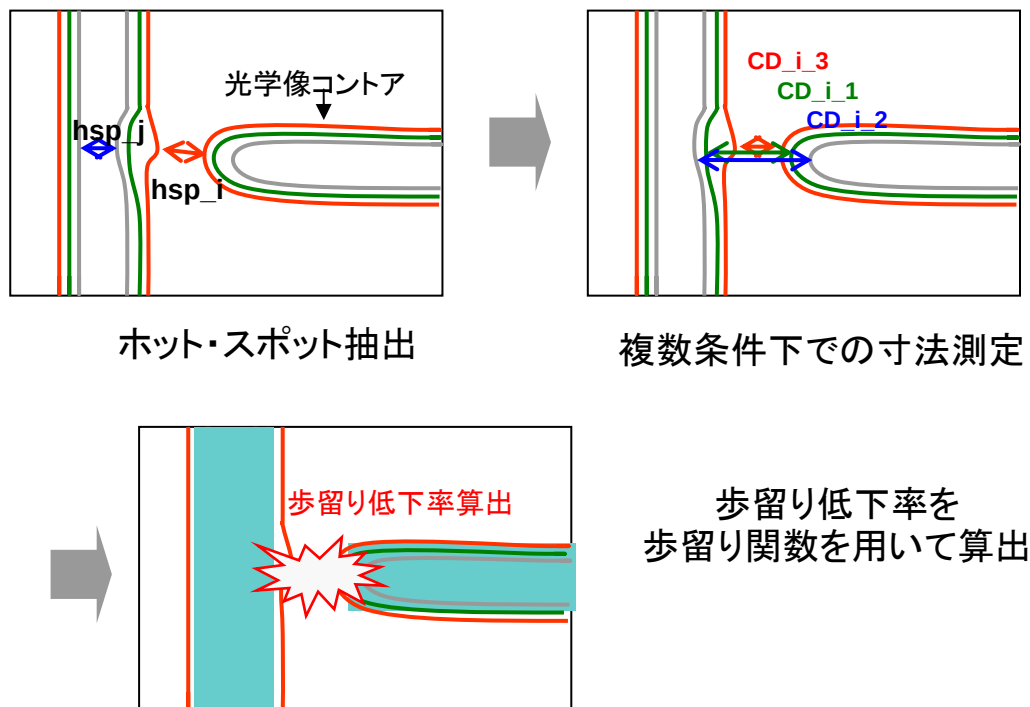


図 4.31 プロセスシミュレーションを用いた
高精度システマティック歩留り予測の例

4.4.3 レイアウト改良手法のテストセルライブラリへの適用例

上記の歩留りに注目したレイアウト改良フローを、500 セルを含む 45 nm ノードのテストセルライブラリのレイアウト改良に適用し、処理時間と実用性を評価する。またライブラリから基本的な 30 セルを選択して歩留り改善効果を詳細に検討する。

レイアウト改良においては、システマティック、パラメトリック、ランダム欠陥起因の歩留りを考慮する。改良の対象は、拡散層、ポリシリコン、コンタクト、配線第 1 層、配線第 1 層-第 2 層をつなぐビア (ビア 1-2) および配線第 2 層の 6 層とし、設計ルールを遵守するものとする。

はじめに、500 セルを含むテストセルライブラリ全体のレイアウト改良処理時間を測定する。レイアウト改良計算は、AMD Opteron 2.6 GHz プロセッサ 6 CPU 搭載の計算機を用いる。

500 セルのレイアウト解析と改良に要した時間は、MDP/OPC/プロセスシミュレーショ

ンに要するオーバーヘッド時間を除いて 12 時間であった。オーバーヘッド時間を含むと、レイアウトの改良は 2-3 日で完了した。同様の作業を設計者が手作業で行うとすると数週間を要すると見積られる。このことから、本レイアウト改良手法の処理時間は実用的なものとする。

次に、テストセルライブラリから基本的なセルをひとつ選択し、レイアウト改良によるレイアウト形状の変化を示す。対象としたセルの画像を図 4.32 に示す。種々の歩留り低下箇所のうち、配線第1層に関してリソグラフィ起因歩留り低下箇所であるホット・スポットの箇所を強調して示し、同箇所のレイアウト改良前後のホット・スポット箇所の配線第1層のレイアウトとプロセスシミュレーション像を、コンタクト層およびビア層と重ねて図 4.33 に示す。

レイアウト改良前のレイアウトにおいては、配線第1層の図形間のプロセスシミュレーションの等高線 (Contour) 間隔が 54 nm と狭くなり、ショートエラーを発生する歩留り危険箇所となっている。歩留り低下率は歩留り関数から 66 ppb と算出された。次にレイアウト改良後のレイアウトにおいては、配線第1層の図形間のプロセスシミュレーションコンタ間隔は 61 nm となり、歩留り低下率は検出閾値以下となった。

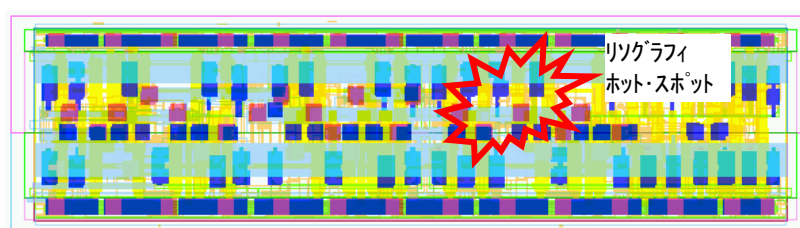


図 4.32 45nm ノード標準セルのテストセル例

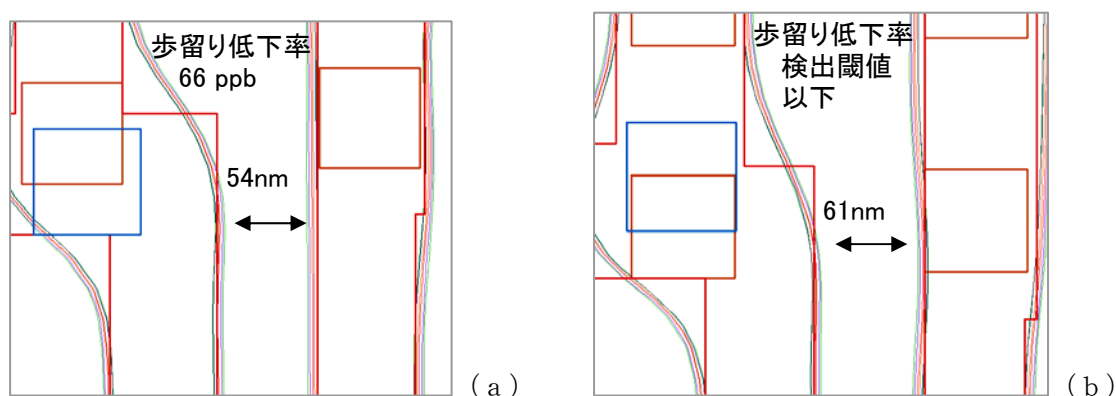


図 4.33 ホット・スポット近傍のテストセルレイアウトとプロセスシミュレーション像

(a) 改良前、(b) 改良後、コンタクト層：茶色、ビア層：水色

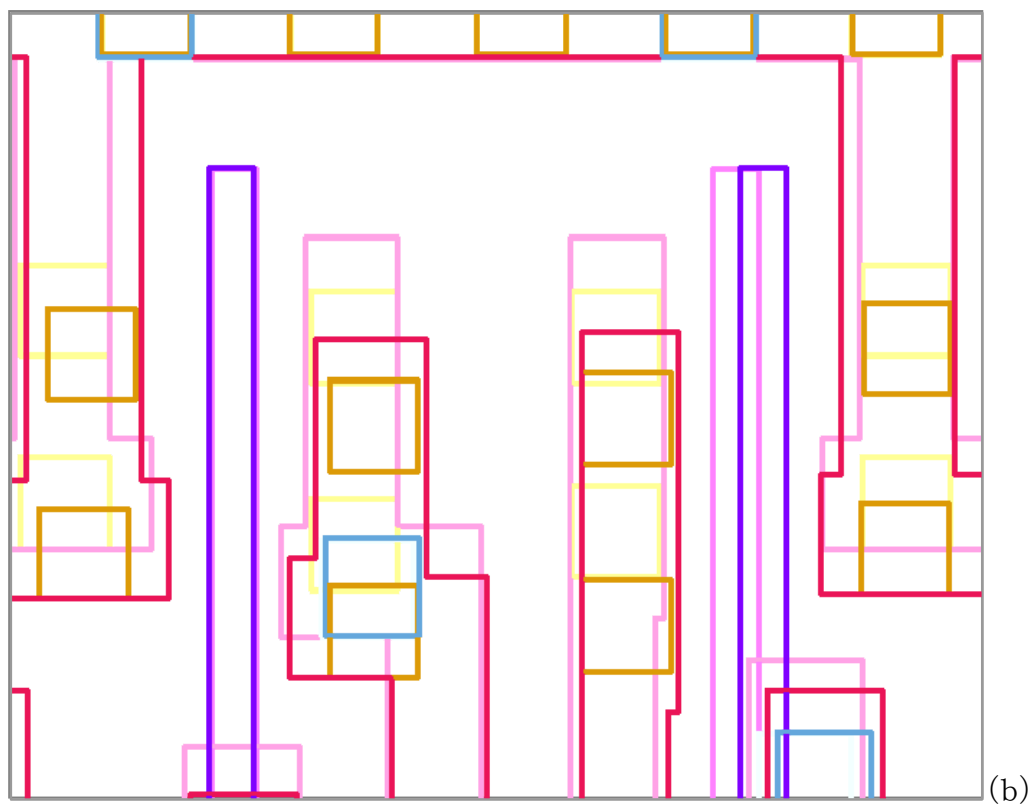
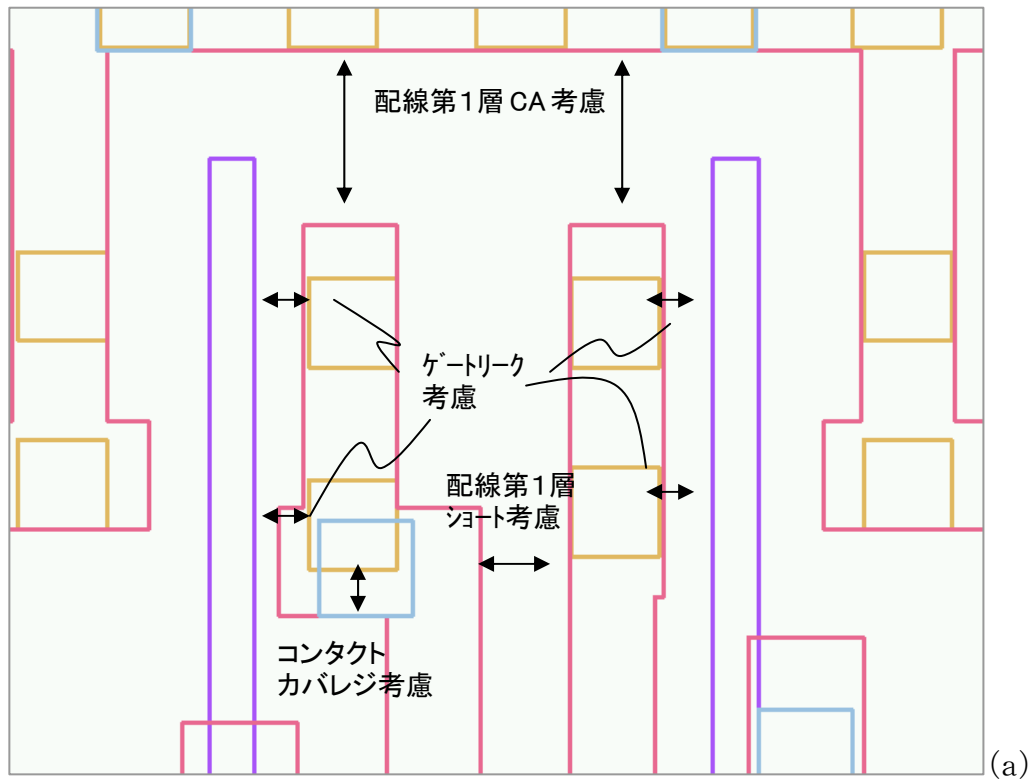


図 4.34 ホット・スポット近傍のテストセルレイアウト：
(a) 改良前、(b) 改良後

改良前後のホット・スポット近傍のテストセルレイアウトを図 4.34に示す。改良前のレイアウト(a)より、配線1層のCA、リソグラフィ形状ショート、ゲートリーク電流、コンタクトのカバレッジなどに起因する歩留り低下率を算出し、歩留り低下率が低減される方向にエッジを移動させる。レイアウト解析と改良を 3 回繰り返した結果を(b)に示す。(a)で考慮した歩留り低下率が改善する方向にエッジが動いていることがわかる。

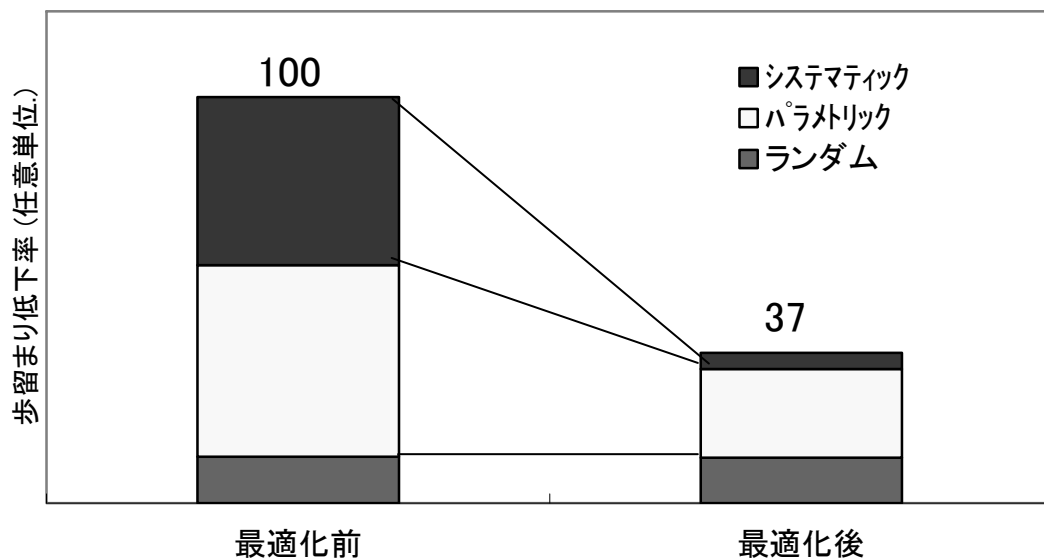


図 4.35 レイアウト改良フローを用いた歩留り低下率の改善

図 4.32から図 4.34でとりあげたセルに関して、レイアウト改良前後の歩留り低下率を図 4.35に示す。改良によりシステマティック歩留り低下率は 1/10 へと大きく改善し、またパラメトリック歩留り低下率が半減した結果、歩留り低下率は 63 %改善した。特に歩留り低下率が大きく改善された箇所は、システマティック歩留りの分類においては配線1層のブリッジ危険箇所であり、パラメトリック歩留りの分類においてはゲートリーク危険箇所であった。

以上のように、本レイアウト改良手法により、レイアウトの歩留り危険箇所を抽出して改良することにより、歩留り低下率を大きく改善できることが示された。

次に、テストセルライブラリから基本的な機能を持つ 30 セルを選択し、レイアウト改良を実行した。セル毎の歩留り低下率の改善をプロットしたグラフを図 4.36に示す。縦軸は歩留り低下率を表しており、横軸はセルの名称を、レイアウト改良前の歩留り低下率が高い順に並べて示したものである。また、レイアウト改良前後における歩留り低下率をプロットして比較したところ、セル毎の歩留り低下率は、レイアウト改良により全てのセルで改善され、平均の改善率は 43 %であった。

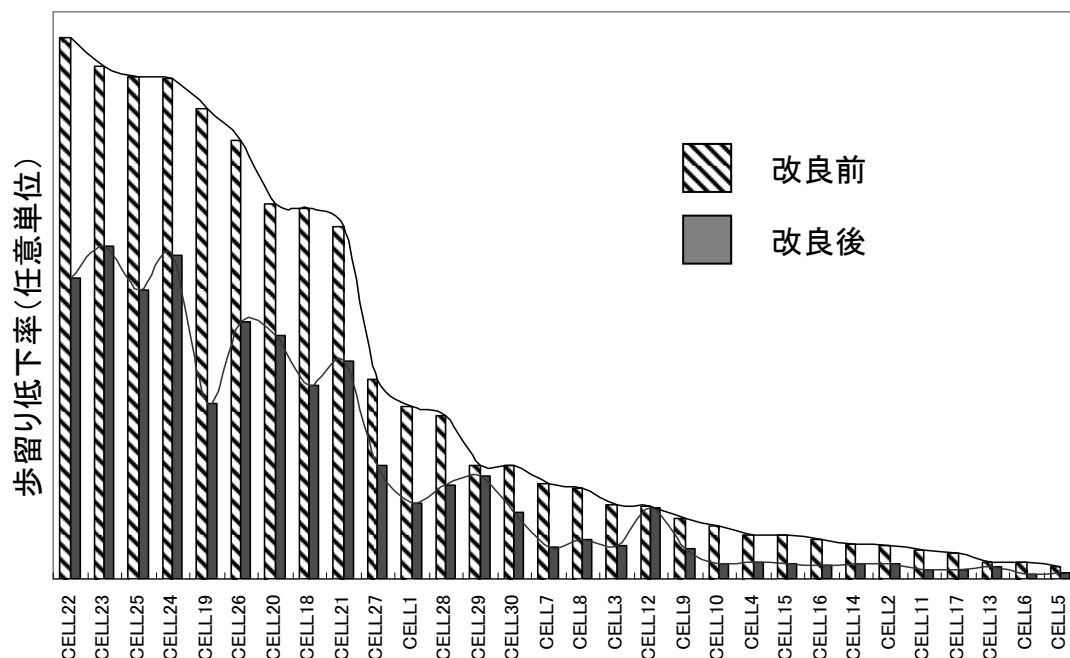


図 4.36 30 セルにおけるレイアウト改良による歩留り低下率の改善

次に、歩留り低下要因の項目別の歩留り低下率の改善をプロットしたグラフを図4.37に示す。横軸は歩留り低下要因別に、システムティック要因(system_*)、パラメトリック要因(param_*)、ランダム要因(random_*)、また設計者の指定した項目(design_*)に分類し、さらにそれぞれの分類に含まれる項目名を数字で記したものであり、各項目をレイアウト改良前の歩留り低下率が高い順に並べて示す。

歩留り低下項目毎の歩留り低下率の改善を見ると、パラメトリック歩留り項目のワースト4項目がレイアウト改良により大きく改善した。またシステムティック歩留りについても、system_5では17%、system_3で96%と大きく改善した項目があった。もともと歩留り低下率が低いランダム欠陥関連の歩留りパラメータは、改良によりごくわずかの増減が見られた。

本手法においては歩留り低下率が高い箇所を優先して改良を図るため、各セルにおいて歩留りが改善されることが示された。

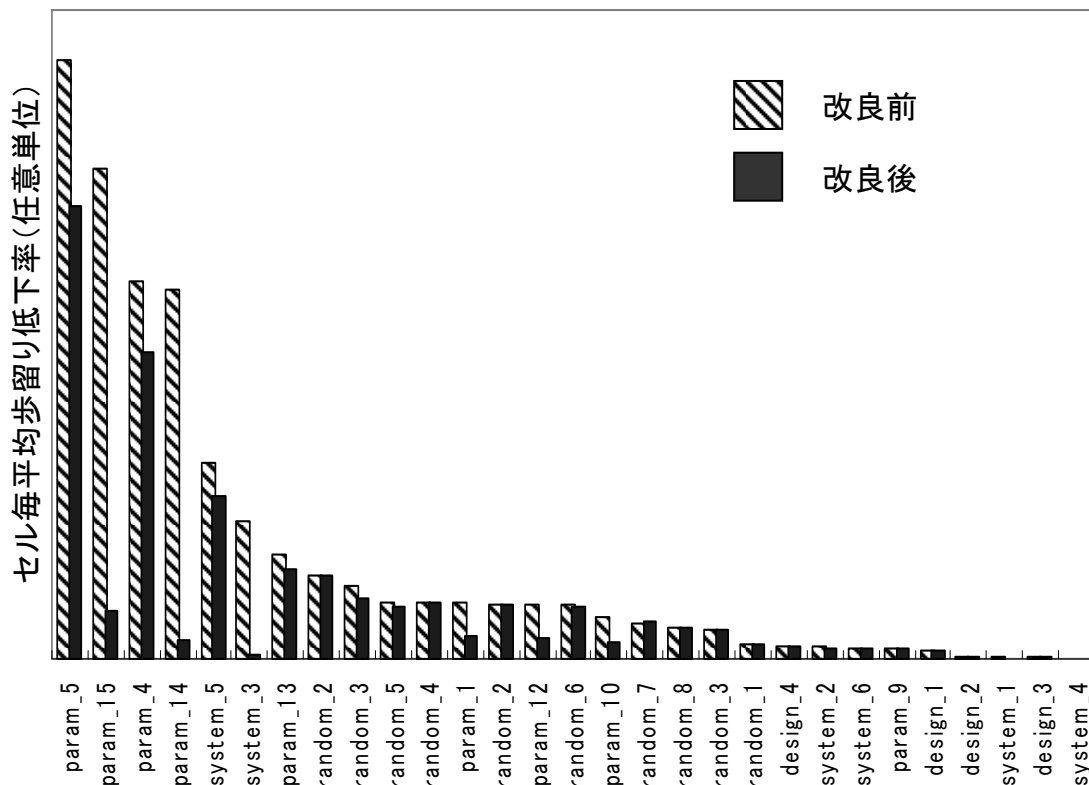


図 4.37 項目別セル毎平均歩留り低下率の改善

表 4.4に、45 nmノードの標準セルを用いた仮想的チップ2種における歩留り改善の効果を算出して示す。チップAは 3 百万セルからなり、インバータやバッファなど単純なセルを比較的多く含む 4 mm×4 mmの大きさのロジックチップを想定する。チップBは5百万セルからなり、AND-ORやOR-ANDなど複雑なセルを比較的多く含む 5 mm×6 mmの大きさのロジックチップを想定する。レイアウト改良前後を比較して算出した歩留り向上率は、チップAとチップBでそれぞれ7%および 20%であった。これは、チップBに含まれるセルのサイズがチップAに含まれるセルのサイズと比較して大きく、レイアウト改良による1セルあたりの歩留りの改善が大きいこと、またセル数が多いために1セルあたりの歩留り向上の効果がより多く累積されることから、チップBにおいて歩留り向上率がより高く算出されたものである。このように、各標準セルの歩留り改善効果が積み重なり、チップレベルの歩留り改善につながるものが机上計算により示された。

実際の製造プロセスにおける歩留り向上の効果は、歩留り関数の精度に依存するため、歩留り関数毎の注意深い調整が必要となる。

以上のとおり、歩留り関数を考慮したレイアウトの改良により、セル毎およびチップにおける歩留りの高いレイアウトを作成できることが示された。45nm ノード以降への適用が期待される。

表 4.4 ロジックチップ 2 種類におけるレイアウト改良による歩留り改善

	セル数	サイズ	歩留り向上率
チップ A	3 M	4x4 mm ²	7 %
チップ B	5 M	5x6 mm ²	20 %

4.5 むすび

本章では、歩留り向上へ向けたレイアウト改良システムの構成を提案し、適用効果を示した。まずリソグラフィ歩留り危険箇所(ホット・スポット)抽出及びレイアウト自動修正を行う手法について説明し、次いで種々の歩留り低下要因を考慮して、レイアウトを改良する手法について述べた。本章で提案の手法を用いたホット・スポットの自動修正を行うことにより、リソグラフィプロセスにおける致命的な不具合の発生を回避し、ま

たプロセス・マージンを拡大する手段を得た。また種々の歩留り要因を考慮したレイアウト改良により、1セルあたり 43 %、チップ換算で数 %から 20 %程度の歩留り向上が見積もられた。これらの結果より、提案の手法を用いることにより、プロセスばらつきによる歩留り低下を低減し、製造歩留りを向上することが出来る。以下に結果をまとめる。

(1) ホット・スポット自動修正システムの必要性と構成を検討した結果、

- (a) 低 k_1 条件のプロセスでは、ホット・スポットが多く発生することが予想され、自動修正手法が必要となる。
- (b) リソグラフィコンプライアンスチェックによりホット・スポットを抽出し、自動修正するシステムを提案し、設計支援に供した。
- (c) レイアウト修正は、ホット・スポットを含むエッジを、予め設定したルールに則って移動させることにより実現した。また移動対象層、修正レベル、ジョグの挿入、階層処理などに多様な修正パラメータを用意し、多様な修正を実現できるようにした。
- (d) レイアウト修正により、露光量-フォーカスに関するプロセス・マージンが拡大することを、光学シミュレーションおよびウェーハ転写実験により確認した。一例として、デフォーカス $0.1\ \mu\text{m}$ の条件における露光裕度を、8.5 %から 15.5 %へと拡大した。
- (e) 65 nm ノード設計ブロック 100 個あまりの修正を行い、数分から 2 時間で修正を完了した。修正率はほぼ 9 割程度であった。設計ルールを遵守した修正が出来ないレイアウトでは、修正パラメータを調整することにより修正率を向上した。
- (f) 65nm ノードの大規模ロジックデータ (11 mm×12 mm) の配線層修正に修正システムを適用し、47000 個のホット・スポットを 12 時間で修正した。

との結果を得て、提案の手法の有効性を確認した。これによりレイアウト上のホット・スポットを実用的な時間内で修正し、プロセス・マージンを拡大するため、製造における歩留りの向上が期待される。

(2) ホット・スポット高精度自動修正手法を検討し、モデルベース方式の修正システムの構成を検討した結果、

- (a) テクノロジーノードの進展に伴い、発生するホット・スポット形状は複雑化する。柔軟なモデルベース修正手法が必要となる。

- (b) ホット・スポット修正ガイド候補を複数発生・評価して、最良の評価値を示す候補を選択する方式のモデルベースホット・スポット修正手法を提案し、構成した。
- (c) モデルベース方式ホット・スポット修正手法を 65 nm ノードロジックデータの配線層に適用し、高い修正率を示す結果を得て、その有効性を確認した。
- (d) 大規模データへの適用を意図して上記手法の高速化を検討し、ルールベース方式・モデルベース方式のハイブリッド方式ホット・スポット修正フローを提案した。
- (e) 40 nm ノードロジックデバイスチップの配線層にハイブリッド方式のホット・スポット修正フローを適用し、ホット・スポットを全て修正した。処理時間はルールベース方式の 1.9–3.4 倍と実用的な時間に収まった。

との結論を得て、実用性を確認した。これにより、テクノロジーノードの進展に伴いホット・スポット形状が複雑化する状況下においても、柔軟にかつ高速にホット・スポットを修正する手段を得た。

(3) 種々の歩留り低下要因を考慮したレイアウト改良システムの構成を検討した。その結果、

- (a) システマティック歩留り、パラメトリック歩留り、ランダム欠陥による歩留り低下項目について、製造プロセスから実験値を算出して歩留り関数を作成した。またリソグラフィシミュレーションを用いた高精度の歩留り予測手法を利用した。
- (b) 作成した歩留り関数を、実際の製造プロセスで利用する MDP/OPC/プロセスシミュレーションとともにレイアウト改良ツールに組み込んだ。
- (c) 500 セルからなる 45 nm ノードテストセルライブラリの改良を実施し、オーバーヘッド時間を除いて 12 時間で完了した。MDP/OPC/プロセスシミュレーションを含むオーバーヘッド時間を入れて 2 日間から 3 日間で処理を完了した。
- (d) レイアウトは種々の歩留り低下要因を考慮して、歩留り危険箇所の危険度が緩和する方向に、改良された。その際、設計ルールは遵守された。
- (e) レイアウト改良により、歩留り低下率は、基本機能セル 30 セルにおいて 1 セルあたり平均で 43 %改善した。
- (f) レイアウト改良により、パラメトリック歩留り項目およびシステマティック歩留り項目において歩留り低下率の改善が顕著であった。
- (g) テストセルライブラリからなる仮想チップの2チップの歩留り改善を計算した

ところ、7 %および 20 %であった。

との結論を得て、その有効性を確認した。これにより、本手法を用いて実際の製造プロセスを考慮した上で、歩留りの高いレイアウトを有するセルからなるライブラリを作成することができた。また歩留りの高いチップを設計する手段を得た。

第5章 設計インテントを利用した製造システムの構築^[27-29]

5.1 まえがき

本章では、第2章から第4章までの成果を踏まえて構築した、設計インテントを利用した製造システムについて述べる。本システムは、テクノロジーノード進展に伴い、複雑化する種々の歩留り低下要因を考慮し、電気的特性を考慮してレイアウトを改良することにより歩留りの向上を図るものである。

まず、設計インテント考慮の必要性について論じ、設計インテントを考慮する手法を検討する。さらに設計インテントを考慮する手法を組み込んだ製造システムの構成を提案し、40 nm ノードテストチップを用いてシステムの有用性を検証する。

5.2 設計インテントを考慮した製造システムの構成

5.2.1 製造プロセスにおける設計インテント考慮の必要性

テクノロジーノードの進展に伴い、歩留りを低下させる要因は推移してきた。それぞれの歩留り低下要因への設計における対策を、図 5.1を参照して説明する。90nmノードではランダム要因(ごみ欠陥)による歩留り低下が大きな問題となり、設計における対策としては、配置配線工程において配線間隔を広げるワイヤスプレッディング、配線幅を広げるワイヤワイドニング、またビアの冗長性を上げるビアダブリングなどが採用された。ついで 65nmノード以降の世代ではシステムティック要因(レイアウト依存のエラー)が問題となった。そこでリソグラフィコンプライアンスチェックや化学的機械的研磨 (Chemical Mechanical Polishing: CMP) ダミーフィルが導入された。さらに設計ルールの微細化が進むと、パラメトリック要因による歩留り低下が問題となる。回路的特性におけるシグナルインテグリティや信頼性などであり、プロセスばらつきにより歩留りが大きく変動する。所望のデバイス性能を達成するには、設計の重要性に応じたプロセス管理幅割り当ての改良が必要となる^[42-50]。

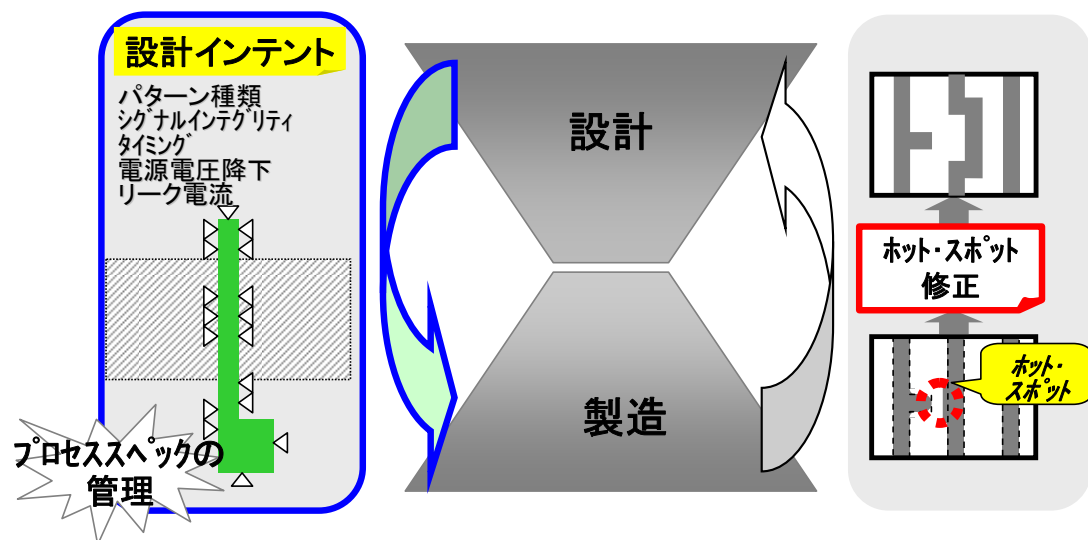


図 5.2 設計と製造の連携

設計intentからみた危険箇所と、製造プロセスの制御からみた危険箇所の関係を図 5.3 に示す。一般に、設計段階では、予め製造プロセスにおけるばらつきを見越して設計基準を設定し、この設計基準を満たす様に、設計を実施する。製造段階では、予め設定したプロセスばらつきの範囲内で所定の寸法基準を満たすように、プロセスを管理する。この製造段階において、回路的、電気的重要性に関する情報は図形情報と関連付けられておらず、これらをパターン毎に考慮することは難しい。このため、ある回路を構成するパターンが、電気的挙動においても、プロセス管理の上でもマージンが不足する場合、プロセスばらつきによりデバイスとしての性能が低下する危険がある。設計ルール of 微細化に伴い、このような、設計危険箇所と製造危険箇所の重なり領域は増大していくことが予想され、設計と製造双方において注意深く考慮する必要がある。

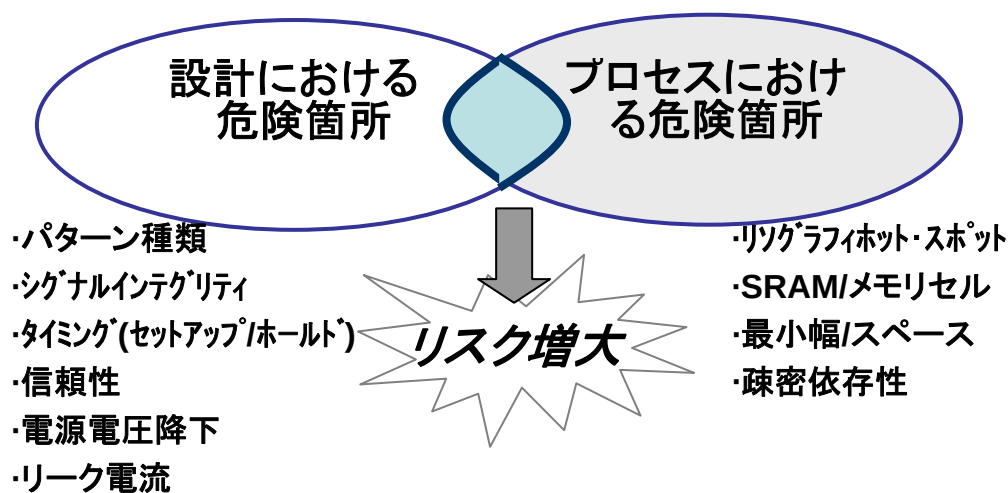


図 5.3 設計側および製造側における危険箇所の重なり領域の増大

5.2.2 設計Intentの抽出および製造における利用手法

設計Intentを考慮した製造システムのフローの例を図 5.4に示す。本フローでは、設計Intentの抽出にサインオフ検証(設計の最終確認における検証)を利用する。サインオフ検証においてクリティカルネットを抽出し、抽出したクリティカルネット情報を、レイアウトデータであるGDSIIフォーマットデータとともに製造側へ出荷して活用する。

順を追ってフローを説明する。配置配線プロセスにおいて物理レイアウトを生成し、種々の項目についてサインオフ検証を行う。検証項目の例を挙げると、タイミング収束、クロストークノイズ、クロストーク遅延、信頼性などである。検証の結果、マージンが少なくと分類されたクリティカルネットを、配置配線で扱うデータから抽出する。

次にこれらのクリティカルネットについてカテゴリ、座標、危険度を抽出し、クリティカルネット情報として製造側へ送付する。

製造側ではクリティカルネット情報を元に、公差を各プロセスステップに割り当てる処理を行い、割り当てられた公差にしたがってプロセスを管理する。NBTI(Negative Bias Temperature Instability)などパターン毎のマージンを付与することが困難な項目については、故障解析のステップへ情報を供給し、原因探索の加速を図る。このようにして設計Intentを製造段階で活用することが出来る。

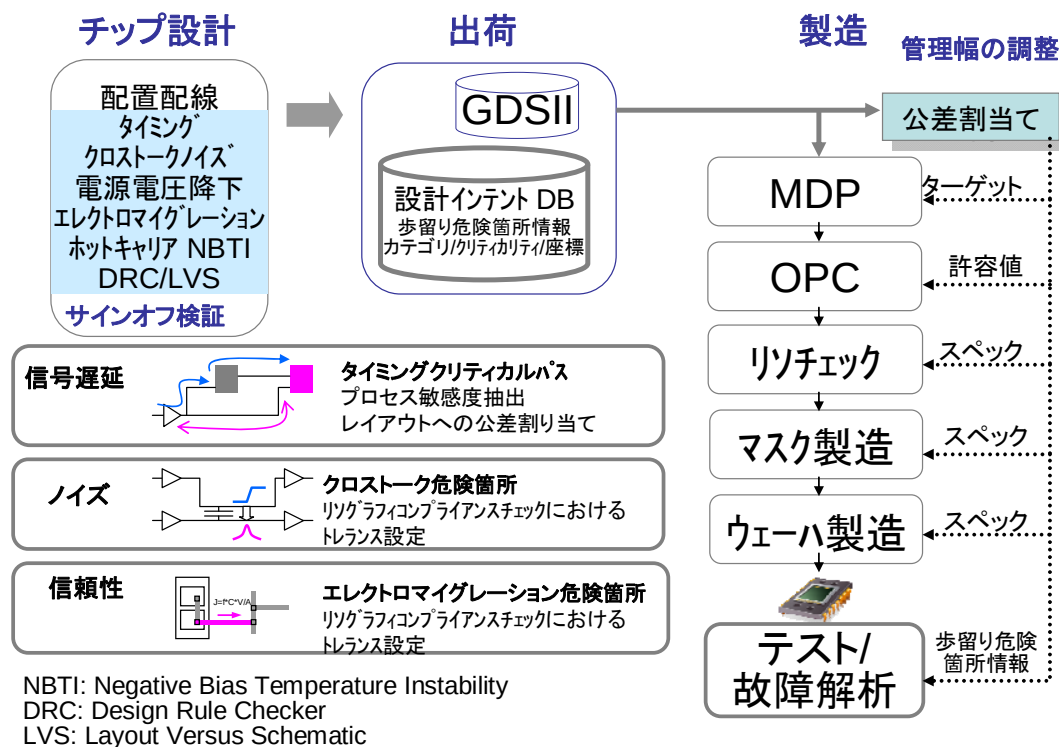


図 5.4 設計intentを考慮した製造システムの例

さらに、設計intentの抽出と適用例について述べる。

設計intentの抽出としては、STA (Static Timing Analysis 静的タイミング解析) ツールを用いてサインオフ基準を満たすがタイミングマージンの少ないクリティカルネットを抽出する。続いてスクリプト言語 Tcl などで作成したプログラムを用いて、クリティカルネット、パス、セルを物理レイアウト上に位置づける。

テストデータとして、40nm ノードの 5,200 K ゲートを有する画像プロセッサの、サインオフ前のデータを用いる。本データは改良途中のデータであり、完成データではないため、設計ルール違反箇所やサインオフ基準違反箇所を含むものである。

設計intentの項目として、タイミング、クロストークノイズ、エレクトロマイグレーション (ElectroMigration: EM) に関する危険箇所を抽出し、製造段階への活用を検討する。

STAを利用した設計インテント情報の抽出製造における活用例を図 5.5に示す。チップ設計段階において、設計制約、ネットリスト、セルライブラリ、設計ルールなどの項目を入力し、配置配線を実行する。続いて種々の項目に関してサインオフ検証を実施する。検証したデータはGDSIIとして出力されるが、ネット毎の設計マージン情報を設計インテント情報として同時に出力する。

図 5.5における右側の図はサインオフ検証における設計改良プロセスを模した図である。ドットは種々のネットを表しており、黒いドットはサインオフ基準を満たさないネットを表し、白いドットはサインオフ基準を満たすネットを表す。灰色のドットはサインオフ基準の閾値近傍のネットを現す。各ネットは種々の項目に関して検証され、基準を満たさない項目があれば、基準を満たすように改良される。

改良を経て、出荷される設計データにおいては全てのネットが基準を満たすものの、基準に対するマージンはネットによってまちまちである。製造プロセスにおけるネット毎のプロセス管理幅は、上記の設計マージンを考慮して設定されることが望ましい。設計マージンを考慮したプロセス管理幅設定手法としては、次の方法が考えられる。すなわち、設計マージンが大きいネットに関しては、製造におけるスペックを緩和する。また設計マージンが小さいネットに関しては、わずかなプロセスばらつきにより所望の性能を満たさなくなる危険が高いため、製造におけるスペックを調整する、マージンを拡大する方向に MDP/OPC における光学像やレジスト像の寸法目標を変更する、設計レイアウトを改良するなどの処理を施す。

また、製造における設計インテントの利用として、設計マージンに関する情報を、テストや故障解析に供することにより、故障解析を支援することなどが挙げられる。

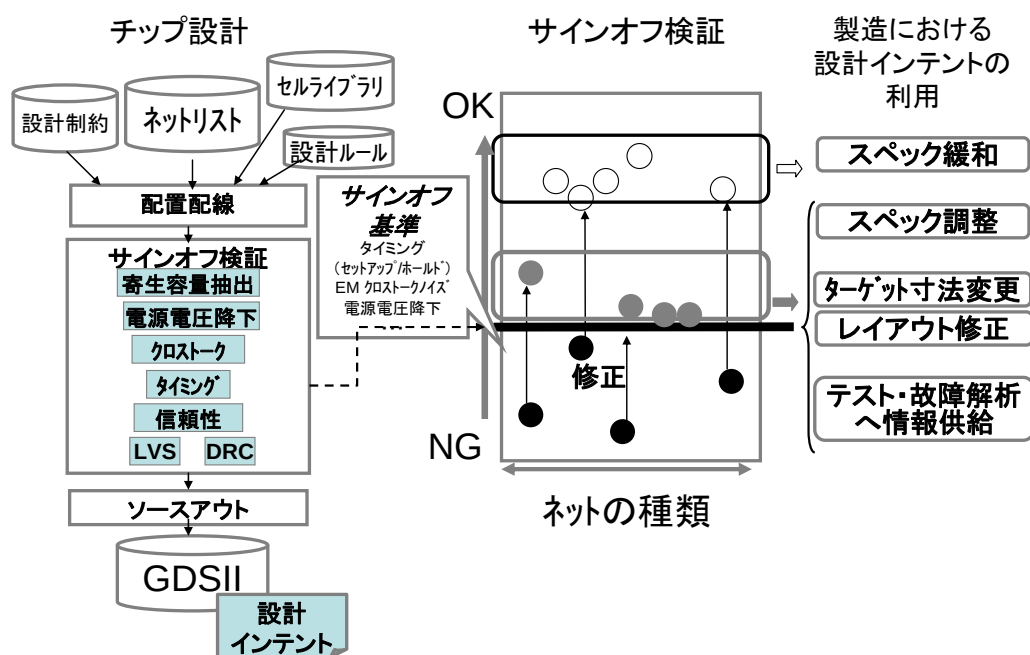


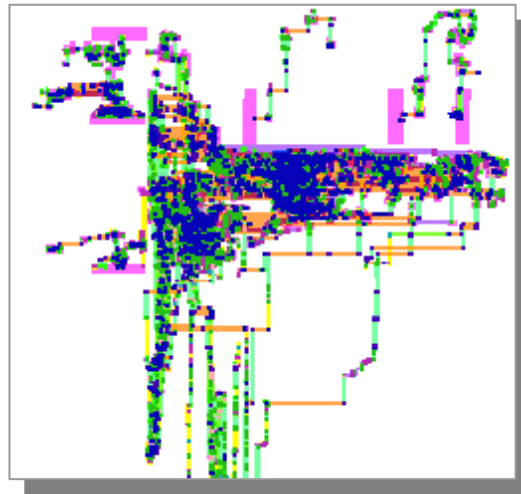
図 5.5 設計intent情報の製造における活用例

5.2.3 タイミングクリティカルパス情報を利用したOPC設定

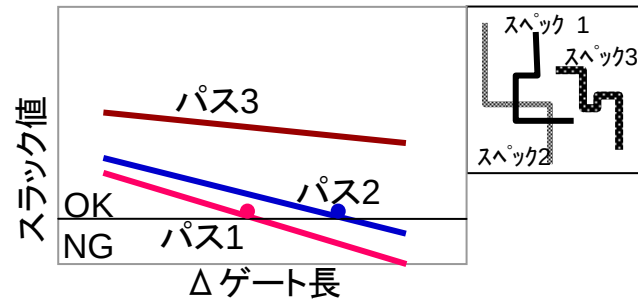
タイミングクリティカルパスの抽出と製造公差の割り当ての例を図 5.6に示す。

本例においては、まず STA ツールを用いて、クロックグループ毎に、タイミング検証におけるホールド検証／セットアップ検証のうち、セットアップ検証に関するワースト 200 パスを抽出する。抽出したパスの例を(a)に示す。次に、パス毎にプロセスばらつきに対する感度を SPICE (Simulation Program with Integrated Circuit Emphasis) シミュレーションを用いて測定する。ここではトランジスタゲート長の増減 (ΔL) に対するスラック値 (実際の回路が持つタイミングのゆとりの値であり、正であることが必要) を測定し、クロックグループ毎に感度を見積もる。このとき、パス上の全てのトランジスタのゲート長を同じ方向 (太らせる、あるいは細らせる) に同じだけ増減させて測定することになるが、これは露光プロセスにおける露光量の変動に対する感度を測定することに相当する。続いて、クロックグループ毎の感度とパス毎のスラック値から、トランジスタゲート長のスペックを算出し、パス上のトランジスタに割り当てる。パス 1 からパス 3 についての感度測定グラフおよびパス上トランジスタへのスペック割り当ての模式図を(b)に示す。レイアウト図面上においては、(c)に示すようにパスに属するセルの占める領域毎にスペックを割り当てることになる。さらに当該スペック値を OPC とリソグラフィシミュレーション検証に用いる。

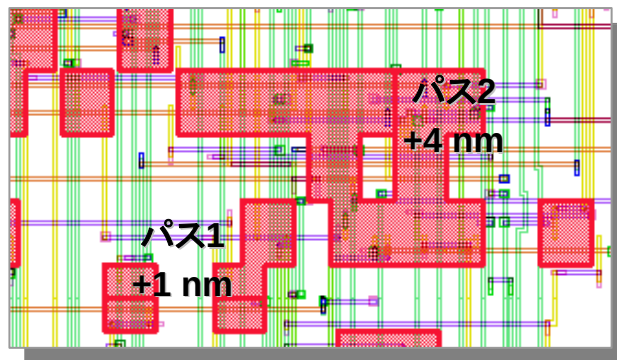
(a) タイミング
クリティカルパス抽出



SPICE
シミュレーション



(b) プロセス感度チェック／スペック算出



(c) スペック割り当て

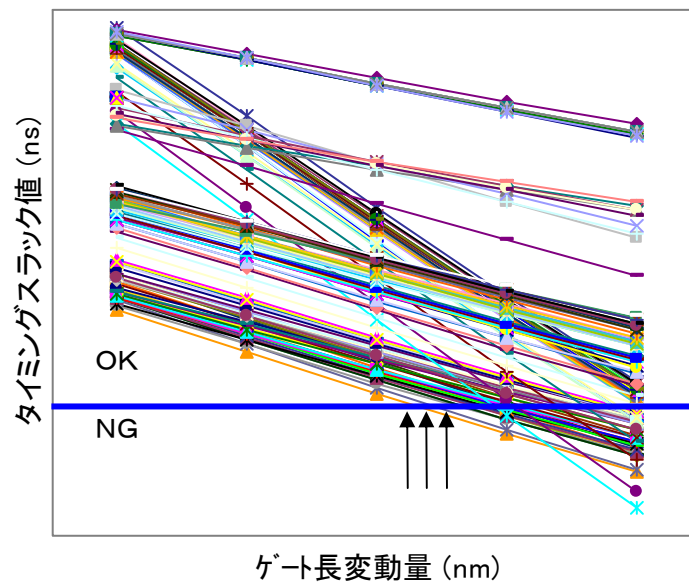
図 5.6 タイミングクリティカルパスの抽出と製造公差の割り当て例

40nmテストチップを用いて、上記の手順で算出したパス毎のタイミングスラック値の ΔL 依存性(感度)と、 ΔL 上限のスペック値の分布をプロットした例を図 5.7に示す。上記ワースト 200 パスに関して、タイミングスラック値の ΔL 依存性を算出するためのグラフを(a)に示す。グラフ中の一本一本の線は、ひとつのパスの感度の関する挙動を表す。タイミングスラック値は正の値となることが必要であり、感度のプロットと $y=0$ との交点(矢印で示す点)を ΔL のスペックとして算出した。テストチップに含まれるクリティカルパスを含むクロックグループ8個について、全40万パスに関する ΔL のスペック値を算出し、分布を(b)のとおりプロットしたところ、 ΔL が太る方向へのマージンが 2 nm以下であるクリティカルなパスが 1 %、2 nmから 4 nmであるパス(準クリティカルなパスとする)が4%であり、残る 95 %は ΔL が太る方向へのマージンが 4 nmより大きいパス(非クリティカルパスとする)である、という結果が得られた。

ゲート層のOPCの管理幅をこれらのマージン値に応じて割り当て、OPCの繰り返し数により管理幅を調節した例を図 5.8に示す。OPC後のリソグラフィシミュレーション寸法と、リソグラフィターゲット寸法との差分(OPC残差)に関して、OPC繰り返し回数の依存性を(a)にプロットした。繰り返し回数が増えるほどOPC残差は低減し、特に繰り返し数1回から6回までの間はOPC残差の低減度合いが著しいことが見て取れる。ここでクリティカルなパス、準クリティカルなパスと非クリティカルパスにおけるOPC繰り返し回数を、それぞれ10回、5回、3回と設定した。これは、OPC残差をそれぞれ 1 % (0.4 nm)、2 % (0.8 nm)、5 % (2 nm)となるように設定したことに相当するものである。すなわち、クリティカルパスに関しては通常の繰り返し数設定をそのまま用いることとし、準クリティカルパス、非クリティカルパスに関しては、OPC残差が ΔL の太る方向へのマージンの半分以下になるように設定したものである。

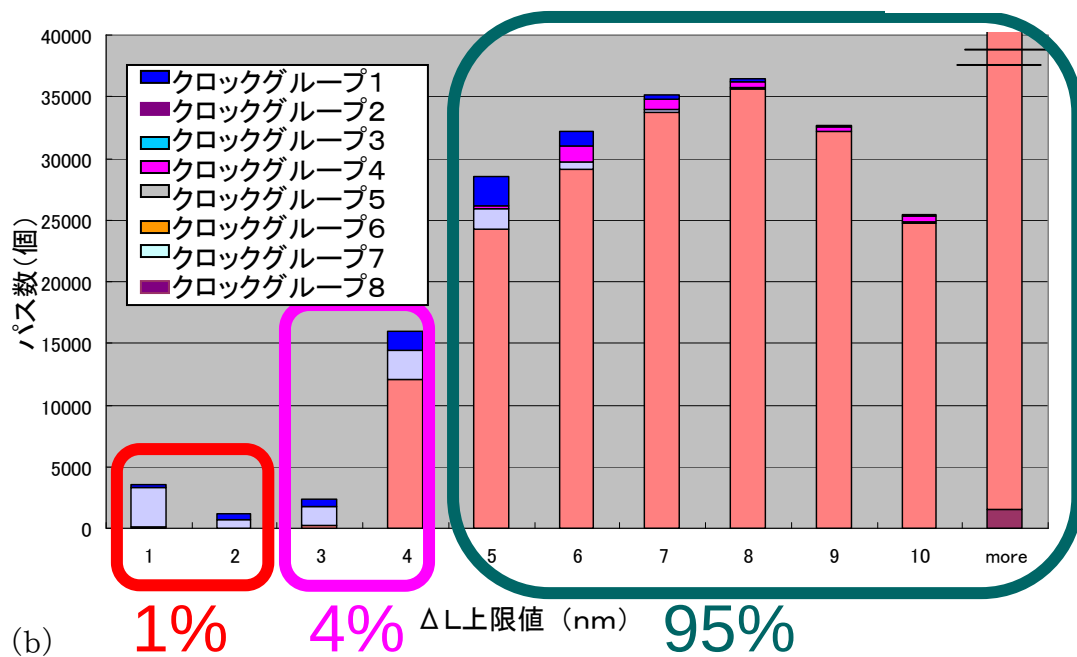
OPC の処理時間は OPC 繰り返し数にほぼ比例する。このため、ゲート層の OPC において、1 %のクリティカルパスについて OPC 繰り返し数を 10 回、4 %の準クリティカルパスについて OPC 繰り返し数を 5 回、95 %の非クリティカルパスについて OPC 繰り返し数を3回と設定した場合の OPC 処理時間は、全てのゲートの OPC 繰り返し回数を10回と設定した場合と比べ、処理時間が 31 %に低減されると算出された。

このように、パス毎のタイミングクリティカル度に応じた OPC 繰り返し数を割り当てることにより、必要な OPC 精度を満たしながら OPC 時間の低減に効果的であるという見込みが得られた。



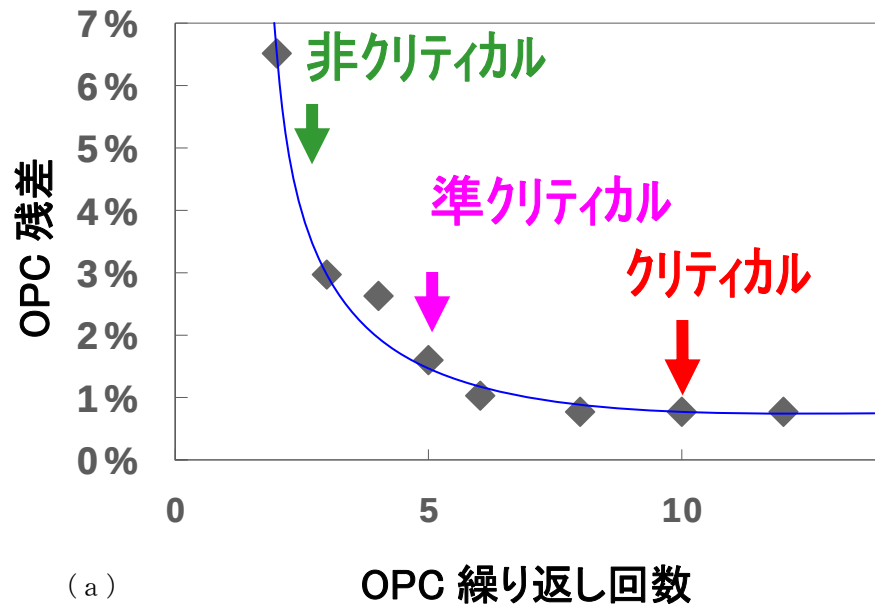
(a) パス毎 ΔL スペック抽出

~250k



(b) ΔL 上限値 (nm) 1% 4% 95%

図 5.7 パス毎のタイミングスラック値 ΔL 感度 (a)
および ΔL 上限のスペック値の分布 (b)



(b)

$$31\% = \frac{1\% \times 10\text{回} + 4\% \times 5\text{回} + 95\% \times 3\text{回}}{100\% \times 10\text{回}}$$

図 5.8 OPC 残差の OPC 繰り返し回数依存性 (a) および OPC 精度調整後の処理時間見積もり (b)

5.2.4 クロストークノイズ情報を利用したリソグラフィシミュレーション検証

設定

クロストークノイズ危険ネットを抽出してレイアウト上に割り当て、プロセス管理幅の調整に利用する例を図 5.9 に示す。

クロストークノイズはデバイスの誤動作を起こす原因となる。そのため、サインオフ検証ではクロストークノイズの高さを検査し、閾値以上であればノイズの発生を低減するように設計を改良する。ここで、クロストークノイズの高さ (*Noise_height*) は次の式 (5.1) で表される。

$$\text{Noise_height} = \frac{Cx}{(Cx + Cv) + \frac{Ra}{Rv}(Cx + Ca)} Vdd \quad (5.1)$$

Ra はアグレッサネットにおけるドライバ抵抗を表し、*Rv* はヴィクティムネットにおけるドライバ抵抗を表す。*Cx* はアグレッサとヴィクティムネットにおけるカップリング容量を表し、*Ca* はアグレッサネットの容量、*Cv* はヴィクティムネットの容量を表す。

ここで、クロストークノイズの危険性が高い箇所として、クロストークノイズの高さが検証における閾値に近いネットを抽出する。次に、レイアウト上にクロストーク危険ネットの位置を割り当てる。続いて、ネットを構成する配線のうち、クロストークノイズの高さへの影響が大きいと予想される箇所を抽出する。ここではDRC (Design Rule Checker) ツールを用いてアグレッサネットとヴィクティムネットのレイアウト上の図形の幅とスペースを検査し、アグレッサネットとヴィクティムネットが設計ルール上の最小幅かつ最小スペースでならび、かつ所定の長さ以上並走する箇所を抽出する。抽出したクロストーク危険箇所を、図 5.9 の黒枠で囲んで記した。

クロストーク危険箇所では、式 (5.1) から読み取れる通り、アグレッサネットとヴィクティムネットのカップリング容量が大きくなる場合、すなわち両者が近づき合った場合に危険性が増す。そこで、クロストーク危険箇所情報を利用して、プロセスの管理幅を適正化する手法を検討した。

一つ目には、クロストーク危険箇所においては、配線同士が近づくとカップリング容量が増大し、危険性が増すため、配線同士を離す方向にリソグラフィ寸法ターゲットを設定する。このようにしてクロストーク危険箇所における誤動作の危険性を低減することが出来る。

二つ目には、リソグラフィシミュレーション検証の設定に関して、アグレッサネットとヴィクティムネットとの間のスペースの寸法変動について、ショートエラーの検査基準を厳しく設定する。すなわち、パターン同士が短絡する、ショートの危険性に加えて、カップ

リング容量増大によるクロストークノイズ増大の危険を加味した基準を設ける。このようにして設けた検査基準を満たさない場合はレイアウトを変更することにより、クロストーク危険箇所における誤動作の危険性を回避することができる。

図 5.9に示す例では、5箇所のクロストークノイズの危険ネットを抽出し、レイアウト上でDRCを実行して抽出した危険箇所に関して、リソグラフィシミュレーション検証を行った。配線間のショートエラー検査の基準を、式(5.1)のクロストークノイズの高さが悪化しないように厳格に設定し、基準を満たすことを確認した。

5.2.5 エレクトロマイグレーション情報を利用したプロセス設定

エレクトロマイグレーション危険ネットを抽出してレイアウト上に割り当て、プロセス管理幅の調整に利用する例を図 5.10に示す。

エレクトロマイグレーションは、金属中の伝導電子と金属原子の衝突により、金属原子が電子の移動方向に移動し、最終的には金属配線の断線を引き起こす現象であり、LSI の寿命を決定するひとつの要因となる。

エレクトロマイグレーションに関する LSI の平均寿命 (MTF) は、一般に Black の式と呼ばれる経験式(5.2)で近似できることが知られている。

$$MTF = AJ^{-n} \exp\left(\frac{E_a}{kT}\right) \quad (5.2)$$

ここで J は電流密度、 A 及び n ($=1 \sim 2$) は定数、 E_a は金属原子の拡散の活性化エネルギー、 k はボルツマン定数、 T は絶対温度を表す。式(5.2)より、電流密度が高いほど、また温度が高いほど寿命が短くなることが読み取れる。

エレクトロマイグレーションに関するサインオフ検証では、エレクトロマイグレーションの危険性の高いネットの有無を検証する。すなわち、出力端子にかかる負荷容量をチェックし、負荷容量が所定の閾値を超える出力端子をエレクトロマイグレーション危険箇所として抽出する。閾値以上であれば、負荷容量が過大にならないように設計を改良する。これは、大きな負荷容量を所定の時間内に駆動させるために大電流を供給する必要があるためである。

さらに、抽出されたエレクトロマイグレーションの危険性が高いネットにおいては、電流密度の高い箇所、すなわち出力端子と、出力端子からでる配線の分岐手前の部分においてより危険性が高いといえる。そこで、エレクトロマイグレーション危険箇所情報を利用して、プロセスの管理幅を適正化する手法を検討した。

一つ目には、エレクトロマイグレーション危険箇所においては、配線が細ると電流密度が増大し、危険性が増すため、配線を太らせる方向にリソグラフィ寸法ターゲットを設定する。このようにしてエレクトロマイグレーション危険箇所における断線の危険性を

低減することが出来る。

二つ目には、リソグラフィシミュレーション検証の設定に関して、エレクトロマイグレーション危険箇所の寸法変動について、オープンエラーの検査基準を厳しく設定する。すなわち、パターンが細る・断線する、オープンの危険性に加えて、電流密度増大によるエレクトロマイグレーションにより保障期限前に故障が生じる危険を加味した基準を設ける。このようにして設けた検査基準を満たさない場合はレイアウトを変更することにより、エレクトロマイグレーションにおける短寿命化の危険性を回避することができる。

図 5.10に示す例では、5箇所のエレクトロマイグレーションのマージンが少ないネットを抽出し、出力端子と出力端子に連なる配線のオープンエラー検査の基準を厳格に設定した。この設定の下でリソグラフィシミュレーション検証を行い、出力端子と、当該出力端子に連なる配線の光学像を求め、基準値を逸脱する細りやくびれがないことを確認することで、基準を満たすことを確認した。

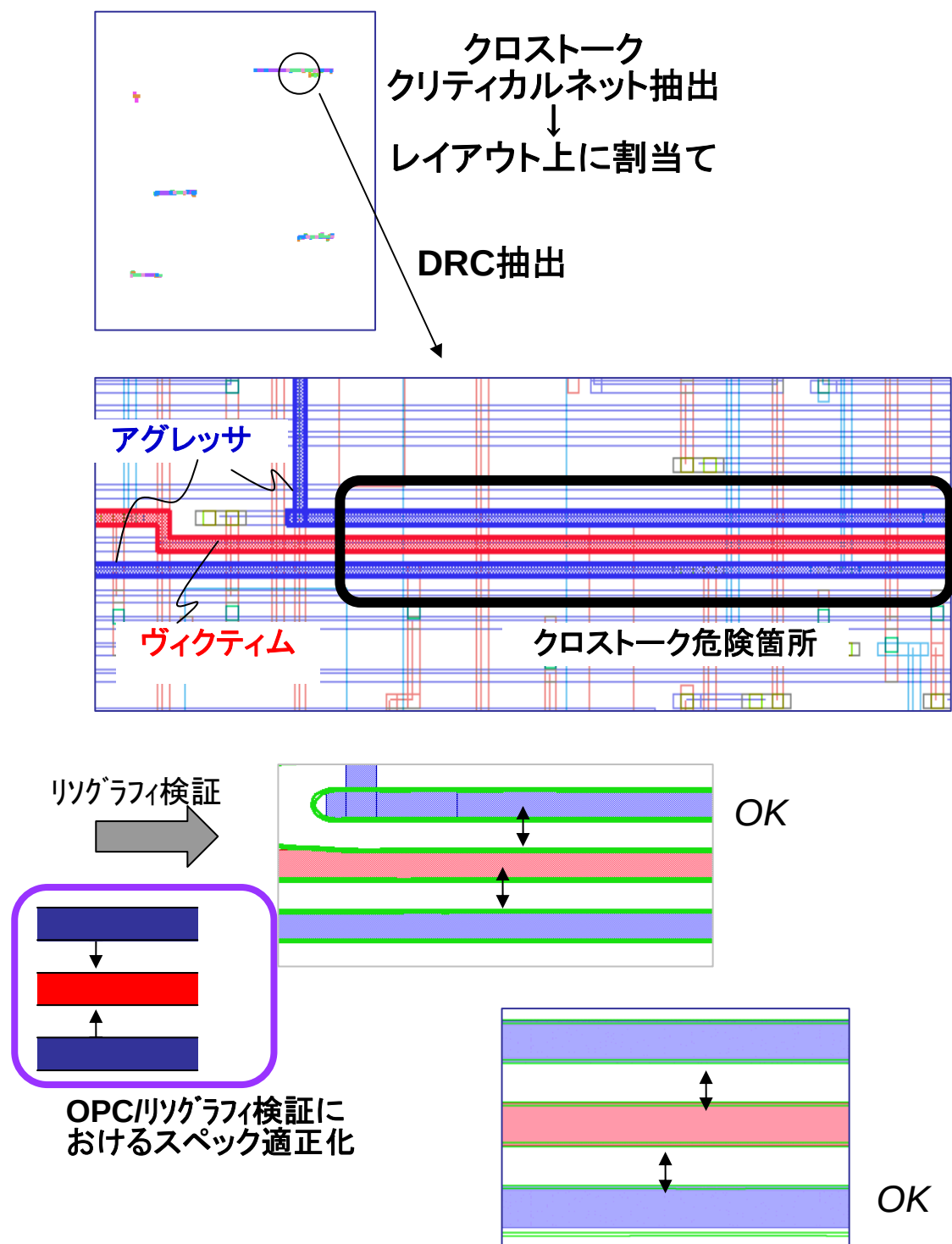


図 5.9 クロストークノイズ情報を利用したリソグラフィシミュレーション
検証適正化例

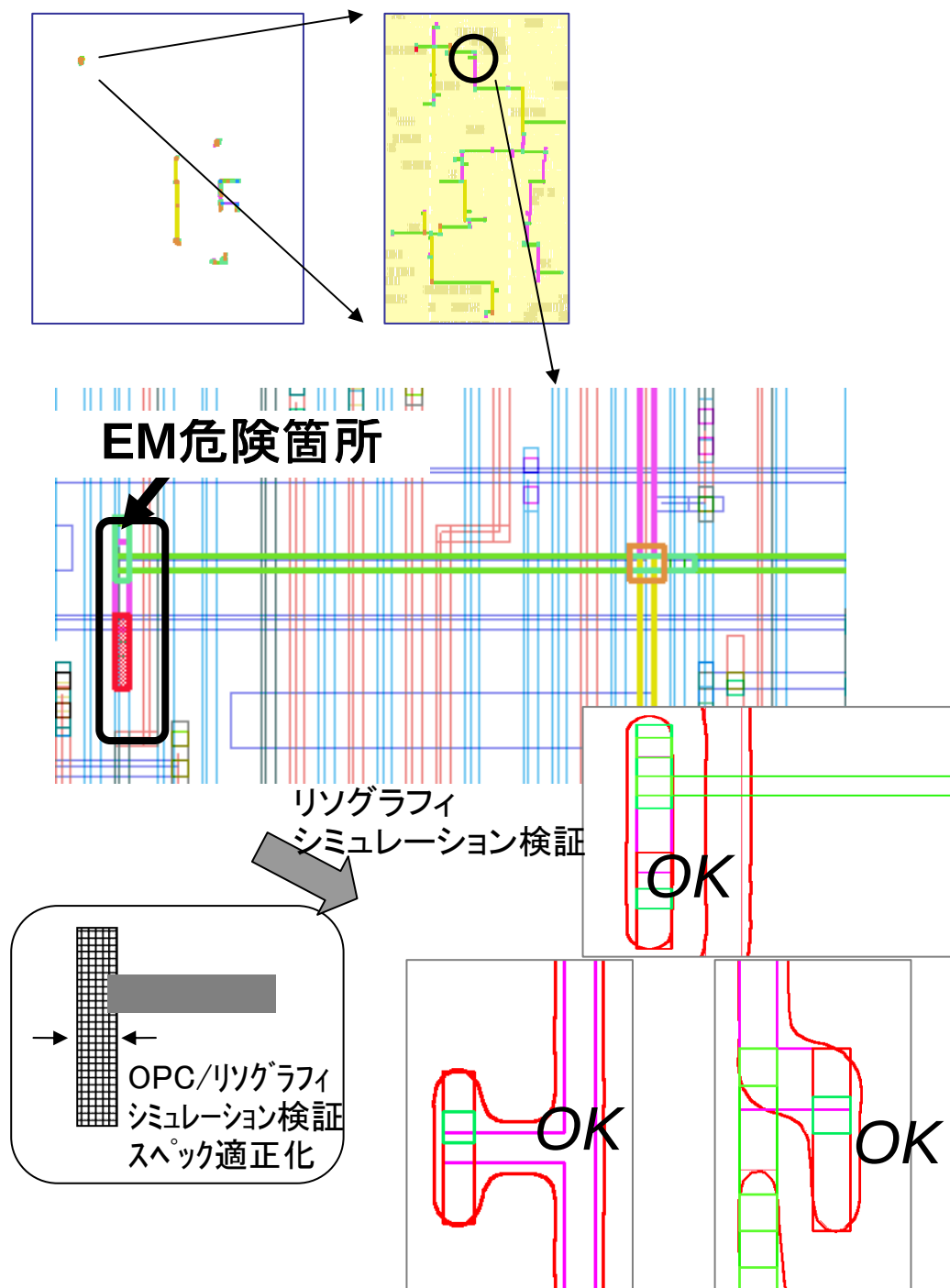


図 5.10 エレクトロマイグレーション情報を利用した
リソグラフィシミュレーション検証適正化例

5.3 種々の設計intent情報を考慮した製造プロセス

5.3.1 設計歩留り危険箇所抽出とレイアウト上の位置づけ

設計の種々の検証において抽出した電氣的・回路的マージンの値を考慮して製造プロセスの調整を行うためには、これらの電氣的・回路的マージンの性質と大きさを、レイアウト上の位置およびプロセスにおけるマージンと関連付ける作業が必要となる。そこで 40 nm テストチップを対象として、種々の設計intentを抽出し、レイアウト上の位置を割りつけた。例を図 5.11に示す。左側に示すグラフは、種々の設計intentに関して、検証基準値を緩和していった場合に、基準値を満たさずに抽出されるパス数をプロットしたものである。

エレクトロマイグレーションにおける歩留り危険箇所の例を(a)に示す。出力端子の負荷容量に関する検証基準値を、所定の値から 1、5、10、20 %と低下させると、基準値を超過するパス数はグラフに示すように数個から 200 個近くまで増加した。基準値を 20%緩和した時に抽出されたパスの出力端子に関して、レイアウト上における位置を記した図を右に示す。本データにおいては、エレクトロマイグレーションにおける危険箇所は、局在している。

クロストークノイズにおける危険箇所の例を(b)に示す。ノイズ高さに関する抽出基準値を、所定の値から 1、5、10、20%と低下させると、基準値を超過するパス数は数個から40個近くまで増加した。基準値を 20%緩和した時に抽出されたパスを、レイアウト上に配置した図を右に示す。本データにおいては、クロストークノイズにおける危険箇所は、レイアウト上に局在せず、全面に存在しているように見受けられる。

セットアップ側のタイミングクリティカルパスにおいて、トランジスタゲート長の変動許容値を、1nm から 10nm まで変化させて該当するパスを抽出した例を(c)に示す。変動許容値を寸法の 10 % (4 nm) を過ぎると、該当パスはグラフに示すように一定の割合で増加した。タイミングスラック値が少ない方から 800 パスを選び、レイアウト上に配置した図を右に示す。タイミングクリティカルパスは、レイアウト上に配置したブロックやクロックグループの構成に依存して、レイアウト上に局在しているように見受けられる。

以上のように、検証項目におけるマージンが少ない箇所を、検証基準値を調整して抽出し、レイアウト上の分布を確認することができた。

設計起因の歩留り危険箇所

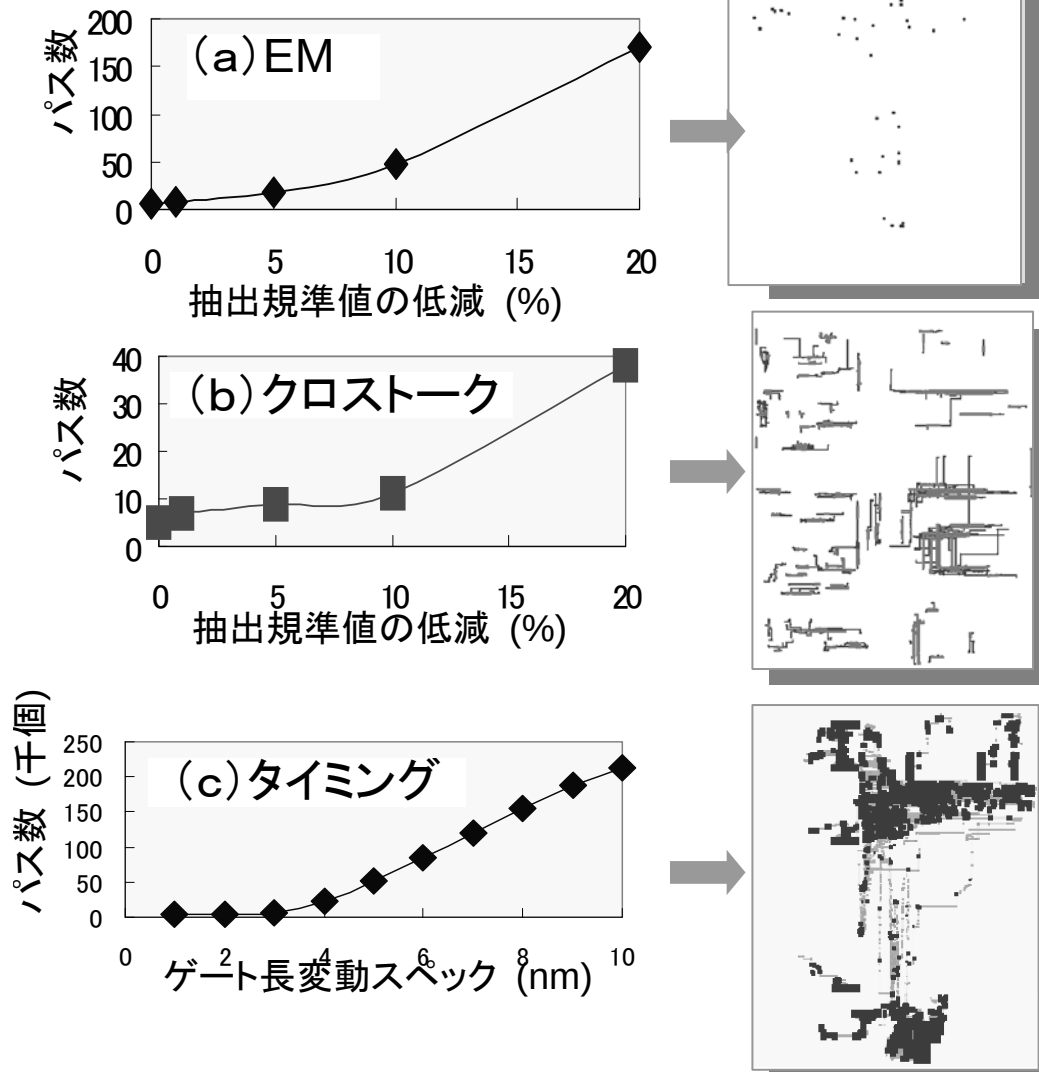


図 5.11 種々の設計インテントの抽出とレイアウト上への割り当て

抽出した種々の設計インテントを考慮して、レイアウト上のパターン毎に寸法の許容値を算出し、許容値に基づいて製造プロセスへ適用するフローを図5.12に示す。複数インテント項目の位置、カテゴリ、マージンをレイアウト上で総合的に考慮して、パターン毎に寸法の許容値を設定する。製造プロセスにおいては、これらの寸法許容値に基づいて、パターンを管理する。一例としては、OPCの寸法管理幅の設定、リソグラフィシミュレーション検証における許容寸法の設定などに、設計インテントに起因するマージンを考慮することにより、設計マージンの不足する箇所を厳密に管理し、歩留りの向上につなげることが出来る。

さらに複数インテント項目の位置、カテゴリ、マージンに関する情報をテストや故障解析に供給することにより、故障箇所の特定を支援することが出来る。

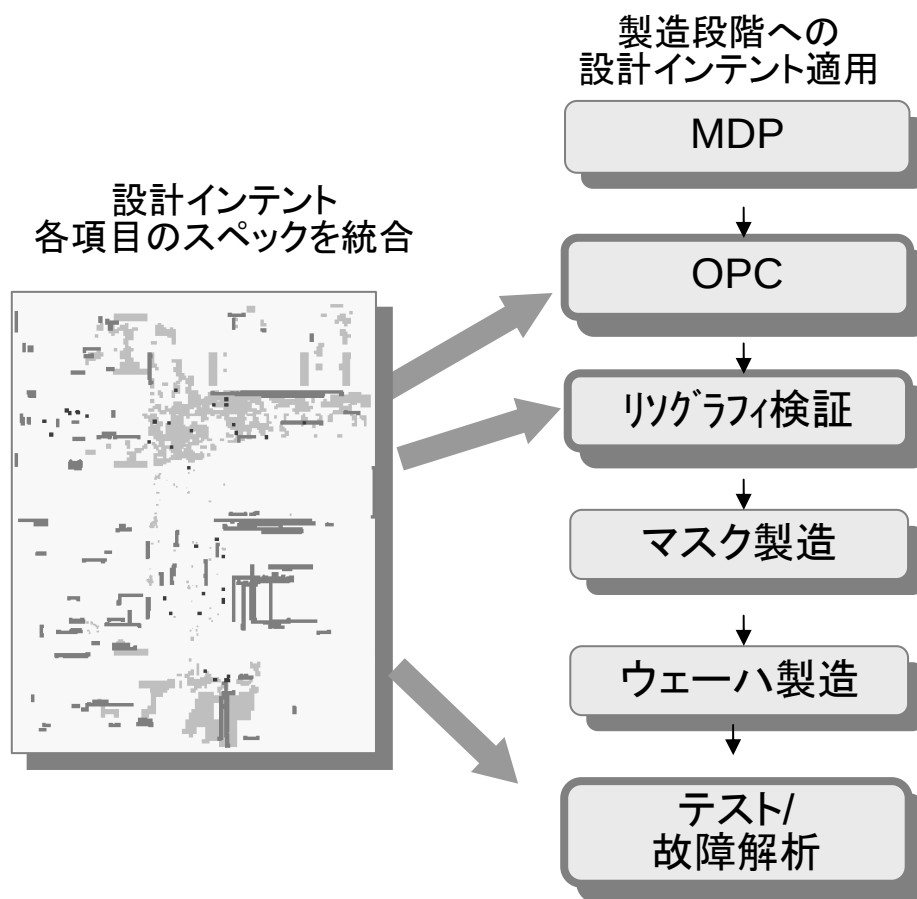


図 5.12 種々の設計インテントのレイアウト上における重ね合わせと製造プロセスへの適用

5.3.2 設計歩留り危険箇所情報を利用した製造システム

故障解析における設計インテント情報の利用フローを図 5.13に示す。故障解析において、故障箇所の特定は種々の装置を用いた検査や故障モデル、検証など非常に時間のかかるステップである。そこで、チップ設計やマスク製造において得られたシグナルインテグリティ(Signal Integrity: SI)、クロストークノイズ、エレクトロマイグレーション等の設計インテント情報やホット・スポット情報、被覆率情報(パターン密度情報)よりマージンが小さい箇所を歩留り危険箇所として抽出しておき、故障解析における参照用に危険箇所候補リストを作成する。故障品発生時には、故障の挙動と位置を検証して危険箇所候補リストと照合させる。歩留り危険箇所の手がかりを与えることにより、故障箇所の特定にかかるコストを低減させることができる。

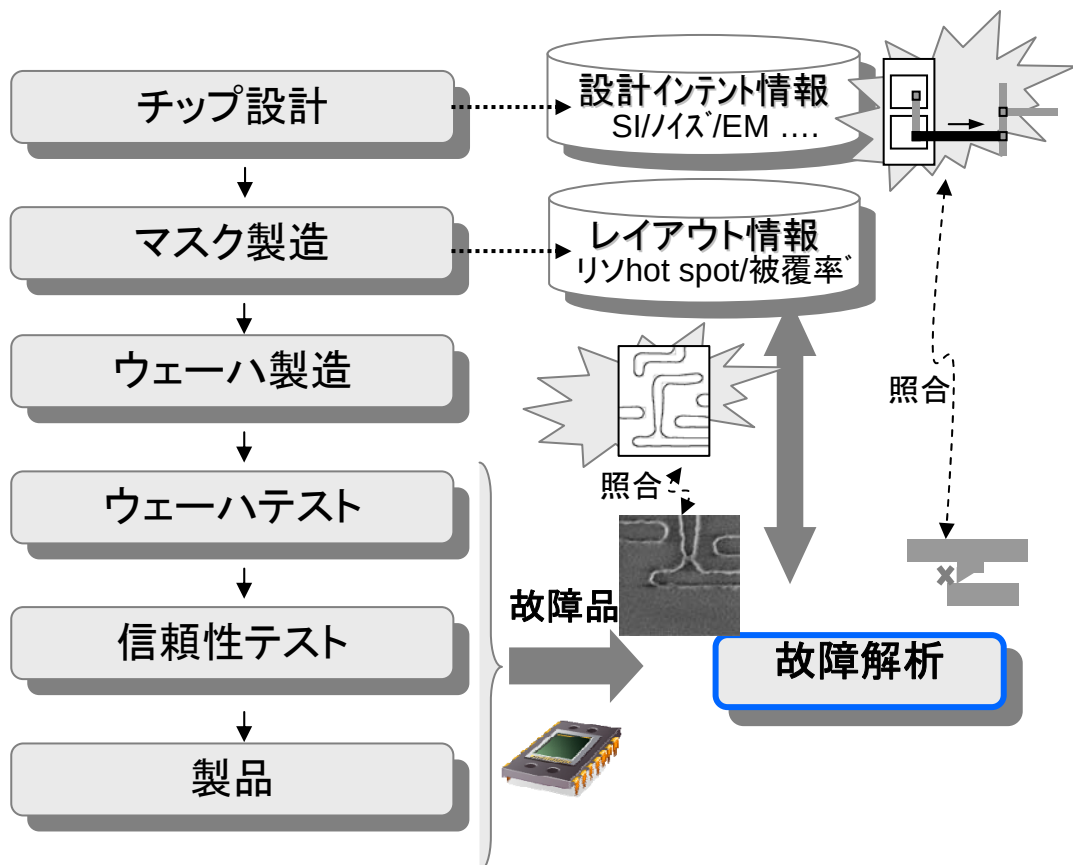


図 5.13 設計インテント情報を利用した故障解析

以上の検討をまとめ、設計_intentを総合的に考慮した製造システムフローを図5.14に示す。

チップ設計においては種々の項目についてサインオフ検証を実施し、マージンの少ない歩留り危険箇所候補を抽出する。これらの箇所について、種々の設計_intent項目を考慮したスペックを用いたリソグラフィシミュレーション検証を行う。寸法変動の結果スペックを逸脱した箇所があれば改良した上でレイアウトデータを出荷する。

製造システムにおいては、設計_intentを考慮したスペックを用いて OPC およびリソグラフィシミュレーション検証を実施し、リソホット・スポットと同様に寸法変動の結果、設計_intent上スペックを逸脱した箇所を抽出して改良する。さらに、テストや故障解析において設計危険箇所情報を照合することにより、故障モデルの特定に至るコストを低減させることができる。

このように設計_intent情報を設計と製造で活用することにより、危険箇所の改良により歩留りが向上し、製造で適正なスペックを用いることにより寸法精度が向上し、さらに故障解析のコストを削減することが可能となる。

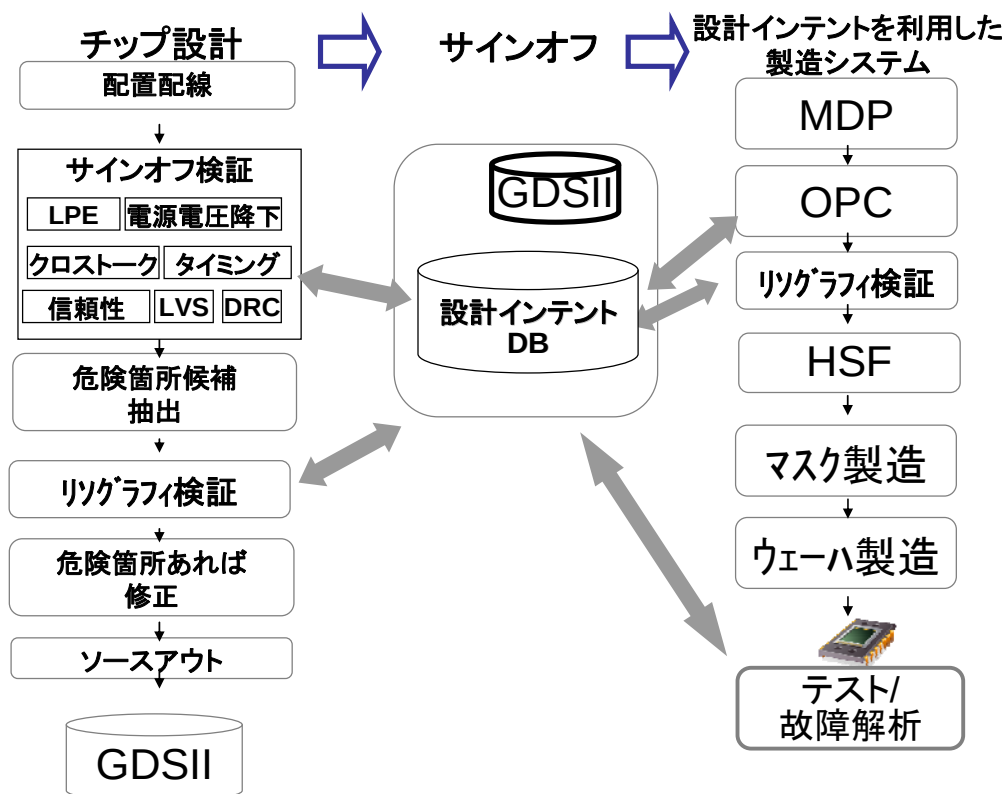


図 5.14 設計_intentを総合的に考慮した製造システムフロー

5.4 むすび

本章では、複雑化する種々の歩留り低下要因を考慮し、電気的特性を考慮してレイアウトを最適化することにより歩留りの向上を図るために、種々の設計インテントを利用した設計・製造システムを提案した。本手法を用いることにより、電気的特性起因の歩留り低下を回避できるとの見込みを得た。OPC などプロセスの効率化を図り、製造コストの削減を図れるとの結果を得た。以下に結果をまとめる。

1. まず、製造プロセスにおける設計インテント考慮の必要性について概説した。
 - (a) テクノロジーノードの進展に伴い、ランダム要因、システムティック、パラメトリック要因による歩留り低下が問題となる。設計における対策とともに、設計の重要性を考慮したプロセス管理が必要である。
 - (b) リソグラフィにおける製造性を考慮し、抽出したホット・スポットを修正するフローが活用されてきた。今後はさらに製造における設計情報の活用をすべきである。
 - (c) 設計危険箇所と製造危険箇所の重なり領域のリスクが高く、考慮が重要となる。
2. 次に、製造システムに設計インテントの考慮の手法を検討した。
 - (a) 設計マージンの不足する箇所として、チップ設計時のサインオフ検証項目について、検証時に検証基準値近傍のネットを抽出しレイアウトに割り当てた。
 - (b) 設計マージンの大きいネットについては製造側における管理スペックを緩和し、設計マージンの小さいネットについては製造側における管理スペックの適正化、ターゲットの変更、レイアウトの改良やテスト・故障解析における考慮を行うことにより、コストの配分を適正化し、歩留り向上を図る。
3. 次に、設計インテントを利用したプロセススペックの調整を検討した。
 - (a) タイミングクリティカルパスを抽出し、タイミングスラック値とゲート長変動への感度を測定してトランジスタゲート長の変動許容値を算出した。許容値をチップ上に割り当て、OPC の許容値に設定した場合の処理時間削減効果を見積もり、全てのパターンに厳格に OPC を実施した場合と比較して処理時間が 31 %になるとの見積もりを得た。
 - (b) クロストークノイズに関する歩留り危険箇所を抽出し、リソグラフィシミュレーション検証のスペックに加味する方法について検討した。クロストークノイズの高さの悪化に関連するカテゴリの寸法危険箇所を検出し改良することに

より、誤動作の危険性を回避できる。

- (c) エレクトロマイグレーション危険箇所を抽出し、リソグラフィシミュレーション検証のスペックに加味する方法について検討した。電流密度の増大に関連するカテゴリの寸法危険箇所を検出し改良することにより、エレクトロマイグレーションによる短寿命化の危険性を回避できる。

4. 次に、種々の設計インテント情報を考慮した製造システム構成を提案した。

- (a) エレクトロマイグレーション、クロストークノイズ、タイミングクリティカルパスに関して検証基準値を振って設計インテント項目の歩留り危険箇所を抽出し、レイアウト上の分布を観察した。
- (b) 歩留り危険箇所の情報を OPC、リソグラフィシミュレーション検証のスペック調整および故障解析に利用するフローを提案した。

第6章 結論

本研究により得た主たる成果を以下にまとめる。

1. 光近接効果補正システムの構成を検討した。提案の光近接効果補正システムが高速かつ高精度の処理を実施し、実用レベルに達したことを示した。得られた結果は次の通りである。
 - (a) 光近接効果補正における課題は、高い精度を維持した高速化である。また大規模データへの適用においては、補正処理によるデータサイズ増大の抑制が必要である。
 - (b) ルールベース・モデルベースハイブリッド方式の光近接効果補正システムを提案した。
 - (c) 高い補正精度を実現するために、改良版一次元 OPC の手法を提案した。
 - (d) 上記b、cを用いた光近接効果補正システムを構成した。
 - (e) 光学シミュレーションにより、改良版一次元 OPC の精度の優位性を確認した。
 - (f) ハイブリッド方式光近接効果補正を適用したマスクデータをウェーハ転写実験を行い、パターン形状の向上を確認した。
 - (g) ロジック製品データ、DRAM 製品データを用いて処理時間とデータ増加率を確認した。処理時間は 1CPU で 2-3 日、データ増加率は数割であった。
2. 歩留り向上へ向けたレイアウト改良システムの手法と構成を検討し、有効性を確認した。得られた結果は次の通りである。
 - (a) ホット・スポット自動修正システムの必要性と構成を検討した結果、低 k_f 条件のプロセスでは、ホット・スポットが多く発生することが予想され、自動修正手法が必要となることが示された。
 - (b) リソグラフィコンプライアンスチェックによりホット・スポットを抽出し、自動修正するシステムを提案し、設計支援に供した。
 - (c) レイアウト修正は、ホット・スポットを含むエッジを、所定のルールに則って

移動させることにより実現した。また移動対象層、修正レベル、ジョグの挿入、階層処理などに多様な調整ノブを用意し、所望の修正を実現できるようにした。

- (d) レイアウト修正により、露光量-フォーカスに関するプロセス・マージンが拡大することを、光学シミュレーションおよびウェーハ転写実験により確認した。
- (e) 65nmノード設計ブロック 100 個あまりの修正を行い、数分から2時間で修正を完了した。修正率はほぼ 9 割程度であった。設計ルールを遵守した修正が出来ないレイアウトでは、修正パラメータを調整することにより修正率を向上した。
- (f) 65nm ノードの大規模ロジックデータ(11 mm×12 mm)の配線層修正に修正システムを適用し、47000 個のホット・スポットを 12 時間で修正した。

3. ホット・スポット高精度自動修正手法を検討し、モデルベース修正システムの構成を検討した結果、実用性を確認した。得られた結果は次の通りである。

- (a) テクノロジーノードの進展に伴い、発生するホット・スポット形状は複雑化する。柔軟なモデルベース修正手法が必要となる。
- (b) ホット・スポット修正ガイド候補を複数発生・評価して最良のガイドを選択する方式のモデルベースホット・スポット修正システムを提案し、構築した。
- (c) 65nm ノードロジックデータの配線層に適用し、有効性を確認した。
- (d) 大規模データへの適用のために高速化を検討し、ルールベース方式・モデルベース方式のハイブリッド方式ホット・スポット修正フローを提案した。
- (e) 40nm ノードロジックデバイスチップの配線層にハイブリッド方式のホット・スポット修正フローを適用し、ホット・スポットを全て修正した。処理時間はルールベース方式の 1.9－3.4 倍と実用的な時間に収まった。

4. 種々の歩留り低下要因を考慮したレイアウト改良システムの構成を検討し、有効性を確認した。得られた結果は次の通りである。

- (a) システムティック歩留り、パラメトリック歩留り、ランダム欠陥による歩留り低

下項目について実際の製造プロセスから歩留り関数を作成した。またリソグラフィシミュレーションを用いた高精度の歩留り予測手法を利用した。

- (b) 作成した歩留り関数を、実際のプロセスで利用する MDP/OPC/プロセスシミュレーションとともにレイアウト改良ツールに組み込んだ。
- (c) 500 セルからなる 45nm ノードテストセルライブラリの改良を実施し、オーバーヘッド時間を除いて 12 時間で完了した。MDP/OPC/プロセスシミュレーションを含むオーバーヘッド時間を入れて 2-3 日で処理を完了した。
- (d) レイアウトは種々の歩留り低下要因を考慮して、歩留り危険箇所が緩和する方向に、設計ルールを遵守して柔軟に改良された。
- (e) レイアウト改良により、歩留り低下率は基本機能セル 30 セル平均で 43 % 改善した。
- (f) レイアウト改良により、パラメトリック歩留り項目およびシステムティック歩留り項目において歩留り低下率の改善が顕著であった。
- (g) テストセルライブラリからなる仮想チップの 2 チップの歩留り改善を計算したところ、7 % および 20 % と大きな改善効果を示すことができた。

5. 製造コスト削減・時間短縮および精度と歩留り向上のために、種々の設計インテントを利用した設計・製造システムを提案したその結果、次の結果を得た。

- (a) テクノロジーノードの進展に伴い、ランダム要因、システムティック、パラメトリック要因による歩留り低下が問題となる。設計における対策とともに、設計の重要性を考慮したプロセス管理が必要である。
- (b) リソグラフィにおける製造性を考慮し、抽出したホット・スポットを修正するフローが活用されてきた。今後はさらに製造における設計情報の活用をすべきである。
- (c) 設計危険箇所と製造危険箇所の重なり領域のリスクが高く、考慮が重要である。
- (d) 設計マージンの不足する箇所として、チップ設計時のサインオフ検証項目について、検証時に検証基準値近傍のネットを抽出しレイアウトに割り当てた。
- (e) 設計マージンの大きいネットについては製造側における管理スペックを緩和し、設計マージンの小さいネットについては製造側における管理スペックの適正化、ターゲットの変更、レイアウトの改良やテスト・故障解析における考慮を行うことにより、コストの配分を適正化し、歩留り向上を図る。

- (f) タイミングクリティカルパスを抽出し、タイミングスラック値とゲート長変動への感度を測定してトランジスタゲート長の許容値を算出。許容値をチップ上に割り当て、OPC の許容値に設定した場合の処理時間削減効果を見積もり、全てのパターンに厳格に OPC を実施した場合と比較して処理時間が31%になるとの見積もりを得た。
- (g) クロストークノイズに関する歩留り危険箇所を抽出し、リソグラフィシミュレーション検証のスペックに加味する方法について検討し、一手法を提案した。
- (h) エレクトロマイグレーション危険箇所を抽出し、リソグラフィシミュレーション検証のスペックに加味する方法について検討し、一手法を提案した。
- (i) エレクトロマイグレーション、クロストークノイズ、タイミングクリティカルパスに関して検証基準値を振って設計インテント項目の歩留り危険箇所を抽出し、レイアウト上の分布を観察した。
- (j) 歩留り危険箇所の情報を OPC、リソグラフィシミュレーション検証のスペック調整および故障解析に利用するフローを提案した。

今後の課題として、以下の点が挙げられる。

1. 今後は半導体の微細化がさらに進み、ダブル・パターニング・テクノロジーなど新規のさらに複雑なプロセスが導入される。新規プロセスの特性を考慮した設計ルール、光近接効果補正、またホット・スポット抽出および修正の手法の検討が必要になる。技術の進展を的確に予測し、新規プロセスのモデリングおよび図形処理の自動化へ向けた開発が必要である。
2. パターンの微細化に伴い、プロセスの困難度がさらに増大する。このため、電氣的・回路的に設計マージンの少ない箇所が、プロセスのばらつきにより所望の性能を達成できない危険性が増大する。プロセスばらつきが電氣的・回路的性能に及ぼす影響を的確に予測し、管理手法を導出するための高精度なモデリング手法の開発に取り組む必要がある。
3. 予測の困難な歩留り低下要因を早期に抽出し、歩留り低下要因のモデリングを行い対処するための設計・製造共通の DFM データベースの開発が必要である。

参考文献

- [1] International Technology Roadmap for Semiconductors 2007 Edition and 2001 Edition, Semiconductor Industry Association, Executive summary.
- [2] O. W. Otto, J. G. Garofalo, K. K. Low, C.-M. Yuan, C. Pierrat, R. L. Kostelak, S. Vaidya, and P. K. Vasudev, "Automated optical proximity correction: a rules-based approach," *Proc. of SPIE Optical/Laser Microlithography VII*, **2197** pp. 278-293 (1994).
- [3] C. A. Spence, J. L. Nistler, E. Barouch, U. Hollerbach, and S. A. Orszag, "Automated determination of CAD layout failures through focus: experiment and simulation," *Proc. of SPIE Optical/Laser Microlithography VII*, **2197**, pp.302-313 (1994).
- [4] M. L. Rieger, J. P. Stirniman, "Using behavior modeling for proximity correction," *Proc. of SPIE Optical/Laser Microlithography VII*, **2197**, pp. 371-376 (1994).
- [5] L. W. Liebmann, B. Grenon, M. Lavin, S. Schomody, and T. Zell, "Optical proximity correction: a first look at manufacturability," *Proc. of SPIE 14th Annual BACUS Symposium on Photomask Technology and Management*, **2322** pp.229-238 (1994).
- [6] S. Mimotogi and S. Inoue, *Dig. Pap. MicroProcess '95 (Business Center for Academic Societies Japan, Tokyo)* p.38. (1995).
- [7] N. Cobb and A. Zakhor, "Fast sparse aerial-image calculation for OPC," *Proc. of SPIE 15th Annual BACUS Symposium on Photomask Technology and Management*, **2621** pp. 534-545 (1995).
- [8] S. Miyama, K. Yamamoto and K. Koyama, "Large-Area Optical Proximity Correction with a Combination of Rule-Based and Simulation-Based Methods," *Jpn. J. Appl. Phys.*, **35**, pp. 6370-6373 (1996).

- [9] K. Hashimoto, S. Usui, S. Hasebe, M. Murota, T. Nakayama, F. Matsuoka, S. Inoue, S. Kobayashi, and K. Yamamoto, "Accurate proximity correction method with total-process proximity-based correction factor (TCF)", *Proc. of SPIE Optical Microlithography XI*, **3334**, pp. 224-233 (1998).
- [10] T. Kotani, S. Tanaka, K. Yamamoto, S. Kobayashi, T. Uno, and S. Inoue, "Highly Accurate Process Proximity Correction Based on Empirical Model for 0.18 μm Generation and Beyond", *Jpn. J. Appl. Phys.*, **38**, pp. 6957-6962 (1999).
- [11] S. Kobayashi, T. Uno, K. Yamamoto, S. Tanaka, T. Kotani, S. Inoue, H. Higurashi, S. Watanabe, M. Yano, S. Ohki, and K. Tsunakawa "Hierarchical processing for accurate optical proximity correction for 1-Gb DRAM metal layers", *Proc. of SPIE Optical Microlithography XII*, **3679**, pp. 614-621 (1999).
- [12] S. Kobayashi, T. Uno, K. Yamamoto, S. Tanaka, T. Kotani, S. Inoue, H. Higurashi, S. Watanabe, M. Yano, S. Ohki, and K. Tsunakawa, "Development of An Accurate Optical Proximity Correction System for 1 Gbit Dynamic Random Access Memory Fabrication", *Jpn. J. Appl. Phys.*, **38**, pp.6161-6165 (1999).
- [13] T. Kotani, S. Kobayashi, H. Ichikawa, S. Tanaka, S. Watanabe, and S. Inoue, "Advanced hybrid optical proximity correction system with OPC segment library and model-based correction module", *Proc. of SPIE Optical Microlithography XV*, **4691**, pp. 188-195 (2002).
- [14] T. Kotani, H. Ichikawa, T. Urakami, S. Nojima, S. Kobayashi, Y. Oikawa, S. Tanaka, A. Ikeuchi, K. Suzuki, and S. Inoue, "Efficient hybrid optical proximity correction method based on the flow of design for manufacturability (DfM)", *Proc. of SPIE Photomask and Next-Generation Lithography Mask Technology X*, **5130**, pp.628-637 (2003).

- [15] T. Kotani, H. Ichikawa, S. Kobayashi, S. Nojima, K. Izuha, S. Tanaka, and S. Inoue, "Lithography simulation system for total CD control from design to manufacturing", *Proc. of SPIE Design and Process Integration for Microelectronic Manufacturing III*, **5756**, pp. 219-229 (2005).
- [16] J. F. Chen, T. Laidig, K. E. Wampler and R. Caldwell, "Practical method for full-chip optical proximity correction," *Proc. of SPIE Optical Microlithography X*, **3051** pp. 790-803 (1997).
- [17] L. Liebmann, B. Grenon, M. Lavin, S. Schomody and T. Zell, "Optical proximity correction: a first look at manufacturability," *Proc. SPIE Optical/Laser Microlithography VII*, **2197** pp. 229-238 (1994).
- [18] E. Kawamura, T. Haruki, Y. Manabe and I. Hanyu, "Simple Method of Correcting Optical Proximity Effect for 0.35 μm Logic LSI Circuits," *Jpn. J. Appl. Phys.*, **34**, pp.6547-6551 (1995).
- [19] H. Ohnuma, K. Tsudaka and H. Kawahira, "Fast chip-level OPC system on mask database," *Proc. of SPIE Photomask and X-Ray Mask Technology IV*, **3096** , 1997, pp.145-153 (1997).
- [20] R. Takenouchi, H. Ohnuma, I. Ashida and S. Nozawa, "New mask data processing system for ULSI fabrication," *Proc. of SPIE Photomask and X-Ray Mask Technology IV*, **3096**, pp.178-187 (1997).
- [21] T. Kotani, S. Kyoh, S. Kobayashi, .T. Inazu, A. Ikeuchi, Y. Urakawa, S. Inoue, E. Morita, S. Klaver, T. Horiuchi, J. Peeters, and S. Kuramoto, "Development of hot spot fixer (HSF)", *Proc.of SPIE Design and Process Integration for Microelectronic Manufacturing IV*, **6156**, pp. 61560H-1-8 (2006).
- [22] S. Kyoh, T. Kotani, S. Kobayashi, A. Ikeuchi, and S. Inoue, "Lithography oriented DfM for 65nm and beyond", *Proc. of SPIE Design and Process Integration for Microelectronic Manufacturing IV*, **6156**, pp. 61560F-1-9 (2006).

- [23] S. Kobayashi, S. Kyoh, T. Kotani, S. Tanaka, and S. Inoue, "Automated Hot-Spot Fixing System Applied for Metal Layers of 65 nm Logic Devices", *Proc. of SPIE Photomask and Next-Generation Lithography Mask Technology XIII*, **6283** pp. 62830R -1-11 (2006).
- [24] S. Kobayashi, S. Kyoh, T. Kotani, and S. Inoue, "Process Window Aware Layout Optimization Using Hot Spot Fixing System" *Proc. of SPIE Design for Manufacturability through Design-Process Integration*, **6521**, pp. 652110B-1-10 (2007).
- [25] S. Kobayashi, S. Kyoh, T. Kotani, Y. Takekawa, S. Inoue, and K. Nakamae, "Full-Chip Layout Optimization for Process Margin Enhancement using Model-based Hotspot Fixing System", *Jpn. J. Appl. Phys.*, **49**, 06GB02 (2010).
- [26] S. Kobayashi, S. Kyoh, T. Kotani, and S. Inoue, "Yield-centric layout optimization with precise quantification of lithographic yield loss", *Proc. of SPIE Photomask and Next-Generation Lithography Mask Technology XV*, **7028**, pp.70280O-1-8 (2008).
- [27] S. Kyoh, S. Maeda, S. Kobayashi, and S. Inoue, "Manufacturing system based on tolerance deduced from design intention", *Proc. of SPIE Design for Manufacturability through Design-Process Integration III*, **7275**, pp. 72750M-1-8 (2009).
- [28] S. Kobayashi, S. Tanaka, S. Kyoh, S. Maeda, M. Kajiwarra, S. Inoue, and K. Nakamae, "Design intention application to tolerance-based manufacturing system", *Proc. of SPIE Design for Manufacturability through Design-Process Integration IV*, **7641**, pp. 76410L-1-7 (2010).
- [29] S. Kobayashi, S. Tanaka, S. Kyoh, S. Maeda, M. Kajiwarra, S. Inoue, and K. Nakamae "Design intention application to tolerance-based manufacturing system", *J. Micro/Nanolith. MEMS MOEMS* (条件付き採録).

- [30] L. Liebmann, G. Northrop, J. Culp, L. Sigal, A. Barish, C. Fonseca, "Layout Optimization at the Pinnacle of Optical Lithography," *Proc. of SPIE Design and Process Integration for Microelectronic Manufacturing*, **5042**, pp. 1-14 (2003).
- [31] L. Liebmann, D. Maynard, K. McCullen, N. Seong, E. Buturla, M. Lavin, J. Hibbeler, "Integrating DfM Components Into a Cohesive Design-To-Silicon Solution", *Proc. of SPIE Design and Process Integration for Microelectronic Manufacturing III*, **5756**, pp 1-12 (2005).
- [32] T. Kotani, S. Tanaka, S. Nojima, K. Hashimoto, S. Inoue, and I. Mori, "Yield-enhanced layout generation by new design for manufacturability (DfM) flow," *Proc. of SPIE Design and Process Integration for Microelectronic Manufacturing II*, **5379** pp. 128-138 (2003).
- [33] S. Inoue, "Patterning friendly design methodology for 65nm and beyond technology nodes", *8th International Forum on Semiconductor Technology IFST*, (2005).
- [34] S. Inoue et al, "Total hot spot management from design rule definition to silicon fabrication", *Electronic Design Processes Workshop EDP*, Monterey CA (2003).
- [35] L. N. Karklin, A. Arkhipov, Y. Belenky, C. Decoin, D. Lay, V. Manuylov, C. Zelnik, B. W. Watson and J. Willekens, "Multidimensional physical design optimization for systematic and parametric yield loss reduction", *Proc. of SPIE Design for Manufacturability through Design-Process Integration*, **6521**, pp. 65210Q-1-8 (2007).
- [36] J. A. Torres and F. G. Pikus, "Unified process aware system for circuit layout verification," *Proc. of SPIE Design for Manufacturability through Design-Process Integration*, **6521**, pp. 652108-1-12 (2007).

- [37] P. Hurat, M. Cote, C-M. Tsai, and J. Brandenburg, “A Genuine Design Manufacturability Check for Designers”, *Proc. of SPIE Design and Process Integration for Microelectronic Manufacturing IV*, **6156**, pp. 615604-1-7 (2006).
- [38] S. Kyoh and S. Inoue., “Systematic yield estimation method with lithography simulation,” *Proc. of SPIE Design for Manufacturability through Design-Process Integration II*, Vol. 6925, pp.62950Q-1-9 (2008).
- [39] T. Jhaveri, L. Pileggi, V. Rovner, and A. J. Strojwas , “Maximization of layout printability/manufacturability by extreme layout regularity”: *Proc. of SPIE Design and Process Integration for Microelectronic Manufacturing IV*, **6156**, pp. 615609-1-15 (2006).
- [40] K. Tsuchiya, K. Ogawa, S. Nakamura, K. Kawahara, H. Oishi, and H. Ohnuma, “An extension method of metal layer layout in mask data preparation for robust processes”, *Proc. of SPIE Photomask and Next-Generation Lithography Mask Technology XII*, **5853**, pp. 574-582 (2005).
- [41] M. Oka, S. Suzuki, K. Kawahara, K. Tsuchiya, K. Ogawa, and H. Ohnuma, “Robust OPC technique using aerial image parameter,” *Proc. of SPIE Photomask and Next-Generation Lithography Mask Technology XIII*, **6283**, pp. 628333-1-9 (2006).
- [42] K. Kato, Masakazu Endo, Tadao Inoue, and Masaki Yamabe, “Utilization of Design Intent Information for Mask Manufacturing”, *Proc. of SPIE Photomask and Next-Generation Lithography Mask Technology XV*, **7028**, pp. 702835-1-10 (2008).
- [43] A. Vittal and M. Marek-Sadowska, “Crosstalk reduction for VLSI,” *IEEE. Trans. Computer-Aided Design*, **16**, pp. 290–298 (1997).

- [44] M.C.Shine and F. M. D’Heurle, “Activation Energy for Electromigration in Aluminum Films Alloyed Copper”, *IBM J. Res. Dev.*, **15**, No.5, pp. 378-383 (1971).
- [45] C-Y. Hung, G. Gao, S. Zhang, Z-X. Deng, C. Cork, L. S. Melvin III, and Y. Jiang, "Line end design intent estimation using curves," *Proc. of SPIE Design and Process Integration for Microelectronic Manufacturing III*, **5756**, pp. 413-418 (2005).
- [46] J. Yang, L. Capodieci, and D. Sylvester, "Advanced timing analysis based on post-OPC patterning process simulations," *Proc. of SPIE Design and Process Integration for Microelectronic Manufacturing III*, **5756**, pp. 189-197 (2005).
- [47] A. Fischer, U. Seifert, A. Wehner, L. Karsenti, M. Geshel, A. Conley, D. Gscheidlen, and A. Bartov, "Design based binning for litho qualification and process window qualification" *Proc. of SPIE Design for Manufacturability through Design-Process Integration II*, **6925**, pp. 69251S-1-7 (2008).
- [48] E. Pierzchala, F. Pikus, and J. A. Torres, "Circuit-topology driven OPC for increased performance/yield ratio," *Proc. of SPIE Design for Manufacturability through Design-Process Integration III*, **7275**, pp. 72751A-1-7 (2009).
- [49] S. Banerjee, P. Elakkumanan, L. W. Liebmann, J. A. Culp, and M. Orshansky, "Electrically Driven Optical Proximity Correction," *Proc. of SPIE Design for Manufacturability through Design-Process Integration II*, **6925**, pp. 69251W-1-9 (2008).
- [50] Dominic Reinhard and Puneet Gupta, "On comparing conventional and electrically driven OPC techniques" *Proc. of SPIE Photomask Technology 2009*, **7488**, pp. 748838-1-8 (2009).